

## ADF4113HV

### 特長

高電圧チャージ・ポンプ (15V)  
 電源: 2.7~5.5V  
 周波数レンジ: 200MHz~4.0GHz  
 シンセサイザ ADF4110、ADF4111、ADF4112、ADF4113、  
 ADF4106、ADF4002 とピン互換  
 2種類のチャージ・ポンプ電流を選択可能  
 デジタル・ロック検出  
 パワーダウン・モード  
 ADIsimPLL™によるループ・フィルタ・デザイン

### アプリケーション

高電圧VCOを使用するアプリケーション  
 基地局のIF/RFローカル発振器 (LO)  
 ポイント・ツー・ポイント無線のLO信号  
 ADCおよびDAC用のクロック  
 ワイヤレスLAN、PMR  
 通信テスト装置

### 概要

ADF4113HVは、高電圧チャージ・ポンプ (15V) を内蔵した整数Nの周波数シンセサイザです。同調電圧が高い (最大15V) 電圧制御発振器 (VCO) と組み合わせて使用するようにデザインされています。一般に高い同調電圧を得るためには能動ループ・フィルタが使用されますが、ADF4113HVのチャージ・ポンプは受動ループ・フィルタで高電圧のVCOを直接駆動できます。ワイヤレス・レシーバやトランスミッタのアップ変換とダウン変換の回路部にADF4113HVを使用してローカル発振器を構成できます。ADF4113HVは、低ノイズのデジタル位相周波数検出器 (PFD)、高精度の高電圧チャージ・ポンプ、プログラマブルナリファレンス電圧デバイダ、プログラマブルなAカウンタとBカウンタ、デュアル・モジュラス・プリスケラ (P/P+1) で構成されています。

簡単な3線式インターフェースでオンチップ・レジスタをすべて制御します。2.7~5.5Vの電源で動作し、使用しないときはパワーダウンできます。

### 機能ブロック図

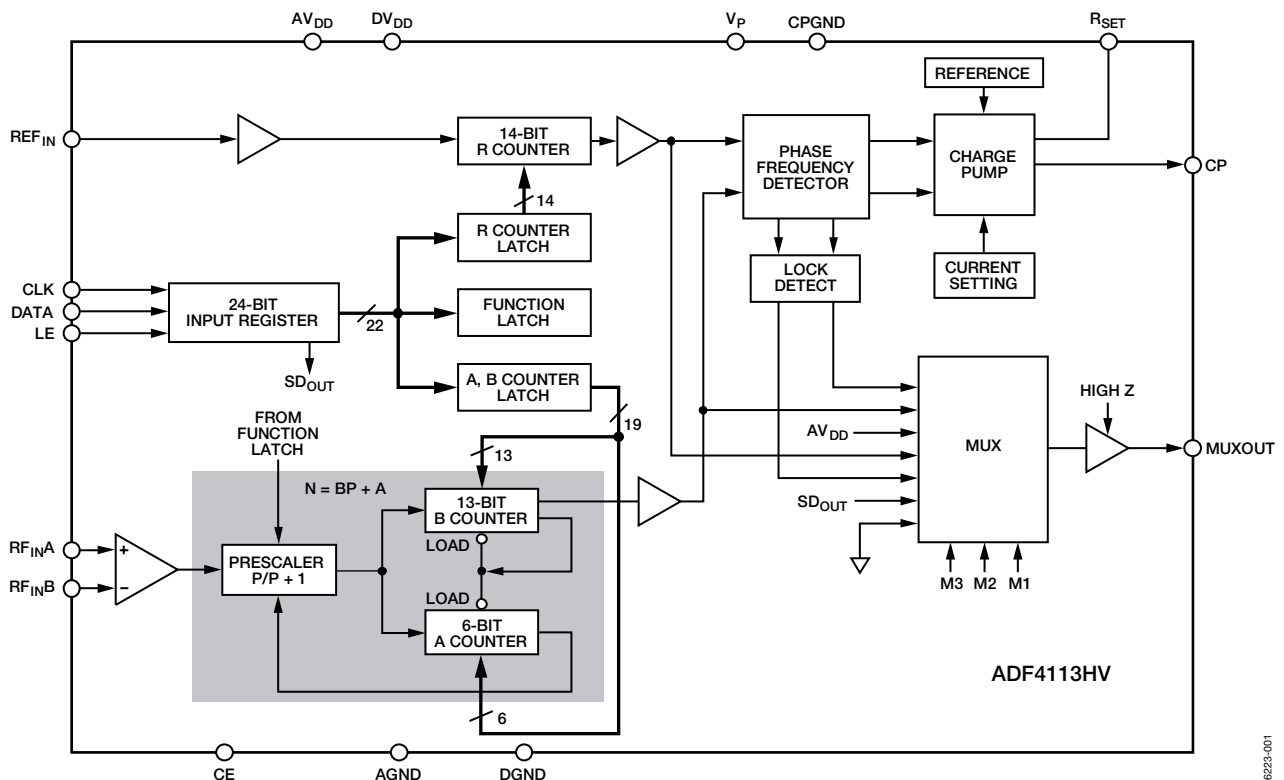


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
 © 2007 Analog Devices, Inc. All rights reserved.

REV. 0

**アナログ・デバイセズ株式会社**

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル  
 電話03 (5402) 8200  
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号  
 電話06 (6350) 6868

# ADF4113HV

## 目次

|              |   |                                    |    |
|--------------|---|------------------------------------|----|
| 特長           | 1 | プリスケラ (P/P+1)                      | 9  |
| アプリケーション     | 1 | AカウンタとBカウンタ                        | 9  |
| 機能ブロック図      | 1 | Rカウンタ                              | 9  |
| 改訂履歴         | 2 | 位相周波数検出器 (PFD) とチャージ・ポンプ           | 10 |
| 仕様           | 3 | MUXOUTとロック検出                       | 10 |
| タイミング特性      | 4 | 入力シフト・レジスタ                         | 10 |
| 絶対最大定格       | 5 | 機能ラッチ                              | 13 |
| トランジスタ数      | 5 | アプリケーション                           | 15 |
| 熱抵抗          | 5 | D/Aコンバータを用いたR <sub>SET</sub> ピンの駆動 | 15 |
| ESDに関する注意    | 5 | インターフェース                           | 15 |
| ピン配置とピン機能の説明 | 6 | チップ・スケール・パッケージのPCボードデザイン・ガイドライン    | 16 |
| 代表的な性能特性     | 7 | 外形寸法                               | 17 |
| 回路の説明        | 9 | オーダー・ガイド                           | 17 |
| リファレンス入力部    | 9 |                                    |    |
| RF入力段        | 9 |                                    |    |

## 改訂履歴

1/07—Revision 0: Initial Version

# 仕様

特に指定のない限り、 $AV_{DD}=DV_{DD}=3V \pm 10\%$ 、 $5V \pm 10\%$ 、 $13.5V < V_P \leq 16.5V$ 、 $AGND=DGND=CPGND=0V$ 、 $R_{SET}=4.7k\Omega$ 、dBmは50 $\Omega$ を基準、 $T_A=T_{MIN} \sim T_{MAX}$ 。Bバージョンの動作温度範囲：-40～+85℃

表1

| Parameter                                                           | B Version              | B Chips <sup>1</sup>   | Unit          | Test Conditions/Comments                                                             |
|---------------------------------------------------------------------|------------------------|------------------------|---------------|--------------------------------------------------------------------------------------|
| RF CHARACTERISTICS (3 V)                                            |                        |                        |               |                                                                                      |
| RF Input Sensitivity                                                | −15/0                  | −15/0                  | dBm min/max   | For lower frequencies, ensure SR > 130 V/μs                                          |
| RF Input Frequency                                                  | 0.2/3.7                | 0.2/3.7                | GHz min/max   |                                                                                      |
| Prescaler Output Frequency <sup>2</sup>                             | 165                    | 165                    | MHz max       |                                                                                      |
| RF CHARACTERISTICS (5 V)                                            |                        |                        |               |                                                                                      |
| RF Input Sensitivity                                                | −10/0                  | −10/0                  | dBm min/max   | For lower frequencies, ensure SR > 130 V/μs<br>Input level = −5 dBm                  |
| RF Input Frequency                                                  | 0.2/3.7                | 0.2/3.7                | GHz min/max   |                                                                                      |
|                                                                     | 0.2/4.0                | 0.2/4.0                | GHz min/max   |                                                                                      |
| Prescaler Output Frequency                                          | 200                    | 200                    | MHz max       |                                                                                      |
| REF <sub>IN</sub> CHARACTERISTICS                                   |                        |                        |               |                                                                                      |
| REF <sub>IN</sub> Input Frequency                                   | 5/150                  | 5/150                  | MHz min/max   | For f < 5 MHz, ensure SR > 100 V/μs                                                  |
| Reference Input Sensitivity                                         | 0.4/AV <sub>DD</sub>   | 0.4/AV <sub>DD</sub>   | V p-p min/max | AV <sub>DD</sub> = 3.3 V, biased at AV <sub>DD</sub> /2 <sup>3</sup>                 |
|                                                                     | 1.0/AV <sub>DD</sub>   | 1.0/AV <sub>DD</sub>   | V p-p min/max | For f ≥ 10 MHz, AV <sub>DD</sub> = 5 V, biased at AV <sub>DD</sub> /2 <sup>3,4</sup> |
| REF <sub>IN</sub> Input Capacitance                                 | 10                     | 10                     | pF max        |                                                                                      |
| REF <sub>IN</sub> Input Current                                     | ±100                   | ±100                   | μA max        |                                                                                      |
| PHASE DETECTOR FREQUENCY                                            | 5                      | 5                      | MHz max       |                                                                                      |
| CHARGE PUMP                                                         |                        |                        |               |                                                                                      |
| I <sub>CP</sub> Sink/Source                                         |                        |                        |               | R <sub>SET</sub> = 4.7 kΩ                                                            |
| High Value                                                          | 640                    | 640                    | μA typ        |                                                                                      |
| Low Value                                                           | 80                     | 80                     | μA typ        |                                                                                      |
| Absolute Accuracy                                                   | 2.5                    | 2.5                    | % typ         |                                                                                      |
| R <sub>SET</sub> Range                                              | 3.9/10                 | 3.9/10                 | kΩ typ        |                                                                                      |
| I <sub>CP</sub> Three-State Leakage Current                         | 5                      | 5                      | nA max        |                                                                                      |
| Sink and Source Current Matching                                    | 3                      | 3                      | % typ         | 1 V ≤ V <sub>CP</sub> ≤ V <sub>P</sub> − 1 V                                         |
| I <sub>CP</sub> vs. V <sub>CP</sub>                                 | 1.5                    | 1.5                    | % typ         | 1 V ≤ V <sub>CP</sub> ≤ V <sub>P</sub> − 1 V                                         |
| I <sub>CP</sub> vs. Temperature                                     | 2                      | 2                      | % typ         | V <sub>CP</sub> = V <sub>P</sub> /2                                                  |
| LOGIC INPUTS                                                        |                        |                        |               |                                                                                      |
| V <sub>INH</sub> , Input High Voltage                               | 0.8 × DV <sub>DD</sub> | 0.8 × DV <sub>DD</sub> | V min         |                                                                                      |
| V <sub>INL</sub> , Input Low Voltage                                | 0.2 × DV <sub>DD</sub> | 0.2 × DV <sub>DD</sub> | V max         |                                                                                      |
| I <sub>INH</sub> /I <sub>INL</sub> , Input Current                  | ±1                     | ±1                     | μA max        |                                                                                      |
| C <sub>IN</sub> , Input Capacitance                                 | 10                     | 10                     | pF max        |                                                                                      |
| LOGIC OUTPUTS                                                       |                        |                        |               |                                                                                      |
| V <sub>OH</sub> , Output High Voltage                               | DV <sub>DD</sub> − 0.4 | DV <sub>DD</sub> − 0.4 | V min         | I <sub>OH</sub> = 500 μA                                                             |
| V <sub>OL</sub> , Output Low Voltage                                | 0.4                    | 0.4                    | V max         | I <sub>OL</sub> = 500 μA                                                             |
| POWER SUPPLIES                                                      |                        |                        |               |                                                                                      |
| AV <sub>DD</sub>                                                    | 2.7/5.5                | 2.7/5.5                | V min/V max   | 11 mA typical<br>T <sub>A</sub> = 25°C                                               |
| DV <sub>DD</sub>                                                    | AV <sub>DD</sub>       | AV <sub>DD</sub>       |               |                                                                                      |
| V <sub>P</sub>                                                      | 13.5/16.5              | 13.5/16.5              | V min/V max   |                                                                                      |
| I <sub>DD</sub> <sup>5</sup> (AI <sub>DD</sub> + DI <sub>DD</sub> ) | 16                     | 11                     | mA max        |                                                                                      |
| I <sub>P</sub>                                                      | 0.25                   | 0.25                   | mA max        |                                                                                      |
| Low Power Sleep Mode                                                | 1                      | 1                      | μA typ        |                                                                                      |
| NOISE CHARACTERISTICS                                               |                        |                        |               |                                                                                      |
| Normalized Phase Noise Floor <sup>6</sup>                           | −212                   | −212                   | dBc/Hz typ    |                                                                                      |

<sup>1</sup> Bチップの仕様は、typ値を記載。

<sup>2</sup> CMOSカウンタの最大動作周波数。分周によってRF入力がこの値より低くなるようにプリスケアラの値を選択してください。

<sup>3</sup> AC結合により、 $AV_{DD}/2$ のバイアスが得られます。

<sup>4</sup> 特性評価により保証。

<sup>5</sup> T<sub>A</sub> = 25℃、AV<sub>DD</sub> = DV<sub>DD</sub> = 5.5V、P = 16、RF<sub>IN</sub> = 900MHz

<sup>6</sup> シンセサイザの位相ノイズ・フロアは、VCO出力の帯域内位相ノイズ (PN<sub>TOT</sub>) を測定し、その値から20logN (Nは分周値) と10logf<sub>FFD</sub>を減算して計算します (PN<sub>SYNTH</sub> = PN<sub>TOT</sub> - 10logf<sub>FFD</sub> - 20logN)。

# ADF4113HV

## タイミング特性

出荷テストを行っていませんが、デザインにより保証しています。特に指定のない限り、 $AV_{DD}=DV_{DD}=3V \pm 10\%$ 、 $5V \pm 10\%$ 、 $13.5V \leq V_p \leq 16.5V$ 、 $AGND=DGND=CPGND=0V$ 、 $R_{SET}=4.7k\Omega$ 、 $T_A=T_{MIN} \sim T_{MAX}$ 。

表2

| Parameter | Limit at $T_{MIN}$ to $T_{MAX}$ (B Version) | Unit   | Test Conditions/Comments |
|-----------|---------------------------------------------|--------|--------------------------|
| $t_1$     | 20                                          | ns min | LE setup time            |
| $t_2$     | 10                                          | ns min | DATA to CLK setup time   |
| $t_3$     | 10                                          | ns min | DATA to CLK hold time    |
| $t_4$     | 25                                          | ns min | CLK high duration        |
| $t_5$     | 25                                          | ns min | CLK low duration         |
| $t_6$     | 10                                          | ns min | CLK to LE setup time     |
| $t_7$     | 20                                          | ns min | LE pulse width1          |

タイミング図

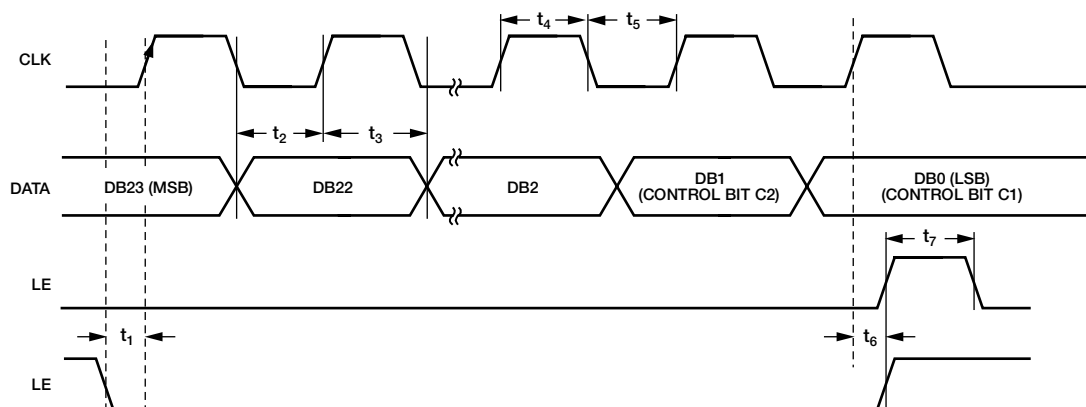


図2. タイミング図

06223-002

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表3

| Parameter                                   | Rating                     |
|---------------------------------------------|----------------------------|
| $AV_{DD}$ to GND <sup>1</sup>               | −0.3 V to +7 V             |
| $AV_{DD}$ to $DV_{DD}$                      | −0.3 V to +0.3 V           |
| $V_P$ to GND                                | −0.3 V to +18 V            |
| Digital I/O Voltage to GND                  | −0.3 V to $V_{DD} + 0.3$ V |
| Analog I/O Voltage to GND                   | −0.3 V to $V_P + 0.3$ V    |
| $REF_{IN}$ , $RF_{IN}A$ , $RF_{IN}B$ to GND | −0.3 V to $V_{DD} + 0.3$ V |
| $RF_{IN}A$ to $RF_{IN}B$                    | ±320 mV                    |
| Operating Temperature Range                 |                            |
| Industrial (B Version)                      | −40°C to +85°C             |
| Storage Temperature Range                   | −65°C to +150°C            |
| Maximum Junction Temperature                | 150°C                      |
| Lead Temperature, Soldering                 |                            |
| Vapor Phase (60 sec)                        | 215°C                      |
| Infrared (15 sec)                           | 220°C                      |

<sup>1</sup> GND=AGND=DGND=0V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

本デバイスは高性能の集積回路です。ESD定格は1kV未満で、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

## トランジスタ数

トランジスタ数は、12150個（CMOS）および348個（バイポーラ）です。

## 熱抵抗

表4. 熱抵抗

| Package Type                | $\theta_{JA}$ | Unit |
|-----------------------------|---------------|------|
| TSSOP                       | 150.4         | °C/W |
| LFCSP (Paddle Soldered)     | 122           | °C/W |
| LFCSP (Paddle Not Soldered) | 216           | °C/W |

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検出されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

# ADF4113HV

## ピン配置とピン機能の説明

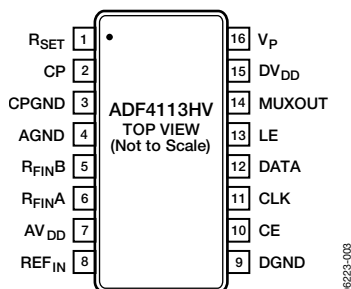


図3. TSSOPのピン配置

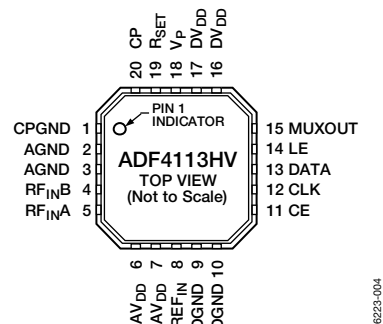


図4. LFCSPのピン配置

表5. ピン機能の説明

| TSSOPの<br>ピン番号 | LFCSPの<br>ピン番号 | 記号                | 説明                                                                                                                                                                                                                                         |
|----------------|----------------|-------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1              | 19             | R <sub>SET</sub>  | このピンとCPGNDの間に抵抗を接続して、最大チャージ・ポンプ出力電流を設定します。R <sub>SET</sub> ピンの公称電位は、ADF4113HVでは0.56Vです。I <sub>CP</sub> とR <sub>SET</sub> の関係は、I <sub>CPmax</sub> = 3/R <sub>SET</sub> です。したがって、R <sub>SET</sub> = 4.7kΩのときにI <sub>CPmax</sub> = 640μAです。   |
| 2              | 20             | CP                | チャージ・ポンプ出力。有効にすると、このピンが外部ループ・フィルタに±I <sub>CP</sub> を供給します。これによって外部VCOを駆動します。                                                                                                                                                               |
| 3              | 1              | CPGND             | チャージ・ポンプ用グラウンド。CPGNDは、チャージ・ポンプのグラウンド・リターン・パスです。                                                                                                                                                                                            |
| 4              | 2, 3           | AGND              | アナログ・グラウンド。ブリスケーラのグラウンド・リターン・パスです。                                                                                                                                                                                                         |
| 5              | 4              | RF <sub>INB</sub> | RFブリスケーラの相補入力。100pF程度の小さなバイパス用コンデンサを使用して、このポイントをグラウンド・プレーンにデカップリングしてください。                                                                                                                                                                  |
| 6              | 5              | RF <sub>INA</sub> | RFブリスケーラの入力。この小信号入力はVCOからAC結合されます。                                                                                                                                                                                                         |
| 7              | 6, 7           | AV <sub>DD</sub>  | アナログ電源。電源電圧範囲は2.7~5.5Vです。アナログ・グラウンド・プレーンのデカップリング用コンデンサは、このピンのできる限り近くに接続してください。AV <sub>DD</sub> はDV <sub>DD</sub> と同じ値にする必要があります。                                                                                                           |
| 8              | 8              | REF <sub>IN</sub> | リファレンス入力。このピンはCMOS入力で、公称スレッショルド値はV <sub>DD</sub> /2、等価入力抵抗値は100kΩです。TTLまたはCMOSの水晶発振器から駆動するか、またはAC結合が可能です。                                                                                                                                  |
| 9              | 9, 10          | DGND              | デジタル・グラウンド                                                                                                                                                                                                                                 |
| 10             | 11             | CE                | チップ・イネーブル。このピンがロジック・ローレベルのとき、デバイスがパワーダウンし、チャージ・ポンプの出力がスリーステート・モードになります。このピンをハイレベルにすると、パワーダウン・ビットPD1のステータスに応じてデバイスがパワーアップします。                                                                                                               |
| 11             | 12             | CLK               | シリアル・クロック入力。このシリアル・クロックを使用して、シリアル・データをレジスタに入力します。データは、CLKの立上がりエッジで24ビットのシフト・レジスタにラッチされます。この入力は、ハイ・インピーダンスのCMOS入力です。                                                                                                                        |
| 12             | 13             | DATA              | シリアル・データ入力。シリアル・データはMSBファーストでロードされ、2ビットのLSBをコントロール・ビットに使用します。この入力は、ハイ・インピーダンスのCMOS入力です。                                                                                                                                                    |
| 13             | 14             | LE                | ロード・イネーブルのCMOS入力。LEがハイレベルのときに、シフト・レジスタに格納されていたデータが4個のラッチの1つにロードされます。ラッチの選択にはコントロール・ビットを使用します。                                                                                                                                              |
| 14             | 15             | MUXOUT            | マルチプレクサ出力。このマルチプレクサ出力により、ロック検出、スケーリングしたRF、またはスケーリングしたリファレンス周波数のいずれかに外部からアクセスできます。                                                                                                                                                          |
| 15             | 16, 17         | DV <sub>DD</sub>  | デジタル電源。電源電圧範囲は2.7~5.5Vです。デジタル・グラウンド・プレーンのデカップリング用コンデンサ（1μF、1nF）は、このピンのできる限り近くに接続してください。最大性能を得るには、1μFのコンデンサをこのピンから2mm以内に配置する必要があります。1nFのコンデンサの場所はそれほど重要ではありませんが、それでもこのピンから5mm以内に配置してください。DV <sub>DD</sub> はAV <sub>DD</sub> と同じ値にする必要があります。 |
| 16             | 18             | V <sub>P</sub>    | チャージ・ポンプ用電源。V <sub>P</sub> の範囲は13.5~16.5Vで、適切にデカップリングしてください。                                                                                                                                                                               |

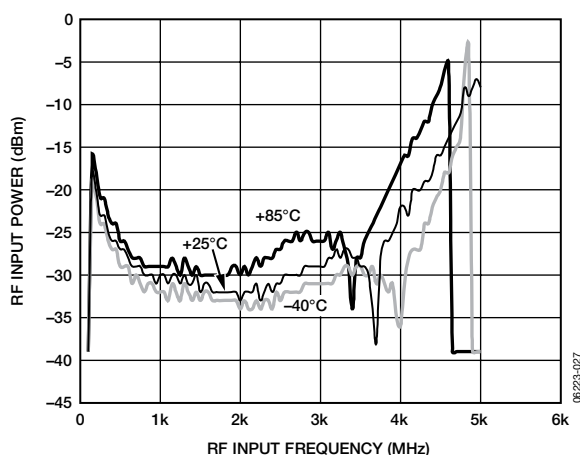
## 代表的な性能特性

ループ帯域幅=25kHz、リファレンス=Agilent E4440A PSAからの10MHzリファレンス、VCO=Sirenza VCO190-1500T(Y)、評価用ボード=EVAL-ADF4113HVEBZ1

| FREQ<br>-UNIT | PARAM<br>-TYPE | DATA<br>-FORMAT | KEYWORD |         | IMPEDANCE<br>-OHMS |
|---------------|----------------|-----------------|---------|---------|--------------------|
| GHz           | S              | MA              | R       |         | 50                 |
| FREQ          | MAGS11         | ANGS11          | FREQ    | MAGS11  | ANGS11             |
| 0.05          | 0.89207        | -2.0571         | 1.05    | 0.9512  | -40.134            |
| 0.10          | 0.8886         | -4.4427         | 1.10    | 0.93458 | -43.747            |
| 0.15          | 0.89022        | -6.3212         | 1.15    | 0.94782 | -44.393            |
| 0.20          | 0.96323        | -2.1393         | 1.20    | 0.96875 | -46.937            |
| 0.25          | 0.90566        | -12.13          | 1.25    | 0.92216 | -49.6              |
| 0.30          | 0.90307        | -13.52          | 1.30    | 0.93755 | -51.884            |
| 0.35          | 0.89318        | -15.746         | 1.35    | 0.96178 | -51.21             |
| 0.40          | 0.89806        | -18.056         | 1.40    | 0.94354 | -53.55             |
| 0.45          | 0.89565        | -19.693         | 1.45    | 0.95189 | -56.786            |
| 0.50          | 0.88538        | -22.246         | 1.50    | 0.97647 | -58.781            |
| 0.55          | 0.89699        | -24.336         | 1.55    | 0.98619 | -60.545            |
| 0.60          | 0.89927        | -25.948         | 1.60    | 0.95459 | -61.43             |
| 0.65          | 0.87797        | -28.457         | 1.65    | 0.97945 | -61.241            |
| 0.70          | 0.90765        | -29.735         | 1.70    | 0.98864 | -64.051            |
| 0.75          | 0.88526        | -31.879         | 1.75    | 0.97399 | -66.19             |
| 0.80          | 0.81267        | -32.681         | 1.80    | 0.97216 | -63.775            |
| 0.85          | 0.90357        | -31.522         |         |         |                    |
| 0.90          | 0.92954        | -34.222         |         |         |                    |
| 0.95          | 0.92087        | -36.961         |         |         |                    |
| 1.00          | 0.93788        | -39.343         |         |         |                    |

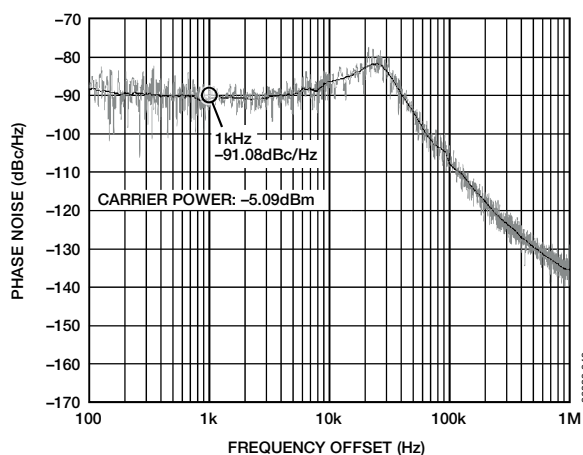
06223-005

図5. ADF4113HVのRF入力のSパラメータ・データ (最大1.8GHz)



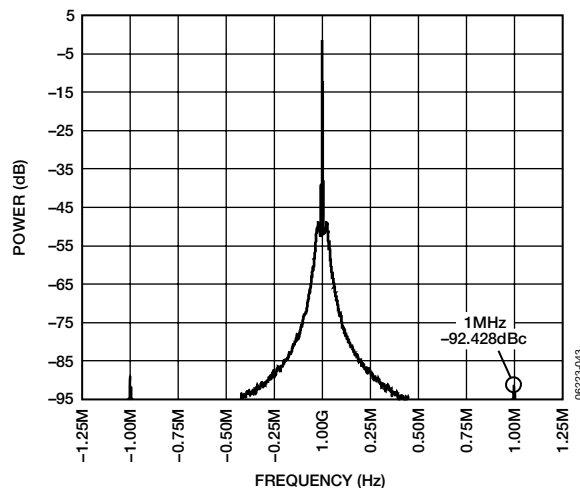
06223-027

図6. 入力感度



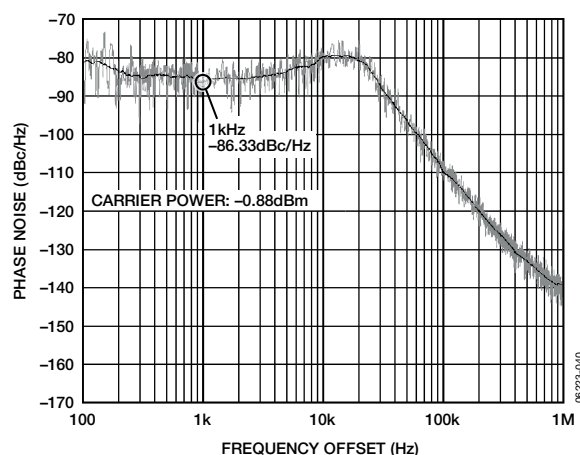
06223-042

図7. 積分位相ノイズ (RF=1000MHz、PFD=1MHz、 $V_{TUNE}=1.8V$ 、RMSノイズ=0.93°)



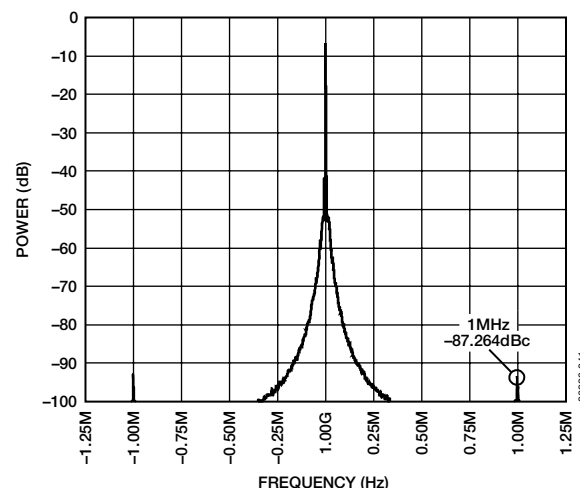
06223-043

図8. リファレンススプリアス (RF=1000MHz、PFD=1MHz)



06223-040

図9. 積分位相ノイズ (RF=1800MHz、PFD=1MHz、 $V_{TUNE}=13.1V$ 、RMSノイズ=1.16°)



06223-041

図10. リファレンス・スプリアス (RF=1800MHz、PFD=1MHz)

# ADF4113HV

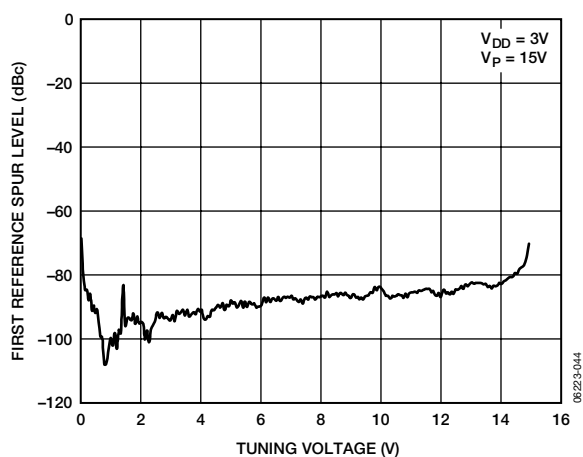


図11.  $V_{TUNE}$  対 PFDスプリアス (1MHz)

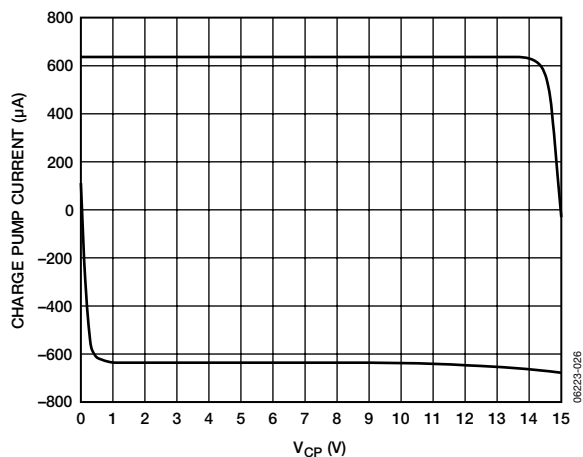


図13. チャージ・ポンプの出力特性

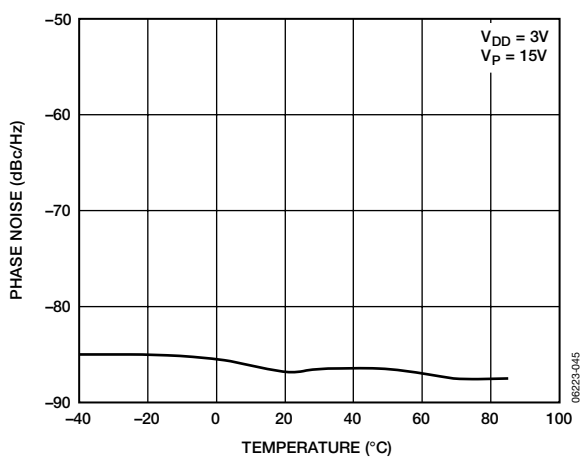


図12. 位相ノイズの温度特性 (RF=1500MHz、PFD=1MHz)



## 回路の説明

### リファレンス入力部

図14にリファレンス入力段を示します。SW1とSW2はノーマル・クローズ・スイッチです（図14のNC）。SW3はノーマル・オープン・スイッチです（図14のNO）。パワーダウンの開始時に、SW3が閉じ、SW1とSW2が開きます。これにより、パワーダウン時にREF<sub>IN</sub>ピンに負荷がかかりません。

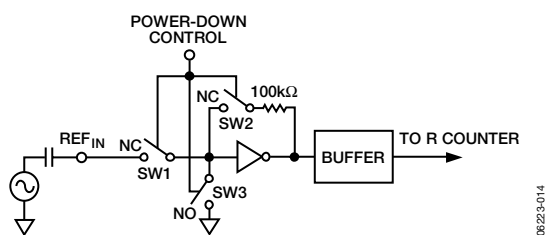


図14. リファレンス入力段

### RF入力段

図15にRF入力段を示します。この後段には2段構成のリミット・アンプがあり、プリスケラに必要電流モード・ロジック（CML）のクロック・レベルを発生します。

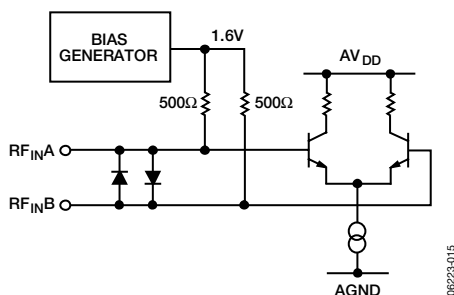


図15. RF入力段

### プリスケラ (P/P+1)

AカウンタとBカウンタと組み合わせたデュアル・モジュラス・プリスケラ (P/P+1) によって大きい分周比Nが得られます。Nの値は次式で求めることができます。

$$N = BP + A$$

CMLレベルで動作するデュアル・モジュラス・プリスケラは、RF入力段からクロック信号を受け取り、CMOS AカウンタとCMOS Bカウンタで処理できる周波数まで分周します。このプリスケラはプログラマブルで、8/9、16/17、32/33、64/65にソフトウェアから設定できます。これは同期4/5コアをベースとしています。

### AカウンタとBカウンタ

CMOS AカウンタとCMOS Bカウンタおよびデュアル・モジュラス・プリスケラを組み合わせることによって、PLLフィードバック・カウンタで広範な分周比を設定できます。これらのカウンタは、プリスケラの出力が200MHz以下（AV<sub>DD</sub>=5Vの場合）のときに動作するよう規定されています。したがって、RF入力周波数が2.5GHzのとき、16/17のプリスケラ値は有効ですが、8/9は無効です。

### パルス・スワロー機能

AカウンタとBカウンタはデュアル・モジュラス・プリスケラと組み合わせて、リファレンス周波数をR分周した周波数だけ離れた出力周波数を発生することができます。VCO周波数は次式で求めます。

$$f_{VCO} = [(P \times B) + A] f_{REFIN} / R$$

ここで、

$f_{VCO}$  = 外部電圧制御発振器（VCO）の出力周波数

P = デュアル・モジュラス・プリスケラのプリセット・モジュラス値

B = バイナリ13ビット・カウンタのプリセット分周比（3～8191）

A = バイナリ6ビット・スワロー・カウンタのプリセット分周比（0～63）

$f_{REFIN}$  = 外部リファレンス周波数発生器の出力周波数

R = バイナリ14ビット・プログラマブル・リファレンス・カウンタのプリセット分周比（1～16383）

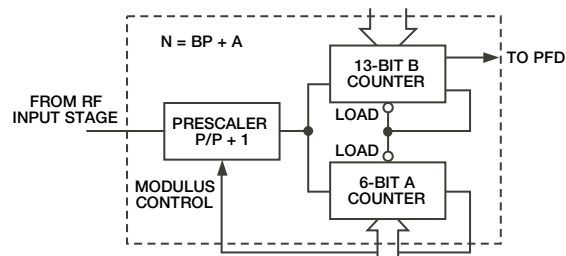


図16. AカウンタとBカウンタ

### Rカウンタ

14ビットRカウンタによって入力リファレンスを分周し、位相周波数検出器（PFD）に送る基準クロックを発生できます。1～16383までの分周比が可能です。

# ADF4113HV

## 位相周波数検出器 (PFD) とチャージ・ポンプ

PFDはRカウンタとNカウンタからの入力を受け付け、両入力信号間の位相と周波数の差に比例した出力を発生します。図17に簡略回路図を示します。PFDには、アンチバックラッシュ・パルスの幅を制御するプログラマブルな遅延要素があります。このパルスにより、PFDの伝達関数に不感帯がなくなり、位相ノイズとリファレンスのスプリアスが最小になります。リファレンス・カウンタ・ラッチのABP2とABP1の2ビットを使用して、パルス幅を制御します。図20を参照してください。アンチバックラッシュ・パルス幅の推奨設定値は7.2nsのみです。

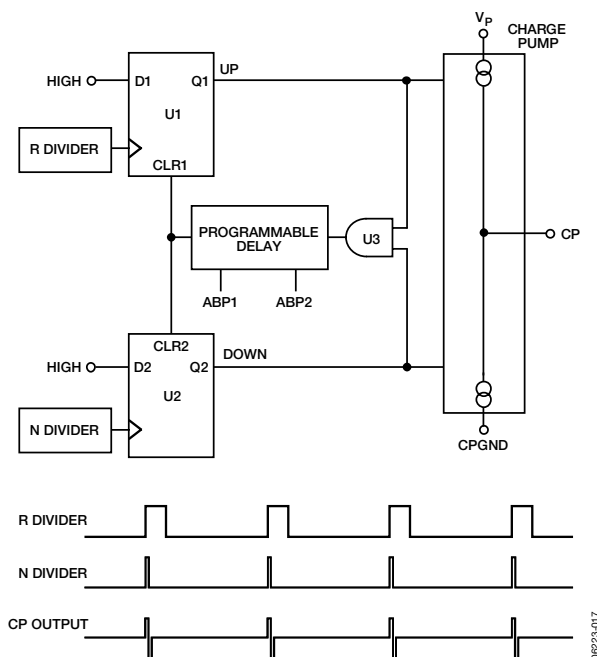


図17. PFDの簡略化回路図とタイミング図（ロック時）

## MUXOUTとロック検出

ADF4113HVには出力マルチプレクサがあるため、チップ上のさまざまな内部ポイントにアクセスできます。MUXOUTの状態は、機能ラッチのM3、M2、M1で制御します。図22に詳細な真理値表（機能ラッチのマップ）を示します。図18には、MUXOUT部のブロック図を示します。

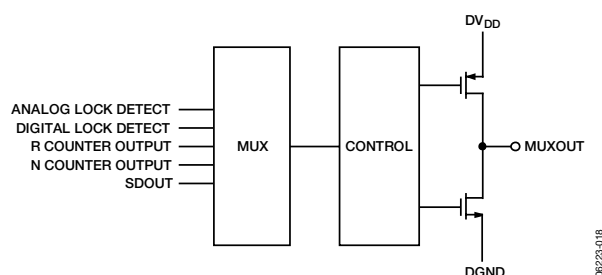


図18. MUXOUT回路

## ロック検出

MUXOUTを設定して、デジタル・ロック検出とアナログ・ロック検出の2種類のロック検出ができます。

デジタル・ロック検出は、アクティブ・ハイレベルです。ABカウンタ・ラッチのLDPの設定が0の場合、位相検出器（PD）での連続5サイクル間の位相誤差が10ns未満のときに、デジタル・ロック検出がハイレベルに設定されます。LDPの設定が1の場合は、ロック検出とするためには、3ns未満の連続した5サイクルが必要です。その後に続くPDサイクルで25nsよりも大きい位相誤差が検出されるまで、LDPはハイレベルのままです。

Nチャンネルのオープン・ドレインのアナログ・ロック検出は、公称値10kΩのプルアップ抵抗を外付けして動作させてください。ロックが検出されると、この出力はハイレベルになり、狭い立下がりパルスが含まれています。

## 入力シフト・レジスタ

ADF4113HVのデジタル回路部には、24ビットの入力シフト・レジスタ、14ビットのRカウンタ、そして6ビットのAカウンタと13ビットのBカウンタで構成される19ビットのNカウンタがあります。CLKの立上がりエッジのたびに、データがMSBファーストで24ビットのシフト・レジスタに入力されます。データは、LEの立上がりエッジでシフト・レジスタから3個のラッチの1つに転送されます。どこにラッチされるかは、シフト・レジスタの2つのコントロール・ビット（C2、C1）の状態によって決まります。これらのビットは、図2に示す2個のLSBのDB1とDB0になっています。表6に、これらのビットの真理値表を示します。図19にラッチの設定方法をまとめて示します。

表6. C2、C1の真理値表

| Control Bits |    | Data Latch                           |
|--------------|----|--------------------------------------|
| C2           | C1 |                                      |
| 0            | 0  | R counter                            |
| 0            | 1  | N counter (A and B)                  |
| 1            | 0  | Function latch (including prescaler) |

## ラッチの概要

REFERENCE COUNTER LATCH

| RESERVED |      |      |      |      |      | ANTI-BACKLASH PULSE WIDTH |      | 14-BIT REFERENCE COUNTER |      |      |      |      |      |     |     |     |     |     |     |     |     | CONTROL BITS |       |
|----------|------|------|------|------|------|---------------------------|------|--------------------------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|--------------|-------|
| DB23     | DB22 | DB21 | DB20 | DB19 | DB18 | DB17                      | DB16 | DB15                     | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1          | DB0   |
| 0        | 0    | 0    | 0    | 0    | 0    | ABP2                      | ABP1 | R14                      | R13  | R12  | R11  | R10  | R9   | R8  | R7  | R6  | R5  | R4  | R3  | R2  | R1  | C2(0)        | C1(0) |

N COUNTER LATCH

| RE-SERVED | LD PREC | RE-SERVED | 13-BIT B COUNTER |      |      |      |      |      |      |      |      |      |      |     |     | 6-BIT A COUNTER |     |     |     |     |     | CONTROL BITS |       |
|-----------|---------|-----------|------------------|------|------|------|------|------|------|------|------|------|------|-----|-----|-----------------|-----|-----|-----|-----|-----|--------------|-------|
| DB23      | DB22    | DB21      | DB20             | DB19 | DB18 | DB17 | DB16 | DB15 | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7             | DB6 | DB5 | DB4 | DB3 | DB2 | DB1          | DB0   |
| 0         | L1      | 0         | B13              | B12  | B11  | B10  | B9   | B8   | B7   | B6   | B5   | B4   | B3   | B2  | B1  | A6              | A5  | A4  | A3  | A2  | A1  | C2(0)        | C1(1) |

FUNCTION LATCH

| PRE-SCALER VALUE |      | RESERVED |      |      |      | CURRENT SETTING |      |      | RESERVED |      |      |      |      |     | CP THREE-STATE | PD POLARITY | MUXOUT CONTROL |     |     | POWER DOWN | COUNTER RESET | CONTROL BITS |       |
|------------------|------|----------|------|------|------|-----------------|------|------|----------|------|------|------|------|-----|----------------|-------------|----------------|-----|-----|------------|---------------|--------------|-------|
| DB23             | DB22 | DB21     | DB20 | DB19 | DB18 | DB17            | DB16 | DB15 | DB14     | DB13 | DB12 | DB11 | DB10 | DB9 | DB8            | DB7         | DB6            | DB5 | DB4 | DB3        | DB2           | DB1          | DB0   |
| P2               | P1   | 0        | 0    | 0    | 0    | CP3             | CP2  | CP1  | 0        | 0    | 0    | 0    | 0    | 0   | F4             | F3          | M3             | M2  | M1  | F2         | F1            | C2(1)        | C1(0) |

図19. ラッチ概要表

## リファレンス・スカウンタ・ラッチのマップ

| RESERVED |      |      |      |      |      | ANTI-BACKLASH PULSE WIDTH |      | 14-BIT REFERENCE COUNTER |      |      |      |      |      |     |     |     |     |     |     |     |     | CONTROL BITS |       |
|----------|------|------|------|------|------|---------------------------|------|--------------------------|------|------|------|------|------|-----|-----|-----|-----|-----|-----|-----|-----|--------------|-------|
| DB23     | DB22 | DB21 | DB20 | DB19 | DB18 | DB17                      | DB16 | DB15                     | DB14 | DB13 | DB12 | DB11 | DB10 | DB9 | DB8 | DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1          | DB0   |
| 0        | 0    | 0    | 0    | 0    | 0    | ABP2                      | ABP1 | R14                      | R13  | R12  | R11  | R10  | R9   | R8  | R7  | R6  | R5  | R4  | R3  | R2  | R1  | C2(0)        | C1(0) |

|                                                          |  |  |  |  |  |
|----------------------------------------------------------|--|--|--|--|--|
| THESE BITS MUST BE SET AS INDICATED FOR NORMAL OPERATION |  |  |  |  |  |
|----------------------------------------------------------|--|--|--|--|--|

| ABP2 | ABP1 | ANTI-BACKLASH PULSE WIDTH    |
|------|------|------------------------------|
| 1    | 0    | 7.2ns (ONLY ALLOWED SETTING) |

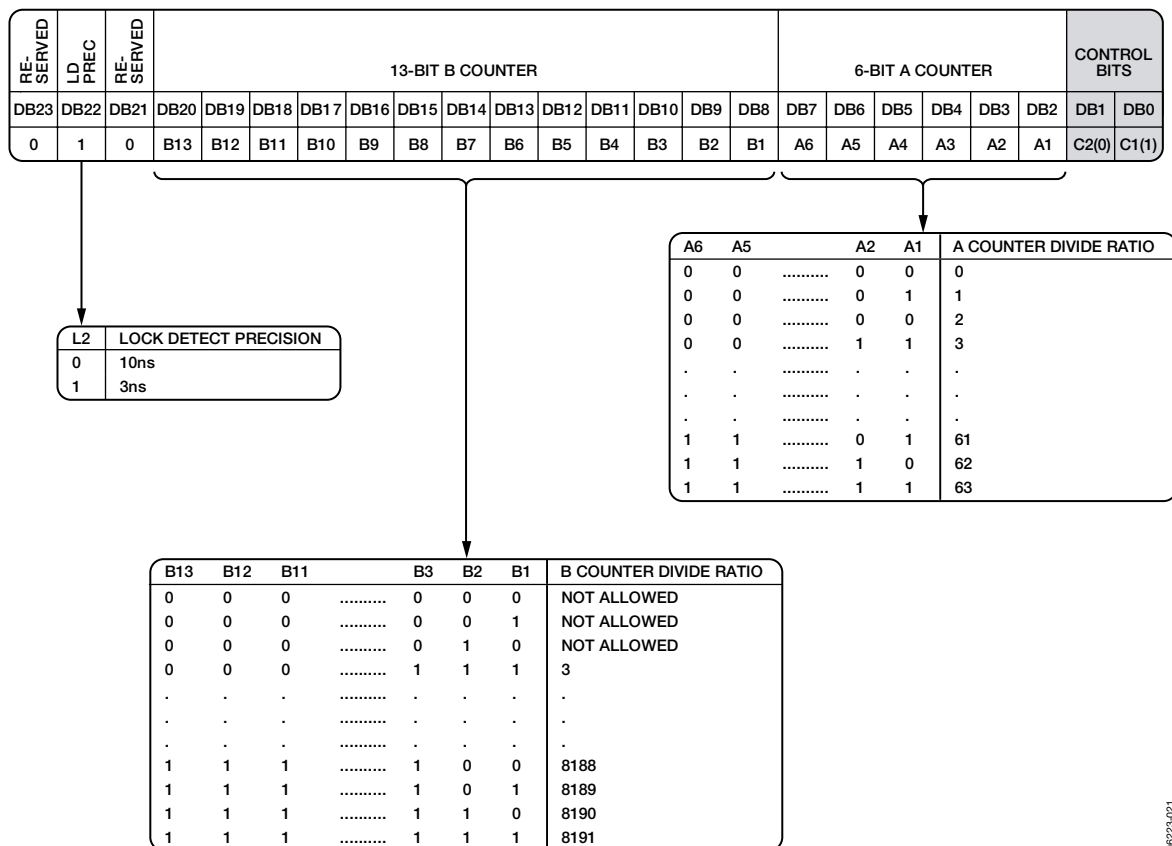
  

| R14 | R13 | R12 | ..... | R3 | R2 | R1 | DIVIDE RATIO |
|-----|-----|-----|-------|----|----|----|--------------|
| 0   | 0   | 0   | ..... | 0  | 0  | 1  | 1            |
| 0   | 0   | 0   | ..... | 0  | 1  | 0  | 2            |
| 0   | 0   | 0   | ..... | 0  | 1  | 1  | 3            |
| 0   | 0   | 0   | ..... | 1  | 0  | 0  | 4            |
| .   | .   | .   | ..... | .  | .  | .  | .            |
| .   | .   | .   | ..... | .  | .  | .  | .            |
| .   | .   | .   | ..... | .  | .  | .  | .            |
| 1   | 1   | 1   | ..... | 1  | 0  | 0  | 16380        |
| 1   | 1   | 1   | ..... | 1  | 0  | 1  | 16381        |
| 1   | 1   | 1   | ..... | 1  | 1  | 0  | 16382        |
| 1   | 1   | 1   | ..... | 1  | 1  | 1  | 16383        |

図20. リファレンス・カウンタ・ラッチのビット・マップ

# ADF4113HV

## ABカウンタ・ラッチのマップ



08223-021

図21. Bカウンタ・ラッチのマップ

## 機能ラッチのマップ

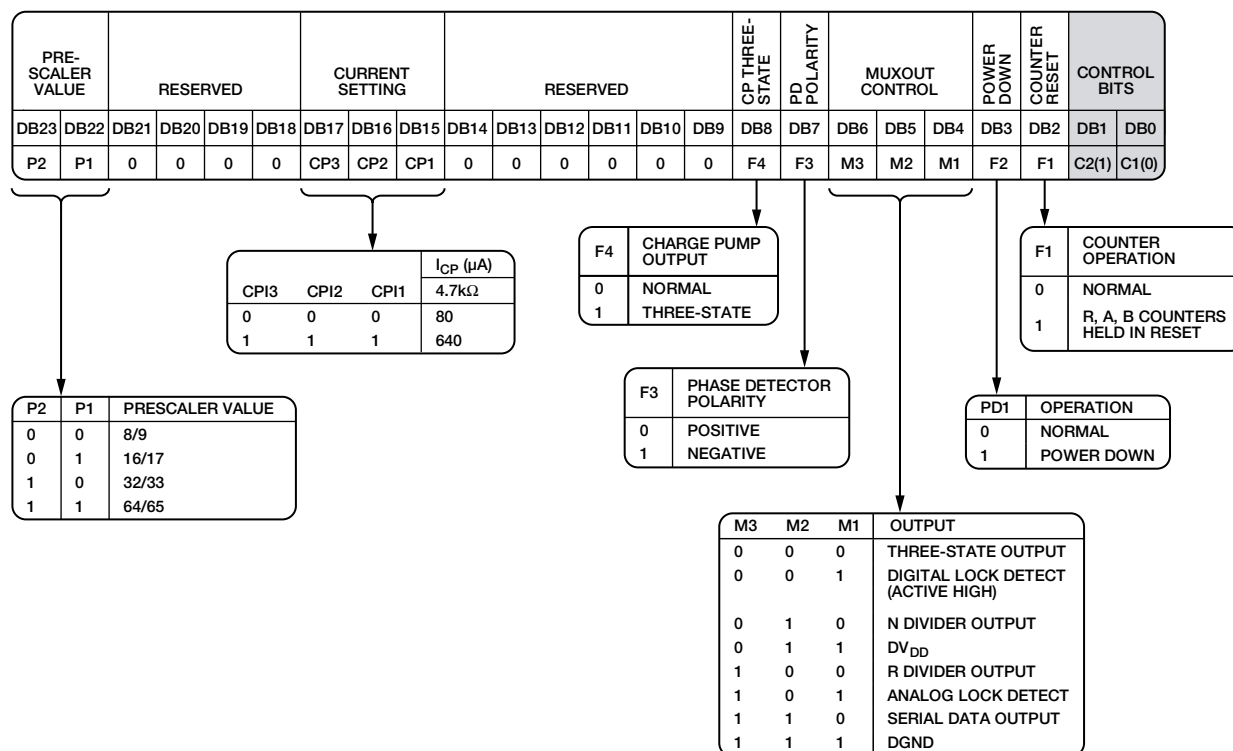


図22. 機能ラッチのマップ

## 機能ラッチ

オンチップの機能ラッチは、C2とC1をそれぞれ1、0に設定してプログラムします。図22に、機能ラッチを設定するための入力データ・フォーマットを示します。

### カウンタ・リセット

DB2 (F1) がカウンタ・リセット用ビットです。DB2が1のとき、RカウンタとABカウンタがリセットされます。通常動作時は、このビットを0に設定してください。パワーアップ時に、F1ビットをデイスエーブルする必要があります。これによって、NカウンタはRカウンタと整合した状態でカウントを再開します。(最大誤差は1プリスケラ・サイクルです。)

### パワーダウン

機能ラッチのDB3 (F2) で、ADF4113HVのソフトウェア・パワーダウンを設定します。F2ビットに1をラッチすると、ADF4113HVは直ちにパワーダウンします。

CEピンをローレベルにすると、パワーダウン・ビット (F2) の状態に関係なく直ちにパワーダウンします。

パワーダウンがアクティブのとき (ソフトウェアによるかCEピンでパワーダウンをアクティブにした場合)、次のようなイベントが発生します。

- アクティブ状態のDC電流パスがすべて切断されます。
- R、N、タイムアウトの各カウンタがロード状態になります。
- チャージ・ポンプがスリーステート・モードになります。
- デジタル・ロック検出回路がリセットされます。

- RF<sub>IN</sub>A入力とRF<sub>IN</sub>B入力のバイアスがなくなります。
- リファレンス入力バッファ回路がデイスエーブルされます。
- 入力レジスタはアクティブのままで、データのロードとラッチを実行できます。

### MUXOUT制御

オンチップのマルチプレクサは、ADF4113HVのM3、M2、M1で制御します。図22に真理値表を示します。

### チャージ・ポンプ電流

CP13、CP12、CP11で、チャージ・ポンプの電流を設定します。図22に真理値表を示します。

### プリスケラ値

機能ラッチのP2とP1で、プリスケラ値を設定します。プリスケラの出力周波数が常に200MHz以下になるようにプリスケラ値を選択してください。このようにすることで、RF周波数が2GHzのときに16/17のプリスケラ値が有効になりますが、8/9は無効になります。

### PD極性

このビットで位相検出器の極性ビットを設定します。図22を参照してください。

### CPスリーステート

このビットでCP出力ピンを制御します。ハイレベルに設定するとCP出力がスリーステートになり、ローレベルに設定するとCP出力がイネーブルされます。

## 初期パワーアップ後のデバイスのプログラミング

初期パワーアップ後にデバイスをプログラムするときは、次の2つの方法があります。

### CEピンによる方法

1.  $V_{DD}$ を入力します。
2. CEをローレベルにすると、デバイスがパワーダウンします。直ちにパワーダウンするため、非同期になります。
3. 機能ラッチを設定します (10)。Rカウンタ・ラッチを設定します (00)。ABカウンタ・ラッチを設定します (01)。
4. CEをハイレベルにして、デバイスのパワーダウン・モードを終了します。RカウンタとABカウンタが整合した状態でカウントを再開します。

CEがハイレベルになった後、プリスケアラのバンドギャップ電圧と発振器の入力バッファ・バイアスが定常状態になるまで1 $\mu$ sかかることがあります。

CEによりデバイスのパワーアップとパワーダウンを行うことで、チャンネルの動作をチェックできます。 $V_{DD}$ を最初に入力した後、入力レジスタの設定を一度行えば、デバイスのディスエーブルとイネーブルのたびに設定し直す必要はありません。

### カウンタ・リセットを使用する方法

1.  $V_{DD}$ を入力します。
2. 機能ラッチのロード (2ビットのLSBを10に設定) を実行します。この中で、F1ビットに1をロードします。これにより、カウンタのリセットがイネーブルされます。
3. Rカウンタのロード (2ビットのLSBを00に設定) を実行します。
4. ABカウンタのロード (2ビットのLSBを01に設定) を実行します。
5. 機能ラッチのロード (2ビットのLSBを10に設定) を実行します。この中で、F1ビットに0をロードします。これにより、カウンタのリセットがディスエーブルされます。

このシーケンスにより、初期化方法と同じくらいRカウンタとABカウンタが十分に整合します。これにより、内部リセットを直接制御できます。カウンタのリセットは、カウンタをロード・ポイントに維持し、チャージ・ポンプをスリーステートにしますが、同期パワーダウンが行われることはありません。

## アプリケーション

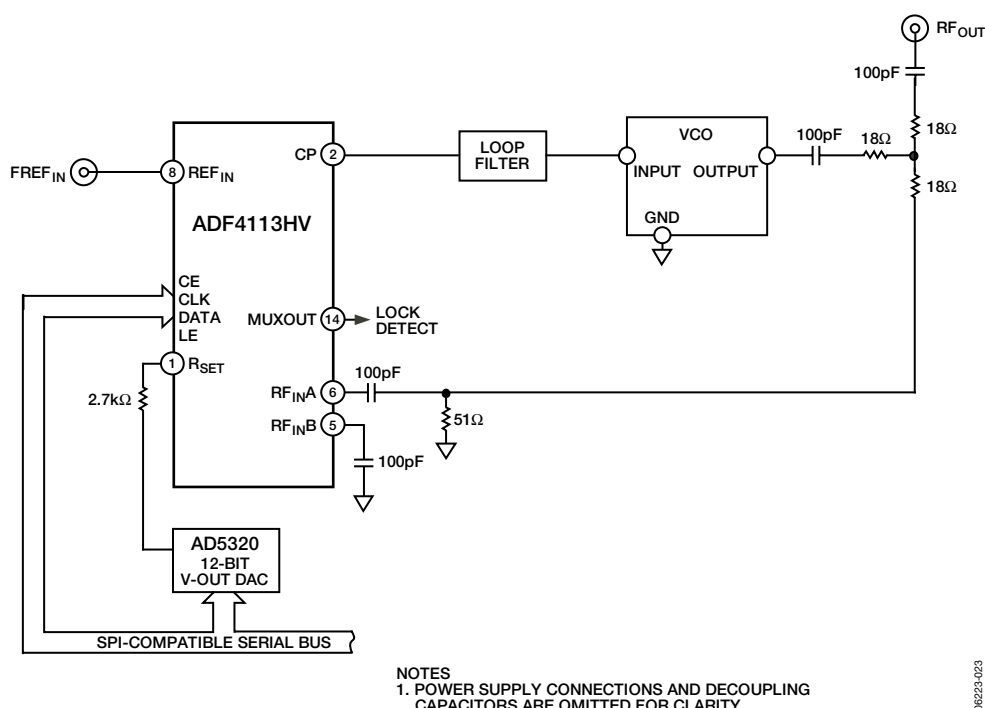


図23. D/AコンバータによるR<sub>SET</sub>ピンの駆動

### D/AコンバータによるR<sub>SET</sub>ピンの駆動

D/Aコンバータ (DAC) を使用して、ADF4113HVのR<sub>SET</sub>ピンを駆動できます。これによって、チャージ・ポンプ電流 (I<sub>CP</sub>) の制御レベルが向上します。この方法は、VCOの感度が同調範囲内で変動する広帯域アプリケーションで役立ちます。I<sub>CP</sub>を変化させて感度の変動を補償することで、良好な位相マージンを維持し、ループの安定化が図れます。この構成については、図23を参照してください。

### インターフェース

ADF4113HVは、書き込み用にシンプルなSPI®互換のシリアル・インターフェースを持っています。CLK、DATA、LEがデータの転送を制御します。ラッチ・イネーブル (LE) がハイレベルになると、CLKの立上がりエッジごとに入力レジスタに入力された24ビットのデータが適切なラッチに転送されます。図2のタイミング図と表6のラッチの真理値表を参照してください。

シリアル・クロック・レートの最大許容値は、20MHzです。これは、デバイスの最大更新レートが833kHzであり、1.2μsごとに更新されることを意味します。典型的なロック時間が数100μsのシステムには十分すぎるほどのレートです。

### ADuC812とのインターフェース

図24にADF4113HVとADuC812 MicroConverter®のインターフェースを示します。ADuC812は8051コアを採用しているため、このインターフェースは8051コアを使用したマイクロコントローラに適用できます。このMicroConverterは、CPHA=0

でSPIマスター・モードに設定されます。動作を開始するときは、LEを駆動するI/Oポートをローレベルにします。ADF4113HVの各ラッチには、24ビット・ワードが必要です。このために、MicroConverterからADF4113HVに3個の8ビット・バイトを書き込みます。3番目のバイトの書き込みが終了した後、LE入力をハイレベルに設定してデータの転送を完了させてください。

ADuC812のI/Oポート・ラインでも、パワーダウンを制御し (CE入力)、ロックを検出することができます (MUXOUTをロック検出に設定し、ポート入力でポーリングします)。

ADuC812がSPIマスター・モードで動作する場合、ADuC812のSCLOCKの最大レートは4MHzです。すなわち、出力周波数を変更できる最大レートは166kHzになります。

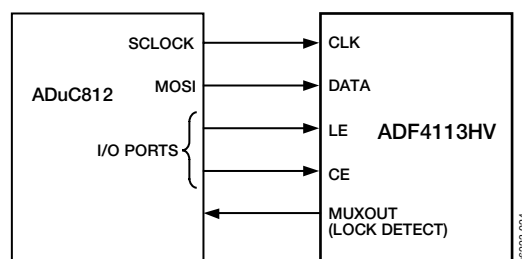


図24. ADuC812とADF4113HVのインターフェース

## ADF4113HV

### ADSP-21xxとのインターフェース

図25にADF4113HVとADSP-21xxデジタル・シグナル・プロセッサのインターフェースを示します。ADF4113HVは、各ラッチの書込みに24ビットのシリアル・ワードが必要です。ADSP-21xxファミリーでこれを行うには、オルタネート・フレーミングによる自動バッファ送信動作モードを使用する方法が最も簡単です。これにより、割込みを発生させないでシリアル・データのブロック全体を送信できます。

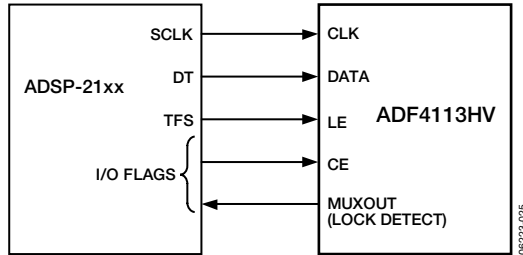


図25. ADSP-21xxとADF4113HVとのインターフェース

ワード長を8ビットに設定し、24ビットの各ワードに3個のメモリ・ロケーションを使用します。24ビットの各ラッチを設定するときは、3個の8ビット・バイトを保存し、自動バッファ・モードをイネーブルした後で、DSPの送信レジスタに書き込みます。この最後の動作によって、自動バッファ転送が開始されます。

### チップ・スケール・パッケージのPCボード・デザイン・ガイドライン

チップ・スケール・パッケージ（CP-20-1）のランドは四角形です。これらを実装するPCボードのパッドは、パッケージのランドよりも0.1mm長くし、幅も0.05mm広くしてください。ハンダ接合サイズができる限り大きくなるように、ランドはパッドの中央に配置してください。

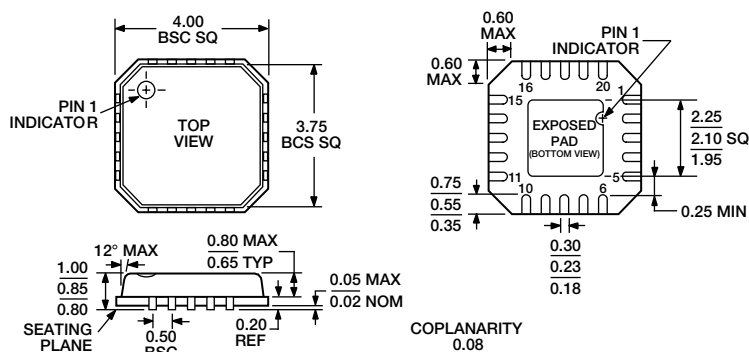
チップ・スケール・パッケージの底面中央部には、サーマル・パッドがあります。PCボードのサーマル・パッドは、少なくともこの露出パッドと同じ大きさにします。PCボード上では、サーマル・パッドとパッド・パターンの内側端部の間に少なくとも0.25mmの間隔をあけてください。このようにすることで、短絡を防止することができます。

PCボードのサーマル・パッド上にサーマル・ビアを使用することで、パッケージの熱性能を改善できます。ビアを使用する場合は、サーマル・パッドに1.2mm間隔のグリッドで設けてください。ビアの直径は0.3～0.33mmとし、1オンスの銅でビア栓をメッキ処理してビアをふさぎます。

PCボード上のサーマル・パッドはAGNDに接続してください。



# 外形寸法



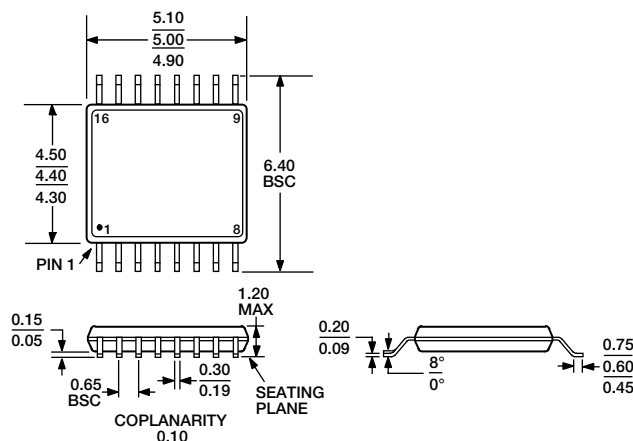
COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

図26. 20ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP\_VQ]

4mm×4mmボディ、極薄クワッド

(CP-20-1)

寸法単位：mm



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図27. 16ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]

(RU-16)

寸法単位：mm

## オーダー・ガイド

| Model                           | Temperature Range | Package Description                               | Package Option |
|---------------------------------|-------------------|---------------------------------------------------|----------------|
| ADF4113HVBRUZ <sup>1</sup>      | −40℃ to +85℃      | 16-Lead Thin Shrink Small Outline Package [TSSOP] | RU-16          |
| ADF4113HVBRUZ-RL <sup>1</sup>   | −40℃ to +85℃      | 16-Lead Thin Shrink Small Outline Package [TSSOP] | RU-16          |
| ADF4113HVBRUZ-RL7 <sup>1</sup>  | −40℃ to +85℃      | 16-Lead Thin Shrink Small Outline Package [TSSOP] | RU-16          |
| ADF4113HVBCPZ <sup>1</sup>      | −40℃ to +85℃      | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]  | CP-20-1        |
| ADF4113HVBCPZ-RL <sup>1</sup>   | −40℃ to +85℃      | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]  | CP-20-1        |
| ADF4113HVBCPZ-RL7 <sup>1</sup>  | −40℃ to +85℃      | 20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]  | CP-20-1        |
| EVAL-ADF4113HVEB1Z <sup>1</sup> |                   | Evaluation Board                                  |                |

<sup>1</sup> Z=鉛フリー製品