



# 高性能の多相電力量および 電力品質モニタリング用 IC

データシート

ADE9000

## 特長

### 7 個の高性能 ADC

SNR 101 dB

広い入力電圧範囲: ゲイン=1 で  $\pm 1$  V、707 mV RMS FS

差動入力

$\pm 25$  ppm/ $^{\circ}$ C の最大チャンネル・ドリフト (ADC、内部 VREF、および PGA のドリフトを含む) により、10000:1 のダイナミック入力レンジを持つ測定精度クラス 0.2 のメータを標準的な外付け部品で実現

### 電力品質の測定

IEC 61000-4-30 クラス S を実現可能

ハーフ・サイクルごとに VRMS  $\frac{1}{2}$ 、IRMS  $\frac{1}{2}$  実効値電圧をリフレッシュ

10 サイクル実効値/12 サイクル実効値

ディップ/スウェル・モニタ

ライン周波数 (1 位相あたり 1 回)

ゼロ交差とゼロ交差タイムアウト

位相角測定

CT とログスキー・コイル (di/dt) センサーに対応

CT 用マルチ・レンジ位相/ゲイン補償

ログスキー・コイル用デジタル積分器

### 柔軟な波形バッファ

外部高調波解析を容易にするための 1 ライン・サイクルあたり 128 ポイントを保証する波形のリサンプルが可能

## 概要

ADE9000<sup>1</sup> は、必要な機能をすべて内蔵した高精度の多相電力量および電力品質モニタリング・デバイスです。優れたアナログ性能とデジタル・シグナル・プロセッシング (DSP) コアが、広いダイナミック・レンジにわたり正確な電力量モニタリングを可能にします。内蔵のハイエンド・リファレンスは全温度範囲で低ドリフトが保証されており、プログラマブル・ゲイン・アンプ (PGA) と A/D コンバータ (ADC) を含むチャンネル全体の総合ドリフトは、最大で  $\pm 25$  ppm/ $^{\circ}$ C 未満です。

ADE9000 は、実効値電力、有効電力、無効電力、皮相電力、およびそれぞれの電力量に関する総合値と基本値を測定することによって、必要なあらゆる電力モニタリング機能を提供します。また、ディップとスウェルのモニタリング、周波数、位相角、電圧全高調波歪み (VTHD)、電流全高調波歪み (ITHD)、力率の測定などのより高度な機能が、電力品質の測定を可能にします。IEC 61000-4-30 クラス S に従って計算される  $\frac{1}{2}$  サイクル実効値と 10 サイクル/12 サイクル実効値は、リアルタイム・モニタリングのための瞬時実効値測定機能を提供します。

ADE9000 は、32 kSPS または 8 kSPS の固定データ・レートで、あるいはライン・サイクルあたり 128 ポイントを保証するためにライン周波数に基づいて変化するサンプリング・レートでサンプルを保存する、フレキシブル波形バッファを内蔵しています。このデバイスは、IEC 61000-4-7 に従い、外部プロセッサを

<sup>1</sup> 米国特許 8,350,558; 8,010,304 により保護されています。その他の特許は申請中です。

ディップやスウェルなどのイベントで波形ストレージをトリガ可能

IEC 61000-4-7 高調波解析用データ収集を簡素化

高度な測定機能セット

総合および基本波有効電力、無効電力 (VAR)、電力 (VA)、ワット時、VAR 時、および VA 時

総合および基本波の IRMS、VRMS

全高調波歪み

力率

有効電力量の規格に対応: IEC 62053-21、IEC 62053-22、

EN50470-3、OIML R46、ANSI C12.20

無効電力量の規格に対応: IEC 62053-23、IEC 62053-24

高速通信ポート: 20 MHz のシリアル・ポート・インターフェース (SPI)

12 ビット逐次比較レジスタ (SAR) ADC 使用の温度センサーを内蔵

$-40^{\circ}$ C ~  $+85^{\circ}$ C での精度  $\pm 3^{\circ}$ C

## アプリケーション

電力量および電力モニタリング

電力品質モニタリング

保護用デバイス

装置の状態監視

スマート配電ユニット

多相電力量計

使って、少なくとも 50 個の高調波を含む高速フーリエ変換 (FFT) を行いますが、リサンプリングはこの計算を容易にします。

ADE9000 は、アキュイジション・エンジンと計算エンジンを緊密に統合化することによって、電力量および電力品質モニタリング・システムの実装を容易にします。内蔵の ADC と DSP エンジンがさまざまなパラメータを計算し、ユーザー・アクセス可能なレジスタを介してデータを提供したり、割り込みピンを介してイベントを示したりします。7 個の専用 ADC チャンネルを備えた ADE9000 は、3 相システムや、最大 3 つの単相システムに使用することができます。また、電流測定用の電流トランス (CT) やログスキー・コイルにも対応しています。デジタル積分器を備えているので、ログスキー・コイル用のディスクリーク積分器は不要です。

ADE9000 は、電力モニタリング・システムにおける複雑な計算のほとんどを行います。シンプルなホスト・マイクロコントローラを使用することにより、ADE9000 は、スタンドアロンのモニタリング・システムや保護システムの設計、あるいはデータをクラウドにアップロードする低価格ノードの設計を可能にします。

このデータシートでは、CF4/EVENT/DREADY などの多機能ピンについてはすべてのピン名を表記しますが、特定の機能のみが該当するような説明箇所では、EVENT のように 1 つのピン機能だけを表記します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長 .....	1	S/N 比 (SNR) 性能 .....	23
アプリケーション .....	1	テスト回路 .....	24
概要 .....	1	用語の定義 .....	25
改訂履歴 .....	2	動作原理 .....	26
代表的なアプリケーション回路 .....	3	測定 .....	26
仕様 .....	4	電力品質の測定 .....	31
タイミング特性 .....	8	波形バッファ .....	35
絶対最大定格 .....	9	割込み/イベント .....	36
熱抵抗 .....	9	内部データへのアクセス .....	37
ESD に関する注意 .....	9	SPI プロトコルの概要 .....	37
ピン配置およびピン機能説明 .....	10	追加通信検証レジスタ .....	37
代表的な性能特性 .....	12	設定レジスタの CRC .....	37
電源および温度に対する電力量の直線性 .....	12	設定ロック .....	37
周波数と力率に対する電力量誤差の変化 .....	15	レジスタ・マップ .....	38
電力量の直線性と再現性 .....	16	レジスタの詳細 .....	52
温度に対する実効値の直線性の変化と周波数に対する実効値 誤差の変化 .....	17	外形寸法 .....	75
積分器オンでの電力量と実効値の直線性 .....	19	オーダー・ガイド .....	75
積分器オンでの電力量および実効値誤差の周波数に対する変化 .....	21		

## 改訂履歴

1/2017—Revision 0: Initial Version

代表的なアプリケーション回路

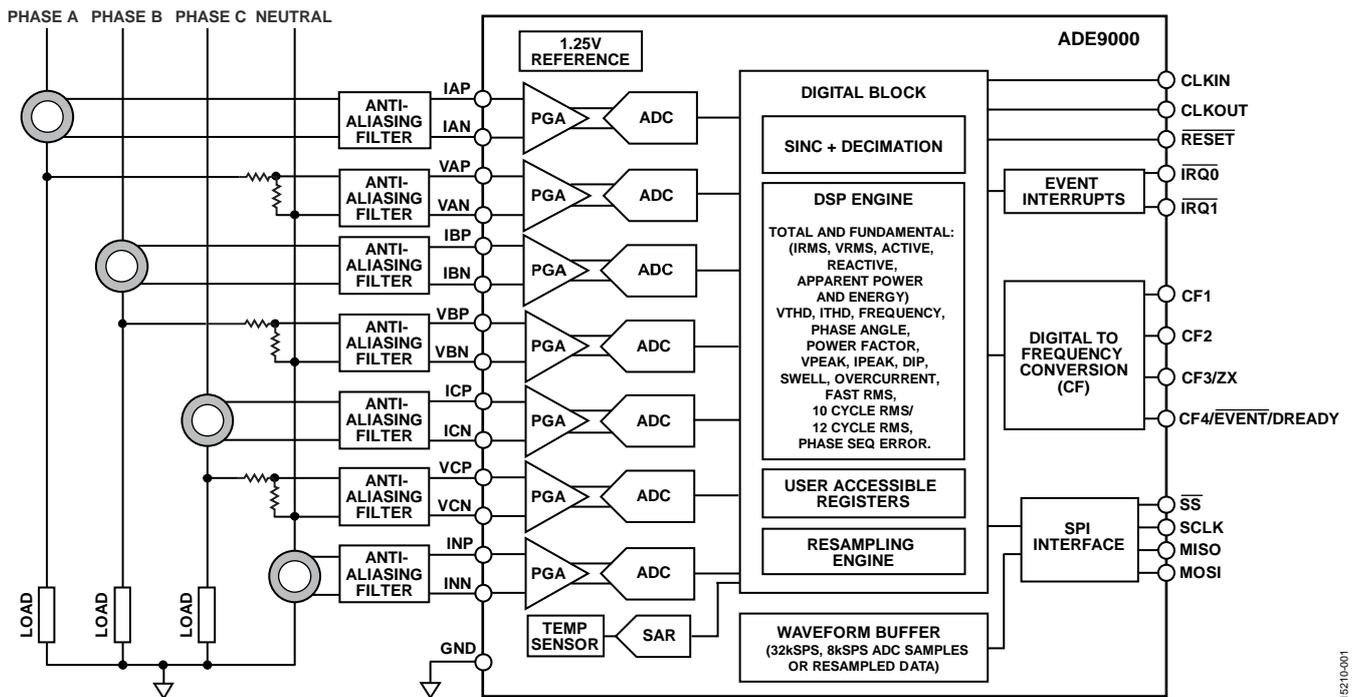


図 1.

152710-001

## 仕様

特に指定がない限り、VDD = 2.97 V ~ 3.63 V、GND = AGND = DGND = 0 V、内部リファレンス、CLKIN = 24.576 MHz 水晶発振器 (XTAL)、T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40 °C ~ +85 °C、T<sub>A</sub> = 25 °C (代表値)。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ACCURACY (MEASUREMENT ERROR PER PHASE)					
Total Active Energy		0.1		%	Over a dynamic range of 5000 to 1, 10 sec accumulation
		0.2		%	Over a dynamic range of 10,000 to 1, 20 sec accumulation
		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, high-pass filter (HPF) corner = 4.98 Hz
		0.2		%	Over a dynamic range of 5000 to 1, 10 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
Total Reactive Energy		0.1		%	Over a dynamic range of 5000 to 1, 10 sec accumulation
		0.2		%	Over a dynamic range of 10,000 to 1, 20 sec accumulation
		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.2		%	Over a dynamic range of 5000 to 1, 10 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
Total Apparent Energy		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation
		0.5		%	Over a dynamic range of 5000 to 1, 10 sec accumulation
		0.1		%	Over a dynamic range of 500 to 1, 1 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.5		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
Fundamental Active Energy		0.1		%	Over a dynamic range of 5000 to 1, 2 sec accumulation
		0.2		%	Over a dynamic range of 10,000 to 1, 10 sec accumulation
		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.2		%	Over a dynamic range of 5000 to 1, 10 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
Fundamental Reactive Energy		0.1		%	Over a dynamic range of 5000 to 1, 2 sec accumulation
		0.2		%	Over a dynamic range of 10,000 to 1, 10 sec accumulation
		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.2		%	Over a dynamic range of 5000 to 1, 10 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Fundamental Apparent Energy		0.1		%	Over a dynamic range of 5000 to 1, 2 sec accumulation
		0.5		%	Over a dynamic range of 10,000 to 1, 10 sec accumulation
		0.1		%	Over a dynamic range of 1000 to 1, 2 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.5		%	Over a dynamic range of 5000 to 1, 10 sec accumulation, PGA = 4, integrator on, HPF corner = 4.98 Hz
IRMS, VRMS		0.1		%	Over a dynamic range of 1000 to 1
		0.5		%	Over a dynamic range of 5000 to 1
		0.1		%	Over a dynamic range of 500 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.5		%	Over a dynamic range of 1000 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
Fundamental IRMS, VRMS		0.1		%	Over a dynamic range of 1000 to 1
		0.5		%	Over a dynamic range of 5000 to 1
		0.1		%	Over a dynamic range of 500 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.5		%	Over a dynamic range of 2000 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
Active Power, VAR, VA		0.2		%	Over a dynamic range of 1000 to 1
		0.4		%	Over a dynamic range of, 3000 to 1
		0.2		%	Over a dynamic range of 500 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
		0.5		%	Over a dynamic range of 1000 to 1, PGA = 4, integrator on, HPF corner = 4.98 Hz
Power Factor (PF) Error		±0.001		%	Over a dynamic range of 5000 to 1
128-Point per Line Cycle Resampled Data		0.1		%	An FFT is performed to receive the magnitude response; this error is the worst case error in the magnitude caused by resampling algorithm distortion; input signal is 50 Hz fundamental and ninth harmonic both at half of full scale (FS)
		-72		dB	Amplitude of highest spur; input signal is 50 Hz fundamental and ninth harmonic both at half of FS
		1.25		%	An FFT is performed to receive the magnitude response; this error is the worst case error in the magnitude caused by resampling algorithm distortion; input signal is 50 Hz fundamental and 31 <sup>st</sup> harmonic, both at half of FS
		-38		dB	Amplitude of highest spur; input signal is 50 Hz fundamental and 31 <sup>st</sup> harmonic, both at half of FS
VRMS <sup>1/2</sup> , IRMS <sup>1/2</sup> RMS Voltage Refreshed Each Half-Cycle <sup>1</sup>		0.25		%	Data sourced before HPF, no dc offset at inputs, over a dynamic range of 100 to 1
10 Cycle/12 Cycle IRMS, VRMS <sup>1</sup>		0.2		%	Data sourced before HPF, no dc offset at inputs, over a dynamic range of 100 to 1
Line Period Measurement		0.001		Hz	Resolution at 50 Hz
Current to Current, Voltage to Voltage, and Voltage to Current Angle Measurement		0.018		Degrees	Resolution at 50 Hz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC					
PGA Gain Settings (PGA_GAIN)		1, 2, or 4		V/V	PGA gain setting is referred to as PGA_GAIN
Differential Input Voltage Range (V <sub>xP</sub> to V <sub>xN</sub> , I <sub>xP</sub> to I <sub>xN</sub> )	-1/Gain		+1/Gain	V	707 mV rms, when V <sub>REF</sub> = 1.25 V, this voltage corresponds to 53 million codes
Maximum Operating Voltage on Analog Input Pins (V <sub>xP</sub> , V <sub>xN</sub> , I <sub>xP</sub> , and I <sub>xN</sub> )	-0.6		+0.6	V	Voltage on the pin with respect to ground (GND = AGND = DGND = REF <sub>GND</sub> )
Signal-to-Noise Ratio (SNR) <sup>2</sup>					
PGA = 1		96		dB	32 kSPS, sinc4 output, V <sub>IN</sub> = -0.5 dB from FS
		101		dB	8 kSPS, sinc4 + infinite impulse response (IIR), low-pass filter (LPF) output, V <sub>IN</sub> = -0.5 dB from FS
PGA = 4		93		dB	32 kSPS, sinc4 output
		96		dB	8 kSPS, sinc4 + IIR LPF output
Total Harmonic Distortion (THD) <sup>2</sup>					
PGA = 1		-101	-95	dB	32 kSPS, sinc4 output, V <sub>IN</sub> = -0.5 dB from FS
		-101	-95	dB	8 kSPS, sinc4 + IIR LPF output, V <sub>IN</sub> = -0.5 dB from FS
PGA = 4		-107	-99	dB	32 kSPS, sinc4 output
		-107	-99	dB	8 kSPS, sinc4 + IIR LPF output
Signal-to-Noise and Distortion Ratio (SINAD) <sup>2</sup>					
PGA = 1		95		dB	32 kSPS, sinc4 output, V <sub>IN</sub> = -0.5 dB from FS
		98		dB	8 kSPS, sinc4 + IIR LPF output, V <sub>IN</sub> = -0.5 dB from FS
PGA = 4		93		dB	32 kSPS, sinc4 output
		96		dB	8 kSPS, sinc4 + IIR LPF output
Spurious-Free Dynamic Range (SFDR) <sup>2</sup>					
PGA = 1		100		dB	32 kSPS, sinc4 output, V <sub>IN</sub> = -0.5 dB from FS
		100		dB	8 kSPS, sinc4 + IIR LPF output, V <sub>IN</sub> = -0.5 dB from FS
Output Pass Band (0.1dB)					
Sinc4 Outputs		1.344		kHz	32 kSPS, sinc4 output
Sinc4 + IIR LPF Outputs		1.344		kHz	8 kSPS output
Output Bandwidth (-3 dB) <sup>2</sup>					
Sinc4 Outputs		7.2		kHz	32 kSPS, sinc4 output
Sinc4 + IIR LPF Outputs		3.2		kHz	8 kSPS output
Crosstalk <sup>2</sup>		-120		dB	At 50 Hz or 60 Hz, see the Terminology section
AC Power Supply Rejection Ratio (AC PSRR) <sup>2</sup>		-120		dB	At 50 Hz, see the Terminology section
Common-Mode Rejection Ratio (AC CMRR) <sup>2</sup>		115		dB	At 100 Hz and 120 Hz
Gain Error		±0.3	±1	%typ	See the Terminology section
Gain Drift <sup>2</sup>		±3		ppm/°C	See the Terminology section
Offset		±0.040	±3.8	mV	See the Terminology section
Offset Drift <sup>2</sup>		0	±2	μV/°C	See the Terminology section
Channel Drift (PGA, ADC, Internal Voltage Reference)		±7	±25	ppm/°C	PGA = 1, internal V <sub>REF</sub>
		±7	±25	ppm/°C	PGA = 2, internal V <sub>REF</sub>
		±7	±25	ppm/°C	PGA = 4, internal V <sub>REF</sub>
Differential Input Impedance (DC)	165	185		kΩ	PGA = 1, see the Terminology section
	80	90		kΩ	PGA = 2
	40	45		kΩ	PGA = 4

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INTERNAL VOLTAGE REFERENCE					
Voltage Reference		1.250		V	Nominal = 1.25 V $\pm$ 1 mV
Temperature Coefficient <sup>2</sup>		$\pm 5$	$\pm 20$	ppm/ $^{\circ}$ C	$T_A = 25^{\circ}$ C, REF pin $T_A = -40^{\circ}$ C to $+85^{\circ}$ C, tested during device characterization
EXTERNAL VOLTAGE REFERENCE					
Input Voltage (REF)		1.2 or 1.25		V	REFGND must be tied to GND, AGND, and DGND, a 1.25 V external reference is preferred; the FS values mentioned in this data sheet are for a voltage reference of 1.25 V
Input Impedance		7.5		k $\Omega$	
TEMPERATURE SENSOR					
Temperature Accuracy		$\pm 2$ $\pm 3$		$^{\circ}$ C $^{\circ}$ C	$-10^{\circ}$ C to $+40^{\circ}$ C $-40^{\circ}$ C to $+85^{\circ}$ C
Temperature Readout Step Size			0.3	$^{\circ}$ C	
CRYSTAL OSCILLATOR					
Input Clock Frequency	24.33	24.576	24.822	MHz	All specifications use CLKIN = 24.576 MHz $\pm$ 30 ppm
Internal Capacitance on CLKIN, CLKOUT		4		pF	
Internal Feedback Resistance Between CLKIN and CLKOUT		2.45		M $\Omega$	
Transconductance ( $g_m$ )	5	8		mA/V	
EXTERNAL CLOCK INPUT					
Input Clock Frequency	24.330	24.576	24.822	MHz	$\pm 1\%$
Duty Cycle <sup>2</sup>	45:55	50:50	55:45	%	
CLKIN Logic Input Voltage					3.3 V tolerant
High, $V_{INH}$	1.2			V	$V_{DD} = 2.97$ V to 3.63 V
Low, $V_{INL}$			0.5	V	$V_{DD} = 2.97$ V to 3.63 V
LOGIC INPUTS (PM0, PM1, RESET, MOSI, SCLK, and SS)					
Input Voltage					
$V_{INH}$	2.4			V	$V_{IN} = 0$ V
$V_{INL}$			0.8	V	
Input Current, $I_{IN}$			15	$\mu$ A	
Internal Capacitance, $C_{IN}$			10	pF	
LOGIC OUTPUTS					
MISO, IRQ0, and IRQ1					
Output Voltage					
High, $V_{OH}$	2.4			V	$I_{SOURCE} = 4$ mA
Low, $V_{OL}$			0.8	V	$I_{SINK} = 4$ mA
Internal Capacitance, $C_{IN}$			10	pF	
CF1, CF2, CF3, and CF4					
Output Voltage					
$V_{OH}$	2.4			V	$I_{SOURCE} = 7$ mA
$V_{OL}$			0.8	V	$I_{SINK} = 8$ mA
$C_{IN}$			10	pF	
LOW DROPOUT REGULATORS (LDOs)					
AVDD		1.9		V	
DVDD		1.7		V	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>POWER SUPPLY</b>					
$V_{DD}$	2.97	3.3	3.63	V	Power-on reset level is 2.4 V to 2.6 V
Supply Current ( $V_{DD}$ )					
Power Save Mode 0 (PSM0)		15	17	mA	Normal mode
Power Save Mode 3 (PSM3)		14.5	16.5	mA	Normal mode, six ADCs enabled
Power Save Mode 3 (PSM3)		90	300	nA	Idle, $V_{DD} = 3.3$ V, $A V_{DD} = 0$ V, $DV_{DD} = 0$ V

<sup>1</sup> IEC 61000-4-30 クラス S を実現可能。  
<sup>2</sup> デバイスの特性評価時にテスト。

タイミング特性

表 2.

Parameter	Symbol	Min	Typ	Max	Unit
SS to SCLK Edge	$t_{SS}$	10			ns
SCLK Frequency	$f_{SCLK}$			20	MHz
SCLK Low Pulse Width	$t_{SL}$	20			ns
SCLK High Pulse Width	$t_{SH}$	20			ns
Data Output Valid After SCLK Edge	$t_{DAV}$			20	ns
Data Input Setup Time Before SCLK Edge	$t_{DSU}$	10			ns
Data Input Hold Time After SCLK Edge	$t_{DHD}$	10			ns
Data Output Fall Time	$t_{DF}$			10	ns
Data Output Rise Time	$t_{DR}$			10	ns
SCLK Fall Time	$t_{SF}$			10	ns
SCLK Rise Time	$t_{SR}$			10	ns
MISO Disable Time After SS Rising Edge	$t_{DIS}$			100	ns
SS High After SCLK Edge	$t_{SFS}$	0			ns

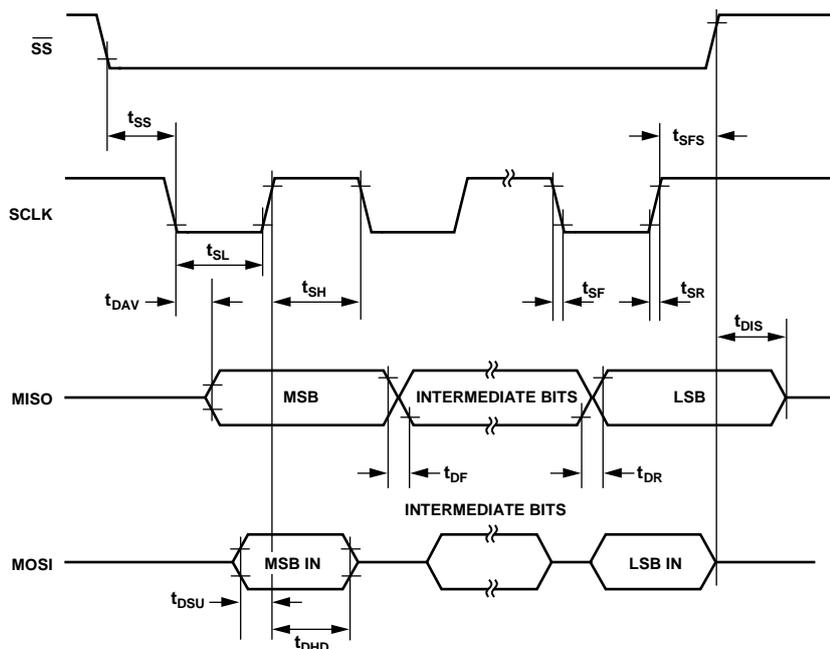


図 2. SPI インターフェースのタイミング図

15210-02

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
VDD to GND	-0.3 V to +3.96 V
Analog Input Voltage to GND, IAP, IAN, IBP, IBN, ICP, ICN, VAP, VAN, VBP, VBN, VCP, VCN	-2 V to +2 V
Reference Input Voltage to REFGND	-0.3 V to +2 V
Digital Input Voltage to GND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to GND	-0.3 V to VDD + 0.3 V
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec) <sup>1</sup>	260°C
ESD	
Human Body Model <sup>2</sup>	4 kV
Machine Model <sup>3</sup>	300 V
Field Induced Charged Device Model (FICDM) <sup>4</sup>	1.25 kV

<sup>1</sup> RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを推奨します。この規格の最新バージョンについては、JEDEC にお問い合わせください。

<sup>2</sup> 適用規格: ANSI/ESDA/JEDEC JS-001-2014。

<sup>3</sup> 適用規格: JESD22-A115-A (JEDEC の ESD マシン・モデル規格)。

<sup>4</sup> 適用規格: JESD22-C101F (JEDEC の ESD FICDM 規格)。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関係しています。PCB の熱設計には細心の注意が必要です。

$\theta_{JA}$  と  $\theta_{JC}$  はワーストケースの条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定していません。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
CP-40-7 <sup>1</sup>	27.14	3.13	°C/W

<sup>1</sup> ジャンクション-周囲間の測定には、4×4 の標準 JEDEC ビアを持つ 2S2P JEDEC テスト・ボードを使用しています。ジャンクション-ケース間の測定には、4×4 の標準 JEDEC ビアを持つ 1S0P JEDEC テスト・ボードを使用しています。JEDEC 規格 JESD51-2 を参照。

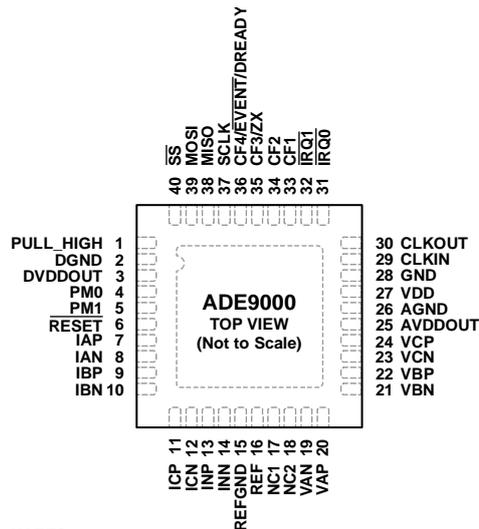
## ESD に関する注意



## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



- NOTES**
1. IT IS RECOMMENDED TO TIE THE NC1 AND NC2 PINS TO GROUND.
  2. EXPOSED PAD. CREATE A SIMILAR PAD ON THE PRINTED CIRCUIT BOARD (PCB) UNDER THE EXPOSED PAD. SOLDER THE EXPOSED PAD TO THE PAD ON THE PCB TO CONFER MECHANICAL STRENGTH TO THE PACKAGE AND CONNECT ALL GROUNDS (GND, AGND, DGND, AND REFGND) TOGETHER AT THIS POINT.

15210-003

図 3. ピン配置

表 5. ピン機能の説明

Pin No.	Mnemonic	Description
1	PULL_HIGH	ハイにします。このピンはVDDに接続します。
2	DGND	デジタル・グラウンド。このピンは、ADE9000 デジタル回路のグラウンド基準になります。ADE9000のデジタル・リターン電流は小さいので、このピンは、システム全体のアナログ・グラウンド・プレーンに接続することもできます。すべてのグラウンド (GND、AGND、DGND、および REFGND) を 1 点に接続してください。
3	DVDDOUT	デジタル低ドロップアウト・レギュレータ (LDO) の 1.8 V 出力。このピンは、0.1 μF のセラミック・コンデンサと 4.7 μF のセラミック・コンデンサを並列に接続してデカップリングします。
4	PM0	電力モード・ピン 0。PM0 は、PM1 との組み合わせによって電力モードを決定します。通常動作時は PM0 と PM1 を接地します。
5	PM1	電力モード・ピン 1。PM1 は、PM0 との組み合わせによって電力モードを決定します。通常動作時は PM0 と PM1 を接地します。
6	RESET	リセット入力、アクティブ・ロー。ハードウェア・リセットをトリガするには、このピンを少なくとも 1 μs ローに維持する必要があります。
7, 8	IAP, IAN	アナログ入力、チャンネル IA。IAP (正) 入力と IAN (負) 入力は、最大差動レベル ±1 V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
9, 10	IBP, IBN	アナログ入力、チャンネル IB。IBP (正) 入力と IBN (負) 入力は、最大差動レベル ±1 V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
11, 12	ICP, ICN	アナログ入力、チャンネル IC。ICP (正) 入力と ICN (負) 入力は、最大差動レベル ±1 V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
13, 14	INP, INN	アナログ入力、チャンネル IN。INP (正) 入力と INN (負) 入力は、最大差動レベル ±1 V の完全差動電圧入力です。このチャンネルは、ゲイン 1、2、または 4 の PGA も内蔵しています。
15	REFGND	グラウンド・リファレンス、内部電圧リファレンス。すべてのグラウンド (GND、AGND、DGND、および REFGND) を 1 点に接続してください。
16	REF	電圧リファレンス。REF ピンから内部電圧リファレンスにアクセスできます。内部リファレンスの公称値は 1.25 V です。このピンには、1.2 V ~ 1.25 V の外部リファレンス源を接続することもできます。いずれの場合も、0.1 μF のセラミック・コンデンサと 4.7 μF のセラミック・コンデンサを並列に接続して、REF を REFGND にデカップリングしてください。リセットをすると、内部リファレンスがイネーブルされます。外部回路で内部電圧リファレンスを使用するには、バッファが必要です。
17	NC1	未接続。このピンはグラウンドに接続することを推奨します。
18	NC2	未接続。このピンはグラウンドに接続することを推奨します。

Pin No.	Mnemonic	Description
19, 20	VAN, VAP	アナログ入力、チャンネルVA。VAP（正）入力とVAN（負）入力は、最大差動レベル $\pm 1$ Vの完全差動電圧入力です。このチャンネルは、ゲイン1、2、または4のPGAも内蔵しています。
21, 22	VBN, VBP	アナログ入力、チャンネルVB。VBP（正）入力とVBN（負）入力は、最大差動レベル $\pm 1$ Vの完全差動電圧入力です。このチャンネルは、ゲイン1、2、または4のPGAも内蔵しています。
23, 24	VCN, VCP	アナログ入力、チャンネルVC。VCP（正）入力とVCN（負）入力は、最大差動レベル $\pm 1$ Vの完全差動電圧入力です。このチャンネルは、ゲイン1、2、または4のPGAも内蔵しています。
25	AVDDOUT	アナログ低ドロップアウト・レギュレータ（LDO）の1.9V出力。AVDDOUTは、0.1 $\mu$ Fのセラミック・コンデンサと4.7 $\mu$ Fのセラミック・コンデンサを並列に接続してデカップリングします。このピンには外部の能動回路を接続しないでください。
26	AGND	アナログ・グラウンド・リファレンス。すべてのグラウンド（GND、AGND、DGND、およびREFGND）を1点に接続してください。
27	VDD	電源電圧。VDDピンは電源電圧を供給します。VDDは、0.1 $\mu$ Fのセラミック・コンデンサと10 $\mu$ Fのセラミック・コンデンサを並列に接続して、DGNDにデカップリングしてください。
28	GND	電源グラウンド・リファレンス。すべてのグラウンド（GND、AGND、DGND、およびREFGND）を1点に接続してください。
29	CLKIN	水晶発振器／クロック入力。クロック源を供給するには、CLKINとCLKOUTに水晶発振器を接続します。あるいは、このロジック入力に外部クロックを入力することもできます。
30	CLKOUT	水晶発振器出力。クロック源を供給するには、CLKINとCLKOUTに水晶発振器を接続します。外部回路を駆動するためにCLKOUTを使用する時は、外部バッファを接続してください。
31	IRQ0	割込み要求出力。このピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントについては、「割込み／イベント」のセクションを参照してください。
32	IRQ1	割込み要求出力。このピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントについては、「割込み／イベント」のセクションを参照してください。
33	CF1	補正周波数（CF）ロジック出力1。CF1、CF2、CF3、およびCF4出力は、CFMODEレジスタのCFxSELビットに基づいて電力情報を提供します。これらの出力は動作および補正用に使用します。フルスケール出力周波数は、CFxDENレジスタへの書き込みによってスケールリングしてください（デジタル／周波数変換 — CFx出力のセクションを参照）。
34	CF2	CVロジック出力2。このピンはCF2を示します。
35	CF3/ZX	CFロジック出力／ゼロ交差。このピンは、CF3またはゼロ交差を示します。
36	CF4/EVENT/DREADY	CFロジック出力4／イベント・ピン／データ・レディ。このピンはCF4イベント、または新しいデータの準備ができたことを示します。
37	SCLK	SPIポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します（内部データへのアクセスのセクションを参照）。SCLKピンは、例えば光アイソレータ出力など、エッジ遷移時間が長いクロック・ソースに使用するためのシュミット・トリガ入力を備えています。
38	MISO	SPIポート用データ出力。
39	MOSI	SPIポート用データ入力。
40	SS	SPIポート用スレーブ選択。
	EPAD	露出パッド。露出パッド下のプリント回路基板（PCB）上に、同様のパッドを作成してください。機械的強度を確保するために露出パッドをPCB上のパッドにハンダ付けし、すべてのグラウンド（GND、AGND、DGND、REFGND）をこのポイントにまとめて接続します。

## 代表的な性能特性

### 電源および温度に対する電力量の直線性

総合電力量は、振幅がフルスケールの 50 % で周波数が 50 Hz の正弦波電圧、フルスケールの 100 % から 0.01 % または 0.02 % までの可変振幅で周波数 50 Hz の正弦波電流、および積分器オフの条件から得られる値です。基本波電力量は、別途指定のない限り、振幅がフルスケールの 50 % で第 5 高調波と同相の基本波電圧成分、フルスケールの 100 % から 0.01 % までの可変振幅の 50 Hz 成分の電流、基本波の 40 % の一定振幅を持つ第 5 高調波、積分器オフの条件で得られる値です。

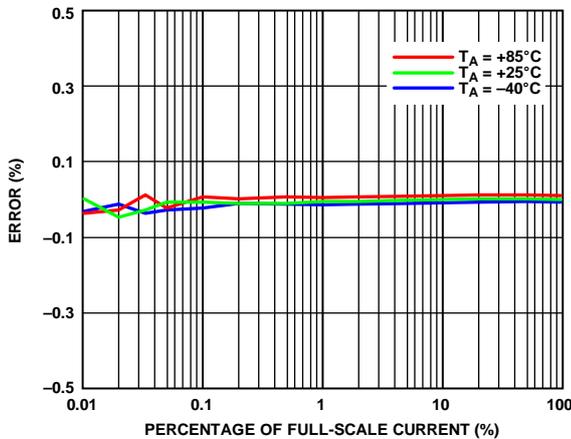


図 4. フルスケール電流のパーセンテージで表した総合有効電力量誤差の温度に対する変化 (力率 = 1)

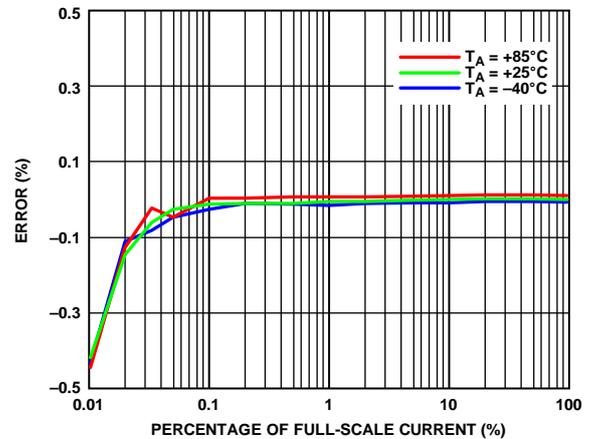


図 6. フルスケール電流のパーセンテージで表した総合皮相電力量誤差の温度に対する変化 (力率 = 1)

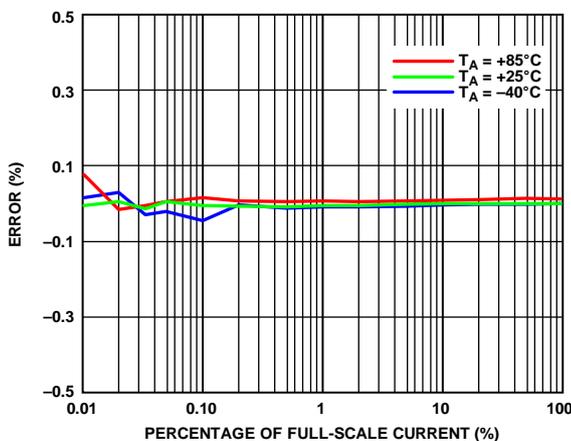


図 5. フルスケール電流のパーセンテージで表した総合無効電力量誤差の温度に対する変化 (力率 = 0)

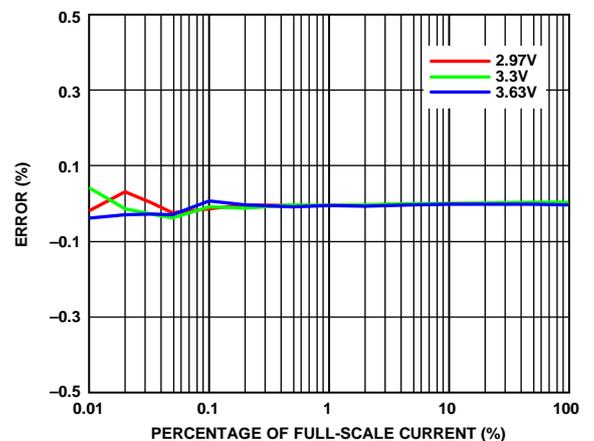


図 7. フルスケール電流のパーセンテージで表した総合有効電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25^\circ\text{C}$ )

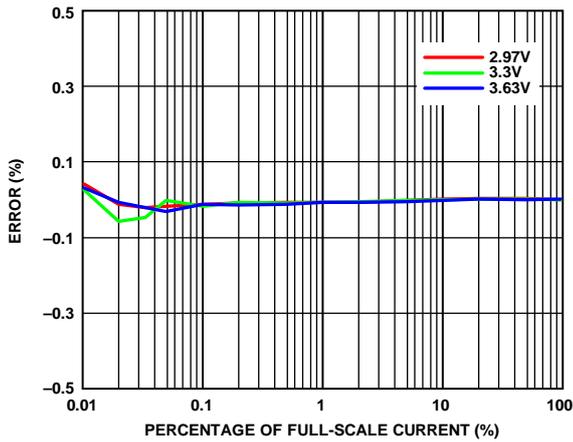


図 8. フルスケール電流のパーセンテージで表した総合無効電力量誤差の電源電圧に対する変化 (力率 = 0、 $T_A = 25^\circ\text{C}$ )

15210-108

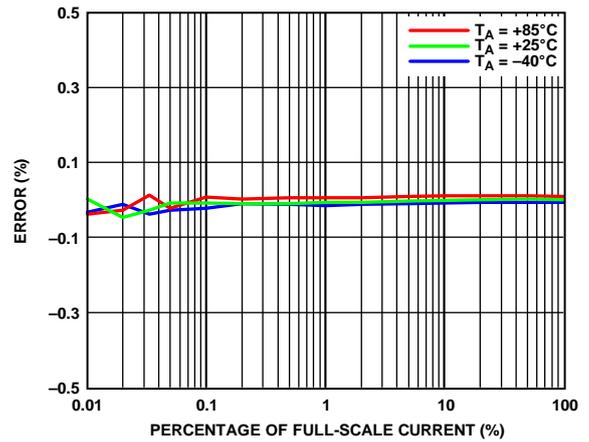


図 11. フルスケール電流のパーセンテージで表した基本波無効電力量誤差の温度に対する変化 (力率 = 0)

15210-142

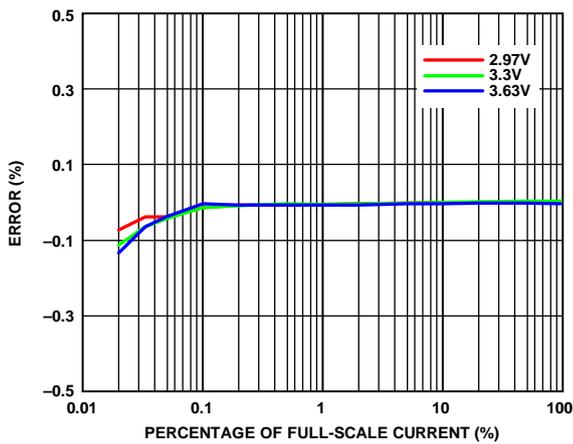


図 9. フルスケール電流のパーセンテージで表した総合皮相電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25^\circ\text{C}$ )

15210-109

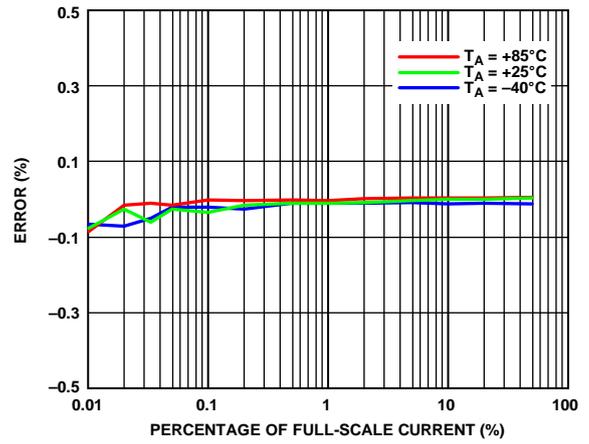


図 12. フルスケール電流のパーセンテージで表した基本波皮相電力量誤差の温度に対する変化 (力率 = 1)

15210-143

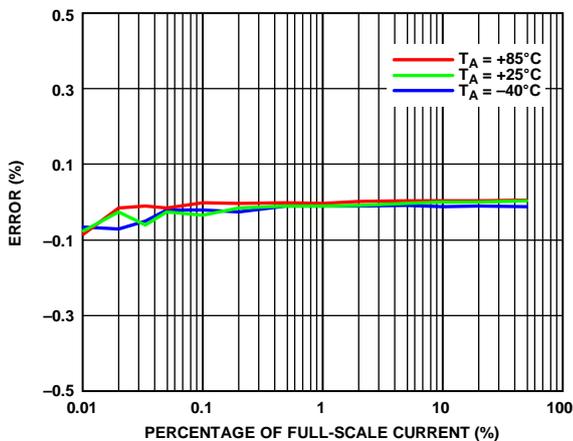


図 10. フルスケール電流のパーセンテージとして表した基本波有効電力量誤差の温度に対する変化 (力率 = 1)

15210-141

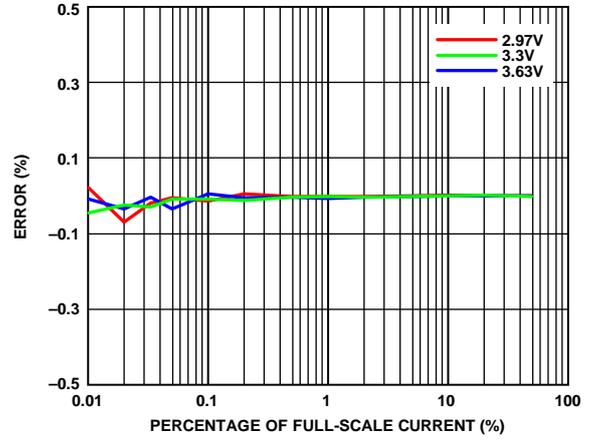


図 13. フルスケール電流のパーセンテージで表した基本波有効電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25^\circ\text{C}$ )

15210-147

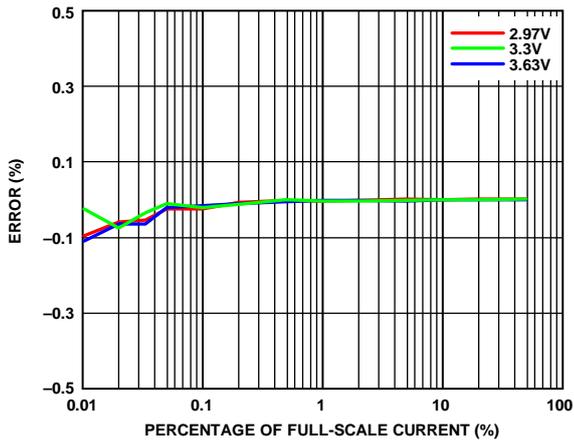


図 14. フルスケール電流のパーセンテージで表した基本波無効電力量誤差の電源電圧に対する変化 (力率 = 0、 $T_A = 25\text{ }^\circ\text{C}$ )

15210-148

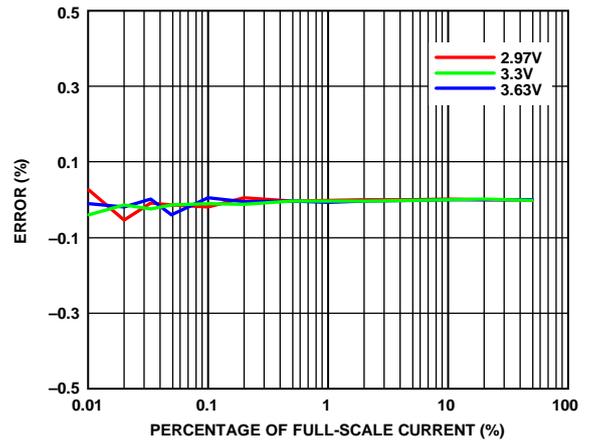


図 15. フルスケール電流のパーセンテージで表した基本波皮相電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25\text{ }^\circ\text{C}$ )

15210-149

周波数と力率に対する電力量誤差の変化

総合電力量は、振幅がフルスケールの 50 % の正弦波電圧、フルスケールの 10 % で一定の振幅を持つ正弦波電流、45 Hz ~ 65 Hz の可変周波数、および積分器オフの条件から得られる値です。基本波電力量は、別途指定のない限り、振幅がフルスケールの 50 % で第 5 高調波と同相の基本波電圧成分、フルスケールの 10 % で一定の振幅を持つ 50 Hz 成分の電流、基本波の 40 % で一定の振幅を持つ第 5 高調波、積分器オフの条件で得られる値です。

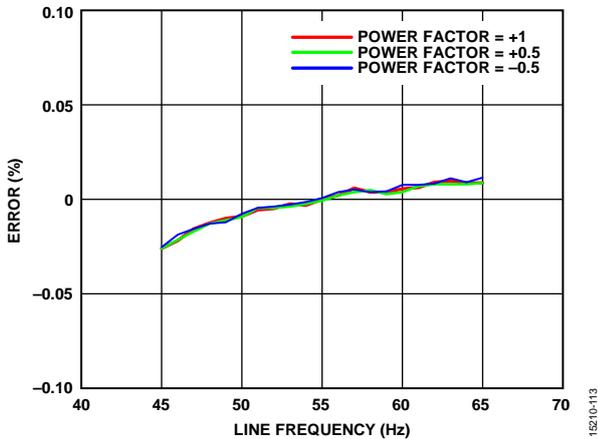


図 16. ライン周波数対総合有効電力量誤差 (力率 = -0.5、力率 = +0.5、力率 = +1)

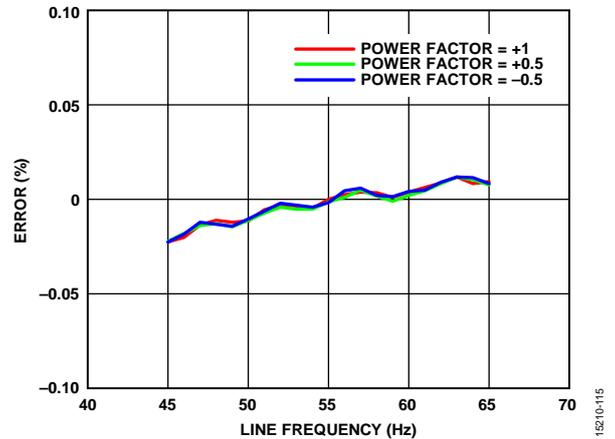


図 19. ライン周波数対基本波有効電力量誤差 (力率 = -0.5、力率 = +0.5、力率 = +1)

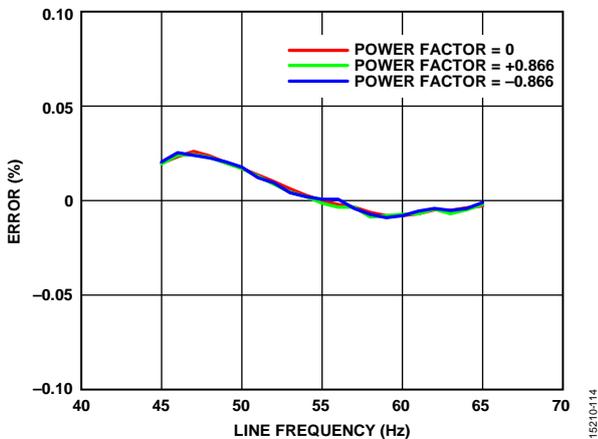


図 17. ライン周波数対総合無効電力量誤差 (力率 = -0.866、力率 = 0、力率 = +0.866)

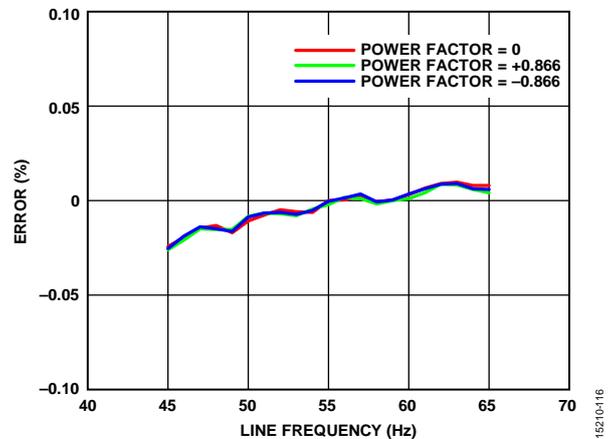


図 20. ライン周波数対基本波無効電力量誤差 (力率 = -0.866、力率 = 0、力率 = +0.866)

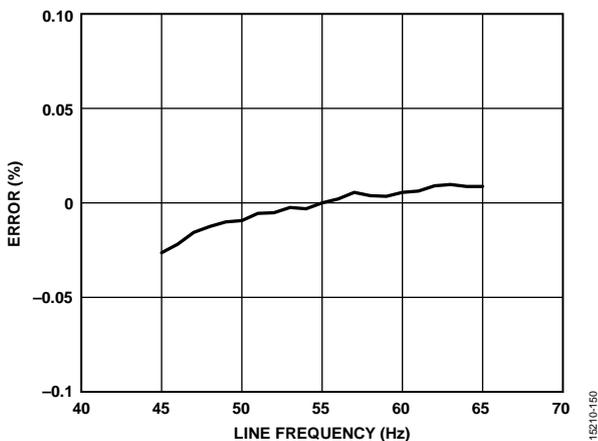


図 18. ライン周波数対総合皮相電力量誤差

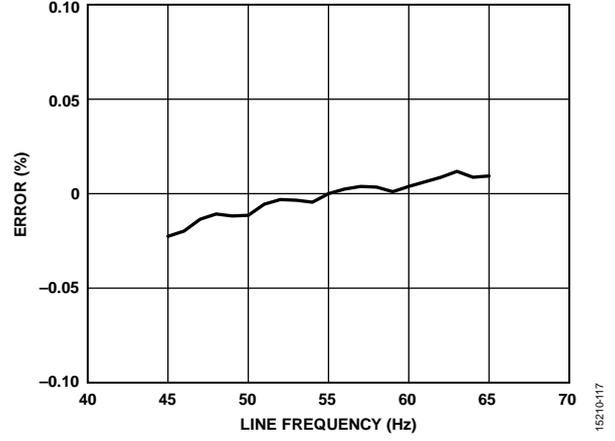
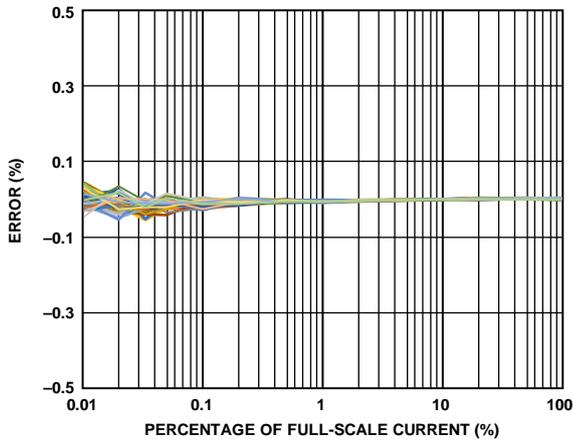


図 21. ライン周波数対基本波皮相電力量誤差

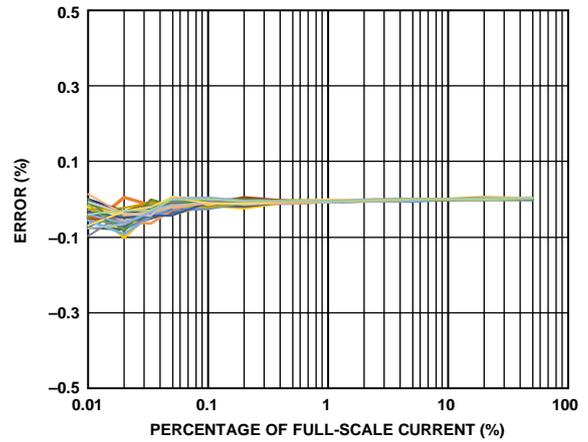
電力量の直線性と再現性

総合電力量は、振幅がフルスケールの 50 % で周波数が 50 Hz の正弦波電圧、フルスケールの 100 % から 0.01 % までの可変振幅で周波数 50 Hz の正弦波電流、および積分器オフの条件から得られる値です。基本波電力量は、振幅がフルスケールの 50 % で第 5 高調波と同相の基本波電圧成分、フルスケールの 100 % から 0.01 % までの可変振幅の 50 Hz 成分の電流、基本波の 40 % の一定振幅を持つ第 5 高調波、積分器オフの条件で得られる値です。別途指定のない限り、測定は 25 °C で 30 回反復。



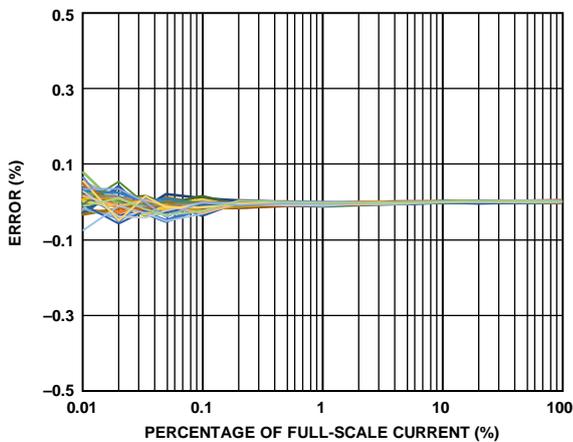
19210-123

図 22. フルスケール電流のパーセンテージで表した総合有効電力量誤差、力率 = 1 (フルスケール電流の 0.01 % における標準偏差  $\sigma = 0.02\%$ )



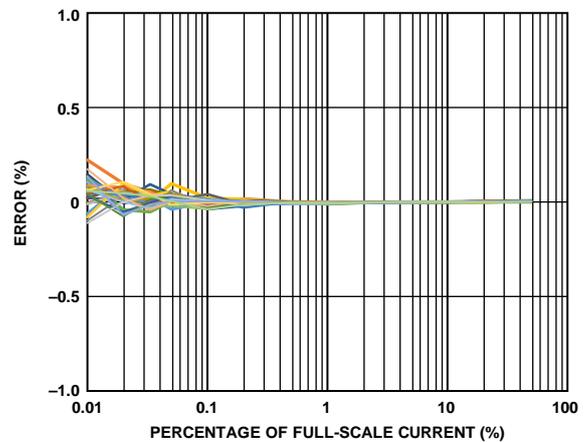
19210-125

図 24. フルスケール電流のパーセンテージで表した基本波有効電力量誤差、力率 = 1 (フルスケール電流の 0.01 % における標準偏差  $\sigma = 0.03\%$ )



19210-124

図 23. フルスケール電流のパーセンテージで表した総合無効電力量誤差、力率 = 0 (フルスケール電流の 0.01 % における標準偏差  $\sigma = 0.03\%$ )



19210-126

図 25. フルスケール電流のパーセンテージで表した基本波無効電力量誤差、力率 = 0 (フルスケール電流の 0.01 % における標準偏差  $\sigma = 0.04\%$ )

温度に対する実効値の直線性の変化と周波数に対する実効値誤差の変化

実効値の直線性は、50 Hz の周波数を使用してフルスケールの 100 % から 0.01 % までの可変振幅の正弦波電流および電圧で得られ、総合実効値誤差の周波数に対する変化は、フルスケールの 10 % の正弦波電流振幅およびフルスケールの 50 % の電圧振幅、積分器オフの状態です。基本実効値誤差の周波数特性は、別途指定のない限り、フルスケールの 10 % 振幅の正弦波電流、フルスケールの 50 % の電圧振幅、基本波の 40 % の一定振幅を持つ第 5 高調波、積分器オフの条件で得られます。

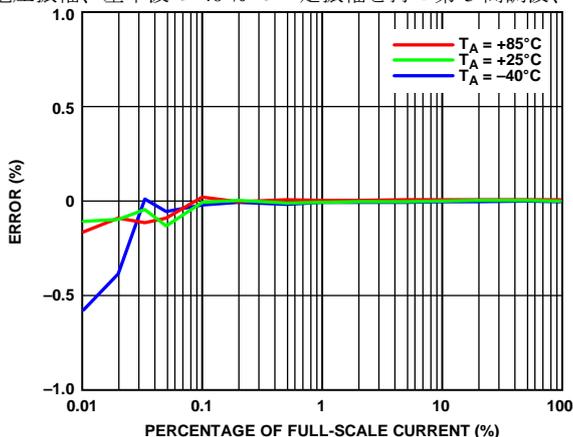


図 26. フルスケールのパーセンテージで表した電流実効値誤差の温度に対する変化

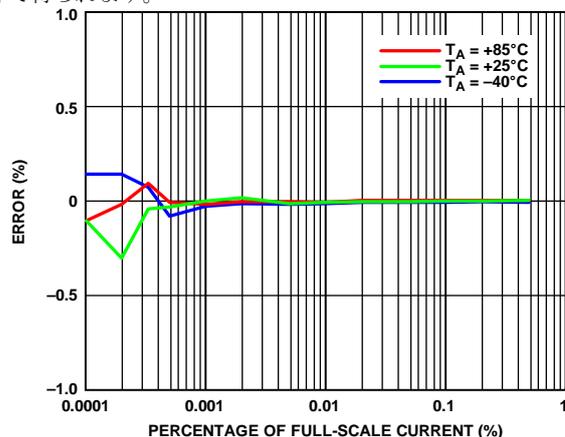


図 29. フルスケール電流のパーセンテージで表した基本電流実効値誤差の温度に対する変化

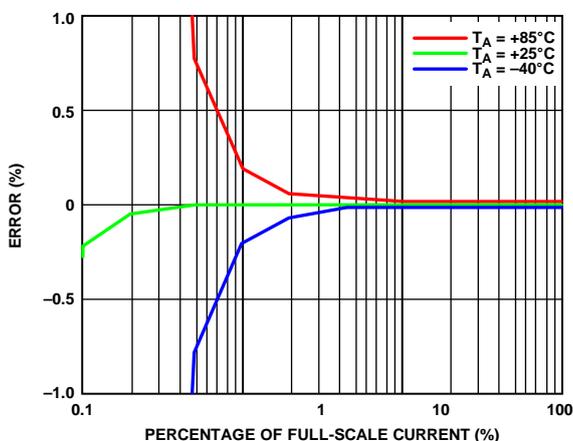


図 27. フルスケール電流のパーセンテージで表した 1/2 サイクル電流実効値誤差の温度に対する変化 (データはハイパス・フィルタの前で抽出、オフセット補正、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 1)

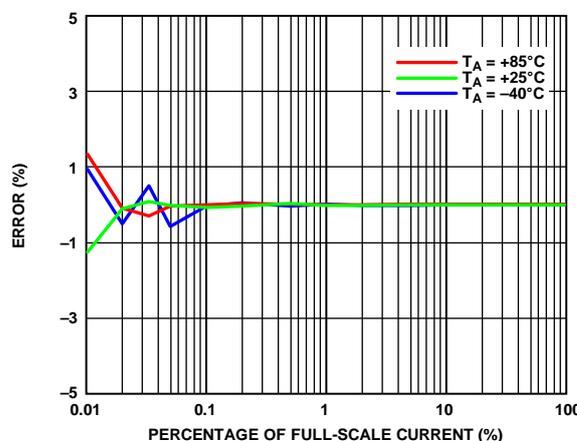


図 30. フルスケール電流のパーセンテージで表した 1/2 サイクル電流実効値誤差の温度に対する変化 (データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

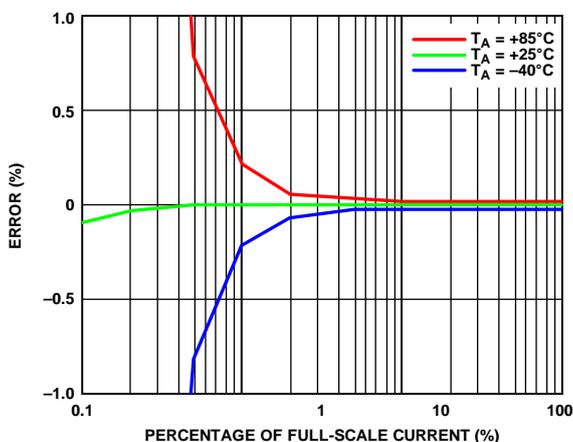


図 28. フルスケール電流のパーセンテージで表した 1/2 サイクル電流実効値誤差の温度に対する変化 (データはハイパス・フィルタの前で抽出、オフセット補正、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 1)

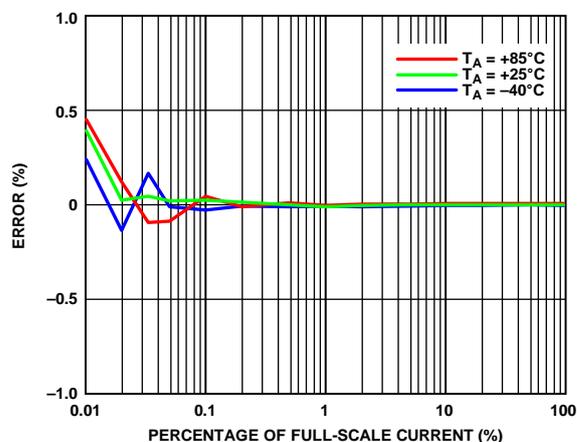


図 31. フルスケール電流のパーセンテージで表した 10 サイクル電流実効値/12 サイクル電流誤差の温度に対する変化 (データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

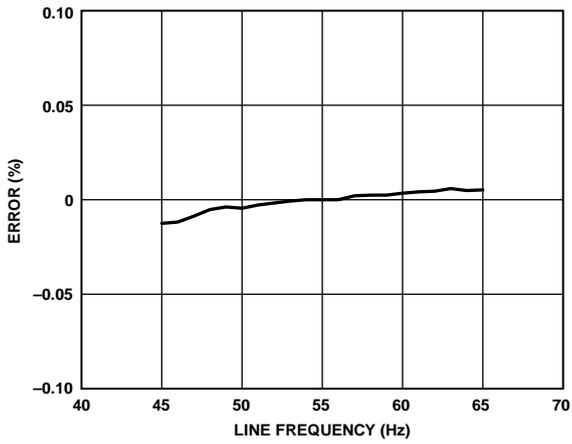


図 32. ライン周波数対電流実効値誤差

15210-118

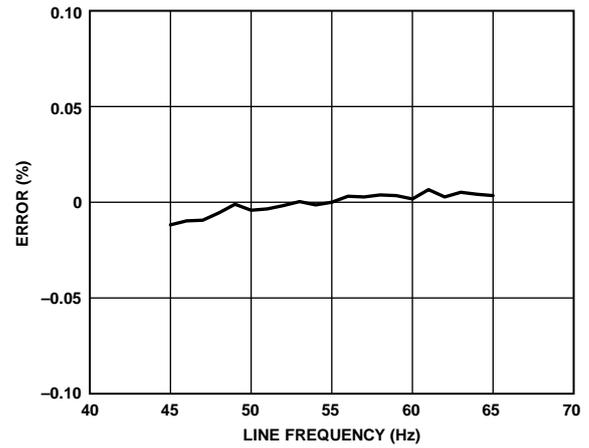


図 34. ライン周波数対 1/2 サイクル電流実効値誤差  
(データはハイパス・フィルタの後で抽出、  
CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

15210-121

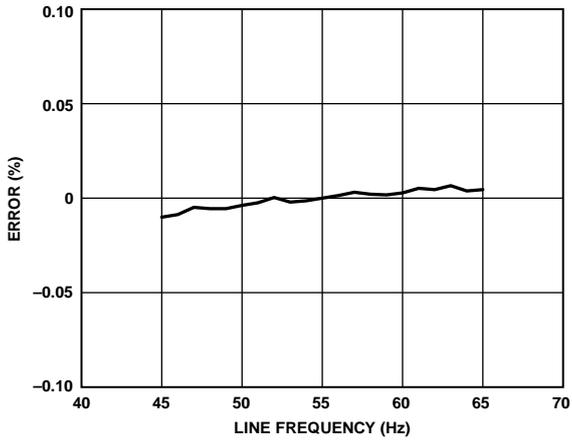


図 33. ライン周波数対基本波電流実効値誤差

15210-120

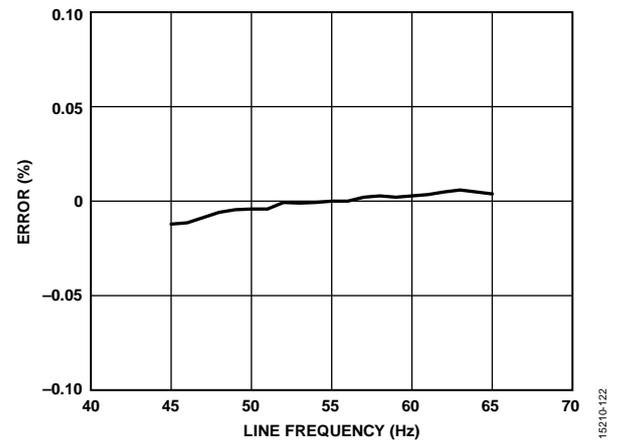


図 35. ライン周波数対 10 サイクル電流実効値 / 12 サイクル  
電流誤差 (データはハイパス・フィルタの後で抽出、  
CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

15210-122

積分器オンでの電力量と実効値の直線性

別途指定のない限り、正弦波電圧の振幅はフルスケールの50%で周波数は50Hz、PGA\_GAINはゲイン4に設定、正弦波電流はフルスケールの100%から0.01%または0.1%まで可変で周波数は50Hz、ゲイン4でのフルスケール=(ゲイン1でのフルスケール)/4、ハイパス・コーナー周波数4.97Hz、 $T_A = 25^\circ\text{C}$ 。

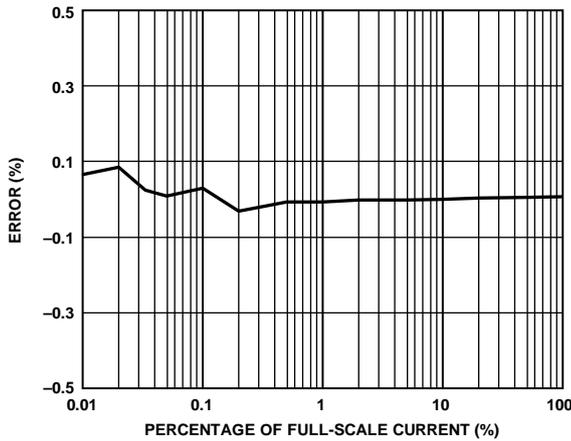


図 36. 総合有効電力量誤差 (ゲイン 4、積分器オン)

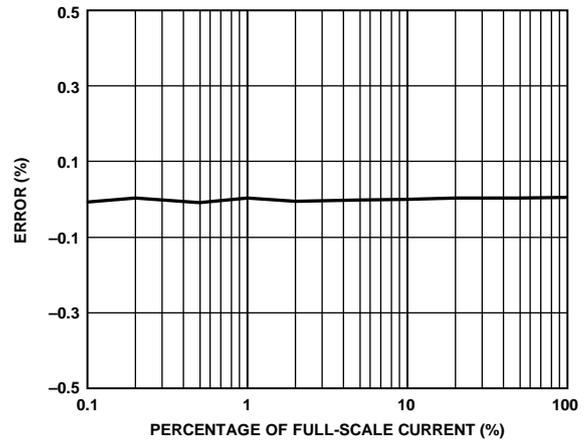


図 39. 総合電流実効値誤差 (ゲイン 4、積分器オン)

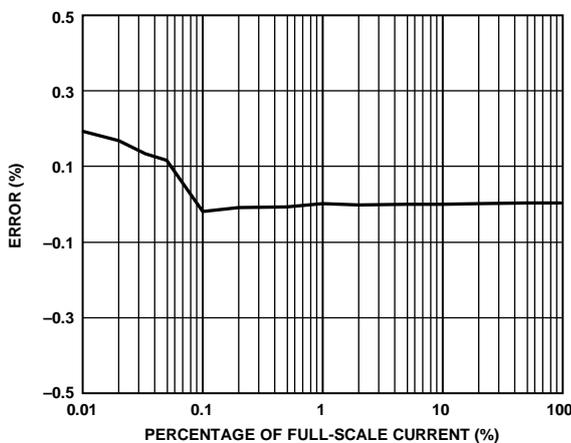


図 37. 総合無効電力量誤差 (ゲイン 4、積分器オン)

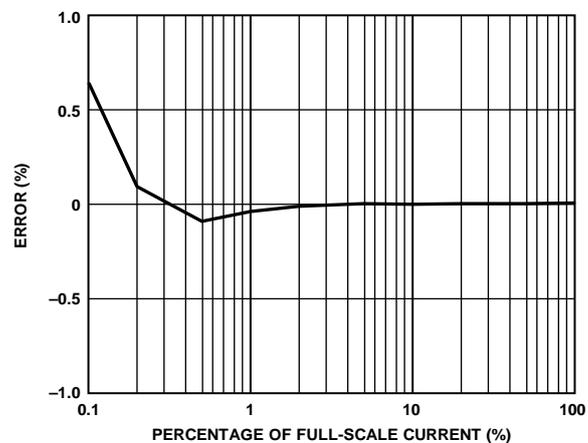


図 40. 1/2 サイクル電流実効値誤差 (ゲイン=4、積分器オン、データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

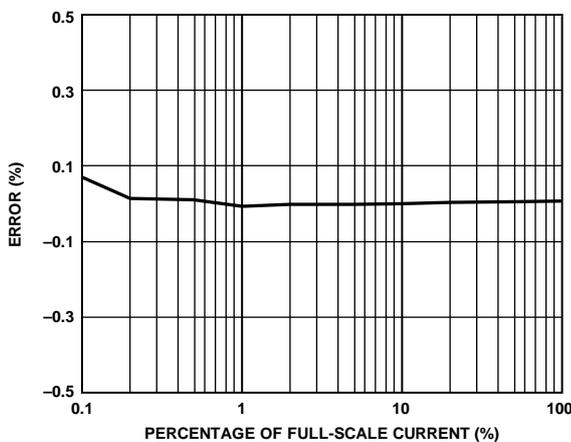


図 38. 総合皮相電力量誤差 (ゲイン 4、積分器オン)

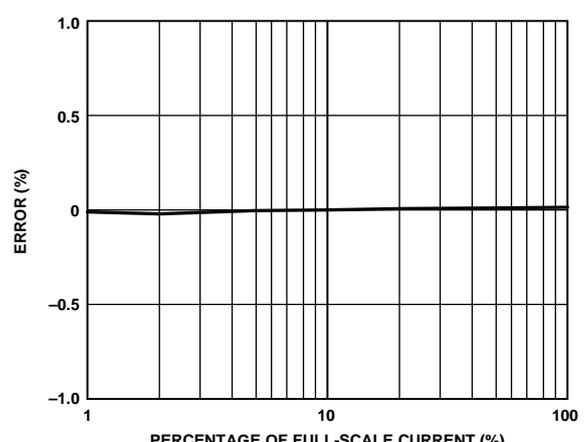
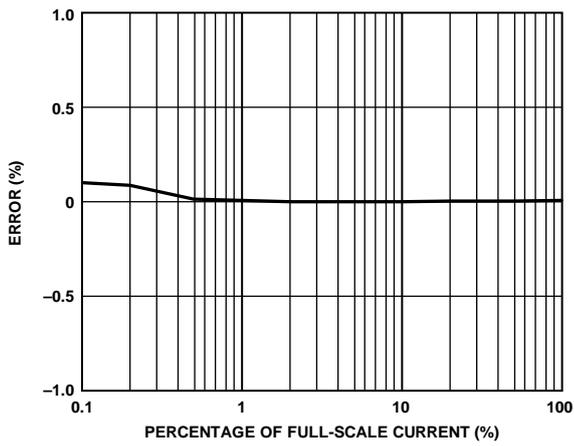
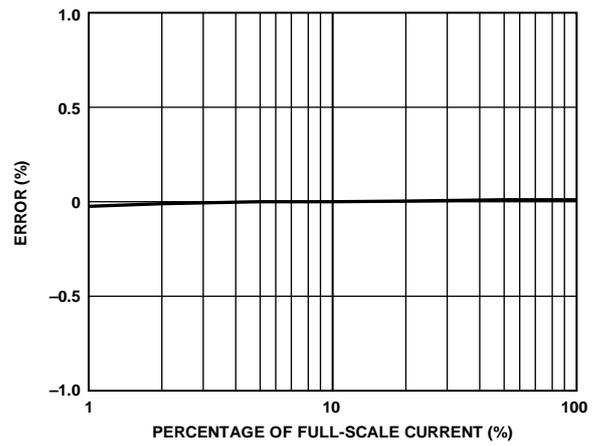


図 41. 1/2 サイクル電流実効値誤差 (ゲイン=4、積分器オン、データはハイパス・フィルタの前で抽出してオフセットを補正、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 1)



15210-132

図 42. 10 サイクル電流実効値/12 サイクル電流誤差 (ゲイン=4、積分器オン、データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)



15210-154

図 43. 10 サイクル電流実効値/12 サイクル電流実効値誤差 (ゲイン=4、積分器オン、データはハイパス・フィルタの前で抽出してオフセットを補正、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 1)

積分器オンでの電力量および実効値誤差の周波数に対する変化

正弦波電圧の振幅はフルスケールの 50 % で一定、PGA\_GAIN はゲイン 4 に設定、正弦波電流の振幅はフルスケールの 10 % で一定、周波数は 45 Hz ~ 65 Hz で可変。基本波の数値は、別途指定のない限り、第 5 高調波と同相の基本波電圧成分、フルスケールの 10 % の基本波成分を持つ電流、基本波の 40 % の振幅を持つ第 5 高調波、ゲイン 4 でのフルスケール = (ゲイン 1 でのフルスケール) / 4、ハイパス・コーナ一周波数 4.97 Hz、 $T_A = 25\text{ }^\circ\text{C}$  で得られる値です。

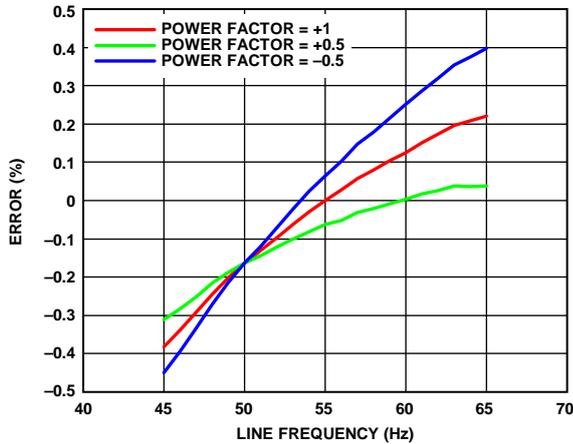


図 44. ライン周波数対総合有効電力量誤差  
(ゲイン = 4、積分器オン、力率 = -0.5、  
力率 = +0.5、力率 = +1)

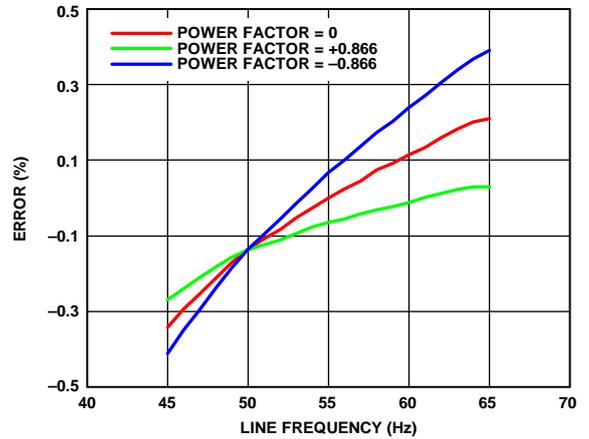


図 46. ライン周波数対総合無効電力量誤差  
(ゲイン = 4、積分器オン、力率 = -0.866、  
力率 = +0.8665、力率 = 0)

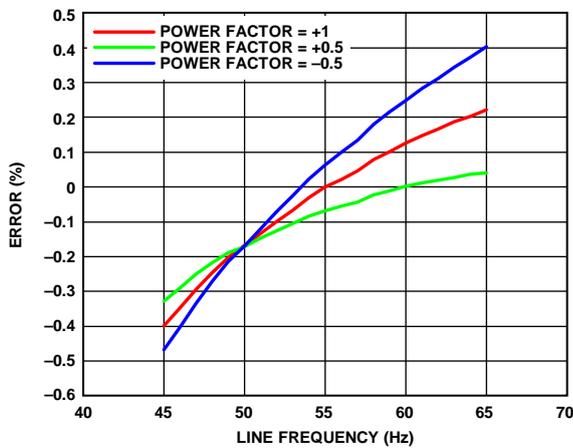


図 45. ライン周波数対基本波有効電力量誤差  
(ゲイン = 4、積分器オン、力率 = -0.5、  
力率 = +0.5、力率 = +1)

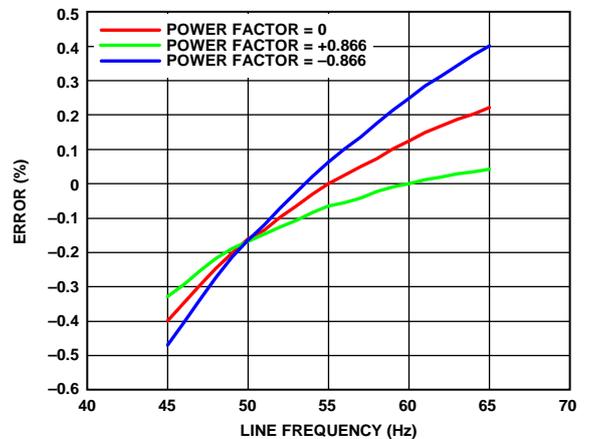


図 47. ライン周波数対基本波無効電力量誤差  
(ゲイン = 4、積分器オン、力率 = -0.866、  
力率 = +0.8665、力率 = 0)

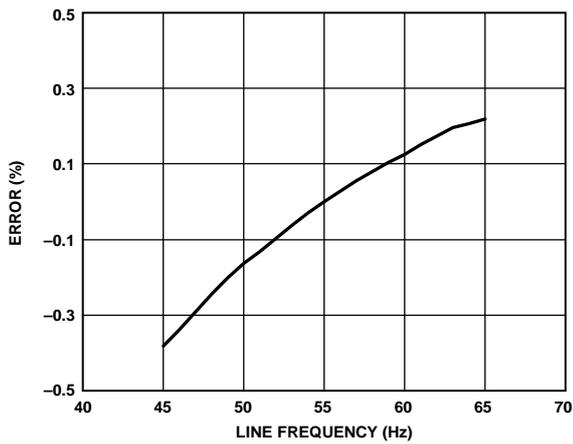


図 48. ライン周波数対総合皮相電力量誤差 (ゲイン 4、積分器オン)

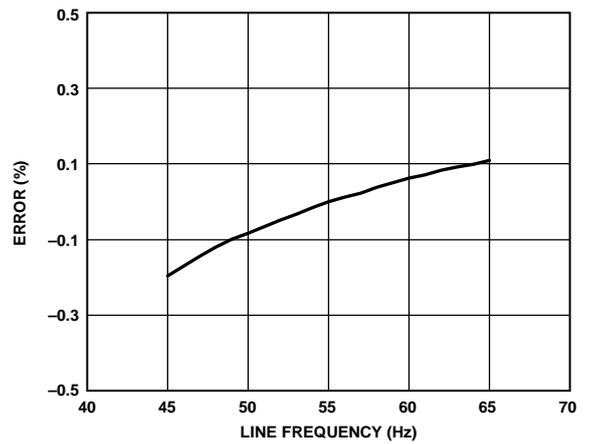


図 51. ライン周波数対基本電流実効値誤差 (ゲイン 4、積分器オン)

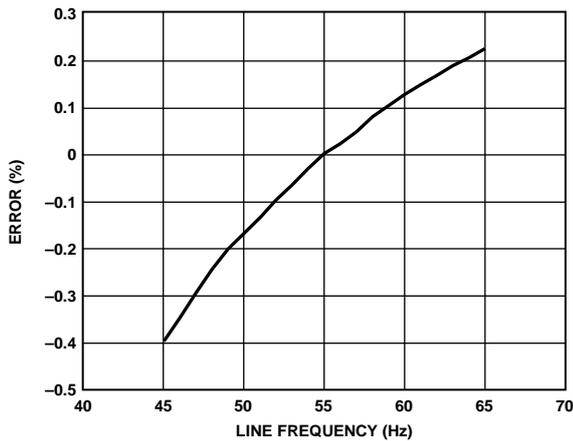


図 49. ライン周波数対総合皮相電力量誤差 (ゲイン 4、積分器オン)

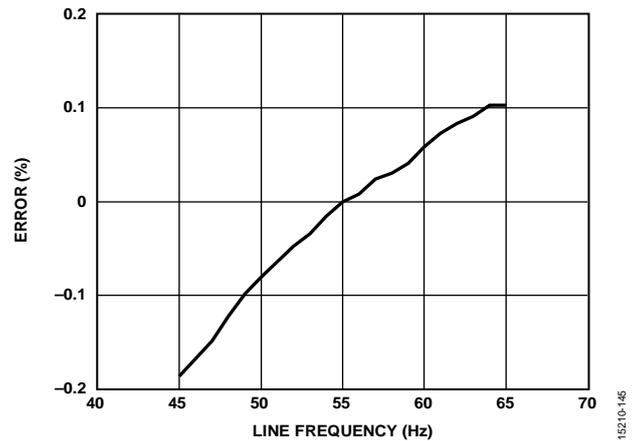


図 52. 1/2 サイクル電流実効値誤差 (ゲイン = 4、積分器オン、データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

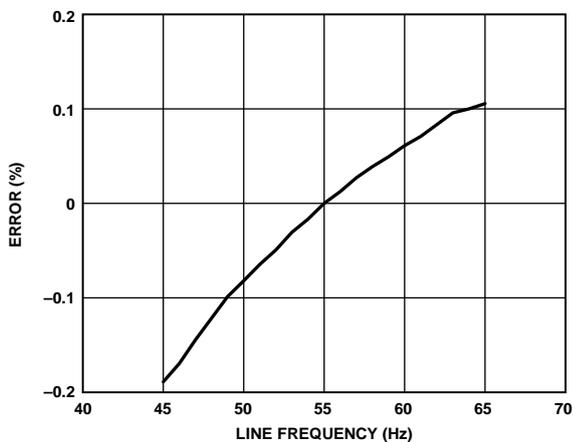


図 50. ライン周波数対電流実効値誤差 (ゲイン 4、積分器オン)

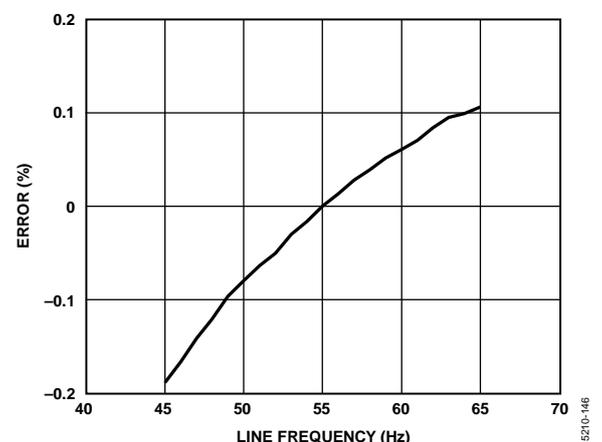


図 53. 10 サイクル電流実効値 / 12 サイクル電流誤差 (ゲイン = 4、積分器オン、データはハイパス・フィルタの後で抽出、CONFIG0 レジスタの RMS\_SRC\_SEL ビット = 0)

S/N 比 (SNR) 性能

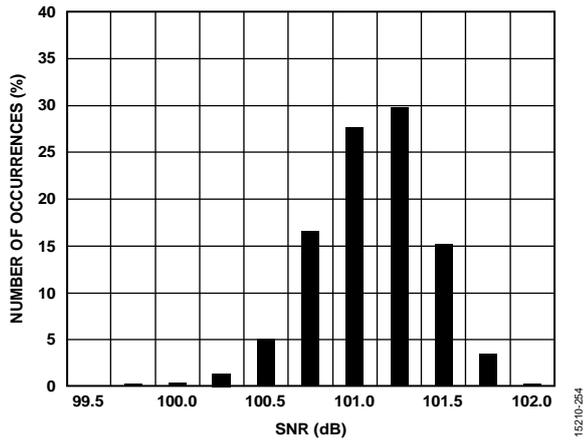


図 54. ADC の SNR ヒストグラム  
 (対象デバイス数 1000 個、 $T_A = 25\text{ }^\circ\text{C}$ 、PGA\_GAIN = 1、  
 データ・レート 8 kSPS でテスト)

テスト回路

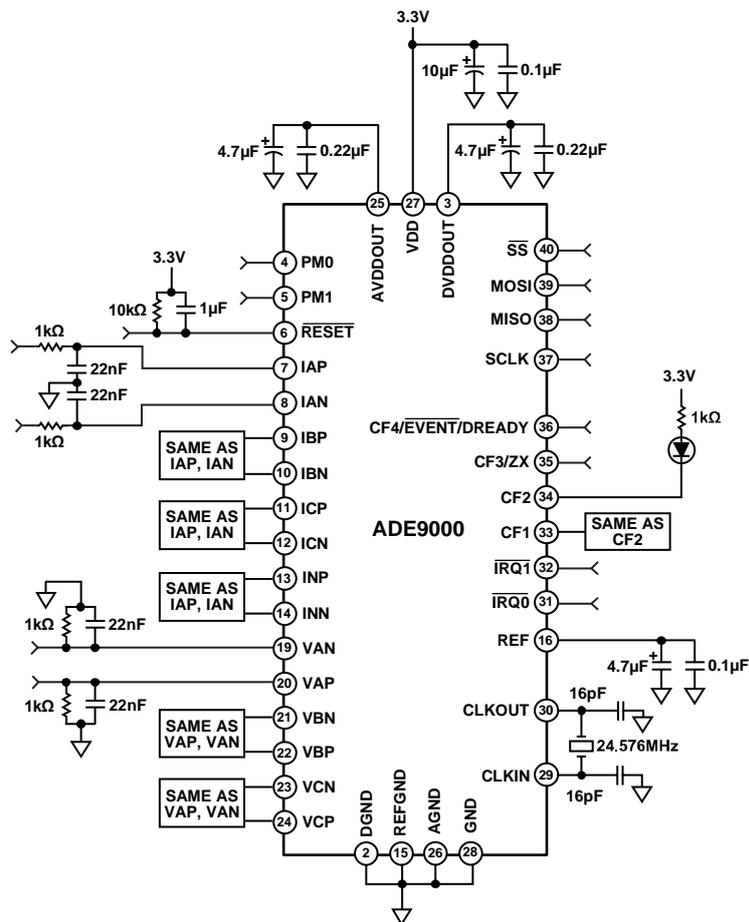


図 55. テスト回路

15210-064

## 用語の定義

### クロストーク

クロストークの測定は、1つのチャンネルを接地し、他のすべてのチャンネルにフルスケールの 50 Hz 信号または 60 Hz 信号を加えることによって行います。クロストークは接地された ADC 出力値と、その ADC フルスケール出力値の比に等しい値です。ADC 出力は 100 秒間収集され、クロストークはデシベルで表されます。

### 差動入力インピーダンス (DC)

差動入力インピーダンスは、 $I_{xP}$  と  $I_{xN}$  のペア間、または  $V_{xP}$  と  $V_{xN}$  のペア間のインピーダンスを表します。その値は、表 1 に示すように、選択した PGA ゲインの値とともに変化します。

### ADC オフセット

ADC オフセットは、両方の入力をグラウンドに接続した状態で測定した ADC 出力コードの平均と、理想 ADC 出力コード 0 の差です。ADC オフセットは mV で表されます。

### 温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化です。オフセット値を  $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$  で測定し、次式に従って温度に対するオフセット・ドリフトを計算します。

Drift =

$$\max \left( \left| \frac{\text{Offset}(-40^{\circ}\text{C}) - \text{Offset}(+25^{\circ}\text{C})}{(-40^{\circ}\text{C} - +25^{\circ}\text{C})} \right|, \left| \frac{\text{Offset}(+85^{\circ}\text{C}) - \text{Offset}(+25^{\circ}\text{C})}{(+85^{\circ}\text{C} - +25^{\circ}\text{C})} \right| \right)$$

オフセット・ドリフトは  $\mu\text{V}/^{\circ}\text{C}$  で表されます。

### ADC ゲイン誤差

ADC のゲイン誤差は、外部電圧リファレンスに 1.2 V を使用した時の、測定 ADC 出力コード（からオフセットを引いた値）と理想出力コードの差を表します。この差は理想コードのパーセンテージで表され、1つのチャンネルの総合ゲイン誤差を表します。

### 温度に対する ADC ゲイン・ドリフト

この温度係数には、1.2 V の外部電圧リファレンスを使用したときの温度に対する ADC ゲインの変化が含まれます。これは、1つの電流チャンネルまたは電圧チャンネルの全体的な温度係数を表します。1.2 V の外部電圧リファレンス使用時は、 $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$  における ADC ゲインを測定し、次式に従って温度係数を計算します。

Drift =

$$\max \left( \left| \frac{\text{Gain}(-40^{\circ}\text{C}) - \text{Gain}(+25^{\circ}\text{C})}{\text{Gain}(+25^{\circ}\text{C}) \times (-40^{\circ}\text{C} - +25^{\circ}\text{C})} \right|, \left| \frac{\text{Gain}(+85^{\circ}\text{C}) - \text{Gain}(+25^{\circ}\text{C})}{\text{Gain}(+25^{\circ}\text{C}) \times (+85^{\circ}\text{C} - +25^{\circ}\text{C})} \right| \right)$$

ゲイン・ドリフトは  $\text{ppm}/^{\circ}\text{C}$  で表されます。

### AC 電源電圧変動除去比 (PSRR)

AC PSRR は、DC 電源を公称値 ( $V_{\text{NOM}}$ ) にして AC 変調を使用し、入力を接地した状態で、指示値のパーセンテージとして測定誤差を定量化するものです。AC PSRR を測定するには、公称電源 (3.3 V、これが  $V_1$ ) で 20 秒間サンプルを収集し、追加の AC 信号 (50 Hz で 330 mV ピーク) を電源に加えて、もう 1 セット ( $V_2$ ) を収集します。これにより、PSRR は  $\text{PSRR} = 20 \log_{10} (V_2/V_1)$  で表されます。

### S/N 比 (SNR)

SNR は、50 Hz 信号を入力して 2 秒間サンプルを収集することにより計算します。表 1 に ADC 出力帯域幅 (-3 dB) として示された帯域幅までの、各周波数の振幅を計算します。SNR を決定するには、50 Hz での信号を他のすべての周波数における電力の合計と比較して、その高調波による電力を除去します。SNR 値はデシベルで表されます。

### 信号/ノイズ+歪み (SINAD)

SINAD は、50 Hz 信号を入力して 2 秒間サンプルを収集することによって計算します。表 1 に ADC 出力帯域幅 (-3 dB) として示された帯域幅までの、各周波数の振幅を計算します。SINAD を決定するには、50 Hz での信号を他のすべての周波数における電力の合計と比較します。SINAD 値はデシベルで表されます。

### 全高調波歪み (THD)

THD は、50 Hz 信号を入力して 2 秒間以上サンプルを収集することによって計算します。表 1 に ADC 出力帯域幅 (-3 dB) として示された帯域幅までの、各周波数の振幅を計算します。THD を決定するには、この帯域幅までの 50 Hz 高調波の振幅の 2 乗和平方根を取ります。THD 値はデシベルで表されます。

### スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、50 Hz 信号を入力して 2 秒間以上サンプルを収集することによって計算します。表 1 に ADC 出力帯域幅 (-3 dB) として示された帯域幅までの、各周波数の振幅を計算します。SFDR を決定するには、50 Hz の高調波ではない最大信号の振幅を記録します。SFDR 値はデシベルで表されます。

### ADC 出力パスバンド

ADC 出力パスバンドは 0.1 dB 以内の帯域幅であり、sinc4 および sinc4 + IIR LPF のデジタル・フィルタリングによって得られます。

### ADC 出力帯域幅

ADC 出力帯域幅は -3 dB 以内の帯域幅で、sinc4 および sinc4 + IIR LPF のデジタル・フィルタリングによって得られます。

# 動作原理

## 測定

### 電流チャンネル

ADE9000 には3つの相電流チャンネルと1つの中性電流チャンネルがあります。IA、IB、IC の相電流チャンネルのデータパスを図 56 に、中性チャンネルのデータパスを図 57 に示します。

### ADC\_REDIRECT マルチプレクサ

ADE9000 は、ADC 出力を任意のデジタル処理データパスにリダイレクトできるマルチプレクサを備えています (図 58 参照)。

デフォルトでは、各変調器はそれに対応するデータパスにマップされます。

### 電流チャンネル・ゲイン xIGAIN

ADE9000 は、各電流チャンネルごとに電流ゲイン補正レジスタ (AIGAIN、BIGAIN、CIGAIN、NIGAIN) を備えています。

下の式に示すように、電流チャンネル・ゲインは xIGAIN とともに変化します。

$$\text{電流チャンネル・ゲイン} = (1 + (xIGAIN/2^{27}))$$

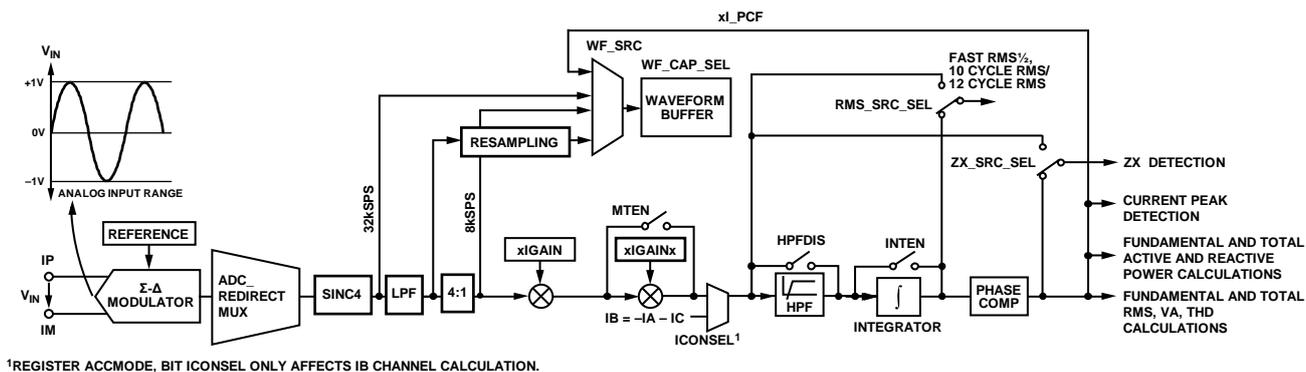


図 56. 電流チャンネル (IA、IB、IC) データパス

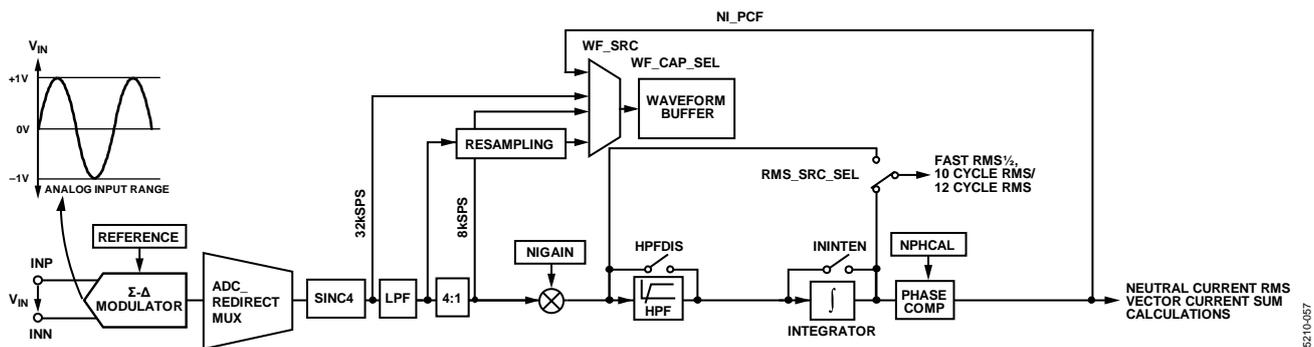
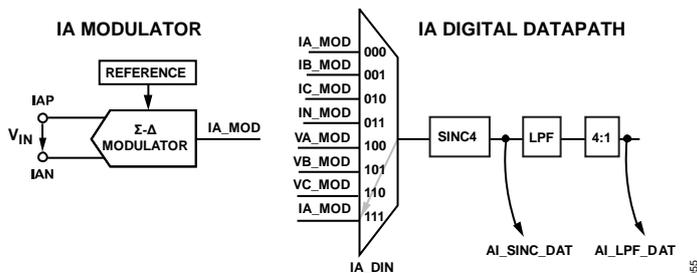


図 57. 中性電流チャンネル (IN) データパス



NOTES  
1. Ix\_MOD AND Vx\_MOD ARE THE RESPECTIVE MODULATOR OUTPUT.

図 58. ADC\_REDIRECT 変調器からデジタル・データパス への多重化

### ICONSEL を使用する IB 計算

$I_B = -I_A - I_C$  を計算するには、ACCMODE レジスタの ICONSEL ビットに書き込みを行います。この設定は、いくつかの 3 線デルタ構成の電流トランスのコスト削減に役立ちます。

### ハイパス・フィルタ

ハイパス・フィルタは、正確な実効値と電力量測定のために DC オフセットを除去します。このフィルタはデフォルトでイネーブルされ、コーナー周波数は 1.25 Hz です。

すべての電流チャンネルと電圧チャンネルでハイパス・フィルタをディスエーブルするには、CONFIG0 レジスタの HPFDIS ビットをセットします。コーナー周波数は、CONFIG2 レジスタの HPF\_CRN ビットで設定されます。

### デジタル積分器

ログスキー・コイルとも呼ばれる di/dt 電流センサーと簡単にインターフェースを取れるように、デジタル積分器が組み込まれています。デジタル積分器を設定するには、CONFIG0 レジスタの INTEN ビットと ININTEN ビットを使用します。この設定はデフォルトでディスエーブルされています。レジスタをイネーブルするには、DICOEFF の値を 0xFFFFE000 に設定してください。

### 位相補償

ADE9000 は、各電流チャンネル用の位相補償レジスタ、APHCALx、BPHCALx、CPHCALx、NPHCAL を備えています。

位相補正範囲は 50 Hz で  $-15^\circ \sim +2.25^\circ$ 、60 Hz で  $-15^\circ \sim +2.7^\circ$  です。

所定の位相補正角度 ( $\varphi^\circ$ ) に対する xPHCALx 値の計算には、以下の式を使用します。位相補正角度 ( $\varphi^\circ$ ) は、電流トランスに見られるように、電圧より遅れている電流を補正する場合は正で、電圧より進んでいる電流を補正する場合は負です。

$$xPHCALx = \left( \frac{\sin(\varphi - \omega) + \sin \omega}{\sin(2\omega - \varphi)} \right) \times 2^{27}$$

$$\omega = 2\pi \times f_{LINE} / f_{DSP}$$

ここで、 $f_{LINE}$  はライン周波数、 $f_{DSP}$  は 8 kHz です。

### 位相とゲインのマルチポイント補正

ADE9000 では、IA、IB、IC 電流チャンネルで、ヒステリシスを含めて位相とゲインのマルチポイント補償を行うことができます。電流チャンネルのゲインと位相の補償は、xIRMS の計算入力電流の実効値振幅の関数として変化します。各チャンネルには、5 個のゲイン・レジスタ (xIGAIN0 ~ xIGAIN4) と 5 個の位相補正レジスタ (xPHCAL0 ~ xPHCAL4) があります。ゲインと位相のマルチポイント補正を有効にするには、CONFIG0 レジスタの MTEN ビットをセットします。デフォルトでは MTEN = 0 です。

ゲインと位相の補正係数は、図 59 に示すように、xIRMS 電流振幅と、MTTHR\_Lx および MTTHR\_Hx のレジスタ値に基づいて適用されます。

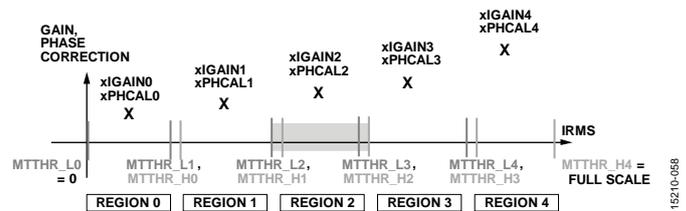


図 59. 位相とゲインのマルチポイント補正

### 電圧チャンネル

ADE9000 には 3 つの電圧チャンネルがあります。VA、VB、VC 電圧チャンネルのデータパスを図 60 に示します。xVGAIN レジスタは、各相の電圧チャンネルを補正します。xVGAIN レジスタのスケーリングは xIGAIN レジスタと同じです。

### 実効値と電力の測定

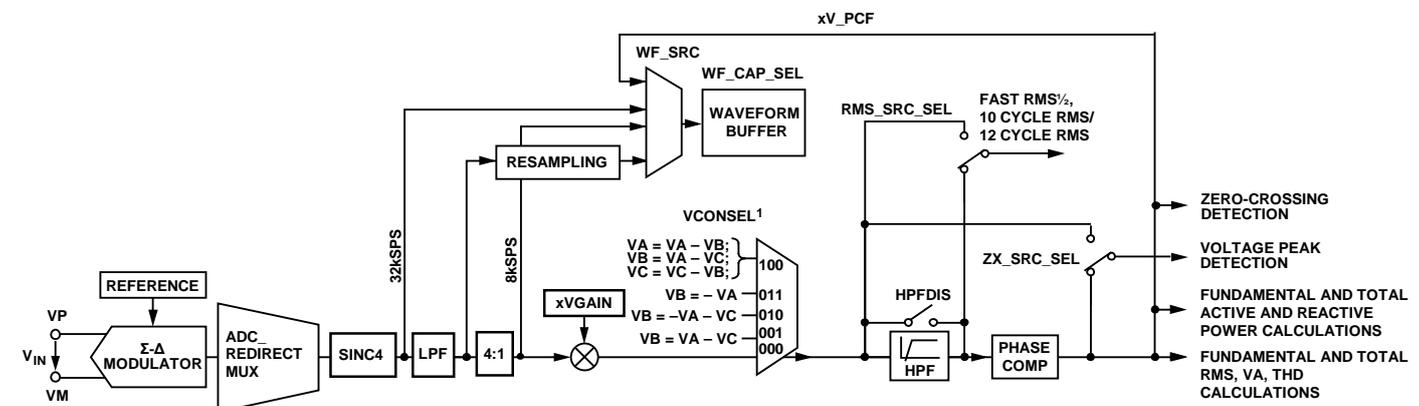
ADE9000 は実効値電流、実効値電圧、有効電力、無効電力、皮相電力の総合値と基本波値を計算します。基本アルゴリズムでは、ACCMODE レジスタ内の SELFREQ ビットと VLEVEL レジスタ内の公称電圧を使って、ネットワーク周波数を初期化する必要があります。VLEVEL 値は次式に従って計算します。

$$VLEVEL = x \times 1,444,084$$

ここで x はダイナミック・レンジで、公称入力信号がフルスケールのどの辺にあるかで表されます。

例えば、信号がフルスケールの  $\frac{1}{2}$  にある場合は  $x = 2$  です。

$$VLEVEL = 2 \times 1,444,084$$



<sup>1</sup>VCONSEL SUPPORTS SEVERAL 3-WIRE AND 4-WIRE HARDWARE CONFIGURATIONS.

図 60. 電圧チャンネルのデータパス

総合実効値と基本波実効値

ADE9000 は、すべての相チャンネルで、実効値電流と実効値電圧の総合値と基本波値を測定することができます。図 61 にデータパスを示します。

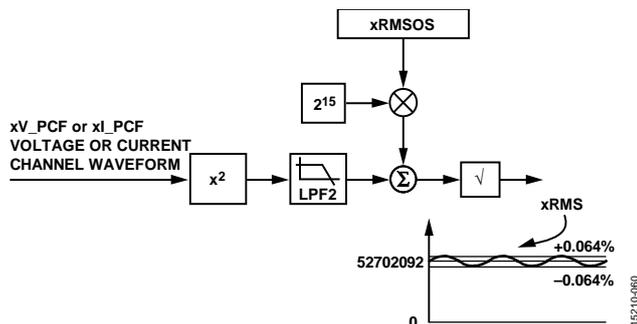


図 61. フィルタベースの総合実効値 (RMS 値)

各チャンネルに1つずつの総合実効値計算 (AIRMS、BIRMS、CIRMS、NIRMS、AVRMS、BVRMS、CVRMS) は、8 kSPS ごとに更新されます。AIFRMS、BIFRMS、CIFRMS、AVFRMS、BVRMS、および CVFRMS レジスタに格納される基本波実効値の計算結果も、8 kSPS ごとに更新されます。中性チャンネルの基本波実効値を求めることはできません。

フルスケールの xRMS と xFRMS 値は、10 進法で 52,702,092 です。

測定された総合および基本波実効値は、ゲインとオフセットを補正することができます。ゲイン補正は、それぞれの電流および電圧チャンネル・データパスで行ってください。以下の式は、オフセット補正レジスタがどのようにして対応実効値 (RMS) レジスタ内の結果を変更するかを示しています。

$$xRMS = \sqrt{xRMS_0^2 + 2^{15} \times xRMSOS}$$

ここで  $xRMS_0$  は、オフセット補正前の xRMS レジスタの初期値です。

$$xFRMS = \sqrt{xFRMS_0^2 + 2^{15} \times xFRMOS}$$

また、ADE9000 は合計値  $I_A + I_B + I_C \pm I_N$  の実効値を計算して、その結果を ISUMRMS に保存します。CONFIG0 レジスタの ISUM\_CFG ビットは、総和に含まれる成分を設定します。

総合および基本波有効電力

ADE9000 は、すべての相チャンネルの総合および基本波有効電力を測定することができます。A 相の総合有効電力の計算については、図 62 を参照してください。

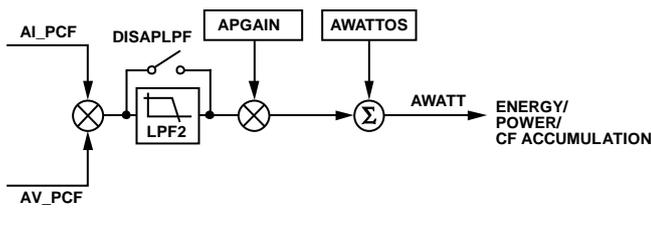


図 62. A 相の総合有効電力 AWATT の計算

各チャンネルに1つの有効電力計算 (AWATT、BWATT、CWATT) は、8 kSPS ごとに更新されます。基本波有効電力も 8 kSPS ごとに更新されて、AFWATT、BFWATT、CFWATT レジスタに格納されます。フルスケール入力の場合、xWATT と xFWATT の値は 10 進法で 20,694,066 です。

通常動作時は LFP2 をイネーブ爾してください (DISAPLPF = 0)。瞬時総合有効電力を得るには、CONFIG0 レジスタの DISAPLPF をセットすることによって LFP2 をディスエーブ爾します。リセット時の DISAPLPF はゼロです。

総合測定値と基本波測定値は、ゲインとオフセットを補正することができます。以下の式は、ゲインおよびオフセット補正レジスタがどのようにして対応電力レジスタの結果を変更するかを示しています。

$$xWATT = \left(1 + \frac{xPGAIN}{2^{27}}\right) xWATT_0 + xWATTOS$$

$$xFWATT = \left(1 + \frac{xPGAIN}{2^{27}}\right) xFWATT_0 + xFWATTOS$$

xPGAIN は、有効電力、無効電力、および皮相電力の総合および基本波成分に共通するゲインです。

総合および基本波無効電力

ADE9000 は、すべてのチャンネルの総合および基本波無効電力を測定することができます。総合無効電力の計算方法を図 63 に示します。

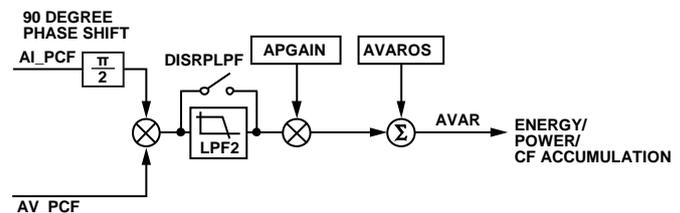


図 63. 総合無効電力 AVAR の計算

無効電力の計算値は各チャンネルごとに1つあり (AVAR、BVAR、CVAR)、これらは 8 kSPS ごとに更新されます。基本波無効電力も 8 kSPS ごとに更新されて、AFVAR、BFVAR、CFVAR レジスタに格納されます。フルスケール入力の場合、xVAR と xFVAR の値は 20,694,066 です。

通常動作時は LFP2 をイネーブ爾してください (DISRPLPF = 0)。瞬時総合無効電力を得るには、CONFIG0 レジスタの DISRPLPF をセットすることによって LFP2 をディスエーブ爾します。リセット時の DISRPLPF はゼロです。

以下の式は、ゲインおよびオフセット補正レジスタがどのようにして対応電力レジスタの結果を変更するかを示しています。

$$xVAR = \left(1 + \frac{xPGAIN}{2^{27}}\right) xVAR_0 + xVAROS$$

$$xFVAR = \left(1 + \frac{xPGAIN}{2^{27}}\right) xFVAR_0 + xFVAROS$$

総合および基本波皮相電力

ADE9000 は、すべてのチャンネルの総合および基本波皮相電力を測定することができます。A 相の総合皮相電力の計算方法については、図 64 を参照してください。

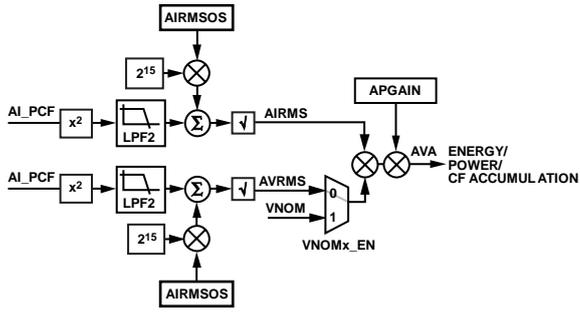


図 64. A 相の総合皮相電力 AVA の計算

総合皮相電力の計算値は各チャンネルごとに1つあり (AVA、BVA、CVA)、これらは 8 kSPS ごとに更新されます。基本波皮相電力も 8 kSPS ごとに更新されて、AFVA、BFVA、CFVA レジスタに格納されます。フルスケール入力の場合、xVA と xFVA の値は 10 進法で 20,694,066 です。

ADE9000 には、必要電圧実効値に対応する値に設定できるレジスタ (VNOM) があります。CONFIG0 レジスタの VNOMx\_EN ビットをセットした場合、xVA 計算時には VNOM に xIRMS が乗じられます。

無負荷検出、電力量積算、電力積算機能

ADE9000 は、3つの相すべての有効電力量、無効電力量、皮相電力量の総合値と基本波値を計算します。ADE9000 は、ACCMODE レジスタの WATTACC ビットと VARACC ビットを使って、有効電力量と無効電力量の符号付き積算値、絶対積算値、正の積算値、または負の積算値だけを保持することができます。デフォルトの積算モードは符号付きです。

無負荷検出機能

ADE9000 はノイズによる電力量積算を防ぐために、各相および電力量の無負荷検出機能を備えています。ユーザー定義の時間間隔に対して積算された電力量がユーザー定義の閾値未満の場合は、電力量レジスタに積算される電力量がゼロになります。EP\_CFG レジスタの NOLOAD\_TMR ビットは無負荷時間間隔を決定し、ACT\_NL\_LVL、REACT\_NL\_LVL、APP\_NL\_LVL レジスタにはユーザー定義の無負荷閾値が格納されます。無負荷ステータスは、PHNOLOAD レジスタ、IRQ1 割込み、および EVENT ピンを使って読み取ることができます。

電力量の積算

電力量は、42 ビット符号付き内部電力量レジスタに 8 kSPS で積算されます。内部レジスタには、ユーザーが定義した数のサンプル、または EP\_CFG レジスタの EGY\_TMR\_MODE ビットによって設定された数のハーフ・ライン・サイクルを積算することができます。ハーフ・ライン・サイクル積算をイネーブルする時は、ZX\_LP\_SEL レジスタの ZX\_SEL ビットを使って、ゼロ交差ソースを設定してください。サンプルまたはハーフ・ライン・サイクルの数は、EGY\_TIME レジスタで設定します。EGY\_TIME の最大値は 8191d です。フルスケール入力では、この内部レジスタは 13.3 秒でオーバーフローします。50 Hz 信号の場合は、ハーフ・ライン・サイクル積算時のオーバーフローを防ぐために、EGY\_TIME を 1329 (10 進法) 未満にする必要があります。

サンプルまたはハーフ・ライン・サイクルの数が EGY\_TIME + 1 個になると、STATUS0 レジスタの EGYRDY ビットがセットされて、電力量レジスタが更新されます。内部電力量レジスタからのデータは、EP\_CFG レジスタの EGY\_LD\_ACCUM ビットの設定に応じて、ユーザー電力量レジスタに追加またはラッチされます。

電力量レジスタは符号付きの 45 ビット幅で、図 65 に示すように 2つの 32 ビット・レジスタに分割されます。ユーザー電力量は、EP\_CFG レジスタの RD\_RST\_EN ビットを使って、読み出し時にリセットできます。フルスケール入力時は、ユーザー電力量レジスタは 106.3 秒でオーバーフローします。

電力の積算

ADE9000 は、3つの相すべての有効電力、無効電力、皮相電力の総合値と基本波値を、それぞれの 32 ビット符号付きレジスタ、すなわち xWATT\_ACC と xFWATT\_ACC、xVAR\_ACC と xFVAR\_ACC、および xVA\_ACC と xFVA\_ACC に積算します。積算するサンプルの数は、PWR\_TIME レジスタを使って設定します。STATUS0 レジスタの PWRRDY ビットは、PWR\_TIME + 1 個のサンプルが 8 kSPS で積算された後に設定されます。PWR\_TIME レジスタの最大値は 8191 (10 進法) で、最大電力積算時間は 1.024 秒です。

PHSIGN レジスタの xSIGN ビットは、時間 PWR\_TIME の間に積算された電力の符号を示します。PWR\_SIGN\_SEL[1:0] を使用すれば、総合または基本波電力量に従って電力符号を変更するかどうかをユーザーが選択できます。積算した電力の符号を変更すると、STATUS0 レジスタの対応する REVx ビットがセットされて、IRQ0 が割込みを生成します。

ADE9000 では、ユーザーが、総合有効電力と VAR 電力を別々の正の値と負の値にして、PWATT\_ACC および NWATT\_ACC レジスタと、PVAR\_ACC および NVAR\_ACC レジスタに積算することができます。PWR\_TIMER で設定した電力更新時間が経過すると、ゼロから新しい積算が開始されます。

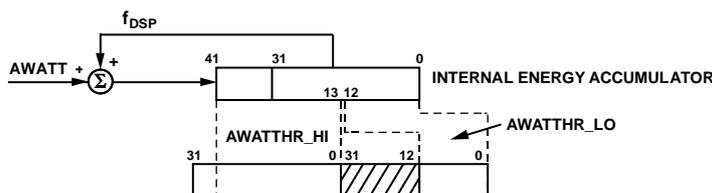


図 65. 内部電力量レジスタを AWATTHR\_HI と AWATTHR\_LO に分割

### デジタル/周波数変換 -CFx 出力

ADE9000には4つのパルス出力があり、これらは、CF1からCF4までの出力ピンの電力量積算値に比例します。CFxパルス生成のブロック図を図66に示します。CF3はZXと多重化され、CF4はEVENTとDREADYと多重化されます。

### 電力量と相の選択

CFMODEレジスタのCFxSELビットは、どのタイプの電力量をCFxピンに出力するかを選択します。COMPMODEレジスタのTERMSELxビットは、どの相の電力量をCFx出力にするかを選択します。

例えば、CF1SEL = 000、TERMSEL1 = 111とすると、CF1には、A相、B相、C相の総合有効電力が出力されます。

### CFxパルス幅の設定

CF\_LCFGレジスタのCFx\_LTビットとCF\_LTMRビットの値は、パルス幅を決定します。

閾値 (xTHR) = 0x00100000、CFxDEN = 2としたときの最大CFxは78.9kHzです。推奨設定値はxTHR = 0x00100000です。

### CFxパルス符号

PHSIGNレジスタのSUMxSIGNビットは、最後のCFxパルスに送られた電力量の合計が、正か負かを示します。STATUS0レジスタとEVENT\_STATUSレジスタのREVPSUMxビットは、CFx極性の符号が変わったかどうかを示します。この機能は、IRQ0上に割り込みを生成します。

### CFx積算器のクリア

デジタル/周波数変換器内の積算値とCFDENカウンタをクリアするには、CONFIG1レジスタのCF\_ACC\_CLRビットに1を書き込みます。CF\_ACC\_CLRビットは自動的にクリアされません。

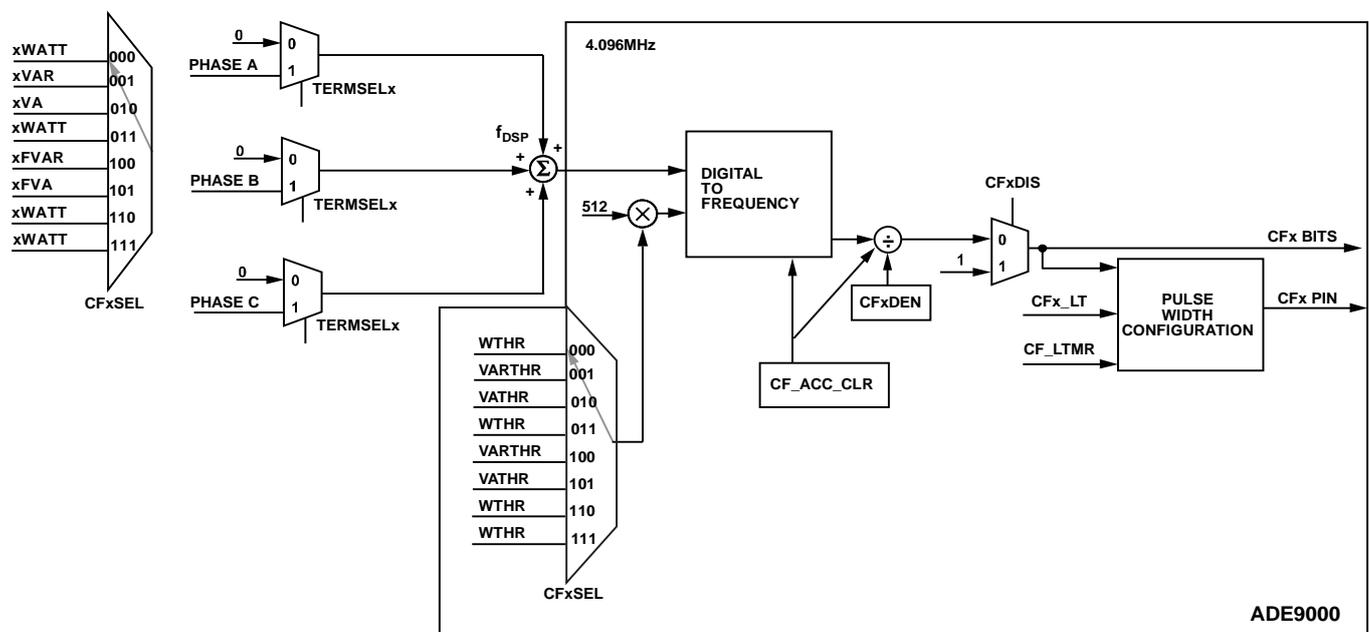
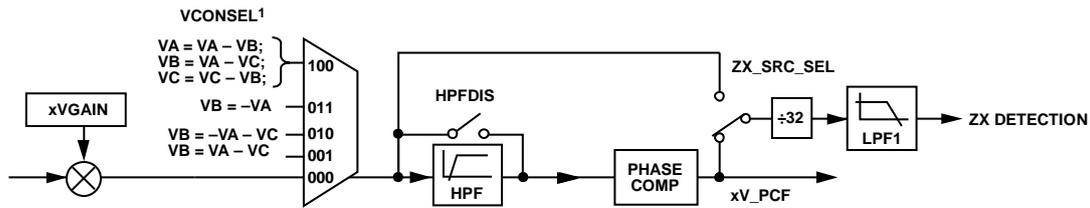
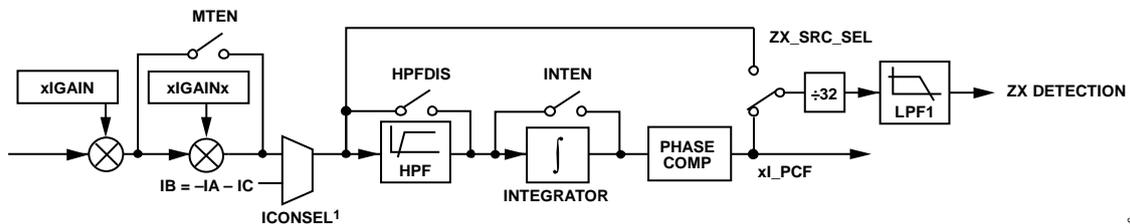


図 66. CFx のデジタル/周波数変換



<sup>1</sup>VCONSEL SUPPORTS SEVERAL 3-WIRE AND 4-WIRE HARDWARE CONFIGURATIONS.

図 67. ゼロ交差検出前の電圧チャンネル・シグナル・チェーン



<sup>1</sup>ICONSEL ONLY AFFECTS IB CHANNEL CALCULATION.

図 68. ゼロ交差検出前の電流チャンネル・シグナル・チェーン

## 電力品質の測定

### ゼロ交差検出

ADE9000 は、VA、VB、VC、IA、IB、IC 入力信号のゼロ交差検出機能を備えています。中性電流チャンネル IN には、ゼロ交差検出回路は含まれていません。ゼロ交差検出以前の電流チャンネルと電圧チャンネルのデータパスを、図 67 と図 68 に示します。

ハイパス・フィルタ前または位相補償後のデータを選択してゼロ交差検出への入力を設定するには、CONFIG0 レジスタの ZX\_SRC\_SEL ビットを使用します。リセット後の ZX\_SRC\_SEL のデフォルトはゼロです。

ノイズからの保護のために、LPF1 出力電圧の絶対値が閾値 ZXTHRSH より小さい場合、電圧チャンネルのゼロ交差イベント (ZXVA、ZXVB、ZXVC) は生成されません。電流チャンネルのゼロ交差検出出力 (ZXIA、ZXIB、ZXIC) は、すべての入力信号レベルに対してアクティブです。

ゼロ交差閾値 ZXTHRSH は、以下の式を使って計算します。

$$ZXTHRSH = \frac{(V\_PCF_{at\ Full\ Scale}) \times (LPF1\ Attenuation)}{x \times 32 \times 2^8}$$

ここで、「V\_PCF at Full Scale」は ±74,532,013 (10 進法) です。

「LPF1 Attenuation」は、50 Hz で 0.86、60 Hz で 0.81 です。  
x はダイナミック・レンジで、この値未満では電圧チャンネルのゼロ交差をブロックする必要があります。

ADE9000 は、ZX\_LP\_SEL レジスタの ZX\_SEL ビットを設定することによって、3 つの相すべての結合ゼロ交差を  $(V_A + V_B - V_C) / 2$  として計算することができます。VCONSEL が 0 でない場合は、結合ゼロ交差回路の VB 成分がゼロに設定されます。

ゼロ交差検出回路には、2 つの出力レート (8 SPS と 1024 kSPS) があります。8 kSPS のゼロ交差信号はライン周期を計算し、STATUS1 レジスタの ZXx ビットを更新して、ゼロ交差タイムアウト、位相シーケンス誤差検出、リサンプリング、電力量積算の各機能をモニタします。1024 kSPS のゼロ交差信号は角度を計算して、CF3/ZX ピンのゼロ交差出力を更新します。

### CF3/ZX

CF3/ZX ピンは、CONFIG1 レジスタの CF3\_CFG ビットを使ってゼロ交差を出力することができます。ゼロ交差のソースを設定するには、ZX\_LP\_SEL レジスタの ZX\_SEL ビットを使用します。CF3/ZX 出力ピンは、負から正への遷移が検出されるとローからハイになり、正から負への遷移が検出されるとハイからローになります。

### ゼロ交差タイムアウト

$(ZXTOUT + 1) / 8000$  秒が経過してもゼロ交差が受信されなかった場合は、STATUS1 レジスタの対応する ZXT0x ビットがセットされて、IRQ1 ピンに割込みが生成されます。

### ライン周期計算

ADE9000 は A 相、B 相、C 相電圧の各ライン周期とそれらの結合電圧信号を計算し、その結果をそれぞれ APERIOD、BPERIOD、CPERIOD、COM\_PERIOD レジスタに格納します。

ライン周期  $t_L$  は、以下の式に従い xPERIOD レジスタから計算します。

$$t_L = \frac{xPERIOD + 1}{8000 \times 2^{16}} \text{ (sec)}$$

計算された周期が 40 Hz ~ 70 Hz の範囲を外れている場合、あるいはその相のゼロ交差が検出されなかった場合は、ACCMODE レジスタの SELFREQ ビットに応じて、xPERIOD レジスタが強制的に 50 Hz または 60 Hz に対応するように設定されます。

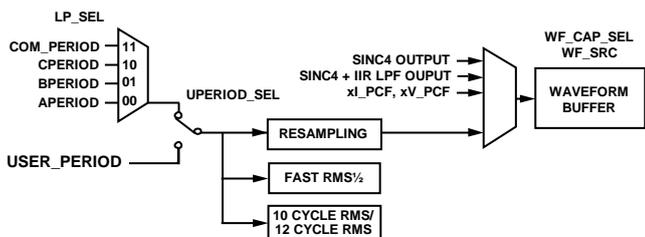


図 69. リサンプリングのためのライン周期選択

### 角度測定

ADE9000 は 9 つの角度測定機能を備えています。ANGL\_IA\_IB、ANGL\_IB\_IC、ANGL\_IA\_IC は、各電流間の位相角を提供します。ANGL\_VA\_VB、ANGL\_VB\_VC、ANGL\_VA\_VC は各電圧間の位相角を提供します。ANGL\_VA\_IA、ANGL\_VB\_IB、ANGL\_VC\_IC は、各電圧と電流間の位相角を提供します。角度レジスタの指示値を度数に変換するには、以下の式を使います。

50 Hz システムの場合:

$$\text{角度 (度数)} = ANGL_{x,y} \times 0.017578125$$

60 Hz システムの場合:

$$\text{角度 (度数)} = ANGL_{x,y} \times 0.02109375$$

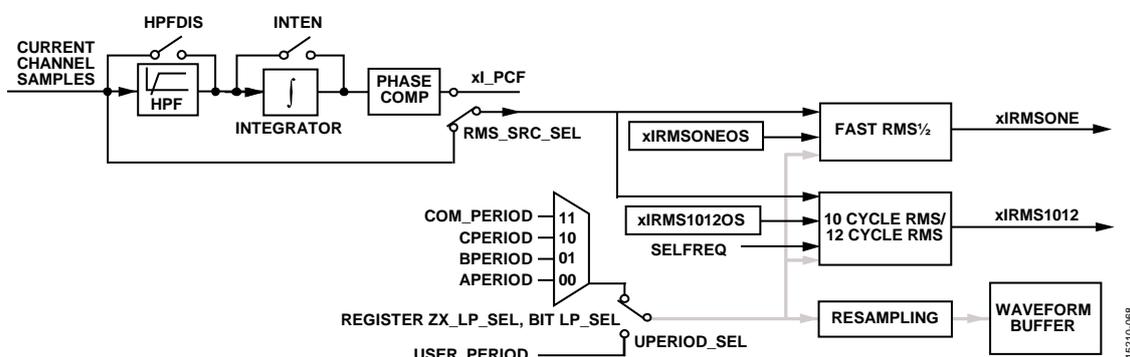


図 70. RMS $\frac{1}{2}$ 、10 サイクル実効値、12 サイクル実効値の測定

### 位相シーケンス誤差検出

ADE9000 は位相シーケンスをモニタして、シーケンス誤差が生じた場合、もしくは位相が ZXTHRS 未満に低下した場合は、STATUS1 レジスタの SEQERR ビットをセットします。SEQ\_CYC は、シーケンス誤差の発生をモニタするサイクル数を決定します。IRQ1 上で割込みを生成するには、MASK1 レジスタの SEQERR ビットをセットします。

### 高速 RMS $\frac{1}{2}$ 測定

RMS $\frac{1}{2}$  は 1 ライン・サイクルについて行う実効値 (RMS) 測定で、ハーフ・サイクルごとに更新されます。この測定は、すべての相の電圧と電流、および中性電流に対して行われます。すべてのハーフ・サイクル実効値測定は同じ時間枠で行われ、STATUS0 レジスタの RMSONERDY ビットによる指示に従って、同時に更新されます。結果は、AIRMSONE、BIRMSONE、CIRMSONE、NIRMSONE、AVRMSONE、BVRMSONE、CVRMSONE レジスタに保存されます。フルスケール入力での xRMSONE レジスタの指示値は 52,702,092d です。

高速実効値測定を行うには、CONFIG0 レジスタの RMS\_SRC\_SEL ビットをセットすることによって、ハイパス・フィルタ前のデータを選択することを推奨します。

ZX\_LP\_SEL レジスタの LP\_SEL ビットは、RMS $\frac{1}{2}$  測定に使用するサンプルの数を、どのライン周期測定が設定するかを選択します。あるいは、CONFIG2 レジスタの UPERIOD\_SEL ビットをセットして、ライン周期測定用の USER\_PERIOD レジスタに必要周期を設定します。入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMSONEOS を使用することができます。

シグナル・チェーンを図 70 に示します。

## 10 サイクル実効値/12サイクル実効値

10 サイクル実効値/12 サイクル実効値の測定は、50 Hz 回路では 10 サイクルで、60 Hz 回路では 12 サイクルで行われます。ACCMODE レジスタの SELFREQ ビットが、回路の周波数 (50 Hz または 60 Hz) を選択します。次に、CONFIG2 レジスタの UPERIOD\_SEL ビットが、計算に使用するサンプル数を設定するのに測定ライン周期を使用するか、USER\_PERIOD レジスタのユーザー定義周期を使用するかを選択します。

入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMS1012OS を使用することができます。フルスケール入力での xRMS1012 レジスタの指示値は 52,702,092d です。

シグナル・チェーンを図 70 に示します。

### ディップとスウェルの表示

ADE9000 は、ディップ・イベントとスウェル・イベントを検知するために、電圧チャンネルの RMS½ 値をモニタします。電圧値が、DIP\_CYC レジスタのユーザー設定ハーフ・サイクル数にわたって DIP\_LVL レジスタの指定閾値を下回った場合は、対応する DIPA、DIPB、DIPC ビットが STATUS1 レジスタにセットされます。ディップ時に測定された最小 RMS½ 値は、対応する DIPA、DIPB、DIPC レジスタに保存されます。

同様に、SWELL\_CYC レジスタのユーザー設定ハーフ・サイクル数にわたって、電圧が SWELL\_LVL レジスタの指定閾値を上回った場合は、対応する SWELLA、SWELLB、SWELLC ビットが STATUS1 レジスタにセットされます。ディップ時に測定された最小 RMS½ 値は、対応する SWELLA、SWELLB、SWELLC レジスタに保存されます。

ディップ・イベントとスウェル・イベントは IRQ1 ピンに割込みを生成するとともに、CF4/EVENT/DREADY ピンにイベントを生成します。

### 過電流表示

ADE9000 は、過電流イベントを検知するために、電流チャンネルの RMS½ 値をモニタします。RMS½ 電流が OILVL レジスタのユーザー設定閾値より大きい場合は、STATUS1 レジスタの OI ビットがセットされます。過電流イベントは、IRQ1 ピンに割込みを生成します。

CONFIG3 レジスタの OC\_EN ビットは、どの相の過電流イベントをモニタするかを選択します。OISTATUS レジスタの OIPHASE ビットは、どの電流チャンネルが閾値を超えたかを示します。過電流値は、対応する OIA、OIB、または OIC レジスタに保存されます。

## ピーク検出

ADE9000 は、xI\_PCF および xV\_PCF 波形の電流及び電圧チャンネルで測定されたピーク値を記録します。CONFIG3 レジスタの PEAKSEL ビットを使用すれば、どの相をモニタするかをユーザーが選択できます。

IPEAK レジスタはピーク電流値を IPEAKVAL ビットに保存して、どの相電流が IPPHASE ビットの値に達したかを示します。IPEAKVAL = xI\_PCF/2<sup>5</sup> です。

同様に、VPEAK はピーク電圧値を VPEAKVAL ビットに保存します。VPEAKVAL = xV\_PCF/2<sup>5</sup> です。読出し後、VPEAK レジスタと IPEAK レジスタはリセットされます。

## 力率

力率計算値は各チャンネルに 1 つずつで (APF、BPF、CPF)、1.024 秒ごとに更新されます。

APF 計算の符号は AWATT の符号に従います。力率が進んでいるか遅れているかを判定するには、図 71 に示すように、総合または基本波無効電力量の符号と、xPF または xWATT 値の符号を参照します。

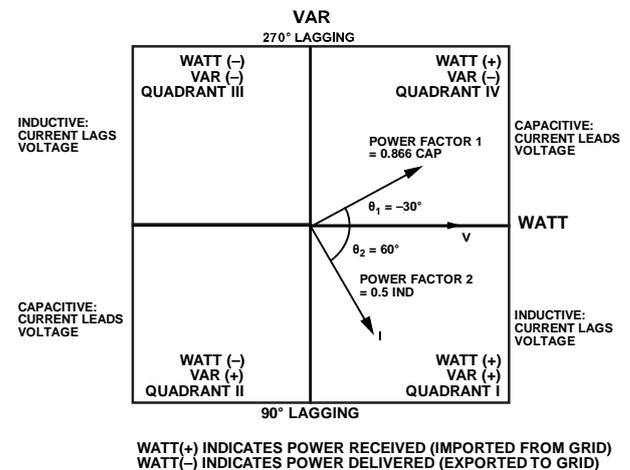


図 71. 容量性負荷と誘導性負荷における有効電力と VAR の符号

力率の結果は 5.27 フォーマットで保存されます。最大の力率値は 0x07FF FFFF で、これは力率 1 に相当します。力率 -1 は 0xF800 0000 として保存されます。xPF レジスタ値から力率を決定するには、次の式を使用します。

$$\text{力率} = xPF \times 2^{-27}$$

## 全高調波歪み (THD)

THD の計算は、AITHD、BITHD、CITHD、AVTHD、BVTHD、CVTHD レジスタを使い、それぞれ IA、IB、IC、VA、VB、VC チャンネルで行うことができます。THD は毎秒更新されます。

THD の計算結果は、符号付き 5.27 フォーマットで保存されません。THD の最大値は 0x2000 0000 で、これは THD = 400 % に相当します。THD の値をパーセンテージとして計算するには、次式を使用します。

$$\text{電流チャンネル A の \%THD} = AITHD \times 2^{-27} \times 100 \%$$

### サイクルあたり 128 ポイントのリサンプリング

ADE9000 は、入力データをリサンプリングして、入力ライン周波数に関係なく、ライン・サイクルあたり 128 個のポイントを提供します。リサンプリングされたデータは、波形バッファ内のすべての電流チャンネルと電圧チャンネルに使用できます。リサンプリングされたそれぞれの波形サンプルは、16 ビット符号付き整数として波形バッファに保存されます。

### 温度

温度指示値は TEMP\_RSLT レジスタに格納されます。温度範囲を摂氏に変換するには、次式を使います。

$$\text{温度 (}^{\circ}\text{C)} = \text{TEMP\_RSLT} \times (-\text{TEMP\_GAIN}/32) + (\text{TEMP\_OFFSET}/32)$$

各デバイスの製造時には、TEMP\_TRIM レジスタの TEMP\_GAIN ビットと TEMP\_OFFSET ビットがプログラムされます。温度センサーを設定するには、TEMP\_CFG レジスタをプログラムしてください。

## 波形バッファ

ADE9000 は、2048 個の 32 ビット・メモリ・ロケーションで構成される波形バッファを備えています。波形バッファにデータを設定するには、WFB\_CFG レジスタの WF\_SRC ビットと WF\_CAP\_SEL ビットを使用します。

データは、以下に示すように 4 つのロケーションにあるものを使用できます。

- 32 kSPS の Sinc4 出力。波形バッファは、1 チャンネルあたり 8 ms の波形データを保持します。
- 8 kSPS の Sinc4 + IIR LPF 出力。波形バッファは、1 チャンネルあたり 32 ms の波形データを保持します。
- 電流および電圧チャンネル波形 (DSP により 8 kSPS で処理)。波形バッファは、1 チャンネルあたり 32 ms の波形データを保持します。
- DSP により処理されたライン・サイクルあたり 128 ポイントのリサンプリング波形。データ・レートはライン周期により異なります。波形バッファは、1 チャンネルあたり 80 ms の波形データを保持します。

波形バッファは、固定データ・レートのサンプルに使用するために、以下の異なるフィリング・モードを備えています。

- バッファがフルになった時点で停止
- 連続フィリング

ADE9000 では、波形バッファのキャプチャをトリガするためのイベントを選択でき、イベントと波形サンプルをユーザーが同期できるように、イベント発生時に電流波形バッファ・アドレスを保存するためのオプションがあります。連続フィリングで波形バッファを使用するときは、以下のバッファ・アクションがイベントに関連付けられています。

- トリガ時にフィリングを停止
- トリガを中心にしてキャプチャ
- イベント・アドレスを保存してフィリングを維持

波形バッファ内容の読出しには SPI バースト読出しモードを使用します。デフォルト値は、波形バッファのすべてのチャンネルをバースト出力します。

波形バッファは、最後のアドレスにデータが書き込まれた後に IRQ0 上で割込みを生成します。

## 割込み／イベント

ADE9000 には、ホスト・プロセッサへの割込みとして使用できるピンが 3 本あります (IRQ0、IRQ1、および CF4/EVENT/DREADY)。IRQ0 ピンと IRQ1 ピンは、イネーブルされた割込みが発生するとローになり、それぞれ STATUS0 レジスタと STATUS1 レジスタの対応ステータス・ビットをセットすることによってそのイベントがアクノレッジされるまで、ローのままになります。MASK0 と MASK1 のビットは、それぞれの割込みを設定します。CF4 および DREADY オプションと多重化でき

る EVENT 機能はイネーブルされた信号の状態をトラックし、これらの内部信号によってローになったりハイになったりします。CONFIG1 レジスタの CF4\_CFG ビットは、CF4/EVENT/DREADY ピン機能を設定します。CF4/EVENT/DREADY ピンは、ディップやスウェルなどのイベントの持続時間を外部で測定する際に有効です。

## 内部データへのアクセス

### SPI プロトコルの概要

ADE9000 は、4 本のピン、SCLK、MOSI、MISO、 $\overline{SS}$  で構成される SPI 互換インターフェースを備えています。ADE9000 は常に SPI スレーブであり、SPI 通信を開始することはありません。SPI インターフェースは、16 ビットおよび 32 ビットの読み出し/書き込み動作を行うことができます。このインターフェースがサポートする最大シリアル・クロック周波数は 20 MHz です。

ADE9000 の一部のレジスタと波形バッファは SPI バースト読み出し機能を備えており、1 つの CMD\_HDR を送信した後で複数のレジスタを読み出すことができます。

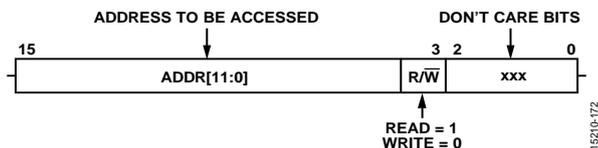


図 72. コマンド・ヘッダ CMD\_HDR

ADE9000 の SPI ポートは、マスターによって受信されるデータの完全性をチェックできるように、その MOSI ピンから送信したデータの 16 ビット巡回冗長検査 (CRC-16) の計算を行います。最後のレジスタ読み出し時に MOSI ピンから送信されたデータの CRC は、16 ビット・レジスタの CRC\_SPI に提供され、SPI トランザクションの一部として SPI 読み出しデータの末尾に付加することができます。

### 追加通信検証レジスタ

ADE9000 には、SPI 動作を検証できる 3 個のレジスタが含まれています。LAST\_CMD (アドレス 0x4AE)、LAST\_DATA\_16 (アドレス 0x4AC)、および LAST\_DATA\_32 (アドレス 0x423) レジスタは、受信した CMD\_HDR と最後に読み出されたデータまたは送信されたデータを記録します。

### 設定レジスタの CRC

ADE9000 の設定レジスタの CRC 機能は、特定の内部と外部のレジスタ値をモニタします。また、オプションで 15 個のレジスタも組み込まれており、CRC\_OPTEN レジスタを使って個別に選択することができます。結果は CRC\_RSLT レジスタに保存されます。モニタしているレジスタのどれかが CRC\_RSLT レジスタの値を変更した場合、ADE9000 は IRQ1 上で割込みを生成します。

### 設定ロック

設定ロック機能は、ADE9000 の設定が変更されるのを防ぎます。この機能をイネーブルするには、WR\_LOCK レジスタに 0x3C64 を書き込みます。ディスエーブルするには 0x4AD1 を書き込んでください。

この機能がアクティブになっているかどうかを知るには、WR\_LOCK レジスタを読み出します。保護がイネーブルされている場合の読み出し値は 1 で、ディスエーブルされている場合は 0 です。

この機能をイネーブルすると、アドレス 0x000 ~ 0x073 と 0x400 ~ 0x4FE の範囲へのアドレス書き込みを防止します。

## レジスタ・マップ

表 6. レジスタ・マップ

Address	Name	Description	Reset	Access
0x000	AIGAIN	A 相電流ゲイン調整。	0x00000000	R/W
0x001	AIGAIN0	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0 ~ AIGAIN5 が適用されます。	0x00000000	R/W
0x002	AIGAIN1	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0 ~ AIGAIN5 が適用されます。	0x00000000	R/W
0x003	AIGAIN2	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0 ~ AIGAIN5 が適用されます。	0x00000000	R/W
0x004	AIGAIN3	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0 ~ AIGAIN5 が適用されます。	0x00000000	R/W
0x005	AIGAIN4	A 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 AIGAIN0 ~ AIGAIN5 が適用されます。	0x00000000	R/W
0x006	APHCAL0	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x007	APHCAL1	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x008	APHCAL2	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x009	APHCAL3	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x00A	APHCAL4	A 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、APHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、AIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、APHCAL0 から APHCAL4 までの値が適用されます。	0x00000000	R/W
0x00B	AVGAIN	A 相電圧ゲイン調整。	0x00000000	R/W
0x00C	AIRMSOS	フィルタパス AIRMS 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x00D	AVRMSOS	フィルタパス AVRMS 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x00E	APGAIN	AWATT、AVA、AVAR、AFWATT、AFVA、および AFVAR 計算のための A 相パワー・ゲイン調整。	0x00000000	R/W
0x00F	AWATTOS	AWATT 計算のための A 相総合有効電力オフセット補正。	0x00000000	R/W
0x010	AVAROS	AVAR 計算のための A 相総合無効電力オフセット補正。	0x00000000	R/W
0x011	AFWATTOS	AFWATT 計算のための A 相基本波有効電力オフセット補正。	0x00000000	R/W
0x012	AFVAROS	AFVAR 計算のための A 相基本波無効電力オフセット補正。	0x00000000	R/W

Address	Name	Description	Reset	Access
0x013	AIFRMSOS	基本波電流実効値 AIFRMS 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x014	AVFRMSOS	基本波電圧実効値 AVFRMS 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x015	AVRMSONEOS	高速 RMS $\frac{1}{2}$ AVRMSONE 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x016	AIRMSONEOS	高速 RMS $\frac{1}{2}$ AIRMSONE 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x017	AVRMS1012OS	10 サイクル実効値/12 サイクル実効値 AVRMS1012 計算のための A 相電圧実効値オフセット。	0x00000000	R/W
0x018	AIRMS1012OS	10 サイクル実効値/12 サイクル実効値 AIRMS1012 計算のための A 相電流実効値オフセット。	0x00000000	R/W
0x020	BIGAIN	B 相電流ゲイン調整。	0x00000000	R/W
0x021	BIGAIN0	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0 ~ BIGAIN5 が適用されます。	0x00000000	R/W
0x022	BIGAIN1	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0 ~ BIGAIN5 が適用されます。	0x00000000	R/W
0x023	BIGAIN2	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0 ~ BIGAIN5 が適用されます。	0x00000000	R/W
0x024	BIGAIN3	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0 ~ BIGAIN5 が適用されます。	0x00000000	R/W
0x025	BIGAIN4	B 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 BIGAIN0 ~ BIGAIN5 が適用されます。	0x00000000	R/W
0x026	BPHCAL0	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x027	BPHCAL1	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x028	BPHCAL2	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x029	BPHCAL3	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x02A	BPHCAL4	B 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、BPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、BIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、BPHCAL0 から BPHCAL4 までの値が適用されます。	0x00000000	R/W
0x02B	BVGAIN	B 相電圧ゲイン調整。	0x00000000	R/W
0x02C	BIRMSOS	BIRMS 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x02D	BVRMSOS	BVRMS 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x02E	BPGAIN	BWATT、BVA、BVAR、BFWATT、BFVA、および BFCVAR 計算のための B 相パワー・ゲイン調整。	0x00000000	R/W
0x02F	BWATTOS	BWATT 計算のための B 相総合有効電力オフセット補正。	0x00000000	R/W

Address	Name	Description	Reset	Access
0x030	BVAROS	BVAR 計算のための B 相総合無効電力オフセット補正。	0x00000000	R/W
0x031	BFWATTOS	BFWATT 計算のための B 相基本波有効電力オフセット補正。	0x00000000	R/W
0x032	BFVAROS	BFVAR 計算のための B 相基本波無効電力オフセット補正。	0x00000000	R/W
0x033	BIFRMSOS	基本波電流実効値 BIFRMS 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x034	BVFRMSOS	基本波電圧実効値 BVFRMS 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x035	BVRMSONEOS	高速 RMS $\frac{1}{2}$ BVRMSONE 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x036	BIRMSONEOS	高速 RMS $\frac{1}{2}$ BIRMSONE 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x037	BVRMS1012OS	10 サイクル実効値/12 サイクル実効値 BVRMS1012 計算のための B 相電圧実効値オフセット。	0x00000000	R/W
0x038	BIRMS1012OS	10 サイクル実効値/12 サイクル実効値 BIRMS1012 計算のための B 相電流実効値オフセット。	0x00000000	R/W
0x040	CIGAIN	C 相電流ゲイン調整。	0x00000000	R/W
0x041	CIGAIN0	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0 ~ CIGAIN5 が適用されます。	0x00000000	R/W
0x042	CIGAIN1	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0 ~ CIGAIN5 が適用されます。	0x00000000	R/W
0x043	CIGAIN2	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0 ~ CIGAIN5 が適用されます。	0x00000000	R/W
0x044	CIGAIN3	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0 ~ CIGAIN5 が適用されます。	0x00000000	R/W
0x045	CIGAIN4	C 相マルチポイント・ゲイン補正係数。CONFIG0 レジスタの MTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、追加のゲイン係数 CIGAIN0 ~ CIGAIN5 が適用されます。	0x00000000	R/W
0x046	CPHCAL0	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x047	CPHCAL1	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x048	CPHCAL2	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x049	CPHCAL3	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x04A	CPHCAL4	C 相マルチポイント位相補正係数。CONFIG0 レジスタの MTEN=0 によって位相とゲインのマルチポイント補正がディスエーブルされている場合は、CPHCAL0 位相補償が適用されます。MTEN=1 によって位相とゲインのマルチポイント補正がイネーブルされている場合は、CIRMS 電流実効値振幅と MTTHR_Lx レジスタおよび MTTHR_Hx レジスタの値に基づき、CPHCAL0 から CPHCAL4 までの値が適用されます。	0x00000000	R/W
0x04B	CVGAIN	C 相電圧ゲイン調整。	0x00000000	R/W
0x04C	CIRMSOS	CIRMS 計算のための C 相電流実効値オフセット。	0x00000000	R/W
0x04D	CVRMSOS	CVRMS 計算のための C 相電圧実効値オフセット。	0x00000000	R/W

Address	Name	Description	Reset	Access
0x04E	CPGAIN	CWATT、CVA、CVAR、CFWATT、CFVA、およびCFVAR計算のためのC相パワー・ゲイン調整。	0x00000000	R/W
0x04F	CWATTOS	CWATT計算のためのC相総合有効電力オフセット補正。	0x00000000	R/W
0x050	CVAROS	CVAR計算のためのC相総合無効電力オフセット補正。	0x00000000	R/W
0x051	CFWATTOS	CFWATT計算のためのC相基本波有効電力オフセット補正。	0x00000000	R/W
0x052	CFVAROS	CFVAR計算のためのC相基本波無効電力オフセット補正。	0x00000000	R/W
0x053	CIFRMSOS	基本波電流実効値CIFRMS計算のためのC相電流実効値オフセット。	0x00000000	R/W
0x054	CVFRMSOS	基本波電圧実効値CVFRMS計算のためのC相電圧実効値オフセット。	0x00000000	R/W
0x055	CVRMSONEOS	高速RMS $\frac{1}{2}$ CVRMSONE計算のためのC相電圧実効値オフセット。	0x00000000	R/W
0x056	CIRMSONEOS	高速RMS $\frac{1}{2}$ CIRMSONE計算のためのC相電流実効値オフセット。	0x00000000	R/W
0x057	CVRMS1012OS	10サイクル実効値/12サイクル実効値CVRMS1012計算のためのC相電圧実効値オフセット。	0x00000000	R/W
0x058	CIRMS1012OS	10サイクル実効値/12サイクル実効値CIRMS1012計算のためのC相電流実効値オフセット。	0x00000000	R/W
0x060	CONFIG0	設定レジスタ0。	0x00000000	R/W
0x061	MTTHR_L0	マルチポイント位相/ゲイン閾値。CONFIG0レジスタのMTEN=1の場合、MTGNTHR_LxレジスタとMTGNTHR_Hxレジスタが、ヒステリシスを持った、各補正セットの適用範囲を設定します。詳細については、位相とゲインのマルチポイント補正のセクションを参照してください。	0x00000000	R/W
0x062	MTTHR_L1	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x063	MTTHR_L2	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x064	MTTHR_L3	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x065	MTTHR_L4	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x066	MTTHR_H0	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x067	MTTHR_H1	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x068	MTTHR_H2	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x069	MTTHR_H3	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x06A	MTTHR_H4	マルチポイント位相/ゲイン閾値。詳細については、MTTHR_L0を参照してください。	0x00000000	R/W
0x06B	NIRMSOS	NIRMS計算のための中性電流実効値オフセット。	0x00000000	R/W
0x06C	ISUMRMSOS	合計値IA+IB+IC±INに基づくISUMRMS計算のためのオフセット補正。	0x00000000	R/W
0x06D	NIGAIN	中性電流ゲイン調整。	0x00000000	R/W
0x06E	NPHCAL	中性電流位相補償。	0x00000000	R/W
0x06F	NIRMSONEOS	高速RMS $\frac{1}{2}$ NIRMSONE計算のための中性電流実効値オフセット。	0x00000000	R/W
0x070	NIRMS1012OS	10サイクル実効値/12サイクル実効値NIRMS1012計算のための中性電流実効値オフセット。	0x00000000	R/W
0x071	VNOM	CONFIG0レジスタのVNOMx_ENビットをセットしたときに、皮相電力xVAの計算に使用する公称相電圧実効値。	0x00000000	R/W
0x072	DICOEFF	デジタル積分器アルゴリズムに使用する値。CONFIG0レジスタのINTENまたはININTENを1にして積分器をオンにした場合は、この値を0xFFFFE000に設定することを推奨します。	0x00000000	R/W
0x073	ISUMLVL	ISUMRMSの比較対象となる閾値。このレジスタは、ISUMRMSがこの閾値を超えた場合にSTATUS0レジスタのMISMATCHの通知を受け取るように設定します。	0x00000000	R/W
0x20A	AI_PCF	瞬時A相電流チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x20B	AV_PCF	瞬時A相電圧チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x20C	AIRMS	A相フィルタベース電流実効値 (8kSPSで更新)。	0x00000000	R
0x20D	AVRMS	A相フィルタベース電圧実効値 (8kSPSで更新)。	0x00000000	R
0x20E	AIFRMS	A相電流基本波実効値 (8kSPSで更新)。	0x00000000	R
0x20F	AVFRMS	A相電圧基本波実効値 (8kSPSで更新)。	0x00000000	R
0x210	AWATT	ローパス・フィルタ処理を施したA相総合有効電力 (8kSPSで更新)。	0x00000000	R
0x211	AVAR	ローパス・フィルタ処理を施したA相総合無効電力 (8kSPSで更新)。	0x00000000	R
0x212	AVA	A相総合皮相電力 (8kSPSで更新)。	0x00000000	R
0x213	AFWATT	A相基本波有効電力 (8kSPSで更新)。	0x00000000	R
0x214	AFVAR	A相基本波無効電力 (8kSPSで更新)。	0x00000000	R
0x215	AFVA	A相基本波皮相電力 (8kSPSで更新)。	0x00000000	R
0x216	APF	A相力率 (1.024秒ごとに更新)。	0x00000000	R
0x217	AVTHD	A相電圧THD (1.024秒ごとに更新)。	0x00000000	R

Address	Name	Description	Reset	Access
0x218	AITHD	A相電流 THD (1.024秒ごとに更新)。	0x00000000	R
0x219	AIRMSONE	A相電流高速RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される1サイクル実効値)。	0x00000000	R
0x21A	AVRMSONE	A相電圧高速RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される1サイクル実効値)。	0x00000000	R
0x21B	AIRMS1012	A相電流高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x21C	AVRMS1012	A相電圧高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x21D	AMTREGION	CONFIG0レジスタのMTEN=1によってゲインと位相のマルチポイント補償がイネーブルされている場合、このレジスタは、現在のAIGAINxとAPHCALxが使われているかを示します。	0x0000000F	R
0x22A	BI_PCF	瞬時B相電流チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x22B	BV_PCF	瞬時B相電圧チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x22C	BIRMS	B相フィルタベース電流実効値 (8kSPSで更新)。	0x00000000	R
0x22D	BVRMS	B相フィルタベース電圧実効値 (8kSPSで更新)。	0x00000000	R
0x22E	BIFRMS	B相電流基本波実効値 (8kSPSで更新)。	0x00000000	R
0x22F	BVFRMS	B相電圧基本波実効値 (8kSPSで更新)。	0x00000000	R
0x230	BWATT	ローパス・フィルタ処理を施したB相総合有効電力 (8kSPSで更新)。	0x00000000	R
0x231	BVAR	ローパス・フィルタ処理を施したB相総合無効電力 (8kSPSで更新)。	0x00000000	R
0x232	BVA	B相総合皮相電力 (8kSPSで更新)。	0x00000000	R
0x233	BFWATT	B相基本波有効電力 (8kSPSで更新)。	0x00000000	R
0x234	BFVAR	B相基本波無効電力 (8kSPSで更新)。	0x00000000	R
0x235	BFVA	B相基本波皮相電力 (8kSPSで更新)。	0x00000000	R
0x236	BPF	B相力率 (1.024秒ごとに更新)。	0x00000000	R
0x237	BVTHD	B相電圧 THD (1.024秒ごとに更新)。	0x00000000	R
0x238	BITHD	B相電流 THD (1.024秒ごとに更新)。	0x00000000	R
0x239	BIRMSONE	B相電流高速RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される1サイクル実効値)。	0x00000000	R
0x23A	BVRMSONE	B相電圧高速RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される1サイクル実効値)。	0x00000000	R
0x23B	BIRMS1012	B相電流高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x23C	BVRMS1012	B相電圧高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x23D	BMTREGION	CONFIG0レジスタのMTEN=1によってゲインと位相のマルチポイント補償がイネーブルされている場合、このレジスタは、現在のBIGAINxとBPHCALxが使われているかを示します。	0x0000000F	R
0x24A	CI_PCF	瞬時C相電流チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x24B	CV_PCF	瞬時C相電圧チャンネル波形 (DSPにより8kSPSで処理)。	0x00000000	R
0x24C	CIRMS	C相フィルタベース電流実効値 (8kSPSで更新)。	0x00000000	R
0x24D	CVRMS	C相フィルタベース電圧実効値 (8kSPSで更新)。	0x00000000	R
0x24E	CIFRMS	C相電流基本波実効値 (8kSPSで更新)。	0x00000000	R
0x24F	CVFRMS	C相電圧基本波実効値 (8kSPSで更新)。	0x00000000	R
0x250	CWATT	ローパス・フィルタ処理を施したC相総合有効電力 (8kSPSで更新)。	0x00000000	R
0x251	CVAR	ローパス・フィルタ処理を施したC相総合無効電力 (8kSPSで更新)。	0x00000000	R
0x252	CVA	C相総合皮相電力 (8kSPSで更新)。	0x00000000	R
0x253	CFWATT	C相基本波有効電力 (8kSPSで更新)。	0x00000000	R
0x254	CFVAR	C相基本波無効電力 (8kSPSで更新)。	0x00000000	R
0x255	CFVA	C相基本波皮相電力 (8kSPSで更新)。	0x00000000	R
0x256	CPF	C相力率 (1.024秒ごとに更新)。	0x00000000	R
0x257	CVTHD	C相電圧 THD (1.024秒ごとに更新)。	0x00000000	R
0x258	CITHD	C相電流 THD (1.024秒ごとに更新)。	0x00000000	R
0x259	CIRMSONE	C相電流高速RMS $\frac{1}{2}$ 計算 (ハーフ・サイクルごとに更新される1サイクル実効値)。	0x00000000	R

Address	Name	Description	Reset	Access
0x25A	CVRMSONE	C相電圧高速RMS $\frac{1}{2}$ 計算（ハーフ・サイクルごとに更新される1サイクル実効値）。	0x00000000	R
0x25B	CIRMS1012	C相電流高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x25C	CVRMS1012	C相電圧高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x25D	CMTREGION	CONFIG0レジスタのMTEN=1によってゲインと位相のマルチポイント補償がイネーブルされている場合、これらのビットは、現在のCIGAINxとCPHCALxが使われているかを示します。	0x0000000F	R
0x265	NI_PCF	瞬時中性電流チャンネル波形（DSPにより8kSPSで処理）。	0x00000000	R
0x266	NIRMS	中性電流フィルタベース実効値。	0x00000000	R
0x267	NIRMSONE	中性電流高速RMS $\frac{1}{2}$ 計算（ハーフ・サイクルごとに更新される1サイクル実効値）。	0x00000000	R
0x268	NIRMS1012	中性電流高速10サイクル実効値/12サイクル実効値計算。この計算は、ACCMODEレジスタの50Hz回路を表すSELFREQ=0の場合は10サイクルで行われ、60Hz回路を表すSELFREQ=1の場合は12サイクルで行われます。	0x00000000	R
0x269	ISUMRMS	合計値IA+IB+IC±INに基づくフィルタベース実効値。	0x00000000	R
0x26A	VERSION2	このレジスタは、測定を開始するためにユーザーがrun=1を書き込んだ後の測定アルゴリズムのバージョンを示します。	0x0000000C	R
0x2E5	AWATT_ACC	A相積算総合有効電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x2E6	AWATTHR_LO	A相積算総合有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x2E7	AWATTHR_HI	A相積算総合有効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x2EF	AVAR_ACC	A相積算総合無効電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x2F0	AVARHR_LO	A相積算総合無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x2F1	AVARHR_HI	A相積算総合無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x2F9	AVA_ACC	A相積算総合皮相電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x2FA	AVAHR_LO	A相積算総合皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x2FB	AVAHR_HI	A相積算総合皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x303	AFWATT_ACC	A相積算基本波有効電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x304	AFWATTHR_LO	A相積算基本波有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x305	AFWATTHR_HI	A相積算基本波有効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x30D	AFVAR_ACC	A相積算基本波無効電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x30E	AFVARHR_LO	A相積算基本波無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x30F	AFVARHR_HI	A相積算基本波無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x317	AFVA_ACC	A相積算基本波皮相電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x318	AFVAHR_LO	A相積算基本波皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x319	AFVAHR_HI	A相積算基本波皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x321	BWATT_ACC	B相積算総合有効電力（PWR_TIMEの8kSPSサンプル後に更新）。	0x00000000	R
0x322	BWATTHR_LO	B相積算総合有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R

Address	Name	Description	Reset	Access
0x323	BWATTHR_HI	B相積算総合有効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x32B	BVAR_ACC	B相積算総合無効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x32C	BVARHR_LO	B相積算総合無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x32D	BVARHR_HI	B相積算総合無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x335	BVA_ACC	B相積算総合皮相電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x336	BVAHR_LO	B相積算総合皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x337	BVAHR_HI	B相積算総合皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x33F	BFWATT_ACC	B相積算基本波有効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x340	BFWATTHR_LO	B相積算基本波有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x341	BFWATTHR_HI	B相積算基本波有効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x349	BFVAR_ACC	B相積算基本波無効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x34A	BFVARHR_LO	B相積算基本波無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x34B	BFVARHR_HI	B相積算基本波無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x353	BFVA_ACC	B相積算基本波皮相電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x354	BFVAHR_LO	B相積算基本波皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x355	BFVAHR_HI	B相積算基本波皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x35D	CWATT_ACC	C相積算総合有効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x35E	CWATTHR_LO	C相積算総合有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x35F	CWATTHR_HI	C相積算総合有効電力量、MSB。P_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x367	CVAR_ACC	C相積算総合無効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x368	CVARHR_LO	C相積算総合無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x369	CVARHR_HI	C相積算総合無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x371	CVA_ACC	C相積算総合皮相電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x372	CVAHR_LO	C相積算総合皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x373	CVAHR_HI	C相積算総合皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x37B	CFWATT_ACC	C相積算基本波有効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x37C	CFWATTHR_LO	C相積算基本波有効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x37D	CFWATTHR_HI	C相積算基本波有効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x385	CFVAR_ACC	C相積算基本波無効電力 (PWR_TIMEの8kSPSサンプル後に更新)。	0x00000000	R
0x386	CFVARHR_LO	C相積算基本波無効電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R

Address	Name	Description	Reset	Access
0x387	CFVARHR_HI	C相積算基本波無効電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x38F	CFVA_ACC	C相積算基本波皮相電力 (PWR_TIMEの8kSPS サンプル後に更新)。	0x00000000	R
0x390	CFVAHR_LO	C相積算基本波皮相電力量、LSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x391	CFVAHR_HI	C相積算基本波皮相電力量、MSB。EP_CFGレジスタとEGY_TIMEレジスタの設定に従って更新されます。	0x00000000	R
0x397	PWATT_ACC	AWATT、BWATT、およびCWATTレジスタから積算された正の総合有効電力、MSB (PWR_TIMEの8kSPS サンプル後に更新)。	0x00000000	R
0x39B	NWATT_ACC	AWATT、BWATT、およびCWATTレジスタから積算された負の総合有効電力、MSB (PWR_TIMEの8kSPS サンプル後に更新)。	0x00000000	R
0x39F	PVAR_ACC	AVAR、BVAR、およびCVARレジスタから積算された正の総合無効電力、MSB (PWR_TIMEの8kSPS サンプル後に更新)。	0x00000000	R
0x3A3	NVAR_ACC	AVAR、BVAR、およびCVARレジスタから積算された負の総合無効電力、MSB (PWR_TIMEの8kSPS サンプル後に更新)。	0x00000000	R
0x400	IPEAK	電流ピーク・レジスタ。	0x00000000	R
0x401	VPEAK	電圧ピーク・レジスタ。	0x00000000	R
0x402	STATUS0	ステータス・レジスタ0。	0x00000000	R/W
0x403	STATUS1	ステータス・レジスタ1。	0x00000000	R/W
0x404	EVENT_STATUS	イベント・ステータス・レジスタ。	0x00000000	R
0x405	MASK0	割込みイネーブル・レジスタ0。	0x00000000	R/W
0x406	MASK1	割込みイネーブル・レジスタ1。	0x00000000	R/W
0x407	EVENT_MASK	イベント・イネーブル・レジスタ。	0x00000000	R/W
0x409	OILVL	過電流検出閾値レベル。	0x00FFFFFF	R/W
0x40A	OIA	A相過電流RMS $\frac{1}{2}$ 値。CONFIG3レジスタにOC_ENAビットがセットされて相がイネーブルされ、AIRMSONEがOILVL閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40B	OIB	B相過電流RMS $\frac{1}{2}$ 値。CONFIG3レジスタにOC_ENBビットがセットされて相がイネーブルされ、BIRMSONEがOILVL閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40C	OIC	C相過電流RMS $\frac{1}{2}$ 値。CONFIG3レジスタにOC_ENCビットがセットされて相がイネーブルされ、BIRMSONEがOILVL閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40D	OIN	中性電流過電流RMS $\frac{1}{2}$ 値。CONFIG3レジスタにOC_ENNビットがセットされて中性電流がイネーブルされ、NIRMSONEがOILVL閾値より大きい場合は、この値が更新されます。	0x00000000	R
0x40E	USER_PERIOD	CONFIG2レジスタにUPERIOD_SELビットがセットされているときに、リサンプリング、高速RMS $\frac{1}{2}$ 、および10サイクル実効値/12サイクル実効値に使われるユーザー定義ライン周期。	0x00500000	R/W
0x40F	VLEVEL	基本波有効電力、無効電力、皮相電力と、基本波IRMSおよびVRMS値の計算アルゴリズムに使われるレジスタ。	0x00045D45	R/W
0x410	DIP_LVL	電圧RMS $\frac{1}{2}$ ディップ検出閾値レベル。	0x00000000	R/W
0x411	DIPA	ディップ状態のA相電圧RMS $\frac{1}{2}$ 値。	0x007FFFFFFF	R
0x412	DIPB	ディップ状態のB相電圧RMS $\frac{1}{2}$ 値。	0x007FFFFFFF	R
0x413	DIPC	ディップ状態のC相電圧RMS $\frac{1}{2}$ 値。	0x007FFFFFFF	R
0x414	SWELL_LVL	電圧RMS $\frac{1}{2}$ スウェル検出閾値レベル。	0x00FFFFFF	R/W
0x415	SWELLA	スウェル状態のA相電圧RMS $\frac{1}{2}$ 値。	0x00000000	R
0x416	SWELLB	スウェル状態のB相電圧RMS $\frac{1}{2}$ 値。	0x00000000	R
0x417	SWELLC	スウェル状態のC相電圧RMS $\frac{1}{2}$ 値。	0x00000000	R
0x418	APERIOD	A相電圧のライン周期。	0x00A00000	R
0x419	BPERIOD	B相電圧のライン周期。	0x00A00000	R
0x41A	CPERIOD	C相電圧のライン周期。	0x00A00000	R
0x41B	COM_PERIOD	A相、B相、C相電圧を組み合わせた信号のライン周期測定値。	0x00A00000	R
0x41C	ACT_NL_LVL	総合および基本波有効電力データパスの無負荷閾値。	0x0000FFFF	R/W

Address	Name	Description	Reset	Access
0x41D	REACT_NL_LVL	総合および基本波無効電力データバスの無負荷閾値。	0x0000FFFF	R/W
0x41E	APP_NL_LVL	総合および基本波皮相電力データバスの無負荷閾値。	0x0000FFFF	R/W
0x41F	PHNOLOAD	無負荷位相レジスタ。	0x00000000	R
0x420	WTHR	CFx 補正パルス出力の総合および基本波有効電力に対するデジタル/周波数変換器からの最大出力レートを設定します。WTHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W
0x421	VARTHR	CFx 補正パルス出力の総合および基本波無効電力に対するデジタル/周波数変換器からの最大出力レートを設定します。VARTHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W
0x422	VATHR	CFx 補正パルス出力の総合および基本波皮相電力に対するデジタル/周波数変換器からの最大出力レートを設定します。VATHR への書き込み値は 0x0010_0000 とすることを推奨します。	0x0000FFFF	R/W
0x423	LAST_DATA_32	このレジスタは、SPI ポートでの最後の 32 ビット・トランザクション時に読み出されたまたは書き込みをされたデータを保持します。	0x00000000	R
0x424	ADC_REDIRECT	このレジスタを使用すれば、ADC 出力を任意のデジタル・データバスへリダイレクトすることができます。	0x001FFFFFFF	R/W
0x425	CF_LCFG	CFx 補正パルス幅設定レジスタ。	0x00000000	R/W
0x472	PART_ID	このレジスタは IC を識別します。ADE9000_ID ビット=1 の場合、その IC は ADE9000 です。	0x00100000	R
0x474	TEMP_TRIM	製造工程において計算される温度センサー・ゲインとオフセット。	0x00000000	R/W
0x480	RUN	測定を開始するには、このレジスタに 1 を書き込みます。	0x0000	R/W
0x481	CONFIG1	設定レジスタ 1。	0x0000	R/W
0x482	ANGL_VA_VB	A 相電圧の正から負へのゼロ交差と、B 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x483	ANGL_VB_VC	B 相電圧の正から負へのゼロ交差と、C 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x484	ANGL_VA_VC	A 相電圧の正から負へのゼロ交差と、C 相電圧の正から負へのゼロ交差の間の時間。	0x0000	R
0x485	ANGL_VA_IA	A 相電圧の正から負へのゼロ交差と、A 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x486	ANGL_VB_IB	B 相電圧の正から負へのゼロ交差と、B 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x487	ANGL_VC_IC	C 相電圧の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x488	ANGL_IA_IB	A 相電流の正から負へのゼロ交差と、B 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x489	ANGL_IB_IC	B 相電流の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x48A	ANGL_IA_IC	A 相電流の正から負へのゼロ交差と、C 相電流の正から負へのゼロ交差の間の時間。	0x0000	R
0x48B	DIP_CYC	電圧 RMS $\frac{1}{2}$ ディップ検出サイクル設定。	0xFFFF	R/W
0x48C	SWELL_CYC	電圧 RMS $\frac{1}{2}$ スウェル検出サイクル設定。	0xFFFF	R/W
0x48F	OISTATUS	過電流ステータス・レジスタ。	0x0000	R
0x490	CFMODE	CFx 設定レジスタ。	0x0000	R/W
0x491	COMPMODE	計算モード・レジスタ。	0x0000	R/W
0x492	ACCMODE	積算モード・レジスタ	0x0000	R/W
0x493	CONFIG3	設定レジスタ 3。	0xF000	R/W
0x494	CF1DEN	CF1 デノミネータ・レジスタ。	0xFFFF	R/W
0x495	CF2DEN	CF2 デノミネータ・レジスタ。	0xFFFF	R/W
0x496	CF3DEN	CF3 デノミネータ・レジスタ。	0xFFFF	R/W
0x497	CF4DEN	CF4 デノミネータ・レジスタ。	0xFFFF	R/W
0x498	ZXTOUT	ゼロ交差タイムアウト設定レジスタ。	0xFFFF	R/W
0x499	ZXTHRS	電圧チャンネルゼロ交差閾値レジスタ。	0x0009	R/W
0x49A	ZX_LP_SEL	このレジスタは、どのゼロ交差とどのライン周期測定値をその他の計算に使用するかを選択します。	0x001E	R/W
0x49C	SEQ_CYC	位相シーケンス検出に使用するライン・サイクル数。このレジスタは 1 に設定することを推奨します。	0x00FF	R/W
0x49D	PHSIGN	電力符号レジスタ。	0x0000	R
0x4A0	WFB_CFG	波形バッファ設定レジスタ。	0x0000	R/W
0x4A1	WFB_PG_IRQEN	このレジスタは、波形バッファの特定ページにデータが書き込まれた後、割り込みをイネーブルします。	0x0000	R/W
0x4A2	WFB_TRG_CFG	このレジスタは、波形バッファへのキャプチャをトリガするためのイベントをイネーブルします。	0x0000	R/W
0x4A3	WFB_TRG_STAT	このレジスタは、波形バッファ内のデータが書き込まれた最後のページと、トリガ・イベントのロケーションを示します。	0x0000	R/W

Address	Name	Description	Reset	Access
0x4A4	CONFIG5	設定レジスタ 5。	0x0063	R/W
0x4A8	CRC_RSLT	このレジスタは、設定レジスタの CRC を保持します。	0x0000	R
0x4A9	CRC_SPI	このレジスタは、最後の SPI レジスタ読み出し時に MOSI ピンから送出されたデータの 16 ビット CRC を保持します。	0x0000	R
0x4AC	LAST_DATA_16	このレジスタは、SPI ポートでの最後の 16 ビット・トランザクション時に読み出されたまたは書き込みをされたデータを保持します。	0x0000	R
0x4AE	LAST_CMD	このレジスタは、SPI ポートの最後のトランザクションのアドレスと読み出し/書き込み動作要求 (CMD_HDR) を保持します。	0x0000	R
0x4AF	CONFIG2	設定レジスタ 2。	0x0C00	R/W
0x4B0	EP_CFG	電力量および電力積算設定。	0x0000	R/W
0x4B1	PWR_TIME	電力更新時間設定。	0x00FF	R/W
0x4B2	EGY_TIME	電力量積算更新時間設定。	0x00FF	R/W
0x4B4	CRC_FORCE	このレジスタは、設定レジスタの CRC を強制的に更新します。	0x0000	R/W
0x4B5	CRC_OPTEN	このレジスタは、設定レジスタ CRC 機能に、どのレジスタをオプションで含めるかを選択します。	0x0000	R/W
0x4B6	TEMP_CFG	温度センサー設定レジスタ。	0x0000	R/W
0x4B7	TEMP_RSLT	温度計測結果。	0x0000	R
0x4B9	PGA_GAIN	このレジスタは、各 ADC の PGA ゲインを設定します。	0x0000	R/W
0x4BA	CHNL_DIS	ADC チャンネルのイネーブル/ディスエーブル。	0x0000	R/W
0x4BF	WR_LOCK	このレジスタは、設定ロック機能をイネーブルします。	0x0000	R/W
0x4E0	VAR_DIS	総無効電力計算をイネーブル/ディスエーブルします。	0x0000	R/W
0x4F0	RESERVED1	このレジスタは予備です。	0x0000	R
0x4FE	Version	ADE9000 IC のバージョン。	0x0040	R
0x500	AI_SINC_DAT	32 kSPS sinc4 出力からの電流チャンネル A ADC 波形。	0x00000000	R
0x501	AV_SINC_DAT	32 kSPS sinc4 出力からの電圧チャンネル A ADC 波形。	0x00000000	R
0x502	BI_SINC_DAT	32 kSPS sinc4 出力からの電流チャンネル B ADC 波形。	0x00000000	R
0x503	BV_SINC_DAT	32 kSPS sinc4 出力からの電圧チャンネル B ADC 波形。	0x00000000	R
0x504	CI_SINC_DAT	32 kSPS sinc4 出力からの電流チャンネル C ADC 波形。	0x00000000	R
0x505	CV_SINC_DAT	32 kSPS sinc4 出力からの電圧チャンネル C ADC 波形。	0x00000000	R
0x506	NI_SINC_DAT	32 kSPS sinc4 出力からの中性電流チャンネル ADC 波形。	0x00000000	R
0x510	AI_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電流チャンネル A ADC 波形。	0x00000000	R
0x511	AV_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電圧チャンネル A ADC 波形。	0x00000000	R
0x512	BI_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電流チャンネル B ADC 波形。	0x00000000	R
0x513	BV_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電圧チャンネル B ADC 波形。	0x00000000	R
0x514	CI_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電流チャンネル C ADC 波形。	0x00000000	R
0x515	CV_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの電圧チャンネル C ADC 波形。	0x00000000	R
0x516	NI_LPF_DAT	8 kSPS sinc4+IIR LPF 出力からの中性電流チャンネル ADC 波形。	0x00000000	R
0x600	AV_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。AV_PCF を参照。	0x00000000	R/W
0x601	BV_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。BV_PCF を参照。	0x00000000	R/W
0x602	CV_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。CV_PCF を参照。	0x00000000	R/W
0x603	NI_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。NI_PCF を参照。	0x00000000	R/W
0x604	AI_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。AI_PCF を参照。	0x00000000	R/W
0x605	BI_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。BI_PCF を参照。	0x00000000	R/W
0x606	CI_PCF_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。CI_PCF を参照。	0x00000000	R/W
0x607	AIRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。AIRMS を参照。	0x00000000	R/W
0x608	BIRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。BIRMS を参照。	0x00000000	R/W
0x609	CIRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。CIRMS を参照。	0x00000000	R/W
0x60A	AVRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。AVRMS を参照。	0x00000000	R/W
0x60B	BVRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。BVRMS を参照。	0x00000000	R/W
0x60C	CVRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。CVRMS を参照。	0x00000000	R/W
0x60D	NIRMS_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。NIRMS を参照。	0x00000000	R/W
0x60E	AWATT_1	SPI バースト読み出しアクセス可能。機能的に分類されたレジスタ群。AWATT を参照。	0x00000000	R/W







Address	Name	Description	Reset	Access
0x6B8	CVRMS1012_2	SPI バースト読み出しアクセス可能。位相により分類されたレジスタ群。CVRMS1012を参照。 。	0x00000000	R/W
0x6B9	NI_PCF_2	SPI バースト読み出しアクセス可能。位相により分類されたレジスタ群。NI_PCFを参照。	0x00000000	R/W
0x6BA	NIRMS_2	SPI バースト読み出しアクセス可能。位相により分類されたレジスタ群。NIRMSを参照。	0x00000000	R/W
0x6BB	NIRMSONE_2	SPI バースト読み出しアクセス可能。位相により分類されたレジスタ群。NIRMSONEを参照。	0x00000000	R/W
0x6BC	NIRMS1012_2	SPI バースト読み出しアクセス可能。位相により分類されたレジスタ群。NIRMS1012を参照。	0x00000000	R/W

## レジスタの詳細

ビット・フィールドを持つ ADE9000 のレジスタの詳細を表 7 に示します。表 6 に示した追加レジスタには、ビット・フィールドはありません。

表 7. レジスタの詳細

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x060	CONFIG0	[31:14]	RESERVED		予備	0x0	R
		13	DISRPLPF		総合無効電力データパスのローパス・フィルタをディセーブルするには、このビットをセットします。	0x0	R/W
		12	DISAPLPF		総合有効電力データパスのローパス・フィルタをディセーブルするには、このビットをセットします。	0x0	R/W
		11	ININTEN		中性電流チャンネルのデジタル積分器をイネーブルするには、このビットをセットします。	0x0	R/W
		10	VNOMC_EN		C 相総合皮相電力 CVA の計算に公称相電圧実効値 $V_{NOM}$ を使用するには、このビットをセットします。	0x0	R/W
		9	VNOMB_EN		B 相総合皮相電力 BVA の計算に公称相電圧実効値 $V_{NOM}$ を使用するには、このビットをセットします。	0x0	R/W
		8	VNOMA_EN		A 相総合皮相電力 AVA の計算に公称相電圧実効値 $V_{NOM}$ を使用するには、このビットをセットします。	0x0	R/W
		7	RMS_SRC_SEL		このビットは、RMS $\frac{1}{2}$ と 10 サイクル実効値/12 サイクル実効値の計算に、どのサンプルを使用するかを選択します。 0 ハイパス・フィルタおよび積分器後の $xI_{PCF}$ 波形。 1 ハイパス・フィルタおよび積分器前の ADC サンプル。	0x0	R/W
		6	ZX_SRC_SEL		このビットは、ゼロ交差検出回路に送るデータを、ハイパス・フィルタ、積分器、位相補償部の前から取得するか、後から取得するかを選択します。 0 ハイパス・フィルタ、積分器、位相補償部の後。 1 ハイパス・フィルタ、積分器、位相補償部の前。	0x0	R/W
		5	INTEN		相電流チャンネルの積分器をイネーブルするには、このビットをセットします。中性電流チャンネルの積分器は、CONFIG0 レジスタの ININTEN ビットによって管理します。	0x0	R/W
		4	MTEN		位相とゲインのマルチポイント補償をイネーブルするには、このビットをセットします。イネーブルすると、 $xI_{RMS}$ 電流実効値振幅と $MTTHR_{Lx}$ および $MTTHR_{Hx}$ レジスタ値に基づいて、追加のゲイン係数 $xI_{GAIN0} \sim xI_{GAIN5}$ が電流チャンネルに適用されます。	0x0	R/W
		3	HPFDIS		すべての電圧および電流チャンネルのハイパス・フィルタをディセーブルするには、このビットをセットします。	0x0	R/W
		2	RESERVED		予備	0x0	R
[1:0]	ISUM_CFG		ISUM 計算の設定。 00 $ISUM = AI_{PCF} + BI_{PCF} + CI_{PCF}$ (中性電流実効値の近似計算)。 01 $ISUM = AI_{PCF} + BI_{PCF} + CI_{PCF} + NI_{PCF}$ (中性電流と相電流間のミスマッチの算出)。 10 $ISUM = AI_{PCF} + BI_{PCF} + CI_{PCF} - NI_{PCF}$ (中性電流と相電流間のミスマッチの算出)。 11 $ISUM = AI_{PCF} + BI_{PCF} + CI_{PCF}$ (中性電流実効値の近似計算)。	0x0	R/W		

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x21D	AMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	AREGION		<p>CONFIG0 レジスタのMTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、これらのビットは、現在どのAIGAIN<sub>x</sub>とAPHCAL<sub>x</sub>が使われているかを示します。</p> <p>0000 AIGAIN0、APHCAL0.  0001 AIGAIN1、APHCAL1  0010 AIGAIN2、APHCAL2  0011 AIGAIN3、APHCAL3  0100 AIGAIN4、APHCAL4  1111 CONFIG0 レジスタのMTENが0なので、この機能はディスエーブルされています。</p>	0xF	R
0x23D	BMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	BREGION		<p>CONFIG0 レジスタのMTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、これらのビットは、現在どのBIGAIN<sub>x</sub>とBPHCAL<sub>x</sub>が使われているかを示します。</p> <p>0000 BIGAIN0、BPHCAL0  0001 BIGAIN1、BPHCAL1  0010 BIGAIN2、BPHCAL2  0011 BIGAIN3、BPHCAL3  0100 BIGAIN4、BPHCAL4  1111 CONFIG0 レジスタのMTENが0なので、この機能はディスエーブルされています。</p>	0xF	R
0x25D	CMTREGION	[31:4]	RESERVED		予備	0x0	R
		[3:0]	CREGION		<p>CONFIG0 レジスタのMTEN=1 によってゲインと位相のマルチポイント補償がイネーブルされている場合、これらのビットは、現在どのCIGAIN<sub>x</sub>とCPHCAL<sub>x</sub>が使われているかを示します。</p> <p>0000 CIGAIN0、CPHCAL0  0001 CIGAIN1、CPHCAL1  0010 CIGAIN2、CPHCAL2  0011 CIGAIN3、CPHCAL3  0100 CIGAIN4、CPHCAL4  1111 CONFIG0 レジスタのMTENが0なので、この機能はディスエーブルされています。</p>	0xF	R
0x400	IPEAK	[31:27]	RESERVED		予備	0x0	R
		[26:24]	IPPHASE		これらのビットは、どの位相がIPEAKVAL値を生成するかを示します。PEAKSEL (CONFIG3レジスタのビット[4:2]) は、どの電流チャンネルでピーク値をモニタするかを決定します。IPPHASEのビット0が1に設定されている場合、A相電流はIPEAKVALのビット[23:0]の値によって生成されます。同様に、IPPHASEのビット1はB相電流、IPPHASEのビット2はC相電流がピーク値によって生成されることを示します。	0x0	R
		[23:0]	IPEAKVAL		IPEAK レジスタは、ピーク電流の絶対値を保存します。IPEAK = $xL\_PCF/2^5$ です。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x401	VPEAK	[31:27]	RESERVED		予備	0x0	R
		[26:24]	VPPHASE		これらのビットは、どの位相が VPEAKVAL 値を生成するかを示します。PEAKSEL (CONFIG3 レジスタのビット [4:2]) は、どの電圧チャンネルでピーク値をモニタするかを決定します。VPPHASE のビット 0 が 1 の場合、A 相電圧は、VPEAKVAL のビット [23:0] の値によって生成されます。同様に、VPPHASE のビット 1 は B 相電圧、VPPHASE のビット 2 は C 相電圧がピーク値によって生成されることを示します。	0x0	R
		[23:0]	VPEAKVAL		VPEAK レジスタは、ピーク電圧の絶対値を保存します。VPEAK = $xV\_PCF/2^2$ です。	0x0	R
0x402	STATUS0	[31:26]	RESERVED		予備	0x0	R
		25	TEMP_RDY		このビットは、新しい温度測定が可能な状態になるとハイになります。	0x0	R/W1
		24	MISMATCH		このビットは、ISUMRMS と ISUMLVL の関係の変化を示すためにセットされます。	0x0	R/W1
		23	COH_WFB_FULL		このビットは、波形バッファがリサンプルされたデータでフルになるとセットされます。この状態は、WFB_CFG レジスタの WF_CAP_SEL を 0 にすることで選択されます。	0x0	R/W1
		22	WFB_TRIG		このビットは、WFB_TRIG_CFG に設定されたイベントの 1 つが発生するとセットされます。	0x0	R/W1
		21	THD_PF_RDY		このビットは、THD と力率の測定値が更新されたことを示すために、1.024 秒ごとにハイになります。	0x0	R/W1
		20	RMS1012RDY		このビットは、10 サイクル実効値 / 12 サイクル実効値が更新されるとセットされます。	0x0	R/W1
		19	RMSONERDY		このビットは、高速 RMS $\frac{1}{2}$ 実効値が更新されるとセットされます。	0x0	R/W1
		18	PWRRDY		このビットは、PWR_TIME の 8kSPS サンプル後に、xWATT_ACC、xVA_ACC、xVAR_ACC、xFWATT_ACC、xFVA_ACC、および xFVAR_ACC レジスタの電力値が更新されると設定されます。	0x0	R/W1
		17	PAGE_FULL		このビットは、WFB_PG_IRQEN レジスタのイネーブルされたページが固定データ・レート・サンプルでフルになったとき、WFB_CFG レジスタの WF_CAP_SEL ビットがゼロになったときにセットされます。	0x0	R/W1
		16	WFB_TRIG_IRQ		このビットは、WFB_TRIG_CFG 内に設定されたイベントの発生後に、波形バッファへのデータ入力が停止するとセットされます。これは、固定データ・レート・サンプルの場合のみ、つまり、WFB_CFG レジスタの WF_CAP_SEL ビットがゼロの場合に限られます。	0x0	R/W1
		15	DREADY		このビットは、新しい波形サンプルが使用可能な状態になるとセットされます。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異なります。	0x0	R/W1
		14	CF4		このビットは、CF4 ピンがハイからローになって、CF4 パルスが送出されるとセットされます。	0x0	R/W1
		13	CF3		このビットは、CF3 ピンがハイからローになって、CF3 パルスが送出されるとセットされます。	0x0	R/W1
12	CF2		このビットは、CF2 ピンがハイからローになって、CF2 パルスが送出されるとセットされます。	0x0	R/W1		
11	CF1		このビットは、CF1 ピンがハイからローになって、CF1 パルスが送出されるとセットされます。	0x0	R/W1		

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		10	REVPSUM4		このビットは、CF4極性の符号が変化したかどうかを示すためにセットされます。例えば、最後のCF4パルスが正の無効電力量で、次のCF4パルスが負の無効電力量の場合は、REVPSUM4ビットがセットされます。このビットは、CF4ピンがハイからローになって、CF4パルスが出力されると更新されます。	0x0	R/W1
		9	REVPSUM3		このビットは、CF3極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4を参照。	0x0	R/W1
		8	REVPSUM2		このビットは、CF2極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4を参照。	0x0	R/W1
		7	REVPSUM1		このビットは、CF1極性の符号が変化したかどうかを示すためにセットされます。REVPSUM4を参照。	0x0	R/W1
		6	REVRPC		このビットは、C相の総合または基本波無効電力の符号が変化したかどうかを示します。EP_CFGレジスタのPWR_SIGN_SELビットは、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。このビットは、PWR_TIMEの8kSPS サンプル後に、xVAR_ACCおよびxFVAR_ACCレジスタの電力値が更新されると更新されます。	0x0	R/W1
		5	REVRPB		このビットは、B相の総合または基本波無効電力の符号が変化したかどうかを示します。REVRPCを参照。	0x0	R/W1
		4	REVRPA		このビットは、A相の総合または基本波無効電力の符号が変化したかどうかを示します。REVRPCを参照。	0x0	R/W1
		3	REVAPC		このビットは、C相の総合または基本波有効電力の符号が変化したかどうかを示します。EP_CFGレジスタのPWR_SIGN_SELビットは、総合無効電力と基本波有効電力のどちらをモニタするかを選択します。このビットは、PWR_TIMEの8kSPS サンプル後に、xWATT_ACCおよびxFWATT_ACCレジスタの電力値が更新されると更新されます。	0x0	R/W1
		2	REVAPB		このビットは、B相の総合または基本波有効電力の符号が変化したかどうかを示します。REVAPCを参照。	0x0	R/W1
		1	REVAPA		このビットは、A相の総合または基本波有効電力の符号が変化したかどうかを示します。REVAPCを参照。	0x0	R/W1
		0	EGYRDY		このビットは、EP_CFGレジスタのEGY_TMR_MODEビットに応じて、EGY_TIME8kSPS サンプル後またはライン・サイクル後に、xWATTTHR、xVAHR、xVARHR、xFVARHR、xFWATTTHR、xFVAHRレジスタの電力値が更新されるとセットされます。	0x0	R/W1
0x403	STATUS1	31	ERROR3		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R/W1
		30	ERROR2		このビットは、エラーが検出され、それが是正されたことを示します。特に対応の必要はありません。	0x0	R/W1
		29	ERROR1		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R
		28	ERROR0		このビットはエラーを示して、マスク不能割込みを生成します。このエラーをクリアするには、ソフトウェアまたはハードウェア・リセットを発行してください。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		27	CRC_DONE		このビットは、CRC_FORCEレジスタのFORCE_CRC_UPDATEビットを書き込むことで初期化を行った後に、設定レジスタのCRC計算が完了したことを示すためにセットされます。	0x0	R/W1
		26	CRC_CHG		このビットは、設定レジスタのCRCによってモニタされているレジスタのどれかの値が変化すると、セットされます。CRC_RSLTレジスタは、新しい設定レジスタCRC値を保持します。	0x0	R/W1
		25	DIPC		このビットは、C相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		24	DIPB		このビットは、B相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		23	DIPA		このビットは、A相電圧がディップ状態に入ったこと、あるいはディップ状態から抜けたことを示すためにセットされます。	0x0	R/W1
		22	SWELLC		このビットは、C相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		21	SWELLB		このビットは、B相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		20	SWELLA		このビットは、A相電圧がスウェル状態に入ったこと、あるいはスウェル状態から抜けたことを示すためにセットされます。	0x0	R/W1
		19	RESERVED		予備	0x0	R
		18	SEQERR		このビットは、相電圧ゼロ交差の位相シーケンス誤差を示すためにセットされます。	0x0	R/W1
		17	OI		このビットは、OISTATUSレジスタに示される相の1つで過電流イベントが発生したことを示すためにセットされます。	0x0	R/W1
		16	RSTDONE		このビットは、リセット後、あるいは動作モードをPSM3からPSM0に変更した後で、ICがそのパワーアップ・シーケンスを終了したことを示すためにセットされます。これは、ユーザーがSPIポートを介してそのICを設定できることを意味します。	0x0	R/W1
		15	ZXIC		このビットが1に設定された時は、C相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		14	ZXIB		このビットが1に設定された時は、B相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		13	ZXIA		このビットが1に設定された時は、A相電流でゼロ交差が検出されたことを示します。	0x0	R/W1
		12	ZXCOMB		このビットがセットされた時は、VA、VB、VCを組み合わせた信号でゼロ交差が検出されたことを示します。	0x0	R/W1
		11	ZXVC		このビットがセットされた時は、C相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		10	ZXVB		このビットがセットされた時は、B相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		9	ZXVA		このビットがセットされた時は、A相電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		8	ZXTOVC		このビットは、C相のゼロ交差タイムアウトを示すためにセットされます。これは、C相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		7	ZXTOVB		このビットは、B相のゼロ交差タイムアウトを示すためにセットされます。これは、B相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		6	ZXTOVA		このビットは、A相のゼロ交差タイムアウトを示すためにセットされます。これは、A相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W1
		5	VAFNOLOAD		このビットは、1つまたは複数の相の基本波皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNOLOADレジスタによって示されます。	0x0	R/W1



Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		4	RFNLOAD		このビットは、1つまたは複数の相の基本波無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNLOADレジスタによって示されます。	0x0	R/W1
		3	AFNLOAD		このビットは、1つまたは複数の相の基本波有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNLOADレジスタによって示されます。	0x0	R/W1
		2	VANLOAD		このビットは、1つまたは複数の相の総合皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNLOADレジスタによって示されます。	0x0	R/W1
		1	RNLOAD		このビットは、1つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNLOADレジスタによって示されます。	0x0	R/W1
		0	ANLOAD		このビットは、1つまたは複数の相の総合有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時にセットされます。相は、PHNLOADレジスタによって示されます。	0x0	R/W1
0x404	EVENT_STATUS	[31:17]	RESERVED		予備	0x0	R
		16	DREADY		このビットは、新しい波形サンプルが使用可能な状態になると、0から1に変化します。更新レートは、WFB_CFGレジスタのWF_SRCビットで選択されたデータによって異なります。	0x0	R
		15	VAFNLOAD		このビットは、すべての相の基本波皮相電力量積算が、無負荷状態から抜けるとセットされます。このビットは、総合皮相電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		14	RFNLOAD		このビットは、すべての相の基本波無効電力量積算が無負荷状態から抜けるとセットされます。このビットは、基本波無効電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		13	AFNLOAD		このビットは、すべての相の基本波有効電力量積算が、無負荷状態から抜けるとセットされます。このビットは、基本波有効電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		12	VANLOAD		このビットは、すべての相の総合皮相電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合皮相電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		11	RNLOAD		このビットは、すべての相の総合無効電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合無効電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		10	ANLOAD		このビットは、すべての相の総合有効電力量積算が無負荷状態から抜けるとセットされます。このビットは、総合有効電力量積算の1つまたは複数の相が無負荷状態になるとゼロになります。	0x0	R
		9	REVPSUM4		このビットは、最後のCF4パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF4ピンがハイからローになって、CF4パルスが出力されると更新されます。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		8	REVPSUM3		このビットは、最後のCF3パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF3ピンがハイからローになって、CF3パルスが出力されると更新されます。	0x0	R
		7	REVPSUM2		このビットは、最後のCF2パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF2ピンがハイからローになって、CF2パルスが出力されると更新されます。	0x0	R
		6	REVPSUM1		このビットは、最後のCF1パルスの符号を示します。ゼロはパルスが負の電力量からのものだったことを示し、1は電力量が正だったことを示します。このビットは、CF1ピンがハイからローになって、CF1パルスが出力されると更新されます。	0x0	R
		5	SWELLC		このビットは、C相電圧がスウェル状態にある時は1になり、スウェル状態にない時は0になります。	0x0	R
		4	SWELLB		このビットは、B相電圧がスウェル状態にある時は1になり、スウェル状態にない時は0になります。	0x0	R
		3	SWELLA		このビットは、A相電圧がスウェル状態にある時は1になり、スウェル状態にない時は0になります。	0x0	R
		2	DIPC		このビットは、C相電圧がディップ状態にある時は1になり、ディップ状態にない時は0になります。	0x0	R
		1	DIPB		このビットは、B相電圧がディップ状態にある時は1になり、ディップ状態にない時は0になります。	0x0	R
		0	DIPA		このビットは、A相電圧がディップ状態にある時は1になり、ディップ状態にない時は0になります。	0x0	R
0x405	MASK0	[31:26]	RESERVED		予備	0x0	R
		25	TEMP_RDY_MASK		新しい温度測定が可能な時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		24	MISMATCH		ISUMRMSとISUMLVLの関係に変化がある時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		23	COH_WFB_FULL		波形バッファがリサンプルされたデータでフルになった時に割込みをイネーブルするには、このビットをセットします。この状態は、WFB_CFGレジスタのWF_CAP_SELを0にすることで選択されます。	0x0	R/W
		22	WFB_TRIG		WFB_TRIG_CFGに設定されたイベントの1つが発生した時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		21	THD_PF_RDY		THDと力率の測定値が1.024秒ごとに更新された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		20	RMS1012RDY		10サイクル実効値/12サイクル実効値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		19	RMSONERDY		高速RMS $\frac{1}{2}$ の値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		18	PWRRDY		PWR_TIMEの8kSPSサンプル後に、xWATT_ACC、xVA_ACC、xVAR_ACC、xFWATT_ACC、xFVA_ACC、およびxFVAR_ACCレジスタの電力値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		17	PAGE_FULL		WFB_PG_IRQEN レジスタのイネーブルされたページがデータでフルになった時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		16	WFB_TRIG_IRQ		WFB_TRIG_CFG に設定されたイベントの発生後、波形バッファへのデータ入力が停止した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		15	DREADY		新しい波形サンプルが使用可能な状態になった時に割り込みをイネーブルするには、このビットをセットします。更新レートは、WFB_CFG レジスタの WF_SRC ビットで選択されたデータによって異なります。	0x0	R/W
		14	CF4		CF4 ピンがハイからローになって、CF4 パルスが送出された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		13	CF3		CF3 ピンがハイからローになって、CF3 パルスが送出された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		12	CF2		CF2 ピンがハイからローになって、CF2 パルスが送出された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		11	CF1		CF1 ピンがハイからローになって、CF1 パルスが送出された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		10	REVPSUM4		CF4 極性の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		9	REVPSUM3		CF3 極性の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		8	REVPSUM2		CF2 極性の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		7	REVPSUM1		CF1 極性の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		6	REVRPC		C 相の総合または基本波無効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		5	REVRPB		C 相の総合または基本波無効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		4	REVRPA		A 相の総合または基本波無効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		3	REVAPC		C 相の総合または基本波有効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		2	REVAPB		B 相の総合または基本波有効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		1	REVAPA		A 相の総合または基本波有効電力の符号が変化した時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W
		0	EGYRDY		EP_CFG レジスタの EGY_TMR_MODE ビットに応じて、EGY_TIME 8 kSPS サンプル後またはライン・サイクル後、xWATTHR、xVAHR、xVARHR、xFVARHR、xFWATTHR、xFVAHR レジスタの電力値が更新された時に割り込みをイネーブルするには、このビットをセットします。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x406	MASK1	31	ERROR3		ERROR3 発生時に割込みをイネーブルするには、このビットをセットします。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発行してください。	0x0	R/W
		30	ERROR2		ERROR2 発生時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		29	ERROR1		この割り込みはマスク不能です。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発行してください。	0x0	R/W
		28	ERROR0		この割り込みはマスク不能です。このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発行してください。	0x0	R/W
		27	CRC_DONE		CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットを書き込むことで初期化を行った後、設定レジスタの CRC 計算が完了した時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		26	CRC_CHG		設定レジスタの CRC によってモニタされているレジスタのどれかの値が変化した場合に割込みをイネーブルするには、このビットをセットします。CRC_RSLT レジスタは、新しい設定レジスタ CRC 値を保持します。	0x0	R/W
		25	DIPC		C 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		24	DIPB		B 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		23	DIPA		A 相電圧がディップ状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		22	SWELLC		C 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		21	SWELLB		B 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		20	SWELLA		A 相電圧がスウェル状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		19	RESERVED		予備	0x0	R
		18	SEQERR		相電圧ゼロ交差の位相シーケンス誤差を検出した時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		17	OI		CONFIG3 レジスタの OC_EN ビットでイネーブルされた電流の1つが過電流状態になった時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		16	RESERVED		予備	0x0	R
		15	ZXIC		C 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		14	ZXIB		B 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		13	ZXIA		A 相電流チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		12	ZXCOMB		VA、VB、VC を組み合わせた信号でゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
11	ZXVC		C 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W		
10	ZXVB		B 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W		
9	ZXVA		A 相電圧チャンネルでゼロ交差が検出された時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W		

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		8	ZXTOVC		C相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、C相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		7	ZXTOVB		B相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、B相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		6	ZXTOVA		A相のゼロ交差タイムアウトが発生した時に割込みをイネーブルするには、このビットをセットします。タイムアウトは、A相電圧にゼロ交差が存在しないことを意味します。	0x0	R/W
		5	VAFNOLOAD		1つまたは複数の相の基本波皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		4	RFNOLOAD		1つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		3	AFNOLOAD		1つまたは複数の相の基本波有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		2	VANLOAD		1つまたは複数の相の総合皮相電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		1	RNLOAD		1つまたは複数の相の総合無効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
		0	ANLOAD		1つまたは複数の相の総合有効電力量が無負荷状態になった時、あるいは無負荷状態から抜けた時に割込みをイネーブルするには、このビットをセットします。	0x0	R/W
0x407	EVENT_MASK	[31:17]	RESERVED		予備	0x0	R
		16	DREADY		新しい波形サンプルが使用可能な状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。更新レートは、WFB_CFGレジスタのWF_SRCビットで選択されたデータによって異なります。	0x0	R/W
		15	VAFNOLOAD		基本波皮相電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		14	RFNOLOAD		基本波無効電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		13	AFNOLOAD		基本波有効電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		12	VANLOAD		総合皮相電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		11	RNLOAD		総合無効電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		10	ANLOAD		総合有効電力量積算の1つまたは複数の相が無負荷状態になった時にEVENTピンをイネーブルしてローにするには、このビットをセットします。	0x0	R/W
		9	REVPSUM4		最後のCF4パルスが負の電力量からのものである場合にEVENTピンをイネーブルしてローにするには、このビットをセットします。このビットは、CF4ピンがハイからローになって、CF4パルスが出力されると更新されます。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		8	REVPSUM3		最後の CF3 パルスが負の電力量からのものである場合に EVENT ピンをイネーブルしてローにするには、このビットをセットします。このビットは、CF3 ピンがハイからローになって、CF3 パルスが出力されると更新されます。	0x0	R/W
		7	REVPSUM2		最後の CF2 パルスが負の電力量からのものである場合に EVENT ピンをイネーブルしてローにするには、このビットをセットします。このビットは、CF2 ピンがハイからローになって、CF2 パルスが出力されると更新されます。	0x0	R/W
		6	REVPSUM1		最後の CF1 パルスが負の電力量からのものである場合に EVENT ピンをイネーブルしてローにするには、このビットをセットします。このビットは、CF1 ピンがハイからローになって、CF1 パルスが出力されると更新されます。	0x0	R/W
		5	SWELLCEN		EVENT ピンをイネーブルしてローにし、C 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		4	SWELLBEN		EVENT ピンをイネーブルしてローにし、B 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		3	SWELLAEN		EVENT ピンをイネーブルしてローにし、A 相電圧がスウェル状態にあることを示すには、このビットをセットします。	0x0	R/W
		2	DIPCEN		EVENT ピンをイネーブルしてローにし、C 相電圧がディップ状態にあることを示すには、このビットをセットします。	0x0	R/W
		1	DIPBEN		EVENT ピンをイネーブルしてローにし、B 相電圧がディップ状態にあることを示すには、このビットをセットします。	0x0	R/W
0x409	OILVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OILVL_VAL		過電流検出閾値レベル。	0xFFFFFFFF	R/W
0x40A	OIA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OI_VAL		A 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタの OC_ENA ビットがセットされて相がイネーブルされ、AIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40B	OIB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIB_VAL		B 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタの OC_ENB ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40C	OIC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIC_VAL		C 相過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタの OC_ENC ビットがセットされて相がイネーブルされ、BIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40D	OIN	[31:24]	RESERVED		予備	0x0	R
		[23:0]	OIN_VAL		中性電流過電流 RMS $\frac{1}{2}$ 値。CONFIG3 レジスタの OC_ENN ビットがセットされて中性電流がイネーブルされ、NIRMSONE が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40F	VLEVEL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	VLEVEL_VAL		基本波有効電力、無効電力、皮相電力と、基本 IRMS および VRMS 値の計算アルゴリズムに使われるレジスタ。	0x45D45	R/W
0x410	DIP_LVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPLVL		電圧 RMS $\frac{1}{2}$ ディップ検出閾値レベル。	0x0	R/W
0x411	DIPA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPA_VAL		ディップ状態時の A 相電圧 RMS $\frac{1}{2}$ 値。	0x7FFFFFFF	R
0x412	DIPB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPB_VAL		ディップ状態時の B 相電圧 RMS $\frac{1}{2}$ 値。	0x7FFFFFFF	R
0x413	DIPC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	DIPC_VAL		ディップ状態時の C 相電圧 RMS $\frac{1}{2}$ 値。	0x7FFFFFFF	R
0x414	SWELL_LVL	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLLVL		電圧 RMS $\frac{1}{2}$ スウェル検出閾値レベル。	0xFFFFFFFF	R/W



Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x415	SWELLA	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLA_VAL		スウェル状態時の A 相電圧 RMS $\frac{1}{2}$ 値。	0x0	R
0x416	SWELLB	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLB_VAL		スウェル状態時の B 相電圧 RMS $\frac{1}{2}$ 値。	0x0	R
0x417	SWELLC	[31:24]	RESERVED		予備	0x0	R
		[23:0]	SWELLC_VAL		スウェル状態時の C 相電圧 RMS $\frac{1}{2}$ 値。	0x0	R
0x41F	PHNOLOAD	[31:18]	RESERVED		予備	0x0	R
		17	CFVANL		このビットは、C相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		16	CFVARNL		このビットは、C相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		15	CFWATTNL		このビットは、C相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		14	CVANL		このビットは、C相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		13	CVARNL		このビットは、B相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
		12	CWATTNL		このビットは、C相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R
		11	BFVANL		このビットは、B相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		10	BFVARNL		このビットは、B相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		9	BFWATTNL		このビットは、B相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		8	BVANL		このビットは、B相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		7	BVARNL		このビットは、B相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
		6	BWATTNL		このビットは、B相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R
		5	AFVANL		このビットは、A相の基本波皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		4	AFVARNL		このビットは、A相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R
		3	AFWATTNL		このビットは、A相の基本波有効電力量が無負荷状態の場合にセットされます。	0x0	R
		2	AVANL		このビットは、A相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R
		1	AVARNL		このビットは、A相の総合無効電力量が無負荷状態の場合にセットされます。	0x0	R
0	AWATTNL		このビットは、A相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R		

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x424	ADC_REDIRECT	[31:21]	RESERVED		予備	0x0	R
		[20:18]	VC_DIN		VC チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 000 IA ADC データ。 001 IB ADC データ。 010 IC ADC データ。 011 IN ADC データ。 100 VA ADC データ。 101 VB ADC データ。 110 VC ADC データ。 111 VC ADC データ。	0x7	R/W
		[17:15]	VB_DIN		VB チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 VB ADC データ。	0x7	R/W
		[14:12]	VA_DIN		VA チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 VA ADC データ。	0x7	R/W
		[11:9]	IN_DIN		IN チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 IN ADC データ。	0x7	R/W
		[8:6]	IC_DIN		IC チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 IC ADC データ。	0x7	R/W
		[5:3]	IB_DIN		IB チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 IB ADC データ。	0x7	R/W
		[2:0]	IA_DIN		IA チャンネル・データは、すべてのチャンネルから選択できます。000b から 110b までのビットの説明は VC_DIN に一致します。値が 111b の場合は次のようになります。 111 IA ADC データ。	0x7	R/W
0x425	CF_LCFG	[31:23]	RESERVED		予備	0x0	R
		22	CF4_LT		このビットがセットされている場合、CF4 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25 Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		21	CF3_LT		このビットがセットされている場合、CF3 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25 Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		20	CF2_LT		このビットがセットされている場合、CF2 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25 Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		19	CF1_LT		このビットがセットされている場合、CF1 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25 Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80ms に設定されます。	0x0	R/W
		[18:0]	CF_LTMR		CF_LCFG レジスタの CF <sub>x</sub> _LT ビットをセットした場合は、この値が CF <sub>x</sub> パルスのアクティブ・ロー・パルス幅を決定します。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x472	PART_ID	[31:21]	RESERVED		予備	0x0	R
		20	ADE9000_ID		このビットは、ADE9000 IC を識別するためにセットされます。	0x1	R
		[19:0]	RESERVED		予備	0x0	R
0x474	TEMP_TRIM	[31:16]	TEMP_OFFSET		製造プロセス時に計算される温度センサーのオフセット。	0x0	R/W
		[15:0]	TEMP_GAIN		製造プロセス時に計算される温度センサーのゲイン。	0x0	R/W
0x481	CONFIG1	15	EXT_REF		外部電圧リファレンスを使用する場合は、このビットをセットします。	0x0	R/W
		[14:13]	RESERVED		予備	0x0	R
		12	IRQ0_ON_IRQ1		IRQ0 と IRQ1 の 2 本のピンを使わずにすべての割込みを 1 つの割込みピン IRQ1 にまとめるには、このビットをセットします。ただし、このモードでも IRQ0 ピンはイネーブルされた IRQ0 イベントを示し、IRQ1 ピンは IRQ1 と IRQ0 両方のイベントを示します。	0x0	R/W
		11	BURST_EN		アドレス 0x500 ~ 0x63C、またはアドレス 0x680 ~ 0x6BC のレジスタでバースト読出し機能をイネーブルするには、このビットをセットします。このビットは、SPI レジスタ読出しに付加された CRC をディスエーブルするので注意してください。	0x0	R/W
		10	DIP_SWELL_IRQ_MODE		ディップ/スウェルの割込みモードを設定します。 0 DIP_CYC/SWELL_CYC サイクルが経過することに連続割込みを受信します。 1 ディップ/スウェル・モードに入った時に 1 つの割込みを受信し、ディップ/スウェル・モードを終了した時に別の割込みを受信します。	0x0	R/W
		[9:8]	PWR_SETTLE		これらのビットは、電力、電力量、CF の積算を開始する前に、電力およびフィルタベース実効値測定の設定時間を設定します。 0: 64 ms 1: 128 ms 2: 256 ms 3: 0 ms	0x0	R/W
		[7:6]	RESERVED		予備	0x0	R
		5	CF_ACC_CLR		デジタル/周波数変換器と DFDEN カウンタ内の積算をクリアするには、このビットを設定します。このビットは自動的にクリアされることに注意してください。	0x0	W
		4	RESERVED		予備	0x0	R
		[3:2]	CF4_CFG		このビットは、CF4 ピンにどの機能を出力するかを選択します。 00 CF4、デジタル/周波数変換器から。 01 CF4、デジタル/周波数変換器から。 10 EVENT。 11 DREADY。	0x0	R/W
		1	CF3_CFG		これらのビットは、CF3 ピンにどの機能を出力するかを選択します。 0 CF3、デジタル/周波数変換器から。 1 ZX_LP_SEL レジスタの ZX_SEL ビットによって選択されたゼロ交差出力。	0x0	R/W
0	SWRST		ソフトウェア・リセットを初期化するには、このビットをセットします。このビットはセルフ・クリア・ビットです。	0x0	W1		

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x48F	OISTATUS	[15:4]	RESERVED		予備	0x0	R
		[3:0]	OIPHASE		OIPHASE、ビット0はA相がOILVLを超えていることを示します。 OIPHASE、ビット1はB相がOILVLを超えていることを示します。 OIPHASE、ビット2はC相がOILVLを超えていることを示します。 OIPHASE、ビット3はN相がOILVLを超えていることを示します。	0x0	R
0x490	CFMODE	15	CF4DIS		CF4: 出力ディスエーブル。CF4出力をディスエーブルしてピンをハイにするには、このビットをセットします。このビットをセットすると、デジタル/周波数変換器内にCFパルスを積算する時にSTATUS0のCFxビットがセットされません。	0x0	R/W
		14	CF3DIS		CF3: 出力ディスエーブル。CF4DISを参照。	0x0	R/W
		13	CF2DIS		CF2: 出力ディスエーブル。CF4DISを参照。	0x0	R/W
		12	CF1DIS		CF1: 出力ディスエーブル。CF4DISを参照。	0x0	R/W
		[11:9]	CF4SEL		CF4ピンに出力される電力量のタイプ。どの相を含めるかを選択するには、COMPmodeレジスタのTERMSEL4を設定します。 000 総合有効電力。 001 総合無効電力。 010 総合皮相電力。 011 基本波有効電力。 100 基本波無効電力。 101 基本波皮相電力。 110 総合有効電力。 111 総合有効電力。	0x0	R/W
		[8:6]	CF3SEL		CF3ピンに出力される電力量のタイプを選択します。CF4SELを参照。	0x0	R/W
		[5:3]	CF2SEL		CF2ピンに出力される電力量のタイプを選択します。CF4SELを参照。	0x0	R/W
		[2:0]	CF1SEL		CF1ピンに出力される電力量のタイプを選択します。CF4SELを参照。	0x0	R/W
0x491	COMPmode	[15:12]	RESERVED		予備	0x0	R
		[11:9]	TERMSEL4		CF4パルス出力に含める相。CF4パルス出力にC相を含めるには、TERMSEL4のビット2を1に設定します。同様に、B相を含めるにはTERMSEL4のビット1を、A相を含めるにはTERMSEL4のビット0を1に設定します。	0x0	R/W
		[8:6]	TERMSEL3		CF3パルス出力に含める相。TERMSEL4を参照。	0x0	R/W
		[5:3]	TERMSEL2		CF2パルス出力に含める相。TERMSEL4を参照。	0x0	R/W
		[2:0]	TERMSEL1		CF1パルス出力に含める相。TERMSEL4を参照。	0x0	R/W
0x492	ACCMODE	[15:9]	RESERVED		予備	0x0	R
		8	SELFREQ		50 Hzまたは60 HzシステムにICを設定するには、このビットを使用します。この設定は、基本波電力測定と、ゼロ交差が存在しない場合のVRMS½、10サイクル実効値/12サイクル実効値、およびサンプリングの計算に使用するデフォルトのライン周期の設定に使用します。 0 50 Hz。 1 60 Hz。	0x0	R/W
		7	ICONSEL		IAおよびICの測定値からIBを流れる電流を計算するには、このビットをセットします。このビットをセットした場合は、IB=-IA -ICです。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[6:4]	VCONSEL	000 3線式および4線式ハードウェア設定の選択。 4線式 Y 結線。 001 3線式 Δ 結線。VB' = VA - VC。 010 4線式 Y 結線、非ブロンデル方式 VB' = -VA - VC。 011 4線式 Δ 結線、非ブロンデル方式 VB' = -VA。 100 3線式 Δ 結線。VA' = VA - VB、VB' = VA - VC、VC' = VC - VB。	0x0	R/W	
		[3:2]	VARACC	電力量レジスタおよびCFxパルス用の総合および基本波無効電力積算モード。 00 符号付き積算モード。 01 絶対値積算モード。 10 正の積算モード。 11 負の積算モード。	0x0	R/W	
		[1:0]	WATTACC	電力量レジスタおよびCFxパルス用の総合および基本波有効電力積算モード。VARACCを参照。	0x0	R/W	
0x493	CONFIG3	[15:12]	OC_EN	過電流検出イネーブル。OC_EN[3:0] ビットはすべて同時に 1 に設定して、3相すべてのチャンネルと中性チャンネルの過電流検出を同時に行うことができます。 ビット 12。OC_EN[3] を 1 に設定すると、A相が過電流検出の対象に選択されます。 ビット 13。OC_EN[2] を 1 に設定すると、B相が過電流検出の対象に選択されます。 ビット 14。OC_EN[1] を 1 に設定すると、C相が過電流検出の対象に選択されます。 ビット 15。OC_EN[0] を 1 に設定すると、中性線が過電流検出の対象に選択されます。	0xF	R/W	
		[11:5]	RESERVED	予備	0x0	R	
		[4:2]	PEAKSEL	どの相のピーク電圧とピーク電流をモニタするかを選択するには、このビットを設定します。A相のピーク検出をイネーブルするには、PEAKSELのビット0に1を書き込みます。同様に、PEAKSELのビット1はB相のピーク検出をイネーブルし、PEAKSELのビット2はC相のピーク検出をイネーブルします。	0x0	R/W	
0x49A	ZX_LP_SEL	[1:0]	RESERVED	予備	0x0	R	
		[15:5]	RESERVED	予備	0x0	R	
		[4:3]	LP_SEL	VRMS½ サイクル、10 サイクル実効値/12 サイクル実効値、およびリサンプリングに使用するライン周期測定を選択します。 00 APERIOD、A相電圧からのライン周期測定。 01 BPERIOD、B相電圧からのライン周期測定。 10 CPERIOD、C相電圧からのライン周期測定。 11 COM_PERIOD、VA、VB、VCを組み合わせた信号でのライン周期測定。	0x3	R/W	
		[2:1]	ZX_SEL	CF3/ZX 出力ピンに送って、ライン・サイクル電力量の積算に使用できるゼロ交差信号を選択します。 00 ZXVA、A相電圧ゼロ交差信号。 01 ZXVB、B相電圧ゼロ交差信号。 10 ZXVC、C相電圧ゼロ交差信号。 11 ZXCOMB、VA、VB、VCを組み合わせた信号のゼロ交差。	0x3	R/W	
		0	RESERVED	予備	0x0	R	

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x49D	PHSIGN	[15:10]	RESERVED		予備	0x0	R
		9	SUM4SIGN		CF4 データパスに含まれる電力合計値の符号。このビットがクリアの場合 CF4 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		8	SUM3SIGN		CF3 データパスに含まれる電力合計値の符号。このビットがクリアの場合 CF3 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		7	SUM2SIGN		CF2 データパスに含まれる電力合計値の符号。このビットがクリアの場合 CF2 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		6	SUM1SIGN		CF1 データパスに含まれる電力合計値の符号。このビットがクリアの場合 CF1 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		5	CVARSIGN		C 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		4	CWSIGN		C 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
		3	BVARSIGN		B 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		2	BWSIGN		B 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
		1	AVARSIGN		A 相無効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合無効電力と基本波無効電力のどちらをモニタするかを選択します。	0x0	R
		0	AWSIGN		A 相有効電力の符号ビット。EP_CFG の PWR_SIGN_SEL ビットは、この機能が、総合有効電力と基本波有効電力のどちらをモニタするかを選択します。	0x0	R
0x4A0	WFB_CFG	[15:13]	RESERVED		予備	0x0	R
		12	WF_IN_EN		この設定は、IN 波形サンプルが SPI を介して波形バッファから読み出されるかどうかを決定します。 0 IN 波形サンプルは SPI を介して波形バッファから読み出されません。 1 IN 波形サンプルが SPI を介して波形バッファから読み出されます。	0x0	R/W
		[11:10]	RESERVED		予備	0x0	R
		[9:8]	WF_SRC		波形バッファ・ソースと DREADY (データ・レディ更新レート) の選択。 00 32 kSPS の Sinc4 出力。 01 予備 10 8 kSPS の Sinc4+IIR LPF 出力。 11 DSP により 8 kSPS で処理した電流および電圧チャンネル波形サンプル (xL_PCF、xV_PCF)。	0x0	R/W
		[7:6]	WF_MODE		固定データ・レート波形のフィリングとトリガ・ベース・モード。 00 波形バッファがフルになった時点で停止 01 連続フィル —イネーブルされたトリガ・イベントの発生時だけ停止。 10 連続フィリング —イネーブルされたトリガ・イベントを中心にしてキャプチャ。 11 連続フィル —イネーブルされたトリガ・イベントのイベント・アドレスを保存	0x0	R/W

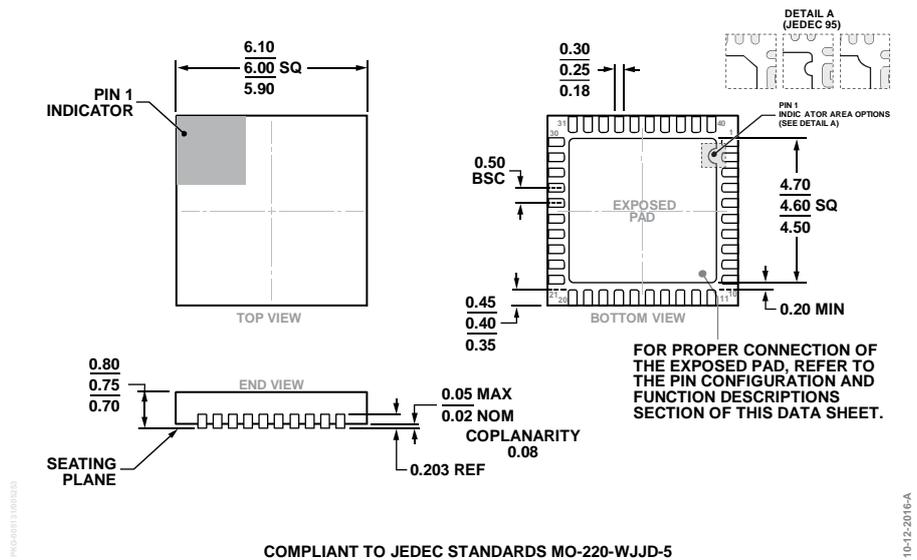
Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		5	WF_CAP_SEL		このビットは、波形バッファにリサンプリングされたデータを入力するか固定データ・レートのデータを入力するかを選択します。 0 リサンプリングされたデータ 1 固定データ・レートのデータ	0x0	R/W
		4	WF_CAP_EN		このビットがセットされると、波形キャプチャが開始されます。 0 波形キャプチャをディスエーブルして、波形バッファの内容を維持。 1 このビットが0から1になったら、WF_CAP_SEL ビットと WF_SRC ビットによるキャプチャのタイプに従って波形キャプチャを開始。	0x0	R/W
		[3:0]	BURST_CHAN		SPI を介して波形バッファからどのデータを読み出すかを選択します。 0000 すべてのチャンネル 0001 IA と VA 0010 IB と VB 0011 IC と VC 1000 IA 1001 VA 1010 IB 1011 VB 1100 IC 1101 VC 1110 WFB_CFG レジスタの WF_IN_EN が 1 の場合は IN 1111 シングル・アドレス読出し (SPI バースト読出しモードはディスエーブル)	0x0	R/W
0x4A2	WFB_TRG_CFG	[15:11]	RESERVED		予備	0x0	R
		10	TRIG_FORCE		イベントをトリガして波形バッファへの入力を停止するには、このビットをセットします。	0x0	R/W
		9	ZXCOMB		VA、VB、VC を組み合わせた信号でのゼロ交差。	0x0	R/W
		8	ZXVC		C 相電圧ゼロ交差。	0x0	R/W
		7	ZXVB		B 相電圧ゼロ交差。	0x0	R/W
		6	ZXVA		A 相電圧ゼロ交差。	0x0	R/W
		5	ZXIC		C 相電流ゼロ交差。	0x0	R/W
		4	ZXIB		B 相電流ゼロ交差。	0x0	R/W
		3	ZXIA		A 相電流ゼロ交差。	0x0	R/W
		2	OI		任意の相での過電流イベント。	0x0	R/W
		1	SWELL		任意の相でのスウェル・イベント。	0x0	R/W
		0	DIP		任意の相でのディップ・イベント。	0x0	R/W
0x4A3	WFB_TRG_STAT	[15:12]	WFB_LAST_PAGE		これらのビットは、固定レートのデータ・サンプルを波形バッファに入力する際に、どのページへの入力が最後に行われたかを示します。	0x0	R/W
		11	RESERVED		予備	0x0	R
		[10:0]	WFB_TRIG_ADDR		これらのビットは、トリガ・イベント発生後、波形バッファに置かれた最後のサンプルのアドレスを保持します。これは、実際のトリガ・イベントの発生から 1 サンプルまたは 2 サンプル以内です。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access		
0x4AF	CONFIG2	[15:13]	RESERVED		予備	0x0	R		
		12	UPERIOD_SEL		VRMSV <sub>2</sub> 、10サイクル実効値/12サイクル実効値、およびリサンプリングの計算用にユーザーがUSER_PERIODに設定したライン周期を使用するには、このビットをセットします。このビットがクリアの場合は、ZX_LP_SELレジスタのLP_SEL[1:0]ビットによって選択された相電圧ライン周期が使われます。	0x0	R/W		
		[11:9]	HPF_CRN		CONFIG0 レジスタのHPFDIS ビットがゼロになると、ハイパス・フィルタ・コーナー (f <sub>3dB</sub> ) がイネーブルされます。 000 77.39 Hz。 001 39.275 Hz。 010 19.79 Hz。 011 9.935 Hz。 100 4.98 Hz。 101 2.495 Hz。 110 1.25 Hz。 111 0.625 Hz。	0x6	R/W		
		[8:0]	RESERVED		予備	0x0	R		
		0x4B0	EP_CFG	[15:13]	NOLOAD_TMR		このレジスタは、無負荷状態の終了を判定する 8kSPS サンプルの数を設定します。 000 64 サンプル 001 128 サンプル 010 256 サンプル 011 512 サンプル 100 1024 サンプル 101 2048 サンプル 110 4096 サンプル 111 無負荷閾値をディスエーブルします。	0x0	R/W
				[12:8]	RESERVED		予備	0x0	R
7	PWR_SIGN_SEL[1]				REVRPx ビットを、総合無効電力と基本波無効電力のどちらの符号に合わせるかを選択します。 0 総合無効電力。 1 基本波無効電力。	0x0	R/W		
6	PWR_SIGN_SEL[0]				REVA Px ビットを、総合有効電力と基本波有効電力のどちらの符号に合わせるかを選択します。 0 総合有効電力。 1 基本波有効電力。	0x0	R/W		
5	RD_RST_EN				電力量レジスタのリセット機能付き読出しをイネーブルするには、このビットをセットします。このビットをセットすると、xWATTHR、xVAHR、xVARH、xFWATTHR、xFVAHR、xFVARHR レジスタのいずれか1つを読み出す時にはそのレジスタがリセットされて、電力量の積算がゼロから開始されます。	0x0	R/W		
4	EGY_LD_ACCUM				このビットがゼロの場合は、ユーザー・アクセス可能な電力量レジスタに、内部電力量レジスタが加えられます。このビットをセットした場合は、EGYRDY イベントが発生すると、内部電力量レジスタがユーザー・アクセス可能な電力量レジスタを上書きします。	0x0	R/W		
[3:2]	RESERVED		予備	0x0	R				

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		1	EGY_TMR_MODE		このビットは、8kSPS サンプルの数に基づいて電力量を積算するか、EGY_TIME レジスタに設定されたゼロ交差イベントに基づいて積算するかを決定します。 0 8kSPS サンプルに基づいて電力量を積算します。 1 ZX_LP_SEL レジスタの ZX_SEL ビットによって選択されたゼロ交差に基づいて電力量を積算します。	0x0	R/W
		0	EGY_PWR_EN		実行ビットもセットされている場合に、電力量および電力積算器をイネーブルするには、このビットをセットします。	0x0	R/W
0x4B4	CRC_FORCE	[15:1]	RESERVED		予備	0x0	R
		0	FORCE_CRC_UPDATE		設定レジスタの CRC 計算を強制的に開始させるには、このビットに書き込みを行います。計算が完了すると、STATUS1 レジスタに CRC_DONE ビットがセットされます。	0x0	R/W
0x4B5	CRC_OPTEN	15	CRC_WFB_TRG_CFG_EN		設定レジスタの CRC 計算に WFB_TRG_CFG レジスタを含めるには、このビットをセットします。	0x0	R/W
		14	CRC_WFB_PG_IRQEN		設定レジスタの CRC 計算に WFB_PG_IRQEN レジスタを含めるには、このビットをセットします。	0x0	R/W
		13	CRC_WFB_CFG_EN		設定レジスタの CRC 計算に WFB_CFG レジスタを含めるには、このビットをセットします。	0x0	R/W
		12	CRC_SEQ_CYC_EN		設定レジスタの CRC 計算に SEQ_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		11	CRC_ZXLPSEL_EN		設定レジスタの CRC 計算に ZX_LP_SEL レジスタを含めるには、このビットをセットします。	0x0	R/W
		10	CRC_ZXTOUT_EN		設定レジスタの CRC 計算に CRC_ZXTOUT_EN レジスタを含めるには、このビットをセットします。	0x0	R/W
		9	CRC_APP_NL_LVL_EN		設定レジスタの CRC 計算に APP_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		8	CRC_REACT_NL_LVL_EN		設定レジスタの CRC 計算に REACT_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		7	CRC_ACT_NL_LVL_EN		設定レジスタの CRC 計算に ACT_NL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		6	CRC_SWELL_CYC_EN		設定レジスタの CRC 計算に SWELL_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		5	CRC_SWELL_LVL_EN		設定レジスタの CRC 計算に SWELL_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		4	CRC_DIP_CYC_EN		設定レジスタの CRC 計算に DIP_CYC レジスタを含めるには、このビットをセットします。	0x0	R/W
		3	CRC_DIP_LVL_EN		設定レジスタの CRC 計算に DIP_LVL レジスタを含めるには、このビットをセットします。	0x0	R/W
		2	CRC_EVENT_MASK_EN		設定レジスタの CRC 計算に EVENT_MASK レジスタを含めるには、このビットをセットします。	0x0	R/W
		1	CRC_MASK1_EN		設定レジスタの CRC 計算に MASK1 レジスタを含めるには、このビットをセットします。	0x0	R/W
		0	CRC_MASK0_EN		設定レジスタの CRC 計算に MASK0 レジスタを含めるには、このビットをセットします。	0x0	R/W
0x4B6	TEMP_CFG	[15:4]	RESERVED		予備	0x0	R
		3	TEMP_START		新しい温度センサー指示値を手動で要求するには、このビットをセットします。この新しい温度指示値は 1ms で取得でき、STATUS0 レジスタの TEMP_RDY ビットによって示されます。このビットはセルフ・クリア・ビットです。	0x0	W1
		2	TEMP_EN		温度センサーをイネーブルするには、このビットをセットします。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[1:0]	TEMP_TIME	0 平均する温度指示値の数を選択します。 1 1 サンプル 1ms ごとに新しい温度を測定。 10 256 サンプル 256ms ごとに新しい温度を測定。 11 512 サンプル 512ms ごとに新しい温度を測定。 11 1024 サンプル 1秒ごとに新しい温度を測定。	0x0	R/W	
0x4B7	TEMP_RSLT	[15:12]	RESERVED		予備	0x0	R
		[11:0]	TEMP_RESULT		12 ビット温度センサー値。	0x0	R
0x4B9	PGA_GAIN	[15:14]	RESERVED		予備	0x0	R
		[13:12]	VC_GAIN	00 ゲイン=1 01 ゲイン=2 10 ゲイン=4 11 ゲイン=4	C 相電圧チャンネルADCのPGA ゲイン	0x0	R/W
		[11:10]	VB_GAIN		B 相電圧チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
		[9:8]	VA_GAIN		A 相電圧チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
		[7:6]	IN_GAIN		中性電流チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
		[5:4]	IC_GAIN		C 相電流チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
		[3:2]	IB_GAIN		B 相電圧チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
		[1:0]	IA_GAIN		A 相電流チャンネルADCのPGA ゲイン VC_GAINを参照。	0x0	R/W
0x4BA	CHNL_DIS	[15:7]	RESERVED		予備	0x0	R
		6	VC_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		5	VB_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		4	VA_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		3	IN_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		2	IC_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		1	IB_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
		0	IA_DISADC		ADCをディスエーブルするにはこのビットをセットします。	0x0	R/W
0x4E0	VAR_DIS	[15:1]	RESERVED		予備	0x0	R
		0	VARDIS		総合 VAR 計算をディスエーブルするにはこのビットをセットします。正常な動作のためには、実行ビットへの書込み前にこのビットをセットしなければなりません。	0x0	R/W

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD-5

図 73. 40 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]  
 6 mm × 6 mm ボディ、0.75 mm パッケージ高  
 (CP-40-7)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADE9000ACPZ	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP]	CP-40-7
ADE9000ACPZ-RL EVAL- ADE9000EBZ	-40°C to +85°C	40-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel Evaluation Board	CP-40-7

<sup>1</sup> Z = RoHS 準拠製品。