



## 正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。  
この正誤表は、2013年8月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。  
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2013年08月13日

製品名：ADE7953

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

### P.09

和文データシートの図4 ピン配置のNOTES 1にDO NOT CONNECT THE PADS TO AGND. と記載されておりますがこれは間違いでPADはAGNDに接続する必要があります。

### P10

表5ピン機能の説明でEPADの説明でこれらのパッドをADNGに接続しないでくださいと記述されておりますがこれは間違いでパッドはADNGに接続する必要があります。

**アナログ・デバイセズ株式会社**

本社／〒105-6891 東京都港区海岸 1-16-1  
ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36  
新大阪トラストタワー  
電話 06 (6350) 6868



# ニュートラル電流測定付き 単相、多機能電力量計 IC

## ADE7953

### 特長

- 有効、無効および皮相電力量；サンプル波形；電流 rms および電圧 rms を測定
- ニュートラル電流測定用に 2 番目の電流入力を提供
- 有効、無効電力量の測定誤差は 3000:1 のダイナミック・レンジで 0.1%以下
- 瞬時 IRMS の測定誤差は 1000: 1 のダイナミック・レンジで 0.2%以下
- 皮相電力量の測定値と瞬時電力の測定値を提供
- 1.23 kHz 帯域幅動作
- 柔軟性のある PGA ゲイン段（最大 22 倍）
- ログスキー・コイル・センサー向けの内部積分回路を内蔵
- SPI, I<sup>2</sup>C 又は UART での通信が可能

### 概要

ADE7953 は単相アプリケーション用の高精度電子電力量計用 IC です。この製品は、ラインの電圧と電流を測定し、有効電力量、無効電力量、皮相電力量および瞬時の RMS 電圧と RMS 電流を計算します。

この製品は、高精度電力量計測コアとして、3 個の  $\Sigma$ - $\Delta$ ADC を内蔵しています。2 番目の入力チャンネルは同時にニュートラル電流を測定し、盗電防止とニュートラル電流課金を可能とします。もう 1 つのチャンネルは、フル・レンジの計測を可能とする完全な信号経路を備えております。各入力チャンネルには、個々に独立して柔軟なゲイン段があるので、この製品は、電流トランス (CT) や低抵抗値のシャント抵抗のような各種電流センサーと共に使うのに適しています。2 つの内蔵積分器は、ログスキー・コイル (空心コイル) センサーの使用を容易にします。

ADE7953 では SPI, I<sup>2</sup>C または UART などの各種通信インターフェースを介して、内蔵のメータ用レジスタにアクセスできます。2 つの設定可能な低ジッタのパルス出力ピンは、電流 RMS 値と電圧 RMS 値と共に、有効電力量、無効電力量、皮相電力量に比例した出力を提供します。過電流、過電圧、ピーク値、SAG 検出のようなフル・レンジにわたる電力品質の情報は外部  $\overline{\text{IRQ}}$  ピンを介してアクセスできます。"計器のクリープ"を防ぐために、独立した有効、無効および皮相の無負荷検出が内蔵されています。また、専用の逆電力 (REVP)、ゼロ・クロス電圧 (ZX) およびゼロ・クロス電流 (ZX\_I) ピンも提供されています。ADE7953 電力量計用 IC は、3.3V 電源電圧で動作し、パッケージは 28 ピン LFCSP です。

### 機能ブロック図

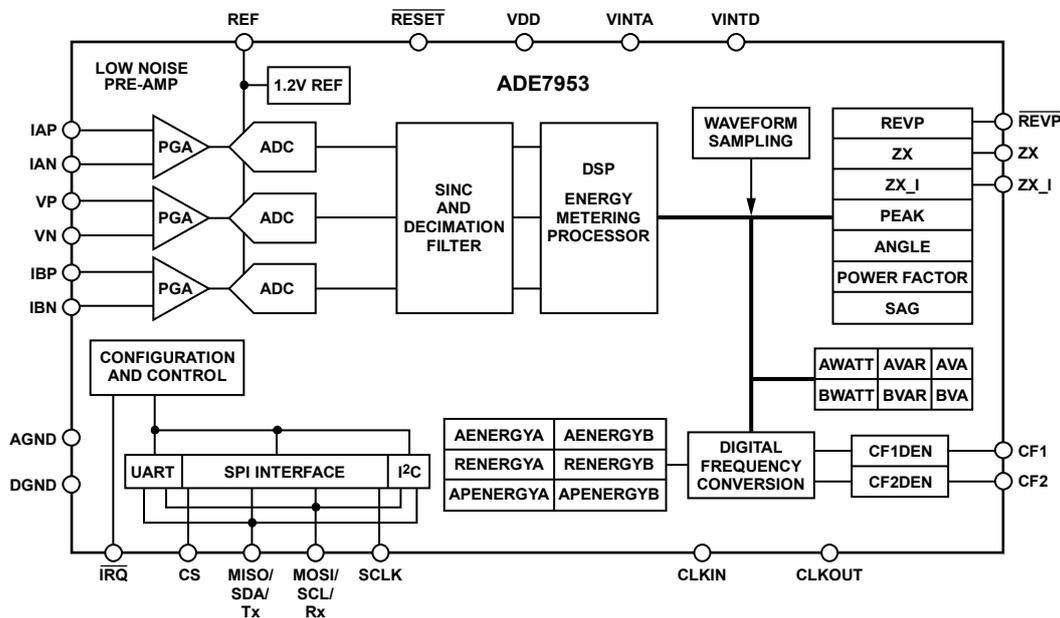


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	周期測定	35
概要	1	瞬時電力と波形サンプリング	36
機能ブロック図	1	力率	37
改訂履歴	3	ライン・サイクル積算モードを使用して力率を 求める	37
仕様	4	無負荷検出と力率	37
タイミング特性	6	角度測定	38
絶対最大定格	8	無負荷検出	39
ESD に関する注意	8	無負荷しきい値の設定	39
ピン配置と機能の説明	9	有効電力量の無負荷検出	39
代表的な性能特性	11	無効電力量の無負荷検出	40
テスト回路	16	皮相電力量の無負荷検出	40
用語	17	ゼロ交差の検出	42
動作原理	18	ゼロ交差出力ピン	42
アナログ入力	18	ゼロ交差の割り込み	42
アナログ/デジタル変換	18	ゼロ交差のタイムアウト	43
電流チャンネルの ADC	20	ゼロ交差のしきい値	43
電圧チャンネルの ADC	21	電圧 SAG の検出	44
リファレンス回路	21	SAGCYC レジスタの設定	44
2 乗平均平方根の測定	22	SAGLVL レジスタの設定	44
電流チャンネル RMS 計算	22	電圧 Sag の割り込み	44
電圧チャンネル RMS 計算	22	ピーク検出	45
有効電力の計算	23	電力方向の表示	46
有効電力計算の符号	23	逆向き電力	46
有効電力量の計算	24	符号表示	46
有効電力量の積算モード	26	過電流と過電圧の検出	47
無効電力の計算	27	OVLVL レジスタと OILVL レジスタの設定	47
無効電力計算の符号	27	過電圧、過電流の割り込み	47
無効電力量の計算	28	代替え出力の機能	48
無効電力量の積算モード	29	ADE7953 の割り込み	49
皮相電力の計算	30	第一グループの割り込み (電圧チャンネルと電流チャンネル A)	49
皮相電力量の計算	30	電流チャンネル B の割り込み	49
アンペア時の積算	31	ADE7953 との通信	50
電力量/周波数変換	32	通信の自動検出	50
パルス出力特性	32	通信インターフェースのロック	50
電力量のキャリブレーション	33	SPI インターフェース	51
ゲイン・キャリブレーション	33	I <sup>2</sup> C インターフェース	52
位相のキャリブレーション	33	UART インターフェース	54
オフセット調整	34		

通信の検証と安全性.....	56	ADE7953 のレジスタの説明.....	60
書き込み保護.....	56	外形寸法.....	65
通信の検証.....	56	オーダー・ガイド.....	65
チェックサム・レジスタ.....	57		
ADE7953 のレジスタ.....	58		

**改訂履歴**

2/11-Revision 0:初版

# ADE7953

## 仕様

他に指定のない限り、VDD = 3.3 V ± 10%, AGND = DGND = 0 V, 内蔵リファレンス, CLKIN = 3.58 MHz, T<sub>MIN</sub> to T<sub>MAX</sub>。

表 1.

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
チャンネル間の位相誤差 力率=0.8、容量性 力率=0.5、誘導性			±0.05 ±0.05	度 度	ライン周波数=45 Hz~65 Hz、HPF 使用 位相進み 37° 位相遅れ 60°
有効電力量の測定 有効電力量測定誤差 (電流チャンネル A) 有効電力量測定誤差 (電流チャンネル B) AC 電源除去 出力周波数変動 DC 電源除去 出力周波数変動 有効電力測定帯域幅		0.1 0.1 0.01 0.01 1.23		% % % % kHz	3000: 1 のダイナミック・レンジ, PGA=1, PGA=22, 積分器オフ 1000: 1 のダイナミック・レンジ, PGA=1, PGA=16, 積分器オフ VDD = 3.3 V ± 120 mV rms, 100 Hz  VDD = 3.3 V, 330 mV dc
無効電力量の測定 無効電力量測定誤差 (電流チャンネル A) 無効電力量測定誤差 (電流チャンネル B) AC 電源電圧除去 出力周波数変動 DC 電源電圧除去 出力周波数変動 無効電力量測定帯域幅		0.1 0.1 0.01 0.01 1.23		% % % % kHz	3000: 1 のダイナミック・レンジ、PGA=1、PGA=22、積分器オフ 1000: 1 のダイナミック・レンジ、PGA=1、PGA=16、積分器オフ VDD = 3.3 V ± 120 mV rms、100 Hz  VDD = 3.3 V ± 330 mV dc
RMS 測定 IRMS と VRMS の測定帯域幅 IRMS (電流チャンネル A) 測定誤差 IRMS (電流チャンネル B) と VRMS 測定誤差		1.23 0.2 0.2		kHz % %	1000: 1 のダイナミック・レンジ、PGA=1、PGA=22、積分器オフ 500: 1 のダイナミック・レンジ、PGA=1、PGA=16、積分器オフ
アナログ入力 最大信号レベル 入力インピーダンス(DC) IAP ピン IAN ピン IBP, IBN, VP, VN ピン ADC オフセット誤差 電流チャンネル B, 電圧チャンネル 電流チャンネル A ゲイン誤差 電流チャンネル A 電流チャンネル B 電圧チャンネル			±500 ±500 ±250 130 70 660 0 -12 -0.3 ±3 ±3 ±3	mV Peak mV Peak mV Peak MΩ MΩ kΩ mV mV mV % % %	差動入力: IAP to IAN, IBP to IBN シングル・エンド入力: VP to VN, IBP to IBN シングル・エンド入力: IAP to IAN  未調整誤差、(用語セクションを参照)  PGA=1 PGA=16, PGA=22 外付け 1.2 V リファレンス
アナログ性能 信号対ノイズ比 電流チャンネル A 電流チャンネル B, 電圧チャンネル			74 71	dB dB	

パラメータ	Min	Typ	Max	単位	テスト条件/コメント
信号対ノイズ比+歪(SINAD) 電流チャンネル A,電流チャンネル B 電圧チャンネル 帯域幅(-3 dB)		68 65 1.23		dB dB kHz	
CF1 と CF2 のパルス出力 最大出力周波数 デューティ・サイクル アクティブ・ローのパルス幅 ジッタ 出力ハイ・レベル電圧、V <sub>OH</sub> 出力低電圧、V <sub>OL</sub>		210 50 80 0.04 2.4		kHz % ms % V V	CF1 又は CF2 の 周波数 > 6.25 Hz CF1 又は CF2 の 周波数 < 6.25 Hz CF1 又は CF2 の 周波数 = 1 Hz I <sub>SOURCE</sub> = 500 μA at 25°C I <sub>SINK</sub> = 8 mA at 25°C
リファレンス REF 入力電圧範囲 入力容量 リファレンス誤差 出力インピーダンス 温度係数		1.2  ±0.9 1.45 10	10	V pF mV kΩ ppm/°C	REF ピンで公称 1.2 V  T <sub>A</sub> = 25°C
CLKIN/CLKOUT ピン 入力クロック周波数 クリスタルの等価直列抵抗			3.58 200	MHz Ω	すべての仕様で CLKIN は 3.58 MHz
ロジック入力—RESET, CLKIN, CS, SCLK, MOSI/SCL/Rx, MISO/SDA/Tx 入力ハイ・レベル電圧、V <sub>INH</sub> 入力低電圧、V <sub>INL</sub> 入力電流、I <sub>IN</sub> MOSI/SCL/Rx, MISO/SDA/Tx, RESET CLKIN, CS, SCLK 入力容量、C <sub>IN</sub>		2.4   -6.5 0	0.8 10	V V μA μA pF	VDD = 3.3 V ± 10% VDD = 3.3 V ± 10% V <sub>IN</sub> = 0 V
ロジック出力—IRQ, REVP, ZX, ZX_I, CLKOUT, MOSI/SCL/Rx, MISO/SDA/Tx 出力ハイ・レベル電圧、V <sub>OH</sub> 出力ロー・レベル電圧、V <sub>OL</sub>		3.0	0.4	V V	VDD = 3.3 V ± 10% I <sub>SOURCE</sub> = 800 μA I <sub>SINK</sub> = 2 mA
電源 VDD  I <sub>DD</sub>		3.0  6.8	3.6	V V mA	仕様性能に対して 3.3 V - 10% 3.3 V + 10%

# ADE7953

## タイミング特性

### SPI インターフェースのタイミング

他に指定のない限り、VDD = 3.3 V ± 10%, AGND = DGND = 0 V, 内蔵リファレンス, CLKIN = 3.58 MHz, T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40°C ~ +85°C。

表 2.

パラメータ	説明	Min <sup>1</sup>	Max <sup>1</sup>	単位
t <sub>CS</sub>	CS エッジから SCLK エッジまで	50		ns
t <sub>SCLK</sub>	SCLK 周期	200		ns
t <sub>SL</sub>	SCLK の ロー・パルス幅	80		ns
t <sub>SH</sub>	SCLK の ハイ・パルス幅	80		ns
t <sub>DAV</sub>	SCLK エッジ後データ出力有効まで	80		ns
t <sub>DSU</sub>	SCLK エッジ前のデータ入力セットアップ時間	70		ns
t <sub>DHD</sub>	SCLK エッジ後のデータ入力ホールド時間	5		ns
t <sub>DF</sub>	データ出力の立ち下がり時間		20	ns
t <sub>DR</sub>	データ出力の立ち上がり時間		20	ns
t <sub>SR</sub>	SCLK の立ち上がり時間		20	ns
t <sub>SF</sub>	SCLK の立下り時間		20	ns
t <sub>DIS</sub>	CS 立ち上がりエッジ後 MISO がディセーブルになるまで	5	40	ns
t <sub>SFS</sub>	SCLK エッジ後 CS がハイ・レベルになるまで	0		ns
t <sub>SFS_LK</sub>	SCLK エッジ後 CS ハイ・レベルまで (COMM_LOCK ビットに書き込む時)	1200		ns

<sup>1</sup>Max/Min 値は、標準的な最小値と最大値です。

### SPI インターフェースのタイミング図

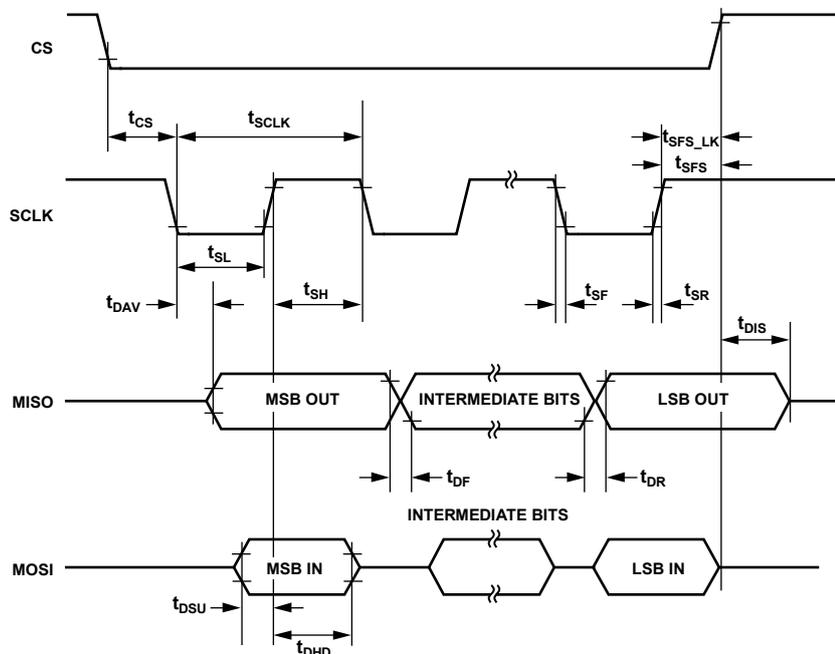


図 2.SPI インターフェースのタイミング

09320-003

I<sup>2</sup>C インターフェースのタイミング

他に指定のない限り、VDD = 3.3 V ± 10%, AGND = DGND = 0 V, 内蔵リファレンス, CLKIN = 3.58 MHz, T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40°C ~ +85°C。

表 3.

パラメータ	説明	標準モード		高速モード		単位
		Min <sup>1</sup>	Max <sup>1</sup>	Min <sup>1</sup>	Max <sup>1</sup>	
f <sub>SCL</sub>	SCL クロックの周波数	0	100	0	400	kHz
t <sub>HD,STA</sub>	スタート条件又は反復スタート条件のホールド時間	4.0		0.6		μs
t <sub>LOW</sub>	SCL クロックのロー・レベル期間	4.7		1.3		μs
t <sub>HIGH</sub>	SCL クロックのハイ・レベル期間	4.0		0.6		μs
t <sub>SU,STA</sub>	反復スタート条件のセットアップ時間	4.7		0.6		μs
t <sub>HD,DAT</sub>	データ・ホールド時間	0	3.45	0	0.9	μs
t <sub>SU,DAT</sub>	データ・セットアップ時間	250		100		ns
t <sub>r</sub>	SDA 信号および SCL 信号の立ち上がり時間		1000	20	300	ns
t <sub>f</sub>	SDA 信号および SCL 信号の立ち下がり時間		300	20	300	ns
t <sub>SU,STO</sub>	ストップ条件のセットアップ時間	4.0		0.6		μs
t <sub>BUF</sub>	ストップ条件とスタート条件との間のバス開放時間	4.7		1.3		μs
t <sub>SP</sub>	抑圧されたスパイクのパルス幅	N/A			50	ns

<sup>1</sup>Max/Min 値は、標準的な最小値と最大値です。

I<sup>2</sup>C インターフェースのタイミング

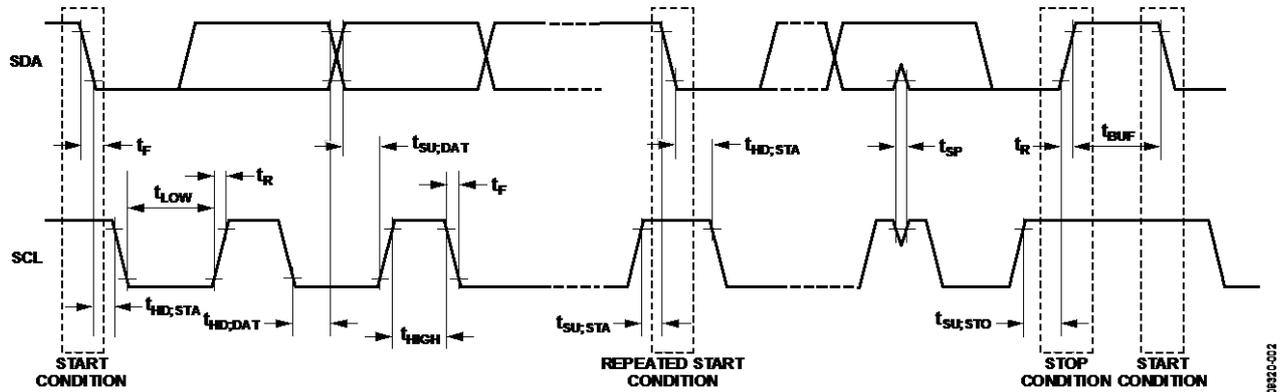


図 3. I<sup>2</sup>C インターフェースのタイミング

## 絶対最大定格

特に指定のない限り、TA = 25°C。

表 4.

Parameter	Rating
VDD to AGND	-0.3 V to +3.7 V
VDD to DGND	-0.3 V to +3.7 V
Analog Input Voltage to AGND, IAP, IAN, IBP, IBN, VP, VN	-2 V to +2 V
Reference Input Voltage to AGND	-0.3 V to VDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD + 0.3 V
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C

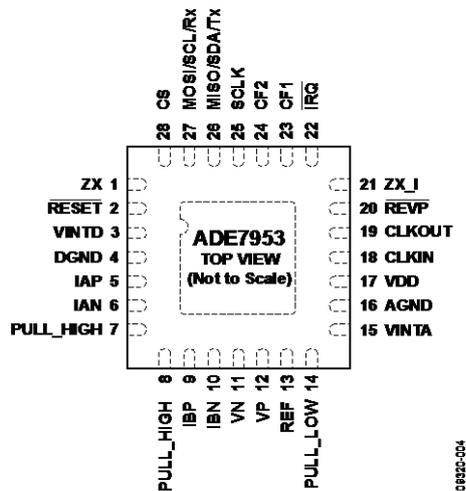
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に晒すとデバイスの信頼性に影響を与える可能性があります。

### ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置と機能の説明



**NOTES**  
 1. CREATE A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD. SOLDER THE EXPOSED PAD TO THE PAD ON THE PCB TO CONFER MECHANICAL STRENGTH TO THE PACKAGE. DO NOT CONNECT THE PADS TO AGND.

図 4.ピン配置

表 5.ピン機能の説明

ピン番号	記号	説明
1	ZX	電圧チャンネルのゼロ交差出力ピン。電圧チャンネルのゼロ交差セクションを参照。このピンは様々な代替電力品質信号を出力するように設定することができます（代替出力の機能のセクション参照）。
2	RESET	アクティブ・ローのリセット入力。
3	VINTD	このピンから 2.5 V のデジタル LDO にアクセスできます。このピンと AGND の間に 4.7μF コンデンサと 100 nF のセラミック・コンデンサを並列接続してデカップリングします。
4	DGND	デジタル回路のグラウンド基準。
5, 6	IAP, IAN	電流チャンネル A のアナログ入力（相電流チャンネル）。この差動電圧入力の最大入力範囲は ±500 mV です。シングル・エンド使用の場合の最大ピン電圧は ±250 mV です。この入力に接続された PGA の最大ゲインは 22 倍です（アナログ入力のセクションを参照）。
7, 8	PULL_HIGH	適切な動作をさせるためにこのピンを VDD に接続してください。
9, 10	IBP, IBN	電流チャンネル B のアナログ入力（ニュートラル電流チャンネル）。この差動電圧入力の最大入力範囲は ±500 mV です。この入力に接続されている PGA の最大ゲインは 16 倍です（アナログ入力セクションを参照）。
11, 12	VN, VP	電圧チャンネルのアナログ入力。このシングル・エンド電圧入力の最大入力範囲は ±500 mV です。この入力に接続されている PGA の最大ゲインは 16 倍です（アナログ入力のセクションを参照）。
13	REF	このピンから、内蔵電圧リファレンスにアクセスできます。内部リファレンスは公称電圧 1.2V です。このピンと AGND の間に 4.7μF コンデンサと 100 nF のセラミック・コンデンサを並列接続してデカップリングしてください。代わりに 1.2V の外部リファレンスをこの入力に供給することができます（リファレンス回路セクションを参照）。
14	PULL_LOW	正常動作に対してこのピンを AGND に接続する必要があります。
15	VINTA	このピンから、2.5V アナログ LDO にアクセスできます。このピンと AGND の間に 4.7μF コンデンサと 100 nF のセラミック・コンデンサを並列接続してデカップリングします。
16	AGND	アナログ回路のグラウンド基準。
17	VDD	ADE7953 の電源(3.3 V)規定の動作に対してこのピンの入力範囲を 3.3 V ± 10% 以内にする必要があります。このピンと AGND の間に 10μF コンデンサと 100 nF のセラミック・コンデンサを並列接続してデカップリングします。
18	CLKIN	ADE7953 のマスター・クロック信号。この入力に外部クロックを印加することができます。その代わりに並列共振 AT クリスタルを CLKIN ピンと CLKOUT ピンの間に接続して、ADE7953 のクロック源にする事ができます。仕様動作に対するクロック周波数は 3.58 MHz です。ゲート発振回路には数 10PF のセラミック負荷コンデンサを使う必要があります。負荷容量条件についてはクリスタル・オシレータ・メーカーのデータシートを参照してください。
19	CLKOUT	水晶をこのピンと CLKIN の間に接続して、ADE7953 のクロック源にすることができます。
20	REVP	逆電力出力表示。逆向き電力のセクションを参照。このピンを様々な代替電力品質信号が出力する

# ADE7953

ピン番号	記号	説明
21	ZX_I	ように設定する事ができます (代替え出力の機能のセクションを参照)。 電流チャンネルのゼロ交差出力ピン。電流チャンネルゼロ交差のセクションを参照。このピンを様々な代替え電力品質信号を出力するように設定する事ができます (代替え出力の機能のセクションを参照)。
22	$\overline{\text{IRQ}}$	割込み出力。ADE7953 の割り込みのセクションを参照。
23	CF1	キャリブレーション周波数出力 1。
24	CF2	キャリブレーション周波数出力 2。
25	SCLK	シリアル・ペリフェラル・インターフェースのシリアル・クロック入力。すべてのシリアル通信はクロックに同期しています (SPI インターフェースのセクションを参照)。I <sup>2</sup> C インターフェースを使用する場合は、このピンをハイ・レベルにプルアップしてください。UART インターフェースを使用する場合は、このピンをグラウンドにプル・ダウンしてください。
26	MISO/SDA/Tx	SPI インターフェースのデータ出力/I <sup>2</sup> C インターフェースの双方向データ・ライン/UART インターフェースのトランスミッタ・ライン。
27	MOSI/SCL/Rx	SPI インターフェースのデータ入力/I <sup>2</sup> C インターフェースのシリアル・クロック入力/UART インターフェースのレシーバ・ライン。
28	CS	SPI インターフェースのチップ・セレクト入力。I <sup>2</sup> C インターフェース又は UART インターフェースを使用する場合は、このピンをハイ・レベルにプルアップしてください。
	EPAD	露出パッド。PCB 上の露出パッドの下に小さなパッドを作成してください。パッケージの機械的な強度を高めるために露出パッドを PCB 上のパッドに半田付けしてください。パッドを AGND に接続しないでください。

## 代表的な性能特性

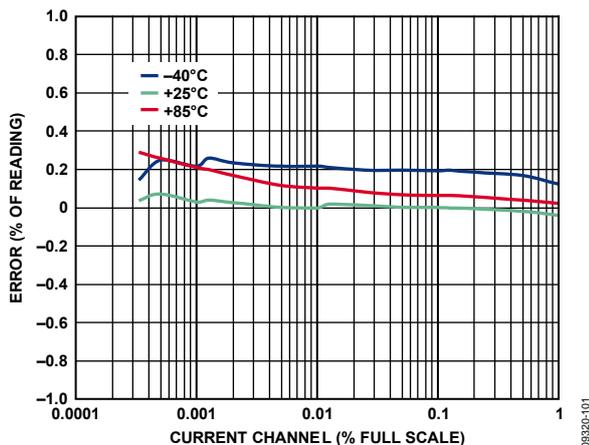


図 5.各温度に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン=1、力率=1、内部リファレンス使用、積分器オフ

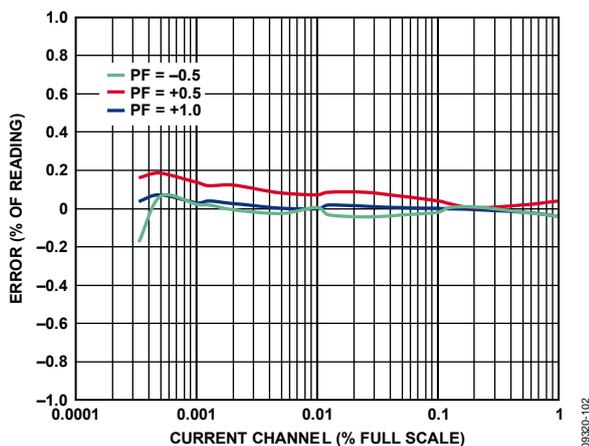


図 6.各力率に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

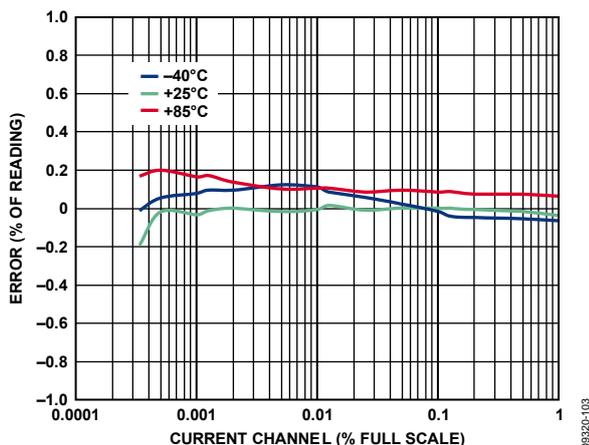


図 7.各温度に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン=22、力率=1、内部リファレンス使用、積分器オフ

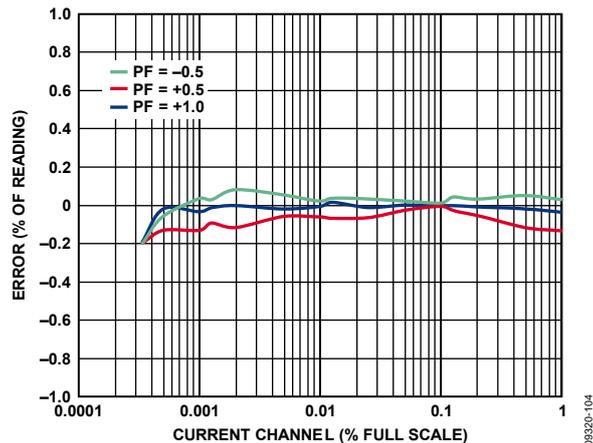


図 8.各力率に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン=22、温度=25°C、内部リファレンス使用、積分器オフ

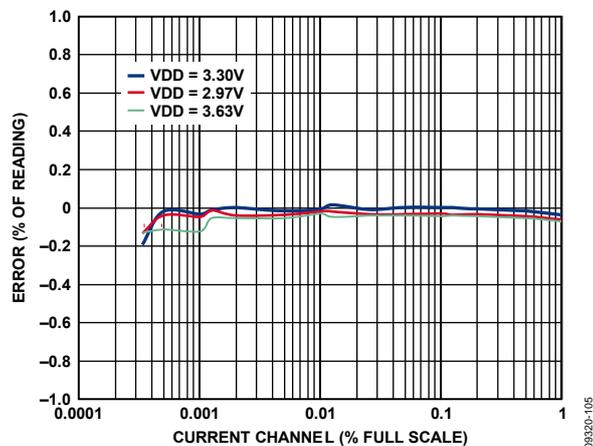


図 9.各電源電圧に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン= 22、温度=25°C 力率 =1、内部リファレンス使用、積分器オフ

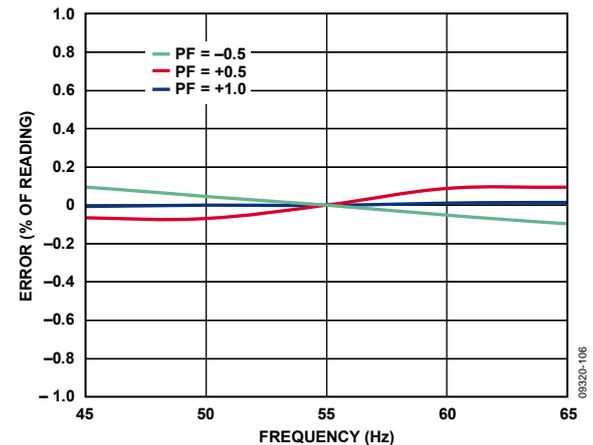


図 10.各力率と周波数に対する電流チャンネル A の有効電力量誤差（測定値のパーセントとして表示）ーゲイン= 22、温度 =25°C、内部リファレンス使用、積分器オフ

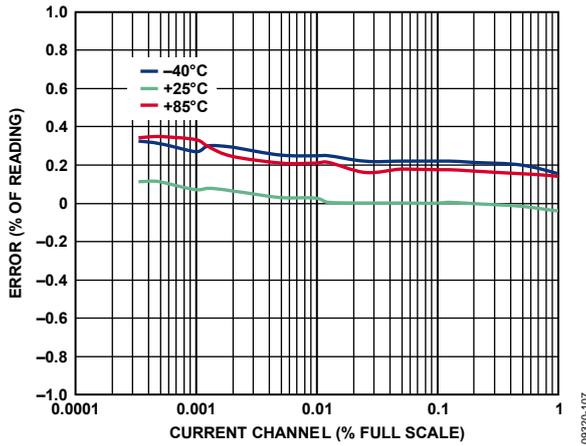


図 11.各温度に対する電流チャンネル A の無効電力量誤差（測定値のパーセントとして表示）—ゲイン=1、力率=0、内部リファレンス使用、積分器オフ

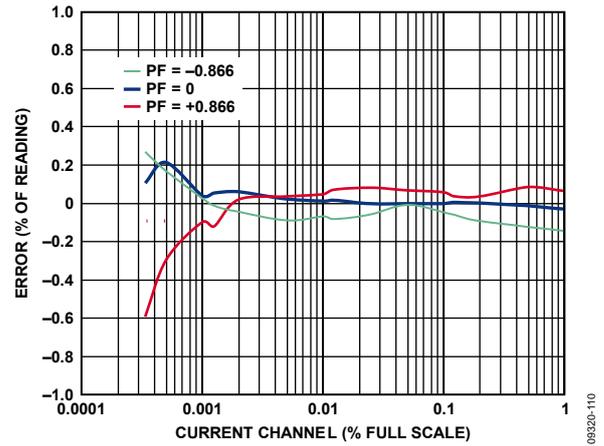


図 14.各力率に対する電流チャンネル A の無効電力量誤差（測定値のパーセントとして表示）—ゲイン=22、温度=25°C、内部リファレンス使用、積分器オフ

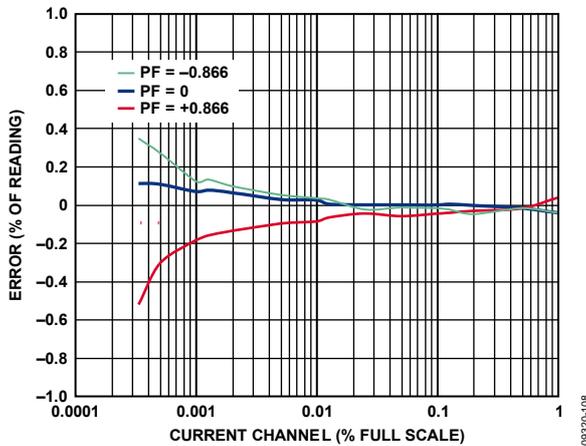


図 12.各力率に対する電流チャンネル A の無効電力量誤差（測定値のパーセントとして表示）—ゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

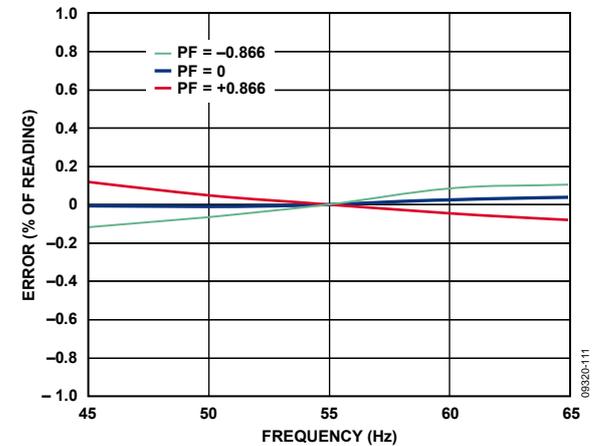


図 15.各力率と周波数に対する電流チャンネル A の無効電力量誤差（測定値のパーセントとして表示）—ゲイン=22、温度=25°C、内部リファレンス使用、積分器オフ

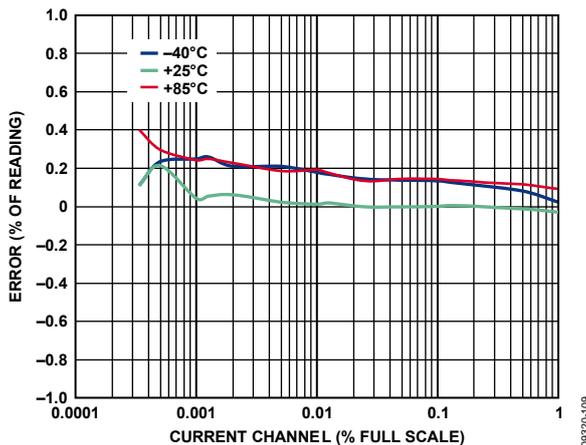


図 13.各温度に対する電流チャンネル A の無効電力量誤差（測定値のパーセントとして表示）—ゲイン=22、力率=0、内部リファレンス使用、積分器オフ

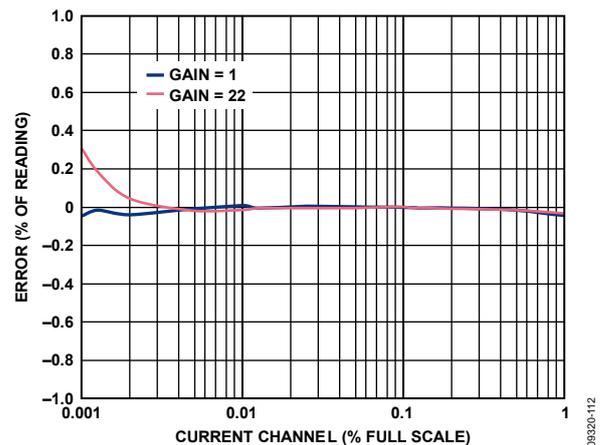


図 16.各ゲインに対する電流チャンネル A の IRMS 誤差（測定値のパーセントとして表示）—温度=25°C、力率=1、内部リファレンス使用、積分器オフ

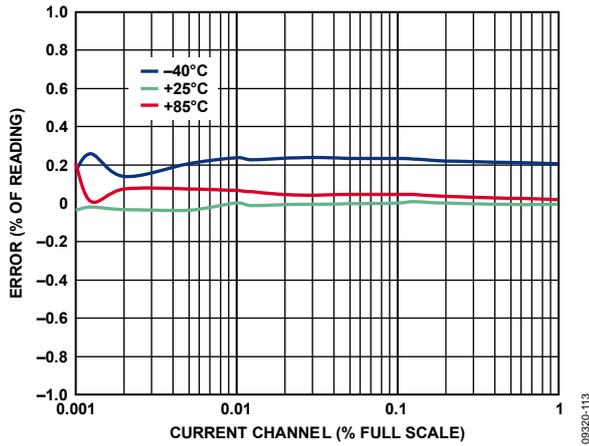


図 17.各温度に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、力率=1、内部リファレンス使用、積分器オフ

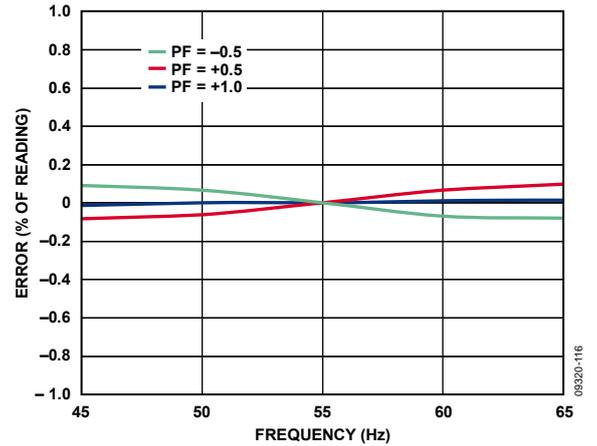


図 20.各力率と周波数に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

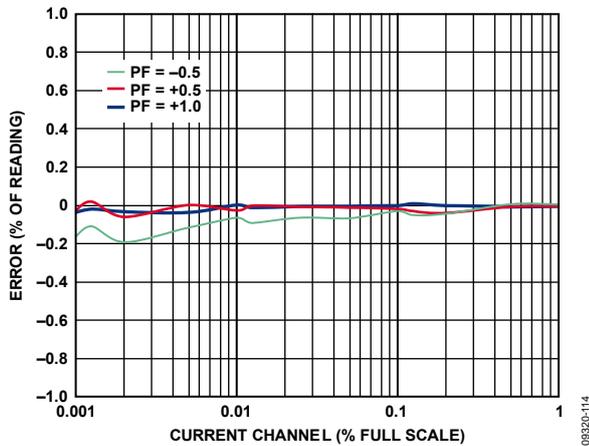


図 18.各力率に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

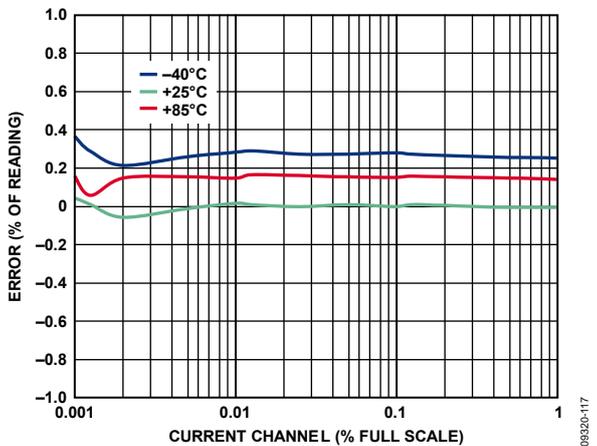


図 21.各温度に対する電流チャンネル B の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、力率=0、内部リファレンス使用、積分器オフ

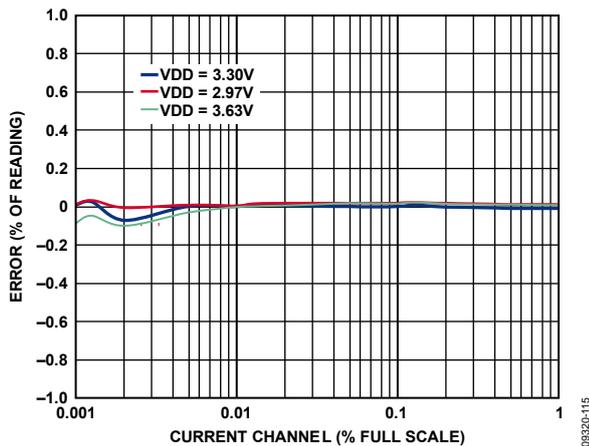


図 19.各電源電圧に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、温度=25°C 力率=1、内部リファレンス使用、積分器オフ

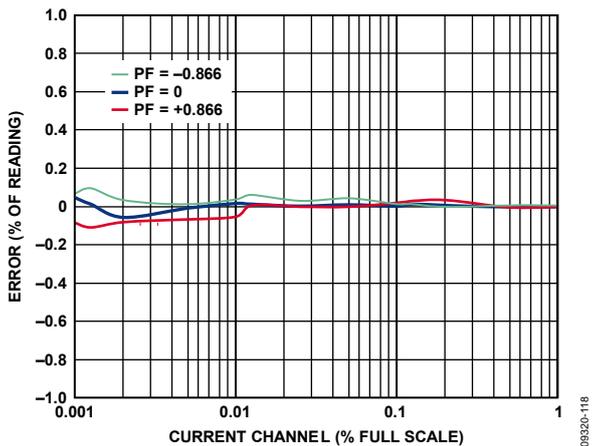


図 22.各力率に対する電流チャンネル B の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

# ADE7953

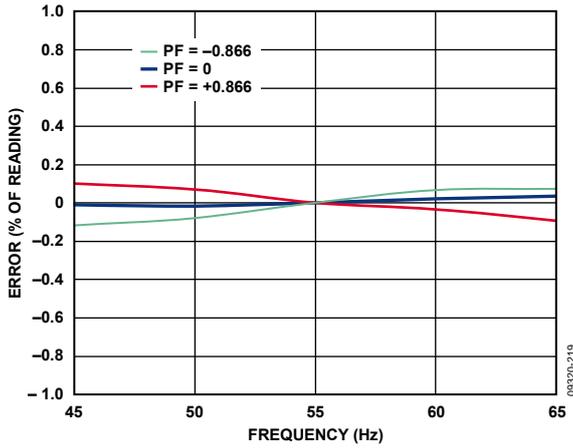


図 23.各力率と周波数に対する電流チャンネル B の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=1、温度=25°C、内部リファレンス使用、積分器オフ

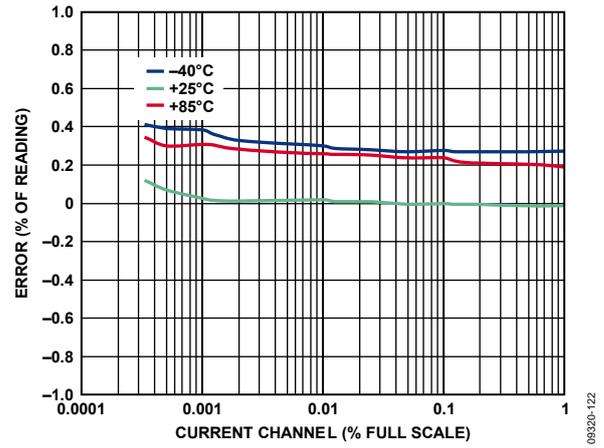


図 26.各温度に対する電流チャンネル A の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、力率=1、内部リファレンス使用、積分器オン

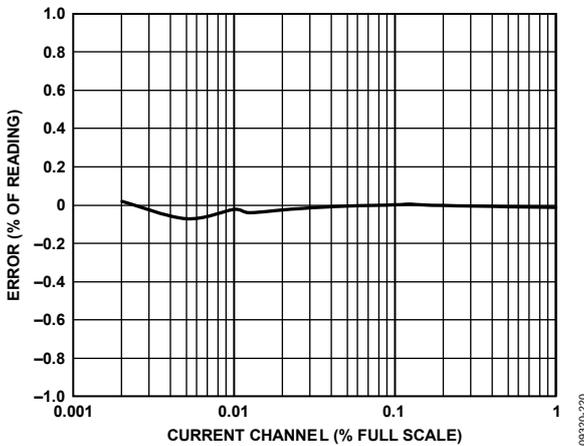


図 24.電流チャンネル B の IRMS 誤差 (測定値のパーセント値として表示) -ゲイン=1、温度=25°C 力率=1、内部リファレンス使用、積分器オフ

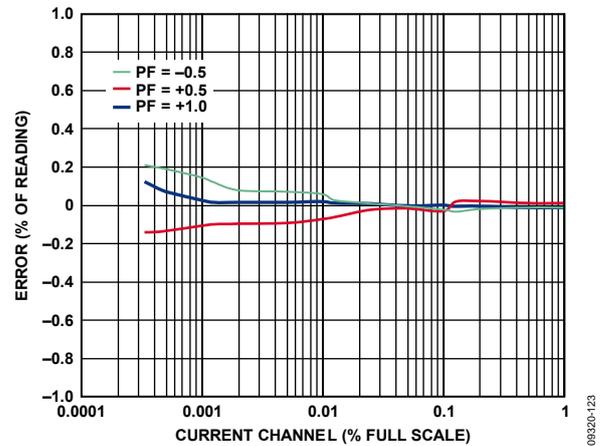


図 27.各力率に対する電流チャンネル A の有効電力量誤差(測定値のパーセントとして表示) -ゲイン=16、温度=25°C、内部リファレンス使用、積分器オン

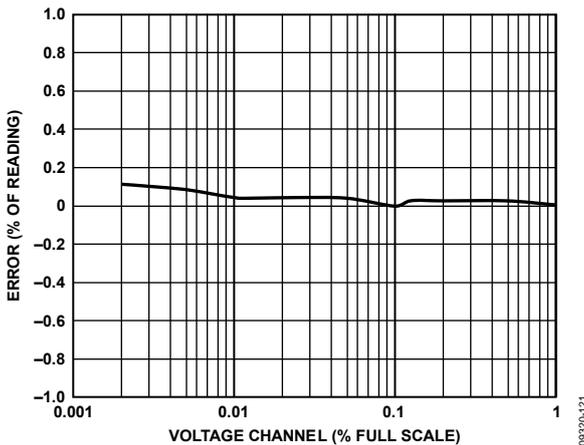


図 25.VRMS 誤差 (測定値のパーセントとして表示) -温度=25°C、力率=1、内部リファレンス使用、積分器オフ

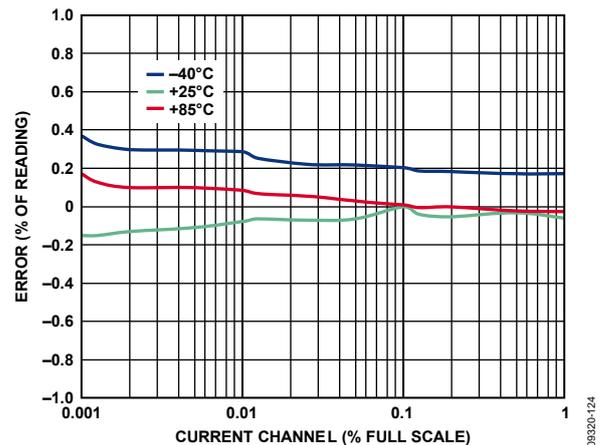


図 28.各温度に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、力率=1、内部リファレンス使用、積分器オン

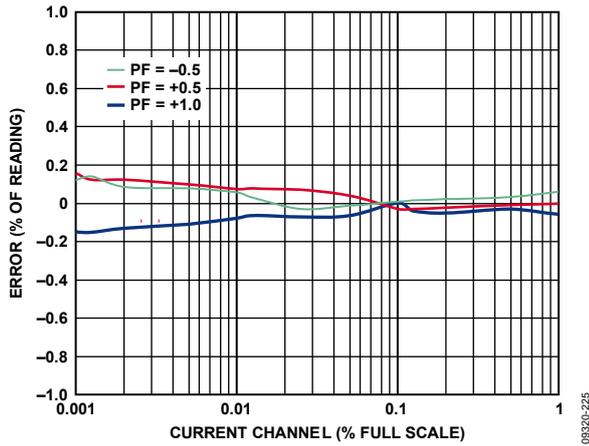


図 29.各力率に対する電流チャンネル B の有効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、温度=25°C、内部リファレンス使用、積分器オン

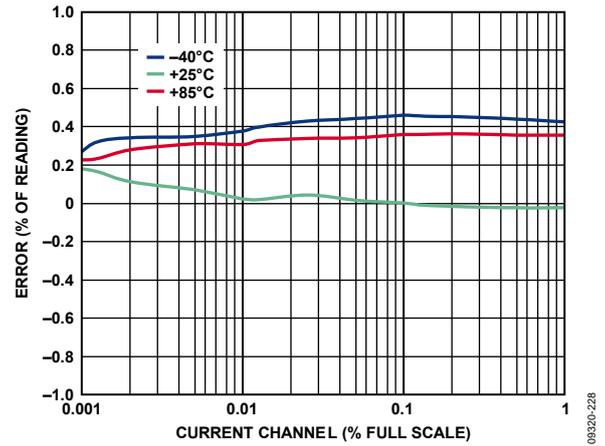


図 32.各温度に対する電流チャンネル B の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、力率=0、内部リファレンス使用、積分器オン

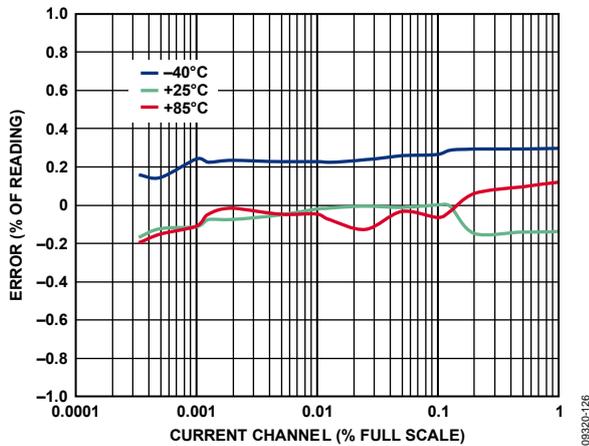


図 30.各温度に対する電流チャンネル A の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、力率=0、内部リファレンス使用、積分器オン

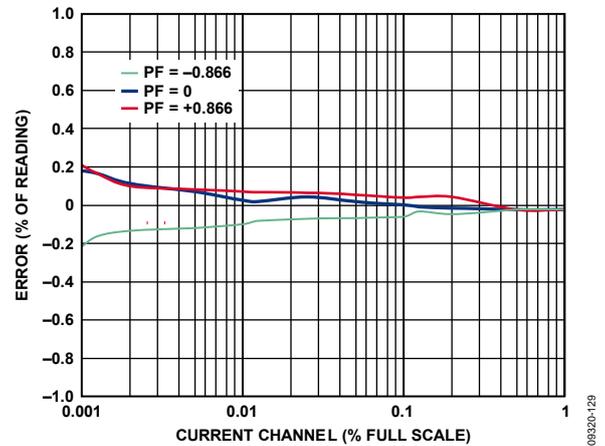


図 33.各力率に対する電流チャンネル B の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、温度=25°C、内部リファレンス使用、積分器オン

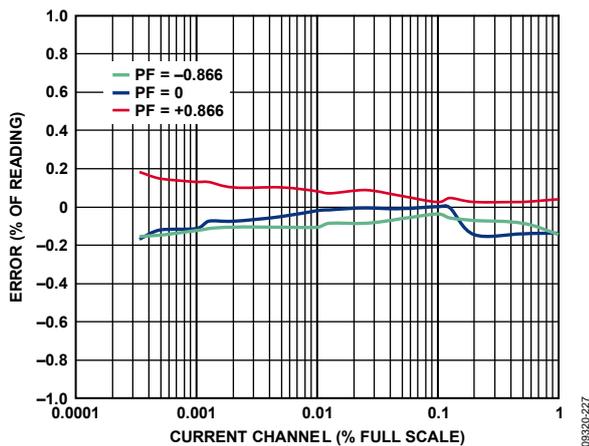


図 31.各力率に対する電流チャンネル A の無効電力量誤差 (測定値のパーセントとして表示) -ゲイン=16、温度=25°C、内部リファレンス使用、積分器オン

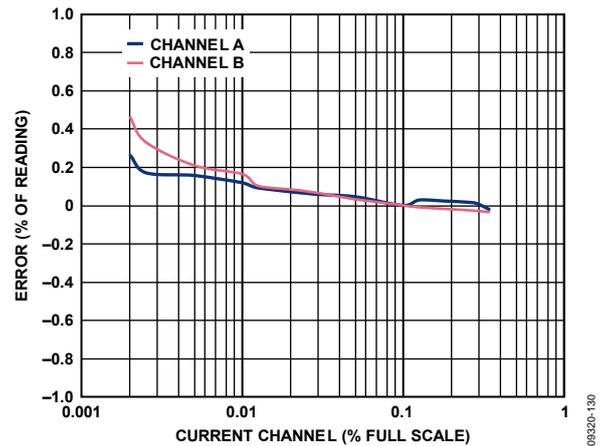


図 34.IRMS 誤差(測定値のパーセントとして表示)-ゲイン=16、温度=25°C 力率=1、内部リファレンス使用、積分器オン

## テスト回路

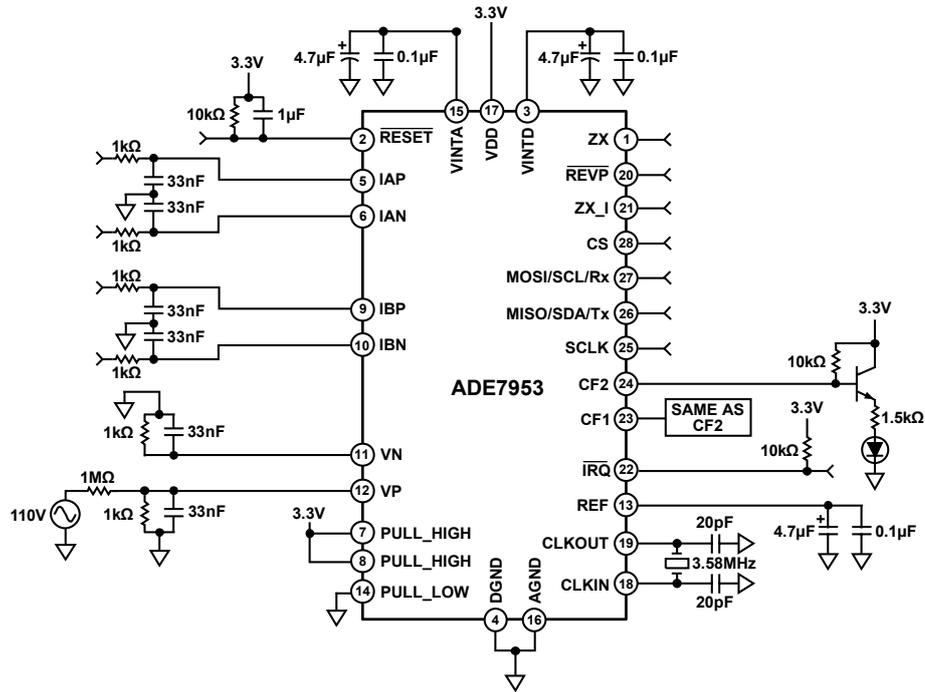


図 35.テスト回路

09520-099

## 用語

### 測定誤差

ADE7953を使用した電力量測定に関連した誤差は、次式で定義されます。

$$\text{Measurement Error} = \frac{\text{Energy Registered by ADE7953} - \text{True Energy}}{\text{True Energy}} \times 100\% \quad (1)$$

### チャンネル間位相誤差

ハイパス・フィルタ (HPF) とデジタル積分器は、電流チャンネルと電圧チャンネルの間でわずかな位相ミスマッチを発生させます。全デジタル設計により、電流チャンネルと電圧チャンネルとの間の位相は3相すべてについて、45~65 Hzの範囲では±0.1°以内に、45 Hz~65 Hzの範囲では±0.2°以内にマッチングしています。この内部の位相ミスマッチは外部位相誤差(電流センサーまたは部品のばらつきに起因)を含めた形で、位相キャリブレーション・レジスタを使って調整することができます。

### 電源除去比(PSR)

PSRは電源が変動したときのADE7953の測定誤差を測定値のパーセントとして表します。ACのPSR測定の場合、最初に公称電源(3.3 V)での測定値を読み出します。次にこの同じ電源電圧にAC信号(120 mV rms/100 Hz)を導入し、同じ入力信号レベルで2回目の測定値を読み出します。このAC信号により導入されるすべての誤差が、測定値のパーセント値として表されます(測定誤差の定義を参照してください)。DCのPSR測定の場合、最初に公称電源(3.3 V)での測定値を読み出します。次に電源を±10%変化させ、同じ入力信号レベルで2回目の測定値を取得します。この場合も導入されたすべての誤差は測定値のパーセント値として表されます。

### ADC オフセット誤差

ADC オフセット誤差はADCのアナログ入力に関連するDCオフセットを意味します。ADC オフセット誤差はアナログ入力にAGNDに接続されていても、あたかもADCにはDCアナログ入力信号があるかのように見える事を意味します。オフセットの大きさは、選択するゲインと入力範囲によって変わります。ただし、ハイパス・フィルタ (HPF) により、オフセットが電流チャンネルと電圧チャンネルから取り除かれるため、電力計算はこのオフセットの影響を受けません。

### ゲイン誤差

ADE7953のADC内でのゲイン誤差は、測定したADC出力コード(オフセットは除去)と理論出力コードの1チャンネルあたりの差として定義されます(電流チャンネルのADCのセクションおよび電圧チャンネルのADCのセクションを参照)。この差は、理論コードのパーセント値として表されます。

## 動作原理

### アナログ入力

ADE7953には2つの電流チャンネルと1つの電圧チャンネルの3つのアナログ入力があります。一般的な構成では、電流チャンネルAは相電流を測定するために使用され、電流チャンネルBはニュートラル電流を測定するために使用されます。電圧チャンネル入力は相電圧とニュートラル電圧の間の差を測定します。しかしこのセクションに述べられているアナログ入力仕様を満足していれば、ADE7953は他の電圧電流の組み合わせの測定に使用する事ができます。

### 電流チャンネルA

電流チャンネルAは電流センサーといっしょに使用するように設計された完全な差動電圧入力です。この入力は2ピンで駆動されます：IAP(5ピン)とIAN(6ピン)。IAPとIANに印加できる最大差動電圧は±500 mVです。

同相電圧は±25 mV以下を推奨します。同相電圧が推奨した値を超えるとダイナミック・レンジを制限する可能性があります。電流チャンネルAにはプログラマブル・ゲイン・アンプ(PGA)段がありゲインを1, 2, 4, 8, 16, 22の中から選択できます。(表6参照)

シングル・エンド構成で使用する時、電流チャンネルAの最大フルスケール入力は±250 mVです。従ってゲインを1に設定するとダイナミック・レンジは制限されます。電流チャンネルAのゲインはPGA\_IAレジスタ(アドレス0x008)に書き込むことにより設定されます。電流チャンネルAのPGAは、デフォルトで1に設定されます。ゲイン22は電流チャンネルAにのみ提供されていて非常に小さな振幅の信号を高精度で測定できます。この回路構成は特に小さな値のシャント抵抗又はロゴスキー・コイルを使用する時便利です。

### 電流チャンネルB

電流チャンネルAは電流センサーといっしょに使用するように設計された完全な差動電圧入力です。この入力は2ピンで駆動されます：IBP(9ピン)とIBN(10ピン)。IBPとIBNに印加できる最大差動電圧は±500 mVです。同相電圧は±25 mV以下を推奨します。同相電圧が推奨した値を超えるとダイナミック・レンジを制限する可能性があります。電流チャンネルBにはプログラマブル・ゲイン・アンプ(PGA)段がありゲインを1, 2, 4, 8, 16から選択できます。(表6参照)電流チャンネルBのゲインはPGA\_IBレジスタ(アドレス0x009)に書き込むことにより設定されます。電流チャンネルBのPGAは、デフォルトで1に設定されます。

### 電圧チャンネル

電圧チャンネル入力は2ピン駆動のシングル・エンド入力です：VP(ピン12)およびVN(ピン11)VPに印加できる最大シングル・エンド電圧は、VNを基準として±500 mVです。同相電圧は±25 mV以下を推奨します。同相電圧が推奨した値を超えるとADE7953のダイナミック・レンジ性能を制限する可能性があります。電圧チャンネルAにはPGAゲイン段がありゲインを1, 2, 4, 8, 16の中から選択できます。(表6参照)

電圧チャンネルのゲインはPGA\_Vレジスタ(アドレス0x007)に書き込むことにより設定されます。電圧チャンネルのPGAは、デフォルトでは1に設定されます。

表 6.PGA ゲイン設定

ゲイン	フル・スケール差動入力 (mV)	PGA_IA[2:0] (Addr 0x008)	PGA_IB[2:0] (Addr x009)	PGA_V[2:0] (Addr x007)
1	±500	000 <sup>1</sup>	000	000
2	±250	001	001	001
4	±125	010	010	010
8	±62.5	011	011	011
16	±31.25	100	100	100
22	±22.7	101	N/A	N/A

<sup>1</sup>電流チャンネルAのゲインを1に選んだ場合、最大ピン入力は±250 mVに制限されます。それ故、シングル・エンド構成を使用する時、最大入力はAGND基準に±250 mVです。

### アナログ/デジタル変換

ADE7953のA/D変換は3つの2次Σ-Δ変調器によって行われます。分かりやすくするために、図36のブロック図は1次Σ-Δ変調器の動作を示します。A/D変換はΣ-Δ変調器とその後に続くローパス・フィルタ段で構成されます。

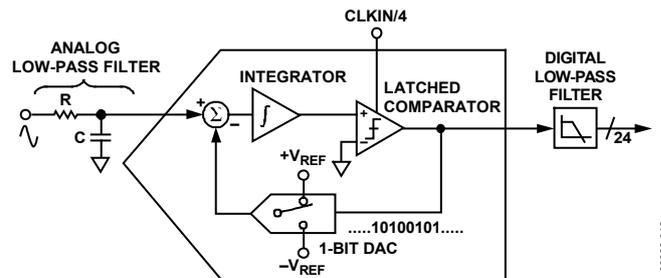


図 36.Σ-Δ 変換

Σ-Δ変調器は入力信号をサンプリング・クロックで決められたレートの"1"と"0"の連続したシリアル・ストリームに変換します。ADE7953のサンプリング・クロックは895 kHz(CLKIN/4)です。帰還ループ内の1ビットDACは、シリアル・データ・ストリームによって駆動されます。DAC出力信号は入力信号から減算されます。ループ・ゲインが十分大きければ、DAC出力(と、従ってビット・ストリーム)の平均値は、入力信号レベルの平均値に近づきます。1サンプリング間隔内の任意の与えられた入力値に対する1ビットADCの出力データは実質的な意味を持ちません。意味のある結果はたくさんサンプルが平均化された時にのみ得られます。この平均化処理は、ADCの2つ目の回路であるデジタル・ローパス・フィルタにより実行されます。変調器から出力される多数のビットを平均することにより、ローパス・フィルタは入力信号レベルに比例する24ビット・データ・ワードを発生することができます。

1 ビット変換技術の本質的な高分解能を実現するためにΣ-Δ コンバータは2つの技術（オーバーサンプリングとノイズ・シェーピング）を使用します。

### オーバーサンプリング

オーバーサンプリングは高分解能を達成するために使われた最初の技術です。オーバーサンプリングは、信号帯域幅の何倍も高いレート(周波数)で信号をサンプルすることを意味します。たとえば、ADE7753 のサンプリング・レートは 895 kHz で、信号帯域は 40 Hz~1.23 kHz です。オーバーサンプリングは、量子化ノイズ(サンプリングに起因するノイズ)を広い帯域にわたって分散させる効果があります。ノイズをより広い帯域にわたって拡散することにより、信号帯域内の量子化ノイズが低減されます。(図 37 を参照)

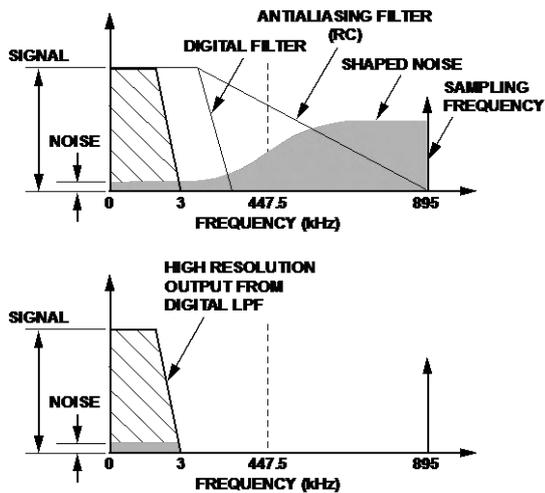


図 37.アナログ変調器のオーバーサンプリングとノイズ・シェーピングによるノイズ低減

しかしオーバーサンプリングだけでは信号帯域での信号対ノイズ比 (SNR)を改善するには不十分です。たとえば、SNR をたった 6 dB (1 ビット)改善するのに、オーバーサンプリング比 4 が必要です。オーバーサンプリング比を適切なレベルにするために、ノイズの主要部分が高周波数に分布するように量子化ノイズを整形することができます。(ノイズ・シェーピングのセクションを参照)

### ノイズ・シェーピング

ノイズ・シェーピングは高分解能を実現するために使用される2番目の技術です。Σ-Δ変調器では、負帰還により量子化ノイズに対してハイパス型応答の積分器を使ってノイズを整形します。その結果、大部分のノイズはデジタル・ローパス・フィルタで除去可能な高い周波数になります。このノイズ・シェーピングを図 37 に示します。

### エイリアシング・フィルタ

図 36 に示すように各変調器の入力には外付けローパス RC フィルタが必要です。このフィルタの役割は、折り返しを防止する事です。エイリアシングは折り返されてサンプリングされた信号に現れる入力信号の周波数成分を言います。この現象は ADC のサンプリング・レートの半分 (ナイキスト周波数として知られています) 以上の信号に対して起こり、サンプリング・レートの半分以下の周波数で、サンプリングされた信号に現れます。この理論を図 38 に示します。

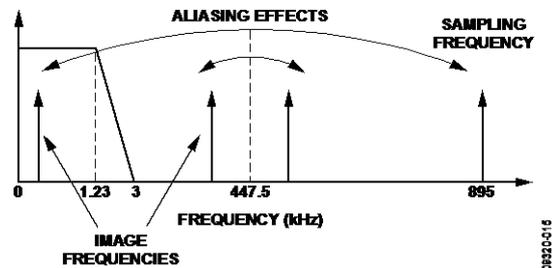


図 38.折り返しの影響

図 38 に示す矢印は折り返されるナイキスト周波数 (ADE7953 の場合 447.5 kHz) 以上の周波数成分を示します。折り返しは、ADC の構成に無関係にすべての ADC で発生します。

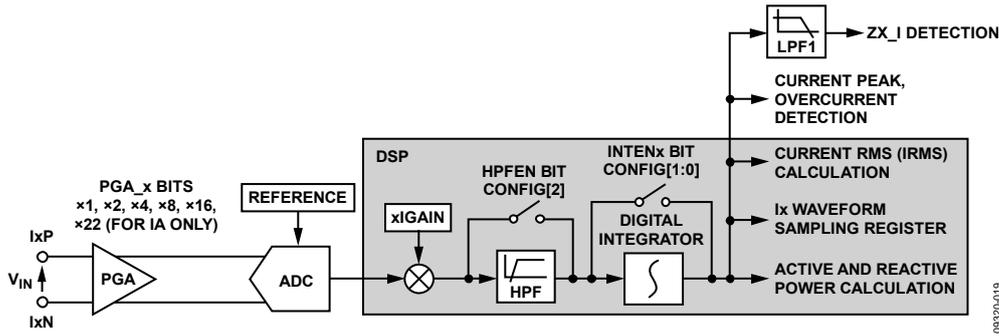


図 39.電流チャンネル ADC と信号パス

## 電流チャンネルの ADC

図 39 に (IAP ピン と IAN ピンを介してアクセスする) 電流チャンネル A の ADC 信号パスと信号処理を示します。チャンネル B の信号パスは同じで、入力は IBP ピン と IBN ピンです。ADC 出力は 6.99 kSPS (千サンプル/秒) レートで出力可能な 2 の補数の 24 ビット・データ・ワードです。ADC は、規定の  $\pm 250$  mV フルスケールアナログ入力に加え、PGA\_I のゲインを x2 に設定した時最大出力コードを発生します。ADC 出力は、 $-6,500,000$  LSBs (10 進法) と  $+6,500,000$  LSB の間スウィングします。この出力は各デバイスごとに変わります。

図 39 に示すように、各電流チャンネルの信号パスにはハイパス・フィルタ (HPF) があります。HPF はデフォルトではイネーブルになっており、ADC の出力の全ての DC オフセットを取り除きます。このフィルタを常にイネーブルにしておく事を強くお勧めしますが、CONFIG レジスタ (アドレス 0x102) の HPFEN ビット (ビット 2) をクリアすることによりディスエーブルになります。HPFEN ビットをクリアにする事により電流チャンネルと電圧チャンネルの両方のフィルタがディスエーブルになります。

### di/dt 電流センサーとデジタル積分器

図 39 に示すように、チャンネル A とチャンネル B の電流チャンネル信号パスには内部デジタル積分器があります。この積分器はデフォルトではディスエーブルですが、ログスキー・コイルのような di/dt センサーとインターフェースする時のみ必要になります。シャント抵抗又は電流トランス (CT) を使用する時、この積分器は必要ないのでディスエーブルにしておく必要があります。

di/dt センサーは、AC 電流によって起こる磁界の変化を検出します。図 40 に、di/dt 電流センサーの原理を示します。

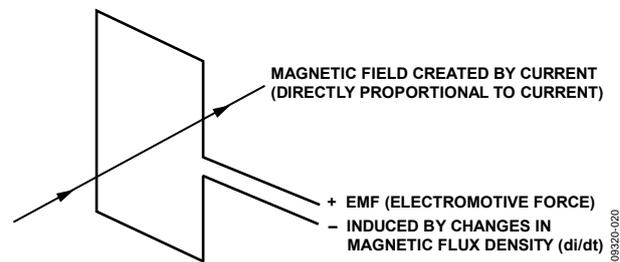


図 40. di/dt 電流センサーの原理

電流により誘導される磁界の磁束密度は、電流の大きさに比例します。導体のループを通過する磁束密度の変化は、ループの両端に起電力(EMF)を発生させます。この EMF は、電流の時間微分 (di/dt) に比例した電圧信号です。di/dt センサーからの電圧出力は、電流が流れる導体と di/dt センサーとの間の相互インダクタンスにより決まります。電流信号を使用する前に di/dt 信号から再生する必要があります。そのために、信号を元の形式に戻す積分器が必要となります。

ADE7953 は、各電流チャンネルに di/dt センサーから電流信号を再生するデジタル積分器を内蔵しています。両方のデジタル積分器はデフォルトでディスエーブルです。電流チャンネル A のデジタル積分器は CONFIG レジスタ (アドレス 0x102) の INTENA ビット (ビット 0) をセットする事によりイネーブルになります。電流チャンネル B のデジタル積分器は CONFIG レジスタ (アドレス 0x102) の INTENB ビット (ビット 1) をセットする事によりイネーブルになります。

### 電圧チャンネルの ADC

図 41.に (IAP ピン と IAN ピンを介してアクセスする) 電圧チャンネル入力の ADC 信号パスと信号処理を示します。ADC 出力は 6.99 kSPS (千サンプル/秒)レートで出力可能な 2 の補数、24 ビット・データ・ワードです。規定の±500 mV フルスケールアナログ入力を加え、PGA\_V のゲインを x1 に設定した時、ADC は最大出力コードを発生します。ADC 出力は、-6,500,000 LSBs (10 進法) と+6,500,000 LSB の間スウィングします。この出力は各デバイスごとに変わる事に注意してください。

図 41.に示すように、電圧チャンネルの信号パスにはハイパス・フィルタ (HPF)があります。HPF はデフォルトでイネーブルになっており、ADC の出力の全ての DC オフセットを取り除きます。このフィルタを常にイネーブルしておく事を強くお勧めしますが、CONFIG レジスタ (アドレス 0x102) の HPFEN ビット (ビット 2) をクリアすることによりディスエーブルになります。HPFEN ビットをクリアにする事により電流チャンネルと電圧チャンネルの両方のフィルタがディスエーブルになります。

### リファレンス回路

ADE7953 は公称電圧 1.2V (REF ピンに現れます) の電圧リファレンスを内蔵しています。このリファレンス電圧値は ADE7953 の ADC に使用されます。REF ピンを外部電圧源 (例えば外部 1.2V リファレンス) によりオーバードライブする事ができます。ADE7953 の内部リファレンスの電圧は温度によってわずかにドリフトします。(仕様のセクションを参照) 温度ドリフト値は各製品毎に変わります。リファレンス電圧が x%ドリフトすると、計測器の精度は 2x%のバラツキになります。リファレンス電圧のドリフトは一般的に非常に小さく、計測器の他の部品のドリフトよりはるかに小さくなっています。ADE7953 は、デフォルトでは内部リファレンスを使用するように設定されています。EX\_REF レジスタ (アドレス 0x800) のビット 0 を 1 に設定すると、外部電圧リファレンスを REF ピンに供給する事ができます。

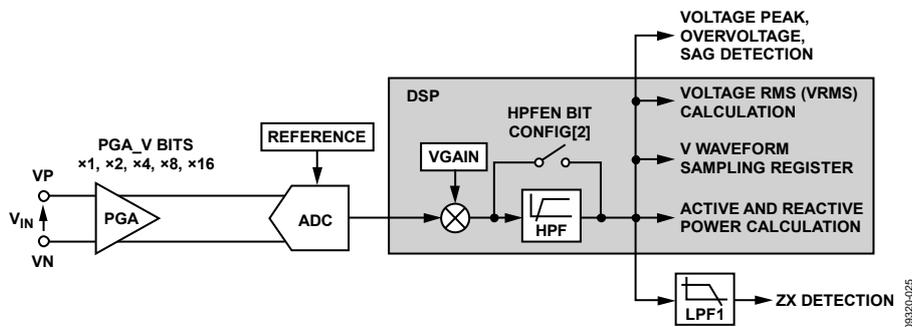


図 41.電圧チャンネル ADC と信号パス

## 2 乗平均平方根の測定

2乗平均平方根(rms)は、AC信号の大きさの測定値です。明確に言うと、AC信号のrms値は、負荷に等価な電力を発生させるために必要なDC信号の大きさに等しい値です。数学的には、rmsは式1のように表されます。

$$RMS = \sqrt{\frac{1}{t} \int_0^t f^2(t) dt} \quad (1)$$

時間サンプリングされた信号のrms計算は信号の2乗処理、平均処理、平方根処理を含みます。

$$RMS = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (2)$$

式2からわかるように、rms測定値は基本波と1.23kHz測定帯域全体のすべての高調波の情報を含みます。

ADE7953は電流チャンネルA、電流チャンネルB、電圧チャンネルのrms測定を同時に行います。これらの測定には約200msのセトリング時間がかかり、6.99kHzのレートで更新されます。

### 電流チャンネルのRMS計算

ADE7953から電流チャンネルAと電流チャンネルB両方のrms測定値が得られます。図42にこの計算用信号パスを示します。電流チャンネルAと電流チャンネルBの信号処理は同じです。

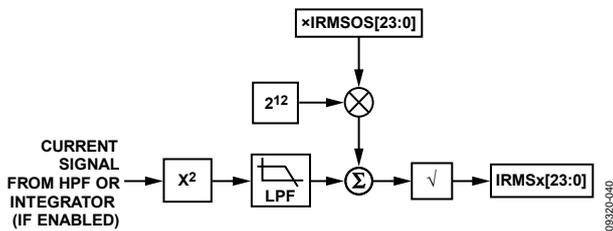


図 42.電流チャンネル RMS の信号処理

図42に示すように、電流チャンネルのADC出力のサンプルを使用し、rmsを連続して計算します。rmsは出力信号の2乗にローパス・フィルタを通し、その結果の平方根をとることにより達成されます。電流チャンネルAと電流チャンネルBの24ビット符号無しrms測定値はそれぞれIRMSA(アドレス0x21Aとアドレス0x31A)、IRMSB(アドレス0x21Bとアドレス0x31B)から得られます。これら2つのレジスタは6.99kHzのレートで更新されます。

rms信号パスに使用されるLPFは理想的ではないので、IRMSxレジスタをゼロ交差信号に同期して読み出す事をお勧めします。(ゼロ交差の検出のセクションを参照)これはrms測定に存在する2ωリップルの影響を除去し、読み出しごとの変動を安定化させるのに役立ちます。

### 電圧チャンネルRMS計算

ADE7953から電圧チャンネルのrms測定値が得られます。図43にこの計算用信号パスを示します。

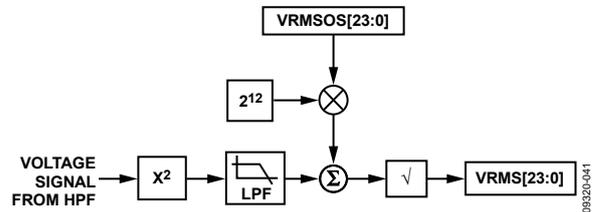


図 43.電圧チャンネルのRMS信号処理

図43に示すように、電圧チャンネルのADC出力のサンプルを使用し、rmsを連続して計算します。rmsは出力信号の2乗にローパス・フィルタを通し、その結果の平方根をとることにより達成されます。24ビット符号無し電圧チャンネルrms測定値はVRMSレジスタ(アドレス0x21Cとアドレス0x31C)から得られます。これら2つのレジスタは6.99kHzのレートで更新されます。

rms信号パスに使用されるLPFは理想的ではないので、VRMSレジスタをゼロ交差信号に同期して読み出す事をお勧めします。(ゼロ交差の検出のセクションを参照)これはrms測定に存在する2ωリップルの影響を除去し、読み出しごとの変動を安定化させるのに役立ちます。

## 有効電力の計算

電力は、電源から負荷へのエネルギーの流れのレートとして定義されます。電力は電圧波形と電流波形の積として定義されます。その結果の波形は瞬時電力信号と呼ばれ、各瞬間のエネルギーの流れのレートに等しくなります。電力の単位はワット又はジュール/秒です。

$$V(t) = \sqrt{2} \times V \times \sin(\omega t) \tag{3}$$

$$I(t) = \sqrt{2} \times I \times \sin(\omega t) \tag{4}$$

ここで、

V は rms 電圧です。

I は rms 電流です。

$$P(t) = V(t) \times I(t) \tag{5}$$

$$P(t) = VI - VI \times \cos(2\omega t) \tag{6}$$

ライン・サイクル数(n)の整数倍の平均電力は式7で与えられます。

$$P = \frac{1}{nT} \int_0^{nT} P(t) dt = VI \tag{7}$$

ここで、

P は、有効電力または実行電力です。

T はライン・サイクル周期です。

有効電力は瞬間電力信号 (式5の P(t)) の DC 成分に等しくなります。従って有効電力は VI に等しくなります。この関係は、ADE7953 内部で有効電力を計算する際に使用されます。図44はこの概念を説明します。

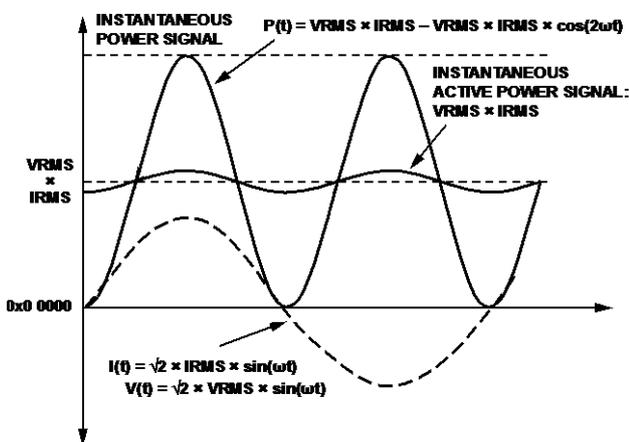


図 44. 有効電力量の計算

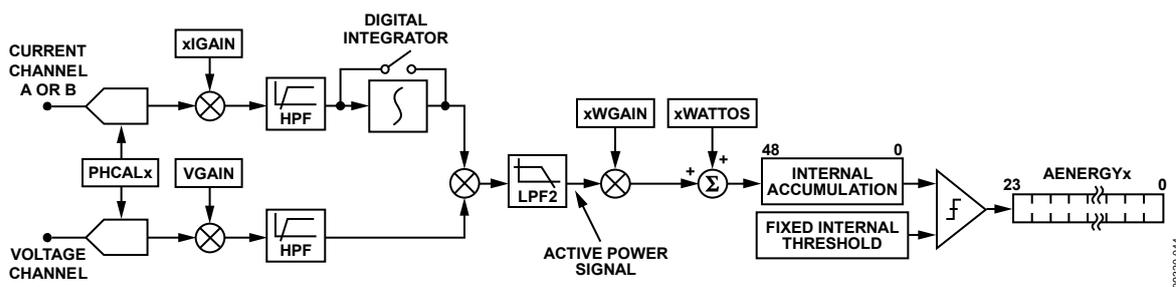


図 45. 有効電力量のシグナル・チェーン

ADE7953 の有効電力、有効電力量の計算のためのシグナル・チェーンを図 45 に示します。瞬時電力信号 P(t) は、電流信号と電圧信号を乗算することにより生成されます。次に、有効電力情報を得るために、瞬時電力信号の DC 成分が LPF2 (ローパス・フィルタ) を使って取り出されます。LPF2 は理想的な "阻止" 周波数応答を持たないので、有効電力信号にはその原因により多少のリップルがあります。このリップルは正弦波であり、周波数はライン周波数の 2 倍です。リップルは本質的に正弦波なので、有効電力信号を積分して電力量を算出する際に除去されます (有効電力量の計算のセクションを参照)。

ADE7953 は電流チャンネル A と電流チャンネル B の有効電力を同時に計算し、得られた測定値をそれぞれ AWATT (アドレス 0x212 とアドレス 0x312) レジスタと BWATT (アドレス 0x213 とアドレス 0x313) レジスタに格納します。フルスケール入力の場合の AWATT と BWATT レジスタの期待値は約 5,000,000 LSBs (10 進法) です。

有効電力測定は 1.23kHz の帯域全体で行われ、その範囲内のすべての高調波の影響を含みます。有効電力レジスタは 6.99 kHz のレートで更新され、波形サンプリング・モードを使って読み出すことができます。(瞬時電力と波形サンプリングのセクションを参照)

有効電力測定は 1.23kHz の帯域全体で行われ、その範囲内のすべての高調波の影響を含みます。有効電力レジスタは 6.99 kHz のレートで更新され、波形サンプリング・モードを使って読み出すことができます。(瞬時電力と波形サンプリングのセクションを参照)

### 有効電力計算の符号

ADE7953 の有効電力測定は符号付き計算です。電流波形と電圧波形との間の位相差が 90° 以上になると電力は負になります。負電力は、グリッド上でエネルギーが戻されていることを表します。ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) は電流チャンネル A (APSIGN\_A) と電流チャンネル B (APSIGN\_B) の符号を示す 2 つの符号表示ビットを含みます。詳細については、符号表示符号表示のセクションを参照してください。

## \*有効電力量の計算

有効電力の計算に述べたように、電力はエネルギーの流れのレートとして定義されます。この関係は、数学的に式 8 に示したように表わす事ができます。

$$P = \frac{dE}{dt} \quad (8)$$

ここで、  
P は電力です。  
E は電力量です。

逆に、電力量は電力の積分として得られます。

$$E = \int P dt \quad (9)$$

ADE7953 は有効電力信号の積分を 2 段で行います。初段では内部の固定しきい値に到達するまで、143 μs (6.99 kHz) ごとに有効電力信号が内蔵 48 ビットレジスタに積算されます。このしきい値に到達した時、パルスが発生し、ユーザからアクセス可能な 24 ビット積算レジスタに積算されます。内部のしきい値の結果フルスケール入力での最大積算レートは約 210 kHz になります。このプロセスは電流チャンネル A と電流チャンネル B 同時に起こり、その結果得られた測定値は 24 ビットの AENERGYA (アドレス 0x21E と アドレス 0x31E) と AENERGYB (アドレス 0x21F と アドレス 0x31F) レジスタから読み出すことができます。両方の段の積算は符号付きなので、負電力量は正電力量から減算されます。

このディスクリット時間の積算すなわち加算は、連続時間での積分と等価です。式 10 は、この関係を表しています。

$$E = \int P(t)dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=1}^{\infty} P(nT) \times T \right\} \quad (10)$$

ここで、  
n はディスクリット時間サンプル数です。  
T はサンプル周期です。

ADE7953 の積算レジスタのディスクリット時間サンプル周期 (T) は 4.76 μs (1/210 kHz) です。これはフルスケール入力に対する電力量レジスタのロール・オーバー・レートを示す図 46 に説明されています。

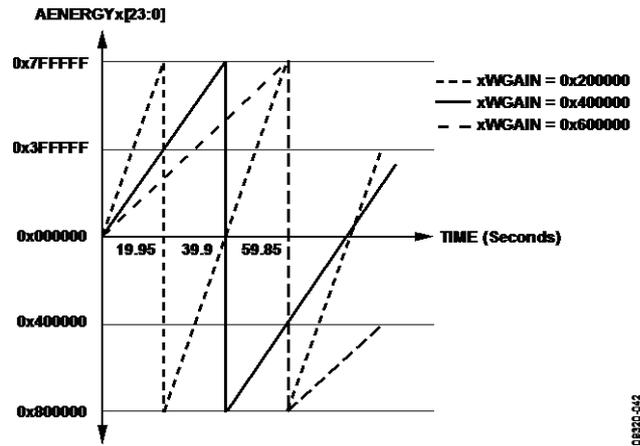


図 46. 電力量レジスタのロールオーバー時間

電力量レジスタ値は負側フル・スケール(0x800000)へロールオーバーして、電力又は電力量の流れが正の時、値の増加が続く事に注意してください。逆に、電力が負の場合は、電力量レジスタは正側フルスケール(0x7FFFFFFF)にアンダーフローして、値の減少が続きます。

AENERGYA と AENERGYB はデフォルトではリセット読み出しレジスタです。リセット読み出しレジスタとは、これらのレジスタの値が読み出し動作後に"0"にリセットされる事を意味します。この機能は LCYCMODE レジスタ (アドレス 0x004) のビット 6 (RSTREAD) をクリアする事によりディスエーブルにすることが出来ます。

ADE7953 には有効電力量レジスタがハーフスケール (正又は負) の時、あるいはオーバーフロー又はアンダーフロー状態が生じた時トリガーされる 2 セットの割り込みがあります。1 セット目の割り込みは電流チャンネル A の有効電力量に関連しています、そして 2 セット目の割り込みは電流チャンネル B の有効電力量に関連しています。これらの割り込みはデフォルトでディスエーブルですが、電流チャンネル A の場合 IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の AEHFA と AEOFA ビットをセットする事により、又電流チャンネル B の場合は IRQENB レジスタ (アドレス 0x22F とアドレス 0x32F) の AEHFB と AEOFB をセットする事によりイネーブルにすることが出来ます。

### 定常負荷での有効電力量の積分時間

積算レジスタのディスクリット時間サンプル周期 (T) は 4.76 μs (1/210 kHz) です。アナログ入力が入力フルスケール正弦波信号で、かつ AWGAIN と BWGAIN レジスタが 0x400000 に設定されると、パルスが発生し、4.76 μs ごとに AENERGYA と AENERGYB レジスタに加算されます。レジスタがオーバーフローしないで 24 ビット AENERGYA と AENERGYB レジスタに格納できる最大の正の値は 0x7FFFFFFF です。これらの条件での積分時間は次のように計算されます。

$$\text{時間} = 0x7FFFFFFF \times 4.76 \mu s = 39.9 \text{ 秒} \quad (11)$$

有効電力のライン・サイクル積算モード

有効電力のライン・サイクル積算モードでは、ADE7953の電力量積算が電圧チャンネルのゼロ交差に同期されているので、有効電力量をハーフ・ライン・サイクルの整数回の間積算する事ができます。この機能は電流チャンネルAと電流チャンネルBの有効電力量の両方で可能です。ハーフ・ライン・サイクルの整数回の間有効電力量を合計する利点は有効電力量のサイン成分が"0"に減る事です。(式12と式15を参照)これにより、電力量計算内のすべてのリップルが除去されます。積分時間を短くすることができるので、電力量をより正確にかつより短時間で計算することができます。ライン・サイクル積算モードは高速キャリブレーションに使用でき、又指定した期間の平均電力を得るために使用する事ができます。式6を使う事により、電力量積算の次の式を導く事ができます。

$$P(t) = VI - [LPF] \times \cos(2\omega t) \tag{12}$$

$$E(t) = \int_0^{nT} VI dt - [LPF] \times \int_0^{nT} \cos(2\omega t) dt \tag{13}$$

ここで、  
nは整数です。  
Tはライン・サイクル周期。

正弦波成分はライン・サイクルの整数回の間積分されるため、その値は常にゼロになります。したがって、

$$E(t) = \int_0^{nT} VI dt + 0 \tag{14}$$

$$E = VInt \tag{15}$$

ライン・サイクル積算モードはデフォルトでディスエーブルですが、電流チャンネルAと電流チャンネルBはそれぞれLCYCMODEレジスタ(アドレス0x004)のALWATTビットとBLWATTビットを1にセットする事によりイネーブルにする事ができます。積算時間をハーフ・ライン・サイクル数の単位でLINECYCレジスタ(アドレス0x101)に書き込む必要があります。ADE7953は、最大65,535のハーフ・ライン・サイクル数までの電力量の積算が可能です。これは50Hz入力の場合約655秒、60Hzの入力の場合546秒の積算期間と同等になります。

LINECYCレジスタに書き込まれるハーフ・ライン・サイクル数は電流チャンネルAと電流チャンネルBの両方の積算期間に使用されます。ライン・サイクルの積算サイクルが終了した時、AENERGYAレジスタとAENERGYBレジスタは更新され、IRQSTATUSレジスタ(アドレス0x22Dとアドレス0x32D)のCYCENDフラグがセットされます。IRQENAレジスタのCYCENDビットがセットされると、IRQピンから外部割り込みが発行されます。IRQピンをこの方法でライン・サイクル積算の完了を知らせるために使う事もできます。LCYCMODEレジスタ内のALWATTビットとBLWATTビットがセットされている限り、次の積算サイクルが直ちに開始します。

AENERGYAレジスタとAENERGYBレジスタの内容はCYCENDフラグに同期して更新されます。AENERGYAレジスタとAENERGYBレジスタは、次のライン・サイクル期間の終了(この時内容が新しい読み出し値に変更される)までそれらの現在の値を保持します。LCYCMODEレジスタ(アドレス0x004)のリセット読み出しビット(RSTREAD)がセットされていれば、AENERGYAレジスタとAENERGYBレジスタの内容は読み出し後クリアされ次のライン・サイクル期間の終わりまで"0"を維持します。

もし新しい値がライン・サイクル積算の途中でLINECYCレジスタ(アドレス0x101)に書き込まれた場合、その新しい値は内部的にはライン・サイクル期間が終了するまでロードされません。読み出し途中でLINECYCレジスタが更新された時、現在の電力量積算サイクルは完了し、次に次のサイクルに備えて新しい値がプログラムされます。これによりLINECYCレジスタ(図47を参照)の変更に伴うすべての無効な読み出しを防止します。

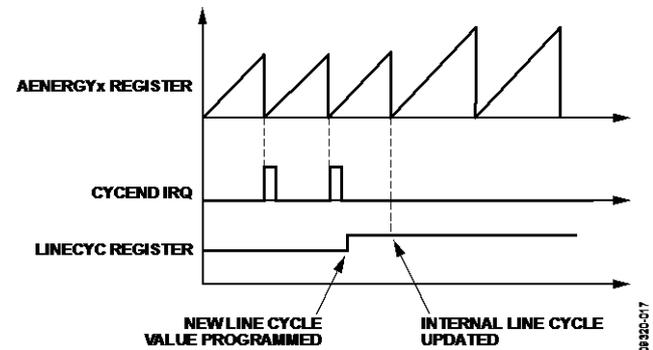


図 47.LINECYCレジスタの変更

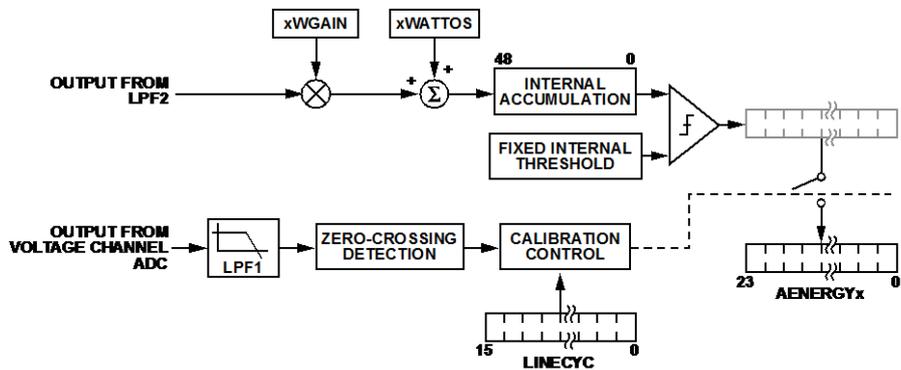


図 48.有効電力のライン・サイクル積算

# ADE7953

ライン・サイクル積算モードを最初にイネーブルにした時の最初の CYCEND フラグ後の読み出し値は精度が悪い可能性があるので無視してください。これはライン・サイクル積算モードがゼロ交差に同期していないので、始めの読み出し値は完全なハーフ・ライン・サイクル数の読み出しではない可能性があるからです。最初のライン・サイクル積算が終了した後の後続のすべての読み出し値は正しい値です。

## 有効電力量の積算モード

### 符号付き電力量積算モード

ADE7953 のデフォルトの有効電力量積算モードは有効電力情報に基づいた符号付き積算です。

### 正側限定積算モード

ADE7953 には電流チャンネル A と電流チャンネル B の有効電力量のための正側限定積算モードがあります。正側限定積算モードでは、電力量積算は正の電力に限定して行われ、無負荷しきい値の上下に発生するすべての負電力を無視します。(図 49.を参照)

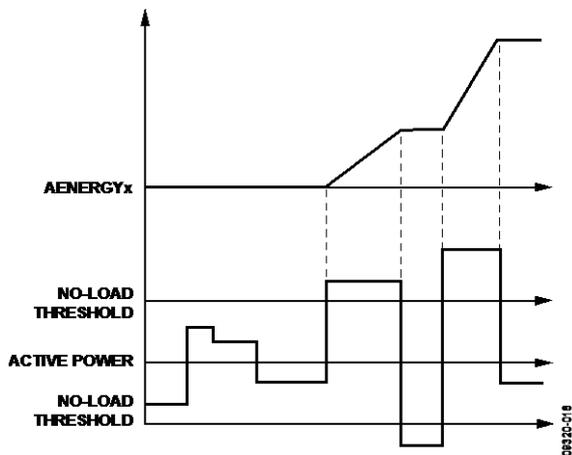


図 49.正側限定積算モード

正側限定積算モードはデフォルトでディスエーブルですが、電流チャンネル A と電流チャンネル B についてそれぞれ ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) の AWATTACC ビットと BWATTACC ビットを "01" にセットする事によりイネーブルにする事ができます。

イネーブルの場合、正側限定積算モードは CF 出力ピンと同様に電力量積算レジスタの AENERGYA と AENERGYB の両方にも影響を及ぼします。(電力量/周波数変換のセクションを参照)。正側限定積算モードが電流チャンネルでイネーブルの時、その電流チャンネルについては逆電力機能が無効になる事に注意してください(逆向き電力のセクションを参照)。

### 絶対積算モード

ADE7953 には電流チャンネル A と電流チャンネル B の有効電力量のための絶対積算モードがあります。絶対積算モードでは、電力量積算は絶対有効電力を使用して行われ、無負荷しきい値以下で発生するすべての電力量を無視します(図 50 を参照)。

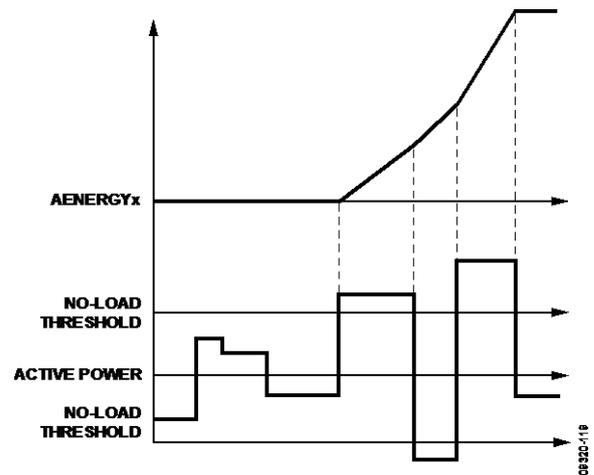


図 50.有効電力量絶対積算モード

絶対積算モードはデフォルトでディスエーブルですが、電流チャンネル A と電流チャンネル B について、それぞれ ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) の AWATTACC ビットと BWATTACC ビットを "10" にセットする事によりイネーブルにする事ができます。

イネーブルの場合、絶対積算モードは CF 出力ピンと同様に電力量積算レジスタの AENERGYA と AENERGYB の両方に影響を及ぼします(電力量/周波数変換のセクションを参照)。絶対積算モードが電流チャンネルでイネーブルの時、その電流チャンネルに関しては逆電力機能が無効になる事に注意してください(逆向き電力のセクションを参照)。

## 無効電力の計算

無効電力は、電圧波形と電流波形との間に 90°の位相差がある場合の両波形の積として定義されます。その結果得られた波形は瞬时无効電力信号と呼ばれます。

式 16 は、電流チャンネルの位相が+90°シフトしている時の AC システムの瞬时无効電力信号を表しています。

$$RP(t) = V(t) \times I'(t) \tag{16}$$

$$RP(t) = VI \times \sin(\theta) + VI \times \sin(2\omega t + \theta) \tag{17}$$

$$V(t) = \sqrt{2} \times V \times \sin(\omega t + \theta) \tag{18}$$

$$I(t) = \sqrt{2} \times I \times \sin(\omega t) \tag{19}$$

$$I'(t) = \sqrt{2} \times I \times \sin\left(\omega t + \frac{\pi}{2}\right) \tag{20}$$

ここで、  
 V は rms 電圧です。  
 I は rms 電流です。  
 θ は電圧チャンネルと電流チャンネルとの間の位相差です。

整数のライン・サイクル数(n)の間の平均無効電力は式 21 で与えられます。

$$RP = \frac{1}{nT} \int_0^{nT} RP(t) dt = VI \times \sin(\theta) \tag{21}$$

ここで、  
 RP は無効電力です。  
 T はライン・サイクル周期

無効電力は瞬間無効電力信号 (式 16 の RP(t)) の DC 成分に等しくなります。ADE7953 はこの関係を使用して無効電力を計算します。ADE7953 の無効電力、無効電力量の計算のためのシグナル・チェーンを図 51 に示します。

瞬时无効電力信号 RP(t) は、電流信号と電圧信号を乗算することにより生成されます。瞬時計算は電流チャンネル A と電流チャンネル B を使用して行われます。乗算は 1.23kHz 帯域全体にわたって行われるので無効電力量の測定値にはこの範囲の全高調波が含まれます。

ADE7953 の無効電力の測定は周波数範囲全体に渡って安定しています。次に、ローパス・フィルタを使って瞬时无効電力信号の DC 成分を取り出し、無効電力情報を得ます。

無効電力信号パス内にある LPF の周波数応答は、有効電力計算に使用される LPF の周波数応答と同等です。LPF は理想的な"阻止"周波数応答を持たないので、無効電力信号はその事が原因で多少のリップルを持っています。このリップルは正弦波で、周波数はライン周波数の 2 倍です。リップルは本質的に正弦波なので、無効電力信号を積分して無効電力量を算出する時に除去されます (電力量/周波数変換のセクションを参照)。

ADE7953 は電流チャンネル A と電流チャンネル B の無効電力を同時に計算し、得られた測定値をそれぞれ AVAR (アドレス 0x214 とアドレス 0x314) レジスタと BVAR (アドレス 0x215 とアドレス 0x315) レジスタに格納します。フルスケール入力における AVAR レジスタと BVAR レジスタの期待値は約 5,000,000 LSBs (10 進法) です。

無効電力レジスタは 6.99 kHz のレートで更新され、波形サンプリング・モードを使って読み出すことができます (瞬時電力と波形サンプリングのセクションを参照)。

### 無効電力量計算の符号

ADE7953 の無効電力の測定は符号付き計算です。もし電流波形が電圧波形より進んでいけば、無効電力は負です。負の無効電力は容量性負荷を意味します。もし電流波形が電圧波形より遅れている場合は、無効電力は正です。正の無効電力は誘導性負荷を意味します。ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) は電流チャンネル A (VARSIGN\_A) と電流チャンネル B (VARSIGN\_B) の無効電力の符号を表す符号表示ビットを含みます。詳細については、符号表示のセクションを参照してください。

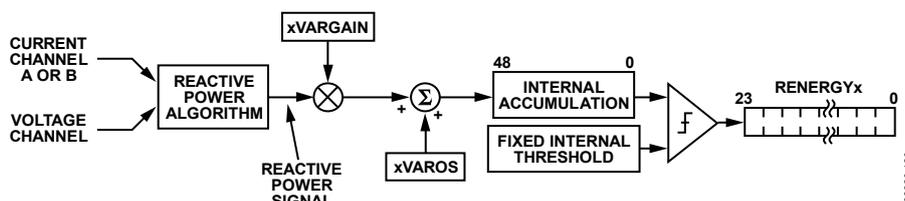


図 51.無効電力量のシグナル・チェーン

## 無効電力量計算

ADE7953 は無効電力信号の積分を2段で行います。一段目では内部の固定されたしきい値に到達するまで、143 μs (6.99 kHz) ごとに無効電力信号が内蔵 48 ビットレジスタに積算されます。このしきい値に到達した時、パルスが発生し、ユーザからアクセス可能な 24 ビット積算レジスタに積算されます。内部のしきい値の結果、フルスケール入力での最大積算レートは約 210 kHz になります。このプロセスは電流チャンネル A と電流チャンネル B に同時に起こり、その結果得られる測定値は 24 ビットの RENERGYA (アドレス 0x220 とアドレス 0x320) レジスタ と RENERGYB (アドレス 0x221 とアドレス 0x321) レジスタから読み出すことができます。2 段の積算は符号付きなので、負電力量は正電力量から減算されます。

無効電力量レジスタの内容は、電力又は電力量の流れが正の時、負側フル・スケール(0x800000)へロールオーバーし、値の増加が続く事に注意してください。逆に、電力が負の場合は、電力量レジスタは正側フルスケール(0x7FFFFFFF)にアンダーフローして、値の減少が続きます。

RENERGYA と RENERGYB はデフォルトではリセット読み出しレジスタです。これはこれらのレジスタの値が読み出し動作後に"0"にリセットされる事を意味します。この機能は LCYCMODE レジスタ (アドレス 0x004) のビット 6(RSTREAD)をクリアする事によりディスエーブルにすることができます。

ADE7953 には無効電力量レジスタがハーフスケール (正又は負) あるいはオーバーフロー又はアンダーフロー状態が生じた時トリガーされる 2 セットの割り込みがあります。1 セット目の割り込みは電流チャンネル A の無効電力量に関係しています、そして 2 セット目の割り込みは電流チャンネル B の無効電力量に関係しています。これらの割り込みはデフォルトでディスエーブルですが、電流チャンネル A の場合 IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の VAREHFA ビットと VAREOFA ビットをセットする事により、又電流チャンネル B の場合は IRQENB レジスタ (アドレス 0x22F とアドレス 0x32F) の VAREHFB ビットと VAREOFB ビットをセットする事によりイネーブルにすることができます。

## 定常負荷での無効電力量の積分時間

積算レジスタのディスクリート時間のサンプル周期(T)は 4.76 μs (1/210 kHz)です。アナログ入力にフルスケールのサイン波が加わり、位相シフトが 90°の時、パルスが発生し 4.76 μs ごとに RENERGYA と RENERGYB レジスタに加算されます。(AVARGAIN レジスタと BVARGAIN レジスタは 0x00 にセットされていると仮定) レジスタがオーバーフローする前に 24 ビット RENERGYA レジスタ と RENERGYB レジスタに格納できる最大の正の値は 0x7FFFFFFF です。これらの条件での積分時間は次のように計算されます。

$$\text{時間} = 0x7FFFFFFF \times 4.76 \mu\text{s} = 39.9 \text{ 秒} \quad (22)$$

## 無効電力量のライン・サイクル積算モード

無効電力量のライン・サイクル積算モードでは、ADE7953 の電力量積算が電圧チャンネルのゼロ交差に同期しているので、電流チャンネル A と電流チャンネル B の無効電力量をハーフ・ライン・サイクルの整数回の間積算する事ができます。ライン・サイクル積算モードはデフォルトでディスエーブルですが、電流チャンネル A と電流チャンネル B はそれぞれ LCYCMODE レジスタ (アドレス 0x004) の ALVAR ビットと BLVAR ビットを 1 にセットする事によりイネーブルにすることができます。

積算時間はハーフ・ライン・サイクル数の単位で LINECYC レジスタ (アドレス 0x101) に書き込む必要があります。

LINECYC レジスタに書き込まれるハーフ・ライン・サイクル数は電流チャンネル A と電流チャンネル B の両方の積算期間に使用されます。ADE7953 は、最大 65,535 ハーフ・ライン・サイクルまでの無効電力量の積算が可能です。これは 50Hz 入力で約 655 秒と 60Hz で 546 秒の積算期間と同等です。

ライン・サイクル積算サイクルの終わりに、RENERGYA レジスタと RENERGYB レジスタは更新され、IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) で CYCEND フラグがセットされます。IRQENA レジスタの CYCEND ビットがセットされると、IRQピンから外部割り込みが発行されます。この方法で、ライン・サイクル積算の終わりを知らせるために IRQピンを使う事もできます。LCYCMODE レジスタ内の ALVAR ビットと BLVAR ビット がセットされている限り、次の積算サイクルが直ちに開始します。

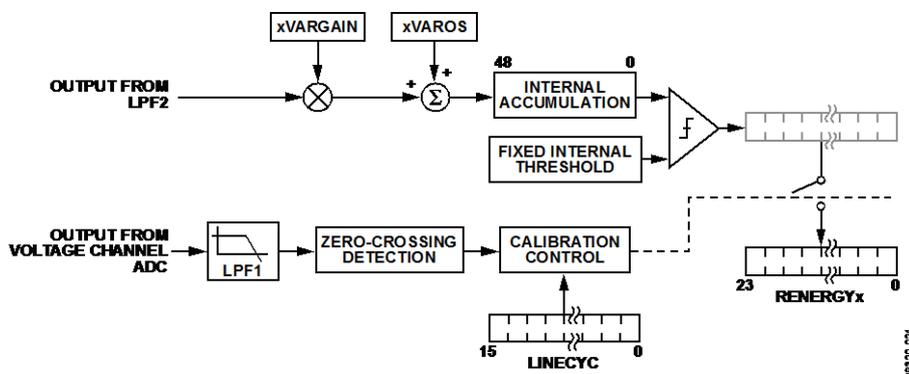


図 52.無効電力量のライン・サイクル積算

REENERGYA レジスタと REENERGYB レジスタの内容は CYCEND フラグに同期して更新されます。REENERGYA レジスタと REENERGYB レジスタは、次のライン・サイクル周期が終わって内容が新しい測定値に変わるまでそれらの現在の値を保持します。LCYCMODE レジスタ (アドレス 0x004) のリセット読み出しビット (RSTREAD) がセットされている場合は、REENERGYA レジスタと REENERGYB レジスタの内容は読み出し後クリアされ次のライン・サイクル周期の終わりまで 0 を維持します。

もし新しい値がライン・サイクル積算の途中で LINECYC レジスタ (アドレス 0x101) に書き込まれた場合、その新しい値は内部的にはライン・サイクル周期が終了するまでロードされません。LINECYC レジスタが読み出し途中で更新された時、現在の電力量積算サイクルは完了し、次に次のサイクルに備えて新しい値がプログラムされます。これにより LINECYC レジスタ (図 47 を参照) の変更に伴うすべての無効な読み出しが防止されます。

ライン・サイクル積算モードを最初にイネーブルにした時、最初の CYCEND フラグ後の読み出し値は精度が悪い可能性があるため無視してください。これはライン・サイクル積算モードがゼロ交差に同期していないので、始めの読み出し値は完全なハーフ・ライン・サイクル数の読み出しではない可能性があるからです。最初のライン・サイクル積算が終了した後の後続のすべての読み出し値は正しい値です。

## 無効電力の積算モード

### 符号付き電力量積算モード

ADE7953 のデフォルトの無効電力量積算モードは有効電力情報に基づいた符号付き積算です。

### 改ざん防止積算モード

ADE7953 には有効電力の符号により無効電力量を積算する改ざん防止積算モードがあります。有効電力が正の時、無効電力が無効電力量の積算レジスタに加算されます。有効電力が負の時、無効電力は無効電力量積算レジスタから減算されます (図 53 を参照)。

正側のみ積算モードはデフォルトではディスエーブルですが、電流チャンネル A と電流チャンネル B についてそれぞれ ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) の AVARACC ビットと BVARACC ビットを "01" にセットする事によりイネーブルにする事ができます。イネーブルの場合、改ざん防止積算モードは CF 出力ピンと同様に無効電力量積算レジスタの REENERGYA と REENERGYB の両方にも影響を及ぼします (電力量/周波数変換のセクションを参照)。

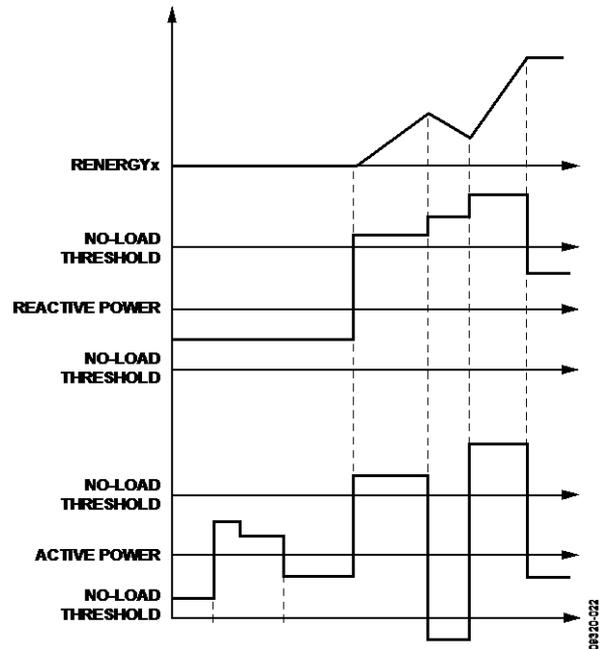


図 53.改ざん防止積算モードの無効電力量積算

## 絶対積算モード

ADE7953 には電流チャンネル A と電流チャンネル B の無効電力量のための絶対積算モードがあります。絶対積算モードでは、電力量積算は絶対無効電力を使用して行われ、無負荷しきい値以下で発生するすべての電力量を無視します (図 54 を参照)。

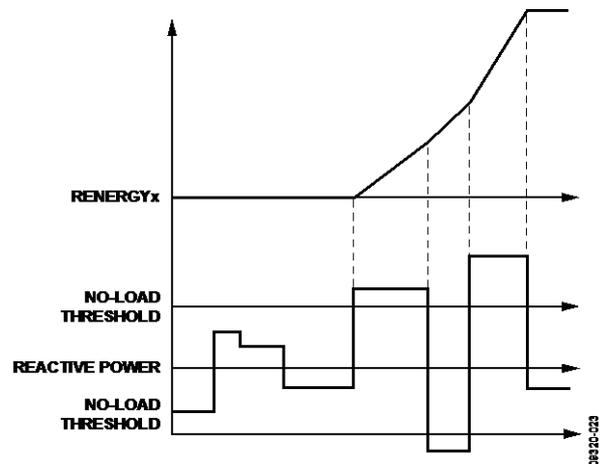


図 54.無効電力量の絶対積算モード

絶対積算モードはデフォルトでディスエーブルですが、電流チャンネル A と電流チャンネル B についてそれぞれ ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) の AVARACC ビットと BVARACC ビットを "10" にセットする事によりイネーブルにする事ができます。

イネーブルの場合、絶対積算モードは CF 出力ピンと同様に電力量積算レジスタの REENERGYA と REENERGYB にの両方に影響を及ぼします (電力量/周波数変換セクションを参照)。

## 皮相電力の計算

皮相電力は、負荷に供給する事のできる最大電力として定義されます。VRMS と IRMS はそれぞれ負荷に供給される実効電圧と実効電流です。従って皮相電力は VRMS と IRMS の積として定義する事ができます。この関係は電圧と電流との間の位相角からは独立しています。

式 26 は、AC 信号の瞬時皮相電力信号を与える式です。

$$V(t) = \sqrt{2} \times VRMS \times \sin(\omega t) \quad (23)$$

$$I(t) = \sqrt{2} \times IRMS \times \sin(\omega t + \theta) \quad (24)$$

$$P(t) = V(t) \times I(t) \quad (25)$$

$$P(t) = VRMS \times IRMS \times \cos(\theta) - VRMS \times IRMS \times \cos(2\omega t + \theta) \quad (26)$$

ADE7953 は電流チャンネル A と電流チャンネル B の皮相電力を同時に計算し、その結果得られた測定値をそれぞれ AVA (アドレス 0x210 とアドレス 0x310)レジスタと BVA (アドレス 0x211 とアドレス 0x311)レジスタに格納します。

皮相電力測定は 1.23kHz の帯域全体で行われ、その範囲内のすべての高調波の影響を含みます。皮相電力レジスタは 6.99 kHz のレートで更新され、波形サンプリング・モードを使って読み出すことができます (瞬時電力と波形サンプリングのセクションを参照)。

## 皮相電力量の計算

皮相電力量は、皮相電力の積分として与えられます。

$$ApparentEnergy = \int ApparentPower(t) dt \quad (27)$$

ADE7953 は皮相電力信号の積分を 2 段で実行します。初段では内部の固定されたしきい値に到達するまで、143 μs (6.99 kHz) ごとに皮相電力信号が内蔵 48 ビットレジスタに積算されます。このしきい値に到達した時、パルスが発生し、ユーザからアクセス可能な 24 ビット積算レジスタに積算されます。内部しきい値の結果フルスケール入力での最大積算レートは約 210 kHz になります。

このプロセスは電流チャンネル A と電流チャンネル B に同時に起こり、その結果の測定値は 24 ビットの APENERGYA (アドレス 0x222 とアドレス 0x322)レジスタ と APENERGYB (アドレス 0x223 とアドレス 0x323)レジスタから読み出すことができます。

皮相電力量レジスタ値は負側フル・スケール(0x800000)へロールオーバーし、電力又は電力量の流れが正の時、値の増加が続く事に注意してください。逆に、電力が負の場合は、電力量レジスタは正側フルスケール(0x7FFFFFFF)にアンダーフローして、値の減少が続きます。

APENERGYA と APENERGYB はデフォルトではリセット読み出しレジスタです。これはこれらのレジスタの値が読み出し動作後に"0"にリセットされる事を意味します。この機能は LCYCMODE レジスタ (アドレス 0x004) のビット 6(RSTREAD)をクリアする事によりディスエーブルにすることができます。

ADE7953 には皮相電力量レジスタがハーフスケール (正又は負) あるいはオーバーフロー又はアンダーフロー状態が生じた時トリガーされる 2 セットの割り込みがあります。1 セット目の割り込みは電流チャンネル A の皮相電力量に関係しています、そして 2 セット目の割り込みは電流チャンネル B の皮相電力量に関係しています。

これらの割り込みはデフォルトでディスエーブルですが、電流チャンネル A の場合 IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の VAEHFA ビットと VAE OFA ビットをセットする事により、又電流チャンネル B の場合は IRQENB レジスタ (アドレス 0x22F とアドレス 0x32F) の VAEHFB ビットと VAE OFB ビットをセットする事によりイネーブルにすることができます。

## 定常負荷での皮相電力量の積分時間

積算レジスタのディスクリート時間サンプル周期(T)は 4.76 μs (1/210 kHz)です。アナログ入力がフルスケール・サイン波信号の場合、パルスが発生し、4.76 μs ごとに APENERGYA と APENERGYB レジスタに加算されます。(AVAGAIN と BVAGAIN レジスタが 0x00 にセットされていると仮定) レジスタがオーバーフローする前に 24 ビット APENERGYA レジスタ と APENERGYB レジスタに格納できる最大の正の値は 0x7FFFFFFF です。これらの条件下での積分時間は次のように計算されます。

$$\text{時間} = 0x7FFFFFFF \times 4.76 \mu s = 39.9 \text{ 秒} \quad (28)$$

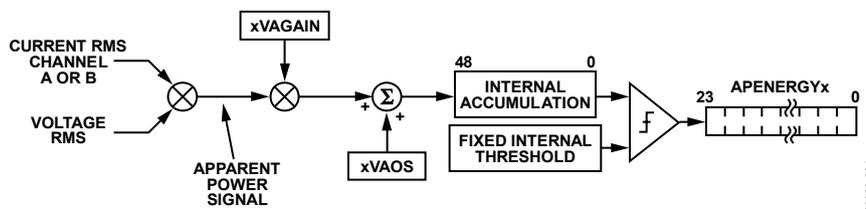


図 55.皮相電力量積算のシグナルチェーン

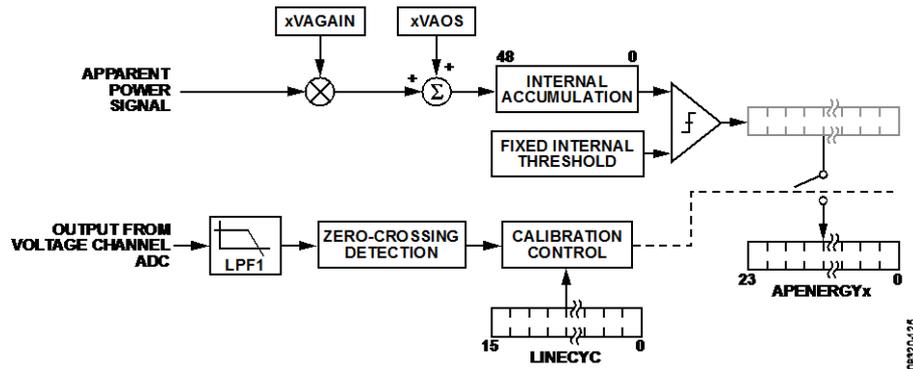


図 56.皮相電力量のライン・サイクル積算

### 皮相電力量のライン・サイクル積算モード

皮相電力量のライン・サイクル積算モードでは、ADE7953の電力量積算が電圧チャンネルゼロ交差に同期しているため、電流チャンネル A と電流チャンネル B の皮相電力量をハーフ・ライン・サイクルの整数回の間積算することができます。ライン・サイクル積算モードはデフォルトではディスエーブルですが、電流チャンネル A と電流チャンネル B についてはそれぞれ LCYCMODE レジスタ (アドレス 0x004) の ALVA ビットと BLVA ビットを "1" にセットする事によりイネーブルにすることができます。

積算時間はハーフ・ライン・サイクル数の単位で LINECYC レジスタ (アドレス 0x101) に書き込む必要があります。LINECYC レジスタに書き込まれるハーフ・ライン・サイクル数は電流チャンネル A と電流チャンネル B の両方の積算期間に使用されます。ADE7953 は、最大 65,535 ハーフ・ライン・サイクルまでの皮相電力量の積算が可能です。これは 50Hz 入力で約 655 秒と 60Hz で 546 秒の積算期間と同等です。

ライン・サイクル積算サイクルの終わりに、APENERGYA レジスタと APENERGYB レジスタは更新され、IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) の CYCEND フラグがセットされます。もし IRQENA レジスタの CYCEND ビットがセットされると、 $\overline{IRQ}$  ピンから外部割り込みがに発行されます。この方法で、ライン・サイクル積算の終わりを知らせるために  $\overline{IRQ}$  ピンを使う事もできます。LCYCMODE レジスタ内の ALVA ビットと BLVA ビットがセットされている限り、次の積算サイクルが直ちに開始します。

APENERGYA レジスタと APENERGYB レジスタの内容は CYCEND フラグに同期して更新されます。APENERGYA レジスタと APENERGYB レジスタは、次のライン・サイクル周期が終わって内容が新しい測定値に変わるまでそれらの現在の値を保持します。LCYCMODE レジスタ (アドレス 0x004) のリセット読み出しビット (RSTREAD) がセットされている場合は、APENERGYA レジスタと APENERGYB レジスタの

内容は読み出し後クリアされ次のライン・サイクル期間の終わりまで "0" を維持します。

もし新しい値がライン・サイクル積算の途中で LINECYC レジスタ (アドレス 0x101) に書き込まれた場合、その新しい値は内部的にはライン・サイクル期間が終了するまでロードされません。LINECYC レジスタが読み出し途中で更新された時、現在の電力量積算サイクルは完了し、次のサイクルに備えて新しい値がプログラムされます。これにより LINECYC レジスタ (図 47 を参照) の変更に伴うすべての無効な読み出しを防止します。

ライン・サイクル積算モードを始めイネーブルにした時の最初の CYCEND フラグ後の読み出し値は精度が悪い可能性があるため無視してください。これはライン・サイクル積算モードがゼロ交差に同期していないので、始めの読み出し値は完全なハーフ・ライン・サイクル数の読み出しではない可能性があるからです。最初のライン・サイクル積算が終了した後の後続のすべての読み出し値は正しい値です。

### アンペア時の積算

(電力量計に電圧が全く出ない) 改ざん状態の時、ADE7953 は APENERGYA レジスタと APENERGYB レジスタに皮相電力の代わりにアンペア時の測定値を積算することができます。イネーブルの時、皮相電力の代わりに、電流チャンネル A と電流チャンネル B の IRMS 測定値が連続して積算されます。イネーブルの時、皮相電力 CF 出力ピンは又アンペア時の測定値を反映します (電力量/周波数変換のセクションを参照)。皮相電力と皮相電力量の積算に使用されるすべての信号処理とキャリブレーション・レジスタはアンペア時積算モードがイネーブルの時アクティブを保ちます。これには皮相電力量無負荷機能も含まれます (皮相電力量の無負荷検出のセクションを参照)。IRMS と皮相電力信号の間で内部的なスケールリングの違いがあるので、このモードでは再キャリブレーションが要求されます。

## 電力量/周波数変換

ADE7753 はキャリブレーション用に 2 つの電力量/周波数変換を提供します。工場出荷時の初期キャリブレーションの後に、メーカー又は最終顧客はしばしば計器精度の検証をする事が要求されます。これを行う 1 つの便利な方法は定常負荷条件下での有効電力、無効電力、皮相電力又は電流 rms に比例する出力周波数を提供する事です。この出力周波数は、外部キャリブレーション装置とインターフェースするために光学的に絶縁可能な簡単な 1 線式インターフェースを提供します。ADE7953 には 2 つの完全に設定可能なキャリブレーション周波数出力ピンがあります:CF1 (ピン 23) と CF2 (ピン 24)。電力量/周波数変換を図 57 に示します。

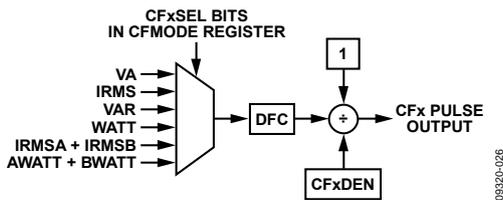


図 57.電力量/周波数変換

2 つのデジタル/周波数コンバータ(DFC)を使って、パルス出力を発生します。DFC は電力量レジスタに 1 LSB が積算されるごとに 1 つのパルスを発生します。DFC 出力で CFxDEN 数のパルスが発生した時、1 つの出力パルスが発生します。

CF1 ピンと CF2 ピンは電流チャンネル A 又は電流チャンネル B の有効電力、無効電力、皮相電力又は IRMS に比例する信号を出力するように設定することができます。さらに電流チャンネル A の IRMS と電流チャンネル B の IRMS の合計あるいは、電流チャンネル A の有効電力と電流チャンネル B の有効電力の合計に比例する信号を出力するように CF1 と CF2 を設定する事も可能です。この設定の場合再調整が必要です。なぜなら実際の CF 出力は電流チャンネル A の有効電力とチャンネル B の有効電力の合計を 2 分周した値に等しいからです。CF1 出力ピンと CF2 出力ピンは CF1SEL ビットと CF2SEL ビットを設定する事によりプログラムします。

2 つのパルス出力 (CF1 と CF2) はデフォルトでデイスエーブルですが、CFMODE レジスタ (アドレス 0x107) のそれぞれ CF1DIS ビットと CF2DIS ビットをクリアする事によりイネーブルにする事ができます。

### パルス出力特性

もしパルス周期が 160 ms (6.25 Hz) 以上長い場合は、2 つの DFC のパルス出力は 80 ms の間ロー・レベルを保ちます。パルス周期が 160 ms より短い場合は、パルス出力のデューティ・サイクルは 50% になります。パルス出力はアクティブ・ローです。CFxDEN = 0x00 で、AC 入力が入力フルスケールの場合、最大出力周波数は約 210 kHz です。

ADE7953 には CF1 ピンと CF2 ピンそれぞれの CF 出力周波数を制御する 2 つの符号無し 16 ビットレジスタ CF1DEN (アドレス 0x103) と CF2DEN (アドレス 0x104) が内蔵されています。16 ビット周波数スケーリング・レジスタは出力周波数を  $1/(2^{16}-1)$  ステップで  $1/(2^{16}-1)$  から 1 までスケーリングする事ができます。

## 電力量のキャリブレーション

### ゲイン・キャリブレーション

有効電力、無効電力、皮相電力の測定値を電流チャンネル A と電流チャンネル B についてそれぞれ別々にキャリブレーションする事ができます。このことにより計器ごとのゲインのばらつきを補正する事ができます。

AWGAIN レジスタ (アドレス 0x282 とアドレス 0x382) は電流チャンネル A の有効電力のゲイン・キャリブレーションを制御し、BWGAIN レジスタ (アドレス 0x28E とアドレス 0x38E) は電流チャンネル B の有効電力のゲイン・キャリブレーションを制御します。xWGAIn レジスタのデフォルト値はキャリブレーション無しに対応する 0x400000 です。xWGAIn レジスタに書き込む事のできる最小値は 0x200000 で、これはゲイン調整 -50% になります。xWGAIn レジスタに書き込む事のできる最大値は 0x600000 で、これはゲイン調整 +50% になります。式 29 に、ゲイン調整と xWGAIn レジスタの関係を示します。

力率 = (29)

$$\text{ActivePower} \times \left( \frac{xWGAIn}{0x400000} \right)$$

無効電力と皮相電力用に似たようなゲイン・キャリブレーション・レジスタがあります。電流チャンネル A と電流チャンネル B の無効電力はそれぞれ AVARGAIN (アドレス 0x283 とアドレス 0x383) と BVARGAIN (アドレス 0x28F と Address 0x38F) を使用してゲイン調整する事ができます。電流チャンネル A と電流チャンネル B の皮相電力はそれぞれ AVAGAIN (アドレス 0x284 とアドレス 0x384) と BVAGAIN (アドレス 0x290 とアドレス 0x390) を使いゲイン調整する事ができます。

xWGAIn レジスタが有効電力に影響を与えると同じ方法で xVARGAIN と xVAGAIN レジスタは無効電力と皮相電力に影響を与えます。従って無効電力と皮相電力のゲイン調整を表すために式 29 を修正して、式 30 と式 31 のように示す事ができます。

出力電力(VAR) = (30)

$$\text{ReactivePower} \times \left( \frac{xVARGAIN}{0x400000} \right)$$

出力電力(VA) = (31)

$$\text{ApparentPower} \times \left( \frac{xVAGAIN}{0x400000} \right)$$

### 電流チャンネルのゲイン調整

電流チャンネル B にもゲイン・キャリブレーション・レジスタが内蔵されています。簡単なキャリブレーションと計算を行うために、このレジスタを使って電流チャンネル B を電流チャンネル A にマッチングさせる事ができます。電流チャンネル B のゲイン・キャリブレーションは BIGAIN レジスタ (アドレス 0x28C とアドレス 0x38C) を使用して実行されます。式 32 に、ゲイン調整と IRMSB レジスタの関係を示します。

IRMSB Expected = (32)

$$IRMSB_{INITIAL} \times \left( \frac{BIGAIN}{0x400000} \right)$$

電圧チャンネルと電流チャンネル A にも同じようなレジスタがあります。VGAIn レジスタ (アドレス 0x281 とアドレス 0x381) と AIGAIn レジスタ (アドレス 0x280 とアドレス 0x380) は BIGAIN レジスタと同じような方法でキャリブレーション調整と機能を提供します。

### 位相のキャリブレーション

ADE7953 は本質的に位相誤差が発生する電流トランスデューサを含んだ各種電流トランスデューサといっしょに動作するように設計されています。0.1° ~ 0.3° の位相誤差は電流トランスデューサ (CT) に共通ではありません。これらの位相誤差は各製品毎に変動するため、正確な電力の測定値を得るには補正する必要があります。位相の不一致に関連した誤差は、特に低い力率で目立ちます。ADE7753 は、時間遅れ又は時間進みを導入する事により、これらの小さな位相誤差をデジタル的にキャリブレーションする方法を提供します。

異なるセンサーが電流チャンネル A と電流チャンネル B に使用される可能性があるため、各チャンネルに別々の位相キャリブレーション用レジスタが内蔵されています。電流チャンネル A の位相誤差を修正するには PHCALA レジスタ (アドレス 0x108) を使用する事ができ、又電流チャンネル B の位相誤差を修正するには PHCALB レジスタ (アドレス 0x109) を使用する事ができます。両方のレジスタは 10 ビット符号付き数値フォーマットで、時間遅れか時間進みかを表す MSB が対応する電流チャンネルに追加されています。PHCALx レジスタの MSB に "0" を書き込む事により電流チャンネルに時間遅れが導入されます。PHCALx レジスタの MSB に "1" を書き込む事により時間進みが導入されます。

PHCALx[8:0] に書き込む事のできる最大の範囲は 383 (10 進法) です。PHCALx レジスタの 1LSB は 1.12 μs(CLKIN/4) の時間遅れ又は時間進みと等価です。ライン周波数が 50 Hz の場合、分解能は 0.02°/LSB ((360 × 50 Hz)/898.857 kHz) になり、どちらの方向でも合計補正値は 7.66° になります。ライン周波数が 60 Hz の場合、分解能は 0.024°/LSB ((360 × 60 Hz)/898.857 kHz) になり、どちらの方向でも合計補正値は 9.192° になります。

## オフセット調整

### 電力のオフセット

ADE7953は電流チャンネルAと電流チャンネルBの有効電力、無効電力、皮相電力のオフセット調整用レジスタを内蔵しています。PCB上とADE7953内のチャンネル間クロストークにより電力計算にオフセットが生ずる可能性があります。オフセット調整を行う事によりこれらのオフセットが取り除かれ、低入力レベルでの測定精度を高める事ができます。

電流チャンネルAと電流チャンネルBの有効電力のオフセットはそれぞれAWATTOS(アドレス0x289とアドレス0x389)レジスタとBWATTOS(アドレス0x295とアドレス0x395)レジスタを調整する事により補正できます。xWATTOSレジスタは24ビット、符号付き、2の補数レジスタで、デフォルト値は"0"です。xWATTOSレジスタの1LSBは有効電力の測定値の0.001953LSBと等価です。従って図58に示すようにxWATTOS値は9ビットシフトして、xWATTレジスタに加えられる。

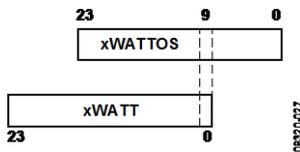


図58. xWATTOS と xWATT レジスタ

電圧チャンネルと電流チャンネルがフルスケール入力の時、電力の期待値は約5,000,000LSBs(10進法)です。電流チャンネルAと電流チャンネルBの入力が-60dB(1000:1)の時、AWATTレジスタとBWATTレジスタの期待値はそれぞれ約5000(10進法)です。従って、WATTレジスタの1LSBは-60dBで0.000039%に相当します。

電流チャンネルAと電流チャンネルBの無効電力のオフセットはそれぞれAVAROS(アドレス0x28Aとアドレス0x38A)レジスタとBVAROS(アドレス0x296とアドレス0x396)レジスタを調整する事により補正できます。xWATTOSレジスタが有効電力に影響を与えると同じ方法でxVAROSレジスタは無効電力に影響を与えます。

電流チャンネルAと電流チャンネルBの皮相電力のオフセットはそれぞれAVAOS(アドレス0x28Bとアドレス0x38B)レジスタとBVAOS(アドレス0x297とアドレス0x397)レジスタを調整する事により補正できます。xWATTOSレジスタが有効電力に影響を与えると同じ方法でxVAOSレジスタは皮相電力に影響を与えます。

### RMSのオフセット

ADE7953はrms測定値のオフセットを補正する事のできるオフセット調整用レジスタを内蔵しています。電流チャンネルAと電流チャンネルBのIRMS測定値用のための(VRMSの測定値用も同様に)オフセット調整用レジスタがあります。rms計算には $V^2(t)$ のDC成分に積分される入力ノイズに起因するオフセットが存在します。オフセット調整を行う事によりこれらのオフセットが取り除かれ、低入力レベルでの測定精度を高める事ができます。

電圧rmsオフセットはVRMSOSレジスタ(アドレス0x288とアドレス0x388)を調整する事により修正できます。この24ビット、符号付き、2の補数レジスタはデフォルト値が"0"で、これはオフセットの追加が無い事を表します。VRMSOS値は平方根関数の前に加えられます。式33は、VRMS測定値におけるVRMSOSレジスタの影響を示します。

$$VRMS = \sqrt{VRMS_0^2 + VRMSOS \times 2^{12}} \quad (33)$$

ここで $VRMS_0$ はオフセット調整前の初期のVRMS読み出し値です。

電流rmsオフセットも同じような方法でキャリブレーションされます。AIRMSOSレジスタ(アドレス0x286とアドレス0x386)はIRMSA測定値のオフセットを補正し、BIRMSOSレジスタ(アドレス0x292とアドレス0x392)はIRMSB測定値のオフセットを補正します。両方のレジスタは24ビット、符号付き、2の補数レジスタです。VRMSOSレジスタがVRMS測定値に影響を与えると同じ方法でxIRMSOSレジスタはIRMS測定値に影響を与えます。従って、式34と式35に示すように、式33を修正してIRMSのオフセット調整を表す事ができます。

$$IRMSA = \sqrt{IRMSA_0^2 + AIRMSOS \times 2^{12}} \quad (34)$$

$$IRMSB = \sqrt{IRMSB_0^2 + BIRMSOS \times 2^{12}} \quad (35)$$

## 周期測定

ADE7953は電圧チャンネルの周期測定を提供します。この測定値は16ビット、符号無し、周期レジスタ（アドレス0x10E）に格納されます。周期レジスタはライン周期毎に更新されるので、その事により周期測定が安定するまでに30ms～40msのセトリング時間がかかります。

周期測定値の分解能は4.48 μs/LSB (223 kHz clock)で、ライン周波数50Hzの時0.0224%に相当し、ライン周波数60Hzの時は0.0268%に相当します。

周期レジスタ値は50 Hz回路網では10進法で約4460(223 kHz/50 Hz)になり、60 Hz回路網では10進法で3716(223 kHz/60 Hz)になります。ラインが確立されていて、測定値が変わらない時、周期レジスタは±1 LSBで安定しています。

周期レジスタを使用しライン周期や周波数を計算するために次式を使用する事ができます。

$$T_L = \frac{\text{PERIOD}[1:5:0] + 1}{223\text{kHz}} \text{ sec}$$

(36)

## 瞬時電力と波形サンプリング

ADE7953 は瞬時の有効、無効、皮相の各電力とともに電流チャンネル、電圧チャンネルの波形データにアクセスできます。この情報により、高調波解析のための電流入力と電圧入力の再構築を含み、瞬時データをより詳細に解析することができます。これらの測定値は 24 ビット/32 ビット、符号付きレジスタ・セットから得られます。(表 7 を参照)

すべての測定値は 6.99 kHz のレート(CLKIN/512)で更新されます。ADE7953 は (6.99 kHz のレートでトリガーされる) 割り込みステータス・ビット (WSMP) を提供し、測定を瞬時信号の更新レートに同期させることができます。このステータス・ビットは IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) にあります。又、IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の WSMP ビット (ビット 17) を設定する事により、この信号を外部IRQピンの割り込みをトリガーするように設定することができます。

ADE7953 は又オプションとして同じ 6.99 kHz のレートで非ラッチ型、データ・レディ信号を提供します。この信号は WSMP 割り込みと同じ情報を提供しますが、それは非ラッチ型なので新しいデータが供給可能になるごとにサービスする必要はありません。データ・レディ信号は自動的にロー・レベルに戻る前 280 ns の間ハイ・レベルになります。データ・レディ信号はデフォルトでディスエーブルですが、ALT\_OUTPUT レジスタ (アドレス 0x110) の REVP\_ALT ビット、ZX\_ALT ビット、ZXI\_ALT ビットを 1001 にセットする事によりREVPピン、ZXピン、ZX\_Iピンから出力させる事ができます。

表 7. 波形サンプリング・レジスタ

測定	レジスタ	アドレス	
		24 ビット	32 ビット
有効電力 (電流チャンネル A)	AWATT	0x212	0x312
有効電力 (電流チャンネル B)	BWATT	0x213	0x313
無効電力 (電流チャンネル A)	AVAR	0x214	0x314
無効電力 (電流チャンネル B)	BVAR	0x215	0x315
皮相電力 (電流チャンネル A)	AVA	0x210	0x310
皮相電力 (電流チャンネル B)	BVA	0x211	0x311
電流 (電流チャンネル A)	IA	0x216	0x316
電流 (電流チャンネル B)	IB	0x217	0x317
電圧 (電圧チャンネル)	V	0x218	0x318

## 力率

ADE7953を使用する事により電流チャンネル A と電流チャンネル B の力率測定を同時に直接行う事ができます。AC回路の力率は皮相電力に対する負荷に流入する有効電力の比として定義されます。力率測定では”進み”又は”遅れ”について定義されていますが、これは電流波形が電圧波形に対して進んでいるか遅れているかを意味します。

もし電流波形が電圧波形より進んでいけば、負荷は容量性となり負の力率として定義されます。もし電流波形が電圧波形より遅れていけば、負荷は誘導性となり正の力率として定義されず。

電流波形の電圧波形に対する関係を図 59 に示します。

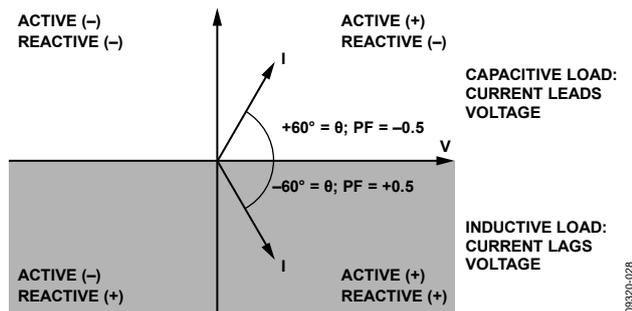


図 59. 容量負荷と誘導性負荷

図 59 に示すように、無効電力の測定値は負荷が容量性の時に負になり、負荷が容量性の時に正になります。従って無効電力の符号は力率の符号を表すために使用する事が出来ます。

力率の数学的な定義を式 37 に示します。

$$\text{力率} = \frac{\text{ActivePower}}{\text{ApparentPower}} \times (\text{Signof ReactivePower}) \quad (37)$$

力率測定には 1.23 kHz 帯域全体のすべての高調波の影響を含みます。

力率の測定値は 2 の 16 ビット符号付きレジスタに格納されます：電流チャンネル A は PFA (アドレス 0x10A)、電流チャンネル B は PFB (アドレス 0x10B)。これらのレジスタは力率の極性を示す MSB を含む符号付き、2 の補数レジスタです。PF<sub>x</sub> レジスタの各 LSB は 2<sup>-15</sup> の重みと同等です；従って最大レジスタ値 0x7FFF は力率 1 に対応します。最小レジスタ値 0x8000 は力率 -1 に対応します。

デフォルトでは、力率を計算するために瞬間有効電力と瞬間皮相電力の測定値が使用され、レジスタは 6.99 kHz のレートで更新されます。符号ビットは各チャンネルの瞬間無効電力量の測定値から取得します。

### ライン・サイクル積算モードを使用して力率を求める

より平均化した力率測定が求められる場合、ADE7953 は有効電力量と皮相電力量のライン・サイクル積算測定を使用して力率を求め事ができます。(有効電力のライン・サイクル積算モードと皮相電力のライン・サイクル積算モードのセクションを参照)。このオプションを利用するとより安定した力率の測定値が得られます。

力率を求めるために、ライン・サイクル積算モードを使用するには、ADE7953 を次のように設定する必要があります：

- CONFIG レジスタ(アドレス 0x102)の PFMODE ビット (ビット 3)を 1 にセットする。
- LCYCMODE レジスタ (アドレス 0x004)の xLWATT ビットと xLVA ビットを 1 にセットする事により、有効電力量と皮相電力量両方のライン・サイクル積算モードをイネーブルにする。

力率を求めるためにライン・サイクル積算を使用する時、力率測定の更新レートは整数のハーフ・ライン・サイクル数です。このハーフ・ライン・サイクル数は、LINECYC レジスタ(アドレス 0x101)に設定します。ライン・サイクル積算モードをセットアップする方法についての完全な情報は有効電力のライン・サイクル積算モードと皮相電力のライン・サイクル積算モードのセクションをご参照してください。

### 無負荷検出と力率

もし無負荷検出がイネーブルの場合、力率の測定値は無負荷状態によって影響されます。(無負荷検出のセクションを参照)無負荷検出がイネーブルで、無負荷状態が発生した場合のみ、次の考えが当てはまります。

- もし皮相電力量の無負荷状態が真であれば、力率の測定値は 1 にセットされます。なぜならその場合有効電力、無効電力が無いと仮定されるからです。
- もし有効電力量の無負荷状態が真であれば、力率の測定値は 0 にセットされます。なぜならそれは負荷が純粋の容量性又は誘導性になると仮定されるからです。
- もし無効電力量の無負荷状態が真であれば、力率の符号は有効電力量の符号に基づきます。

## 角度測定

ADE7953 は電流入力と電圧入力間の時間遅延を測定できます。この機能は電流チャンネル A と電流チャンネル B の両方で可能です。ゼロ交差検出回路によって検出される負から正への変化は測定の開始と終了として使用されます。(図 60 を参照)

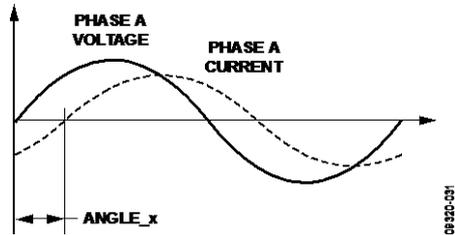


図 60.電流の電圧に対する時間遅延

ADE7953 は電流チャンネル A と電流チャンネル B の時間遅延の測定値を同時に提供します。その結果の測定値は 16 ビット、符号付きレジスタ `ANGLE_A` (アドレス `0x10C`) と `ANGLE_B` (アドレス `0x10D`) から得られます。`ANGLE_A` レジスタ又は `ANGLE_B` レジスタの 1LSB は  $4.47 \mu\text{s}$  ( $223 \text{ kHz}$  クロック) に相当します。これは  $50 \text{ Hz}$  の場合は分解能が  $0.0807^\circ$  ( $(360 \times 50)/223 \text{ kHz}$ ) になり、 $60 \text{ Hz}$  の場合は分解能が  $0.0969^\circ$  ( $(360 \times 60)/223 \text{ kHz}$ ) の結果になります。

電流入力と電圧入力間の時間遅延は負荷のバランスの程度を特性化するのに使用する事ができます。相電圧と相電流の間の遅延は式 38 に示すように電流チャンネル A と電流チャンネル B それぞれの力率を計算するのに使用する事ができます。

$$\cos \phi_x = \cos \left( ANGLE_x \times \frac{360^\circ \times f_{LINE}}{223 \text{ kHz}} \right) \quad (38)$$

ここで、

$x = A$  又は  $B$ 。

$f_{LINE}$  は  $50 \text{ Hz}$  又は  $60 \text{ Hz}$  です。

力率を決定するこの方法には高調波の影響を全く計算にいれていません。従って、式 37 に示した力率の真の定義とは等しくならない可能性があります。

## 無負荷検出

ADE7953には”計器のクリープ”を軽減する無負荷検出機能があります。電力量計のクリープは負荷が接続されていない時に電力量計によって積算される過剰な電力量として定義されます。ADE7953はこの状態を警告し、もし電力量が設定したしきい値以下になったら電力量の積算を止めます。ADE7953には有効電力量、無効電力量、皮相電力量それぞれの測定に無負荷機能があります。この機能により真の無負荷状態を検出する事ができ、さらに純粋の抵抗性、誘導性又は容量性の負荷条件でのクリープを防ぐ事ができます。無負荷機能はデフォルトでイネーブルです。

### 無負荷しきい値の設定

有効電力量、無効電力量、皮相電力量の無負荷しきい値を設定する3つの別々の24ビット/32ビットレジスタがあります：AP\_NOLOAD(アドレス0x203とアドレス0x303)、VAR\_NOLOAD(アドレス0x204とアドレス0x304)、そしてVA\_NOLOAD(アドレス0x205とアドレス0x305)有効電力量、無効電力量、皮相電力量の無負荷しきい値は完全に独立しているので、3つのすべてのしきい値が必要とされます。3つのすべての測定に必要な無負荷しきい値は式39に基づいて設定されます。

$$X\_NOLOAD = 65,536 - \frac{Y}{1.4} \quad (39)$$

ここで、

XはAP, VAR, 又はVAです。

Yはフルスケール電力量を基準にした要求しきい値の大きさ(例えば20,000:1)です。

式39に示したように、無負荷しきい値をフルスケールを基準にした要求レベルに基づいて設定する事ができます。たとえばフルスケールの10,000:1の無負荷しきい値をもつ電流チャンネルが要求され、電圧チャンネルが±250 mV (50% of full scale)で動作するように設定されている場合、Yの値としては20,000が要求されます。AP\_NOLOADレジスタとVAR\_NOLOADレジスタにはデフォルト値58,393(10進法)がプログラムされていて、初期の無負荷しきい値が約10,000:1に設定されています。VA\_NOLOADレジスタのデフォルト値は0x00です。

無負荷機能をイネーブルにする前に、無負荷しきい値AP\_NOLOAD, VAR\_NOLOAD, VA\_NOLOADを書き込む必要があります。DISNOLOADレジスタ(アドレス0x001)を使って無負荷機能をイネーブルにします。しきい値を変更する必要がある場合は、無負荷検出をディスエーブルにして、しきい値を変更してから再びDISNOLOADレジスタを使って機能をイネーブルにします。

電流チャンネルAと電流チャンネルB(相電流とニュートラル電流)には別々の無負荷割り込みがありますが、両方共同無負荷レベルが使用されます。たとえば、VAR\_NOLOADレベルがフルスケールの0.05%に設定された場合、この値は電流チャンネルA(相)と電流チャンネルB(ニュートラル)の両方に使用される無効電力の無負荷しきい値になります。

### 有効電力量の無負荷検出

有効電力量の無負荷検出と無効電力量の無負荷検出を共に使用する事により、”真”の無負荷検出機能を形成する事ができます。有効電力量と無効電力量の両方が無負荷しきい値以下になった場合、抵抗性負荷、誘導性負荷又は容量性負荷は存在しません。誘導性負荷又は容量性負荷が存在する場合、有効電力量のクリープを防ぐためにも又有効電力量の無負荷検出機能を使用する事ができます。

もし電流チャンネルA(相)あるいは電流チャンネルB(ニュートラル)の有効電力量が設定したしきい値以下になった場合、そのチャンネルの有効電力量はそれぞれAENERGYAレジスタとAENERGYBレジスタでの積算を中止します。もしCF1ピン又はCF2ピンのいずれかが有効電力量を出力するように設定されていた場合には、CF出力はディスエーブルになりハイ・レベルに保たれます(電力量/周波数変換のセクションを参照)。イネーブルの場合、有効逆向き電力表示(REVP)は無負荷状態の間その現在の状態を保ちます。(逆向き電力セクションを参照)電流チャンネルAの有効電力量の無負荷状態はIRQSTATAレジスタ(アドレス0x22Dとアドレス0x32D)のAP\_NOLOADAビット(ビット6)によって表示されます。電流チャンネルBの有効電力量の無負荷状態はIRQSTATBレジスタ(アドレス0x230とアドレス0x330)のAP\_NOLOADBビット(ビット6)によって表示されます。

電流チャンネルAと電流チャンネルBは独立しているので、電流チャンネルAの無負荷状態は電力量の積算、CF出力、電流チャンネルAの逆向き電力のみに影響を与えます。そして逆も成り立ちます。

有効電力量の無負荷検出機能はデフォルトでイネーブルですが、DISNOLOADレジスタ(アドレス0x001)のビット”0”を”1”にセットする事によりディスエーブルにする事ができます。

### 有効電力量の無負荷割り込み

有効電力量の無負荷機能に関連する2つの割り込みがあります：1つは電流チャンネルA(相)用で、もう1つは電流チャンネルB(ニュートラル)用です。イネーブル時、これらの割り込みは有効電力量が設定したしきい値以下になった時トリガーされます。

電流チャンネルAの有効電力量の無負荷割り込みはIRQENAレジスタ(アドレス0x22Cとアドレス0x32C)のAP\_NOLOADAビット(ビット6)をセットする事によりイネーブルにする事ができます。このビットがセットされると、電流チャンネルAの有効電力量の無負荷イベントによりIRQピン(ピン22)が”0”になります(第一グループの割り込み(電圧チャンネルと電流チャンネルA)のセクションを参照)。

電流チャンネルBの有効電力量の無負荷割り込みはIRQENBレジスタ(アドレス0x22Fとアドレス0x32F)のAP\_NOLOADBビット(ビット6)をセットする事によりイネーブルにする事ができます。このビットがセットされた時、電流チャンネルBの有効電力量の無負荷イベントがIRQの代替出力をトリガーします(電流チャンネルBの割り込みのセクションを参照)。

## 有効電力量無負荷ステータス・ビット

有効電力量の無負荷割り込みに加え、ADE7953は電流チャンネルAと電流チャンネルBの無負荷状態を連続的にモニターする2つの非ラッチ型ビットを内蔵しています。

ACTNLOAD\_AビットとACTNLOAD\_BビットはACCMODEレジスタ(アドレス0x201とアドレス0x301)に配置されています。これらのビットは非ラッチ型でLEDの駆動に使用できる点で割り込みステータス・ビットとは異なります。

## 無効電力量の無負荷検出

無効電力量の無負荷検出を有効電力量の無負荷検出と組み合わせると”真”の無負荷機能を形成する事ができます。有効電力量と無効電力量の両方とも無負荷しきい値以下になった場合は、抵抗性負荷、誘導性負荷あるいは容量性負荷はありません。抵抗性負荷がある時、無効電力量の無負荷機能は無効電力量のクリープを防ぐためにも使用する事ができます。

もし電流チャンネルA(相)又は電流チャンネルB(ニュートラル)の無効電力量が設定したしきい値以下になった場合、そのチャンネルの無効電力量はそれぞれRENERGYAレジスタとRENERGYBレジスタでの積算を中止します。もしCF1ピン又はCF2ピンのいずれかが無効電力量が出力するように設定されている場合、CF出力はディスエーブルになりハイ・レベルに保たれます(電力量/周波数変換のセクションを参照)。イネーブルの場合、無効逆向き電力の表示は無負荷状態の間その現在の状態を保ちます(逆向き電力のセクションを参照)。電流チャンネルAの無効電力量の無負荷状態はIRQSTATAレジスタ(アドレス0x22Dとアドレス0x32D)のVAR\_NOLOADAビット(ビット7)によって示されます。電流チャンネルBの有効電力量の無負荷状態はIRQSTATBレジスタ(アドレス0x230とアドレス0x330)のVAR\_NOLOADBビット(ビット7)によって示されます。

電流チャンネルAと電流チャンネルBは独立しているのので、電流チャンネルAの無負荷状態は電力量の積算、CF出力、電流チャンネルAの逆向き電力にのみに影響を与えます。逆も成り立ちます。

無効電力量の無負荷検出機能はデフォルトでイネーブルですが、DISNLOADレジスタ(アドレス0x001)のビット1を”1”にセットする事によりディスエーブルにする事ができます。

## 無効電力量の無負荷割り込み

無効電力量の無負荷機能に関連する2つの割り込みがあります: 1つは電流チャンネルA(相)用で、もう1つは電流チャンネルB(ニュートラル)用です。イネーブルの場合、これらの割り込みは無効電力量が設定したしきい値以下になった時トリガーされます。

電流チャンネルAの無効電力量の無負荷割り込みはIRQENAレジスタ(アドレス0x22Cとアドレス0x32C)のVAR\_NOLOADAビット(ビット7)をセットする事によりイネーブルにする事ができます。このビットをセットした時、電流チャンネルAの無効電力量の無負荷イベントによりIRQピン(ピン22)が”0”になります(第一グループの割り込み(電圧チャンネルと電流チャンネルA)のセクションを参照)。

IRQENBレジスタ(アドレス0x22Fとアドレス0x32F)のVAR\_NOLOADBビット(ビット7)をセットする事により、電流チャンネルBの無効電力量の無負荷割り込みをイネーブルにする事ができます。このビットをセットした時、電流チャンネルBの無効電力の無負荷イベントはIRQの代替え出力をトリガーします(電流チャンネルBの割り込みのセクションを参照)。

## 無効電力量の無負荷ステータス・ビット

無効電力量の無負荷割り込みに加え、ADE7953は電流チャンネルAと電流チャンネルBの無負荷状態を連続的にモニターする2つの非ラッチ型ビットを内蔵しています。VARNLOAD\_AビットとVARNLOAD\_BビットがACCMODEレジスタ(アドレス0x201とアドレス0x301)に配置されています。これらのビットは非ラッチ型でLEDの駆動に使用できる点で割り込みステータス・ビットとは異なります。

## 皮相電力量の無負荷検出

皮相電力量の無負荷検出は全消費電力量が無負荷しきい値以下かどうかを求めるために使用する事ができます。もし電流チャンネルA(相)又は電流チャンネルB(ニュートラル)の皮相電力量が設定したしきい値以下になった場合、そのチャンネルの皮相電力量はそれぞれAPENERGYAレジスタとAPENERGYBレジスタで積算を中止します。もしCF1ピン又はCF2ピンのいずれかが皮相電力量を出力するように設定されている場合は、CF出力はディスエーブルになりハイ・レベルに保たれます(電力量/周波数変換のセクションを参照)。電流チャンネルAの皮相電力量の無負荷状態はIRQSTATAレジスタ(アドレス0x22Dとアドレス0x32D)のVA\_NOLOADAビット(ビット8)によって示されます。電流チャンネルBの皮相電力量の無負荷状態はIRQSTATBレジスタ(アドレス0x230とアドレス0x330)のVA\_NOLOADBビット(ビット8)によって示されます。

電流チャンネルAと電流チャンネルBは独立しているのので、電流チャンネルAの無負荷状態は電力量の積算、電流チャンネルAのCF出力にのみに影響を与えます。そして逆も成り立ちます。

皮相電力量の無負荷検出機能はデフォルトでイネーブルですが、DISNLOADレジスタ(アドレス0x001)のビット2を”1”にセットする事によりディスエーブルにする事ができます。

## 皮相電力量の無負荷割り込み

皮相電力量の無負荷機能に関連する2つの割り込みがあります: 1つは電流チャンネルA(相)用で、もう1つは電流チャンネルB(ニュートラル)用です。イネーブルの場合、これらの割り込みは皮相電力量が設定したしきい値以下になった時トリガーされます。

電流チャンネルAの皮相電力量の無負荷割り込みはIRQENAレジスタ(アドレス0x22Cとアドレス0x32C)のVA\_NOLOADAビット(ビット8)をセットする事によりイネーブルにできます。このビットをセットした時、電流チャンネルAの皮相電力量の無負荷イベントによりIRQピン(ピン22)が”0”になります(第一グループの割り込み(電圧チャンネルと電流チャンネルA)のセクションを参照)。

IRQBENB レジスタ (アドレス 0x22F とアドレス 0x32F) の VA\_NOLOADB ビット (ビット 8) をセットする事により、電流チャンネル B の皮相電力量の無負荷割り込みをイネーブルにする事ができます。このビットをセットした時、電流チャンネル B の皮相電力の無負荷イベントは  $\overline{\text{IRQ}}$  の代替え出力をトリガーします (電流チャンネル B の割り込みのセクションを参照)。

#### 皮相電力量の無負荷ステータス・ビット

皮相電力量の無負荷割り込みに加え、ADE7953 は電流チャンネル A と電流チャンネル B の無負荷状態を連続的にモニターする 2 つの非ラッチ型ビットを内蔵しています。

VANLOAD\_A ビットと VANLOAD\_B ビットが ACCMODE レジスタ (アドレス 0x201 とアドレス 0x301) に配置されています。これらのビットは非ラッチ型で LED の駆動に使用できる点で割り込みステータス・ビットとは違います。

## ゼロ交差の検出

ADE7953には3つのすべての入力チャンネルにゼロ交差(ZX)検出機能があります。ゼロ交差検出を使用する事により入力する波形の周波数に同期させて測定する事ができます。

高調波又は歪がゼロ交差測定の精度に影響を及ぼさないようにゼロ交差検出はLPF1の出力で実施されます。LPF1は-3 dBカットオフ周波数が80 Hzの単極フィルタでクロックは223 kHzです。このフィルタの位相遅れにより50 Hzで約2.2 ms (39.6°)の時間遅延が生じます。ZX検出の高い分解能を保證するために、LPF1をディスエーブルにはできません。図61はゼロ交差がどのように検出されるかを示します。

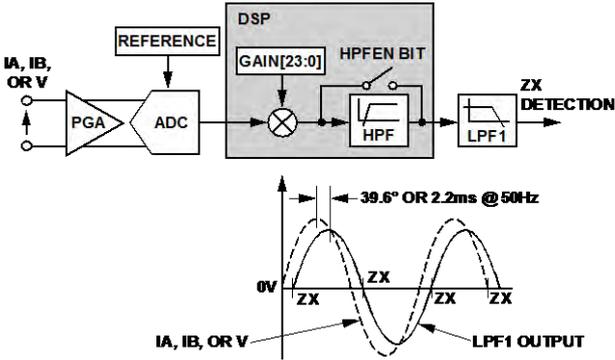


図 61 ゼロ交差の検出

ZX 検出の誤差は 50Hz システムでは 0.08°で、60 Hz システムでは 0.09°です。ゼロ交差情報は出力ピン又は割り込み経由の両方から得られます。

### ゼロ交差出力ピン

電圧チャンネルと電流チャンネルの ZX 情報はデフォルトではそれぞれ Pin 1 (ZX)と Pin 21 (ZX\_I)から出力するように設定されています。これらの専用出力ピンは非ラッチ型 ZX インジケータです (代替え出力の機能のセクションを参照)。

### 電圧チャンネルのゼロ交差

電圧チャンネルのゼロ交差インジケータはデフォルトではピン 1(ZX)から出力します。図 62 は ZX 出力の動作を示します。

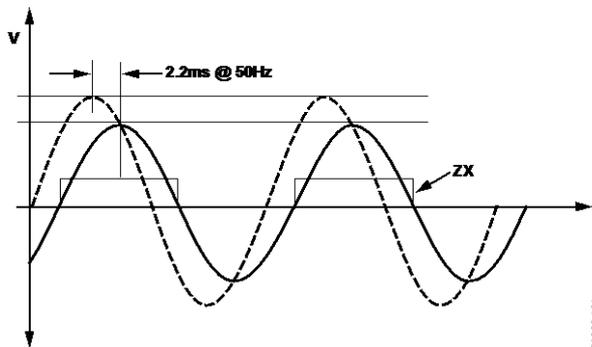


図 62 電圧チャンネルの ZX 出力

図 62 に示すように、電圧チャンネルのゼロ交差が正に移行するエッジで起こる時 ZX 出力ピンがハイ・レベルになり、ゼロ交差が負に移行するエッジで起こる時ロー・レベルになります。LPF1 の時間遅延により、このピンには約 2.2 ms の遅延を見込む必要があります。

### 電流チャンネルのゼロ交差

電流チャンネルのゼロ交差インジケータはデフォルトではピン 21(ZX\_I)から出力します。ZX\_I ピンは ZX ピンと同じような方法で動作します (図 62 を参照) ZX\_I ピンは電流チャンネルのゼロ交差が正に移行するエッジで起こる時ハイ・レベルになり、電流チャンネルのゼロ交差が負に移行するエッジで起こる時ロー・レベルになります。ZX\_I ピンはデフォルトでは電流チャンネル A をベースにトリガーされます。ZX\_I ピンは CONFIG レジスタの ZX\_I ビット (ビット 11) をセットする事により 電流チャンネル B をベースにトリガーするように設定できます。

### ゼロ交差の割り込み

各入力チャンネルに1つずつあり、合わせて3つの割り込みがゼロ交差検出に関係しています：電流チャンネル A、電流チャンネル B、電圧チャンネル。正あるいは負へのゼロ交差する変化が起こった時、ゼロ交差状態が発生します。もしこの変化が電圧チャンネルで起こった時、IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) の ZXV ビット (ビット 15) が "1" にセットされます。もしこの変化が電流チャンネル A で起こった場合は IRQSTATA レジスタの ZXIA ビット (ビット 12) が "1" にセットされます。もしこの変化が電流チャンネル B で起こった場合は IRQSTATB レジスタ (アドレス 0x230 とアドレス 0x330) の ZXIB ビット (ビット 12) が "1" にセットされます。図 63 は電圧チャンネルのゼロ交差割り込みの動作を示します。

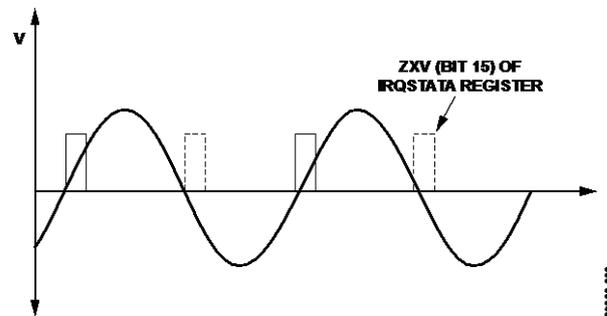


図 63 ゼロ交差の割り込み

図 63 に点線で示したように、正に移行又は負に移行してゼロ交差した時のみゼロ交差イベントをトリガーするように ADE7953 を設定する事ができます。CONFIG レジスタ (アドレス 0x102) の ZX\_EDGE ビット (ビット [13:12]) はゼロ交差イベントをトリガーするエッジをセットします。これらのビットのデフォルトは "00" です。(ゼロ交差イベントは正に移行するエッジと負に移行するエッジの両方でトリガーされます)。ZX\_EDGE ビットの変更は 3 チャンネル全部のゼロ交差イベントに影響します。ZX\_EDGE ビットの変更は ZX ステータス・ビットと割り込みのみに影響します; ZX ピン (ピン 1) と ZX\_I ピン (ピン 21) の機能には影響しません。

任意の3つの入力チャンネルのゼロ交差イベントを、外部割り込みをトリガーするように設定することができます。全てのゼロ交差の外部割り込みはデフォルトでディスエーブルです。電圧チャンネルのゼロ交差割り込みはIRQENAレジスタ（アドレス0x22Cとアドレス0x32C）のZXVビット（ビット15）をセットする事によりイネーブルになります。このビットがセットされている場合、電圧チャンネルのゼロ交差イベントによりIRQピンがロー・レベルになります。電流チャンネルAのゼロ交差割り込みはIRQENAレジスタ（アドレス0x22Cとアドレス0x32C）のZXIAビット（ビット12）をセットする事によりイネーブルになります。このビットがセットされている場合、電流チャンネルAのゼロ交差イベントによりIRQピンがロー・レベルになります。電流チャンネルBのゼロ交差割り込みはIRQENBレジスタ（アドレス0x22Fとアドレス0x32F）のZXIBビット（ビット12）をセットする事によりイネーブルになります。このビットがセットされている場合、電流チャンネルBのゼロ交差イベントによりIRQピンがロー・レベルになります（ADE7953の割り込みのセクションを参照）。

## ゼロ交差タイムアウト

ADE7953にはゼロ交差タイムアウト機能があります。この機能は指定期間内でゼロ交差が全く取得されない時を検出するように設計されています。この機能は電流チャンネルと電圧チャンネルの両方で可能です。又入力信号がドロップアウトした時を検出するのに使用する事が出来ます。ゼロ交差タイムアウトの継続期間は16ビットZXTOUTレジスタ（アドレス0x100）に設定されます。同じタイムアウト継続時間が3つ全てのチャンネルに適用されます。ZXTOUTレジスタの値は14kHz（CLKIN/256）毎に1LSBデクリメントされます。もしゼロ交差があれば、ZXTOUTレジスタが再ロードされます。ZXTOUTレジスタが"0"に到達すると、ゼロ交差タイムアウト・イベントが発生されます。ZXTOUTレジスタは分解能0.07ms（1/14kHz）です；従って設定できる最大タイムアウト期間は4.58秒になります。

図64に示すように、ゼロ交差イベントによりゼロ交差タイムアウトビット（ZXTO、ZXTO\_IA、ZXTO\_IB）の1つが"1"にセットされます。ZXTOビットとZXTO\_IAビットはIRQSTATAレジスタ（アドレス0x22Dとアドレス0x32D）に配置されています。そしてゼロ交差タイムアウト・イベントがそれぞれ電圧チャンネル又は電流チャンネルAで生じた時セットされます。ZXTO\_IBビットはIRQSTATBレジスタ（アドレス0x230とアドレス0x330）に配置されています。そしてゼロ交差タイムアウト・イベントが電流チャンネルBで生じた時セットされます。

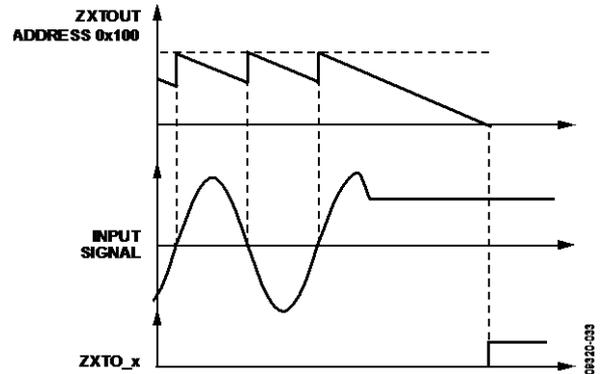


図 64 ゼロ交差タイムアウト

3つの割り込みがゼロ交差タイムアウト機能に関連しています。イネーブルの場合、ゼロ交差イベントにより外部IRQピンはロー・レベルになります。電圧チャンネルのゼロ交差タイムアウトに関連する割り込みはIRQENAレジスタ（アドレス0x22Cとアドレス0x32C）のZXTOビット（ビット14）をセットする事によりイネーブルにすることができます。電流チャンネルAの割り込みはIRQENAレジスタ（アドレス0x22Cとアドレス0x32C）のZXTO\_IAビット（ビット11）をセットする事によりイネーブルにすることができます。電流チャンネルBの割り込みはIRQENBレジスタ（アドレス0x22Fとアドレス0x32F）のZXTO\_IBビット（ビット11）をセットする事によりイネーブルにすることができます。3つの全ての割り込みはデフォルトでディスエーブルです（ADE7953の割り込みのセクションを参照）。

## ゼロ交差のしきい値

入力が非常に小さな信号の時、誤ったゼロ交差を避けるために、ADE7953の全チャンネルには内部しきい値を設けてあります。この固定されたしきい値は入力フルスケールの1250:1のレンジにセットされています。どの入力信号がこのレベル以下になっても、ADE7953からゼロ交差信号を発生しません。なぜならこれらはノイズと想定されるからです。このしきい値はゼロ交差割り込み機能と同様に、外部ゼロ交差ピンZX（ピン1）とZX\_I（ピン21）の両方に影響を与えます。フルスケールの1250:1以下の入力では、ゼロ交差タイムアウト信号が機能し続け、ZXTOUTレジスタ（アドレス0x100）に設定された継続時間に応じてイベントを発生します。

## 電圧 SAG の検出

ADE7953 はライン電圧の絶対値が設定したライン・サイクル数の間に設定したしきい値以下になった時、ユーザに警告を出す SAG 検出機能を内蔵しています。この機能はライン電圧がドロップアウトしている事を早期に警告する信号を提供します。電圧 SAG 機能は 2 つのレジスタによって制御されます;SAGCYC (アドレス 0x000) と SAGLVL (アドレス 0x200 とアドレス 0x300)。これらのレジスタはそれぞれ SAG 期間と SAG 電圧しきい値を制御します。

SAG 検出はデフォルトでディスエーブルですが、非ゼロ値をそれぞれ GCYC レジスタと SAGLVL レジスタに書き込む事によりイネーブルにすることができます。どちらかのレジスタが 0 にセットされると SAG 機能はディスエーブルになります。電圧 SAG 状態が起こった場合、IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) と RSTIRQSTATA レジスタ (アドレス 0x22E とアドレス 0x32E) の SAG ビットが "1" にセットされます。

### SAGCYC レジスタの設定

8 ビット、符号無し、SAGCYC レジスタの内容は設定可能な SAG 期間です。SAG 期間は、SAG 状態になる前に電圧チャンネルが維持しなければならない最大の半ライン・サイクル数です。SAGCYC レジスタの各 LSB は 1 半ライン・サイクル期間に相当します。SAGCYC レジスタの最大値は 255 です。

50Hz で最大 SAG サイクル時間は 2.55 秒です。

$$\left(\frac{1}{50} \div 2\right) \times 255 = 2.55\text{sec}$$

60 Hz で最大 SAG サイクル時間は 2.125 秒です。

$$\left(\frac{1}{60} \div 2\right) \times 255 = 2.125\text{sec}$$

もし機能がイネーブル後に SAGCYC 値が修正されたならば、新しい SAGCYC 期間が直ちに有効になります。従って SAG イベントが SAG サイクル期間の組み合わせによって起こる可能性があります。すべての重複を避けるために、SAGLVL レジスタを "0" にリセットして、新しいサイクル値を SAGCYC レジスタに書き込む前に、効果的に機能をディスエーブルにする必要があります。

### SAGLVL レジスタの設定

24 ビット/32 ビット SAGLVL レジスタの内容は SAG イベントが起きる前に電圧チャンネルが下がらなければならない電圧の大きさです。このレジスタの各 LSB は電圧チャンネルのピーク・レジスタと正確に対応しています;従って電圧の大きさを電圧チャンネルのピークの読み出し値に基づいてセットすることができます。SAGLVL レジスタをセットするために、公称電圧を供給し、RSTVPEAK レジスタ (アドレス 0x227 とアドレス 0x327) から測定値を読み出し、ピークレベル読み出し値をリセットします。数ライン・サイクルのウェイト期間後に、電圧入力を求めるために VPEAK レジスタ (アドレス 0x226 とアドレス 0x326) を読み出す必要があります。次にこの測定値を SAG 検出に必要な大きさに変更します。

例えば、もし公称電圧の 80% の SAG しきい値が要求される場合、ピーク測定値を読み出し、この測定値の 80% の値を SAGLVL レジスタに書き込みます。この方法により個別の設定で正確な SAGLVL 値を確実に獲得することができます。

### 電圧 SAG の割り込み

ADE7953 には電圧 SAG 検出機能に関連した割り込みがあります。この割り込みがイネーブルの場合、電圧 SAG イベントにより外部 IRQ ピンはロー・レベルになります。この割り込みはデフォルトでディスエーブルですが、IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の SAG ビット (ビット 19) をセットする事によりイネーブルにすることができます。ADE7953 の割り込みのセクションを参照してください。

## ピーク検出

ADE7953には電流チャンネルA(相)と電流チャンネルB(ニュートラル)の両方と電圧チャンネルにピーク検出機能が備わっています。この機能は電圧波形と電流波形の最大値を連続して記録します。

ピーク検出を過電圧検出と過電流検出と併用して、完全な過電圧検出機能を提供することができます(過電流と過電圧の検出のセクションを参照)。

ピーク検出値は電流と電圧のADC出力波形の絶対値から取得された瞬時測定値で、3つの24ビット/32ビットレジスタに保存されます。電流チャンネルA、電流チャンネルB、電圧チャンネルそれぞれのピーク値を記録する3つのレジスタはIAPEAK(アドレス0x228とアドレス0x328)、IBPEAK(アドレス0x22Aとアドレス0x32A)、VPEAK(アドレス0x226とアドレス0x326)です。

これらの3つのレジスタは波形の絶対値がIAPEAKレジスタ、IBPEAKレジスタ、VPEAKレジスタに保存されている現時点での値を超える度に更新されます。この測定には期間は関係ありません。

追加の3つのレジスタには同じピーク情報が保存されますが、対応するピーク測定値はそれらが読み出された後にリセットされます。3つのリセット読み出しピーク・レジスタはRSTIAPEAK(アドレス0x229とアドレス0x329)、RSTIBPEAK(アドレス0x22Bとアドレス0x32B)、RSTVPEAK(アドレス0x227とアドレス0x327)です。これらのレジスタの読み出しは対応するxPEAKレジスタの内容をクリアします。

## 電力方向の表示

ADE7953には有効電力量、無効電力量の測定値に符号表示があります。符号表示により正と負の電力量を識別する事ができ、必要であれば別々に課金できます。それは又ミス配線状態の検出にも役立ちます。この機能は電流チャンネル A と電流チャンネル B の両方にあります。電力方向情報は専用出力ピン (REVP) からと内部レジスタと割り込みのセット経由で得られます (逆向き電力のセクションと符号表示のセクションを参照)。

### 逆向き電力

ADE7953のREVPピン (ピン 20)から逆向き電力インジケータが得られます。このピンを電流チャンネル A 又は電流チャンネル B の有効電力又は無効電力の極性情報が出力するように設定する事ができます。REVP出力はデフォルトでハイ・レベルですが、電圧入力と電流入力との角度が90°以上になるとロー・レベルになります。REVPは非ラッチ型なので逆向き電力状態でなくなった時ハイ・レベルに戻ります。REVP出力ピンの変化はデフォルトでCF1の立下りエッジに同期して起こります。(図 65を参照)

REVPピンに表われるチャンネルと測定はCF出力を設定によって選択されます。デフォルトではREVPピンはCF1に同期して出力するように設定されており、CFMODEレジスタ(アドレス 0x107)のCF1SELビットを使って選択した測定値をCF1ピンから出力します。デフォルトではこの測定値は電流チャンネル A の有効電力です。CF1SELビットが0x0001にセットされた時、REVPピンは電流チャンネル A の有効電力の極性を表します。REVPインジケータはCONFIGレジスタ(アドレス 0x102)のREVP\_CFビットをセットする事によりCF2に基づいて出力するように設定する事ができます。この設定の場合、CFMODEレジスタのCF2SELビットがREVP出力に出力する測定値を決めます。もし選択されたCFピンが他の測定を出力するように設定された場合、REVP出力はディスエーブルになります。

逆極性状態の可視性を向上するためにLED光を使用する場合、REVPピンから1 Hzパルス・モードが出力可能です。このモードでは、REVP出力ピンはデフォルトでロー・レベルですが、もし逆極性状態が真であれば1 Hzパルスを出力します。

このパルスは50%デューティ・サイクルです。ノーマル・モードと同じように、このモードも非ラッチ型なので、逆極性ではなくなった時にはREVP出力はハイ・レベルに戻ります。REVPパルス・モードをイネーブルにするためにはCONFIGレジスタ(アドレス 0x102)のREVP\_PULSEビットを"1"にセットする必要があります。

REVP出力ピンは対応する無負荷状態ではディスエーブルです。例えば、もし電流チャンネル A の有効電力の逆極性情報がREVPピンに出力している状態で、電流チャンネル A の有効電力量が無負荷状態になれば、REVP出力はディスエーブルになりその現状に保たれます。

### 符号表示

ADE7953には次の4つの極性を表す符号表示ビットがあります；電流チャンネル A の有効電力の極性(APSIGN\_A)、電流チャンネル B の有効電力の極性(APSIGN\_B)、電流チャンネル A の無効電力(VARSIGN\_A)、電流チャンネル B の無効電力の極性(VARSIGN\_B)。これらのビットはACCMODEレジスタ(アドレス 0x201 とアドレス 0x301)に配置されています。すべてのビットは非ラッチ型で読み出し専用です。これらのビットの読み出し値がロー・レベル(0)である事は対応する電力の測定値が正であることを示します；ハイ・レベル(1)は対応する電力の測定値が負であることを示します。これらのビットはデフォルトでイネーブルですが、対応する無負荷状態ではディスエーブルになります。

ADE7953には符号表示ビットに加え4つの符号表示割り込みもあります。イネーブルの場合、電力の極性が変化した時、これらの割り込みはよりIRQピンがロー・レベルになります。割り込みは正から負へと負から正への両方の極性変化でトリガーされます。これらの割り込みはデフォルトでディスエーブルですが、IRQENAレジスタ(アドレス 0x22C とアドレス 0x32C)のAPSIGN\_AビットとVARSIGN\_Aビット、とIRQENBレジスタ(アドレス 0x22F とアドレス 0x32F)のAPSIGN\_BビットとVARSIGN\_Bビットをセットする事によりイネーブルにする事ができます。ADE7953の割り込みのセクションを参照してください。

絶対積算モード又は正側限定積算モードで、これらのビットは"0"に固定される事に注意してください。有効電力量の積算モードのセクションと無効電力量の積算モードのセクションを参照してください。

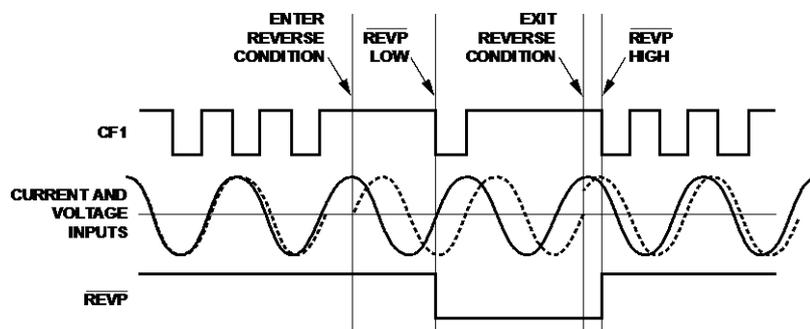


図 65. REVP出力

## 過電流と過電圧の検出

ADE7953には電流波形又は電圧波形の絶対値が設定されたしきい値を超えているかどうかを検出する過電流機能と過電圧機能があります。この機能は瞬時の電圧、電流信号を使います。この機能に関連する2つのレジスタ OVLVL (アドレス 0x224 とアドレス 0x324) と OILVL (アドレス 0x225 とアドレス 0x325) はそれぞれ電圧チャンネルと電流チャンネルのしきい値を設定するために使用されます。しきい値レジスタ OILVL は電流チャンネル A と電流チャンネル B 両方の過電流機能のしきい値を決めます。従って電流チャンネル A と電流チャンネル B 両方に同じしきい値を使用しなければなりません。OVLVL レジスタと OILVL レジスタのデフォルト値は 0xFFFFF です (實際上、機能をディスエーブルにします)。図 66 は過電圧検出機能の動作を示します。

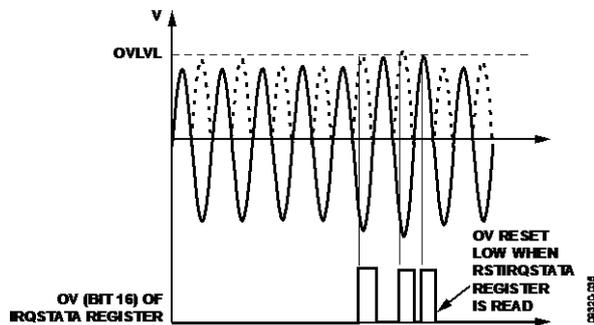


図 66. 過電圧検出

図 66 に示すように、ADE7953 が過電圧状態を検出した時、IRQSTATA レジスタ (アドレス 0x22D とアドレス 0x32D) の OV ビット (ビット 16) が "1" にセットされます。このビットは RSTIRQSTATA レジスタ (アドレス 0x22E と アドレス 0x32E) を読み出す事によりクリアされます。過電流検出機能は同じような方法で動作します (図 67 を参照)

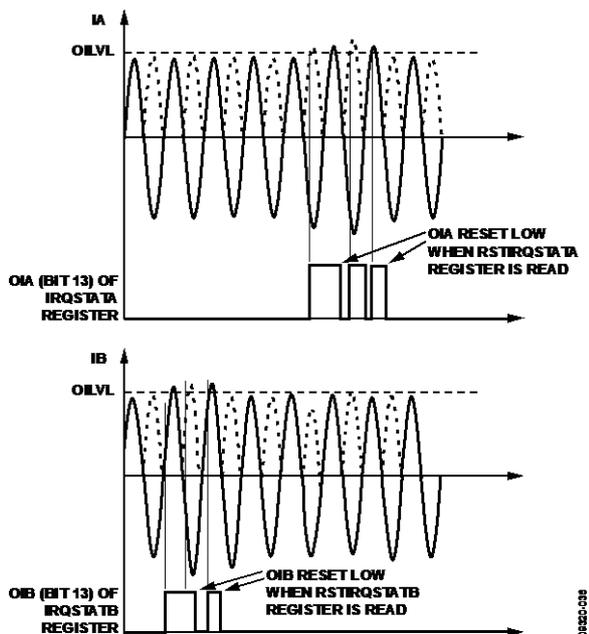


図 67. 過電流検出

図 67 に示すように、もし電流チャンネル A で過電流状態が検出されたら、IRQSTATA レジスタの OIA ビット (ビット 13) が "1" にセットされます。このビットは RSTIRQSTATA レジスタから読み出す事によりクリアされます。もし電流チャンネル B で過電流状態が検出されたら、IRQSTATB レジスタ (アドレス 0x230 とアドレス 0x330) の OIB ビット (ビット 13) が "1" にセットされます。RSTIRQSTATB レジスタ (アドレス 0x231 と アドレス 0x331) からの読み出しによりこのビットをクリアできます。

### OVLVL レジスタと OILVL レジスタの設定

24 ビット/32 ビット、符号なしの OVLVL レジスタと OILVL レジスタはそれぞれ直接 VPEAK (アドレス 0x226 とアドレス 0x326) と IAPEAK (アドレス 0x228 とアドレス 0x328) にマッピングしています。(ピーク検出セクションを参照)。ゲイン・キャリブレーション後は、電流チャンネル A と電流チャンネル B は共通の入力で一致する事に注意してください。OVLVL レジスタと OIVL レジスタの設定はフルスケール入力での VPEAK の測定値と APEAK の測定値を基本にするべきです。

OVLVL レジスタをセットするために、最大電圧入力を印加し、RSTVPEAK レジスタ (アドレス 0x227 とアドレス 0x327) から測定値を読み出す必要が有ります。これは電圧ピーク測定値をリセットします。電圧ピークを求めめるために、数ライン・サイクルのウェイト期間後に VPEAK レジスタ (アドレス 0x226 とアドレス 0x326) を読み出してください。次にこの測定値を過電圧検出に必要な大きさに変更してください。例えば、もし最大電圧の 120% の過電圧しきい値が要求される場合は、ピーク測定値に 1.2 を乗算し、その結果の値を OVLVL レジスタに書き込みます。この方法により個々の設計で確実に正確なしきい値をセットする事ができます。

### 過電圧、過電流の割り込み

3つの割り込みが過電圧と過電流機能に関連しています。最初の割り込みは過電圧機能に関連しています; その割り込みは IRQENA レジスタ (アドレス 0x22C とアドレス 0x32C) の OV ビット (ビット 16) をセットする事によりイネーブルになります。このビットをセットした時、過電圧状態になると外部 IRQ ピンがロー・レベルになります。

2番目の割り込みは電流チャンネル A の過電流検出機能に関連しています。この割り込みは IRQENA レジスタの OIA ビット (ビット 13) をセットする事によりイネーブルになります。このビットをセットした時、電流チャンネル A の過電流状態になると外部 IRQ ピンがロー・レベルになります。

3番目の割り込みは電流チャンネル B の過電流検出機能に関連しています。この割り込みは IRQENB レジスタ (アドレス 0x22F とアドレス 0x32F) の OIB ビット (ビット 13) をセットする事によりイネーブルになります。このビットをセットした時、IRQ の代替え出力がイネーブルであれば、電流チャンネル B が過電流状態になると代替え出力がトリガーされます (電流チャンネル B の割り込みのセクションを参照)。

## 代替え出力の機能

ADE7953にはデフォルトで電力の品質情報を出力するように設定された3つの出力ピンがあります。

- Pin 1 (ZX)は電圧チャンネルのゼロ交差のセクションに述べたように電圧チャンネルのゼロ交差信号を出力します。
- Pin 21 ((ZX\_I))は電流チャンネルのゼロ交差のセクションに述べたように電流チャンネルのゼロ交差信号を出力します。
- Pin 20 (REVP)は逆向き電力のセクションに述べたように極性情報を出力します。

柔軟性を与え、各種の設計要求に対応するために、ADE7953を設定して、これら3つの任意の出力から様々な電力品質に関する信号を出力させる事ができます。代替え機能はALT\_OUTPUTレジスタ(アドレス0x110)を使って設定されます。

表8にピン1,ピン21,ピン20から出力できる機能をにまとめてあります。ZX、ZX\_I、REVPのデフォルト機能はピン1、ピン21、ピン20の任意のピンから出力するように設定できる事に注意してください。

表8に述べたように、各機能の説明はデータシートの対応するセクションに記述されています。ピン1,ピン21,ピン20で代替え出力の機能がイネーブルであれば、機能を設定する事ができ、その機能は対応するセクションで記述されているように実行されます。しかし代替え機能はピン1,ピン21あるいはピン20に非ラッチ型出力として現れます。

代替え機能をイネーブルにするには、ALT\_OUTPUTレジスタのZX\_ALTビット、ZXI\_ALTビット、REVP\_ALTビットをセットしなければなりません。代替え出力に関連した割り込みイネーブルはそれがピン1、ピン21又はピン20に現れるようにイネーブルにする必要ありません。代替え出力をイネーブルにする事により機能の主流の機能は影響されません。

表 8.代替え出力

機能	このセクションを参照してください。
ゼロ交差検出 (電圧チャンネル)	電圧チャンネルのゼロ交差
ゼロ交差検出 (電流チャンネル)	電流チャンネルのゼロ交差
逆電力表示	逆向き電力
電圧 SAG 検出	電圧 SAG の検出
有効電力量の無負荷検出 (電流チャンネル A)	有効電力量の無負荷検出
有効電力量の無負荷検出 (電流チャンネル B)	有効電力量の無負荷検出
無効電力量の無負荷検出 (電流チャンネル A)	無効電力量の無負荷検出
無効電力量の無負荷検出 (電流チャンネル B)	無効電力量の無負荷検出
波形サンプリング、データ・レディ	瞬時電力と波形サンプリング
割り込み出力 (電流チャンネル B)	電流チャンネル B の割り込み

## ADE7953 の割り込み

ADE7953 の割り込みは 2 つのグループに分けられます。第一グループの割り込みは電圧チャンネルと電流チャンネル A に関連しています。2 番目のグループの割り込みは電流チャンネル B に関連しています。割り込みのリストについては表 22 と表 23 を参照してください。

すべての割り込みはデフォルトでディスエーブルですが、RESET 割り込みだけは例外で第一グループの割り込みに配置されています。この割り込みはデフォルトでイネーブルで、ソフトウェアの終了又はハードウェアのリセットを伝えます。パワーアップ時、この割り込みは ADE7953 がマイクロプロセッサからの通信を受信する準備ができたことを伝えるためにトリガーされます。この割り込みは ADE7953 を設定する前に第一グループの割り込み（電圧チャンネルと電流チャンネル A）のセクションで述べたようにサービスする必要があります。

### 第一グループの割り込み（電圧チャンネルと電流チャンネル A）

第一グループの割り込みは電圧チャンネルと電流チャンネル A で起こるイベントです。これらの割り込みは 3 つのレジスタ・グループによって処理されます：イネーブル・レジスタ、IRQENA（アドレス 0x22C とアドレス 0x32C）、ステータス・レジスタ、IRQSTATA（アドレス 0x22D とアドレス 0x32D）、そしてリセット・ステータス・レジスタ、RSTIRQSTATA（アドレス 0x22E とアドレス 0x32E）。これらのレジスタのビットについては表 22 に述べられています。

割り込みイベントが発生すると、IRQSTATA レジスタの対応するビットは"1"にセットされます。（IRQENA レジスタに配置された）この割り込みのイネーブル・ビットが"1"にセットされると、外部IRQピンはロジック"0"になります。外部割り込みがイネーブルになっているかどうかにかかわらず、割り込みイベントが起こった時、IRQSTATA レジスタに配置されたステータス・ビットはセットされます。

すべての割り込みはラッチされ、クリアのサービスを要求します。割り込みをサービスし、IRQピンをロジック 1 に戻すために、RSTIRQSTATA レジスタ（アドレス 0x22E とアドレス 0x32E）を使ってステータス・ビットをクリアする必要があります。RSTIRQSTATA レジスタは IRQSTATA レジスタと同じ割り込みステータス・ビットを含みますが、RSTIRQSTATA レジスタがアクセスされた時、読み出しリセット命令が実行され、ステータス・ビットをクリアします。

このレジスタの読み出しが完了すると、全てのステータス・ビットは"0"にクリアされIRQピンはロジック"1"に戻ります。

### 電流チャンネル B の割り込み

電流チャンネル B の割り込みは電流チャンネル B で生ずるイベントです。第一グループの割り込みと同じように電流チャンネル B の割り込みは 3 つのレジスタのグループによって処理されます：イネーブル・レジスタ IRQENB（アドレス 0x22F とアドレス 0x32F）、ステータス・レジスタ IRQSTATB（アドレス 0x230 とアドレス 0x330）、リセット・ステータス・レジスタ RSTIRQSTATB（アドレス 0x231 とアドレス 0x331）。これらのレジスタのビットについては表 23 に述べられています。

割り込みイベントが発生すると、IRQSTATB レジスタの対応するビットが"1"にセットされます。電流チャンネル B の割り込みには専用の出力ピンがありません。しかしこの機能（電流チャンネル B の割り込み）をピン 1 (ZX)、ピン 21 (ZX\_I)又はピン 20 (REVVP) の代替出力として設定することができます（代替出力の機能のセクションを参照）。電流チャンネル B の割り込みイベントに対して出力がイネーブルで、（IRQENB レジスタに配置された）割り込みイネーブル・ビットが"1"にセットされていれば、電流チャンネル B で割り込みイベントが起こった時、ピン 1、ピン 21 又はピン 20 はロー・レベルになります。外部割り込み出力がイネーブルかどうかに関わらず、割り込みが起こった時、IRQSTATB レジスタに配置されたステータス・ビットはセットされます。

すべての割り込みはラッチされ、クリアのサービスを要求します。割り込みをサービスするには、RSTIRQSTATB レジスタ（アドレス 0x231 と アドレス 0x331）を使ってステータス・ビットをクリアする必要があります。RSTIRQSTATB レジスタは IRQSTATB レジスタと同じ割り込みステータス・ビットを含みますが、RSTIRQSTATB レジスタがアクセスされた時、読み出しリセット命令が実行され、ステータス・ビットをクリアします。このレジスタからの読み出しを完了した後、すべてのステータス・ビットは"0"にクリアされ該当する出力ピン（イネーブル時）はロジック"1"に戻ります。

## ADE7953 との通信

すべての ADE7953 の機能は内蔵レジスタ・グループを使ってアクセスする事ができます。全レジスタの詳細なリストについては ADE7953 のレジスタを参照してください。内蔵レジスタにアクセスするために 3 種類の異なる通信インターフェースを使用する事ができます。

- 4 ピン SPI インターフェース
- 2 ピン 双方向 I<sup>2</sup>C インターフェース
- 2 ピン UART インターフェース

3 種類のすべての通信オプションは同じピン・グループを使用します。従って各回路設計には 1 種類の通信方法しか使用できません。

### 通信の自動検出

ADE7953 は 3 種類の通信インターフェースのうちどれが使用されているかを自動的に検出する検出システムを備えています。この機能により通信を速やかに、最小限の初期化で設定する事ができます。自動検出は 4 つの通信ピンの状態を監視し、設定に一致する通信インターフェースを自動的に選択する事により行われます (表 9 を参照)。

- 通信方法が SPI かどうかを決定するために、CS ピン (ピン 28) が使用されます。このピンがロー・レベルの場合、通信インターフェースは SPI にセットされます。
- 通信方法が I<sup>2</sup>C か UART のどちらかを判断するのに、SCLK ピン (ピン 25) が使用されます。このピンがハイ・レベルの場合、通信インターフェースは I<sup>2</sup>C にセットされます; もしそれがロー・レベルの場合、通信インターフェースは UART にセットされます。

従って、I<sup>2</sup>C 又は UART を使った通信の場合 ピン 25 (SCLK) と ピン 28 (CS) は必要ありませんが、自動検出システムの機能を確実にするためにこれらのピンを表 9 に示すハードウェアに設定する必要があります。

### 通信インターフェースのロック

選択された通信インターフェースが確立された後、通信方法を不注意な変化から守るためにインターフェースをロックする必要があります。最初に通信が正常に行われた後に自動的にロックするように ADE7953 を設定する事ができます。

自動ロック機能はデフォルトでディセーブルですが、CONFIG レジスタ (アドレス 0x102) の COMM\_LOCK ビット (ビット 15) をクリアする事でイネーブルになります。通信インターフェースを正常に確立してロックするためには、パワーアップ後直ちに CONFIG レジスタに対して書き込みを発行し、COMM\_LOCK ビットをクリアして通信インターフェースをロックする必要があります。通信インターフェースが特定の方法 (すなわち SPI, I<sup>2</sup>C 又は UART) にロックされた時は、ADE7953 をリセットする事なしに通信方法を変える事はできません。

通信モードをロックするために SPI 通信インターフェースを利用する場合は、最後の SCLK の後に最小 1.2 μs の間 CS ピンをロー・レベルに保つ必要があります。この遅延は COMM\_LOCK ビットに書き込む時だけ要求されます (SPI インターフェースのタイミングのセクションを参照)

表 9. 通信の自動検出

通信インターフェース	Pin 28 (CS)	Pin 25 (SCLK)	Pin 27 (MOSI/SCL/Rx)	Pin 26 (MISO/SDA/Tx)
SPI	0	Don't care	MOSI	MISO
I <sup>2</sup> C	1	1	SCL	SDA
UART	1	0	Rx	Tx

## SPI インターフェース

シリアル・ペリフェラル・インターフェース(SPI)は4つのすべての通信ピンを使用します:CS、SCLK、MOSI、MISO。SPI通信はスレーブ・モードで動作するのでSCLKピンにクロックを入力しなければなりません(MOSIは入力でMISOは出力です)。このクロックは全部の通信を同期させ、最大速度5MHzまで動作可能です。通信のタイミング条件の詳細についてはSPIインターフェースのタイミングのセクションを参照してください。

MOSIピンはADE7953に対する入力です;データはSCLKの立下りエッジでシフト入力され、立ち上がりエッジでADE7953によってサンプリングされます。MISOピンはADE7953からの出力です;データはSCLKの立下りエッジでシフト出力され、外部マイクロコントローラにより立ち上がりエッジでサンプリングされます。

SPI通信パッケージは読み出し又は書き込みを行うレジスタのアドレス情報が含まれている最初の2バイトで構成されています。このアドレスをMSBファーストで転送する必要があります。通信の3番目のバイトは読み出しと書き込みのどちらを行うかを決定します。

読み出し動作の場合は、このバイトの最上位ビットを"1"にセットし、書き込み動作の場合はこのバイトの最上位ビットを"0"にセットします。3番目のバイトの転送が完了した時、レジスタのデータはADE7953のMISOピンから送信されるか(読み出しの場合)又は外部マイクロコントローラによってADE7953のMOSIピンに書き込まれます(書き込みの場合)すべてのデータはMSBファーストで送信又は受信されます。データ転送の長さはアクセスするレジスタの幅に寄ります。レジスタは16、24、または32ビット長が可能です。

図68と図69にそれぞれSPI読み出しとSPI書き込みのデータ転送シーケンスを示します。これらの図に示すように、通信を初期化するためにCS(チップ・セレクト)入力をロー・レベルにし、通信の終了時にはハイ・レベルにする必要があります。データ転送完了の前にCS入力をハイ・レベルにすると通信が終了します。この方法により、CS入力はSPI通信でリセット機能を実行します。CS入力は同じマイクロコントローラのSPIポートに接続されている複数のデバイスとの通信を可能にします。

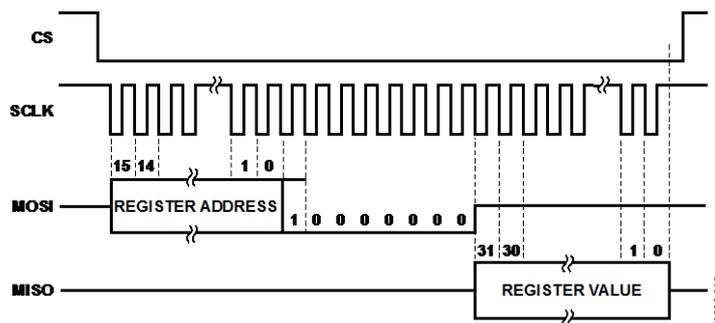


図 68. SPI 読み出し

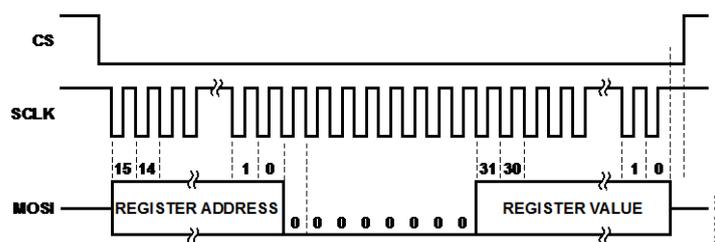


図 69. SPI 書き込み

## I<sup>2</sup>C インターフェース

ADE7953 は I<sup>2</sup>C インターフェースが完全に認可されています。I<sup>2</sup>C インターフェースはスレーブとして動作し、共有の 2 ピンを使用します：SDA と SCL。SDA ピンは双方向入力/出力ピンで、SCL ピンはシリアル・クロックです。2つのピンは、SPI インターフェースと UART インターフェースの両方に使用されます。I<sup>2</sup>C インターフェースは、最大シリアル・クロック周波数 400 kHz で動作します。

データ転送に使用する 2 ピン (SDA と SCL) はマルチマスター・システムでアービトレーション (通信調整手順) を可能にするワイヤード AND フォーマットの構成になっています。

I<sup>2</sup>C インターフェースを使った通信はスタート・コンデションを生成するマスター・デバイスによって開始されます。これはスレーブ・デバイスのアドレスと動作モード (読み出し又は書き込み) を含む 1 バイトを送信するマスターで構成されます。

ADE7953 のアドレスは 0111000X です。アドレス・バイトのビット 7 は読み出し又は書き込みのどちらかが要求されているかを表します。"0" は書き込みを表し、"1" は読み込みを表します。次のセクションで説明しているように、通信はマスターがストップ・コンデションを発行してバスがアイドル状態に戻るまで続きます。

## I<sup>2</sup>C の書き込み動作

ADE7953 の書き込み動作はマスターが (スレーブ・アドレスと読み込み/書き込みビットで構成された) スタート・コンデションを発行した時開始されます。スタート・コンデションの後には目標のレジスタの 16 ビット・アドレスが続きます。各バイトが受信された後、ADE7953 はアックノリッジ(ACK)をマスターに対して発行します。

16 ビットアドレス通信が完了するとすぐにマスターは MSB ファーストでレジスタのデータを送信します。このデータの長さは 8、16、24、または 32 ビット長が可能です。レジスタ・データの各バイトが受信された後、ADE7953 スレーブはアックノリッジ(ACK)を発行します。最後のバイトの送信が完了した時、マスターはストップ・コンデションを発行し、バスはアイドル状態に戻ります。I<sup>2</sup>C の書き込み動作を図 70 に示します。

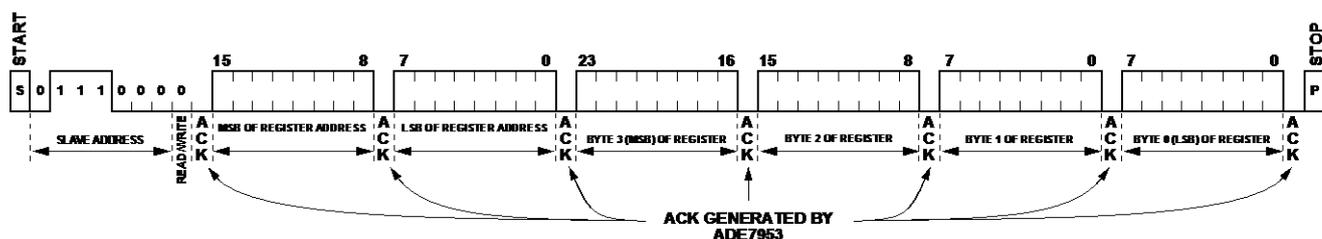


図 70. I<sup>2</sup>C の書き込み

09320-058

## I<sup>2</sup>C の読み出し動作

I<sup>2</sup>C の読み出し動作は 2 段目で実行されます。1 段目では、アクセス対象のレジスタのアドレスにポインタをセットします。2 段目でレジスタの内容を読み込みます。

図 71 に示すように、マスターが（スレーブ・アドレスと読み込み/書き込みビットで構成された）スタート・コンディションを発行した時、1 段目が開始されます。この最初のステップはアドレスにポインタをセットアップするので、スタート・バイトの LSB を "0" (書き込み) にセットする必要があります。スタート・コンディションの後には目標のレジスタの 16 ビット・アドレスが続きます。各バイトが受信された後、ADE7953 はアクノリッジ(ACK)をマスターに対して発行します。

読み出し動作の 2 段目はマスターが新しいスタート・コンディションを発行する事によって開始します。このスタート・コンディションは同じスレーブ・アドレスで構成されますが、LSB は "1" にセットし、読み出しを行う事を伝えます。ADE7953 は各バイトを受信した後、アクノリッジ(ACK)を発行します。次に ADE7953 はマスターにレジスタの内容を送信し、マスターは各バイトの受信を承認します。すべてのバイトは MSB ファーストで送信されます。レジスタの内容は 8、16、24、または 32 ビット長が可能です。レジスタ・データの最後のバイトを受信後、マスターは通信の完了を示すためにアクノリッジの代わりにストップ・コンディションを発行します。I<sup>2</sup>C の読み出し動作を図 71 に示します。

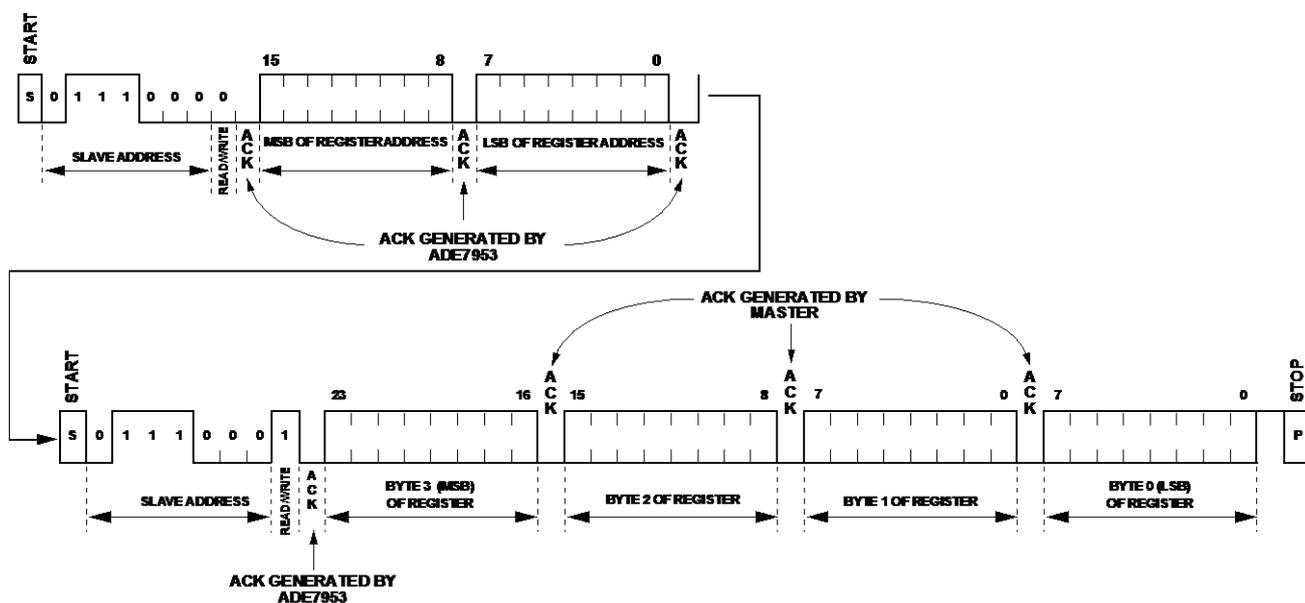


図 71. I<sup>2</sup>C の読み出し

0000-000

## UART インターフェース

ADE7953 は簡単なユニバーサル同期レシーバ/トランスミッタ (UART) インターフェースが可能なので、ADE7953 のすべての機能に対して 2 つの単方向ピンだけを使用してアクセスする事ができます。UART インターフェースにより 2 つの低価格な光アイソレータのみを使用した絶縁通信インターフェースを実現する事ができます。UART インターフェースは固定ボーレート 4800 bps で動作するので低速設計に最適です。

ADE7953 の UART インターフェースには (データを ADE7953 から送信する) Tx ピン (ピン 26) と (データをマイクロコントローラから受信する) Rx ピン (ピン 27) を通してアクセスします。スレーブとして動作する ADE7953 との UART インターフェースでは簡単なマスター/スレーブ回路が実行されます。すべての通信はマスター (マイクロコントローラ) によるスレーブ (ADE7953) への有効なフレームの送信によって開始されます。フレームのフォーマットを図 72 に示します。

図 72 に示すように、各フレームは 10 ビットで構成されます。各ビットは、4800 bps のビットレートで送信されるのでフレーム・タイムは 2.08 ms ( $(1/4800) \times 10$ ) になります。CS ピンと SCLK ピンを使った UART 通信モードが設定されから最初のフレームが送信されるまでの間 6ms のウェイト期間を追加する必要があります。フレーム間は最小 0.2 ms の間隔が必要です。すべてのフレーム・データは LSB ファーストで送信されます。

UART インターフェースを使った通信はマスターが 3 つのフレームの packets (表 10 を参照) を送る事により開始されます。

表 10. UART パケットのフレーム

フレーム	機能
F1	読み出し/書き込み
F2	アドレス MSB
F3	アドレス LSB

F1 で通信が読み出し動作か書き込み動作かを決定します。そして次の 2 つのフレーム (F2 と F3) でアクセスするレジスタを選択します。図 72 に示すように、各フレームは 8 個のデータ・ビットで構成されています。読み出しは値 0x35 を F1 に書き込む事により発行され、書き込みは値 0xCA を F1 に書き込む事によって発行されます。他の値はすべて無効と判断され、ADE7953 との通信は不成功になります。アドレス・バイトは MSB ファーストで送信されます;従って F2 の内容はアドレスの最上位部分となり、F3 の内容はアドレスの最下位部分になります。各アドレス・フレーム内のビットは LSB ファーストで送信されます。

ADE7953 の UART インターフェースは、通信を同期させ、通信の停止を防ぐために 2 つのタイムアウト ( $t_1$  と  $t_2$ ) を使用します。初めのタイムアウト ( $t_1$ ) はフレームとフレームの間の遅延で 4 ms max に固定されています。2 番目のタイムアウト ( $t_2$ ) はパケットとパケットの間の遅延で 6 ms min に固定されています。これらの 2 つのタイムアウトは UART 機能のリセットとして動作します。タイムアウトがどのように実行されるかについての詳細は UART 読み出しのセクションと UART 書き込みのセクションに述べられています。

正常な UART 通信の検証はマイクロコントローラの書き込み/読み込み/検証シーケンスを実施する事により行う事ができます。正常な通信は又通信の検証のセクションに述べられているように LAST\_ADD レジスタ, LAST\_RWDATA レジスタと LAST\_OP レジスタにも記録されます。

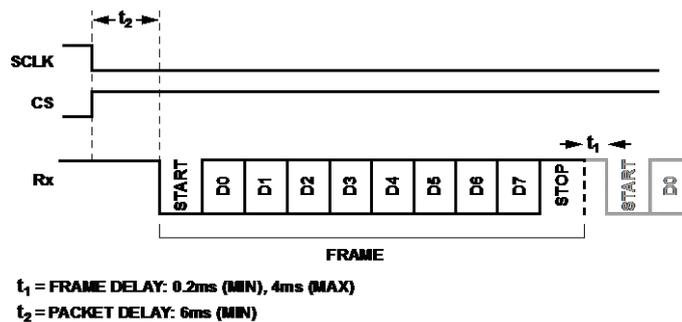


図 72. UART フレーム

09320-141

## UART 読み出し

ADE7953 からの UART インターフェース経由での読み出しは 3つのフレームの packets を送信するマスターによって開始されます。初めのフレームが値 0x35 であれば、読み出しが発行されます。2番目と3番目のフレームの内容はアクセスするレジスタのアドレスです。ADE7953 が正しい packets を受信した時、それは命令をデコードします (図 73 を参照)

フレーム・タイムは 2.08 ms です。4 ms max のフレームとフレームの間の遅延 ( $t_1$ )により、不必要に通信を遅らせる事なしにフレーム・タイムに 50%の余裕ができます。読み出し packets がデコードされると、ADE7953 は選択されたレジスタからデータを Tx ピンに送出します。(図 73 の F4 と F5 を参照) これは完全なフレームが受信された後約 0.1 ms で起こります。このデータはアクセスされるレジスタのサイズに応じて 1, 2, 3, 4 バイト長が可能です。レジスタのデータは LSB ファーストで送信されます。ADE7953 からレジスタ・データの最後のフレームが送信された後、Rx ピンに入力データを受信する前に 6 ms min の packets 間遅延( $t_2$ )が必要です。この packets 間タイムアウトにより重複が起きない事が確実にになります。

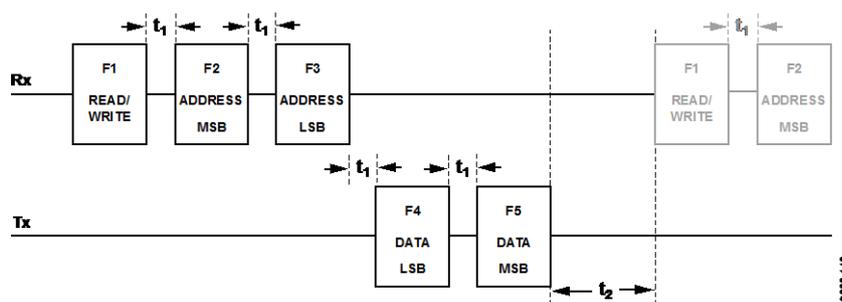


図 73. UART 読み出し

0632D-142

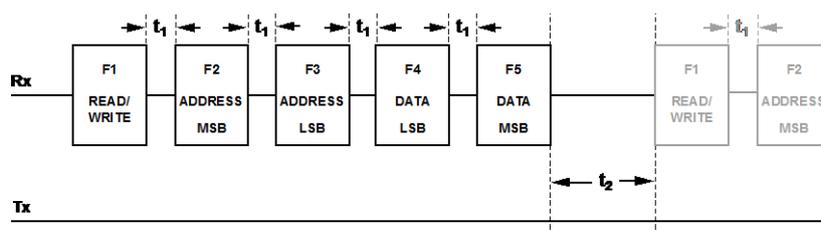


図 74. UART 書込み

0632C-143

## UART 書込み

UART インターフェースを使った ADE7953 への書き込みは、3つのフレームの packets を送信するマスターによって開始されます。初めのフレームの値が 0xCA であれば、書き込みが発行されます。2番目と3番目のフレームの内容はアクセスするレジスタのアドレスです。次の2つのフレームの内容は書込まれるデータです。ADE7953 が正しい packets を受信した時、ADE7953 は命令を次のようにデコードします:

- もし最初の packets 後に得られたフレームの数が F2 と F3 によって指定されたレジスタのサイズと同じであれば、packets は正しく、対応するレジスタに書き込まれます。
- もしフレームの数が規定されたレジスタのサイズに等しくない場合は、命令は不正となりそれ以上の動作は起きません。

Rx ピンでデータの最後のフレームを受信後、Rx ピンに印加される入力データが新しい packets として取り扱われる前に、 $t_2$  のウェイト期間が必要です。この動作を図 74 に示します。

## 通信の検証と安全性

ADE7953には通信の堅牢性を増し、内部レジスタへの予期しない変更がおこらないように3つの安全対策があります。書き込み保護、通信の検証、チェックサム機能を一緒に使用して、計器設計の堅牢性とノイズ耐性を増大させる事ができます。

### 書き込み保護

ADE7953は予期しない書き込み動作から内部レジスタを守る簡単な方法を提供します。この機能は要求される計器の設定がノイズ又はEMCによって変更されるのを防ぐ働きをします。計器を設定可能にしておくために書き込み保護機能はデフォルトでディスエーブルになっていますが、8ビットのWRITE\_PROTECTレジスタ（アドレス0x040）に書き込む事によりイネーブルにする事ができます。このレジスタの3つのLSBだけが使用されます。ビット0は8ビットレジスタの保護を制御します;ビット1は16ビットレジスタの保護を制御します;ビット2は24ビット/32ビットの保護を制御します。全てのビットはデフォルトで"0"にセットされていて、書き込み保護はディスエーブルになっています。これらの任意のビットを"1"にセットすると、対応するグループのレジスタの書き込み保護がイネーブルになります。書き込み保護がイネーブルの時、SPI, I<sup>2</sup>C, 又はUARTインターフェースを使ったすべての試された書き込み動作は無視されます。WRITE\_PROTECTビットを"0"に再セットする事によりレジスタ・バンクへのフル・アクセスが復帰します。

### 通信の検証

ADE7953には、SPI、I<sup>2</sup>CまたはUART経由の任意の通信を検証できる3つのレジスタ・セットが内蔵されています。LAST\_OPレジスタ（アドレス0x0FD）、LAST\_ADDレジスタ（アドレス0x1FE）とLAST\_RWDATAレジスタは最後に正常に行われた通信のタイプ、アドレスとデータをそれぞれ記録します。LAST\_RWDATAレジスタには正常な通信の長さに応じて、4つの別々のアドレスがあります（表11を参照）不必要に長い通信を避けるために複数アドレスの配置が含まれています。

表 11. LAST\_RWDATA レジスタのアドレス

レジスタ・アドレス	読み出し/書き込みの長さ
アドレス 0x0FF	8 ビット
アドレス 0x1FF	16 ビット
アドレス 0x2FF	24 ビット
アドレス 0x3FF	32 ビット

ADE7953との各正常な通信の後、アクセスされた最後のレジスタのアドレスが16ビットLAST\_ADDレジスタ（アドレス0x1FE）に保存されます。この読み出し専用のレジスタは次の正常な読み出し又は書き込みが完了するまで値を保存します。

LAST\_OPレジスタ（アドレス0x0FD）は通信のタイプを保存します。つまり、それは読み出し又は書き込みのどちらが実行されたかを示します。もし最後の動作が書き込みであった場合、LAST\_OPレジスタは値0xCAを保存します。もし最後の動作が読み込みであった場合、LAST\_OPレジスタは値0x35を保存します。

LAST\_RWDATAレジスタは、レジスタに書き込まれるデータ又はレジスタから読み出されるデータを保存します。不成功の読み出しと書き込み動作はこれらのレジスタには反映されません。

## チェックサム・レジスタ

ADE7953は32ビットチェックサム・レジスタCRC（アドレス0x37F）を内蔵しています。このチェックサム・レジスタは重要なCONFIGレジスタ、コントロール・レジスタ又はキャリブレーション・レジスタのいずれかが変更された場合ユーザーに警告を出します。チェックサム・レジスタは、計器設定が通常動作中その希望の状態から変更されない事を保証するのに役立ちます。表12はチェックサムに含まれているレジスタの表です。

チェックサムには追加の6つの内部予備レジスタも含まれています。ADE7953はIEEE 802.3規格に基づき、サイクリック冗長性チェック（CRC）を計算します。レジスタの内容は最下位ビットを先頭に1つ1つ線形フィードバック・シフト・レジスタ（LFSR）ベースの発振器に導入されます。32ビットの結果はCRCレジスタに書き込まれます。CRCはデフォルトでディセーブルですが、CONFIGレジスタ(アドレス0x102)のCRC\_ENABLEビット（ビット8）をセットする事によりイネーブルにすることができます。このビットをセットすると、CRCが計算されます。CRCはデフォルトでディセーブルなので、デフォルト値は0xFFFFFFFFです。

チェックサムに内蔵されているレジスタが、計器の設定後にCRCレジスタ（アドレス0x37F）の値を周期的に読み出す事により不注意に変更されないように、チェックサムを使用する事ができます。2つの連続した読み出し値が異なる場合、レジスタの1つが値を変えて、ADE7953の設定が変わったと想定する事ができます。推奨される対応は予備レジスタを含むすべてのADE7953レジスタをそれらのデフォルト値にリセットするハードウェア/ソフトウェア・リセットを発行する事です。次にADE7953を設計固有の設定で再設定する必要があります。

チェックサム機能に関連した割り込みは、CRCレジスタ値が初期設定後に変化した場合、IRQピンから外部警告信号を出力する事ができます。この割り込みはデフォルトでディセーブルですが、IRQENAレジスタ(アドレス0x22Cとアドレス0x32C)のCRCビット（ビット21）をセットする事によりイネーブルにすることができます。この割り込みがイネーブルの時、CRC値がイネーブルであった時に維持していた値から変化した場合、外部割り込みが発行されます。

表12. チェックサムに含まれているレジスタ

コンフィギュレーション・レジスタ と コントロール・レジスタ		キャリブレーション・レジスタ	
レジスタ名	アドレス	レジスタ名	アドレス
LCYCMODE	0x004	AIGAIN	0x280 and 0x380
PGA_V	0x007	VGAIN	0x281 and 0x381
PGA_IA	0x008	AWGAIN	0x282 and 0x382
PGA_IB	0x009	AVARGAIN	0x283 and 0x383
CONFIG	0x102	AVAGAIN	0x284 and 0x384
CF1DEN	0x103	AIOS	0x285 and 0x385
CF2DEN	0x104	AIRMSOS	0x286 and 0x386
CFMODE	0x107	VOS	0x287 and 0x387
PHCALA	0x108	VRMSOS	0x288 and 0x388
PHCALB	0x109	AWATTOS	0x289 and 0x389
ALT_OUTPUT	0x110	AVAROS	0x28A and 0x38A
ACCMODE	0x201 and 0x301	AVAOS	0x28B and 0x38B
IRQENA	0x22C and 0x32C	BIGAIN	0x28C and 0x38C
IRQENB	0x22F and 0x32F	BWGAIN	0x28E and 0x38E
		BVARGAIN	0x28F and 0x38F
		BVAGAIN	0x290 and 0x390
		BIOS	0x291 and 0x391
		BIRMSOS	0x292 and 0x392
		BWATTOS	0x295 and 0x395
		BVAROS	0x296 and 0x396
		BVAOS	0x297 and 0x397

## ADE7953 のレジスタ

ADE7953には8, 16, 24, 32ビット長のレジスタが内蔵されています。すべての符号付きレジスタは、2の補数フォーマットですが、PHCALAレジスタとPHCALBレジスタだけが例外で符号付き数値フォーマットです。24ビットレジスタと32ビットレジスタの内容は同じデータですが、2種類のレジスタ長でアクセスする事ができます。24ビット・レジスタを選択すると通信速度が上がります;32ビット・レジスタを選択すると長いフォーマットでコーディングする時、簡素化に役立ちます。32ビットレジスタをアクセスする時には、下位の24ビットのみに有効なデータが格納されます(上位8ビットは符号が拡張されます)。24ビット・レジスタへの書き込みは対応する32ビット・レジスタの値を変えます。そして逆も成り立ちます。従って、各24ビット/32ビットレジスタは2つの異なるパス経路でアクセス可能な1つのメモリ・ロケーションと見なす事ができます。

表 13.8 ビット・レジスタ

アドレス	レジスタ名	R/W	デフォルト	タイプ	レジスタの説明
0x000	SAGCYC	R/W	0x00	Unsigned	SAGライン・サイクル
0x001	DISNOLOAD	R/W	0x00	Unsigned	無負荷検出ディスエーブル
0x004	LCYCMODE	R/W	0x40	Unsigned	ラインサイクル積算モードの設定
0x007	PGA_V	R/W	0x00	Unsigned	電圧チャンネルのゲイン設定 (Bits[2:0])
0x008	PGA_IA	R/W	0x00	Unsigned	電流チャンネルAのゲイン設定 (Bits[2:0])
0x009	PGA_IB	R/W	0x00	Unsigned	電流チャンネルBのゲイン設定 (Bits[2:0])
0x040	WRITE_PROTECT	R/W	0x00	Unsigned	書き込み保護ビット (Bits[2:0])
0x0FD	LAST_OP	R	0x00	Unsigned	最後に正常に行われた通信のタイプ (読み出し又は書き込み) を格納 (0x35 = 読み出し; 0xCA = 書き込み)
0x0FF	LAST_RWDATA	R	0x00	Unsigned	最後に正常に行われた8ビット・レジスタ通信からのデータを格納。
0x702	Version	R	N/A	Unsigned	シリコン・バージョンナンバーを格納。
0x800	EX_REF	R/W	0x00	Unsigned	リファレンス入力の設定: 内部リファレンスは"0"に設定; 外付けリファレンスは"1"に設定

表 14.16 ビット・レジスタ

アドレス	レジスタ名	R/W	デフォルト	タイプ	レジスタの説明
0x100	ZXTOUT	R/W	0xFFFF	Unsigned	ゼロ交差タイムアウト
0x101	LINECYC	R/W	0x0000	Unsigned	ライン・サイクル電力量積算モードのハーフ・ライン・サイクル数
0x102	CONFIG	R/W	0x8004	Unsigned	コンフィギュレーション・レジスタ
0x103	CF1DEN	R/W	0x003F	Unsigned	CF1周波数分周器の分母
0x104	CF2DEN	R/W	0x003F	Unsigned	CF2周波数分周器の分母
0x107	CFMODE	R/W	0x0300	Unsigned	CF出力の選択
0x108	PHCALA	R/W	0x0000	Signed	位相キャリブレーション・レジスタ (電流チャンネルA)。このレジスタは符号付き数値フォーマットです。
0x109	PHCALB	R/W	0x0000	Signed	位相キャリブレーション・レジスタ (電流チャンネルB)。このレジスタは符号付き数値フォーマットです。
0x10A	PFA	R	0x0000	Signed	力率 (電流チャンネルA)
0x10B	PFB	R	0x0000	Signed	力率 (電流チャンネルB)
0x10C	ANGLE_A	R	0x0000	Signed	電圧入力と電流チャンネルAの間の角度
0x10D	ANGLE_B	R	0x0000	Signed	電圧入力と電流チャンネルB入力の間の角度
0x10E	Period	R	0x0000	Unsigned	周期レジスタ
0x110	ALT_OUTPUT	R/W	0x0000	Unsigned	代替え出力の機能
0x1FE	LAST_ADD	R	0x0000	Unsigned	最後に正常に行われた通信のアドレスを格納。
0x1FF	LAST_RWDATA	R	0x0000	Unsigned	最後に正常に行われた16ビット・レジスタ通信からのデータを格納。

表 15.24 ビット/32 ビット・レジスタ

アドレス		レジスタ名	R/W	デフォルト	タイプ	レジスタ説明
24bits	32bits					
0x200	0x300	SAGLVL	R/W	0x000000	Unsigned	SAG 電圧レベル
0x201	0x301	ACCMODE	R/W	0x000000	Unsigned	積算モード
0x203	0x303	AP_NOLOAD	R/W	0x00E419	Unsigned	有効電力の無負荷レベル
0x204	0x304	VAR_NOLOAD	R/W	0x00E419	Unsigned	無効電力の無負荷レベル
0x205	0x305	VA_NOLOAD	R/W	0x000000	Unsigned	皮相電力の無負荷レベル
0x210	0x310	AVA	R	0x000000	Signed	瞬間皮相電力 (電流チャンネル A)
0x211	0x311	BVA	R	0x000000	Signed	瞬間皮相電力 (電流チャンネル B)
0x212	0x312	AWATT	R	0x000000	Signed	瞬間有効電力 (電流チャンネル A)
0x213	0x313	BWATT	R	0x000000	Signed	瞬間有効電力 (電流チャンネル B)
0x214	0x314	AVAR	R	0x000000	Signed	瞬間無効電力 (電流チャンネル A)
0x215	0x315	BVAR	R	0x000000	Signed	瞬間無効電力 (電流チャンネル B)
0x216	0x316	IA	R	0x000000	Signed	瞬間電流 (電流チャンネル A)
0x217	0x317	IB	R	0x000000	Signed	瞬間電流 (電流チャンネル B)
0x218	0x318	V	R	0x000000	Signed	瞬間電圧 (電圧チャンネル)
0x21A	0x31A	IRMSA	R	0x000000	Unsigned	IRMS レジスタ(電流チャンネル A)
0x21B	0x31B	IRMSB	R	0x000000	Unsigned	IRMS レジスタ(電流チャンネル B)
0x21C	0x31C	VRMS	R	0x000000	Unsigned	VRMS レジスタ
0x21E	0x31E	AENERGYA	R	0x000000	Signed	有効電力量 (電流チャンネル A)
0x21F	0x31F	AENERGYB	R	0x000000	Signed	有効電力量 (電流チャンネル B)
0x220	0x320	RENERGYA	R	0x000000	Signed	無効電力量 (電流チャンネル A)
0x221	0x321	RENERGYB	R	0x000000	Signed	無効電力量 (電流チャンネル B)
0x222	0x322	APENERGYA	R	0x000000	Signed	皮相電力量 (電流チャンネル A)
0x223	0x323	APENERGYB	R	0x000000	Signed	皮相電力量 (電流チャンネル B)
0x224	0x324	OVLVL	R/W	0xFFFFF	Unsigned	過電圧レベル
0x225	0x325	OILVL	R/W	0xFFFFF	Unsigned	過電流レベル
0x226	0x326	VPEAK	R	0x000000	Unsigned	電圧チャンネルのピーク値
0x227	0x327	RSTVPEAK	R	0x000000	Unsigned	電圧ピーク (リセット読み出し)
0x228	0x328	IAPEAK	R	0x000000	Unsigned	電流チャンネル A のピーク値
0x229	0x329	RSTIAPEAK	R	0x000000	Unsigned	電流チャンネル A のピーク値 (リセット読み出し)
0x22A	0x32A	IBPEAK	R	0x000000	Unsigned	電流チャンネル B のピーク
0x22B	0x32B	RSTIBPEAK	R	0x000000	Unsigned	電流チャンネル B のピーク値 (リセット読み出し)
0x22C	0x32C	IRQENA	R/W	0x100000	Unsigned	割り込みイネーブル (電流チャンネル A)
0x22D	0x32D	IRQSTATA	R	0x000000	Unsigned	割り込みステータス (電流チャンネル A)
0x22E	0x32E	RSTIRQSTATA	R	0x000000	Unsigned	リセット割り込みステータス (電流チャンネル A)
0x22F	0x32F	IRQENB	R/W	0x000000	Unsigned	割り込みイネーブル (電流チャンネル B)
0x230	0x330	IRQSTATB	R	0x000000	Unsigned	割り込みステータス (電流チャンネル B)
0x231	0x331	RSTIRQSTATB	R	0x000000	Unsigned	リセット割り込みステータス (電流チャンネル B)
N/A	0x37F	CRC	R	0xFFFFFFFF	Unsigned	チェックサム
0x280	0x380	AIGAIN	R/W	0x400000	Unsigned	電流チャンネルのゲイン (電流チャンネル A)
0x281	0x381	VGAIN	R/W	0x400000	Unsigned	電圧チャンネルのゲイン
0x282	0x382	AWGAIN	R/W	0x400000	Unsigned	有効電力のゲイン (電流チャンネル A)
0x283	0x383	AVARGAIN	R/W	0x400000	Unsigned	無効電力のゲイン (電流チャンネル A)
0x284	0x384	AVAGAIN	R/W	0x400000	Unsigned	皮相電力のゲイン (電流チャンネル A)
0x285	0x385	AIOS	R/W	0x000000	Signed	電流チャンネルのオフセット (電流チャンネル A)
0x286	0x386	AIRMSOS	R/W	0x000000	Signed	IRMS のオフセット(電流チャンネル A)
0x287	0x387	VOS	R/W	0x000000	Signed	電圧チャンネルのオフセット
0x288	0x388	VRMSOS	R/W	0x000000	Signed	VRMS のオフセット
0x289	0x389	AWATTOS	R/W	0x000000	Signed	有効電力のオフセット修正 (電流チャンネル A)
0x28A	0x38A	AVAROS	R/W	0x000000	Signed	無効電力のオフセット修正 (電流チャンネル A)
0x28B	0x38B	AVAOS	R/W	0x000000	Signed	皮相電力のオフセット修正 (電流チャンネル A)

# ADE7953

アドレス		レジスタ名	R/W	デフォルト	タイプ	レジスタ説明
24bits	32bits					
0x28C	0x38C	BIGAIN	R/W	0x400000	Unsigned	電流チャンネルのゲイン (電流チャンネル B)
0x28E	0x38E	BWGAIN	R/W	0x400000	Unsigned	有効電力のゲイン (電流チャンネル B)
0x28F	0x38F	BVARGAIN	R/W	0x400000	Unsigned	無効電力のゲイン (電流チャンネル B)
0x290	0x390	BVAGAIN	R/W	0x400000	Unsigned	皮相電力のゲイン (電流チャンネル B)
0x291	0x391	BIOS	R/W	0x000000	Signed	電流チャンネルのオフセット (電流チャンネル B)
0x292	0x392	BIRMSOS	R/W	0x000000	Signed	IRMS のオフセット(電流チャンネル B)
0x295	0x395	BWATTOS	R/W	0x000000	Signed	有効電力のオフセット修正 (電流チャンネル B)
0x296	0x396	BVAROS	R/W	0x000000	Signed	無効電力のオフセット修正 (電流チャンネル B)
0x297	0x397	BVAOS	R/W	0x000000	Signed	皮相電力のオフセット修正 (電流チャンネル B)
0x2FF	0x3FF	LAST_RWDATA	R	0x000000	Unsigned	最後の正常に行われた 24 ビット/32 ビットレジスタの通信からのデータを格納。

## ADE7953 のレジスタの説明

表 16.DISNOLOAD レジスタ (アドレス 0x001)

Bits	Bit 名	デフォルト	説明
0	DIS_APNLOAD	0	1 =電流チャンネル A と電流チャンネル B の有効電力の無負荷機能をディスエーブルにする。
1	DIS_VARNLOAD	0	1 =電流チャンネル A と電流チャンネル B の無効電力の無負荷機能をディスエーブルにする。
2	DIS_VANLOAD	0	1 =電流チャンネル A と電流チャンネル B の皮相電力の無負荷機能をディスエーブルにする。

表 17.LCYCMODE レジスタ (アドレス 0x004)

Bits	Bit 名	デフォルト	説明
0	ALWATT	0	0 = 電流チャンネル A の有効電力量のライン・サイクル積算モードをディスエーブルにする。 1 = 電流チャンネル A の有効電力量のライン・サイクル積算モードをイネーブルにする。
1	BLWATT	0	0 = 電流チャンネル B の有効電力量のライン・サイクル積算モードをディスエーブルにする。 1 = 電流チャンネル B の有効電力量のライン・サイクル積算モードをイネーブルにする。
2	ALVAR	0	0 = 電流チャンネル A の無効電力量のライン・サイクル積算モードをディスエーブルにする。 1 = 電流チャンネル A の無効電力量のライン・サイクル積算モードをイネーブルにする。
3	BLVAR	0	0 = 電流チャンネル B の無効電力量のライン・サイクル積算モードをディスエーブルにする。 1 = 電流チャンネル B の無効電力量のライン・サイクル積算モードをイネーブルにする。
4	ALVA	0	0 = 電流チャンネル A の皮相電力量のライン・サイクル積算モードをディスエーブルにする。 1 = 電流チャンネル A の皮相電力量のライン・サイクル積算モードをイネーブルにする。
5	BLVA	0	0 = 電流チャンネル B の皮相電力量のライン・サイクル積算モードをディスエーブルにする。 1 B 電流チャンネル B の皮相電力量のライン・サイクル積算モードをイネーブルにする。
6	RSTREAD	1	0 = 全レジスタのリセット読み出しをディスエーブルにする。 1 = 全レジスタのリセット読み出しをイネーブルにする。

表 18.CONFIG レジスタ (アドレス 0x102)

Bits	Bit 名	デフォルト	説明
0	INTENA	0	1 =積分器がイネーブル (電流チャンネル A)
1	INTENB	0	1 =積分器がイネーブル (電流チャンネル B)
2	HPFEN	1	1 =HPF がイネーブル (全チャンネル)
3	PFMODE	0	0 =力率は瞬時電力を基準にする。 1 =力率はライン・サイクル積算モード電力量を基準にする。
4	REVP_CF	0	0 = REVP が CF1 について更新される。 1 = REVP が CF2 について更新される。
5	REVP_PULSE	0	0 =REVP は逆極性が”真”の時、”ハイ”になり、逆極性が”偽り”の時”ロー”になります。 1 =REVP は逆極性が”真”の時 1 Hz パルスを出力し、逆極性が”偽り”の時”ロー”になります。
6	ZXLPF	0	0 =ZX LPF はイネーブルです。 1 =ZX LPF はディスエーブルです。
7	SWRST	0	このビットをセットするとソフトウェア・リセットがイネーブルになります。

Bits	Bit名	デフォルト	説明										
8	CRC_ENABLE	0	0 = CRC はディスエーブルです。 1 = CRC はイネーブルです。										
[10:9]	PWR_LPF_SEL	00	ローパス・フィルタの選択 <table border="1"> <thead> <tr> <th>設定</th> <th>フィルタリング。</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>~250 ms</td> </tr> <tr> <td>01</td> <td>~500 ms</td> </tr> <tr> <td>10</td> <td>~1 sec</td> </tr> <tr> <td>11</td> <td>~2 sec</td> </tr> </tbody> </table>	設定	フィルタリング。	00	~250 ms	01	~500 ms	10	~1 sec	11	~2 sec
設定	フィルタリング。												
00	~250 ms												
01	~500 ms												
10	~1 sec												
11	~2 sec												
11	ZX_I	0	0 = ZX_I は電流チャンネル A を基本にしています。 1 = ZX_I は電流チャンネル B を基本にしています。										
[13:12]	ZX_EDGE	00	ゼロ交差の割り込みエッジの選択 <table border="1"> <thead> <tr> <th>設定</th> <th>エッジの選択</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。</td> </tr> <tr> <td>01</td> <td>割り込みは負に移行するゼロ交差で発行されます。</td> </tr> <tr> <td>10</td> <td>割り込みは正に移行するゼロ交差で発行されます。</td> </tr> <tr> <td>11</td> <td>割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。</td> </tr> </tbody> </table>	設定	エッジの選択	00	割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。	01	割り込みは負に移行するゼロ交差で発行されます。	10	割り込みは正に移行するゼロ交差で発行されます。	11	割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。
設定	エッジの選択												
00	割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。												
01	割り込みは負に移行するゼロ交差で発行されます。												
10	割り込みは正に移行するゼロ交差で発行されます。												
11	割り込みは正に移行するゼロ交差と負に移行するゼロ交差の両方で発行されます。												
14	Reserved	0	予約済み										
15	COMM_LOCK	1	0 = 通信ロック機能はイネーブルです。 1 = 通信ロック機能はディスエーブルです。										

表 19.CFMODE レジスタ (アドレス 0x107)

Bits	Bit名	デフォルト	説明																						
[3:0]	CF1SEL	0000	CF1 ピンの出力信号の設定 <table border="1"> <thead> <tr> <th>設定</th> <th>CF1 出力信号の設定</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>CF1 は有効電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0001</td> <td>CF1 は無効電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0010</td> <td>CF1 は皮相電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0011</td> <td>CF1 は IRMS (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0100</td> <td>CF1 は有効電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0101</td> <td>CF1 は無効電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0110</td> <td>CF1 は皮相電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0111</td> <td>CF1 は IRMS (電流チャンネル B) に比例します。</td> </tr> <tr> <td>1000</td> <td>CF1 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例。</td> </tr> <tr> <td>1001</td> <td>CF1 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例。</td> </tr> </tbody> </table>	設定	CF1 出力信号の設定	0000	CF1 は有効電力 (電流チャンネル A) に比例します。	0001	CF1 は無効電力 (電流チャンネル A) に比例します。	0010	CF1 は皮相電力 (電流チャンネル A) に比例します。	0011	CF1 は IRMS (電流チャンネル A) に比例します。	0100	CF1 は有効電力 (電流チャンネル B) に比例します。	0101	CF1 は無効電力 (電流チャンネル B) に比例します。	0110	CF1 は皮相電力 (電流チャンネル B) に比例します。	0111	CF1 は IRMS (電流チャンネル B) に比例します。	1000	CF1 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例。	1001	CF1 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例。
設定	CF1 出力信号の設定																								
0000	CF1 は有効電力 (電流チャンネル A) に比例します。																								
0001	CF1 は無効電力 (電流チャンネル A) に比例します。																								
0010	CF1 は皮相電力 (電流チャンネル A) に比例します。																								
0011	CF1 は IRMS (電流チャンネル A) に比例します。																								
0100	CF1 は有効電力 (電流チャンネル B) に比例します。																								
0101	CF1 は無効電力 (電流チャンネル B) に比例します。																								
0110	CF1 は皮相電力 (電流チャンネル B) に比例します。																								
0111	CF1 は IRMS (電流チャンネル B) に比例します。																								
1000	CF1 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例。																								
1001	CF1 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例。																								
[7:4]	CF2SEL	0000	CF2 ピンの出力信号の設定 <table border="1"> <thead> <tr> <th>設定</th> <th>CF2 出力信号の設定</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>CF2 は有効電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0001</td> <td>CF2 は無効電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0010</td> <td>CF2 は皮相電力 (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0011</td> <td>CF2 は IRMS (電流チャンネル A) に比例します。</td> </tr> <tr> <td>0100</td> <td>CF2 は有効電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0101</td> <td>CF2 は無効電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0110</td> <td>CF2 は皮相電力 (電流チャンネル B) に比例します。</td> </tr> <tr> <td>0111</td> <td>CF2 は IRMS (電流チャンネル B) に比例します。</td> </tr> <tr> <td>1000</td> <td>CF2 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例します。</td> </tr> <tr> <td>1001</td> <td>CF2 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例します。</td> </tr> </tbody> </table>	設定	CF2 出力信号の設定	0000	CF2 は有効電力 (電流チャンネル A) に比例します。	0001	CF2 は無効電力 (電流チャンネル A) に比例します。	0010	CF2 は皮相電力 (電流チャンネル A) に比例します。	0011	CF2 は IRMS (電流チャンネル A) に比例します。	0100	CF2 は有効電力 (電流チャンネル B) に比例します。	0101	CF2 は無効電力 (電流チャンネル B) に比例します。	0110	CF2 は皮相電力 (電流チャンネル B) に比例します。	0111	CF2 は IRMS (電流チャンネル B) に比例します。	1000	CF2 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例します。	1001	CF2 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例します。
設定	CF2 出力信号の設定																								
0000	CF2 は有効電力 (電流チャンネル A) に比例します。																								
0001	CF2 は無効電力 (電流チャンネル A) に比例します。																								
0010	CF2 は皮相電力 (電流チャンネル A) に比例します。																								
0011	CF2 は IRMS (電流チャンネル A) に比例します。																								
0100	CF2 は有効電力 (電流チャンネル B) に比例します。																								
0101	CF2 は無効電力 (電流チャンネル B) に比例します。																								
0110	CF2 は皮相電力 (電流チャンネル B) に比例します。																								
0111	CF2 は IRMS (電流チャンネル B) に比例します。																								
1000	CF2 は IRMS (電流チャンネル A) + IRMS (電流チャンネル B) に比例します。																								
1001	CF2 は有効電力 (電流チャンネル A) + 有効電力 (電流チャンネル B) に比例します。																								
8	CF1DIS	1	0 = CF1 出力はイネーブルです。 1 = CF1 出力はディスエーブルです。																						
9	CF2DIS	1	0 = CF2 出力はイネーブルです。 1 = CF2 出力はディスエーブルです。																						

表 20.ALT\_OUTPUT レジスタ (アドレス 0x110)

Bits	Bit名	デフォルト	説明	
[3:0]	ZX_ALT	0000	ZX ピン (ピン 1)の設定	
			<b>設定</b>	<b>ZP ピンの設定</b>
			0000	ZX 検出がピン 1 から出力します。(デフォルト)
			0001	SAG 検出がピン 1 から出力します。
			0010	予約済み
			0011	予約済み
			0100	予約済み
			0101	有効電力の無負荷検出(電流チャンネル A)がピン 1 から出力します。
			0110	有効電力の無負荷検出(電流チャンネル B)がピン 1 から出力します。
			0111	無効電力の無負荷検出(電流チャンネル A)がピン 1 から出力します。
			1000	無効電力の無負荷検出(電流チャンネル B)がピン 1 から出力します。
			1001	非ラッチ型波形サンプリング信号がピン 1 から出力します。
			1010	$\overline{\text{IRQ}}$ 信号がピン 1 から出力します。
			1011	ZX_I 検出がピン 1 から出力します。
1100	$\overline{\text{REVP}}$ 検出がピン 1 から出力します。			
1101	予約済み (デフォルト値にセット)。			
111x	予約済み (デフォルト値にセット)。			
[7:4]	ZXI_ALT	0000	ZX_I ピンの設定 (ピン 21)	
			<b>設定</b>	<b>ZX_I ピンの設定</b>
			0000	ZX_I 検出がピン 21 から出力します。(デフォルト)
			0001	SAG 検出がピン 21 から出力します。
			0010	予約済み
			0011	予約済み
			0100	予約済み
			0101	有効電力の無負荷検出(電流チャンネル A)がピン 21 から出力します。
			0110	有効電力の無負荷検出(電流チャンネル B)がピン 21 から出力します。
			0111	無効電力の無負荷検出(電流チャンネル A)がピン 21 から出力します。
			1000	無効電力の無負荷検出(電流チャンネル B)がピン 21 から出力します。
			1001	非ラッチ型波形サンプリング信号がピン 21 から出力します。
			1010	$\overline{\text{IRQ}}$ 信号検出がピン 21 から出力します。
			1011	ZX 検出がピン 21 から出力します。
1100	$\overline{\text{REVP}}$ 検出がピン 21 から出力します。			
1101	予約済み (デフォルト値にセット)。			
111x	予約済み (デフォルト値にセット)。			
[11:8]	REVP_ALT	0000	REVP ピンの設定 (ピン 20)	
			<b>設定</b>	<b>REVP ZX_I ピンの設定</b>
			0000	REVP ZX_I 検出がピン 20 から出力します(デフォルト)。
			0001	SAG 検出がピン 20 から出力します。
			0010	予約済み
			0011	予約済み
			0100	予約済み
			0101	有効電力の無負荷検出(電流チャンネル A)がピン 20 から出力します。
			0110	有効電力の無負荷検出(電流チャンネル B)がピン 20 から出力します。
			0111	無効電力の無負荷検出(電流チャンネル A)がピン 20 から出力します。
			1000	無効電力の無負荷検出(電流チャンネル B)がピン 20 から出力します。
			1001	非ラッチ型波形サンプリング信号がピン 20 から出力します。
			1010	$\overline{\text{IRQ}}$ 信号がピン 20 から出力します。
			1011	ZX 検出がピン 20 から出力します。
1100	ZX_I 検出がピン 20 から出力します。			
1101	予約済み (デフォルト値にセット)。			
111x	予約済み (デフォルト値にセット)。			

表 21.ACCMODE レジスタ(アドレス 0x201 とアドレス 0x301)

Bits	Bit 名	デフォルト	説明	
[1:0]	AWATTACC	00	電流チャンネル A の有効電力量積算モード	
			設定	有効電力量積算モード(電流チャンネル A)
			00	通常モード
			01	正側限定の積算モード
			10	絶対積算モード
[3:2]	BWATTACC	00	電流チャンネル B の有効電力量積算モード	
			設定	有効電力量積算モード(電流チャンネル B)
			00	通常モード
			01	正側限定の積算モード
			10	絶対積算モード
[5:4]	AVARACC	00	電流チャンネル A の有効電力量積算モード	
			設定	無効電力量積算モード(電流チャンネル A)
			00	通常モード
			01	改ざん防止積算モード
			10	絶対積算モード
[7:6]	BVARACC	00	電流チャンネル B の無効電力量積算モード	
			設定	無効電力量積算モード(電流チャンネル B)
			00	通常モード
			01	改ざん防止積算モード
			10	絶対積算モード
8	AVAACC	0	0=電流チャンネル A の皮相電力量積算は通常モードです。 1=電流チャンネル A の皮相電力量積算は IRMSA を基準にしています。	
9	BVAACC	0	0=電流チャンネル B の皮相電力量の積算は通常モードです。 1=電流チャンネル B の皮相電力量の積算は IRMSB を基準にしています。	
10	APSIGN_A	0	0=電流チャンネル A の有効電力は正 1=電流チャンネル A の有効電力は負	
11	APSIGN_B	0	0=電流チャンネル B の有効電力は正 1=電流チャンネル B の有効電力は負	
12	VARSIGN_A	0	0=電流チャンネル A の無効電力は正 1=電流チャンネル A の無効電力は負	
13	VARSIGN_B	0	0=電流チャンネル B の無効電力は正 1=電流チャンネル B の無効電力は負	
[15:14]	予約済み	00	予約済み	
16	ACTNLOAD_A	0	0=電流チャンネル A の有効電力は無負荷状態から外れています。 1=電流チャンネル A の有効電力は無負荷状態です。	
17	VANLOAD_A	0	0=電流チャンネル A の皮相電力量は無負荷状態から外れています。 1=電流チャンネル A の皮相電力量は無負荷状態です。	
18	VARNLOAD_A	0	0=電流チャンネル A の無効電力量は無負荷状態から外れています。 1=電流チャンネル A の無効電力量は無負荷状態です。	
19	ACTNLOAD_B	0	0=電流チャンネル B の有効電力量は無負荷状態から外れています。 1=電流チャンネル B の有効電力量は無負荷状態です。	
20	VANLOAD_B	0	0=電流チャンネル B の皮相電力量は無負荷状態から脱した 1=電流チャンネル B の皮相電力量は無負荷状態です。	
21	VARNLOAD_B	0	0=電流チャンネル B の無効電力量は無負荷状態から外れています。 1=電流チャンネル B の無効電力量は無負荷状態です。	

## 割り込みイネーブルと割り込みステータスのレジスタ

### 電流チャンネル A と電圧チャンネルのレジスタ

表 22.IRQENA レジスタ (アドレス 0x22C と アドレス 0x32C), IRQSTATA レジスタ (アドレス 0x22D と アドレス 0x32D) と RSTIRQSTATA レジスタ (アドレス 0x22E と アドレス 0x32E)

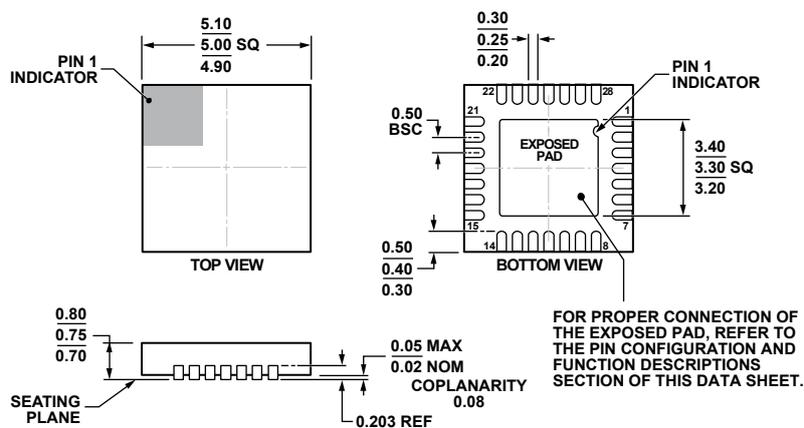
ビット数	ビット名	説明
0	AEHFA	有効電力量がフルスケールの半分(電流チャンネル A)
1	VAREHFA	無効電力量がフルスケールの半分 (電流チャンネル A)
2	VAEHFA	皮相電力量がフルスケールの半分 (電流チャンネル A)
3	AEOF A	有効電力量がオーバーフロー又はアンダーフローした(電流チャンネル A)。
4	VAREOF A	無効電力量がオーバーフロー又はアンダーフローした(電流チャンネル A)
5	VAEOF A	皮相電力量がオーバーフロー又はアンダーフローした (電流チャンネル A)
6	AP_NOLOADA	電流チャンネル A の有効電力の無負荷検出
7	VAR_NOLOADA	電流チャンネル A の無効電力の無負荷検出
8	VA_NOLOADA	電流チャンネル A の皮相電力の無負荷検出
9	APSIGN_A	有効電力量の符号が変わった(電流チャンネル A)
10	VARSIGN_A	無効電力量の符号が変わった(電流チャンネル A)
11	ZXTO_IA	ZXTOUT レジスタに指定された時間の長さの間で電流チャンネル A のゼロ交差が失われている事を表示。
12	ZXIA	電流チャンネル A のゼロ交差。
13	OIA	電流チャンネル A のピークが OILVL レジスタに設定された過電流しきい値を超過した。
14	ZXTO	ZXTOUT レジスタに指定された時間の長さの間電圧チャンネルのゼロ交差が失われている事を表示。
15	ZXV	電圧チャンネルのゼロ交差
16	OV	電圧チャンネルのピークが OVLVL レジスタに設定された過電圧しきい値を超過した。
17	WSMP	新しい波形データ
18	CYCEND	ライン・サイクル積算期間の終了
19	Sag	SAG イベントが起こった
20	Reset	ソフトウェア又はハードウェアのリセットの終わり
21	CRC	チェックサムが変わった

### 電流チャンネル B のレジスタ

表 23.IRQENB レジスタ (アドレス 0x22F と アドレス 0x32F), IRQSTATB レジスタ (アドレス 0x230 と アドレス 0x330), RSTIRQSTATB レジスタ (アドレス 0x231 and アドレス 0x331)

ビット数	ビット名	説明
0	AEHFB	有効電力量がフルスケールの半分(電流チャンネル B)
1	VAREHFB	無効電力量がフルスケールの半分 (電流チャンネル B)
2	VAEHFB	皮相電力量がフルスケールの半分 (電流チャンネル B)
3	AEOF B	有効電力量がオーバーフロー又はアンダーフローした(電流チャンネル B)。
4	VAREOF B	無効電力量がオーバーフロー又はアンダーフローした(電流チャンネル B)
5	VAEOF B	皮相電力量がオーバーフロー又はアンダーフローした (電流チャンネル B)
6	AP_NOLOADB	電流チャンネル B の有効電力の無負荷検出
7	VAR_NOLOADB	電流チャンネル B の無効電力の無負荷検出
8	VA_NOLOADB	電流チャンネル B の皮相電力の無負荷検出
9	APSIGN_B	有効電力量の符号が変化した(電流チャンネル B)
10	VARSIGN_B	無効電力量の符号が変化した(電流チャンネル B)
11	ZXTO_IB	ZXTOUT レジスタに指定された時間の長さの間電流チャンネル B のゼロ交差が失われている事を表示。
12	ZXIB	電流チャンネル B のゼロ交差
13	OIB	電流チャンネル B のピークが OILV レジスタにセットされた過電流しきい値を超えた。

# 外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-3.

120809-A

図 75.28 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ] 5 mm × 5 mm ボディ、極薄クラウド(CP-28-6) 寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADE7953ACPZ	-40°C to +85°C	28-Lead LFCSP_WQ	CP-28-6
ADE7953ACPZ-RL	-40°C to +85°C	28-Lead LFCSP_WQ, 13" Tape and Reel	CP-28-6
EVAL-ADE7953EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品

ノート

ノート

## ノート

I<sup>2</sup>C は初めフィリップス・セミコンダク（現在は NXP セミコンダクタ）によって開発された通信プロトコールです。