



正誤表

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2013年8月13日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2013年08月13日

製品名：ADE7880

対象となるデータシートのリビジョン(Rev)：Rev.A

訂正箇所：

P.11

和文データシートの図6 ピン配置のNOTES 2にDO NOT CONNECT THE PADS TO AGND OR DGND. と記載されておりますがこれは間違いでPADはAGNDに接続する必要があります。

P12

表7 ピン機能の説明でEP:エクスポーズド・パッドの説明がこれらのパッドはADNGまたはDGNDへ接続しないでくださいと記述されておりますがこれは間違いでエクスポーズド・パッドはADNGに接続する必要があります。

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸 1-16-1
ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36
新大阪トラストタワー
電話 06 (6350) 6868



高調波モニタリング機能付きの 多機能多相電力量計IC

データシート

ADE7880

特長

- 高精度: IEC 62053-21、IEC 62053-22、IEC 62053-23、EN 50470-1、EN 50470-3、ANSI C12.20、IEEE1459 の各規格に対応
- IEC 61000-4-7 Class I と Class II の精度仕様に対応
- 3相、3線式または4線式(ΔまたはY)、その他の3相に互換全相の、rms値、有効/無効/皮相電力、力率、THD、2.8 kHz 通過帯域内の全高調波の高調波歪を提供
- 中性電流の2.8 kHz 通過帯域内で全高調波のrms値と高調波歪みを提供
- $T_A = 25^\circ\text{C}$ 、2000:1 ダイナミックレンジでの高調波電流/電圧rms値と高調波有効/無効電力の誤差は1%以下
- 各相とシステム全体の総合(基本波と高調波)有効/皮相電力量と基本波有効/無効電力量を提供
- $T_A = 25^\circ\text{C}$ 、1000:1 ダイナミックレンジでの有効電力量/基本波無効電力量の誤差は0.1%以下
- $T_A = 25^\circ\text{C}$ 、5000:1 ダイナミックレンジでの有効電力量/基本波無効電力量の誤差は0.2%以下
- $T_A = 25^\circ\text{C}$ 、1000:1 ダイナミックレンジでの電圧/電流rms値の誤差は0.1%以下
- 中性喪失動作のバッテリー電源入力を装備
- 広い動作電源電圧範囲: 2.4V~3.7V
- 外部オーバードライブ機能付きの1.2Vリファレンス電圧(ドリフト10 ppm/°C typ)を内蔵
- Pbフリーの40ピン・リードフレーム・チップ・スケール・パッケージ(LFCSP)を採用し、ADE7854、ADE7858、ADE7868、ADE7878 とピン互換

アプリケーション

- 電力量計システム
- 電力品質の監視
- ソーラー・パネル・インバータ
- プロセス監視
- 保護装置

概要

ADE7880¹は、シリアル・インターフェースと3個の柔軟なパルス出力を内蔵する高精度3相電力量計ICです。ADE7880 デバイスは、2次シグマ・デルタ($\Sigma\Delta$)型A/Dコンバータ(ADC)、デジタル積分器、リファレンス回路、総合(基本波と高調波)有効電力量/皮相電力量の計測、rmsの計算、基本波のみの有効/無効電力量の計測に必要とされるすべての信号処理機能を内蔵しています。さらに、ADE7880では、相電流/中性電流と相電圧の高調波rms値、有効/無効/皮相電力、全相について各高調波の力率と高調波歪みを計算します。全高調波歪み(THD)は、すべての電流と電圧について計算します。機能が固定されたデジタル信号プロセッサ(DSP)がこの信号処理を実行します。DSPプログラムは内部ROMメモリに格納されています。

ADE7880は、3線式および4線式のY結線やΔ結線のような種々の3相構成での有効/無効/皮相電力量の測定に適しています。ADE7880は、各相のシステム・キャリブレーション機能、すなわちrmsオフセット補正、位相キャリブレーション、ゲイン・キャリブレーションを提供します。CF1、CF2、CF3の各ロジック出力は、総合有効電力、皮相電力、または電流rms値の和、基本波有効/無効電力についての広範囲な電力情報を提供します。

ADE7880は、すべてのADC出力をアクセス可能にする波形サンプル・レジスタを内蔵しています。またこのデバイスは、短時間低/高電圧検出、短時間高電流変動、ライン電圧周期計測、相電圧-相電流間の角度といった電力品質の計測機能も内蔵しています。SPIとI²Cの2個のシリアル・インターフェースは、ADE7880との通信に使用することができます。専用高速インターフェースである高速データ・キャプチャ(HSDC)ポートをI²Cと組み合わせて使うと、ADC出力とリアルタイム電力情報にアクセスすることができます。また、ADE7880には許可された割り込みイベントが発生したことを通知する2本の割り込み要求ピン(IRQ0とIRQ1)があります。特別にデザインされた3つの低消費電力モードにより、ADE7880が改竄環境に置かれても電力量積算の連続性が確保されます。ADE7880はPbフリーの40ピンLFCSPパッケージを採用し、ADE7854、ADE7858、ADE7868、ADE7878の各デバイスとピン互換です。

¹ 特許申請中。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2011-2012 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	電力品質での測定	31
アプリケーション	1	位相補償	36
概要	1	リファレンス回路	38
改訂履歴	2	デジタル信号プロセッサ	38
機能ブロック図	3	2乗平均の測定	39
仕様	4	有効電力量の計算	43
タイミング特性	7	基本波無効電力の計算	49
絶対最大定格	10	皮相電力量計算	53
熱抵抗	10	力率の計算	55
ESDの注意	10	高調波の計算	56
ピン配置およびピン機能説明	11	波形サンプリング・モード	64
代表的な性能特性	13	電力量/周波数変換	64
テスト回路	18	無負荷状態	69
用語	19	CHECKSUM レジスタ	71
パワーマネージメント	20	割込み	72
PSM0—通常消費電力モード(全製品)	20	シリアル・インターフェース	73
PSM1—省電力モード	20	電力量計としての ADE7880 のクイック・セットアップ	80
PSM2—低消費電力モード	20	ADE7880 評価用ボード	80
PSM3—スリープ・モード(全製品)	21	チップ・バージョン	80
パワーアップ・プロシージャ	23	シリコン・アノマリ	81
ハードウェア・リセット	24	ADE7880 の機能問題	81
ソフトウェア・リセット機能	24	機能問題	81
動作原理	25	セクション 1. ADE7880 の機能上の問題	82
アナログ入力	25	レジスタの一覧	83
A/D 変換	25	外形寸法	103
電流チャンネル ADC	26	オーダー・ガイド	103
di/dt 電流センサーとデジタル積分器	28		
電圧チャンネル ADC	29		
相電圧データ・パスの変更	30		

改訂履歴

3/12—Rev. 0 to Rev. A	
Removed References to + N (Plus Noise) and changed VTHDN to VTHD and ITHDN to ITHD	Throughout
Changes to Reactive Energy Management Parameter in Table 1	4
Changes to Figure 6	11
Changes to Table 7	12
Changes to Phase Compensation Section	36
Changes to Equation 13	39
Changes to Equation 33	49
Changes to Fundamental Reactive Energy Calculation Section	51
Changes to Figure 80	55
Changes to Figure 85	62
Changes to Energy Registers and CF Outputs for Various Accumulation Modes Section	67
Changes to Figure 95	69
Changes to No Load Condition Section	69
Changes to Equation 53	71
Changes to Figure 100	74
Changes to Figure 101 and to Figure 102	75
Changes to SPI-Compatible Interface Section	76
Changes to HSDC Interface Section	78
Changes to Figure 109 and to Figure 110	80
Changes to Silicon Anomaly Section	81
Changes to Table 48	99
Changes to Table 52	101
10/11—Revision 0:Initial Version	

機能ブロック図

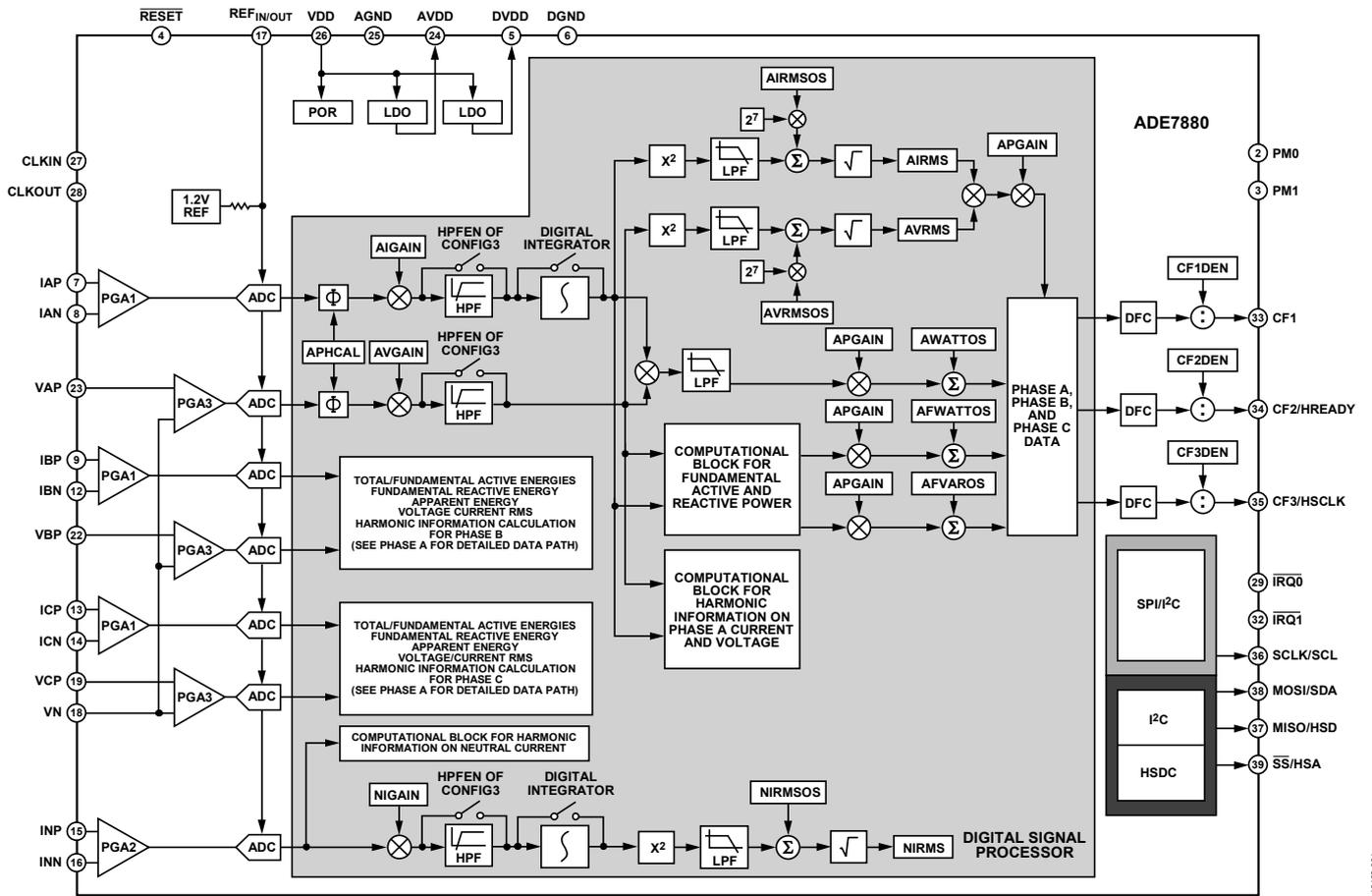


図 1. ADE7880 の機能ブロック図

10189-001

仕様

VDD = 3.3 V ± 10%、AGND = DGND = 0 V、内蔵リファレンス、CLKIN = 16.384 MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。

表 1.

Parameter ^{1,2}	Min	Typ	Max	Unit	Test Conditions/Comments
ACTIVE ENERGY MEASUREMENT					
Active Energy Measurement Error (per Phase)					
Total Active Energy		0.1		%	1000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 1、ゲイン補償のみ
		0.2		%	5000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 1
		0.1		%	500:1 のダイナミックレンジ、PGA = 1、8、 16; 積分器オン、pf = 1、ゲイン補償のみ
		0.2		%	2000:1 のダイナミックレンジ、PGA = 8、 16; 積分器オン、pf = 1
Fundamental Active Energy		0.1		%	1000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 1、ゲイン補償のみ
		0.2		%	5000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 1
		0.1		%	500:1 のダイナミックレンジ、PGA = 1、8、 16; 積分器オン、pf = 1、ゲイン補償のみ
		0.2		%	2000:1 のダイナミックレンジ、PGA = 8、 16; 積分器オン、pf = 1
Phase Error Between Channels					ライン周波数 = 45 Hz ~ 65 Hz、HPF 使用
Power Factor (PF) = 0.8 Capacitive			±0.05	Degrees	位相進み 37°
PF = 0.5 Inductive			±0.05	Degrees	位相遅れ 60°
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms/120 Hz、IPx = VPx = ±100 mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc
Output Frequency Variation		0.01		%	
Total Active Energy Measurement Bandwidth (-3 dB)		3.3		kHz	
REACTIVE ENERGY MEASUREMENT					
Reactive Energy Measurement Error (per Phase)					
Fundamental Reactive Energy		0.1		%	1000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 0、ゲイン補償のみ
		0.2		%	5000:1 のダイナミックレンジ、PGA = 1、 2、4; 積分器オフ、pf = 0
		0.1		%	500:1 のダイナミックレンジ、PGA = 0、8、 16; 積分器オン、pf = 1、ゲイン補償のみ
		0.2		%	2000:1 のダイナミックレンジ、PGA = 8、 16; 積分器オン、pf = 0
Phase Error Between Channels					ライン周波数 = 45 Hz ~ 65 Hz、HPF 使用
PF = 0.8 Capacitive			±0.05	Degrees	位相進み 37°
PF = 0.5 Inductive			±0.05	Degrees	位相遅れ 60°
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms/120 Hz、IPx = VPx = ± 100 mV rms
Output Frequency Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc

Parameter ^{1,2}	Min	Typ	Max	Unit	Test Conditions/Comments
Output Frequency Variation		0.01		%	
Fundamental Reactive Energy Measurement Bandwidth (-3 dB)		3.3		kHz	
RMS MEASUREMENTS					
I RMS and V RMS Measurement Bandwidth (-3 dB)		3.3		kHz	
I RMS and V RMS Measurement Error (PSM0 Mode)		0.1		%	1000:1 のダイナミックレンジ、PGA = 1
MEAN ABSOLUTE VALUE (MAV) MEASUREMENT					
I MAV Measurement Bandwidth (PSM1 Mode)		260		Hz	
I MAV Measurement Error (PSM1 Mode)		0.5		%	100:1 のダイナミックレンジ、PGA = 1、2、4、8
HARMONIC MEASUREMENTS					
Bandwidth (-3 dB)		3.3		kHz	
No attenuation Pass Band		2.8		kHz	
Fundamental Line Frequency f_L	45		66	Hz	公称電圧の振幅は、電圧 ADC で 100 mV ピークより大きい必要があります
Maximum Number of Harmonics ³			$\left\lceil \frac{2800}{f_L} \right\rceil$		
Absolute Maximum Number of Harmonics			63		
Harmonic RMS Measurement Error		1		%	通過帯域内周波数の高調波に対する 1000:1 ダイナミックレンジでの瞬時読出し精度; 750 ms 初期セトリング・タイム後; PGA = 1
Harmonic Active/Reactive Power Measurement Error		1		%	通過帯域内周波数の高調波に対する 1000:1 ダイナミックレンジでの瞬時読出し精度; 750 ms 初期セトリング・タイム後; PGA = 1
					通過帯域内周波数の高調波に対する 2000:1 ダイナミックレンジでの精度; 128 ms 更新レートで 10 回読出しの平均、750 ms 初期セトリング・タイム後; PGA = 1
ANALOG INPUTS					
Maximum Signal Levels			±500	mV peak	IAP と IAN の間、IBP と IBN の間、ICP と ICN の間は差動入力; VAP と VN の間、VBP と VN、VCP、VN の間はシングルエンド入力
Input Impedance (DC)					
IAP, IAN, IBP, IBN, ICP, ICN, VAP, VBP, and VCP Pins	490			kΩ	
VN Pin	170			kΩ	
ADC Offset Error		-35		mV	PGA = 1、未キャリブレーション誤差、用語のセクションを参照。他の PGA ゲインに反比例するようにスケール
Gain Error		-2		%	外付け 1.2 V リファレンス

Parameter ^{1,2}	Min	Typ	Max	Unit	Test Conditions/Comments
WAVEFORM SAMPLING					サンプリング CLKIN/2048、16.384 MHz/2048 = 8 kSPS 波形サンプリング・モードのセクション参照
Current and Voltage Channels					
Signal-to-Noise Ratio, SNR		72		dB	PGA = 1
Signal-to-Noise-and-Distortion Ratio, SINAD		72		dB	PGA = 1
Bandwidth (-3 dB)		3.3		kHz	
TIME INTERVAL BETWEEN PHASES					
Measurement Error		0.3		Degrees	ライン周波数 = 45 Hz ~ 65 Hz、HPF 使用
CF1, CF2, CF3 PULSE OUTPUTS					
Maximum Output Frequency		68.818		kHz	WTHR = VARTH = VATHR = 3
Duty Cycle		50		%	If CF1, CF2, or CF3 frequency > 6.25 Hz and CFDEN is even and > 1
		$(1 + 1/CFDEN) \times 50$		%	If CF1, CF2, or CF3 frequency > 6.25 Hz and CFDEN is odd and > 1
Active Low Pulse Width		80		ms	If CF1, CF2, or CF3 frequency < 6.25 Hz
Jitter		0.04		%	For CF1, CF2, or CF3 frequency = 1 Hz and nominal phase currents are larger than 10% of full scale
REFERENCE INPUT					
REF _{IN/OUT} Input Voltage Range	1.1		1.3	V	Minimum = 1.2 V - 8%; maximum = 1.2 V + 8%
Input Capacitance			10	pF	
ON-CHIP REFERENCE					Nominal 1.21 V at the REFIN/OUT pin at TA = 25°C
PSM0 and PSM1 Modes					
Reference Error		±2		mV	
Output Impedance	1			kΩ	
Temperature Coefficient		10	50	ppm/°C	
CLKIN					All specifications CLKIN of 16.384 MHz
Input Clock Frequency	16.22	16.384	16.55	MHz	
Crystal Equivalent Series Resistance	30		200	Ω	
CLKIN Load Capacitor ⁴		20	40	pF	
CLKOUT Load Capacitor ⁴		20	40	pF	
LOGIC INPUTS—MOSI/SDA, SCLK/SCL, \overline{SS} , \overline{RESET} , PM0, AND PM1					
Input High Voltage, V _{INH}	2.4			V	VDD = 3.3 V ± 10%
Input Current, I _{IN}			82	nA	Input = VDD = 3.3 V
Input Low Voltage, V _{INL}			0.8	V	VDD = 3.3 V ± 10%
Input Current, I _{IN}			-7.3	μA	Input = 0, VDD = 3.3 V
Input Capacitance, C _{IN}			10	pF	
LOGIC OUTPUTS— $\overline{IRQ0}$, $\overline{IRQ1}$, AND MISO/HSD					VDD = 3.3 V ± 10%
Output High Voltage, V _{OH}	3.0			V	VDD = 3.3 V ± 10%
I _{SOURCE}			800	μA	
Output Low Voltage, V _{OL}			0.4	V	VDD = 3.3 V ± 10%
I _{SINK}			2	mA	
CF1, CF2, CF3/HSCLK					
Output High Voltage, V _{OH}	2.4			V	VDD = 3.3 V ± 10%
I _{SOURCE}			500	μA	
Output Low Voltage, V _{OL}			0.4	V	VDD = 3.3 V ± 10%
I _{SINK}			2	mA	

Parameter ^{1,2}	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY					For specified performance
PSM0 Mode					
VDD Pin	2.97		3.63	V	Minimum = 3.3 V - 10%; maximum = 3.3 V + 10%
I _{DD}		25	28	mA	
PSM1 and PSM2 Modes					
VDD Pin	2.4		3.7	V	
I _{DD}					
PSM1 Mode		5.3	5.8	mA	
PSM2 Mode		0.2	0.27	mA	
PSM3 Mode					For specified performance
VDD Pin	2.4		3.7	V	
I _{DD} in PSM3 Mode		1.8	6	μA	

¹ 代表的な性能特性のセクションを参照してください。

² パラメータの定義については用語のセクションを参照してください。

³ $\left\lceil \frac{2800}{f_L} \right\rceil$ は、除算結果の整数部分を意味します。

⁴ CLKIN/CLKOUT 負荷コンデンサとは、ADE7880 の CLKIN ピンおよび CLKOUT ピンと AGND との間に実装された負荷コンデンサです。このコンデンサは水晶メーカーのデータシート仕様に基づいて選択する必要があり、表に規定する最大値を超えることはできません。

タイミング特性

VDD = 3.3 V ± 10%、AGND = DGND = 0 V、内蔵リファレンス、CLKIN = 16.384 MHz、T_{MIN} ~ T_{MAX} = -40°C ~ +85°C。共用ピン名は、タイミングの表と図の中で関係する機能のみを使用していることに注意してください(ピン全体の記号と説明についてはピン配置およびピン機能説明のセクションを参照してください)。

表 2. I²C 互換インターフェースのタイミング・パラメータ

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL Clock Frequency	f _{SCL}	0	100	0	400	kHz
Hold Time (Repeated) Start Condition	t _{HD, STA}	4.0		0.6		μs
Low Period of SCL Clock	t _{LOW}	4.7		1.3		μs
High Period of SCL Clock	t _{HIGH}	4.0		0.6		μs
Set-Up Time for Repeated Start Condition	t _{SU, STA}	4.7		0.6		μs
Data Hold Time	t _{HD, DAT}	0	3.45	0	0.9	μs
Data Setup Time	t _{SU, DAT}	250		100		ns
Rise Time of Both SDA and SCL Signals	t _r		1000	20	300	ns
Fall Time of Both SDA and SCL Signals	t _f		300	20	300	ns
Setup Time for Stop Condition	t _{SU, STO}	4.0		0.6		μs
Bus Free Time Between a Stop and Start Condition	t _{BUF}	4.7		1.3		μs
Pulse Width of Suppressed Spikes	t _{SP}		N/A ¹		50	ns

¹ N/A は該当なし。

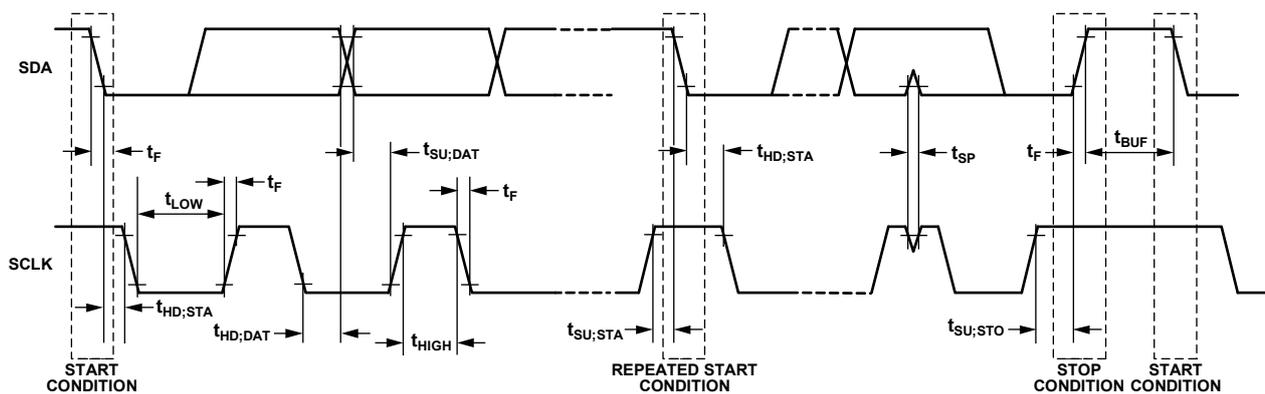


図 2. I²C 互換インターフェースのタイミング

表 3. SPI インターフェースのタイミング・パラメータ

Parameter	Symbol	Min	Max	Unit
\overline{SS} to SCLK Edge	t_{SS}	50		ns
SCLK Period		0.4	4000 ¹	μ s
SCLK Low Pulse Width	t_{SL}	175		ns
SCLK High Pulse Width	t_{SH}	175		ns
Data Output Valid After SCLK Edge	t_{DAV}		100	ns
Data Input Setup Time Before SCLK Edge	t_{DSU}	100		ns
Data Input Hold Time After SCLK Edge	t_{DHD}	5		ns
Data Output Fall Time	t_{DF}		20	ns
Data Output Rise Time	t_{DR}		20	ns
SCLK Rise Time	t_{SR}		20	ns
SCLK Fall Time	t_{SF}		20	ns
MISO Disable After \overline{SS} Rising Edge	t_{DIS}		200	ns
\overline{SS} High After SCLK Edge	t_{SFS}	0		ns

¹ デザインで保証します。

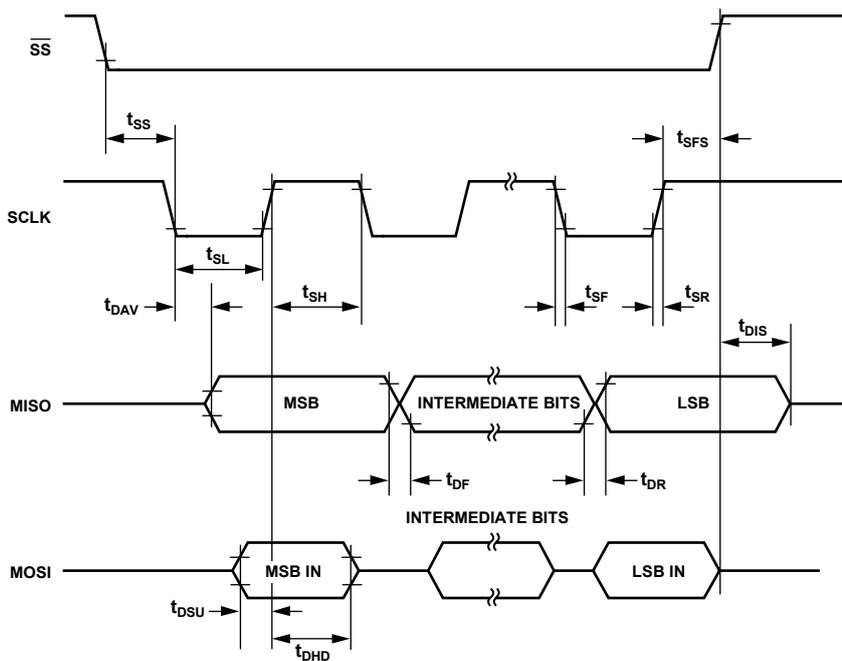
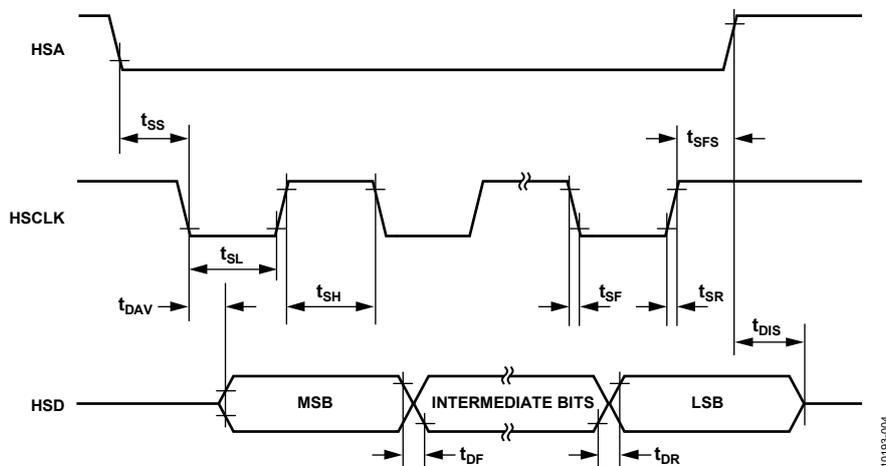


図 3. SPI インターフェースのタイミング

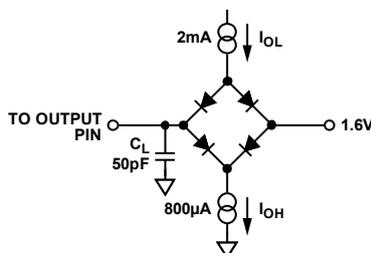
表 4.HSDC インターフェースのタイミング・パラメータ

Parameter	Symbol	Min	Max	Unit
HSA to HSCLK Edge	t_{SS}	0		ns
HSCLK Period		125		ns
HSCLK Low Pulse Width	t_{SL}	50		ns
HSCLK High Pulse Width	t_{SH}	50		ns
Data Output Valid After HSCLK Edge	t_{DAV}		40	ns
Data Output Fall Time	t_{DF}		20	ns
Data Output Rise Time	t_{DR}		20	ns
HSCLK Rise Time	t_{SR}		10	ns
HSCLK Fall Time	t_{SF}		10	ns
HSD Disable After HSA Rising Edge	t_{DIS}	5		ns
HSA High After HSCLK Edge	t_{SFS}	0		ns



10193-004

図 4.HSDC インターフェースのタイミング



10193-005

図 5. タイミング仕様用の負荷回路

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 5.

Parameter ¹	Rating
VDD to AGND	-0.3 V to +3.7 V
VDD to DGND	-0.3 V to +3.7 V
Analog Input Voltage to AGND, IAP, IAN, IBP, IBN, ICP, ICN, VAP, VBP, VCP, VN	-2 V to +2 V
Analog Input Voltage to INP and INN	-2 V to +2 V
Reference Input Voltage to AGND	-0.3 V to VDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD + 0.3 V
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Lead Temperature (Soldering, 10 sec)	300°C

¹ RoHS 準拠製品のハンダ処理で使用する温度プロファイルについて、リフロー・プロファイルを JEDEC の J-STD 20 に準拠させることをアナログ・デバイスでは推奨します。最新レビジョンについては JEDEC のウェブサイトをご覧ください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は $29.3\text{ }^\circ\text{C/W}$ に、 θ_{JC} は $1.8\text{ }^\circ\text{C/W}$ に、それぞれ規定。

表 6. 熱抵抗

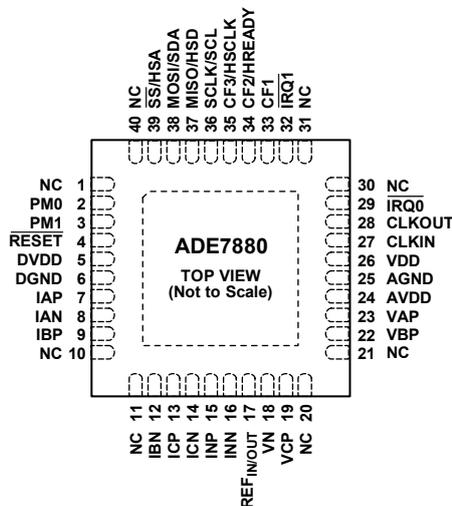
Package Type	θ_{JA}	θ_{JC}	Unit
40-Lead LFCSP	29.3	1.8	$^\circ\text{C/W}$

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. NC = NO CONNECT.
 2. CREATE A SIMILAR PAD ON THE PCB UNDER THE EXPOSED PAD. SOLDER THE EXPOSED PAD TO THE PAD ON THE PCB TO CONFER MECHANICAL STRENGTH TO THE PACKAGE. DO NOT CONNECT THE PADS TO AGND OR DGND.

10193-006

図 6. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1、10、11、20、21、30、31、40	NC	未接続。これらのピンは接続しないでください。これらのピンは内部で接続されていません。
2	PM0	消費電力モード・ピン 0。このピンは PM1 と組み合わせて使い、表 8 に記載する ADE7880 の消費電力モードを決定します。
3	PM1	消費電力モード・ピン 1。このピンは PM0 と組み合わせて使い、表 8 に記載する ADE7880 の消費電力モードを決定します。
4	RESET	アクティブ・ローのリセット入力。PSM0 モードで、ハードウェア・リセットを開始するとき、このピンは少なくとも 10 μ s 間ロー・レベルを維持する必要があります。
5	DVDD	このピンから内蔵 2.5 V デジタル LDO にアクセスできます。このピンには外部からアクティブ回路を接続しないでください。このピンは 4.7 μ F のコンデンサと 220 nF のセラミック・コンデンサの並列接続でデカップリングしてください。
6	DGND	グラウンド基準。このピンは、デジタル回路のグラウンド基準になります。
7、8	IAP、IAN	電流チャンネル A のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル A と呼びます。これらの入力は最大差動レベル ± 0.5 V のフル差動電圧入力です。このチャンネルはチャンネル B とチャンネル C にあるものと同じ PGA も内蔵しています。
9、12	IBP、IBN	電流チャンネル B のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル B と呼びます。これらの入力は最大差動レベル ± 0.5 V のフル差動電圧入力です。このチャンネルはチャンネル C とチャンネル A にあるものと同じ PGA も内蔵しています。
13、14	ICP、ICN	電流チャンネル C のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル C と呼びます。これらの入力は最大差動レベル ± 0.5 V のフル差動電圧入力です。このチャンネルはチャンネル A とチャンネル B にあるものと同じ PGA も内蔵しています。
15、16	INP、INN	中性電流チャンネル N のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル N と呼びます。これらの入力は最大差動レベル ± 0.5 V のフル差動電圧入力です。このチャンネルはチャンネル A ~ C にあるものと異なる PGA を内蔵しています。
17	REF _{IN/OUT}	このピンから、内蔵電圧リファレンスにアクセスできます。内蔵リファレンスの公称値は 1.2 V です。1.2 V \pm 8% の外付けリファレンス・ソースをこのピンに接続することもできます。いずれの場合も、このピンを 4.7 μ F のコンデンサと 100 nF のセラミック・コンデンサの並列接続で AGND へデカップリングしてください。リセット後に、内蔵リファレンスがイネーブルされます。

ピン番号	記号	説明
18、19、22、23	VN、VCP、VBP、VAP	電圧チャンネルに対するアナログ入力。このチャンネルは電圧トランスと組み合わせて使用し、このデータシートでは電圧チャンネルと呼んでいます。これらの入力は、規定の動作に対して VN を基準とする最大信号レベル ± 0.5 V のシングルエンド電圧入力です。このチャンネルも PGA を内蔵しています。
24	AVDD	このピンから 2.5 V の内蔵アナログ低ドロップアウト・レギュレータ(LDO)にアクセスできます。このピンには外部からアクティブ回路を接続しないでください。このピンは 4.7 μ F のコンデンサと 220 nF のセラミック・コンデンサの並列接続でデカップリングしてください。
25	AGND	グラウンド基準。このピンは、アナログ回路のグラウンド基準になります。このピンは、アナログ・グラウンド・プレーンまたは安定なシステム・グラウンド基準に接続します。このノイズのないグラウンド基準は、すべてのアナログ回路(たとえば、折り返し防止フィルタ、電流トランス、電圧トランス)に対して使用してください。
26	VDD	電源電圧。このピンから電源電圧を供給します。PSM0(通常消費電力モード)では、電源電圧を 3.3 V \pm 10%に維持します。PSM1(省消費電力モード)、PSM2(低消費電力モード)、PSM3(スリープ・モード)では、ADE7880 をバッテリーから駆動する場合、電源電圧を 2.4 V~3.7 V に維持します。このピンは 10 μ F のコンデンサと 100 nF のセラミック・コンデンサの並列接続で DGND へデカップリングしてください。
27	CLKIN	マスター・クロック。このロジック入力には、外部クロックを接続することができます。代わりに、並列共振 AT カット水晶を CLKIN と CLKOUT の間に接続して、ADE7880 のクロック・ソースを発生させることができます。規定動作に対するクロック周波数は、16.384 MHz です。ゲート発振回路には数 10 pF のセラミック負荷コンデンサを使う必要があります。負荷容量条件については水晶発振器メーカーのデータシートを参照してください。
28	CLKOUT	この表のピン 27 で説明したように、水晶をこのピンと CLKIN の間に接続して、ADE7880 にクロック・ソースを与えることができます。
29、32	$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$	割込み要求出力。これらのピンはアクティブ・ローのロジック出力です。割込みを発生できるイベントについては、割込みのセクションを参照してください。
33、34、35	CF1、CF2/HREADY、CF3/HSCLK	キャリブレーション周波数(CF)ロジック出力。これらの出力は、CFMODE レジスタ内の CF1SEL[2:0]、CF2SEL[2:0]、CF3SEL[2:0]の各ビットに基づいて電力情報を提供します。これらの出力は、動作とキャリブレーションのために使います。フルスケール出力周波数は、CF1DEN、CF2DEN、CF3DEN の各レジスタに書き込むことによりスケールすることができます(電力量/周波数変換のセクション参照)。CF2 は、高調波計算ブロックから発生される HREADY 信号と共用されています。CF3 は、HSDC ポートのシリアル・クロック出力と共用されています。
36	SCLK/SCL	SPI ポートのシリアル・クロック入力/I ² C ポートのシリアル・クロック入力。すべてのシリアル・データ転送はこのクロックに同期します(シリアル・インターフェースのセクションを参照してください)。このピンには、低速なエッジ変化時間(たとえば光アイソレータ出力)を持つクロック・ソースに対して使用するシュミット・トリガ入力があります。
37	MISO/HSD	SPI ポートのデータ出力/HSDC ポートのデータ出力。
38	MOSI/SDA	SPI ポートのデータ入力/I ² C ポートのデータ出力。
39	$\overline{\text{SS}}$ /HSA	SPI ポートのスレーブ・セレクト/HSDC ポート・アクティブ。
EP	エクスポートド・パッド	エクスポートド・パッド下の PCB 上に同じパッドを設けてください。エクスポートド・パッドと PCB 上のパッドをハンダ付けして、パッケージの機械的強度を強化してください。これらのパッドは、AGND または DGND へ接続しないでください。

代表的な性能特性

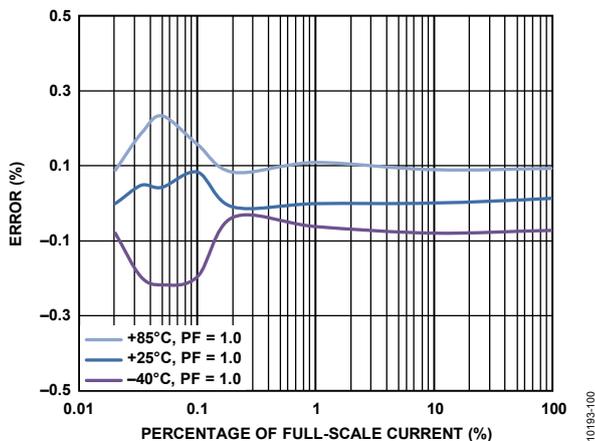


図 7.様々な温度での総合有効電力量誤差(測定値のパーセント値)、ゲイン = +1、力率 = 1、内蔵リファレンス電圧を使用、積分器をオフ

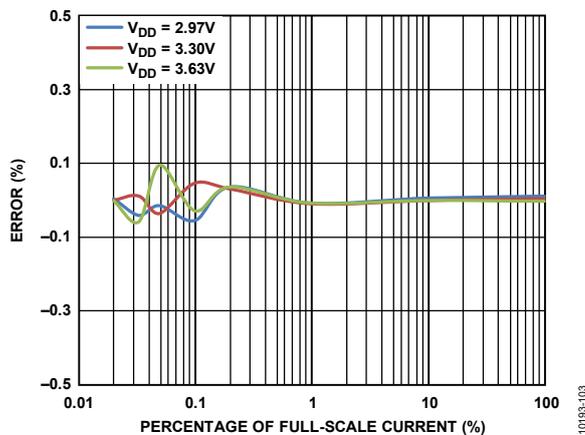


図 10.様々な電源電圧での総合有効電力量誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオフ

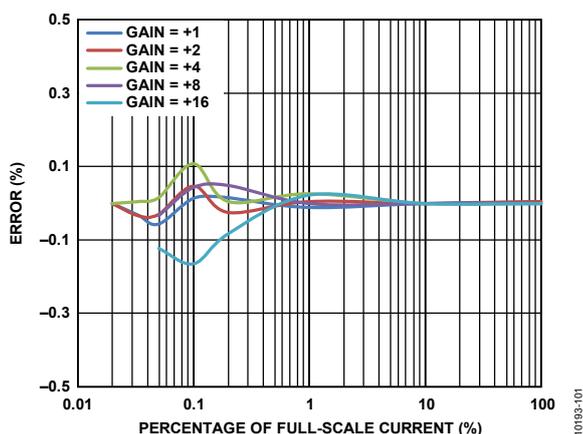


図 8.様々なゲインでの総合有効電力量誤差(測定値のパーセント値)、内蔵リファレンス電圧を使用、積分器をオフ

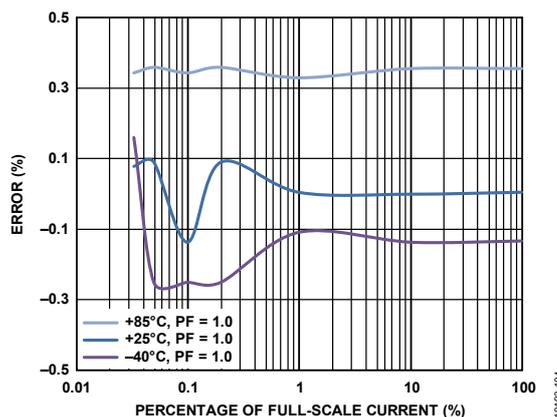


図 11.様々な温度での総合有効電力量誤差(測定値のパーセント値)、ゲイン = +16、内蔵リファレンス電圧を使用、積分器をオン

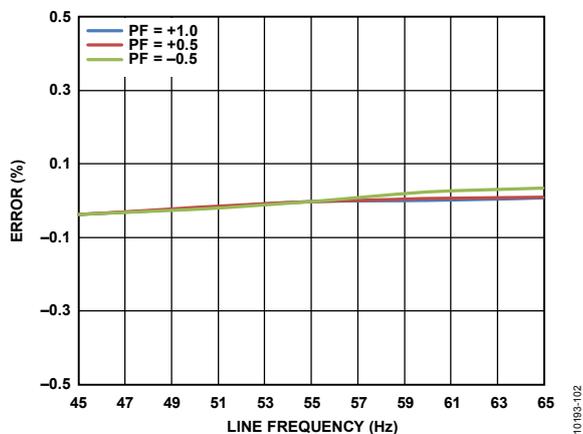


図 9.総合有効電力量誤差(測定値のパーセント値)の周波数特性、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオフ

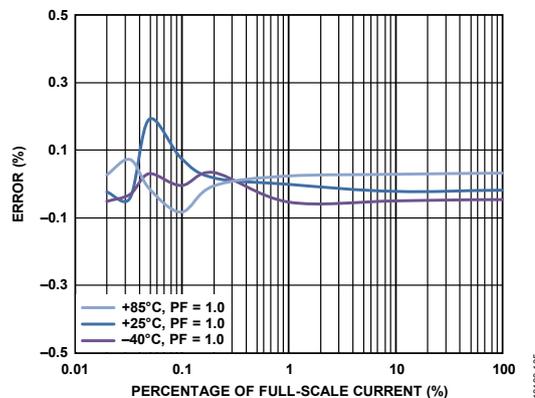


図 12.様々な温度での基本波有効電力量誤差(測定値のパーセント値)、ゲイン = +1、力率 = 1、内蔵リファレンス電圧を使用、積分器をオフ

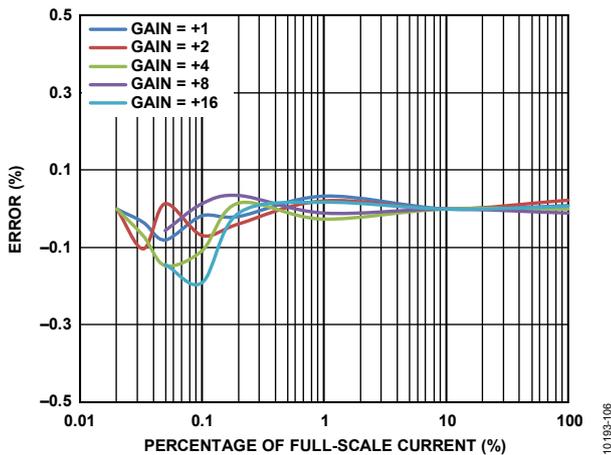


図 13.様々なゲインでの基本波有効電力量誤差(測定値のパーセント値)、内蔵リファレンス電圧を使用、積分器をオフ

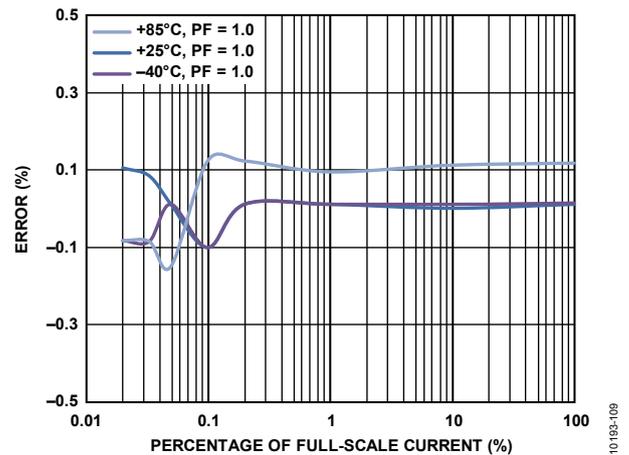


図 16.様々な温度での基本波無効電力量誤差(測定値のパーセント値)、ゲイン = +1、力率 = 0、内蔵リファレンス電圧を使用、積分器をオフ

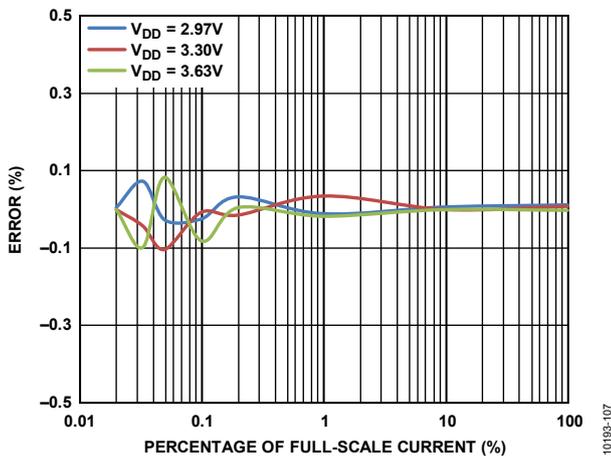


図 14.様々な電源電圧での基本波有効電力量誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオフ

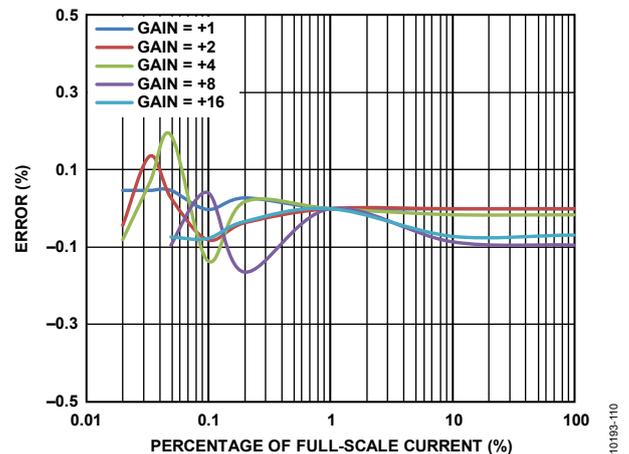


図 17.様々なゲインでの基本波無効電力量誤差(測定値のパーセント値)、内蔵リファレンス電圧を使用、積分器をオフ

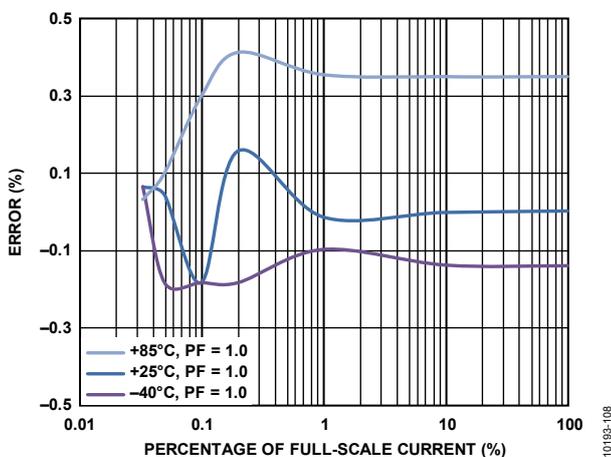


図 15.様々な温度での基本波有効電力量誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオン

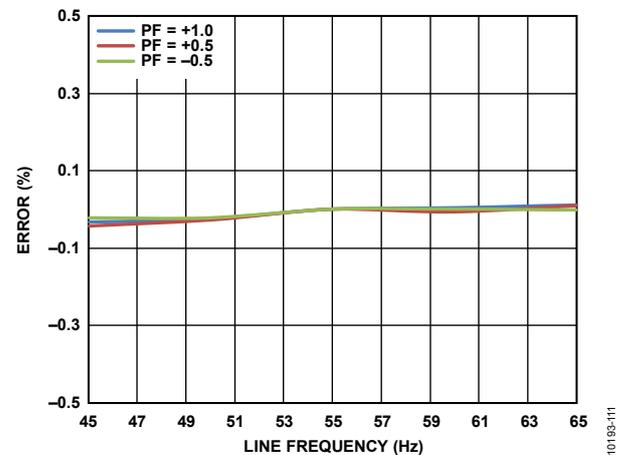


図 18.基本波無効電力量誤差(測定値のパーセント値)の周波数特性、ゲイン = +1、内蔵リファレンス電圧と積分器をオフ

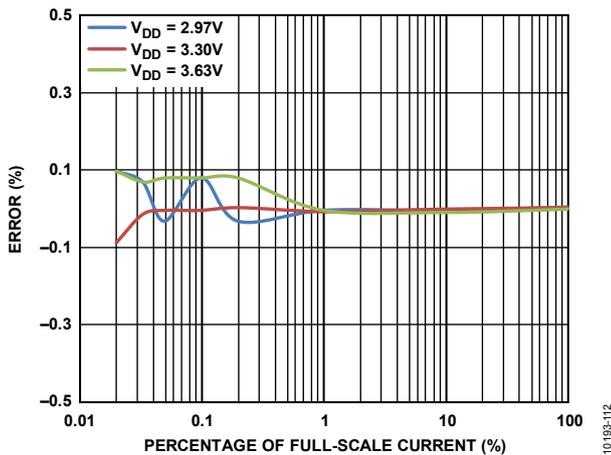


図 19.様々な電源電圧での基本波無効電力量誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオフ

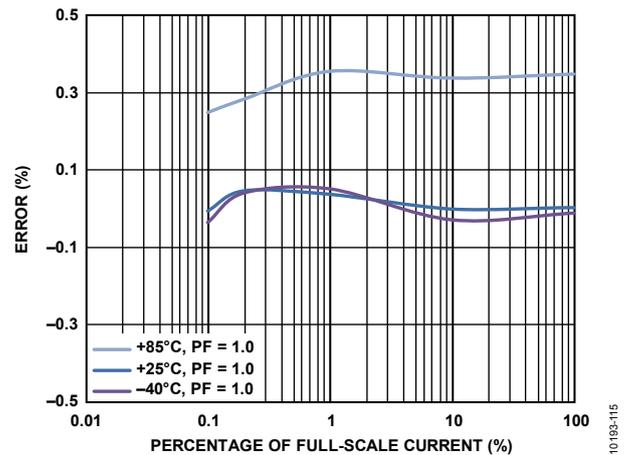


図 22.様々な温度での V_{RMS} 誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用

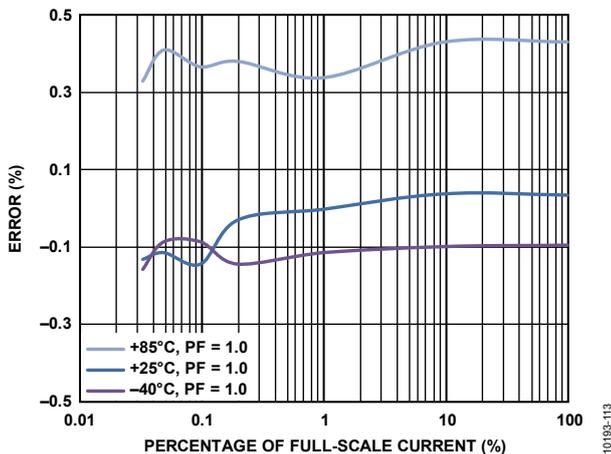


図 20.様々な温度での基本波無効電力量誤差(測定値のパーセント値)、ゲイン = +16、内蔵リファレンス電圧を使用、積分器をオン

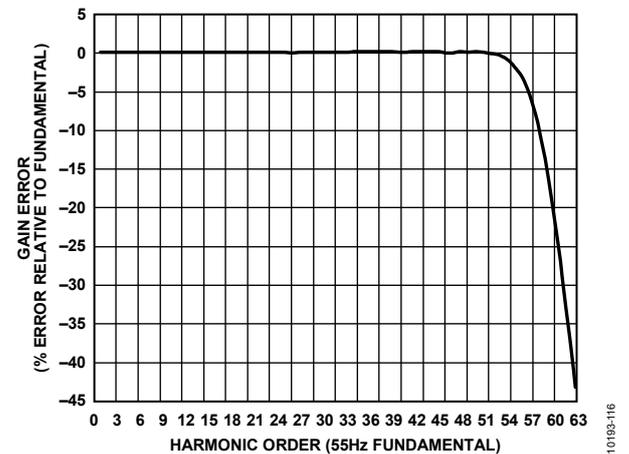


図 23.各高調波での高調波 I_{RMS} 誤差(測定値のパーセント値)、63個の高調波、基本波 55 Hz、30回測定の平均値、セトリング・タイム 750 ms、更新レート 125 μs

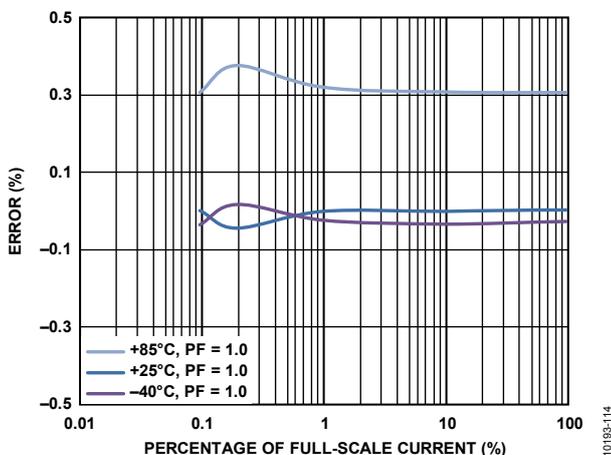


図 21.様々な温度での I_{RMS} 誤差(測定値のパーセント値)、ゲイン = +1、内蔵リファレンス電圧を使用、積分器をオフ

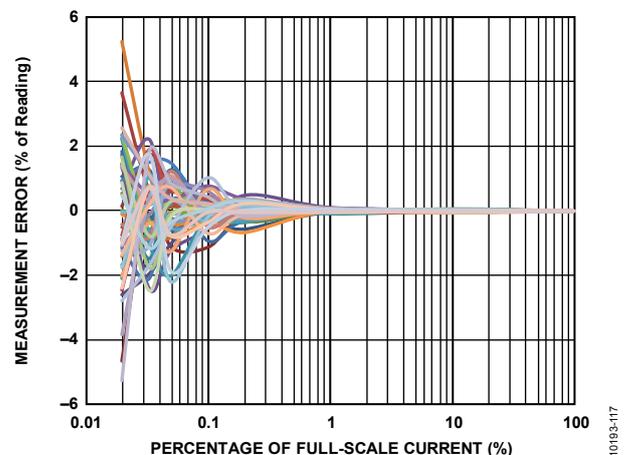


図 24.高調波 I_{RMS} 誤差(測定値のパーセント値)、ゲイン = +1、51個の高調波、基本波 55 Hz、1回の測定、セトリング・タイム 750 ms

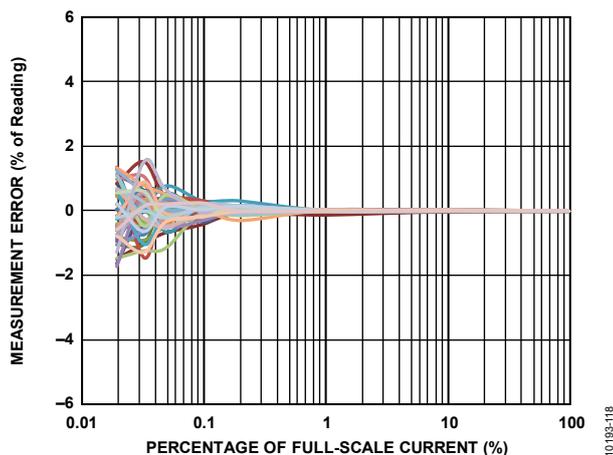


図 25.高調波 I RMS 誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、10 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

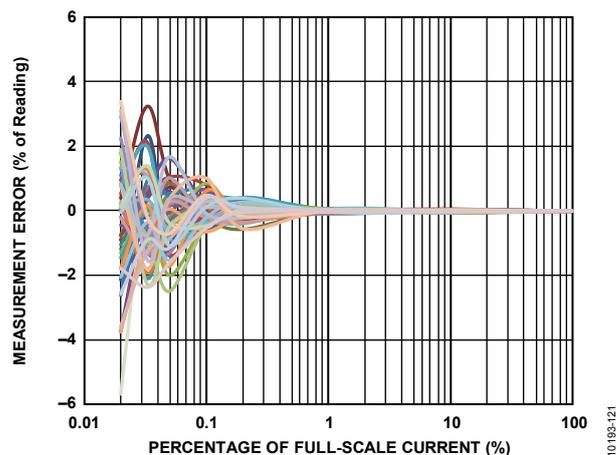


図 28.高調波無効電力誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、1 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

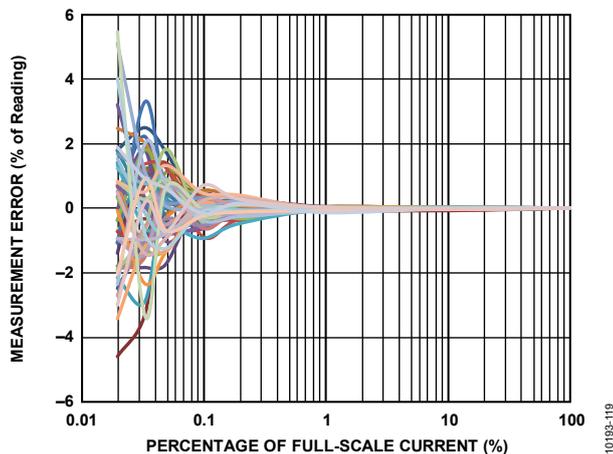


図 26.高調波有効電力誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、1 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

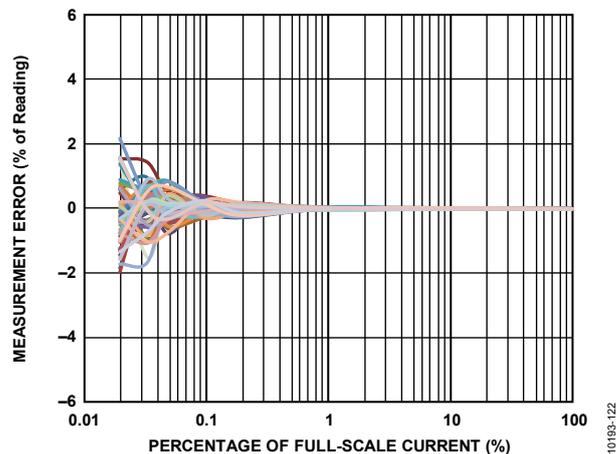


図 29.高調波無効電力誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、10 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

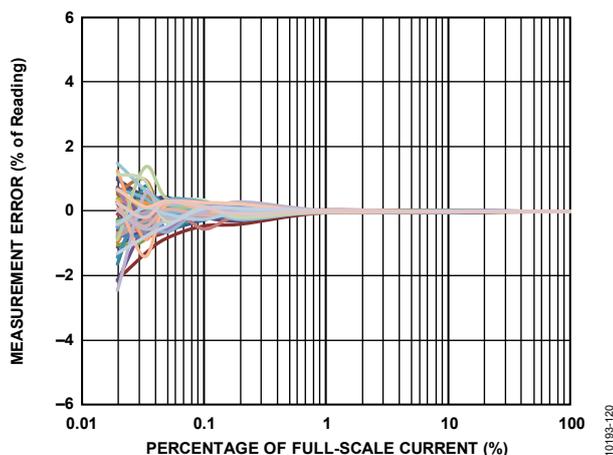


図 27.高調波有効電力誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、10 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

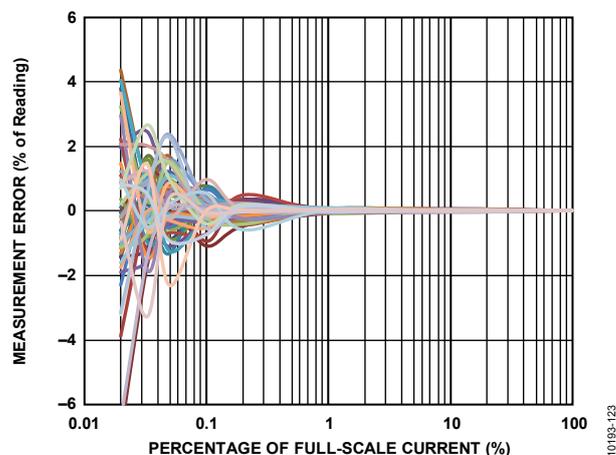


図 30.高調波皮相電力誤差(測定値のパーセント値)、ゲイン = +1、51 個の高調波、基本波 55 Hz、1 回測定、セトリング・タイム 750 ms、更新レート 125 μ s

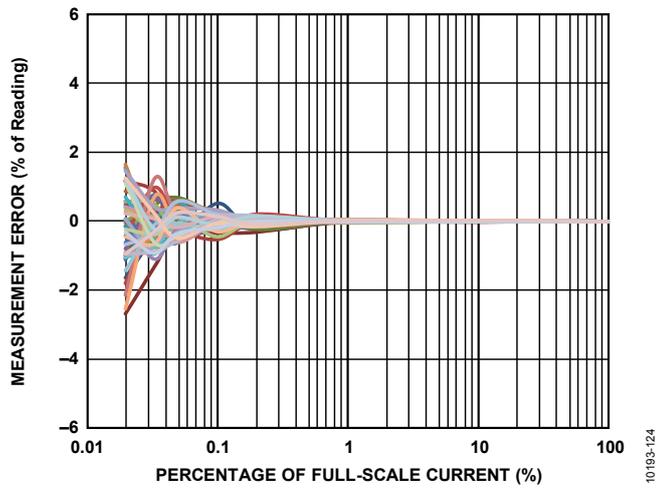


図 31.高調波皮相電力誤差(測定値のパーセント値)、ゲイン = +1、51個の高調波、基本波 55 Hz、10回測定の平均値、セトリング・タイム 750 ms、更新レート 125 μ s

テスト回路

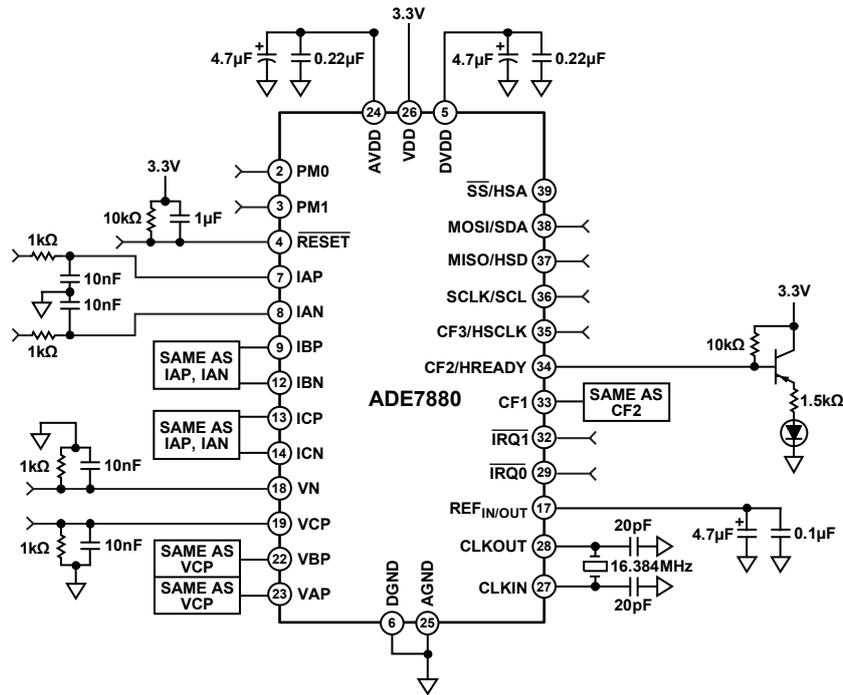


図 32. テスト回路

10193-007

用語

測定誤差

ADE7880 が行う電力量測定の誤差は、次式で定義されます。

$$\text{測定誤差} = \frac{\text{Energy Registered by ADE7880} - \text{True Energy}}{\text{True Energy}} \times 100\% \quad (1)$$

チャンネル間位相誤差

ハイパス・フィルタ (HPF) とデジタル積分器により、電流チャンネルと電圧チャンネルの間で小さい位相不一致が発生します。オール・デジタル・デザインにより、電流チャンネルと電圧チャンネルとの間の位相一致を 3 相すべてについて、45~65 Hz の範囲では $\pm 0.1^\circ$ 以内に、40 Hz~1 kHz の範囲では $\pm 0.2^\circ$ 以内に、それぞれ保証します。この内部位相不一致は外部位相誤差 (電流センサーまたは部品の許容誤差に起因) と組み合わせて、位相キャリブレーション・レジスタを使ってキャリブレーションすることができます。

電源電圧除去 (PSR)

電源が変動したときの ADE7880 の測定誤差を測定値のパーセント値として表します。AC の PSR 測定の場合は、公称電源 (3.3 V) での測定値を採用します。AC 信号 (100 Hz、120 mV rms) を電源に加えたときに、2 回目の測定値を同じ入力信号レベルで取得します。この AC 信号により導入されるすべての誤差が、測定値のパーセント値として表されます (測定誤差の定義を参照してください)。

DC の PSR 測定の場合、公称電源 (3.3 V) での測定値を採用します。電源が $\pm 10\%$ 変化したときに、2 回目の測定値を同じ入力信号レベルで取得します。この場合も導入されたすべての誤差は測定値のパーセント値として表されます。

ADC オフセット誤差

これは、ADC のアナログ入力に対応する DC オフセットを意味します。アナログ入力が AGND に接続されていても、ADC には DC アナログ入力信号が存在することを意味します。オフセットの大きさは、ゲインと入力範囲の選択に依存します (代表的な性能特性のセクションを参照してください)。ただし、HPF を接続すると、オフセットが電流チャンネルと電圧チャンネルから除去されるため、電力量計算はこのオフセットから影響を受けません。

ゲイン誤差

ADE7880 の ADC 内でのゲイン誤差は、測定値の ADC 出力コード (オフセットは除去) と理論出力コードとの間の差として定義されます (電流チャンネル ADC と電圧チャンネル ADC の各セクションを参照してください)。この差は、理論コードのパーセント値として表されます。

CF ジッタ

CF1 ピン、CF2 ピン、または CF3 ピンでパルス周期が連続的に測定されます。4 個の連続するパルスの最大値、最小値、平均値が次のように計算されます。

$$\text{最大値} = \max(\text{Period}_0, \text{Period}_1, \text{Period}_2, \text{Period}_3)$$

$$\text{最小値} = \min(\text{Period}_0, \text{Period}_1, \text{Period}_2, \text{Period}_3)$$

$$\text{平均値} = \frac{\text{Period}_0 + \text{Period}_1 + \text{Period}_2 + \text{Period}_3}{4}$$

次に CF ジッタが次のように計算されます。

$$CF_{\text{JITTER}} = \frac{\text{Maximum} - \text{Minimum}}{\text{Average}} \times 100\% \quad (2)$$

高調波電力測定誤差

ADE7880 が行う高調波有効/無効電力量計算の誤差を測定するときは、電圧チャンネルに基本波と 1 個の高調波成分 (両振幅とも 250 mV) から構成される信号を入力します。電流チャンネルには、振幅 50 mV の基本波と電圧チャンネルの場合と同じインデックスを持つ 1 個の高調波成分から構成される信号を入力します。高調波振幅を 250 mV から 250 μ V (フルスケールの 1/2000 以下) まで変化させます。

誤差は次式で定義されます。

$$\text{測定誤差} = \frac{\text{Power Registered by ADE7880} - \text{True Power}}{\text{True Power}} \times 100\% \quad (3)$$

パワーマネジメント

ADE7880には4種類の動作モードがあり、PM0ピンとPM1ピンの状態で指定されます(表8参照)。これらのピンはADE7880の動作を完全に制御するため、容易に外部マイクロプロセッサのI/Oへ接続することができます。PM0ピンとPM1ピンには内部プルアップ抵抗が付いています。新しい消費電力モード設定の前後に推奨される動作については、表10と表11を参照してください。

表8.電源モード

電源モード	PM1	PM0
PSM0、通常消費電力モード	0	1
PSM1、省電力モード	0	0
PSM2、低消費電力モード	1	0
PSM3、スリープ・モード	1	1

PSM0—通常消費電力モード(全製品)

PSM0モードでは、ADE7880の全機能が動作します。ADE7880でこのモードを開始するときは、PM0ピン=ハイ・レベルに、PM1ピン=ロー・レベルに、それぞれ設定します。ADE7880がPSM1、PSM2、またはPSM3モードにあるときにPSM0モードへ切り替えると、すべてのコントロール・レジスタがデフォルト値になります。ただし、PSM2モードで使用されるスレッシュホールド・レジスタLPOILVLとCONFIG2レジスタは例外で、それぞれ値を維持します。

ADE7880は移行時間の終了を、 $\overline{\text{IRQ1}}$ 割込みピンをロー・レベルにし、STATUS1レジスタのビット15(RSTDONE)を1にして通知します。このビットは移行時間中0を維持し、移行が完了すると1になります。対応するビットを1に設定してSTATUS1レジスタに書き込みを行うと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイ・レベルに戻ります。STATUS1レジスタのビット15(RSTDONE)が1に設定されているときに $\overline{\text{IRQ1}}$ ピンがロー・レベルになった場合でも、割込みマスク・レジスタ内のビット15(RSTDONE)は無効になります。この機能により、RSTDONE割込みはマスク不能になります。

PSM1—省電力モード

省消費電力モードPSM1では、ADE7880は3相電流の平均絶対値(mav)を測定して、結果をAIMAV、BIMAV、CIMAVの各20ビット・レジスタへ格納します。このモードは、ADE7880の電圧電源が外付けバッテリーから供給される中性喪失の場合に役立ちます。このモードでは、シリアル・ポート(I²CまたはSPI)がイネーブルされます。アクティブ・ポートは、AIMAV、BIMAV、CIMAVの各レジスタを读出す際に使用することができます。このモードではその他のレジスタの値が保証されないため、読出しを行わないことが推奨されます。同様に、このモードではADE7880への書き込み動作を考慮していません。

つまり、このモードでは、AIMAV、BIMAV、CIMAV以外のレジスタに対するアクセスは推奨されません。PSM0ではrmsを計算する回路も動作するため、キャリブレーションはPSM0モードまたはPSM1モードで完了させることができます。ADE7880は、キャリブレーション・プロセスで得られる補正値を格納または処理するレジスタを持っていないことに注意してください。外部マイクロプロセッサが、これらの測定値に関するゲイン値を保存し、PSM1時に使用します(xIMAVレジスタの詳細については、電流平均絶対値の計算のセクション参照)。

20ビットの平均絶対値測定はPSM1で行われますが(PSM0でも使用可能)、これらはPSM0でのみ実行される相電流と相電圧のrms測定とは異なり、測定値はHxIRMSとHxVRMSの各24ビット・レジスタへ格納されます。詳細については、電流平均絶対値の計算のセクションを参照してください。

ADE7880がPSM0モードであった後にPSM1モードに設定すると、ADE7880は直ちに平均絶対値の計算を開始します。xIMAVレジスタは何時でもアクセス可能ですが、ADE7880をPSM2モードまたはPSM3モードの後にPSM1モードに設定すると、ADE7880は $\overline{\text{IRQ1}}$ ピンをロー・レベルにして、平均絶対値計算の開始を通知します。xIMAVレジスタは、このタイミング後でのみアクセス可能になります。

PSM2—低消費電力モード

低消費電力モードPSM2では、ADE7880はライン周波数に無関係に $0.02 \times (\text{LPLINE}[4:0] + 1)$ sec間、すべての相電流とスレッシュホールドを比較します。このLPLINE[4:0]は、LPOILVLレジスタのビット[7:3]です(表9参照)。

表9.LPOILVLレジスタ

ビット	記号	デフォルト	説明
[2:0]	LPOIL[2:0]	111	スレッシュホールドはフルスケールとLPOIL/8の積に対応する値に設定されます
[7:3]	LPLINE[4:0]	00000	測定時間は(LPLINE[4:0] + 1)/50 sec

スレッシュホールドは、LPOILVLレジスタのビット[2:0](LPOIL[2:0])から、フルスケールのLPOIL[2:0]/8として求められます。相電流がスレッシュホールドを超えるごとに、カウンタがインクリメントされます。測定時間の終わりに各相カウンタがLPLINE[4:0] + 1を下回る場合、 $\overline{\text{IRQ0}}$ ピンがロー・レベルになります。測定時間の終わりに、LPLINE[4:0] + 1に一致するかこれを上回る相カウンタがあると、 $\overline{\text{IRQ1}}$ ピンがロー・レベルになります。図33に、LPLINE[4:0] = 2かつLPOIL[2:0] = 3のときのADE7880のPSM2モードでの動作を示します。テスト区間は50 Hzで3サイクル(60 ms)間であり、A相電流はLPOIL[2:0]スレッシュホールドを3回超えています。テスト区間の終わりに、 $\overline{\text{IRQ1}}$ ピンがロー・レベルになります。

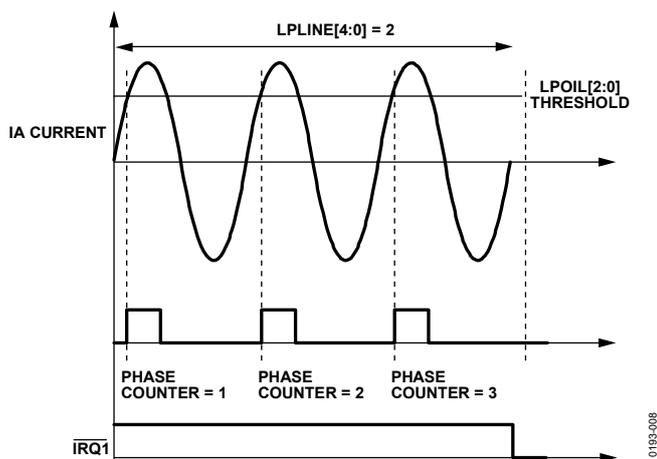


図 33.PSM2 モード、LPLINE[4:0] = 2 に対して
IRQ1ピンをトリガ(50 Hz システム)

このモードでは、I²C ポートまたは SPI ポートは機能しません。PSM2 モードでは、電圧入力がなく、かつ ADE7880 の電源電圧が外付けバッテリーから供給される場合に、電流をモニターするために必要な消費電力が削減されます。測定時間の終わりにIRQ0

表 10.消費電力モードおよび関係する特性

消費電力モード	全レジスタ ¹	LPOILVL、CONFIG2	I ² C/SPI	機能
PSM0				
State After Hardware Reset	Set to default	Set to default	I ² C enabled	すべての回路がアクティブで、DSP はアイドル・モード。
State After Software Reset	Set to default	Unchanged	ロックイン・プロシージャを実行済みの場合、アクティブ・シリアル・ポートは変更されません。	すべての回路がアクティブで、DSP はアイドル・モード。
PSM1	Not available	PSM0 values retained	Enabled	電流平均絶対値を計算し、結果を AIMAV、BIMAV、CIMAV の各レジスタへ格納。機能を制限して I ² C または SPI シリアル・ポートをイネーブル。
PSM2	Not available	PSM0 values retained	Disabled	相電流と LPOILVL に設定されたスレッシュホールドを比較。結果を IRQ0 ピンまたは IRQ1 ピンへ出力。シリアル・ポートは使用不可。
PSM3	Not available	PSM0 values retained	Disabled	内部回路がシャットダウンし、シリアル・ポートは使用不可。

¹ LPOILVL レジスタと CONFIG2 レジスタを除くすべてのレジスタに対する設定

ピンがロー・レベルになると、すべての相電流がスレッシュホールドを下回り、システムを流れる電流がないことを意味します。この時点で、外部マイクロプロセッサは ADE7880 をスリープ・モード PSM3 に設定します。測定時間の終わりに IRQ1 ピンがロー・レベルになると、少なくとも 1 つの電流入力に既定のスレッシュホールドを超えており、ADE7880 ピンには電圧がなくともシステムに電流が流れていることを意味します。この状況は中性喪失と呼ばれ、異常状態と見なされます。この時点で外部マイクロプロセッサは ADE7880 を PSM1 モードに設定して、相電流の平均絶対値を測定し、その値と公称電圧を使って電力量を求めます。

ゲイン・レジスタのビット[2:0] (PGA1[2:0])が 1 または 2 の場合、ADE7880 を PSM2 モードで使用することが推奨されます。これらのビットは、電流チャンネル・データ・バスのゲインを表します。PGA1[2:0] ビットが 4、8、または 16 の場合は、ADE7880 を PSM2 モードで使用することは推奨されません。

PSM3—スリープ・モード(全製品)

スリープ・モードでは、ADE7880 の大部分の内部回路がターンオフして消費電流が最小レベルになります。このモードでは、I²C、HSDC、SPI の各ポートが機能せず、RESET、SCLK/SCL、MOSI/SDA、SS/HSA の各ピンはハイ・レベルに設定されます。

表 11.消費電力モードを変更する際の推奨動作

初期消費電力モード	次の消費電力モードを設定する前	次の消費電力モード			
		PSM0	PSM1	PSM2	PSM3
PSM0	Run レジスタ = 0x0000 を設定して DSP を停止 CONFIG レジスタのビット 6 (HSDCEN) を 0 にクリアして HSDC をディスエーブル MASK0 = 0x0 と MASK1 = 0x0 を設定して割込みをマスク STATUS0 レジスタと STATUS1 レジスタの割込みステータス・フラグを消去		直ちに電流平均絶対値 (mav) を計算 直ちに xIMAV レジスタをアクセス可能	$\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ	アクション不要
PSM1	アクション不要	$\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ ビット 15 (RSTDONE) が 1 に設定されるまで STATUS1 レジスタをポーリング		$\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ	アクション不要
PSM2	アクション不要	$\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ ビット 15 (RSTDONE) が 1 に設定されるまで STATUS1 レジスタをポーリング	$\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ この時点で電流平均絶対値を計算 この時点から xIMAV レジスタがアクセス可能		アクション不要
PSM3	アクション不要	$\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ ビット 15 (RSTDONE) が 1 に設定されるまで STATUS1 レジスタをポーリング	$\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ この時点で電流 mav 回路が計算を開始 この時点から xIMAV レジスタがアクセス可能	$\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンがロー・レベルになるのを待つ	

パワーアップ・プロシージャ

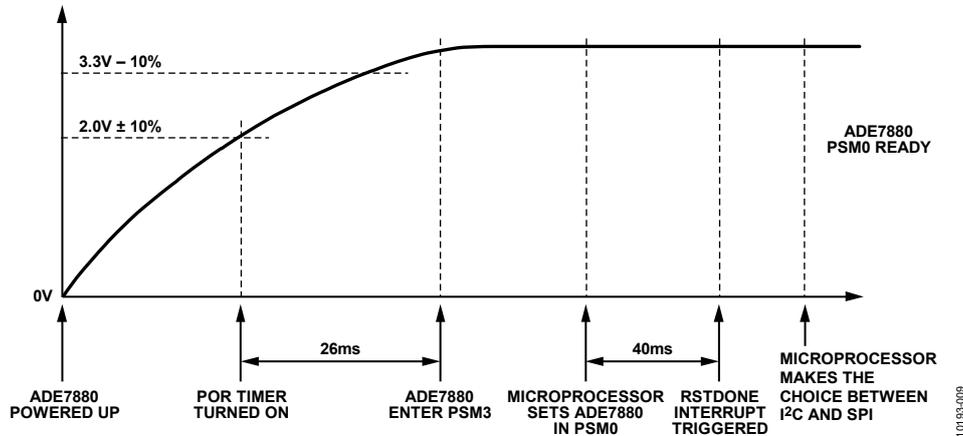


図 34. パワーアップ Procedure

ADE7880 は、電源(VDD)を管理する電源モニタを内蔵しています。パワーアップ時、VDD が $2\text{V} \pm 10\%$ に到達するまで、チップは非アクティブ状態を維持します。VDD がこのスレッシュホールドを超えると、電源モニタがチップをさらに 26ms 間この非アクティブ状態に置き、VDD が $3.3\text{V} - 10\%$ の最小推奨電源電圧に到達できるようにします。PM0 ピンと PM1 ピンには内部ブルアップ抵抗があるため、外部マイクロプロセッサはこれらをハイ・レベルに維持し、ADE7880 は常にスリープ・モード(PSM3)でパワーアップします。その後、外部回路(すなわちマイクロプロセッサ)が PM1 ピンをロー・レベルにして、ADE7880 が通常モード(PSM0)を開始できるようにします。大部分の内部回路がターンオフしている PSM3 モードから、すべての機能がイネーブルされる PSM0 モードへの移行は、 40ms 以内に実行されます(詳細については、図 34 を参照)。

PSM0 モードのみが消費電力モードとして必要な場合、PM1 ピンをグラウンドへ接続してロー・レベルに固定することができます。PM0 ピンは内部ブルアップ抵抗によりハイ・レベルが保証されるので、オープンのままにすることができます。パワーアップ時、ADE7880 は短時間に PSM3 モードを通過して PSM0 になります。

ADE7880 が PSM0 モードになると、I²C ポートがアクティブ・シリアル・ポートになります。SPI ポートを使用する場合は、SS/HSA ピンをハイ・レベルからロー・レベルへ 3 回トグルさせる必要があります。この動作により、SPI ポートの使用が選択されます。I²C をアクティブ・シリアル・ポートにする場合、CONFIG2 レジスタのビット 1 (I2C_LOCK)を 1 に設定して、固定する必要があります。この時点から、ADE7880 は SS/HSA ピンの以後のトグルを無視して、SPI ポートを使うための切り替えができなくなります。同様に、SPI をアクティブ・シリアル・ポートにする場合は、CONFIG2 レジスタへ任意の書込みを行なってポートを固定します。この時点で、I²C ポートを使うための切り替えができなくなります。パワーダウンまたは RESET ピンでのロー・レベル設定でのみ、I²C ポートを使うように ADE7880 をリセットすることができます。固定した後は、ADE7880 で PSMx 消費電力モードが変更されても選択したシリアル・ポートが維持されます。

PSM0 の開始直後に、ADE7880 は CONFIG2 レジスタと LPOILVL レジスタを含むすべてのレジスタにデフォルト値を設定します。

ADE7880 は移行時間の終了を、IRQ1 割込みピンをロー・レベルにし、STATUS1 レジスタのビット 15 (RSTDONE)を 1 にして通知します。このビットは移行移行時間時間中 0 を維持し、変化が完了すると 1 になります。対応するビットを 1 に設定して STATUS1 レジスタに書込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルに戻ります。RSTDONE はマスク不能割込みであるため、STATUS1 レジスタのビット 15 (RSTDONE)をクリアして、IRQ1 ピンをハイ・レベルに戻す必要があります。IRQ1 ピンがロー・レベルになるのを待った後で、STATUS1 レジスタをアクセスして RSTDONE ビットの状態を調べることが推奨されます。この時点で、対応するビットを 1 に設定して書込みを行うことにより、STATUS1 レジスタと STATUS0 レジスタのその他のすべてのステータス・フラグをクリアすることが、一般的な手順として推奨されます。

初め、DSP はアイドル・モードにあります。これは命令を実行しないことを意味します。ここが、すべての ADE7880 レジスタを初期化するタイミングです。キュー内の最後のレジスタには 3 回書込を行なってレジスタを確実に初期化しておく必要があります。次に、Run レジスタへ $0x0001$ を書込んで、DSP を起動します(Run レジスタの詳細については、デジタル信号プロセッサのセクション参照)。

電源電圧 VDD が $2\text{V} \pm 10\%$ を下回ると、ADE7880 は非アクティブ状態になり、測定も計算も実行されません。

ハードウェア・リセット

ADE7880にはRESETピンがあります。ADE7880がPSM0モードにあり、かつRESETピンがロー・レベルに設定されると、ADE7880はハードウェア・リセット状態になります。ハードウェア・リセットを使用する場合は、ADE7880をPSM0モードにする必要があります。ADE7880がPSM1モード、PSM2モードおよびPSM3モードにあるときRESETピンをロー・レベルに設定しても、影響を受けません。

ADE7880がPSM0モードにあり、かつRESETピンがハイ・レベルからロー・レベルへトグルした後に少なくとも10 μ s経過後にハイ・レベルに戻った場合、CONFIG2レジスタとLPOILVLレジスタを含むすべてのレジスタにはデフォルト値が設定されます。ADE7880は移行時間の終了を、IRQ1割込みピンをロー・レベルにし、STATUS1レジスタのビット15 (RSTDONE)を1にして通知します。このビットは移行時間中0を維持し、変化が完了すると1になります。対応するビットを1に設定してSTATUS1レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ1ピンがハイ・レベルに戻ります。

ハードウェア・リセット後、DSPはアイドル・モードになります。これは命令を実行しないことを意味します。

I²CポートはADE7880のデフォルト・シリアル・ポートであるため、リセット状態の後でアクティブになります。外部マイクロプロセッサから使用するポートがSPIである場合、RESETピンがハイ・レベルに戻ったら直ちにイネーブルする手順を繰り返す必要があります(詳細については、シリアル・インターフェースのセクション参照)。

この時点で、すべてのADE7880レジスタを初期化し、0x0001をRunレジスタへ書込んでDSPを起動することが推奨されます。Runレジスタの詳細については、デジタル信号プロセッサのセクションを参照してください。

ソフトウェア・リセット機能

CONFIGレジスタのビット7 (SWRST)は、PSM0モードでソフトウェア・リセット機能を管理します。このビットのデフォルト値は0です。このビットを1に設定すると、ADE7880はソフトウェア・リセット状態になります。この状態では、ほぼすべての内部レジスタにデフォルト値が設定されます。さらに、ロックイン・プロシージャを前に実行済みの場合には、選択された使用中のシリアル・ポート(I²CまたはSPI)は不変に維持されます(詳細については、シリアル・インターフェースのセクション参照)。SWRSTビットが1に設定されても値を維持するレジスタは、CONFIG2レジスタとLPOILVLレジスタです。ソフトウェア・リセットが終了すると、CONFIGレジスタのビット7 (SWRST)が0にクリアされ、IRQ1割込みピンがロー・レベルに、STATUS1レジスタのビット15 (RSTDONE)が1に、それぞれ設定されます。このビットは移行時間中0を維持し、移行が完了すると1になります。対応するビットを1に設定してSTATUS1レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ1ピンがハイ・レベルに戻ります。

ソフトウェア・リセット後、DSPはアイドル・モードになります。これは命令を実行しないことを意味します。一般的なプログラミング手順として、ADE7880の全レジスタを初期化した後に、Runレジスタへ0x0001を書込んで、DSPを起動することが推奨されます(Runレジスタの詳細については、デジタル信号プロセッサのセクション参照)。

ソフトウェア・リセット機能は、PSM1、PSM2、PSM3の各モードでは使用できません。

動作原理

アナログ入力

ADE7880には、電流チャンネルと電圧チャンネルを構成する7個のアナログ入力があります。電流チャンネルは、IAPとIAN、IBPとIBN、ICPとICN、INPとINNの4対のフル差動電圧入力で構成されています。これらの電圧入力対の最大差動信号は±0.5Vです。

IxP/IxN 対に対するアナログ入力の最大信号レベルも、AGND を基準として±0.5 V です。入力での最大許容同相モード信号は±25 mV です。図 35 に、電流チャンネル入力の回路図と最大同相モード電圧に対する関係を示します。

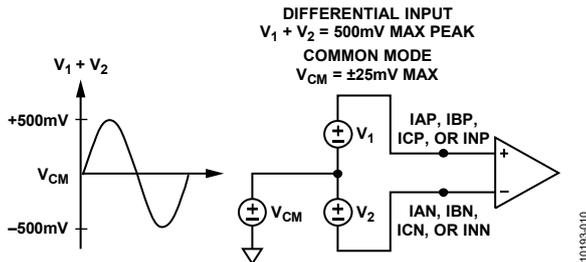


図 35.最大入力レベル、電流チャンネル、ゲイン = 1

すべての入力にはプログラマブル・ゲイン・アンプ(PGA)があり、1、2、4、8 または 16 のゲインを選択することができます。IA、IB、IC の各入力のゲインは、ゲイン・レジスタのビット [2:0] (PGA1[2:0])で設定されます。IN 入力のゲインは、ゲイン・レジスタのビット [5:3] (PGA2[2:0])で設定されるため、IA、IB、または IC の入力のゲインとは異なります。ゲイン・レジスタの詳細については、表 43 を参照してください。

電圧チャンネルには、VAP、VBP、VCP の 3 個のシングルエンド電圧入力があります。これらのシングルエンド電圧入力の最大入力電圧は、VN を基準として±0.5 V です。VxP と VN に対するアナログ入力の最大信号レベルも、AGND を基準として±0.5 V です。入力での最大許容同相モード信号は±25 mV です。図 36 に、電圧チャンネル入力の回路図と最大同相モード電圧に対する関係を示します。

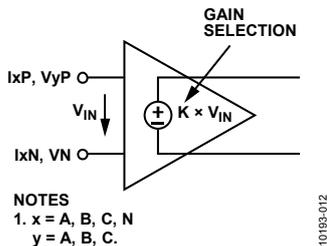


図 36.最大入力レベル、電圧チャンネル、ゲイン = 1

すべての入力ゲインは設定可能であり、1、2、4、8 または 16 を選択することができます。ゲインを設定するときは、ゲイン・レジスタのビット [8:6] (PGA3[2:0])を使います(表 43 参照)。

図 37 に、ゲイン・レジスタで選択したゲインが電流チャンネルと電圧チャンネルで動作する様子を示します。

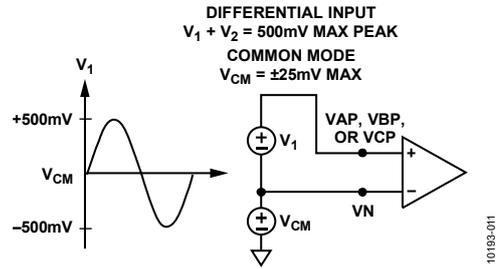


図 37.電流チャンネルと電圧チャンネルの PGA

A/D 変換

ADE7880 は、7 個のシグマ・デルタ(Σ-Δ)型 A/D コンバータ(ADC)を内蔵しています。PSM0 モードでは、すべての ADC が動作します。PSM1 モードでは、A 相、B 相、C 相の電流を測定する ADC のみが動作します。中性電流と A、B、C 相電圧を測定する ADC はターンオフされます。PSM2 モードと PSM3 モードでは、ADC がパワーダウンして消費電力を削減します。

簡単化のため、図 38 のブロック図に 1 次 Σ-Δ ADC を示します。このコンバータは、Σ-Δ 変調器とデジタル・ローパス・フィルタで構成されています。

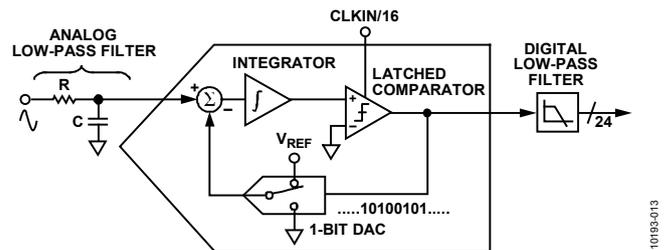


図 38.1 次Σ-Δ ADC

Σ-Δ 変調器は入力信号をサンプリング・クロックで決定されるレートを持つ 1 と 0 の連続なシリアル・ストリームに変換します。ADE7880 のサンプリング・クロックは 1.024 MHz (CLKIN/16)です。帰還ループ内の 1 ビット DAC は、シリアル・データ・ストリームで駆動されます。DAC 出力が入力信号から減算されます。ループ・ゲインが十分大きいと、DAC 出力の平均値(したがってビット・ストリーム)は、入力信号レベルの平均値に近づきます。1 サンプリング間隔内で与えられた入力値に対して、1 ビット ADC の出力データは実質的な意味を持ちません。多数のサンプルが平均されて、始めて意味ある結果が得られます。この平均化処理は、ADC の 2 つ目の部分であるデジタル・ローパス・フィルタにより実行されます。変調器から出力される多数のビットを平均することにより、ローパス・フィルタは、入力信号レベルに比例する 24 ビットのデータ・ワードを発生することができます。

Σ - Δ コンバータでは、1 ビット変換技術では不可欠な、高分解能を達成する 2 つの技術を使います。1 つ目はオーバーサンプリングです。オーバーサンプリングという用語は、信号帯域幅の何倍もの高いレート(周波数)で信号をサンプルすることを意味します。例えば、ADE7880 のサンプリング・レートは 1.024 MHz であり、信号帯域は 40 Hz~3.3 kHz です。オーバーサンプリングは、量子化ノイズ(サンプリングに起因するノイズ)を広い帯域幅に分散させる効果を持っています。ノイズが広い帯域幅に薄く分散すると、帯域内の量子化ノイズは小さくなります(図 39 参照)。ただし、帯域内の信号対ノイズ比(SNR)を向上させるためにはオーバーサンプリングだけでは不十分です。例えば、SNR を 6 dB (1 ビット)改善するためには、オーバーサンプリング比 4 が必要です。オーバーサンプリング比を適切なレベルにするために、ノイズの主要部分が高い周波数に分布するように量子化ノイズを整形することができます。 Σ - Δ 変調器では、量子化ノイズに対してハイパス型の応答を持つ積分器によりノイズが整形されます。これが高分解能を実現する 2 つ目の技術です。その結果、ノイズの大部分は高い周波数に存在するようになり、これはデジタル・ローパス・フィルタで除去できます。このノイズ整形を図 39 に示します。

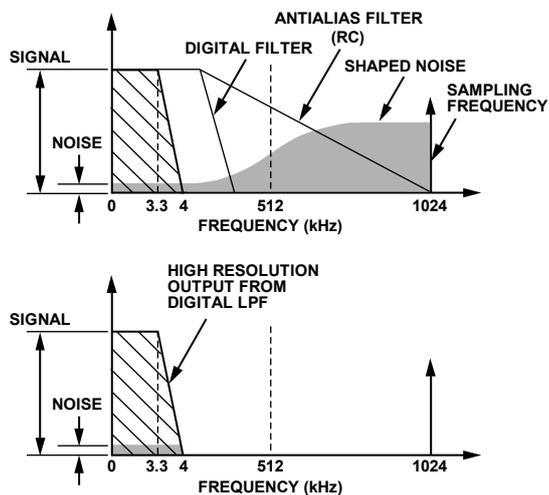


図 39. アナログ変調器でのオーバーサンプリングとノイズ整形によるノイズ削減

折り返し防止フィルタ

図 38 に、ADC 入力のアナログ・ローパス・フィルタ(RC)を示します。このフィルタは ADE7880 の外部に接続され、折り返しを防止する機能を持っています。折り返しは、すべてのサンプル・システムで発生するノイズです(図 40 参照)。折り返しとは、ADC サンプリング・レートの 1/2 より高い ADC 入力信号の周波数成分が、サンプルされた信号内でサンプリング・レートの 1/2 以下の周波数に現れることを意味します。サンプリング周波数(ナイキスト周波数とも呼ばれ、ここでは 512 kHz)の 1/2 より高い周波数成分が、512 kHz より下に折り返されます。これは、アーキテクチャに無関係にすべての ADC で発生します。この例では、サンプリング周波数(1.024 MHz)の近くの周波数だけが、測定信号帯域(40 Hz~3.3 kHz)内に移動するよう見えます。高周

波ノイズ(1.024 MHz 付近)を減衰させて帯域内の歪みを防止するため、ローパス・フィルタ(LPF)の使用が必要になります。従来型電流センサーの場合、サンプリング周波数 1.024 MHz での減衰を十分大きくするため、コーナー周波数 5 kHz の RC フィルタを 1 個使用することが推奨されます。このフィルタのディケードあたり 20 dB の減衰は、一般に従来型電流センサーの折り返しの影響を除去するために十分ですが、Rogowski コイルのような di/dt センサーの場合、センサーはディケードあたり 20 dB のゲインを持っています。これにより、LPF によるディケードあたり 20 dB の減衰が相殺されます。このため、di/dt センサーを使う場合は、ディケードあたり 20 dB のゲインを相殺させる注意が必要です。シンプルな 1 つの方法は、追加 RC フィルタを 1 個カスケード接続して、ディケードあたり 40 dB の減衰を発生させることです。

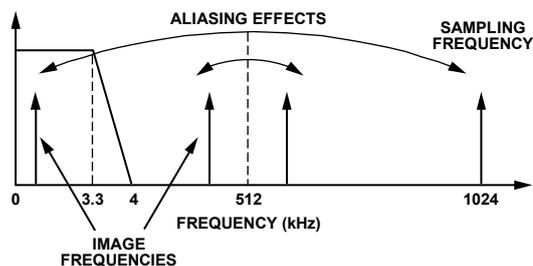


図 40. 折り返しノイズの影響

ADC の伝達関数

ADE7880 内のすべての ADC は、同じ入力信号レベルに対して同じ 24 ビット符号付き出力コードを発生するようにデザインされています。0.5 V のフルスケール入力信号で、1.2 V の内蔵リファレンス電圧の場合、公称 ADC 出力コードは 5,326,737 (0x514791)になり、通常各 ADE7880 はこの値付近で変化します。ADC のコードは 0x800000 (-8,388,608)~0x7FFFFFFF (+8,388,607)で変化します。これは、 ± 0.787 V の入力信号レベルに等価ですが、規定の性能を得るためには、 ± 0.5 V の公称範囲を超えることはできません。ADC 性能は、 ± 0.5 V 以下の入力信号に対して保証されています。

電流チャンネル ADC

図 41 に、電流チャンネルの入力 IA に対する ADC と信号処理パスを示します(IB と IC でも同じ)。ADC 出力は符号付き 2 の補数の 24 ビット・データ・ワードで、8 kSPS (毎秒の千単位サンプル数)のレートで出力されます。ADC は、規定の ± 0.5 V フルスケール・アナログ入力信号で最大出力コード値を発生します。図 41 に、差動入力 IAP と IAN に入力されるフルスケール電圧信号を示します。ADC 出力は、-5,326,737 (0xAEB86F)~+5,326,737 (0x514791)の範囲です。これらは公称値であるため、各 ADE7880 ではこれらの値付近で変化することに注意してください。入力 IN は、3 相システムの中性電流に対応します。中性ラインが存在しない場合には、この入力を AGND へ接続してください。中性電流のデータ・パスは、図 42 に示す相電流のパスと同じです。

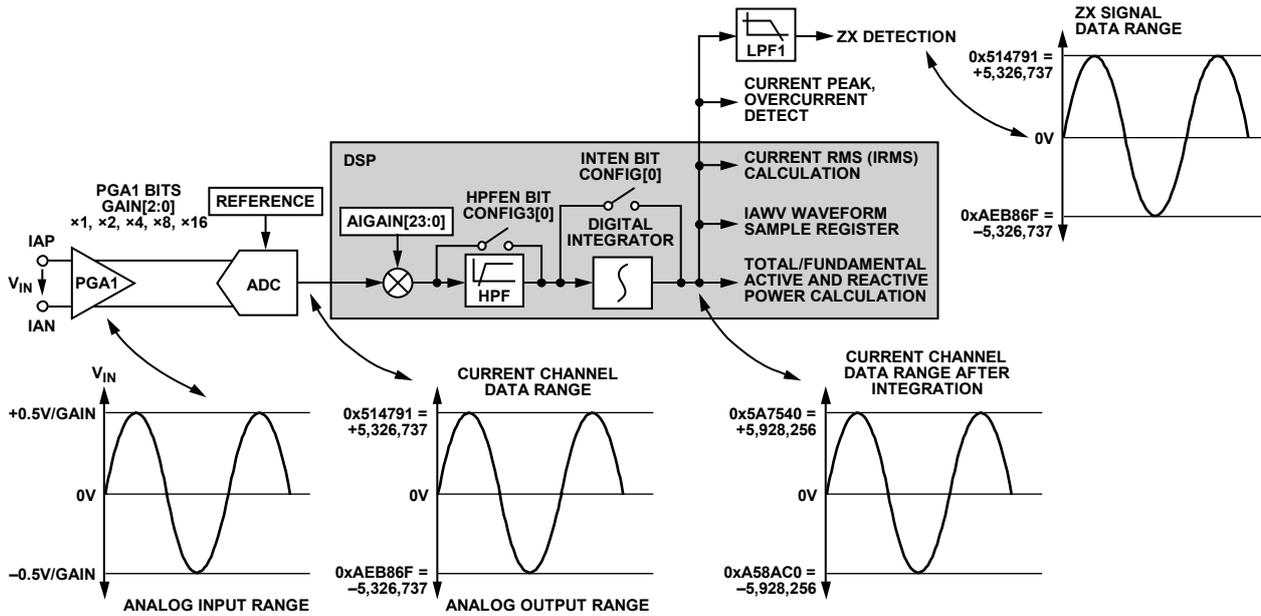


図 41.電流チャンネルの信号パス

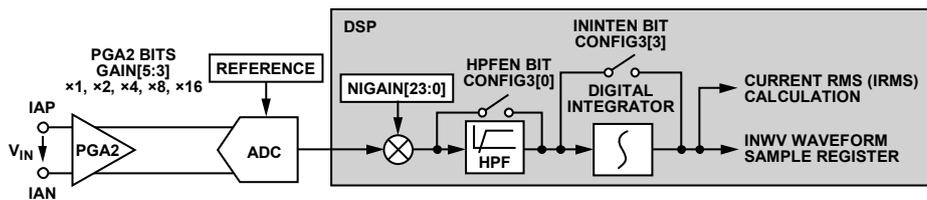


図 42.中性電流の信号パス

電流波形ゲイン・レジスタ

各相電流と中性電流の信号パスには乗算器があります。24 ビットの符号付き電流波形ゲイン・レジスタ (AIGAIN、BIGAIN、CIGAIN、NIGAIN) に対応する 2 の補数値を書込むことにより、電流波形を±100%変化させることができます。例えば、0x400000 をこれらのレジスタに書込むと、ADC 出力は 50%だけスケールアップします。入力を-50%スケールするとき、0xC00000 をレジスタへ書込みます。4 式により、電流波形ゲイン・レジスタの機能が数学的に表されます。

電流波形 =

$$ADC\ Output \times \left(1 + \frac{Content\ of\ Current\ Gain\ Register}{2^{23}} \right) \quad (4)$$

AIGAIN、BIGAIN、CIGAIN または INGAIN の値を変更すると、電流に基づくすべての計算が影響を受けます。すなわち、該当する相の有効/無効/皮相電力量および電流 rms の計算が影響を受けます。さらに、波形サンプルもスケールされます。

ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。AIGAIN、BIGAIN、CIGAIN、NIGAIN の 24 ビット・レジスタは、上位 4 ビット (MSB) に 0 を設定して、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。詳細については、図 43 を参照。

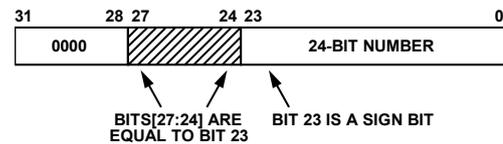


図 43.32 ビット・ワードとして送信された 24 ビット xIGAIN

電流チャンネルの HPF

ADC 出力には DC オフセットを加えることができます。このオフセットは、電力量計算と rms 計算に誤差を生じさせることがあります。ハイパス・フィルタ (HPF) は、相電流、中性電流、相電圧の信号パスに使用されます。HPF がイネーブルされると、電流チャンネルの DC オフセットが除去されます。すべてのフィルタは DSP で実現され、デフォルトでは、すべてがイネーブルされます。すなわち、CONFIG3[7:0] レジスタのビット 0 (HPFEN) に 1 を設定します。ビット 0 (HPFEN) を 0 に設定すると、すべてのフィルタがディスエーブルされます。

電流チャンネル・サンプリング

電流チャンネルの波形サンプルが HPF 出力で取得され、24 ビット符号付きレジスタ (IAWV、IBWV、ICWV、INWV) に 8 kSPS のレートで格納されます。すべての電力と rms の計算は、このプロセス中割込みなしで実行されます。I²C または SPI シリアル・ポートを使って IAWV、IBWV、ICWV、INWV レジスタを讀出すとき、STATUS0 レジスタのビット 17 (DREADY) が設定されます。MASK0 レジスタのビット 17 (DREADY) をセットすると、DREADY フラグがセットされたときに割込みを設定できるようになります。DREADY ビット機能の詳細については、デジタル信号プロセッサのセクションを参照してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。IAWV、IBWV、ICWV、INWV の 24 ビット符号付きレジスタを ADE7880 から讀出すと、符号拡張した 32 ビットが送信されます。詳細については、図 44 を参照。

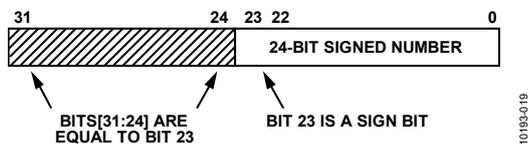


図 44. 32 ビット符号付きワードとして送信される 24 ビット IxWV レジスタ

ADE7880 は高速データ・キャプチャ (HSDC) ポートを内蔵しています。このポートは、波形サンプル・レジスタへの高速アクセスを提供するために特別にデザインされています。詳細については、HSDC インターフェースのセクションを参照してください。

di/dt 電流センサーとデジタル積分器

di/dt センサーは、AC 電流に起因する磁界の変化を検出します。図 45 に、di/dt 電流センサーの原理を示します。

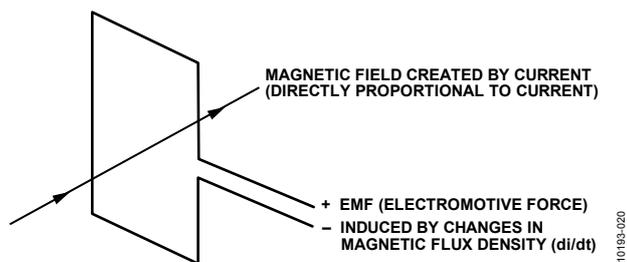


図 45. di/dt 電流センサーの原理

電流により発生する磁束密度は、電流の大きさに比例します。導体のループを通過する磁束密度の変化は、ループの両端に起電力 (EMF) を発生させます。この EMF が電圧信号になり、電流の di/dt に比例します。di/dt 電流センサーからの電圧出力は、電流が流れる導体と di/dt センサーとの間の相互インダクタンスにより決定されます。

di/dt センサーのため、電流信号をフィルタした後に電力測定に使用する必要があります。各相電流と中性電流のデータ・パスには、di/dt センサーから電流信号を再生するデジタル積分器が内蔵されています。相電流データ・パスのデジタル積分器は、中性電流データ・パスにあるデジタル積分器と独立しています。このため、相電流の測定で使用する電流センサー (例えば di/dt センサー) とは異なる電流センサー (例えば電流トランス) を使用して中性電流の測定を行うことができます。デジタル積分器は、CONFIG レジスタのビット 0 (INTEN) と CONFIG3 レジスタのビット 3

(ININTEN) により制御されます。CONFIG レジスタのビット 0 (INTEN) は、相電流チャンネルの積分器を制御します。CONFIG3 レジスタのビット 3 (ININTEN) は、中性電流チャンネルの積分器を制御します。INTEN ビットを 0 (デフォルト) にすると、相電流チャンネル内のすべての積分器がディスエーブルされます。INTEN ビットを 1 にすると、相電流データ・パス内の積分器がイネーブルされます。ININTEN ビットを 0 (デフォルト) にすると、中性電流チャンネル内の積分器がディスエーブルされます。ININTEN ビットを 1 にすると、中性電流チャンネル内の積分器がイネーブルされます。

図 46 と図 47 に、デジタル積分器の振幅応答と位相応答を示します。

積分器は -20 dB/dec の減衰と約 -90° の相シフトを持つことに注意してください。di/dt センサーと組み合わせると、振幅と相の応答は注目の周波数帯でゲインが平坦になります。ただし、di/dt センサーは 20 dB/dec のゲインを持ち、大きな高周波ノイズを発生します。ADC をサンプリングする際に帯域内へのノイズの折り返しを防止するためには、少なくとも 2 次の折り返し防止フィルタが必要です (折り返し防止フィルタのセクション参照)。

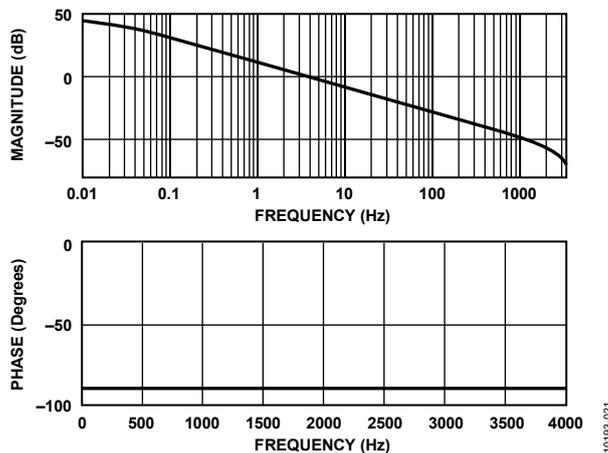


図 46. デジタル積分器のゲイン応答と位相応答

デジタル積分器アルゴリズムでは DICOEFF 24 ビット符号付きレジスタを使います。パワーアップ時またはリセット時、この値は 0x000000 です。積分器をターンオンさせる前に、このレジスタを 0xFFFF8000 に初期化する必要があります。積分器をターンオフしたときは DICOEFF を使用しないため、値 0x000000 を維持することができます。

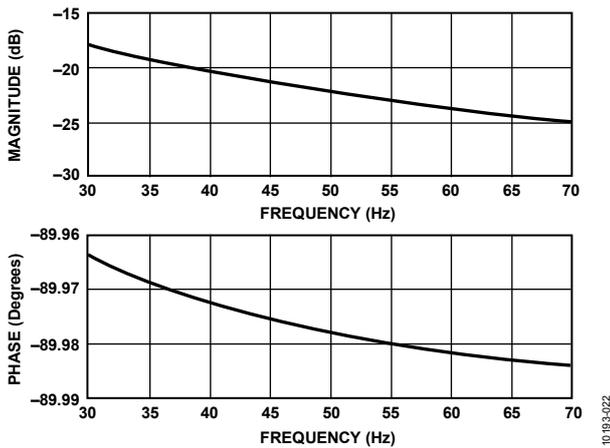


図 47. デジタル積分器のゲイン応答と位相応答 (40 Hz~70 Hz)

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または

8 ビットのワードで動作します。図 43 に示すレジスタと同様に、DICOEFF 24 ビット符号付きレジスタは、上位 4 ビットに 0 を設定して 28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。これは、実際に 0x0FFF8000 を送信することに対応します。

デジタル積分器をオフにすると、ADE7880 に電流トランス(CT)のような従来型電流センサーを直接接続することができます。

電圧チャンネル ADC

図 48 に、電圧チャンネルの入力 VA に対する ADC と信号処理チェーンを示します。VB チャンネルと VC チャンネルも同じ処理チェーンを持っています。ADC 出力は符号付き 2 の補数の 24 ビット・ワードで、8 kSPS のレートで出力されます。ADC は、規定の±0.5 V フルスケール・アナログ入力信号で最大出力コード値を発生します。図 48 に、差動入力(VA と VN)に入力されるフルスケール電圧信号を示します。ADC 出力は、-5,326,737 (0xAEB86F)~+5,326,737 (0x514791)の範囲です。これらは公称値であるため、各 ADE7880 ではこれらの値付近で変化することに注意してください。

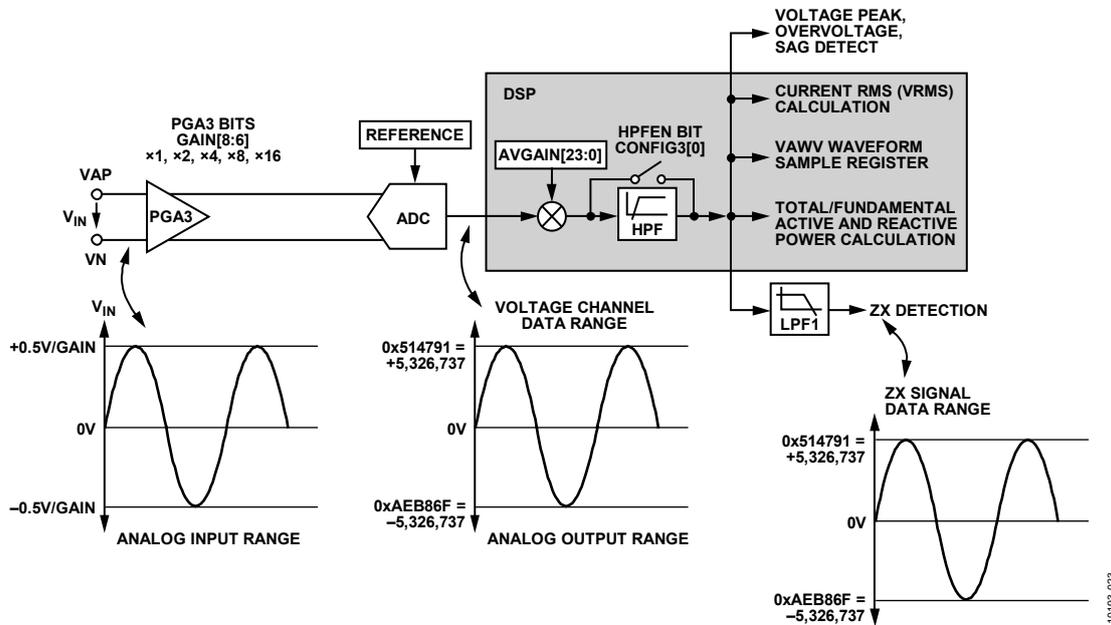


図 48. 電圧チャンネルのデータ・パス

電圧波形ゲイン・レジスタ

各相電圧の信号パスには乗算器があります。24 ビットの符号付き電圧波形ゲイン・レジスタ(AVGAIN、BVGAIN、CVGAIN)に対応する 2 の補数値を書込むことにより、電圧波形を±100%変化させることができます。例えば、0x400000 をこれらのレジスタに書込むと、ADC 出力は 50%だけスケールアップします。入力を-50%スケールするとき、0xC00000 をレジスタへ書込みます。5 式により、電圧波形ゲイン・レジスタの機能が数学的に表されます。

$$\text{電圧波形} = \text{ADC Output} \times \left(1 + \frac{\text{Content of Voltage Gain Register}}{2^{23}} \right) \quad (5)$$

AVGAIN、BVGAIN、CVGAIN の値を変更すると、電圧に基づくすべての計算が影響を受けます。すなわち、該当する相の有効/無効/皮相電力量および電圧 rms の計算が影響を受けます。さらに、波形サンプルもスケールされます。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すように、AVGAIN、BVGAIN、CVGAIN の各レジスタは、上位 4 ビット(MSB)に 0 を設定して、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

電圧チャンネルの HPF

電流チャンネルの HPF のセクションで説明したように、ADC 出力に DC オフセットを加えることができます。これにより電力量計算と rms 計算で誤差が発生することがあります。HPF は相電圧の信号パスに使用され、電流チャンネルの場合と同じです。CONFIG3 レジスタのビット 0 (HPFEN)を使って、フィルタをイネーブルまたはディスエーブルすることができます。詳細については、電流チャンネルの HPF のセクションを参照してください。

電圧チャンネルのサンプリング

電圧チャンネルの波形サンプルが HPF 出力で取得され、24 ビット符号付きレジスタ(VAWV、VBWV、VCWV)に 8 kSPS のレートで格納されます。すべての電力と rms の計算は、このプロセス中割込みなしで実行されます。I²C または SPI シリアル・ポートを使って VAWV、VBWV、VCWV レジスタを読み出すとき、STATUS0 レジスタのビット 17 (DREADY)がセットされます。MASK0 レジスタのビット 17 (DREADY)をセットすると、DREADY フラグがセットされたときに割込みを設定できるようになります。DREADY ビット機能の詳細については、デジタル信号プロセッサのセクションを参照してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 44 に示すレジスタと同様に、VAWV、VBWV、VCWV の 24 ビット符号付きレジスタが、符号拡張した 32 ビットで送信されます。

ADE7880 は HSDC ポートを内蔵しています。このポートは、波形サンプル・レジスタへの高速アクセスを提供するために特別にデザインされています。詳細については、HSDC インターフェースのセクションを参照してください。

相電圧データ・パスの変更

ADE7880 では、1 つの相電圧入力を別の相の計算データ・パスへ振り向けることができます。例えば、A 相電圧を B 相計算データ・パスへ入力することができます。これは、ADE7880 により B 相で計算されるすべての電力は A 相電圧と B 相電流に基づくことを意味しています。

CONFIG レジスタのビット[9:8] (VTOIA[1:0])が、VAP ピンで測定される A 相電圧を管理します。VTOIA[1:0] = 00 (デフォルト値)の場合、電圧は A 相計算データ・パスへ振り向けられます。VTOIA[1:0] = 01 の場合、電圧は B 相パスへ振り向けられます。VTOIA[1:0] = 10 の場合、電圧は C 相パスへ振り向けられます。VTOIA[1:0] = 11 の場合、ADE7880 は VTOIA[1:0] = 00 であるかのように動作します。

CONFIG レジスタのビット[11:10] (VTOIB[1:0])が、VBP ピンで測定される B 相電圧を管理します。VTOIB[1:0] = 00 (デフォルト値)の場合、この電圧は B 相計算データ・パスへ振り向けられます。VTOIB[1:0] = 01 の場合、電圧は C 相パスへ振り向けられます。VTOIB[1:0] = 10 の場合、電圧は A 相パスへ振り向けられます。VTOIB[1:0] = 11 の場合、ADE7880 は VTOIB[1:0] = 00 であるかのように動作します。

CONFIG レジスタのビット[13:12] (VTOIC[1:0])が、VCP ピンで測定される C 相電圧を管理します。VTOIC[1:0] = 00 (デフォルト値)の場合、電圧は C 相計算データ・パスへ振り向けられます。VTOIC[1:0] = 01 の場合、電圧は A 相パスへ振り向けられます。VTOIC[1:0] = 10 の場合、電圧は B 相パスへ振り向けられます。VTOIC[1:0] = 11 の場合、ADE7880 は VTOIC[1:0] = 00 であるかのように動作します。

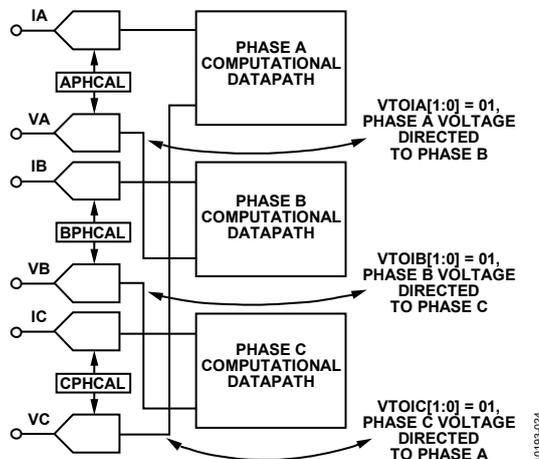


図 49.異なるデータ・パスで使用される相電圧

図 49 に、A 相電圧を B 相データ・パスで、B 相電圧を C 相データ・パスで、C 相電圧を A 相データ・パスで、それぞれ使用するケースを示します。

電力品質での測定

ゼロ交差の検出

ADE7880 は、相電流チャンネルと相電圧チャンネルにゼロ交差 (ZX) 検出回路を内蔵しています。中性電流データ・パスには、ゼロ交差検出回路がありません。ゼロ交差イベントは、種々の電力品質の測定とキャリブレーション・プロセスの基準時間として使用されます。

LPF1 出力は、ゼロ交差イベントを発生させるときに使用されます。ローパス・フィルタは、50 Hz システムと 60 Hz システムのすべての高調波の除去に使用され、電流チャンネルと電圧チャンネルの基本波成分上でゼロ交差イベントを特定する際に役立ちます。

デジタル・フィルタは 80 Hz に極を持ち、256 kHz でクロック駆動されます。このため、アナログ入力信号 (IA、IB、IC、VA、VB、VC の内の 1 つ) と LPF1 出力の間に位相遅れが発生します。ZX 検出の誤差は、50 Hz システムで 0.0703° です (60 Hz システムでは 0.0843°)。LPF1 の位相遅れ応答により、入出力間で約 31.4° すなわち 1.74 ms (@ 50 Hz) の時間遅延が発生します。アナログ入力でのゼロ交差と、LPF1 の後ろで取得された ZX 検出との間の全体遅延は約 39.6° すなわち 2.2 ms (@ 50 Hz) です。ADC と HPF により遅延が増加します。ZX 検出の優れた分解能を保證するため、LPF1 をディスエーブルすることはできません。図 50 に、ゼロ交差信号を検出する方法を示します。

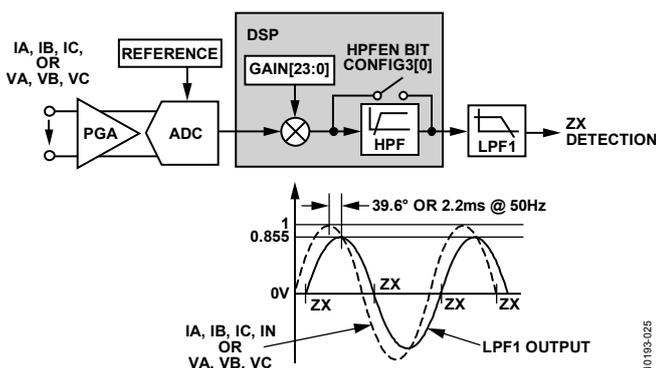


図 50. 電圧チャンネルと電流チャンネルでのゼロ交差検出

ノイズからの保護をさらに強化するため、電圧チャンネル入力信号の振幅をフルスケールの 10% 以下にすると、ゼロ交差イベントは全く発生しなくなります。電流チャンネルの ZX 検出回路は、振幅と無関係にすべての入力信号に対して動作します。

ADE7880 は、各相の電圧チャンネルと電流チャンネルに対して 1 個ずつ 6 個のゼロ交差検出回路を内蔵しています。各回路は、STATUS1 レジスタ内の 1 個のフラグを駆動します。A 相電圧チャンネルの回路が 1 つのゼロ交差イベントを検出すると、STATUS1 レジスタのビット 9 (ZXVA) が 1 に設定されます。

同様に、B 相電圧回路がビット 10 (ZXVB) を、C 相電圧回路がビット 11 (ZXVC) を、電流チャンネルの回路が STATUS1 レジスタのビット 12 (ZXIA)、ビット 13 (ZXIB)、ビット 14 (ZXIC) を、それぞれ駆動します。MASK1 レジスタで ZX 検出ビットがセットされると、IRQ1 割り込みピンがロー・レベルに駆動され、対応するステータス・フラグに 1 が設定されます。ステータス・ビットが 1 に設定されているとき STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされて、IRQ1 ピンがハイ・レベルに設定されます。

ゼロ交差タイムアウト

各ゼロ交差検出回路には対応するタイムアウト・レジスタがあります。このレジスタには 16 ビット ZXTOUIT レジスタに書込まれた値がロードされ、62.5 μ s (16 kHz クロック) ごとにデクリメントされます (1 LSB)。このレジスタは、ゼロ交差が検出されるごとに ZXTOUIT 値にリセットされます。このレジスタのデフォルト値は 0xFFFF です。タイムアウト・レジスタが、ゼロ交差の検出前に 0 へデクリメントされると、STATUS1 レジスタのビット [8:3] の内の 1 つが 1 に設定されます。STATUS1 レジスタのビット 3 (ZXTOVA)、ビット 4 (ZXTOVB)、ビット 5 (ZXTOVC) は、電圧チャンネルの A 相、B 相、C 相を表します。STATUS1 レジスタのビット 6 (ZXTOIA)、ビット 7 (ZXTOIB)、ビット 8 (ZXTOIC) は、電流チャンネルの A 相、B 相、C 相を表します。

MASK1 レジスタの ZXTOIx ビットまたは ZXTOVx ビットがセットされると、対応するステータス・ビットに 1 が設定されている場合、IRQ1 割り込みピンがロー・レベルへ駆動されます。ステータス・ビットに 1 が設定されているとき、STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルに戻ります。

ZXOUT レジスタの分解能は、LSB あたり 62.5 μ s (16 kHz クロック) です。したがって、割り込みの最大タイムアウト周期は 4.096 sec すなわち $2^{16}/16$ kHz です。

図 51 に、電圧信号または電流信号が 62.5 μ s \times ZXTOUIT μ s を超えて固定 DC レベルにとどまる場合のゼロ交差タイムアウト検出のメカニズムを示します。

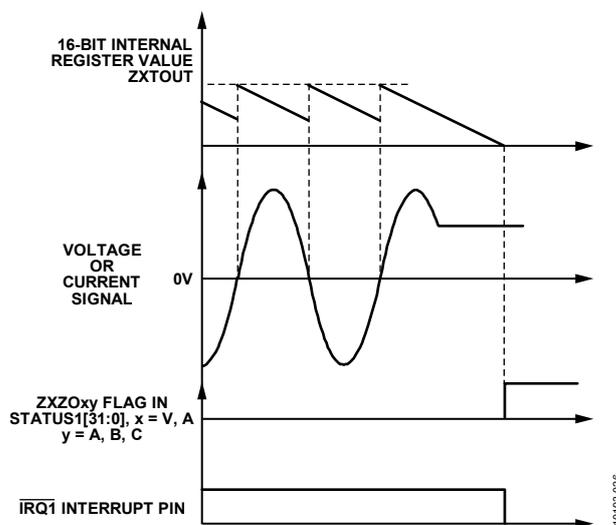


図 51. ゼロ交差タイムアウト検出

相順序検出

ADE7880 は、相順序エラー検出回路を内蔵しています。この検出機能は相電圧に対して動作し、負から正への変化で決定されるゼロ交差のみを対象とします。これらのゼロ交差イベントの通常の発生順は、A 相、B 相、C 相の順です (図 53 参照)。これに対して、ゼロ交差イベントのシーケンスが、A 相、C 相、B 相の順の場合、STATUS1 レジスタのビット 19 (SEQERR) がセットされます。

MASK1 レジスタのビット 19 (SEQERR) に 1 が設定されており、かつ相順序エラーイベントが発生すると、IRQ1 割り込みピンがロー・レベルへ駆動されます。ステータス・ビット 19 (SEQERR) を 1 に設定して STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルになります。

相順序エラー検出回路は、ADE7880 が 3 相 4 線式で接続され、3 個の電圧センサー構成 (ACCMODE レジスタのビット [5:4]、CONSEL[1:0] が 00) の場合にのみ機能します。その他のすべての構成では、2 個の電圧センサーのみが使用されるため、検出回路の使用は推奨されません。これらのケースでは、相電圧間の時間間隔を使用して相順序を解析してください (詳細については、相間のタイム・インターバルのセクション参照)。

図 52 に、A 相電圧の後は B 相電圧ではなく C 相電圧であるケースを示します。負から正へのゼロ交差が発生するごとに、STATUS1 レジスタのビット 19 (SEQERR) に 1 が設定されます。これは、C 相、B 相、または A 相でのこのようなゼロ交差は、それぞれ A 相、C 相、または B 相のゼロ交差の後に発生しないためです。

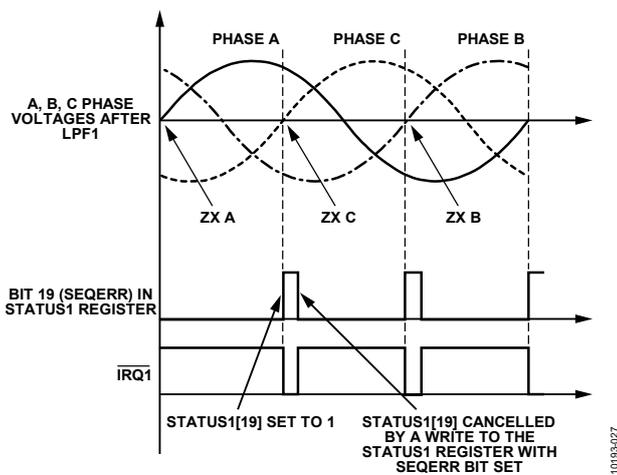


図 52.A 相電圧の後ろに C 相電圧が続く場合に SEQERR ビットに 1 を設定

相順序エラーを検出した場合は、種々の相電圧間の時間測定 (相間のタイム・インターバルのセクション参照) を行うと、計算データ・パス内でどの相電流とどの相電圧を組み合わせる必要があるかの特定に役立ちます。CONFIG レジスタのビット [9:8] (VTOIA[1:0])、ビット [11:10] (VTOIB[1:0])、ビット [13:12] (VTOIC[1:0]) を使って、相電圧を別の相のデータ・パスへ振り向けることができます。詳細については、相電圧データ・パスの変更のセクションを参照してください。

相間のタイム・インターバル

ADE7880 は、相電圧間、相電流間、または同じ相の電圧と電流間の時間遅延を測定する機能を内蔵しています。ゼロ交差検出回路で特定された負から正への変化をスタートとストップの測定ポイントとして使います。COMPmode レジスタのビット [10:9] (ANGLESEL[1:0]) に基づいて、このような測定値が 1 回に 1 セットだけ得られます。

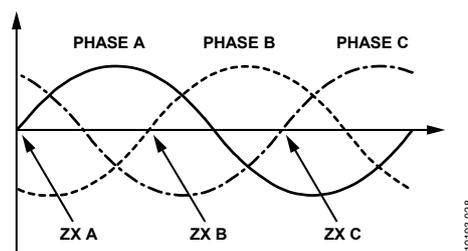


図 53.A 相、B 相、C 相の通常の順序

ANGLESEL[1:0] ビットを 00 (デフォルト値) に設定すると、同じ相の電圧と電流との間の遅延が測定されます。A 相電圧と A 相電流との間の遅延は、16 ビット符号なしの ANGLE0 レジスタに格納されます (詳細については、図 54 参照)。同様に、B 相と C 相での電圧と電流との間の遅延は、それぞれ ANGLE1 レジスタと ANGLE2 レジスタに格納されます。

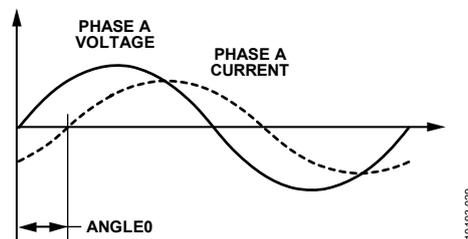


図 54.A 相電圧と A 相電流との間の遅延を ANGLE0 レジスタに格納

ANGLESEL[1:0] ビットを 01 に設定すると、相電圧間の遅延が測定されます。A 相電圧と C 相電圧との間の遅延は ANGLE0 レジスタに格納されます。B 相電圧と C 相電圧との間の遅延は ANGLE1 レジスタに、A 相電圧と B 相電圧との間の遅延は ANGLE2 レジスタに、それぞれ格納されます (詳細については、図 55 参照)。

ANGLESEL[1:0] ビットを 10 に設定すると、相電流間の遅延が測定されます。相電圧間の遅延と同様に、A 相電流と C 相電流との間の遅延は ANGLE0 レジスタに、B 相電流と C 相電流との間の遅延は ANGLE1 レジスタに、A 相電流と B 相電流との間の遅延は ANGLE2 レジスタに、それぞれ格納されます (詳細については、図 55 参照)。

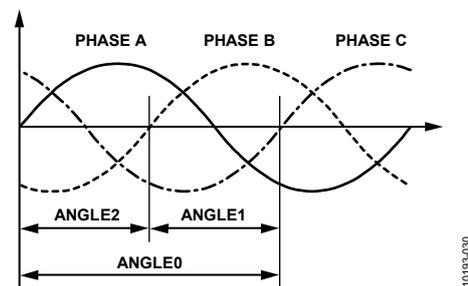


図 55. 相電圧 (電流) 間の遅延

ANGLE0、ANGLE1、ANGLE2 の各レジスタは、16 ビット符号なしレジスタで、1 LSB が 3.90625 μs (256 kHz クロック) に対応しています。これは、分解能が 50 Hz システムでは 0.0703° (360° × 50 Hz / 256 kHz) に、60 Hz システムでは 0.0843° (360° × 60 Hz / 256 kHz) に、それぞれなることを意味しています。相電圧間または相電流間の遅延は、負荷のバランスをキャラクタライズするときに使います。相電圧と相電流との間の遅延は、式 6 で示すように各相の力率を計算する際に使います。

$$\cos\phi_x = \cos \left[ANGLE_x \times \frac{360^\circ \times f_{LINE}}{256 \text{ kHz}} \right] \quad (6)$$

ここで、 $f_{LINE} = 50 \text{ Hz}$ または 60 Hz 。

周期測定

ADE7880 では、電圧チャンネルのライン周期を測定します。各相電圧の周期は、APERIOD、BPERIOD、CPERIOD の 3 個のレジスタで測定／格納します。周期レジスタは、16 ビット符号なしレジスタで、ライン周期ごとに更新されます。LPF1 フィルタがあるため(図 50 参照)、測定が安定するまで、このフィルタに対応したセトリング・タイム 30 ms~40 ms が必要です。

周期測定の分解能は 3.90625 $\mu\text{s}/\text{LSB}$ (256 kHz クロック)です。これは、ライン周波数が 50 Hz のとき 0.0195% (50 Hz/256 kHz)を、ライン周波数が 60 Hz のとき 0.0234% (60 Hz/256 kHz)を、それぞれ意味します。50 Hz 回路の周期レジスタの値は約 5120 (256 kHz/50 Hz)で、60 Hz 回路の値は約 4267 (256 kHz/60 Hz)です。レジスタのこの長さにより、ライン周波数の測定が最小 3.9 Hz (256 kHz/2¹⁶)まで可能になります。ラインが確定して測定が変わらない場合、周期レジスタは $\pm 1 \text{ LSB}$ で安定です。

ラインの周期と周波数は、周期レジスタを使って次式で計算することができます。

$$T_L = \frac{PERIOD[15:0]}{256E3} [\text{sec}] \quad (7)$$

$$f_L = \frac{256E3}{PERIOD[15:0]} [\text{Hz}] \quad (8)$$

相電圧 SAG の検出

相電圧の絶対値が、指定の半サイクル数の期間、一定のピーク値を下回るか、または上回ったことを検出するように、ADE7880 を設定することができます。このイベントが発生した相や、スレッシュホールドに対する相電圧の状態は、PHSTATUS レジスタのビット [14:12] (VSPHASE[x])で識別されます。相がスレッシュホールドを下回るか、または上回ると、対応する割込みが発生します。この状態を図 56 に示します。

図 56 に、スレッシュホールドを下回る A 相電圧を示します。このスレッシュホールドは、4 半ライン・サイクル(SAGCYC = 4)の期間で、SAG レベル・レジスタ(SAGLVL)に設定されています。STATUS1 レジスタのビット 16 (SAG)が 1 にセットされこの状態にあることが指示されると、同時に PHSTATUS レジスタのビット VSPHASE[0]も 1 にセットされ、A 相電圧が SAGLVL を下回っていることを示します。次に、マイクロコントローラは、ビット 16 (SAG)を 1 に設定した値を STATUS1 レジスタに書き込みを行いそのビットを消去すると、IRQ1 割込みピンはハイ・レベルに戻ります。次に A 相電圧は 4 半ライン・サイクル(SAGCYC = 4)間 SAGLVL スレッシュホールドを上回ります。STATUS1 レジスタのビット 16 (SAG)が 1 にセットされこの状態が指示されると、PHSTATUS レジスタのビット VSPHASE[0]が 0 に戻されます。

ビット VSPHASE[1]とビット VSPHASE[2]は、同じ方法で B 相と C 相の SAG イベントに関係します。すなわち、B 相または C 相の電圧が SAGLVL を下回るとき、これらのビットが 1 に設定されます。相電圧が SAGLVL を上回ると、両ビットは 0 に設定されます。

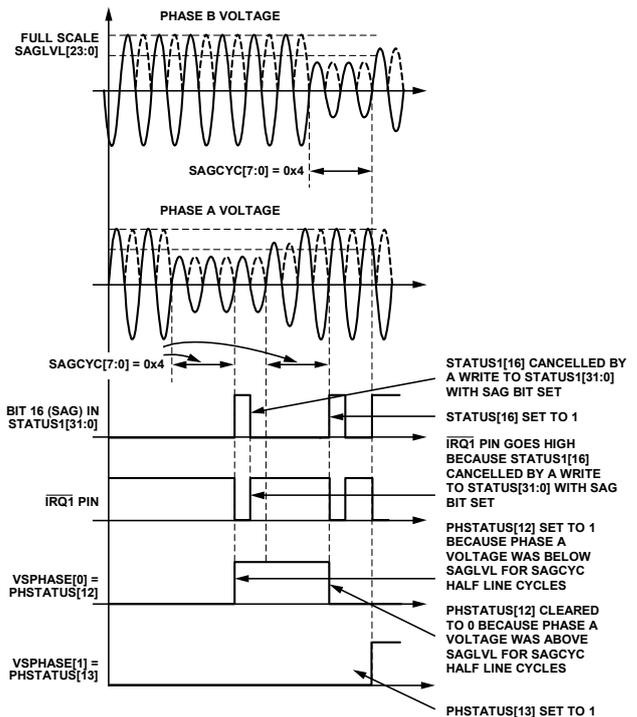


図 56.SAG の検出

SAGCYC レジスタは、SAG 割込みを発生させるために SAGLVL レジスタで指定するレベルを相電圧が上回るか、または下回る必要のある期間を半ライン・サイクル数で表します。SAGCYC への 0 の指定は無効です。例えば、SAG サイクル (SAGCYC[7:0]) = 0x07 のとき、STATUS1 レジスタの SAG フラグはライン電圧がスレッシュホールドを下回った 7 番目の半ライン・サイクルの終わりに設定されます。MASK1 のビット 16 (SAG)がセットされている場合、SAG イベントが発生すると IRQ1 割込みピンがロー・レベルに駆動され、同時に STATUS1 レジスタのステータス・ビット 16 (SAG)が 1 に設定されます。ステータス・ビットを 1 にして STATUS1 レジスタへ書き込みを行うと、STATUS1 レジスタの SAG ステータス・ビットと IRQ1 ピンがハイ・レベルに戻ります。

B 相電圧が SAGLVL レジスタで指定されたスレッシュホールドを 2 ライン・サイクル間下回ると、PHSTATUS レジスタのビット VSPHASE[1]に 1 が設定されます(図 56 参照)。同時に、STATUS1 レジスタのビット 16 (SAG)に 1 を設定して状態を表示します。

内部ゼロ交差カウンタは常に動作していることに注意してください。SAGLVL レジスタをセットすると、最初の SAG 検出結果は、全 SAGCYC 周期間で実行されません。SAGLVL レジスタが初期化済みのとき SAGCYC レジスタに書き込みを行うと、ゼロ交差カウンタがリセットされるため、最初の SAG 検出結果が確実に全 SAGCYC 周期で取得されるようになります。

SAG イベントを処理する推奨手順は、

1. ビット 16 (SAG) を 1 に設定して、MASK1 レジスタの SAG 割込みをイネーブリングします。
2. SAG イベントが発生したとき、 $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルになり、STATUS1 のビット 16 (SAG) が 1 に設定されます。
3. ビット 16 (SAG) = 1 のとき、STATUS1 レジスタを読み出します。
4. PHSTATUS レジスタを読み出して、SAG イベントが発生した相を調べます。
5. ビット 16 (SAG) = 1 で STATUS1 レジスタに書きこみます。直ちに SAG ビットが消去されます。

SAG レベルの設定

SAGLVL[23:0] SAG レベル・レジスタの値は、HPF 出力の絶対値と比較されます。SAGLVL レジスタへ 5,928,256 (0x5A7540) を書込むと、SAG 検出レベルがフルスケールになるため(電圧チャンネル ADC のセクション参照)、SAG イベントが連続して発生します。0x00 または 0x01 を書込むと、SAG 検出レベルを 0 にするため、SAG イベントは発生しません。

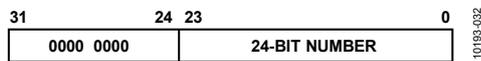


図 57. 32 ビット・ワードとして送信される SAGLVL レジスタ

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。SAGLVL レジスタは、32 ビット・レジスタとしてアクセスされ、上位 8 ビットには 0 が詰められています。詳細については、図 57 を参照。

ピークの検出

ADE7880 では、所定の半ライン・サイクル数間に電圧チャンネルと電流チャンネルが到達した最大絶対値を記録し、VPEAK と IPEAK の 32 ビット・レジスタの下位 24 ビットに格納します。

PEAKCYC レジスタは、測定期間の基準として使用する半ライン・サイクルの数を格納します。この回路では、ゼロ交差検出回路が指定したゼロ交差ポイントを使用します。MMODE レジスタのビット[4:2] (PEAKSEL[2:0])により、ピーク測定を行う相を指定します。ビット 2 は A 相を、ビット 3 は B 相を、ビット 4 は C 相を、それぞれ指定します。ピーク値をモニタする相を増やすと、PEAKCYC レジスタで指定される測定時間が比例して短くなります。これは、このプロセスに関係する相が増えてゼロ交差数も増えるためです。新しいピーク値が来ると、IPEAK レジスタと VPEAK レジスタのビット [26:24] (IPPHASE[2:0] または VPPHASE[2:0]) の内の 1 ビットが 1 に設定されて、ピーク検出イベントが発生した相が表示されます。例えば、ピーク値が A 相電流で検出されると、IPEAK レジスタのビット 24 (IPPHASE[0]) が 1 に設定されます。次に新しいピーク値が B 相で検出されると、IPEAK レジスタのビット 24 (IPPHASE[0]) が 0 にクリアされ、IPEAK レジスタのビット 25 (IPPHASE[1]) が 1 に設定されます。図 58 に、IPEAK レジスタと VPEAK レジスタの構成を示します。

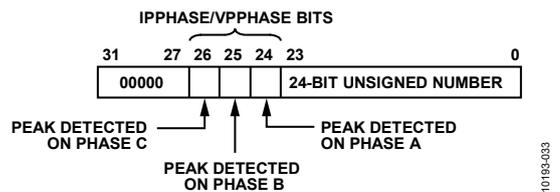


図 58. IPEAK[31:0] レジスタと VPEAK[31:0] レジスタの構成

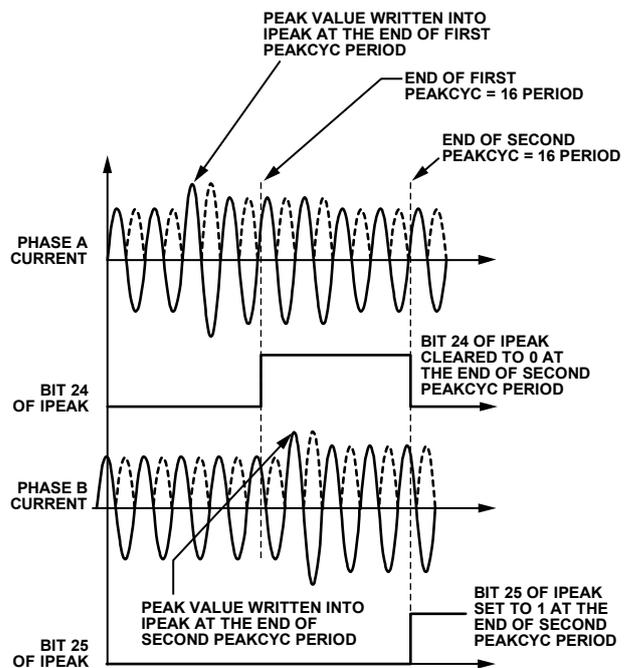


図 59. ピーク・レベルの検出

図 59 に、A 相と B 相の測定がイネーブリングされたとき (MMODE レジスタのビット PEAKSEL[2:0] = 011)、ADE7880 が電流チャンネルのピーク値を記録する方法を示します。PEAKCYC は 16 に設定されます。すなわち、ピーク測定サイクルは 4 ライン周期になります。A 相の最大絶対値は最初の 4 ライン周期 (PEAKCYC = 16) 間で最大であるため、最大絶対値が IPEAK レジスタの下位 24 ビットに書込まれ、周期の終わりに IPEAK レジスタのビット 24 (IPPHASE[0]) が 1 に設定されます。このビットは、4 ライン・サイクル間の 2 番目の PEAKCYC 周期の継続時間の間 1 を維持します。B 相の最大絶対値は 2 番目の PEAKCYC 周期間で最大であるため、最大絶対値が IPEAK レジスタの下位 24 ビットに書込まれ、周期の終わりに IPEAK レジスタのビット 25 (IPPHASE[1]) が 1 に設定されます。

電流チャンネルのピーク検出周期の終わりに、STATUS1 レジスタのビット 23 (PKI) が 1 に設定されます。MASK1 レジスタのビット 23 (PKI) がセットされている場合、PEAKCYC 周期の終わりに $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルへ駆動され、STATUS1 レジスタのステータス・ビット 23 (PKI) が 1 に設定されます。同様に、電圧チャンネルのピーク検出周期の終わりに、STATUS1 レジスタのビット 24 (PKV) が 1 に設定されます。MASK1 レジスタのビット 24 (PKV) がセットされている場合、PEAKCYC 周期の終わりに $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルへ駆動され、STATUS1 レジスタのステータス・ビット 24 (PKV) が 1 に設定されます。割込みが発生した相を知るためには、STATUS1 レジスタを読み出した直後に IPEAK レジスタまたは VPEAK レジスタの 1 つを読み出します。次に、ステータス・ビットを 1 に設定して STATUS1 レジ

スタへ書込みを行うと、ステータス・ビットがクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイ・レベルになります。

内部ゼロ交差カウンタは常に動作していることに注意してください。MMODE レジスタのビット[4:2] (PEAKSEL[2:0])を設定すると、最初のピーク検出結果は、全 PEAKCYC 周期で実行されません。PEAKSEL[2:0]がセットされているとき PEAKCYC レジスタに書込みを行うと、ゼロ交差カウンタがリセットされるため、最初のピーク検出結果が確実に全 PEAKCYC 周期で取得されるようになります。

過電圧および過電流の検出

ADE7880 は、OVLVL と OILVL の 24 ビット符号なしレジスタに設定されたスレッシュホールドを、電圧チャンネルと電流チャンネルで測定した瞬時絶対値が超えたタイミングを検出します。MASK1 レジスタのビット 18 (OV)がセットされている場合、過電圧イベントが発生すると、 $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルに駆動されます。 $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルへ駆動されたときに設定されるステータス・フラグは 2 つあり、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット[11:9] (OVPHASE[2:0])の内の 1 ビットで、過電圧が発生した相を表示します。ステータス・ビット = 1 で STATUS1 レジスタに書込みを行うと、STATUS1 レジスタのステータス・ビット 18 (OV) と PHSTATUS レジスタのすべてのビット[11:9] (OVPHASE[2:0])がクリアされ、 $\overline{\text{IRQ1}}$ ピンはハイ・レベルになります。図 60 に、A 相電圧での過電圧検出を示します。

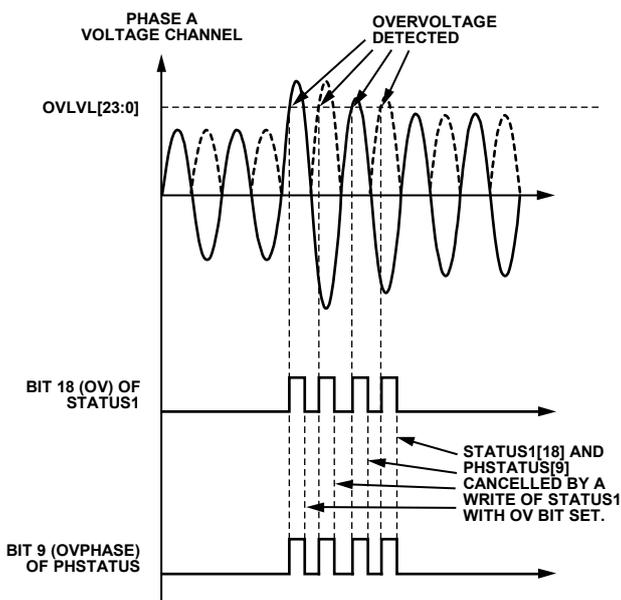


図 60. 過電圧の検出

電圧の瞬時絶対値が OVLVL レジスタのスレッシュホールドを超えるごとに、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE[0])が 1 に設定されます。ビット 18 (OV) = 1 で STATUS1 レジスタに書込みを行うと、STATUS1 レジスタのビット 18 (OV) と PHSTATUS レジスタのビット 9 (OVPHASE[0])がクリアされます。

過電圧イベントを処理する推奨手順は、

1. ビット 18 (OV)を 1 に設定して、MASK1 レジスタの OV 割込みをイネーブルします。
2. 過電圧イベントが発生すると、 $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルになります。
3. ビット 18 (OV) = 1 で STATUS1 レジスタを読みします。
4. PHSTATUS レジスタを読みして、過電圧イベントが発生した相を調べます。
5. ビット 18 (OV) = 1 で STATUS1 レジスタに書込みを行います。このとき、ビット OV と PHSTATUS レジスタのすべてのビット[11:9] (OVPHASE[2:0])がクリアされます。

MASK1 レジスタのビット 17 (OI)がセットされている場合、過電流イベントが発生すると、 $\overline{\text{IRQ1}}$ 割込みピンがロー・レベルに駆動されます。直ちに、STATUS1 レジスタのビット 17 (OI) と PHSTATUS レジスタのビット[5:3] (OIPHASE[2:0])の内の 1 ビット(割込みが発生した相を表示)が設定されます。割込みが発生した相を知るためには、STATUS1 レジスタを読みした直後に PHSTATUS を読みします。次に、ステータス・ビット = 1 で STATUS1 レジスタに書込みを行うと、STATUS1 レジスタのステータス・ビット 17 (OI) と PHSTATUS レジスタのビット[5:3] (OIPHASE[2:0])がクリアされ、 $\overline{\text{IRQ1}}$ ピンがハイ・レベルになります。このプロセスは過電圧検出の場合と同じです。

過電圧レベルと過電流レベルの設定

24 ビット符号なしレジスタの過電圧(OVLVL)と過電流(OILVL)の値が電圧チャンネルと電流チャンネルの絶対値と比較されます。これらのレジスタの最大値は、HPF 出力の最大値+5,326,737 (0x514791)になります。OVLVL レジスタまたは OILVL レジスタがこの値に一致している場合には、過電圧状態または過電流状態は検出されません。これらのレジスタに 0x0 を書込むと、過電圧状態または過電流状態が連続的に検出されて、対応する割込みは発生したままになります。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 57 で説明したレジスタと同様に、OILVL レジスタと OVLVL レジスタは 32 ビット・レジスタとしてアクセスされ、上位 8 ビットには 0 が詰まっています。

中性電流の不一致

3相システムでは、中性電流は相電流の代数和で表されます。

$$I_N(t) = I_A(t) + I_B(t) + I_C(t)$$

これらの2つの量の間に不一致があると、システム内に改竄状態が発生した可能性を示します。

ADE7880では、IAWVレジスタ、IBWVレジスタ、ICWVレジスタの値を加算して相電流の和を計算し、結果 $I_{SUM}(t) = I_A(t) + I_B(t) + I_C(t)$ を ISUM 28ビット符号付きレジスタに格納します。ISUMは125 μ s (8 kHz周波数)ごとに、すなわち電流サンプルが取得されるレートで計算され、STATUS0レジスタのビット17 (DREADY)を使って、ISUMレジスタが読出し可能になるタイミングを表示します。DREADYビット機能の詳細については、デジタル信号プロセッサのセクションを参照してください。

ISUMレジスタから $I_{SUM}(t)$ 値を求めるときは、次式を使います。

$$I_{SUM}(t) = \frac{ISUM[27:0]}{ADC_{MAX}} \times I_{FS}$$

ここで、

$ADC_{MAX} = 5,928,256$ 、入力がフルスケールのときのADC出力。

I_{FS} はフルスケールのADC相電流。

CONFIG3レジスタのビット2 (INSEL)が1に設定された場合、ADE7880はISUMのrmsも計算して、結果をNIRMSレジスタに格納することに注意してください(詳細については、電流RMSの計算のセクション参照)。

ADE7880は、ISUMの絶対値とINWVレジスタ内の中性電流値との差を計算し、絶対値を求め、それをISUMLVLスレッシュホールドと比較します。

次の場合、

$$\|ISUM| - |INWV| \leq ISUMLVL$$

中性電流と相電流の和が一致するものと見なして、システムは正常に機能します。

次の場合、

$$\|ISUM| - |INWV| > ISUMLVL$$

改竄状態が発生した可能性があり、STATUS1レジスタのビット20 (MISMTCH)が1に設定されます。MASK1レジスタのビット20 (MISMTCH)をセットすると、このフラグに対応する割込みをイネーブルすることができます。イネーブルした場合、ステータス・ビット MISMTCH が1に設定されると、IRQ1ピンがロー・レベルになります。ビット20 (MISMTCH) = 1でSTATUS1レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1ピンがハイ・レベルに戻ります。

$$\|ISUM| - |INWV| \leq ISUMLVL \text{ の場合、 } MISMTCH = 0$$

$$\|ISUM| - |INWV| > ISUMLVL \text{ の場合、 } MISMTCH = 1$$

このプロセスで使用される正スレッシュホールド ISUMLVL は、24ビット符号付きレジスタです。この値は絶対値との比較で使用されるため、ISUMLVLには常に正值 $0x00000 \sim 0x7FFFFFF$ を設定してください。ISUMLVLでは電流ADC出力の同じスケールを使うため、+5,326,737 ($0x514791$)をISUMLVLレジスタへ書込むと、不一致検出レベルがフルスケールに設定されます。詳細については、電流チャンネルADCのセクションを参照してください。 $0x000000$ (デフォルト値)、または負値を書込むと、MISMTCHイベントが常に発生したままになります。パワーアップまたはハードウェア/ソフトウェア・リセット後に、アプリケーションの正しい値をISUMLVLレジスタへ書込んでMISMTCHイベントの連続発生を回避してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880のシリアル・ポートは、32ビット、16ビット、または8ビットのワードで動作し、DSPは28ビットで動作します。図61に示すように、28ビット符号付きレジスタISUMは、32ビット・レジスタとしてアクセスされ、上位4ビットには0が詰められています。



図 61.32 ビット・ワードとして送信される ISUM[27:0]レジスタ

図43に示すレジスタと同じように、ISUMLVLレジスタは、上位4ビットに0を詰めて、28ビットまで符号拡張した32ビット・レジスタとしてアクセスされます。

位相補償

電流チャンネルADCのセクションと電圧チャンネルADCのセクションで説明したように、電流と電圧のデータ・パスは同じです。ADE7880の内部で発生する電流信号と電圧信号との間の位相誤差は無視できますが、ADE7880は、固有の位相誤差を持つトランスと接続して動作する必要があります。たとえば、電流トランス(CT)には $0.1^\circ \sim 3^\circ$ の位相誤差が普通に存在します。これらの位相誤差は製品毎に変動するため、正確な電力量計算を行うためには補正する必要があります。

位相の不一致に対応する誤差は、特に低い力率で目立ちます。ADE7880は、これらの小さな位相誤差をデジタル的にキャリブレーションする方法を提供します。ADE7880では、小さな位相誤差を補正するため、シグナル・チェーンに小さい時間遅れまたは時間進みを導入することができます。

位相キャリブレーション・レジスタ (APHCAL、BPHCAL、CPHCAL)は、電圧チャンネルの信号パスで時間進みを -374.0μ s $\sim +61.5 \mu$ s の範囲で調節できる10ビット・レジスタです。PHCALレジスタに書込む負の値は時間進みを、正の値は時間遅れを、それぞれ表します。1LSBは、 0.976μ sの時間遅れまたは時間進みに等価です(クロック・レート = 1.024 MHz)。ライン周波数が60 Hzの場合、基本波での位相分解能は 0.0211° ($360^\circ \times 60 \text{ Hz} / 1.024 \text{ MHz}$)です。これは60 Hzで、 $-8.079^\circ \sim +1.329^\circ$ の合計補正範囲に対応します。50 Hzでは、補正範囲は $-6.732^\circ \sim +1.107^\circ$ で、分解能は 0.0176° ($360^\circ \times 50 \text{ Hz} / 1.024 \text{ MHz}$)です。

相電圧を基準として測定した位相誤差が x° の場合、対応する LSB は、 x を位相分解能で除算して計算されます(60 Hz の場合 $0.0211^\circ/\text{LSB}$ 、50 Hz の場合 $0.0176^\circ/\text{LSB}$)。-383~+63 の範囲の結果のみ許容され、この範囲外は許容されません。電流が電圧より進みの場合、結果は負になり、絶対値が PHCAL レジスタへ書込まれます。電流が電圧より遅れの場合、結果は正になり、結果に 512 を加算した後に、xPHCAL へ書込まれます。

$$\text{APHCAL, BPHCAL, または CPHCAL} = \left\{ \begin{array}{l} \frac{x}{\text{phase_resolution}}, x \leq 0 \\ \frac{x}{\text{phase_resolution}} + 512, x > 0 \end{array} \right\} \quad (9)$$

図 63 に、この位相補償機能を使って、外部電流トランス(50 Hz システムで $55.5 \mu\text{s}$ に等価)から入力された電流チャンネルの IA

における $x = -1^\circ$ の位相進みを除去する方法を示します。A 相の電流チャンネルで進み(1°)を相殺させるため、対応する電圧チャンネルに位相進みを導入する必要があります。式 8 を使い、APHCAL は 56.8 を丸め処理して、57 LSB になります。位相進みは、 $55.73 \mu\text{s}$ の時間遅延を A 相電流に導入することで実現されます。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 62 に示すように、10 ビット・レジスタ APHCAL、BPHCAL、CPHCAL は、16 ビット・レジスタとしてアクセスされ、上位 6 ビットには 0 が詰められています。

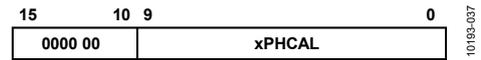


図 62.16 ビット・レジスタとして送信される xPHCAL レジスタ

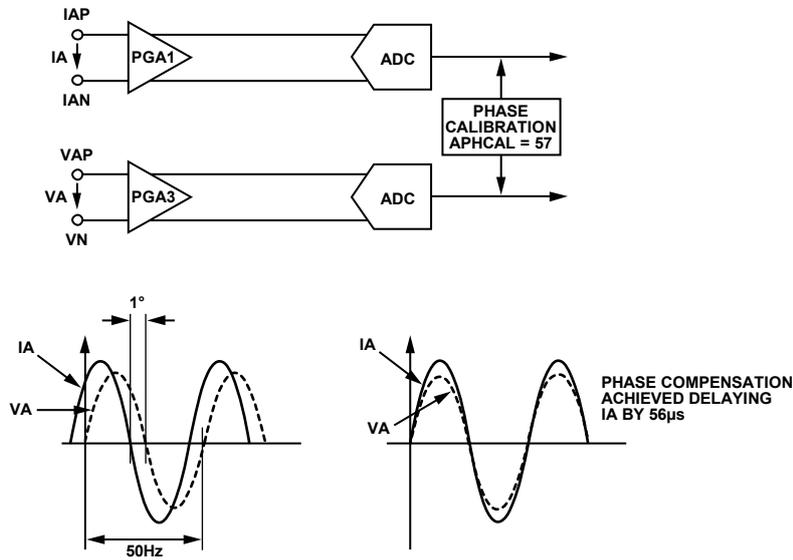


図 63.電圧チャンネルでの位相キャリブレーション

リファレンス回路

REF_{IN/OUT} ピンでの公称リファレンス電圧は $1.2 \pm 0.075\%$ V です。これは、ADE7880 内の ADC に対して使用するリファレンス電圧です。REF_{IN/OUT} ピンは、外部電源 (たとえば外付の 1.2 V リファレンス) により、オーバードライブすることができます。

ADE7880 のリファレンス電圧は温度により少しドリフトします。温度係数(ppm/°C)については、仕様のセクションを参照してください。温度ドリフト値は製品毎に異なります。このリファレンス電圧はすべての ADC に対して使用するため、リファレンス電圧 x% のドリフトは、メータ精度 2x% の変化に対応します。温度変化に起因するリファレンス電圧のドリフトは一般に非常に小さく、メータの他の部品のドリフトよりはるかに小さくなっています。代わりに、複数の温度点で測定器をキャリブレーションすることもできます。

CONFIG2 レジスタのビット 0 (EXTREFEN) が 0 (デフォルト値) にクリアされると、ADE7880 は内蔵リファレンス電圧を使用します。このビットが 1 の場合は、外付けリファレンス電圧を使います。PSM0 モードで CONFIG2 レジスタを設定してください。この値は、PSM1、PSM2、PSM3 の各消費電力モードで維持されます。

デジタル信号プロセッサ

ADE7880 は固定小数点機能のデジタル信号プロセッサ(DSP)を内蔵し、すべての電力値と rms 値を計算します。このデバイスは、プログラム・メモリ ROM とデータ・メモリ RAM を内蔵しています。

電力と rms の計算に使用するプログラムはプログラム・メモリ ROM に格納されており、プロセッサは 8 kHz ごとにこれを実行します。計算の終了は、STATUS0 レジスタのビット 17 (DREADY) に 1 を設定して通知します。MASK0 レジスタのビット 17 (DREADY) をセットすると、このフラグに対応する割込みをイネーブ爾することができます。イネーブ爾した場合、計算が終了すると、IRQ0 ピンがロー・レベルになり、ステータス・ビット DREADY が 1 に設定されます。ビット 17 (DREADY) = 1 で STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルに戻ります。

DSP が使用するレジスタは、データ・メモリ RAM のアドレス 0x4380~0x43BE に配置されています。このメモリの幅は 28 ビットです。データ・メモリ RAM への書込み動作を実行するとき、2 ステージ・パイプラインを使用します。これは次の 2 つのことを意味します。すなわち、1 個のレジスタだけを初期化する必要が有る場合、さらに 2 回書込みを行なって、値を確実に RAM へ書込みます。2 個以上のレジスタを初期化する必要がある場合、キュー内にある最終レジスタにさらに 2 回書込みを行なって、値が確実に RAM に書込まれるようにします。

パワーアップ・プロシージャのセクションで説明したように、パワーアップ時あるいはハードウェアまたはソフトウェア・リセット後、DSP はアイドル・モードになります。命令は実行されません。データ・メモリ RAM 内にあるすべてのレジスタは 0 (デフォルト値) に初期化され、制約なしに読み書きすることができます。DSP のスタートとストップに使用される Run レジスタは、0x0000 にクリアされます。DSP にコード実行を開始させるときは Run レジスタに 0x0001 を書込む必要があります。

データ・メモリ RAM にあるすべての ADE7880 レジスタが必要な値で最初に初期化することが推奨されます。次に、キュー内の最後のレジスタにさらに 2 回書込みを行なってパイプラインをフラッシュした後に Run レジスタに 0x0001 を書込みます。この方法では、DSP は所望の構成から計算を開始します。

DSP のデータ・メモリ RAM (アドレス 0x4380~アドレス 0x43BE) に格納されているデータのインテグリティを保護するため、書込み保護メカニズムがあります。デフォルトではこの保護機能がディスエーブルされているため、0x4380~0x43BE に配置されているレジスタは制約なく書込むことができます。保護機能をイネーブ爾すると、これらのレジスタに対する書込みはできなくなります。レジスタは常に制約なしで読出し可能であり、書込み保護状態とは無関係です。保護機能をイネーブ爾するときは、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書込みます。保護機能をディスエーブルするときは、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書込みます。書込み保護機能をイネーブ爾した後に DSP をスタートさせることが推奨されます。データ・メモリ RAM を使用するレジスタを変更する場合は、保護機能をディスエーブルして、値を変更した後保護機能を再度イネーブ爾します。これらのレジスタを変更するために DSP を停止させる必要はありません。

データ・メモリ RAM に配置されているレジスタを初期化する推奨手順は、

- すべてのレジスタを初期化します。キュー内の最後のレジスタに 3 回書込みを行なって、値が確実に RAM に書込まれるようにします。ADE7880 の他のすべてのレジスタもここで初期化する必要があります。
- 保護機能をイネーブ爾するため、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書込みます。
- すべてのデータ・メモリ RAM レジスタをリードバックして、所望の値で確実に初期化されていることを確認します。
- まれなケースとして、1 個または複数のレジスタが正しく初期化されていない場合、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書込んで、保護機能をディスエーブルします。レジスタを再度初期化します。キュー内の最後のレジスタに 3 回書込みを行います。保護機能をイネーブ爾するため、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書込みます。
- Run = 1 を設定して DSP をスタートさせます。

ADE7880 が PSM0 通常モードに維持される場合は DSP を停止させる明確な理由はありません。データ・メモリ RAM に配置されたレジスタを含むすべての ADE7880 レジスタは、DSP を停止させることなく変更することができますが、DSP を停止させるときは、0x0000 を Run レジスタへ書込む必要があります。DSP をスタートさせるときは、次のいずれかの手順に従う必要があります。

- データ・メモリ RAM に配置された ADE7880 レジスタが変更されていない場合は、0x0001 を Run レジスタへ書込んで DSP をスタートさせます。
- データ・メモリ RAM に配置された ADE7880 レジスタを変更する必要がある場合は、まず、ソフトウェアまたはハードウェア・リセットを実行し、すべての ADE7880 レジスタを所望の値で初期化し、書込み保護機能をイネーブルした後に Run レジスタへ 0x0001 を書込んで、DSP をスタートさせます。

パワーマネージメントのセクションで説明したように、ADE7880 を PSM0 消費電力モードから抜けださせるとき、0x0000 を Run レジスタに書込んで DSP を停止させることが推奨されず(消費電力モードを変えるときの推奨アクションについては表 10 と表 11 を参照してください)。

2 乗平均の測定

2 乗平均(rms)は、AC 信号振幅の測定値です。定義には実用的なものも数学的なものがあります。実用的な定義では、AC 信号の rms 値は、負荷に等価な電力を供給するために必要な DC の大きさとして表されます。数学的には、連続信号 $f(t)$ の rms 値は次のように定義されます。

$$F_{rms} = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (10)$$

時間サンプリング信号に対しては、rms 計算には信号の 2 乗処理、平均処理、平方根処理が含まれます。

$$F_{rms} = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (11)$$

式 10 は、高調波を含む信号の場合、rms の計算には基本波だけでなくすべての高調波成分が含まれることを意味しています。ADE7880 では 2 種類の方法を使用して rms 値を計算します。1 つ目の方法は非常に正確で、PSM0 モードでのみ有効です。2 つ目の方法は正確さは劣りますが、平均絶対値(mav)測定を計算し、PSM0 モードと PSM1 モードで有効です。

また、ADE7880 は相電流、相電圧、中性電流の種々の基本波成分と高調波成分の rms 値も高調波計算ブロックの一部として計算します。詳細については、高調波の計算のセクションを参照してください。

1 つ目の方法は、入力信号の 2 乗をローパス・フィルタ(LPF)処理し、その結果の平方根をとります(図 65 参照)。

$$f(t) = \sum_{k=1}^{\infty} F_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad \text{とすると} \quad (12)$$

次のようになります

$$f^2(t) = \sum_{k=1}^{\infty} F_k^2 - \sum_{k=1}^{\infty} F_k^2 \cos(2k\omega t + 2\gamma_k) + 2 \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} 2 \times F_k \times F_m \sin(k\omega t + \gamma_k) \times \sin(m\omega t + \gamma_m) \quad (13)$$

LPF 処理の後、平方根を実行し、 $f(t)$ の rms 値を次式で計算します。

$$F = \sqrt{\sum_{k=1}^{\infty} F_k^2} \quad (14)$$

この方法を採用した rms 計算は、アナログ入力全 7 チャンネルで同時に処理されます。各結果は 24 ビット・レジスタ AIRMS、BIRMS、CIRMS、AVRMS、BVRMS、CVRMS、NIRMS に格納されます。

2 つ目の方法は入力信号の絶対値を計算した後フィルタ処理して DC 成分を取り出します。入力の絶対平均値を計算します。式 12 の入力信号が基本波成分のみを持つ場合は、平均値は次のようになります。

$$F_{DC} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} \sqrt{2} \times F_i \times \sin(\omega t) dt - \int_{\frac{T}{2}}^T \sqrt{2} \times F_i \times \sin(\omega t) dt \right]$$

$$F_{DC} = \frac{2}{\pi} \times \sqrt{2} \times F_i$$

この方法を採用した計算は、3 つの相電流でのみ同時に処理されます。各結果は、20 ビット・レジスタ AIMAV、BMAV、CMAV に格納されます。mav 値と rms 値との間の比例関係は基本波成分のみに対して維持されることに注意してください。高調波が電流チャンネルに存在する場合、平均絶対値は rms に比例しなくなります。

電流 RMS の計算

このセクションでは、全相電流と中性電流の rms 値を計算する 1 つ目の方法を説明します。また、CONFIG3 レジスタのビット 2 (INSEL)が 1 に設定された場合、ADE7880 は相電流の瞬時値の和の rms も計算します。和の瞬時値は、中性電流の不一致のセクションで説明した ISUM レジスタに格納されることに注意してください。相電流の検出のみを必要とする 3 相 4 線システムでは、この値は中性電流の測定値を提供します。

図 65 に、電流チャンネルの 1 相について、rms 計算の信号処理チェーンの詳細を示します。電流チャンネルの rms 値は、電流チャンネルで使用されるサンプルから計算されます。電流 rms 値は符号付き 24 ビット値であり、AIRMS、BIRMS、CIRMS、NIRMS の各レジスタに格納されます。電流 rms 測定の更新レートは 8 kHz です。CONFIG3 レジスタのビット 2 (INSEL)が 0 (デフォルト)の場合、NIRMS レジスタは中性電流の rms 値を格納します。INSEL ビットが 1 の場合には、NIRMS レジスタは相電流の瞬時値の和の rms 値を格納します。

規定のフルスケール・アナログ入力信号 = 0.5 V で、ADC は約 $\pm 5,326,737$ の出力コードを発生します。フルスケール正弦波信号の等価 rms 値は 3,766,572 (0x39792C)であり、ライン周波数には無関係です。積分器がイネーブルされている場合、すなわち CONFIG レジスタのビット 0 (INTEN)が 1 に設定されている場合、フルスケール正弦波信号の等価 rms 値は 50 Hz で 3,759,718 (0x395E66)に、60 Hz で 3,133,207 (0x2FCF17)に、それぞれなります。

電流 rms の精度は、PGA = 1 の場合、フルスケール入力からフルスケール入力の 1/1000 まで 0.1% (typ)誤差です。さらに、この測定は 3.3 kHz の帯域幅を持っています。安定性のために、電圧ゼロ交差と同期して rms レジスタを読出すことが推奨されます。IRQ1 割込みを使って、ゼロ交差の発生タイミングを表示することができます(割込みのセクション参照)。表 12 に、I rms 測定のセトリング・タイムを示します。このセトリング・タイムは、rms レジスタが 0 からスタートして入力の値を電流チャンネルへ反映させるために要する時間です。

表 12.1 RMS 測定のセトリング・タイム

Integrator Status	50 Hz Input Signals	60 Hz Input Signals
Integrator Off	580 ms	580 ms
Integrator On	700 ms	700 ms

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 64 で説明したレジスタと同様に、AIRMS、BIRMS、CIRMS、NIRMS の 24 ビット符号付きレジスタは、32 ビット・レジスタとしてアクセスされ、上位 8 ビットには 0 が詰められています。

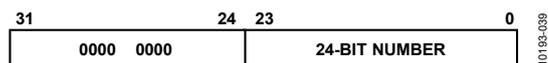


図 64. 32 ビット・ワードとして送信される 24 ビットの AIRMS、BIRMS、CIRMS、NIRMS レジスタ

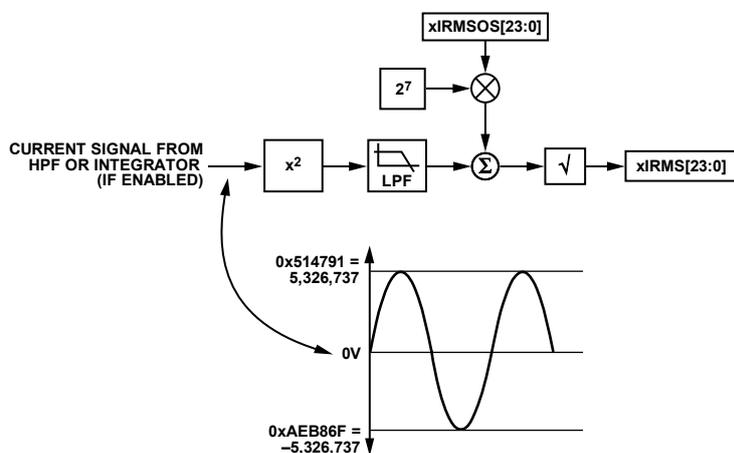


図 65. 電流 RMS 信号処理

電流 RMS オフセットの補償

ADE7880 は、各相に対する電流 rms オフセット補償レジスタを内蔵しています(AIRMSOS、BIRMSOS、CIRMSOS、NIRMSOS)。これらは 24 ビット符号付きレジスタであり、電流 rms 計算でオフセットを除去するとき使うことができます。rms 計算には $I^2(t)$ の DC 成分に含まれる入力ノイズに起因するオフセットが存在します。電流 rms オフセット補償レジスタの 1 LSB は、電流 rms レジスタの 1 LSB に一致します。フルスケール AC 入力(50 Hz)に対して電流 rms 計算の最大値が 3,766,572 であるとする、電流 rms オフセットの 1 LSB はフルスケールより 60 dB 低い点での rms 測定値の 0.00045%を表します。

$$\left(\sqrt{3767^2 + 128/3767} - 1\right) \times 100$$

低い電流でオフセット・キャリブレーションを行うものとし、このためにゼロ電流の使用は回避してください。

$$I_{rms} = \sqrt{I_{rms0}^2 + 128 \times IRMSOS} \tag{15}$$

ここで、 I_{rms0} はオフセット補正なしの rms 測定値。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 で説明したレジスタと同様に、AIRMSOS、BIRMSOS、CIRMSOS、NIRMSOS の 24 ビット符号付きレジスタは、32 ビット・レジスタとしてアクセスされ、上位 4 ビットには 0 が詰まっており、28 ビットまで符号拡張しています。

電流平均絶対値の計算

このセクションでは、平均絶対値(mav)法による全相電流の rms 値を計算する 2 つ目の方法を説明します。この方法は PSM1 モードで使用され、中性喪失ケースで改竄攻撃を受けたことをデモンストレーションする際に、電流 rms 値を使って電力量の積算を可能にします。このデータ・パスは PSM0 モードでも有効で、ゲイン・キャリブレーションが可能になります。ゲインは PSM1 モードで外部マイクロプロセッサ内で使用されます。中性電流の mav 値は、この方法を使って計算されません。図 66 に、電流チャンネルの 1 つの相について mav 計算の詳細信号処理チェーンを示します。

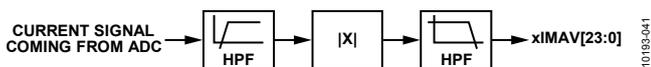


図 66. PSM1 モードでの電流 MAV 信号処理

電流チャンネルの mav 値は、電流チャンネル波形サンプリング・モードで使用されるサンプルから処理されます。サンプルはハイパス・フィルタを通過して ADC で発生した DC オフセットが除去され、絶対値が計算されます。このブロックの出力がフィルタされて、平均が得られます。電流 mav 値は符号なし 20 ビット値であり、AIMAV、BIMAV、CIMAV の各レジスタに格納されます。この mav 測定の更新レートは 8 kHz です。

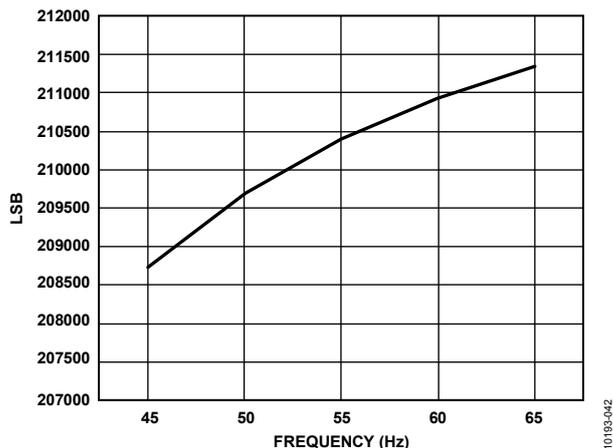


図 67. フルスケールでの xIMAV レジスタ値
ライン周波数 = 45 Hz~65 Hz

50 Hz と 60 Hz のフルスケール正弦波信号の mav 値は、それぞれ 209,686 と 210,921 です。図 67 に示すように、フルスケール正弦波入力に対する 45 Hz での mav 計算値と 65 Hz での mav 計算値との間に 1.25% の変化があります。電流 mav の精度(typ)は、フルスケール入力からフルスケール入力の 1/100 の間で誤差 0.5% です。さらに、この測定の帯域幅は 3.3 kHz です。電流 mav 測定の設定時間・タイム、すなわち電流チャンネルへの入力値を 0.5% 以内の誤差で mav レジスタに反映させるために要する時間は 500 ms です。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 68 で説明したレジスタと同様に、AIMAV、BIMAV、CIMAV の 20 ビット符号なしレジスタは、32 ビット・レジスタとしてアクセスされ、上位 12 ビットには 0 が詰められています。



図 68. 32 ビット・レジスタとして送信される xIMAV レジスタ

電流 MAV ゲインとオフセットの補償

AIMAV、BIMAV、CIMAV の各レジスタに格納されている電流 rms 値は、各相に対応するゲイン係数とオフセット係数を使ってキャリブレーションすることができます。ADE7880 に公称電流を供給して、PSM0 モードでゲインを計算することが推奨されます。オフセットは、ADE7880 に小さい電流 (通常は必要とされる精度での最小値) を供給して計算することができます。外部マイクロコントローラは、AIMAV、BIMAV、CIMAV の各レジスタを读出すごとに、メモリに格納されている係数を使ってこれらを補正します。

電圧チャンネル RMS 計算

図 69 に、電圧チャンネルの 1 相について、rms 計算の信号処理チェーンの詳細を示します。電圧チャンネルの rms 値は、電圧チャンネルで使用されるサンプルから計算されます。電圧 rms 値は符号付き 24 ビット値であり、AVRMS、BVRMS、CVRMS の各レジスタに格納されます。電圧 rms 測定の更新レートは 8 kHz です。

規定のフルスケール・アナログ入力信号 = 0.5 V で、ADC は約 ±5,326,737 の出力コードを発生します。フルスケール正弦波信号の等価 rms 値は 3,766,572 (0x39792C) であり、ライン周波数には無関係です。

電圧 rms の精度(代表値)は、フルスケール入力からフルスケール入力の 1/1000 の間で誤差 0.1% です。さらに、この測定の帯域幅は 3.3 kHz です。安定性のために、電圧ゼロ交差と同期して

rms レジスタを読み出すことが推奨されます。IRQ1 割込みを使って、ゼロ交差が発生したタイミングを表示することができます(割込みのセクション参照)。

V rms 測定セトリング・タイムは、50 Hz と 60 Hz の入力信号に対して 580 ms です。V rms 測定のセトリング・タイムは、0 からスタートしたとき、電圧チャンネルへの入力値を rms レジスタへ反映させるために要する時間です。

電圧波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作します。図 57 で説明したレジスタと同様に、AVRMS、BVRMS、CVRMS の 24 ビット符号付きレジスタは、32 ビット・レジスタとしてアクセスされ、上位 8 ビットには 0 が詰められています。

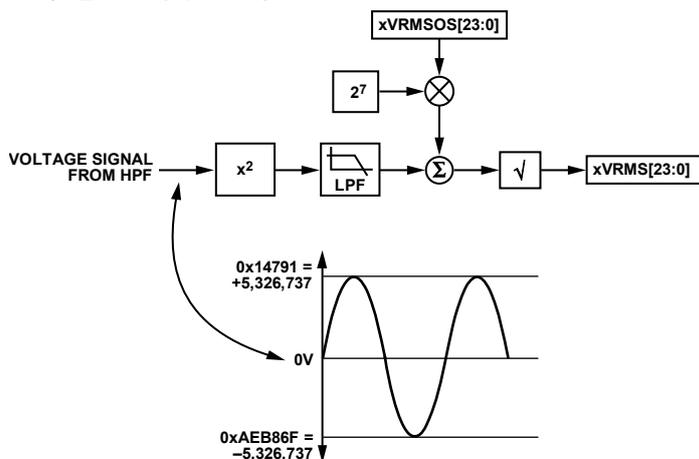


図 69. 電圧 RMS の信号処理

10193-04

電圧 RMS オフセット補償

ADE7880 は、各相に対する電圧 rms オフセット補償レジスタ AVRMSOS、BVRMSOS、CVRMSOS を内蔵しています。これらは 24 ビット符号付きレジスタであり、電圧 rms 計算でオフセットを除去するときに使うことができます。rms 計算には $V^2(t)$ の DC 成分に含まれる入力ノイズに起因するオフセットが存在します。電圧 rms オフセット補償レジスタの 1 LSB は、電圧 rms レジスタの 1 LSB に一致します。フルスケール AC 入力(50 Hz)に対して電圧 rms 計算の最大値が 3,766,572 であるとする、電圧 rms オフセットの 1 LSB はフルスケールより 60 dB 低い点での rms 測定値の 0.00045% を表します。

$$\left(\sqrt{3767^2 + 128/3767} - 1 \right) \times 100$$

低い電流でオフセット・キャリブレーションを行うものとし、このためにゼロ電圧の使用は回避してください。

$$V_{rms} = \sqrt{V_{rms0}^2 + 128 \times VRMSOS} \quad (16)$$

ここで、 V_{rms0} はオフセット補正なしの rms 測定値。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すレジスタと同じように、24 ビット・レジスタ AVRMSOS、BVRMSOS、CVRMSOS は、上位 4 ビットに 0 を詰めて、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

3 相 3 線 Δ 構成での電圧 RMS

3 相 3 線 Δ 構成では、B 相をシステムのグラウンドと見なし、それを基準に A 相電圧と C 相電圧を測定します。この構成は、ACCMODE レジスタの CONSEL ビット = 01 で選択します (ADE7880 を使用できるすべての構成については表 15 参照)。この場合は、B 相の有効電力、無効電力、皮相電力はすべて 0 です。

この構成では、ADE7880 が A 相と C 相の間のライン電圧の rms 値を計算し、結果を BVRMS レジスタへ格納します。BVGAIN レジスタと BVRMSOS レジスタを使用して、この構成で計算した BVRMS レジスタをキャリブレーションすることができます。

有効電力量の計算

ADE7880 は各相の総合有効電力を計算します。総合有効電力では、計算の中で電圧と電流の基本波と高調波の全成分を考慮します。さらに、ADE7880 は、基本波有効電力すなわち電圧と電流の基本波成分のみで決定される電力を計算します。

また ADE7880 は、高調波有効電力すなわち電圧と電流の高調波成分で決定される有効電力も計算します。詳細については、高調波の計算のセクションを参照してください。

総合有効電力の計算

電力は、電源から負荷へのエネルギー流の割合として定義され、電圧波形と電流波形の積で与えられます。このようにして得られた波形は瞬時電力信号と呼ばれ、各瞬間のエネルギー流の割合に等しくなります。電力の単位はワット(W)すなわちジュール/秒です。AC システムに電圧 $v(t)$ が供給され、電流 $i(t)$ が消費され、各々には高調波が含まれるとすると、

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \phi_k) \quad (17)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k)$$

ここで、

V_k 、 I_k は、各高調波のそれぞれ rms 電圧と rms 電流。

ϕ_k 、 γ_k は、各高調波の位相遅延。

AC システムの瞬時電力は、

$$p(t) = v(t) \times i(t) = \sum_{k=1}^{\infty} V_k I_k \cos(\phi_k - \gamma_k) - \sum_{k=1}^{\infty} V_k I_k \cos(2k\omega t + \phi_k + \gamma_k) + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \{ \cos[(k-m)\omega t + \phi_k - \gamma_m] - \cos[(k+m)\omega t + \phi_k + \gamma_m] \} \quad (18)$$

ライン・サイクル数(n)間の平均電力は式 19 で与えられます。

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos(\phi_k - \gamma_k) \quad (19)$$

ここで、

T はライン・サイクル周期。

P は総合有効電力または総合実効電力と呼ばれます。

有効電力は、式 18 の瞬時電力信号 $p(t)$ の DC 成分に等しくなることに注意してください。すなわち、

$$\sum_{k=1}^{\infty} V_k I_k \cos(\phi_k - \gamma_k)$$

この式は、ADE7880 で各相の総合有効電力の計算に使われる式です。基本波有効電力の式は、 $k=1$ として式 18 から次のように得られます。

$$FP = V_1 I_1 \cos(\phi_1 - \gamma_1) \quad (20)$$

図 70 に、ADE7880 が各相の総合有効電力を計算する方法を示します。まず、各相で電流信号と電圧信号を乗算します。次に、ローパス・フィルタ LPF2 を使って各相(A、B、C)の瞬時電力信号の DC 成分を取り出します。

相電流と相電圧は基本波成分のみを含み、かつ同相(すなわち $\phi_1 = \gamma_1 = 0$)で、かつフルスケール ADC 入力に対応する場合、これらを乗算すると瞬時電力信号が得られて、その DC 成分は $V_1 \times I_1$ に、正弦波成分は $V_1 \times I_1 \cos(2\omega t)$ に、それぞれなります。図 71 に対応する波形を示します。

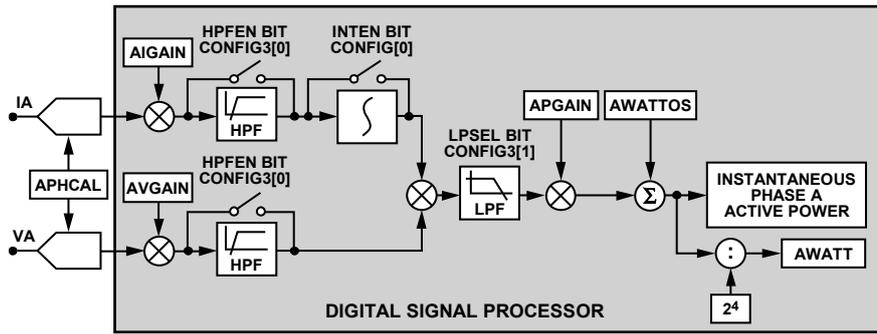


図 70.総合有効電力のデータ・パス

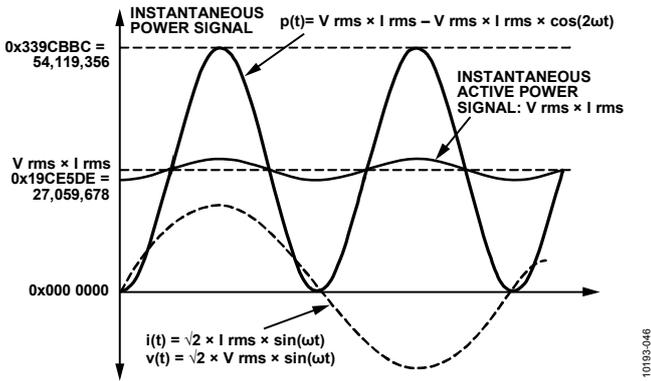


図 71.有効電力の計算

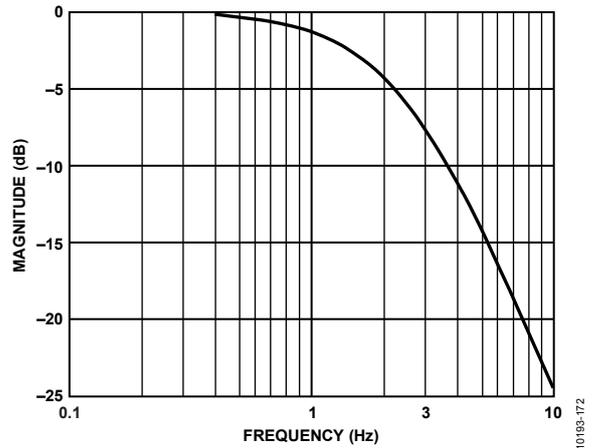


図 72.各相瞬時電力のフィルタに使用する LPF の周波数応答 CONFIG3 の LPFSEL ビット = 0 (デフォルト)

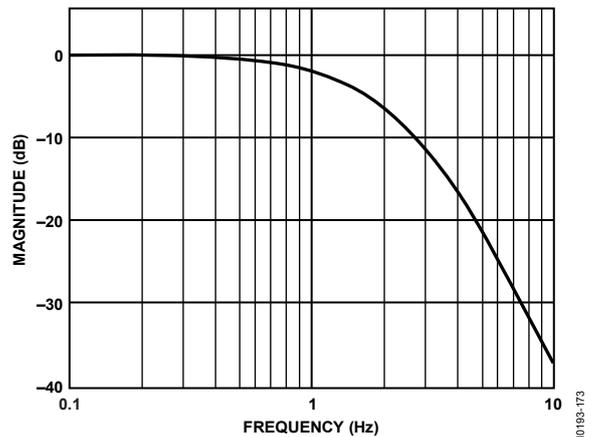


図 73.各相瞬時電力のフィルタに使用する LPF の周波数応答 CONFIG3 の LPFSEL ビット = 1

LPF2 は理想的な阻止周波数応答を持たないので、有効電力信号には瞬時電力信号に起因するリップルが含まれます。このリップルは正弦波であり、周波数はライン周波数の 2 倍です。リップルは正弦波であるため、有効電力信号を時間積分して電力量を算出する際に除去されます。CONFIG3 レジスタのビット 1 (LPFSEL)により、LPF2 強度を選択します。LPFSEL = 0 (デフォルト)の場合、セトリング・タイムは 650 ms で、リップル減衰は 65 dB です。LPFSEL = 1 の場合、セトリング・タイムは 1300 ms で、リップル減衰は 128 dB です。図 72 に、LPFSEL = 0 のときの LPF2 の周波数応答を、図 73 に LPFSEL = 1 のときの LPF2 の周波数応答を、それぞれ示します。

ADE7880 は、瞬時総合相有効電力を AWATT、BWATT、CWATT の各レジスタへ格納します。これらの式は、

$$xWATT = \sum_{k=1}^{\infty} \frac{U_k}{U_{FS}} \times \frac{I_k}{I_{FS}} \times \cos(\phi_k - \gamma_k) \times P_{MAX} \times \frac{1}{2^4} \quad (21)$$

ここで、 U_{FS} 、 I_{FS} は ADC 入力が入力フルスケール時の相電圧と相電流の rms 値。
 $P_{MAX} = 27,059,678$ 、ADC 入力が入力フルスケールかつ同相のとき計算された瞬時電力。

xWATT[23:0]波形レジスタは種々のシリアル・ポートを使ってアクセスすることができます。詳細については、波形サンプリング・モードのセクションを参照してください。

基本波有効電力の計算

ADE7880 は当社独自のアルゴリズムを使って基本波有効電力を計算します。このアルゴリズムでは回路周波数の初期化機能と電圧チャンネルで測定した公称電圧が必要です。COMPmode レジスタのビット 14 (SELFREQ)は、ADE7880 が接続される回路の周波数に従って設定する必要があります。回路周波数が 50 Hz の場合、このビットを 0 クリアします (デフォルト値)。回路周波数が 60 Hz の場合、このビットを 1 に設定します。さらに、VLEVEL 24 ビット符号付きレジスタを次式による正值で初期化します。

$$VLEVEL = \frac{U_{FS}}{U_n} \times 4 \times 10^6 \quad (22)$$

ここで、

U_{FS} は ADC 入力が入力フルスケールのときの相電圧の rms 値。

U_n は相電圧の rms 公称値。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すレジスタと同じように、24 ビット符号付きレジスタ VLEVEL は、上位 4 ビットに 0 を詰めて、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

表 13 に、基本波有効電力測定の設定リング・タイムを示します。

表 13. 基本波有効電力測定の設定リング・タイム

Input Signals	
63% PMAX	100% PMAX
375 ms	875 ms

有効電力ゲイン・キャリブレーション

各相の LPF2 出力から得られる平均有効電力は、その相のワット・ゲイン 24 ビット・レジスタ (APGAIN、BPGAIN、CPGAIN) に書き込みを行うことで、 $\pm 100\%$ でスケールすることができることに注意してください。xPGAIN レジスタは、ADE7880 が計算するすべての電力 (総合有効電力、基本波有効/無効電力、皮相電力) のデータ・パスに配置されています。すべての電力データ・パスは等しい全体ゲインを持つため、これが可能です。このため、種々の電力データ・パスでのゲイン誤差を補償するときは、1 つの電力データ・パスを解析するだけで済みます。例えば、総合有効電力を解析して、対応する APGAIN、BPGAIN、CPGAIN レジスタを計算して、すべての電力データ・パスのゲインを補償します。

電力ゲイン・レジスタは 2 の補数の符号付きレジスタであり、分解能は $2^{-23}/\text{LSB}$ です。23 式により、電力ゲイン・レジスタの機能が数学的に表されます。

$$\text{Average Power Data} = \text{LPF2 Output} \times \left(1 + \frac{\text{Power Gain Register}}{2^{23}} \right) \quad (23)$$

0xC00000 をワット・ゲイン・レジスタに書込むと、出力が -50% スケールダウンされ、0x400000 を書込むと $+50\%$ 増加します。これらのレジスタを使って、各相の有効/無効/皮相電力 (または電力量) 計算をキャリブレーションします。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すレジスタと同じように、24 ビット符号付きレジスタ APGAIN、BPGAIN、CPGAIN は、上位 4 ビットに 0 を詰めて、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

有効電力オフセット・キャリブレーション

ADE7880 は、各相と各有効電力のワット・オフセット 24 ビット・レジスタを内蔵しています。AWATTOS、BWATTOS、CWATTOS の各レジスタは総合有効電力量計算でオフセットを補償し、AFWATTOS、BFWATTOS、CFWATTOS の各レジスタは基本波有効電力量計算でオフセットを補償します。これらは 24 ビットの符号付き 2 の補数レジスタであり、有効電力量計算でオフセットを除去する際に使うことができます。電力量計算には、PCB 上のチャンネル間のクロストークまたはチップ自体の内部のクロストークに起因するオフセットが存在します。有効電力オフセット・レジスタの 1 LSB は、有効電力乗算器出力の 1 LSB に等価です。フルスケールの電流入力と電圧入力、LPF2 出力は $PMAX = 27,059,678$ になります。フルスケールから -80 dB で (有効電力を 10^4 倍スケールダウン)、有効電力オフセット・レジスタの 1 LSB は $PMAX$ の 0.0369% を表します。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すレジスタと同じように、24 ビット符号付きレジスタ AWATTOS、BWATTOS、CWATTOS、AFWATTOS、BFWATTOS、CFWATTOS は、上位 4 ビットに 0 を詰めて、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

有効電力量計算の符号

平均有効電力は符号付きの計算です。電流波形と電圧波形との間の位相差が 90° を超えると、平均電力は負になります。負電力は、エネルギーがグリッド側へ戻されていることを表します。ADE7880 は、有効電力量計算用に符号検出回路を内蔵しています。この回路は、総合有効電力または基本波有効電力をモニタすることができます。有効電力量の計算のセクションで説明したように、有効電力量積算は 2 ステージで実行されます。最初のステージの終わりの電力量積算で符号変化が検出される毎に、内部アキュムレータに積算された電力量が WTHR レジスタ・スレッショールドに到達した後に、専用割込みが発生します。各相有効電力の符号は、PHSIGN レジスタで読出すことができます。

ACCMODE レジスタのビット 6 (REVAPSEL) は、モニタ対象の有効電力タイプを設定します。REVAPSEL = 0 (デフォルト値) のとき、総合有効電力がモニタされます。REVAPSEL = 1 のとき、基本波有効電力がモニタされます。

ACCMODE レジスタのビット 6 (REVAPSEL)で選択された電力で符号変化が発生すると、STATUS0 レジスタのビット[8:6] (それぞれ REVAPC、REVAPB、REVAPA)がセットされます。PHSIGN レジスタのビット[2:0] (それぞれ CWSIGN、BWSIGN、AWSIGN)が REVAPC、REVAPB、REVAPA の各ビットと同時にセットされます。これらのビットは、電力の符号を表します。これらが 0 のとき、対応する電力は正です。これらが 1 のとき、対応する電力は負です。

STATUS0 のビット REVAPx と PHSIGN レジスタのビット xWSIGN は相 x の総合有効電力、すなわち ACCMODE レジスタのビット 6 (REVAPSEL)で選択された電力タイプを指します。

STATUS0 レジスタのビット[8:6] (それぞれ REVAPC、REVAPB、REVAPA)に対応する割込みは、MASK0 レジスタのビット[8:6] をセットしてイネーブルすることができます。イネーブルした場合、符号変化が発生すると、IRQ0ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相

を知るためには、STATUS0 レジスタを読出した直後に PHSIGN レジスタを読出します。次に、対応するビットを 1 に設定して STATUS0 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ0ピンがハイ・レベルに戻ります。

有効電力量の計算

前述のように、電力はエネルギー流の割合として定義されます。この関係は、数学的に次式で表されます。

$$Power = \frac{dEnergy}{dt} \tag{24}$$

これに対して、電力量は電力の積分として次のように得られます。

$$Energy = \int p(t)dt \tag{25}$$

総合有効電力量積算と基本波有効電力量積算は常に符号付き計算です。負電力量は、有効電力量値から減算されます。

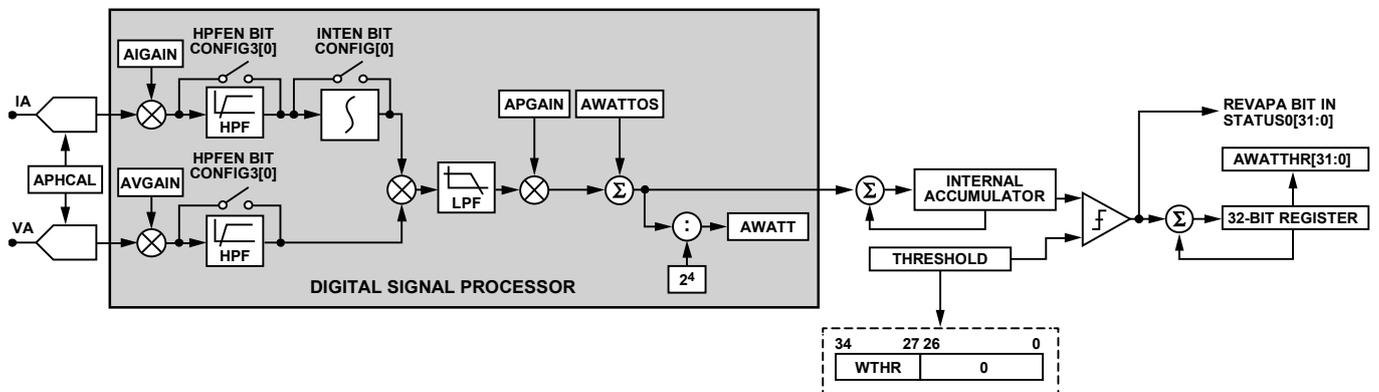


図 74.総合有効電力量の積算

10193-949

ADE7880 は、2 ステージで有効電力信号の積分を実行します(図 74 参照)。このプロセスは、総合有効電力と基本波有効電力で同じです。DSP では 8 kHz レートで計算されますが、最初のステージでは 1.024MHz で瞬時相総合有効電力または瞬時相基本波有効電力を積算します。スレッシュホールドに到達するごとにパルスが発生されて、スレッシュホールドが内部レジスタから減算されます。

この時点の電力量の符号は有効電力の符号と見なされます(詳細については、有効電力量計算の符号のセクション参照)。2 番目のステージは、最初のステージで発生されたパルスを内部 32 ビット・アキュムレータ・レジスタへ積算する機能で構成されています。これらの内部レジスタの値は、watt-hour レジスタ (xWATTHR と xFWATTHR) にアクセスした時に、watt-hour レジスタへ転送されます。

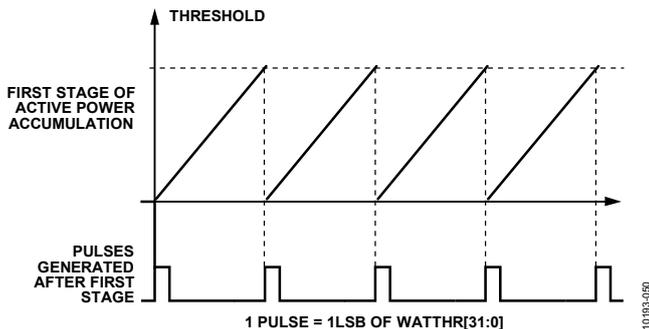


図 75. DSP 内部での有効電力の積算

図 75 に、このプロセスを示します。8 ビット符号なしレジスタ WTHR と 27 個の 0 ビットを連結してスレッシュホールドが形成されます。このスレッシュホールドはユーザーにより導入され、すべての相の総合有効電力と基本波有効電力で共通です。その値は、watt-hour レジスタの 1 LSB に対応させる電力量に依存します。n を整数として Wh [10ⁿ Wh] の微分を xWATTHR レジスタの 1 LSB とする場合、WTHR は次式を使って計算されます。

$$WTHR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{U_{FS} \times I_{FS} \times 2^{27}} \quad (26)$$

ここで、

$P_{MAX} = 27,059,678 = 0x19CE5DE$ 、ADC 入力が入力フルスケールの場合に計算された瞬時電力。

$f_s = 1.024$ MHz、DSP により 8 kHz で計算された各瞬時電力が積算される周波数。

U_{FS} 、 I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の rms 値。

WTHR レジスタは 8 ビット符号なし値で、最大値は $2^8 - 1$ です。デフォルト値は $0x3$ です。スレッシュホールドは非ゼロ値であるため 3 より小さい値、すなわち 2 または 1 の使用は回避し、0 は使用しないでください。

この離散時間での積算または加算は、式 27 の説明に従う連続時間の積分と等価です。

$$Energy = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (27)$$

ここで、

n は離散時間サンプル番号。

T はサンプル周期です。

ADE7880 では、総合相有効電力は AWATTHR、BWATTHR、CWATTHR の 32 ビット符号付きレジスタで積算され、基本波相有効電力は AFWATTHR、BFWATTHR、CFWATTHR の 32 ビット符号付きレジスタで積算されます。有効電力量レジスタ値は、負側フルスケール(0x80000000)へロールオーバーし、有効電力が正のとき値を増やし続けることができます。逆に、有効電力が負の場合、電力量レジスタは正側フルスケール(0x7FFFFFFF)にアンダーフローすることができるため、値の減少を続けることができます。

ADE7880 は、xWATTHR レジスタと xFWATTHR レジスタのいずれかがハーフ・フルになったタイミングを通知するステータス・フラグを持っています。xWATTHR レジスタ内の 1 つのレジスタのビット 30 が変化すると、STATUS0 レジスタのビット 0 (AEHF) がセットされて、これらのレジスタの 1 つがハーフ・フルであることを通知します。有効電力が正の場合、0x3FFF FFFF から 0x4000 0000 へインクリメントするとき、watt-hour レジスタがハーフ・フルになります。有効電力が負の場合、0xC000 0000 から 0xBFFF FFFF へデクリメントするとき watt-hour レジスタがハーフ・フルになります。同様に、xFWATTHR レジスタ内の 1 つのレジスタのビット 30 が変化したとき、STATUS0 レジスタのビット 1 (FAEHF) がセットされて、これらのレジスタがハーフ・フルであることを通知します。

MASK0 レジスタのビット [1:0] をセットすると、それぞれ FAEHF 割込みと AEHF 割込みがイネーブルされます。イネーブルした場合、xWATTHR (AEHF 割込み) または xFWATTHR (FAEHF 割込み) のいずれかの電力量レジスタがハーフ・フルになるときに、IRQ0 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルに戻ります。

LCYCMODE レジスタのビット 6 (RSTREAD) をセットすると、すべての watt-hour 積算レジスタに対する read-with-reset がイネーブルされます。すなわち、レジスタが読み出しの後に 0 へリセットされます。

定常負荷での積分時間

積算レジスタの離散的な時間サンプル周期(T)は 976.5625 ns (1.024MHz 周波数)です。アナログ入力が入力フルスケール正弦波信号で、かつワット・ゲイン・レジスタが 0x00000 に設定されている場合、各 LPF2 からの平均ワード値は $P_{MAX} = 27,059,678 = 0x19CE5DE$ になります。WTHR レジスタ・スレッシュホールド = 3 (最小推奨値) の場合、最初のステージのアキュムレータは、watt-hour レジスタに次の周期で加算されるパルスが発生します。

$$\frac{3 \times 2^{27}}{P_{MAX} \times 1.024 \times 10^6} = 14.531 \mu\text{sec}$$

オーバーフローしないで watt-hour 積算レジスタに格納できる最大値は、 $2^{31} - 1$ すなわち 0x7FFFFFFF です。積分時間は次のように計算されます。

$$\text{時間} = 0x7FFF,FFFF \times 14.531 \mu\text{s} = 8 \text{ hr } 40 \text{ min } 6 \text{ sec} \quad (28)$$

電力量積算モード

有効電力は、ACCMODE レジスタのビット 5 とビット 4 (CONSEL ビット)の設定に従って、各 watt-hour 積算 32 ビット・レジスタ(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR)内で積算されます。種々の設定を表 14 に示します。

表 14.watt-hour 積算レジスタに対する入力

CONSEL	AWATTHR	BWATTHR	CWATTHR
00	VA × IA	VB × IB	VC × IC
01	VA × IA	VB × IB VB = VA - VC ¹	VC × IC
10	VA × IA	VB × IB VB = -VA - VC	VC × IC
11	VA × IA	VB × IB VB = -VA	VC × IC

¹3 相 3 線構成(CONSEL[1:0] = 01)では、ADE7880 が A 相と C 相の間のライン電圧の rms 値を計算し、結果を BVRMS レジスタへ格納します(3 相 3 線 Δ 構成での電圧 RMS のセクション参照)。したがって、物理的な意味のない B 相に対応する電力を ADE7880 が計算します。B 相電力に関する周波数出力ピン(CF1、CF2、または CF3)に誤差が発生しないようにするため、COMPmode レジスタのビット TERMSSEL1[1]または TERMSSEL2[1]または TERMSSEL3[1]に 0 を設定して、電力量/周波数コンバータへの B 相成分をディスプレイします(電力量/周波数変換セクション参照)。

多相電力量計方式に応じて、有効電力量を計算するときは、適切な式を選択する必要があります。米国の ANSI C12.10 標準では、様々な電力量計構成を規定しています。表 15 に、これらの様々な構成に対して選択するモードを示します。

表 15.電力量計方式

ANSI 電力量計方式	構成	CONSEL
5S/13S	3 線式 Δ	01
6S/14S	4 線式 Y	10
8S/15S	4 線式 Δ	11
9S/16S	4 線式 Y	00

ACCMODE レジスタのビット[1:0] (WATTACC[1:0])により、watt-hour レジスタでの有効電力積算方法、および総合有効電力と基本波有効電力の関数としての CF 周波数出力発生方法が指定されます。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル有効電力量積算モード

ライン・サイクル電力量積算モードでは、有効電力量を積算する時間が半ライン・サイクル数で表されるようにするため、電力量積算は電圧チャンネルのゼロ交差に同期しています。ライン・サイクルの整数倍で有効電力量を加算する利点は、有効電力量の正弦波成分が 0 に減少することです。このため電力量計算でリップルがなくなるので、短時間で正確に電力量を積算できるようになります。ライン・サイクル電力量積算モードを使うことにより、電力量キャリブレーションは大幅に簡便化されるため、計測器のキャリブレーションに必要な時間は大幅に短縮されます。ライン・サイクル電力量積算モードでは、ADE7880 は 32 ビット内部積算レジスタで積算した有効電力量を所定ライン・サイクル数の経過後に xWATHHR レジスタまたは xFWATTHR レジスタへ転送します(図 76 参照)。この半ライン・サイクル数は LINECYC レジスタで指定されます。

LCYCMODE レジスタのビット 0 (LWATT)をセットすると、ライン・サイクル電力量積算モードが開始されます。ゼロ交差が LINECYC 数回検出された後、半ライン・サイクルの整数倍の間に積算された電力量が watt-hour 積算レジスタに書込まれます。ライン・サイクル積算モードを使うときは、LCYCMODE レジスタのビット 6 (RSTREAD)をロジック 0 に設定する必要があります。これは、このモードで watt-hour レジスタに read with reset を使用できないためです。

LCYCMODE レジスタのビット[5:3] (ZXSEL[x])をセットすると、半ライン・サイクル数をカウントするとき、A 相、B 相、C 相のゼロ交差がそれぞれ含まれます。ゼロ交差のカウントには、3 相すべてのゼロ交差の任意の組み合わせを使うことができます。キャリブレーション時にゼロ交差カウントを含めるためには、1 回に 1 相のみ選択する必要があります。

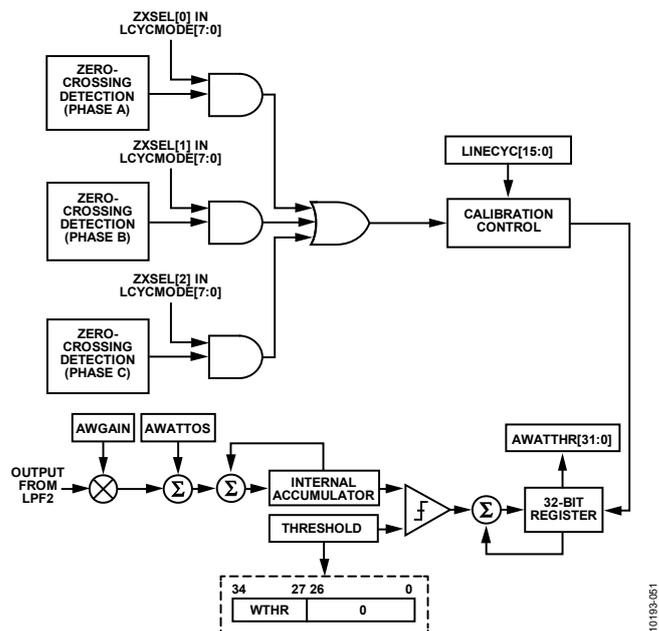


図 76.ライン・サイクル有効電力量積算モード

ゼロ交差数は 16 ビット符号なしレジスタ LINECYC により指定されます。ADE7880 は、最大 65,535 個の合計ゼロ交差に対して有効電力を積算することができます。内部ゼロ交差カウンタは常に動作していることに注意してください。LCYCMODE レジスタのビット 0 (LWATT)を設定すると、最初の電力量積算結果は正しくありません。LWATT ビットがセットされているときに LINECYC レジスタに書込みを行うと、ゼロ交差カウンタがリセットされるため、最初の電力量積算結果が正確であることが保証されます。

電力量キャリブレーション・サイクルの終わりで、STATUS0 レジスタのビット 5 (LEENERGY)がセットされます。MASK0 割込みマスク・レジスタの対応するマスク・ビットがイネーブルされている場合、IRQ0ピンもアクティブ・ローになります。対応するビットを 1 に設定して STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0ピンがハイ・レベルに戻ります。

このモードでは、有効電力が半ライン・サイクル数(整数)間積分されるため、正弦波成分は 0 に減ります。これにより、電力量計算内のすべてのリップルが解消されます。したがって、ライン・サイクル積算モードを使って積算される合計電力量は次のようになります。

$$e = \int_t^{t+nT} p(t) dt = nT \sum_{k=1}^{\infty} V_k I_k \cos(\varphi_k - \gamma_k) \quad (29)$$

ここで、 nT は積算時間。

ライン・サイクル有効電力量積算では、有効電力量の積算と同じ信号パスを使うことに注意してください。これら 2 つの方法の LSB サイズは等価です。

基本波無効電力の計算

ADE7880 は、基本波無効電力すなわち電圧と電流の基本波成分のみで決定される電力を計算します。また **ADE7880** は、高調波無効電力すなわち電圧と電流の高調波成分で決定される無効電力も計算します。詳細については、高調波の計算のセクションを参照してください。リアクタンス成分 (インダクタまたはコンデンサ) を含む負荷は、加えた AC 電圧と電流の間で位相差を発生させます。リアクタンス成分に対応する電力は無効電力と呼ばれ、単位として VAR が使われます。無効電力は、電圧波形または電流波形のすべての高調波成分が 90°位相シフトしている場合の電圧波形と電流波形の積として定義されます。式 31 は、電流チャンネルの位相が+90°シフトしているときの AC システムでの瞬时无効電力信号の例です。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \varphi_k) \quad (30)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k) \quad (31)$$

$$i^!(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin\left(k\omega t + \gamma_k + \frac{\pi}{2}\right)$$

ここで、 $i^!(t)$ は、すべての高調波成分が 90°位相シフトしている電流波形。

次に、瞬时无効電力 $q(t)$ は、次のように表すことができます。

$$q(t) = v(t) \times i^!(t) \quad (32)$$

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \times 2 \sin(k\omega t + \varphi_k) \times \sin(k\omega t + \gamma_k + \frac{\pi}{2}) + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \times 2 \sin(k\omega t + \varphi_k) \times \sin(m\omega t + \gamma_m + \frac{\pi}{2})$$

$q(t)$ は次のように書くことができることに注意してください。

$$q(t) = \sum_{k=1}^{\infty} V_k I_k \left\{ \cos\left(\varphi_k - \gamma_k - \frac{\pi}{2}\right) - \cos\left(2k\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right) \right\} + \sum_{\substack{k,m=1 \\ k \neq m}}^{\infty} V_k I_m \left\{ \cos\left[(k-m)\omega t + \varphi_k - \gamma_k - \frac{\pi}{2}\right] - \cos\left[(k+m)\omega t + \varphi_k + \gamma_k + \frac{\pi}{2}\right] \right\} \quad (33)$$

ライン・サイクル数(n)の間の平均総合無効電力は式 34 で表されます。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = \sum_{k=1}^{\infty} V_k I_k \cos\left(\varphi_k - \gamma_k - \frac{\pi}{2}\right) \quad (34)$$

$$Q = \sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

ここで、

T はライン・サイクル周期。

Q は総合無効電力と呼ばれます。

総合無効電力は、式 32 の瞬时无効電力信号 $q(t)$ の DC 成分に等しくなることに注意してください。すなわち、

$$\sum_{k=1}^{\infty} V_k I_k \sin(\varphi_k - \gamma_k)$$

この式で表される関係は、各相の総合無効電力を計算する際に使います。瞬时无効電力信号 $q(t)$ は、電圧信号の各高調波と各相電流の 90°位相シフトした対応する高調波との積として得られます。

基本波無効電力の式は、 $k = 1$ として式 33 から次のように得られます。

$$FQ = V_1 I_1 \sin(\varphi_1 - \gamma_1)$$

ADE7880 は当社独自のアルゴリズムを使って基本波無効電力を計算します。このアルゴリズムでは回路周波数の初期化機能と電圧チャンネルで測定した公称電圧が必要です。これらの初期化については有効電力量の計算のセクションで説明しており、基本波有効電力および基本波無効電力に共通です。

ADE7880 は、瞬時基本波相無効電力を AFVAR、BFVAR、CFVAR の各レジスタへ格納します。これらの式は、

$$x\text{FVAR} = \frac{U_1}{U_{FS}} \times \frac{I_1}{I_{FS}} \times \sin(\varphi_1 - \gamma_1) \times P\text{MAX} \times \frac{1}{2^4} \quad (35)$$

ここで、

U_{FS} 、 I_{FS} は ADC 入力フルスケールのときの相電圧と相電流の rms 値。

$P\text{MAX} = 27,059,678$ 、ADC 入力フルスケールでかつ同相のとき計算された瞬時電力。

xFVAR 波形レジスタはレジスタ・スペース内のアドレスに割り当てられていないため、波形サンプリング・モードで HSDC ポートからのみアクセスできます(詳細については、波形サンプリング・モードのセクション参照)。また、基本波無効電力情報は **ADE7880** の高調波計算機能を介して取得することができます(詳細については、高調波の計算のセクション参照)。

表 16 に、基本波無効電力測定の設定リング・タイム、すなわち ADE7880 入力での値が電力に反映されるまでに要する時間を示します。

表 16.基本波無効電力測定の設定リング・タイム

Input Signals	
63% PMAX	100% PMAX
375 ms	875 ms

基本波無効電力ゲインのキャリブレーション

各相の VAR ゲイン 24 ビット・レジスタ (APGAIN、BPGAIN、または CPGAIN) の 1 つへ書込みを行うと、その相の LPF 出力の平均基本波無効電力を ±100% スケールすることができます。これらのレジスタは、ADE7880 が計算するその他の電力を補償する際に使う同じゲイン・レジスタであることに注意してください。これらのレジスタの詳細については、有効電力ゲイン・キャリブレーションのセクションを参照してください。

基本波無効電力オフセットのキャリブレーション

ADE7880 は各相の基本波無効電力オフセット・レジスタを内蔵しています。AFVAROS、BFVAROS、CFVAROS の各レジスタは、基本波無効電力量計算でのオフセットを補償します。これらは符号付き 2 の補数 24 ビット・レジスタであり、基本波無効電力量計算でオフセットを除去する際に使います。電力量計算には、PCB 上のチャンネル間のクロストークまたはチップ自体の内部のクロストークに起因するオフセットが存在します。このレジスタの分解能は有効電力オフセット・レジスタと同じです(有効電力オフセット・キャリブレーションのセクション参照)。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは、32 ビット、16 ビット、または 8 ビットのワードで動作し、DSP は 28 ビットで動作します。図 43 に示すレジスタと同じように、24 ビット符号付きレジスタ AFVAROS、BFVAROS、CFVAROS は、上位 4 ビットに 0 を詰めて、28 ビットまで符号拡張した 32 ビット・レジスタとしてアクセスされます。

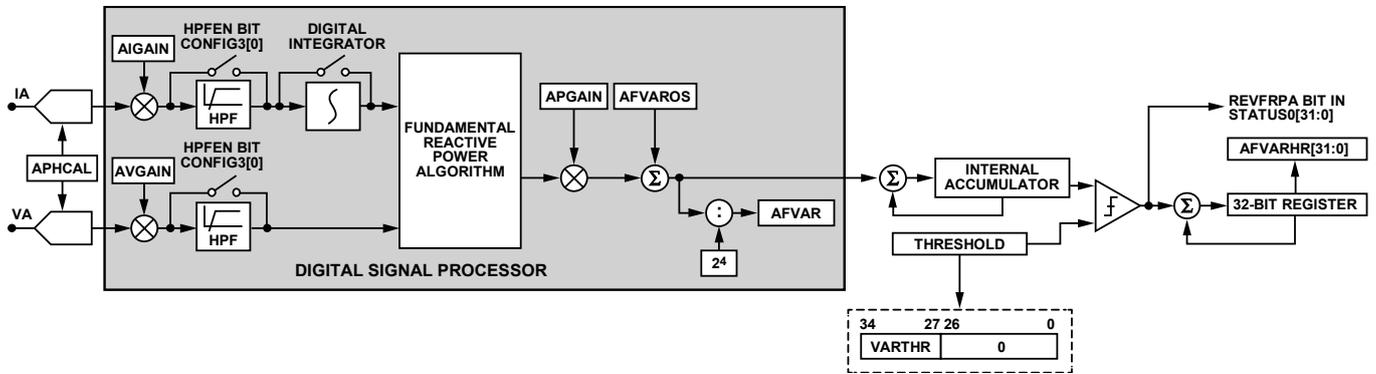


図 77.基本波無効電力量の積算

10103-012

基本波無効電力量計算の符号

基本波無効電力は符号付き計算であることに注意してください。表 17 に、電圧と電流の間の位相の関係および無効電力量計算結果の符号についてまとめます。

ADE7880 は、基本波無効電力をモニタできる無効電力量計算用符号検出回路を内蔵しています。基本波無効電力量の計算のセクションで説明したように、無効電力量積算は 2 ステージで実行されます。最初のステージの終わりの電力量積算で符号変化が検出される毎に、内部アキュムレータに積算された電力量が VARTHRR レジスタ・スレッシュホールドに到達した後に、専用割込みが発生します。各相無効電力の符号は、PHSIGN レジスタで読出すことができます。

基本波無効電力で符号変化が発生すると、STATUS0 レジスタのビット [12:10] (それぞれ REVFRRPC、REVFRRPB、REVFRRPA) がセットされます。

PHSIGN レジスタのビット [6:4] (それぞれ CFVARSIGN、BFVARSIGN、AFVARSIGN) が REVFRRPC、REVFRRPB、REVFRRPA の各ビットと同時に設定されます。これらのビットは、基本波無効電力の符号を表します。これらが 0 のとき、無効電力は正です。これらが 1 のとき、無効電力は負です。

STATUS0 レジスタのビット REVFRRPx と PHSIGN レジスタのビット xFVARSIGN は相 x の無効電力を表します。

MASK0 レジスタのビット [12:10] をセットすると、それぞれ REVFRRPC、REVFRRPB、REVFRRPA 割込みがイネーブルされます。イネーブルした場合、符号変化が発生すると、IRQ0 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相を知るためには、STATUS0 レジスタを讀出した直後に PHSIGN レジスタを讀出します。次に、対応するビットを 1 に設定して STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルに戻ります。

表 17. 無効電力量計算の符号

Φ^1	Sign of Reactive Power
Between 0 to +180	Positive
Between -180 to 0	Negative

¹ Φ は、電圧信号から電流信号を減算したときの位相角度として定義されます。すなわち、負荷が誘導性の場合 Φ は正で、負荷が容量性の場合 Φ は負。

基本波無効電力量の計算

基本波無効電力量は、基本波無効電力の積分として定義されます。

$$\text{無効電力量} = \int q(t) dt \quad (36)$$

基本波無効電力量積算は常に符号付き計算です。負電力量は、無効電力量値から減算されます。

有効電力と同様に、ADE7880 は 2 ステージで無効電力信号の積分を実行します(図 77 参照)。

- DSP では 8 kHz レートで計算されますが、最初のステージでは 1.024 MHz で瞬時相基本波無効電力を積算します。スレッシュホールドに到達するごとにパルスが発生されて、スレッシュホールドが内部レジスタから減算されます。この時点の電力量の符号は無効電力の符号と見なされます(詳細については、基本波無効電力量計算の符号のセクション参照)。
- 2 番目のステージは、最初のステージで発生されたパルスを内部 32 ビット・アキュムレータ・レジスタへ積算する機能で構成されています。これらの内部レジスタの値は、var-hour レジスタ(xFVARHR)にアクセスしたときに、var-hour レジスタへ転送されます。AFWATTHR、BFWATTHR、CFWATTHR は相基本波無効電力量を表します。

図 77 に、このプロセスを示します。8 ビット符号なしレジスタ VARTHRR と 27 個の 0 ビットを連結してスレッシュホールドが形成されます。このスレッシュホールドはユーザーにより導入されます。その値は、var-hour の 1 LSB に対応させる電力量に依存します。n を整数としてボルト・アンペア無効時間(varh) [10ⁿ varh] の微分を VARHR レジスタの 1 LSB とする場合、VARTHRR レジスタは次式を使って計算されます。

$$VARTHRR = \frac{P_{MAX} \times f_s \times 3600 \times 10^n}{U_{FS} \times I_{FS} \times 2^{27}} \quad (37)$$

ここで、

$P_{MAX} = 27,059,678 = 0x19CE5DE$ 、ADC 入力フルスケールの場合に計算された瞬時電力。

$f_s = 1.024$ MHz、DSP により 8 kHz で計算された各瞬時電力が積算される周波数。

U_{FS} 、 I_{FS} は、ADC 入力フルスケールときの相電圧と相電流の rms 値。

VARTHRR レジスタは 8 ビット符号なし値で、最大値は $2^8 - 1$ です。デフォルト値は $0x3$ です。スレッシュホールドは非ゼロ値であるため 3 より小さい値、すなわち 2 または 1 の使用は回避し、0 は使用しないでください。

この離散時間での積算または加算は、式 38 の説明に従う連続時間の積分と等価です。

$$\text{ReactiveEnergy} = \int q(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} q(nT) \times T \right\} \quad (38)$$

ここで、

n は離散時間サンプル番号。

T はサンプル周期です。

ADE7880 で、基本波相無効電力は 32 ビット符号付きレジスタ AFVARHR、BFVARHR、CFVARHR に積算されます。無効電力量レジスタ値は、負側フルスケール(0x80000000)へロールオーバーし、無効電力が正のとき値を増やし続けることができます。逆に、無効電力が負の場合、電力量レジスタは正側フルスケール(0x7FFFFFFF)にアンダーフローすることができるため、値の減少を続けることができます。

ADE7880 は、xFVARHR レジスタのいずれかがハーフ・フルになったタイミングを通知するステータス・フラグを持っています。xFVARHR レジスタ内の 1 つのレジスタのビット 30 が変化すると、STATUS0 レジスタのビット 3 (FREHF)がセットされて、これらのレジスタの 1 つがハーフ・フルであることを通知します。無効電力が正の場合、0x3FFF FFFF から 0x4000 0000 へインクリメントするとき、var-hour レジスタがハーフ・フルになります。無効電力が負の場合、0xC000 0000 から 0xBFFF FFFF へデクリメントするとき var-hour レジスタがハーフ・フルになります。

MASK0 レジスタのビット 3 をセットすると、FREHF 割込みがイネーブルされます。イネーブルした場合、電力量レジスタ xFVARHR の 1 つがハーフ・フルになると、IRQ0 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルになります。

LCYCMODE レジスタのビット 6 (RSTREAD)をセットすると、すべての var-hour 積算レジスタに対する read-with-reset がイネーブルされます。すなわち、レジスタが読出しの後に 0 へリセットされます。

定常負荷での積分時間

積算レジスタの離散的時間サンプル周期(T)は 976.5625 ns (1.024 MHz 周波数)です。アナログ入力が入力フルスケール正弦波信号で、電圧信号と電流信号との間の位相差が 90°(可能な最大無効電力)の場合、無効電力を表す平均ワード値は $PMAX = 27,059,678 = 0x19CE5DE$ になります。VARTH スレッシュホールド = 3 (最小推奨値)の場合、最初のステージのアクキュムレータは、var-hour レジスタに

$$\frac{3 \times 2^{27}}{PMAX \times 1.024 \times 10^6} = 14.531 \mu\text{sec}$$

の周期で加算されるパルスを発生します。

オーバーフローしないで var-hour 積算レジスタに格納できる最大値は、 $2^{31} - 1$ すなわち 0x7FFFFFFF です。積分時間は次のように計算されます。

$$\text{時間} = 0x7FFF,FFFF \times 14.531 \mu\text{s} = 8 \text{ hr } 40 \text{ min } 6 \text{ sec} \quad (39)$$

電力量積算モード

watt-hour レジスタとの関係で ACCMODE レジスタのビット[5:4] (CONSEL[1:0])の設定に応じて、基本波無効電力は各 var-hour 積算 32 ビット・レジスタ(AFVARHR、BFVARHR、CFVARHR)で積算されます。種々の設定を表 18 に示します。IA'/IB'/IC'は位相がシフトした電流波形であることに注意してください。

表 18.Var-Hour 積算レジスタに対する入力

CONSEL[1:0]	AFVARHR	BFVARHR	CFVARHR
00	VA × IA'	VB × IB'	VC × IC'
01	VA × IA'	VB × IB' VB = VA - VC ¹	VC × IC'
10	VA × IA'	VB × IB' VB = -VA - VC	VC × IC'
11	VA × IA'	VB × IB' VB = -VA	VC × IC'

¹3 相 3 線構成(CONSEL[1:0]=01)では、ADE7880 が A 相と C 相の間のライン電圧の rms 値を計算し、結果を BVRMS レジスタへ格納します(3 相 3 線 Δ 構成での電圧 RMS のセクション参照)。したがって、物理的な意味のない B 相に対応する電力を ADE7880 が計算します。B 相電力に関係する周波数出力ピン(CF1、CF2、または CF3)に誤差が発生しないようにするため、COMPmode レジスタのビット TERMSEL1[1]または TERMSEL2[1]または TERMSEL3[1]に 0 を設定して、電力量/周波数コンバータへの B 相成分をデイスエーブルします(電力量/周波数変換セクション参照)。

ACCMODE レジスタのビット[3:2] (VARACC[1:0])により、var-hour レジスタでの無効電力積算方法、および総合および基本波の有効電力および無効電力の関数としての CF 周波数出力発生方法が指定されます。詳細については、電力量/周波数変換のセクションを参照してください。

ライン・サイクル無効電力量積算モード

ライン・サイクル有効電力量積算モードのセクションで説明したように、ライン・サイクル電力量積算モードでは、無効電力量を積算する時間が半ライン・サイクル数で表されるようにするため、電力量積算は電圧チャンネルのゼロ交差に同期しています。

このモードは、ADE7880 は所定ライン・サイクル数の経過後に 32 ビット内部積算レジスタで積算された無効電力量を xFVARHR レジスタへ転送します(図 78)。この半ライン・サイクル数は LINECYC レジスタで指定されます。

LCYCMODE レジスタのビット 1(LVAR)をセットすると、ライン・サイクル無効電力量積算モードが開始されます。LINECYC レジスタで指定されたゼロ交差回数が検出されると、半ライン・サイクルまたはゼロ交差の整数倍の時間で積算された基本波無効電力量が var-hour 積算レジスタに格納されます。ライン・サイクル積算モードを使うときは、LCYCMODE レジスタのビット 6 (RSTREAD)をロジック 0 に設定する必要があります。これは、このモードで var-hour レジスタに read with reset を使用できないためです。

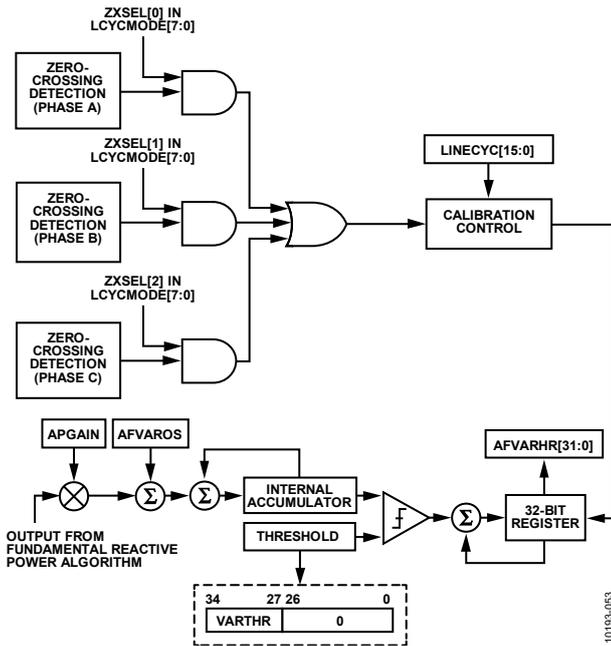


図 78.ライン・サイクル基本波無効電力量積算モード

LCYCMODE レジスタのビット[5:3] (ZXSEL[x])をセットすると、半ライン・サイクル数をカウントするとき、A 相、B 相、C 相のゼロ交差がそれぞれ含まれます。ゼロ交差のカウントには、3 相すべてのゼロ交差の任意の組み合わせを使うことができます。キャリブレーション時にゼロ交差カウントを含めるためには、1 回に 1 相のみ選択する必要があります。

LINECYC レジスタの設定とライン・サイクル積算モードに対応する MASK0 割込みマスク・レジスタのビット 5 (LENERGY)の詳細については、ライン・サイクル有効電力量積算モードのセクションを参照してください。

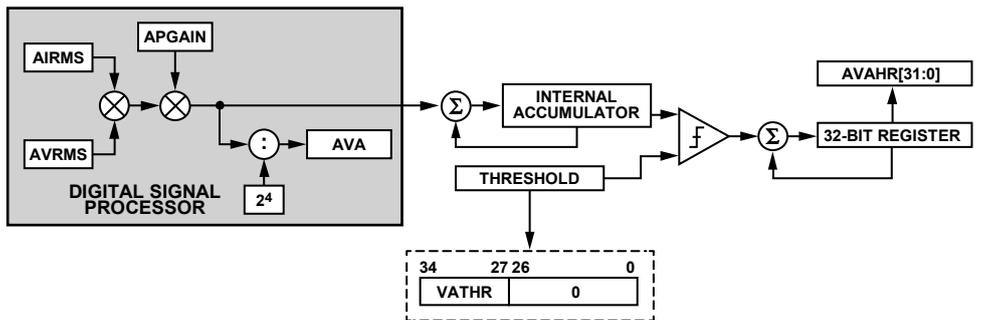


図 79.皮相電力データ・フローと皮相電力量の積算

皮相電力量計算

皮相電力は、負荷へ供給できる最大有効電力として定義されます。皮相電力を求める 1 つの方法は、電圧 rms 値に電流 rms 値を乗算することです(算術皮相電力とも呼ばれます)。

$$S = V_{rms} \times I_{rms} \tag{40}$$

ここで、 S は皮相電力。

V_{rms} と I_{rms} はそれぞれ rms 電圧と rms 電流。

ADE7880 は各相の算術皮相電力を計算します。図 79 に、ADE7880 内で各相の皮相電力を計算する信号処理機能を示します。 V_{rms} と I_{rms} はすべての高調波情報を含むため、ADE7880 が計算する皮相電力は総合皮相電力になります。ADE7880 は、基本波皮相電力と高調波皮相電力を計算します。これらの電力は、電圧と電流の基本波と高調波成分によって決定されます。詳細については、高調波の計算のセクションを参照してください。

ADE7880 は、瞬時皮相電力を AVA、BVA、CVA の各レジスタへ格納します。これらの式は、

$$xVA = \frac{U}{U_{FS}} \times \frac{I}{I_{FS}} \times PMAX \times \frac{1}{2^4} \tag{41}$$

ここで、

U 、 I は相電圧と相電流の rms 値。

U_{FS} 、 I_{FS} は ADC 入力が入力フルスケール時の相電圧と相電流の rms 値。

$PMAX = 27,059,678$ 、ADC 入力が入力フルスケールでかつ同相のとき計算された瞬時電力。

xVA[23:0] 波形レジスタは種々のシリアル・ポートを使ってアクセスすることができます。詳細については、波形サンプリング・モードのセクションを参照してください。

ADE7880 は、rms 相電流に外部から与えた rms 相電圧を乗算する別の方法で皮相電力を計算することもできます。詳細については、VNOM を使用する皮相電力量計算のセクションを参照してください。

皮相電力ゲイン・キャリブレーション

PGAIN 24 ビット・レジスタ (APGAIN、BPGAIN、CPGAIN) の 1 つに書込みを行なって、その相の平均皮相電力結果を $\pm 100\%$ スケールすることができます。これらのレジスタは、ADE7880 が計算するその他の電力を補償する際に使う同じゲイン・レジスタであることに注意してください。これらのレジスタの詳細については、有効電力ゲイン・キャリブレーションのセクションを参照してください。

皮相電力オフセット・キャリブレーション

各 rms 測定には、rms 値内の DC 成分をキャリブレーションして除去するオフセット補償レジスタが含まれています (2 乗平均の測定参照)。電圧 rms 値と電流 rms 値は皮相電力信号処理内で乗算されます。各 rms 値の乗算でオフセットが発生しないため、皮相電力信号処理内には特別なオフセット補償はありません。各相の皮相電力測定のオフセット補償は、個々の rms 測定でのキャリブレーションにより行われます。

VNOM を使用する皮相電力量計算

ADE7880 は、rms 相電流に VNOM 24 ビット符号付きレジスタで外部から与えた rms 電圧を乗算して、皮相電力を計算することができます。

COMPmode レジスタのビット [13:11] (VNOMCEN、VNOMBEN、VNOMAEN) の 1 つが 1 に設定されると、対応する相 (VNOMxEN の相 x) の皮相電力がこの方法で計算されます。VNOMxEN ビットが 0 (デフォルト値) にクリアされると、算術皮相電力が計算されます。

VNOM レジスタは、U (所望の rms 電圧) と U_{FS} (ADC 入力が入力フルスケールのときの相電圧の rms 値) で決定される次の値を格納します。

$$VNOM = \frac{U}{U_{FS}} \times 3,766,572 \quad (42)$$

ここで、U は公称 rms 相電圧。

電流波形ゲイン・レジスタで説明したように、ADE7880 のシリアル・ポートは 32 ビット、16 ビット、または 8 ビットのワードで動作します。図 57 で説明したレジスタと同様に、VNOM の 24 ビット符号付きレジスタは、32 ビット・レジスタとしてアクセスされ、上位 8 ビットには 0 が詰まっています。

皮相電力量計算

皮相電力量は、皮相電力の積分として定義されます。

$$\text{皮相電力量} = \int s(t) dt \quad (43)$$

有効電力および無効電力と同様に、ADE7880 は皮相電力信号の積分を 2 ステージで実行します (図 79 参照)。DSP では 8 kHz レートで計算されますが、最初のステージでは 1.024 MHz で瞬時皮相電力を積算します。スレッシュホールドに到達するごとにパルスが発生されて、スレッシュホールドが内部レジスタから減算されます。2 番目のステージは、最初のステージで発生されたパルスを内部 32 ビット・アキュムレータ・レジスタへ積算する機能で構成されています。これらのレジスタの値は、var_hour レジスタにアクセスしたときに、var-hour レジスタ (xVAHR) へ転送されます。

図 79 にこのプロセスを示します。8 ビット符号なしレジスタ VATHR と 27 個の 0 ビットを連結してスレッシュホールドが形成されます。このスレッシュホールドはユーザーにより導入され、すべての相の総合有効電力と総合基本波電力で共通です。その値は、var-hour の 1 LSB に対応させる電力量に依存します。n を整数として皮相電力量 (VAh) $[10^n \text{ VAh}]$ の微分を xVAHR レジスタの 1 LSB とする場合、xVATHR レジスタは次式を使って計算されます。

$$VATHR = \frac{PMAX \times f_s \times 3600 \times 10^n}{U_{FS} \times I_{FS} \times 2^{27}} \quad (44)$$

ここで、

$PMAX = 27,059,678 = 0x19CE5DE$ 、ADC 入力が入力フルスケールの場合に計算された瞬時電力。

$f_s = 1.024 \text{ MHz}$ 、DSP により 8 kHz で計算された各瞬時電力が積算される周波数。

U_{FS} 、 I_{FS} は、ADC 入力が入力フルスケールのときの相電圧と相電流の rms 値。

VATHR レジスタは 8 ビット符号なし値で、最大値は $2^8 - 1$ です。デフォルト値は 0x3 です。スレッシュホールドは非ゼロ値であるため 3 より小さい値、すなわち 2 または 1 の使用は回避し、0 は使用しないでください。

この離散時間での積算または加算は、式 45 の説明に従う連続時間の積分と等価です。

$$\text{Apparent Energy} = \int s(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} s(nT) \times T \right\} \quad (45)$$

ここで、

n は離散時間サンプル番号。

T はサンプル周期です。

ADE7880 で、相皮相電力は AVAHR、BVAHR、CVAHR の 32 ビット符号付きレジスタに積算されます。皮相電力量レジスタ値は、負側フルスケール (0x80000000) へロールオーバーし、皮相電力が正のとき値を増やし続けることができます。逆に、rms データ・パスにオフセット補償があるため、皮相電力が負の場合、電力量レジスタは正側フルスケール (0x7FFFFFFF) にアンダーフローすることができるので、値の減少を続けることができます。

ADE7880 は、xVAHR レジスタのいずれかがハーフ・フルになったタイミングを通知するステータス・フラグを持っています。xVAHR レジスタ内の 1 つのレジスタのビット 30 が変化すると、STATUS0 レジスタのビット 4 (VAEHF) がセットされて、これらのレジスタの 1 つがハーフ・フルであることを通知します。皮相電力は常に正で、かつ xVAHR レジスタは符号付きであるため、VA-hour レジスタは 0x3FFFFFFF から 0x40000000 へインクリメントするときハーフ・フルになります。MASK0 レジスタのビット 4 をセットすると、STATUS0 レジスタのビット VAEHF に対応する割込みをイネーブルすることができます。イネーブルした場合、電力量レジスタ xVAHR の 1 つがハーフ・フルになると、IRQ0 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。対応するビットを 1 に設定して STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルになります。

LCYCMODE レジスタのビット 6 (RSTREAD)をセットすると、すべての xVAHR 積算レジスタに対する read-with-reset がイネーブルされます。すなわち、レジスタが読み出しの後に 0 にリセットされます。

定常負荷での積分時間

積算レジスタの離散的時間サンプル周期は 976.5625 ns (1.024 MHz 周波数)です。アナログ入力が入力スケールの純正弦波信号の場合、皮相電力を表す平均ワード値は P_{MAX} になります。VATHR レジスタ・スレッシュホールド = 3 (最小推奨値)の場合、最初のステージのアクキュムレータは、VATHR レジスタに $\frac{3 \times 2^{27}}{P_{MAX} \times 1.024 \times 10^6} = 14.531 \mu\text{sec}$ の周期で加算されるパルスが発生します。

オーバーフローしないで xVAHR 積算レジスタに格納できる最大値は、 $2^{31} - 1$ すなわち 0x7FFFFFFF です。積分時間は次のように計算されます。

$$\text{時間} = 0x7FFFFFFF \times 14.531 \mu\text{s} = 8 \text{ hr } 40 \text{ min } 6 \text{ sec} \quad (46)$$

電力量積算モード

ACCMODE レジスタのビット[5:4] (CONSEL[1:0])の設定に応じて、皮相電力は各積算レジスタ内で積算されます。種々の設定を表 19 に示します。

表 19.VA-Hour 積算レジスタに対する入力

CONSEL[1:0]	AVAHR	BVAHR	CVAHR
00	AVRMS × AIRMS	BVRMS × BIRMS	CVRMS × CIRMS
01	AVRMS × AIRMS	BVRMS × BIRMS VB = VA - VC ¹	CVRMS × CIRMS
10	AVRMS × AIRMS	BVRMS × BIRMS VB = -VA - VC	CVRMS × CIRMS
11	AVRMS × AIRMS	BVRMS × BIRMS VB = -VA	CVRMS × CIRMS

¹ 3 相 3 線構成(CONSEL[1:0] = 01)では、ADE7880 が A 相と C 相の間のライン電圧の rms 値を計算し、結果を BVRMS レジスタへ格納します(3 相 3 線 Δ 構成での電圧 RMS のセクション参照)。したがって、物理的な意味のない B 相に対応する電力を ADE7880 が計算します。B 相電力に関係する周波数出力ピン(CF1、CF2、または CF3)に誤差が発生しないようにするため、COMPmode レジスタのビット TERMSEL1[1]または TERMSEL2[1]または TERMSEL3[1]に 0 を設定して、電力量/周波数コンバータへの B 相成分をデイスエーブルします(電力量/周波数変換セクション参照)。

ライン・サイクル皮相電力量積算モード

ライン・サイクル有効電力量積算モードのセクションで説明したように、ライン・サイクル電力量積算モードでは、皮相電力量を積算する時間が半ライン・サイクル数で表されるようにするため、電力量積算は電圧チャンネルのゼロ交差に同期しています。このモードでは、ADE7880 は所定ライン・サイクル数の経過後に 32 ビット内部積算レジスタで積算された皮相電力量を xVAHR レジスタへ転送します(図 80)。この半ライン・サイクル数は LINECYC レジスタで指定されます。

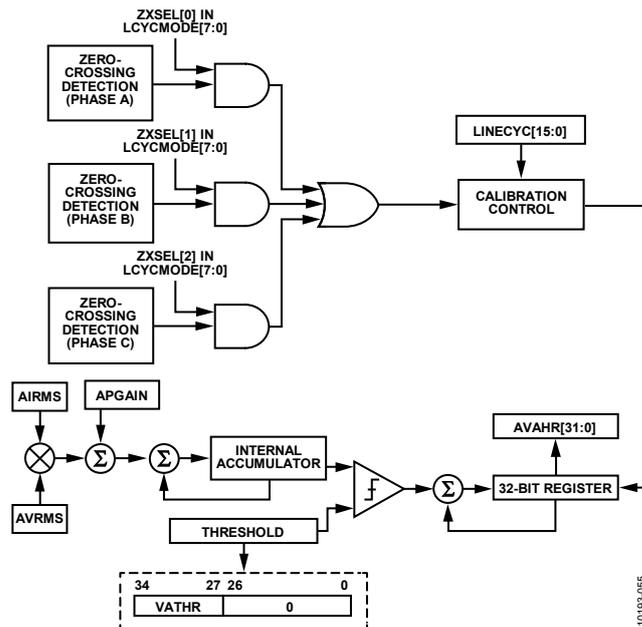


図 80.ライン・サイクル皮相電力量積算モード

LCYCMODE レジスタのビット 2 (LVA)をセットすると、ライン・サイクル皮相電力量積算モードが開始されます。LINECYC レジスタで指定されたゼロ交差数が検出された後、整数回のゼロ交差間に積算された皮相電力量が xVAHR 積算レジスタに書込まれます。ライン・サイクル積算モードを使うときは、LCYCMODE レジスタのビット 6 (RSTREAD)をロジック 0 に設定する必要があります。これは、このモードで xVAHR レジスタに read with reset を使用できないためです。

LCYCMODE レジスタのビット[5:3] (ZXSEL[x])をセットすると、半ライン・サイクル数をカウントするとき、A 相、B 相、C 相のゼロ交差がそれぞれ含まれます。ゼロ交差のカウントには、3 相すべてのゼロ交差の任意の組み合わせを使うことができます。キャリブレーション時にゼロ交差カウントを含めるためには、1 回に 1 相のみ選択する必要があります。

LINECYC レジスタの設定とライン・サイクル積算モードに対応する MASK0 割込みマスク・レジスタのビット 5 (LEENERGY)の詳細については、ライン・サイクル有効電力量積算モードのセクションを参照してください。

力率の計算

ADE7880 では、すべての相で同時に力率を直接測定することができます。AC 回路での力率は、負荷に流れる総合有効電力の皮相電力に対する比として定義されます。絶対力率測定は、電流が電圧波形に対して進みか遅れを表す、進みまたは遅れの用語で定義されます。電流が電圧より進みのとき、負荷は容量性であり、負力率として定義されます。電流が電圧より遅れのとき、負荷は誘導性であり、正力率として定義されます。電流の電圧波形に対する関係を図 81 に示します。

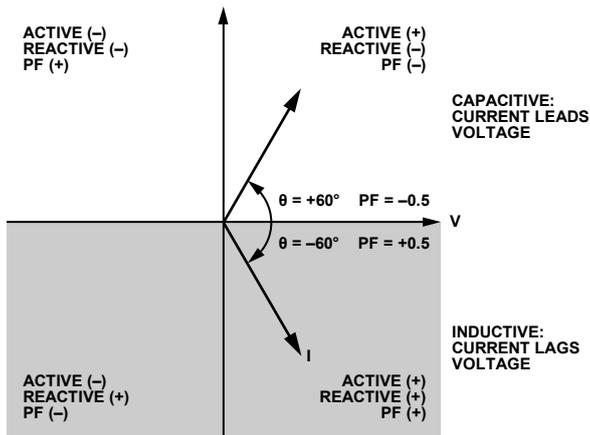


図 81. 容量性負荷と誘導性負荷

図 81 に示すように、負荷が容量性のとき無効電力測定値は負になり、負荷が誘導性のとき正になります。したがって、無効電力の符号を使って力率の符号を表すことができます。ADE7880 は基本波無効電力を計算します。したがって、その符号を絶対力率の符号として使えることに注意してください。基本波無効電力が無負荷状態の場合、力率の符号は総合有効電力の符号になります。

力率の数学的定義を式 47 に示します。

$$\text{力率} = (\text{符号基本波無効電力}) \times \frac{\text{Total Active Power}}{\text{Apparent Power}} \quad (47)$$

前述のように、ADE7880 はすべての相の同時力率測定値を提供します。これらの測定値は 3 個の 16 ビット符号付きレジスタ、A 相は APF (アドレス 0xE609)、B 相は BPF (アドレス 0xE60A)、C 相は CPF (アドレス 0xE60B) から得られます。これらのレジスタは符号付き 2 の補数レジスタで、MSB が力率の極性を表します。APF、BPF、CPF の各レジスタの各 LSB は 2^{-15} の重みを持ちます。したがって、最大レジスタ値 0x7FFF は力率 = 1 に対応します。最小レジスタ値 0x8000 は力率 = -1 に対応します。オフセットとゲインのキャリブレーションのため、力率が -1 ~ +1 の範囲の外側になると、結果は基本波無効電力の符号に応じて -1 または +1 に設定されます。

デフォルトでは、相の瞬時総合有効/皮相電力を使って力率を計算し、レジスタは 8 kHz のレートで更新されます。符号ビットは、各相の瞬時基本波相無効電力量測定から取得されます。

平均数を増やした測定が必要な場合には、ADE7880 は有効電力量と皮相電力量のライン・サイクル積算測定値を使って力率を求めるオプションを提供します。このオプションは、より安定な力率測定値を提供します。LCYCMODE レジスタ (アドレス 0xE702) の PFMODE ビット (ビット 7) をセットすると、このモードがイネーブルされます。このモードをイネーブルする場合、有効電力量と皮相電力量に対するライン・サイクル積算モードをイネーブルする必要があります。

このモードをイネーブルするときは、LCYCMODE レジスタ (アドレス 0xE702) の xLWATT ビットと xLVA ビットをセットします。力率測定の更新レートは、半ライン・サイクルの整数倍になり、LINECYC レジスタ (アドレス 0xE60C) に設定することができます。ライン・サイクル積算モードの設定の詳細については、ライン・サイクル有効電力量積算モードとライン・サイクル皮相電力量積算モードのセクションを参照してください。

力率測定をイネーブルした場合、力率測定は無負荷状態から影響を受けることに注意してください (無負荷状態のセクション参照)。皮相電力量が無負荷の場合、力率測定値 = 1 に設定されず。総合有効電力量と総合皮相電力量に基づく無負荷状態の場合、力率測定 = 0 になります。

また ADE7880 は基本波/高調波の有効/無効/皮相電力に基づく基本波と高調波成分の力率も計算します。詳細については、高調波の計算のセクションを参照してください。

高調波の計算

ADE7880 は、1 相ずつ解析する高調波エンジンを内蔵しています。高調波情報は、減衰なしの 2.8 kHz 通過帯域 (-3 dB 帯域幅 = 3.3 kHz に対応) で計算され、45 Hz ~ 66 Hz のライン周波数に対して規定します。中性電流も相電流の和と同時に解析されます。図 82 に、高調波エンジンのシンセサイズ図、設定値、出力レジスタを示します。

動作原理

電圧 $v(t)$ が供給される非正弦波 AC システムについて考えます。このシステムの消費電流は $i(t)$ です。次式で表されます。

$$v(t) = \sum_{k=1}^{\infty} V_k \sqrt{2} \sin(k\omega t + \phi_k) \quad (48)$$

$$i(t) = \sum_{k=1}^{\infty} I_k \sqrt{2} \sin(k\omega t + \gamma_k)$$

ここで、

V_k 、 I_k は、各高調波のそれぞれ rms 電圧と rms 電流。

ϕ_k 、 γ_k は各高調波の位相遅延。

ω は基本波 (ライン) 周波数 f での角速度。

ADE7880 高調波計算は 45 Hz ~ 66 Hz のライン周波数に対して規定されています。基準時間として使用する公称相電圧の振幅は、フルスケールの 20% より大きい必要があります。

2.8 kHz の通過帯域内で解析できる高調波数 N は、 $2800/f$ の整数値です。ADE7880 で入力できる高調波の絶対最大値は 63 です。

$$N = \left\lfloor \frac{2800}{f} \right\rfloor, N \leq 63$$

ADE7880 が 1 つの相を解析する場合、次の数値を計算します。

- 基本波相電流 rms: I_1
- 基本波相電圧 rms: V_1
- 相電流の最大 3 高調波までの RMS:
 $I_x, I_y, I_z, x, y, z = 2, 3, \dots, N$
- 相電圧の最大 3 高調波までの RMS:
 $V_x, V_y, V_z, x, y, z = 2, 3, \dots, N$
- 基本波相有効電力
 $P_1 = V_1 I_1 \cos(\phi_1 - \gamma_1)$
- 基本波相無効電力
 $Q_1 = V_1 I_1 \sin(\phi_1 - \gamma_1)$
- 基本波相皮相電力
 $S_1 = V_1 I_1$
- 基本波の力率

$$pf_1 = \text{sgn}(Q_1) \times \frac{P_1}{S_1}$$

最大 3 高調波までの有効電力:

$$P_x = V_x I_x \cos(\phi_x - \gamma_x), \quad x = 2, 3, \dots, N$$

$$P_y = V_y I_y \cos(\phi_y - \gamma_y), \quad y = 2, 3, \dots, N$$

$$P_z = V_z I_z \cos(\phi_z - \gamma_z), \quad z = 2, 3, \dots, N$$

- 最大 3 高調波までの無効電力:
 $Q_x = V_x I_x \sin(\phi_x - \gamma_x), \quad x = 2, 3, \dots, N$
 $Q_y = V_y I_y \sin(\phi_y - \gamma_y), \quad y = 2, 3, \dots, N$
 $Q_z = V_z I_z \sin(\phi_z - \gamma_z), \quad z = 2, 3, \dots, N$
- 最大 3 高調波までの皮相電力:
 $S_x = V_x I_x, \quad x = 2, 3, \dots, N$
 $S_y = V_y I_y, \quad y = 2, 3, \dots, N$
 $S_z = V_z I_z, \quad z = 2, 3, \dots, N$
- 最大 3 高調波までの力率:

$$pf_x = \text{sgn}(Q_x) \times \frac{P_x}{S_x}, \quad x = 2, 3, \dots, N$$

$$pf_y = \text{sgn}(Q_y) \times \frac{P_y}{S_y}, \quad y = 2, 3, \dots, N$$

$$pf_z = \text{sgn}(Q_z) \times \frac{P_z}{S_z}, \quad z = 2, 3, \dots, N$$

- 相電流の全高調波歪み

$$(THD)_I = \frac{\sqrt{I^2 - I_1^2}}{I_1}$$

- 相電圧の全高調波歪み

$$(THD)_V = \frac{\sqrt{V^2 - V_1^2}}{V_1}$$

- 相電流の最大 3 高調波までの高調波歪み

$$HD_{I_x} = \frac{I_x}{I_1}, \quad x = 2, 3, \dots, N$$

$$HD_{I_y} = \frac{I_y}{I_1}, \quad y = 2, 3, \dots, N$$

$$HD_{I_z} = \frac{I_z}{I_1}, \quad z = 2, 3, \dots, N$$

- 相電圧の最大 3 高調波までの高調波歪み

$$HD_{V_x} = \frac{V_x}{V_1}, \quad x = 2, 3, \dots, N$$

$$HD_{V_y} = \frac{V_y}{V_1}, \quad y = 2, 3, \dots, N$$

$$HD_{V_z} = \frac{V_z}{V_1}, \quad z = 2, 3, \dots, N$$

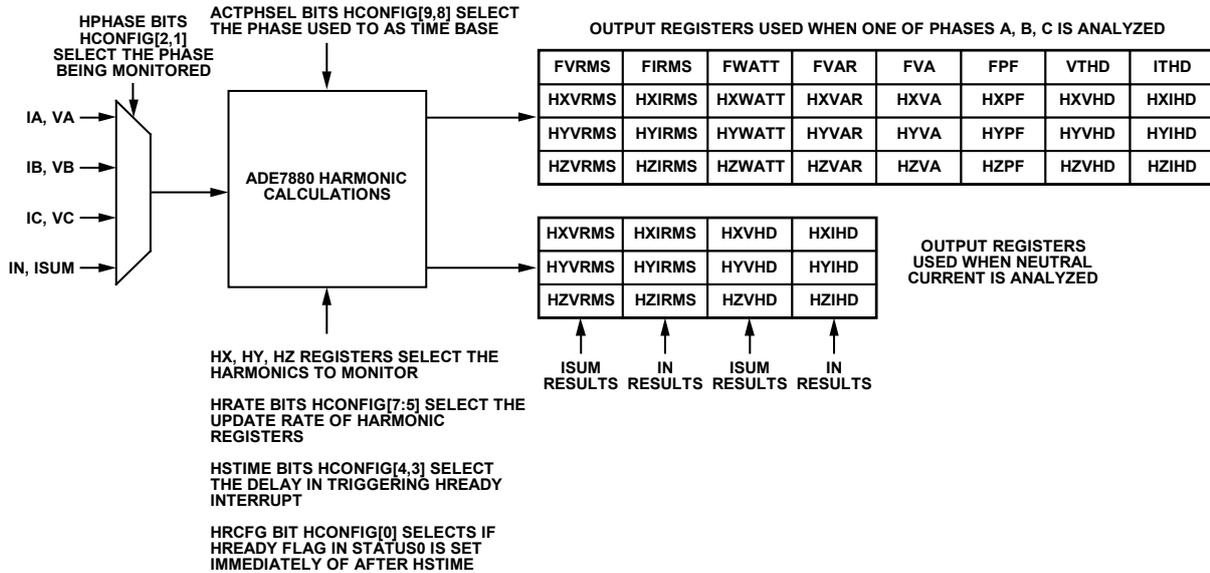


図 82. ADE7880 高調波エンジンのブロック図

中性電流と ISUM レジスタで表される 3 つの相電流の和を解析する場合、両電流に対して次の測定値が計算されます。

- 基本波と最大 2 高調波までの RMS または最大 3 高調波までの rms: $I_x, I_y, I_z, x, y, z = 1, 2, 3, \dots, N$
- 解析した高調波の高調波歪み

高調波計算の設定

ADE7880 では、基準時間を相電圧から取得する必要があります。HCONFIG[15:0]レジスタのビット 9 とビット 8 (ACTPHSEL)によりこの相電圧を選択します。ACTPHSEL = 00 の場合、A 相が使用されます。ACTPHSEL = 01 の場合は B 相が、ACTPHSEL = 10 の場合は C 相が、それぞれ使用されます。基準時間として使用された相電圧がダウンすると、別の相が選択されて、高調波エンジンは正常動作を続けます。

解析対象の相は、HCONFIG[15:0]レジスタのビット 2 とビット 1 (HPHASE)を使って選択します。HPHASE = 00 の場合、A 相をモニタします。HPHASE = 01 の場合は B 相を、HPHASE = 10 の場合は C 相を、それぞれモニタします。HPHASE = 11 の場合、中性電流と ISUM レジスタで表される相電流の和をモニタします。

相モニタ時の高調波計算

相をモニタするとき、基本波情報と最大 3 高調波までの情報を一緒に計算します。ADE7880 が同時にモニタする追加 3 高調波のインデックスは、8 ビット・レジスタ HX、HY、HZ から提供

されます。高調波のインデックスを高調波をモニタするレジスタへ書込むだけで済みます。2 番目の高調波をモニタする場合、2 を書込みます。高調波 51 が必要な場合は、51 を書込みます。基本波成分は常にモニタされ、HX、HY、または HZ に書込まれた値とは無関係です。このため、これらのレジスタの内の 1 つが 1 に設定されると、ADE7880 は基本波成分を複数回モニタします。HX、HY、HZ の各レジスタに許容される最大インデックスは 63 です。減衰なしの通過帯域は 2.8 kHz であり、-3 dB 帯域幅 = 3.3 kHz に対応するため、2800 Hz より下の周波数のすべての高調波が減衰なしでサポートされます。

相電圧と相電流の基本波成分の rms は 24 ビット符号付きレジスタ FVRMS と FIRMS に格納されます。対応するデータ・パスを図 83 に示します。2 乗平均の測定のセクションで示す電流 rms と電圧 rms のデータ・パスと同様に、このデータ・パスには各相の値に対して 24 ビット符号付きオフセット補償レジスタ xIRMSOS、xVRMSOS (x = A、B、C)が含まれています。相電流と相電圧の 3 つの高調波成分の rms は、24 ビット符号付きレジスタ HXVRMS、HXIRMS、HYVRMS、HYIRMS、HZVRMS、HZIRMS に格納されます。対応するデータ・パスを図 84 に示します。24 ビット符号付きオフセット補償レジスタ HXIRMSOS、HYIRMSOS、HZIRMSOS、HXVRMSOS、HYVRMSOS、HZVRMSOS が含まれています。

オフセット補償レジスタを 0 (デフォルト値)のままにしておくことが推奨されます。

10195-057

表 20.A 相、B 相、または C 相を解析時の高調波エンジン出力、および値を格納するレジスタ

数値	定義	ADE7880 レジスタ
基本波成分の RMS	V_1, I_1	FVRMS, FIRMS
高調波成分の RMS	$V_x, I_x, x = 2, 3, \dots, N$	HXVRMS, HXIRMS
	$V_y, I_y, y = 2, 3, \dots, N$	HYVRMS, HYIRMS
	$V_z, I_z, z = 2, 3, \dots, N$	HZVRMS, HZIRMS
基本波成分の有効電力	$P_1 = V_1 I_1 \cos(\phi_1 - \gamma_1)$	FWATT
高調波成分の有効電力	$P_x = V_x I_x \cos(\phi_x - \gamma_x), x = 2, 3, \dots, N$	HXWATT
	$P_y = V_y I_y \cos(\phi_y - \gamma_y), y = 2, 3, \dots, N$	HYWATT
	$P_z = V_z I_z \cos(\phi_z - \gamma_z), z = 2, 3, \dots, N$	HZWATT
基本波成分の無効電力	$Q_1 = V_1 I_1 \sin(\phi_1 - \gamma_1)$	FVAR
高調波成分の無効電力	$Q_x = V_x I_x \sin(\phi_x - \gamma_x), x = 2, 3, \dots, N$	HXVAR
	$Q_y = V_y I_y \sin(\phi_y - \gamma_y), y = 2, 3, \dots, N$	HYVAR
	$Q_z = V_z I_z \sin(\phi_z - \gamma_z), z = 2, 3, \dots, N$	HZVAR
基本波成分の皮相電力	$S_1 = V_1 I_1$	FVA
高調波成分の皮相電力	$S_x = V_x I_x, x = 2, 3, \dots, N$	HXVA
	$S_y = V_y I_y, y = 2, 3, \dots, N$	HYVA
	$S_z = V_z I_z, z = 2, 3, \dots, N$	HZVA
基本波成分の力率	$pf_1 = \text{sgn}(Q_1) \times \frac{P_1}{S_1}$	FPF
高調波成分の力率	$pf_x = \text{sgn}(Q_x) \times \frac{P_x}{S_x}, x = 2, 3, \dots, N$	HXPf
	$pf_y = \text{sgn}(Q_y) \times \frac{P_y}{S_y}, y = 2, 3, \dots, N$	HYPF
	$pf_z = \text{sgn}(Q_z) \times \frac{P_z}{S_z}, z = 2, 3, \dots, N$	HZPF
全高調波歪み	$(THD)_V = \frac{\sqrt{V^2 - V_1^2}}{V_1}$	VTHD
	$(THD)_I = \frac{\sqrt{I^2 - I_1^2}}{I_1}$	ITHD
高調波成分の高調波歪み	$HD_{V_x} = \frac{V_x}{V_1}, HD_{I_x} = \frac{I_x}{I_1}, x = 2, 3, \dots, N$	HXVHD, HXIHD
	$HD_{V_y} = \frac{V_y}{V_1}, HD_{I_y} = \frac{I_y}{I_1}, y = 2, 3, \dots, N$	HYVHD, HYIHD
	$HD_{V_z} = \frac{V_z}{V_1}, HD_{I_z} = \frac{I_z}{I_1}, z = 2, 3, \dots, N$	HZVHD, HZIHD

表 21. 中性電流と ISUM を解析時の高調波エンジン出力、および値を格納するレジスタ

数値	定義	ADE7880 レジスタ
中性電流の高調波成分(基本波を含む)の RMS	$I_x, x = 1, 2, 3, \dots, N$	HXIRMS
	$I_y, y = 1, 2, 3, \dots, N$	HYIRMS
	$I_z, z = 1, 2, 3, \dots, N$	HZIRMS
ISUM の高調波成分(基本波を含む)の RMS	$ISUM_x, x = 1, 2, 3, \dots, N$	HXVRMS
	$ISUM_y, y = 1, 2, 3, \dots, N$	HYVRMS
	$ISUM_z, z = 1, 2, 3, \dots, N$	HZVRMS
中性電流の高調波成分(基本波を含む)の高調波歪み(これらの計算を実行するときは HX レジスタに 1 を設定する必要があることに注意してください)。	$HD_{I_x} = \frac{I_x}{I_1}, x = 1, 2, 3, \dots, N$	HXIHD
	$HD_{I_y} = \frac{I_y}{I_1}, y = 1, 2, 3, \dots, N$	HYIHD
	$HD_{I_z} = \frac{I_z}{I_1}, z = 1, 2, 3, \dots, N$	HZIHD
ISUM の高調波成分(基本波を含む)の高調波歪み(これらの計算を実行するときは HX レジスタに 1 を設定する必要があることに注意してください)。	$HD_{ISUM_x} = \frac{ISUM_x}{ISUM_1}, x = 1, 2, 3, \dots, N$	HXVHD
	$HD_{ISUM_y} = \frac{ISUM_y}{ISUM_1}, y = 1, 2, 3, \dots, N$	HYVHD
	$HD_{ISUM_z} = \frac{ISUM_z}{ISUM_1}, z = 1, 2, 3, \dots, N$	HZVHD

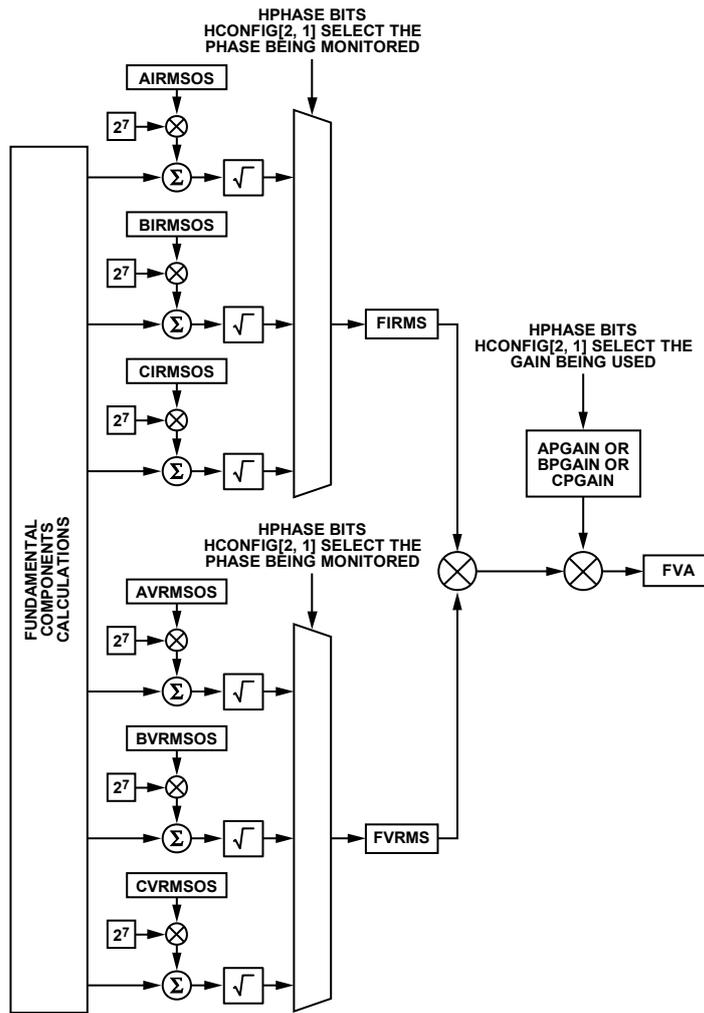


図 83.基本波 RMS の信号処理

基本波成分の有効、無効、皮相電力は、24 ビット符号付きレジスタ FWATT、FVAR、FVA に格納されます。図 85 に対応するデータ・パスを示します。3 つの高調波成分の有効、無効、皮相電力は、24 ビット符号付きレジスタ HXWATT、HXVAR、HXVA、HYWATT、HYVAR、HYVA、HZWATT、HZVAR、HZVA に格納されます。図 86 に対応するデータ・パスを示します。

基本波成分の力率は 24 ビット符号付きレジスタ FPF に格納されます。3 つの高調波成分の力率は、24 ビット符号付きレジスタ HXPF、HYPF、HZPF に格納されます。

基本波成分の rms および相電流と相電圧の rms を使って計算される全高調波歪比は (これらの測定値の詳細については、2 乗平均のセクション参照)、24 ビット・レジスタ VTHD と ITHD に 3.21 符号付きフォーマットで格納されます。これは、比が +3.9999 に制限され、これより大きいすべての結果がこの値へクランプされることを意味します。

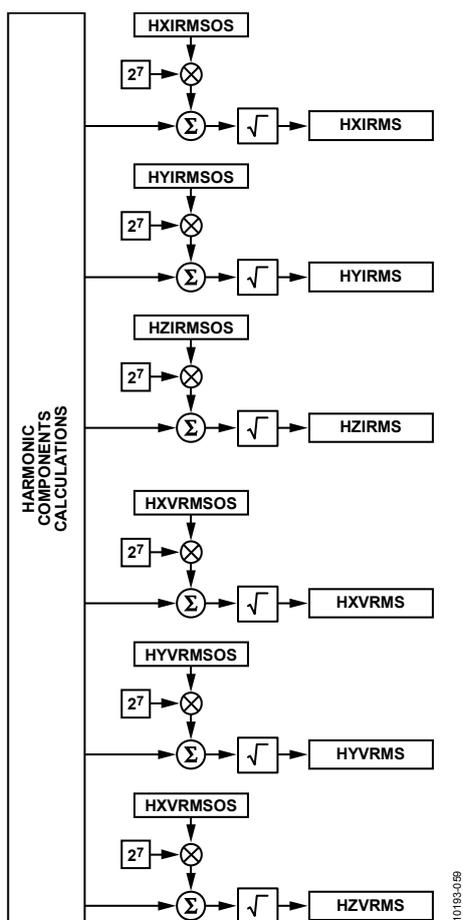


図 84.高調波 RMS の信号処理

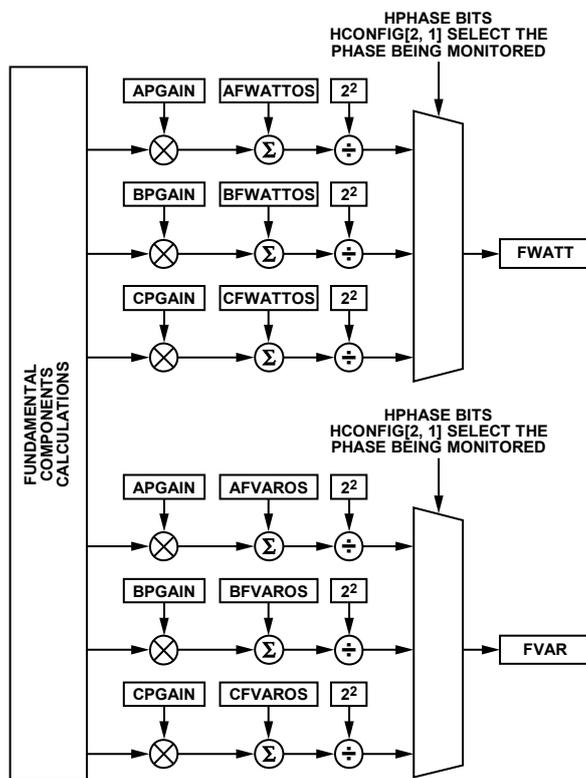


図 85.基本波有効/無効電力の信号処理

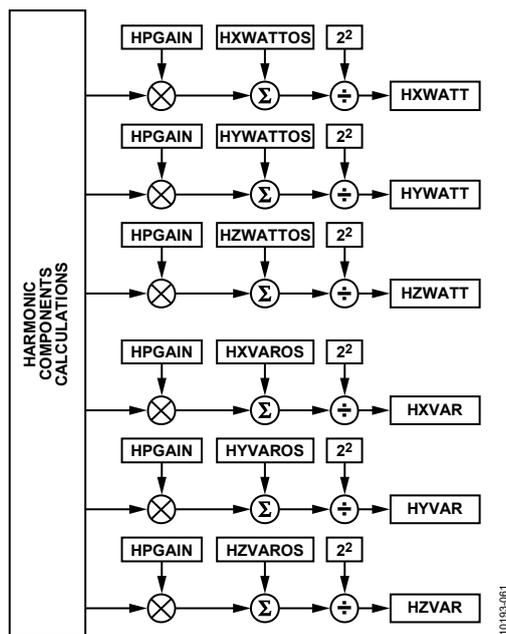


図 86. 高調波有効/無効電力の信号処理

3 つの高調波成分の高調波歪みは、24 ビット・レジスタ HXVHD、HXIHD、HYVHD、HYIHD、HZVHD、HZIHD へ 3.21 符号付きフォーマットで格納されます。これは、比は+3.9999 に制限され、これより大きいすべての結果はこの値へクランプされることを意味します。

参考用として、表 20 に 1 つの相を解析するときの ADE7880 高調波エンジン出力と出力を格納するレジスタを示します。

中性モニタ時の高調波計算

中性電流と相電流の和をモニタするとき、高調波 rms に関係するレジスタのみが更新されます。

レジスタ HX、HY、HZ で、基本波を含む高調波のインデックスを指定します。相を解析する場合、基本波 rms 値を連続して計算し、その結果を専用レジスタ FIRMS と FVRMS に格納します。中性を解析する場合、高調波インデックス・レジスタ HX、HY、HZ の内の 1 つを 1 に設定して基本波情報を計算して、結果を高調波レジスタに格納します。HX、HY、HZ の各レジスタに許容される最大インデックスは 63 です。減衰なしの通過帯域は 2.8 kHz であり、-3 dB 帯域幅 = 3.3 kHz に対応するため、2800 Hz より下の周波数のすべての高調波が減衰なしでサポートされます。

HXIRMS、HYIRMS、HZIRMS の各レジスタは、中性電流の高調波 rms 成分を格納し、HXVRMS、HYVRMS、HZVRMS の各レジスタは ISUM の高調波 rms 成分を格納します。この場合、基本波成分の rms は計算されないため FIRMS レジスタまたは FVRMS レジスタに格納されませんが、インデックス・レジスタ HX、HY、HZ の内の 1 つが 1 に初期化される場合には計算されることに注意してください。

HX レジスタが 1 に初期化されると、ADE7880 は HY レジスタと HZ レジスタで指定される他の高調波の高調波歪みを計算して、結果を 3.21 符号付きフォーマットで 24 ビット・レジスタ HYVHD、HYIHD、HZVHD、HZIHD に格納します。中性電流の歪みは HYIHD レジスタと HZIHD レジスタに保存され、ISUM の歪みは HYVHD レジスタと HZVHD レジスタへ保存されます。HX は 1 に設定されるため、HXIHD レジスタと HXVHD レジスタの値は 0x1FFFFFF になります。この値は、3.21 符号付きフォーマットで表した 1 です。

参考用として、表 21 に中性電流と ISUM を解析するときの ADE7880 高調波エンジン出力と出力を格納するレジスタを示します。

高調波計算更新レートの設定

ADE7880 の高調波エンジンは、8 kHz レートで動作します。HCONFIG レジスタが初期化され、高調波インデックスが HX、HY、HZ の各インデックス・レジスタへ設定されたタイミングから仕様パラメータ以内に安定するまでに、ADE7880 の計算には 750 ms (typ)を要します。

高調波エンジン出力レジスタの更新レートは HCONFIG レジスタのビット[7:5] (HRATE)から制御され、エンジンの計算レート 8 kHz から独立しています。デフォルト値 000 では、レジスタは 125 μsec (8 kHz レート)ごとに更新されます。その他の更新周期は、250 μsec (HRATE = 001)、1 ms (010)、16 ms (011)、128 ms (100)、512 ms (101)、1.024 sec (110)です。HRATE ビットが 111 の場合、高調波計算はディスエーブルされます。

ADE7880 は、高調波計算を制御する 2 つの方法を提供します。1 つ目の方法は、HCONFIG レジスタのビット 0 (HRCFG)がデフォルト値 0 へクリアされたときイネーブルされて、所定時間経過後に STATUS0 レジスタのビット 19 (HREADY)を 1 に設定して、その後高調波計算は HRATE 周波数で更新されます。この方法では、高調波計算が安定した後に外部マイクロコントローラからアクセスすることができます。時間周期は、HCONFIG レジスタのビット[4:3] (HSTIME)の状態により指定されます。デフォルト値 01 では時間 750 ms が設定され、これが高調波計算のセトリング・タイムになります。設定可能なその他の値は、500 ms (HSTIME = 00)、1 sec (10)、1250 ms (11)です。

2 つ目の方法は、HCONFIG レジスタのビット 0 (HRCFG)が 1 に設定されたときイネーブルされて、高調波計算が HRATE ビットで指定される更新周波数で更新されるごとに、かつ高調波計算の安定を待たないで、STATUS0 レジスタのビット 19 (HREADY)が 1 に設定されます。この方法では、高調波計算が開始された直後に外部マイクロコントローラからアクセスすることができます。MASK0 割込みマスク・レジスタの対応するマスク・ビットがイネーブルされている場合、IRQピンもアクティブ・ローになります。対応するビットを 1 に設定して

STATUS0 レジスタへ書込みを行うと、ステータス・ビットがクリアされ、IRQピンがハイ・レベルになります。

さらに、ADE7880 は HREADY と呼ばれる周期的出力信号を CF2/HREADY ピンに出力し、高調波レジスタで高調波計算が更新されたタイミングに同期しています。CONFIG レジスタのビット 2 (CF2DIS) が 1 に設定されると、この機能が選択されます。CF2DIS が 0 (デフォルト値) に設定されると、周波数コンバータ出力への CF2 電力量が CF2/HREADY ピンに出力されます。この信号のデフォルト状態はハイ・レベルです。HCONFIG レジスタの HRATE ビットに基づいて高調波レジスタが更新されるごとに、信号 HREADY は約 10 μ sec 間ロー・レベルになった後にハイ・レベルへ戻ります。HCONFIG レジスタのビット 0 (HRCFG) が 0 に設定されると、すなわち高調波計算が開始された直後に HRATE 周期ごとに、STATUS1 レジスタの HREADY ビットが 1 に設定されると、信号 HREADY が同期してハイ・レベルからロー・レベルへトグルして元に戻ります。HRCFG ビットが 1 に設定されると、すなわち HSTIME 周期後に STATUS1 レジスタのビット HREADY が 1 に設定されると、HREADY 信号が同期してハイ・レベルからロー・レベルへトグルして元に戻ります。HREADY 信号を使うと、MASK1 レジスタの HREADY 割込みを使用することなく、高調波レジスタへ高速にアクセスすることができます。

高調波計算が格納されているレジスタの高速読出しを可能にするため、シリアル・インターフェースに特別なバースト・レジスタ読出しを設けてあります。詳細については、高調波計算レジスタに対する I²C 読出し動作と SPI 読出し動作のセクションを参照してください。

高調波計算の推奨制御方法

ADE7880 高調波計算の推奨制御方法を次に示します。

- CONFIG レジスタのビット 2 (CF2DIS) を設定します。CF2DIS ビットを 1 に設定して、高調波計算が終了して更新されたタイミングを CF2/HREADY ピンを使って知らせます。HREADY 信号のハイ・レベルからロー・レベルへの変化が、高調波レジスタを読出すタイミングを表します。バースト読出しモードを使用して、高調波レジスタを読出します。これが最も効率の良い読出し方法です。
- HX、HY、HZ を適切に設定してモニタ対象の高調波を選択してください。
- すべての HCONFIG レジスタ・ビットを選択します。
- 高調波計算で使用するゲイン・レジスタを初期化します。オフセット・レジスタを 0 のままにします。
- CF2/HREADY ピンのハイ・レベルからロー・レベルへの変化でバーストまたは通常読出しモードを使って高調波情報が格納されているレジスタを読出します。

波形サンプリング・モード

電流波形／電圧波形の波形サンプルおよび有効／無効／皮相電力出力は 125 μ s (8 kHz レート) ごとに 24 ビット符号付きレジスタに格納されます。これらのレジスタは ADE7880 の種々のシリアル・ポートからアクセスすることができます。表 22 に、レジスタの一覧とその説明を示します。

表 22. 波形レジスタの一覧

レジスタ	説明
IAWV	A 相電流
VAWV	A 相電圧
IBWV	B 相電流
VBWV	B 相電圧
ICWV	C 相電流
VCWV	C 相電圧
INWV	中性電流
AVA	A 相皮相電力
BVA	B 相皮相電力
CVA	C 相皮相電力
AWATT	A 相有効電力
BWATT	B 相有効電力
CWATT	C 相有効電力

STATUS0 レジスタのビット 17 (DREADY) を使って、I²C または SPI シリアル・ポートから表 22 に示すレジスタを読出すタイミングを知らせることができます。MASK0 レジスタのビット 17 (DREADY) をセットすると、このフラグに対応する割込みをイネーブルすることができます。DREADY ビット機能の詳細については、デジタル信号プロセッサのセクションを参照してください。

ADE7880 は、波形サンプル・レジスタへの高速アクセスを提供するように特別にデザインされた高速データ・キャプチャ (HSDC) ポートを内蔵しています。詳細については、HSDC インターフェースのセクションを参照してください。

電流波形ゲイン・レジスタのセクションで説明したように、ADE7880 のシリアル・ポートは 32 ビット、16 ビット、または 8 ビット・ワードで動作します。表 22 に示すすべてのレジスタは、24 ビットから 32 ビットへの符号拡張で送信されます(図 44 参照)。

電力量／周波数変換

ADE7880 には CF1、CF2、CF3 の 3 本の周波数出力ピンがあります。CF2 ピンは、高調波計算ブロックの HREADY ピンと共用されています。HREADY をイネーブルすると、このピンで CF2 機能がディスエーブルされます。CF3 ピンは、HSDC インターフェースの HSCLK ピンと共用されています。HSDC をイネーブルすると、このピンで CF3 機能がディスエーブルされます。CF1 ピンは常に使用可能です。出荷時の初期キャリブレーション後、メーカーまたは最終顧客が電力量計のキャリブレーションを確認することができます。メーカーにとって測定器のキャリブレーションを行う便利な方法は、定常負荷条件での有効／無効／皮相電力に比例する出力周波数を提供することです。この出力周波数を使うと、外部キャリブレーション装置に対する簡素な 1 線式の光アイソレーション・インターフェースを提供することができます。図 87 に、ADE7880 の電力量／周波数変換機能を示します。

DSP はすべての相電力すなわち総合有効、基本波有効、基本波無効、皮相の瞬時値を計算します。電力量が種々の xWATTHR、xFVARHR、xVAHR レジスタに符号付きで積算されるプロセスについては、電力量計算のセクションすなわち有効電力量の計算、基本波無効電力量の計算、皮相電力量計算で説明しました。電力量/周波数変換プロセスでは、瞬時電力により周波数出力ピン(CF1、CF2、CF3)に信号を発生させます。各 CFx ピンに 1 個のデジタル/周波数コンバータを使用しています。各コンバータは所定の相電力を加算して、和に比例する信号を発生します。2 セットのビットで変換する電力を指定します。

まず、COMPmode レジスタのビット[2:0] (TERMSEL1[2:0])、ビット[5:3] (TERMSEL2[2:0])、ビット[8:6] (TERMSEL3[2:0])により、加算する相または相の組み合わせを指定します。

TERMSEL1 ビットは CF1 ピンを、TERMSEL2 ビットは CF2 ピンを、TERMSEL3 ビットは CF3 ピンを、それぞれ参照します。

表 23.CFxSEL ビットの説明

CFxSEL	説明	CFxLATCH = 1 のときラッチされるレジスタ
000	総合相有効電力の和に比例する CFx 信号	AWATTHR, BWATTHR, CWATTHR
001	予約済み	
010	相皮相電力の和に比例する CFx 信号	AVAHR, BVAHR, CVAHR
011	基本波相有効電力の和に比例する CFx 信号	AFWATTHR, BFWATTHR, CFWATTHR
100	基本波相無効電力の和に比例する CFx 信号	AFVARHR, BFVARHR, CFVARHR
101~111	予約済み	

TERMSELx[0]ビットは A 相を制御します。1 に設定すると、CFx コンバータで A 相電力が電力の和に含まれます。0 にクリアすると、A 相電力は含まれません。TERMSELx[1]ビットは B 相を、TERMSELx[2]ビットは C 相をそれぞれ制御します。すべての TERMSELx ビットを 1 に設定すると、3 相すべての電力が CFx コンバータで加算されます。すべての TERMSELx ビットを 0 にクリアすると、加算される相電力がなく、CF パルスが発生されません。

2 つ目は、CFMODE レジスタのビット[2:0] (CF1SEL[2:0])、ビット[5:3] (CF2SEL[2:0])、ビット[8:6] (CF3SEL[2:0])により、それぞれ CF1、CF2、CF3 コンバータ入力で使用する電力タイプを指定します。表 23 に、CFxSEL で可能な値、すなわち総合有効、皮相、基本波有効、または基本波無効電力を示します。

デフォルトでは、TERMSELx ビットはすべて 1 に、CF1SEL ビットは 000 に、CF2SEL ビットは 100 に、CF3SEL ビットは 010 に、それぞれ設定されます。これは、デフォルトでは、CF1 デジタル/周波数コンバータがすべての 3 相総合有効電力の和に比例する信号を、CF2 が基本波無効電力に比例する信号を、CF3 が皮相電力に比例する信号を、それぞれ発生することを意味します。

電力量積算プロセスと同様に、電力量/周波数変換は 2 ステージで実行されます。最初のステージは、有効、無効、皮相電力の電力量積算セクションでの説明と同じステージです(有効電力量の計算、基本波無効電力量の計算、皮相電力量計算の各セクション参照)。2 番目のステージは、16 ビット符号なしレジスタ CFxDEN による周波数分周器から構成されています。CFxDEN の値は、インパルス数/kWh で測定されるメータ定数(MC)と xWATTHR、xFVARHR などの種々の電力量レジスタの 1 LSB に割り当てる電力量に依存します。n を正または負の整数として、Wh [10ⁿ Wh]の微分を xWATTHR レジスタの 1 LSB とする場合、CFxDEN は次のようになります。

$$CFxDEN = \frac{10^3}{MC[imp/kwh] \times 10^n} \quad (49)$$

wh の微分は CFxDEN レジスタ値が 1 より大きくなるように選択する必要があります。CFxDEN = 1 の場合、CFx ピンはわずか 1 μs 間だけアクティブ・ローを維持します。このため、CFxDEN レジスタに 1 を設定しないようにする必要があります。周波数コンバータは非整数の結果に対応できません。除算の結果は最寄りの整数に丸め処理しておく必要があります。CFxDEN = 0 の場合、ADE7880 はこれを 1 と見なします。

パルス周期が 160 ms (6.25 Hz)より長い場合、CFx パルス出力は 80 ms 間ロー・レベルを維持します。パルス周期が 160 ms より短く、かつ CFxDEN が偶数値の場合、パルス出力のデューティ・サイクルは 50%になります。パルス周期が 160 ms より短く、かつ CFxDEN が奇数値の場合、パルス出力のデューティ・サイクルは、

$$(1+1/CFxDEN) \times 50\%$$

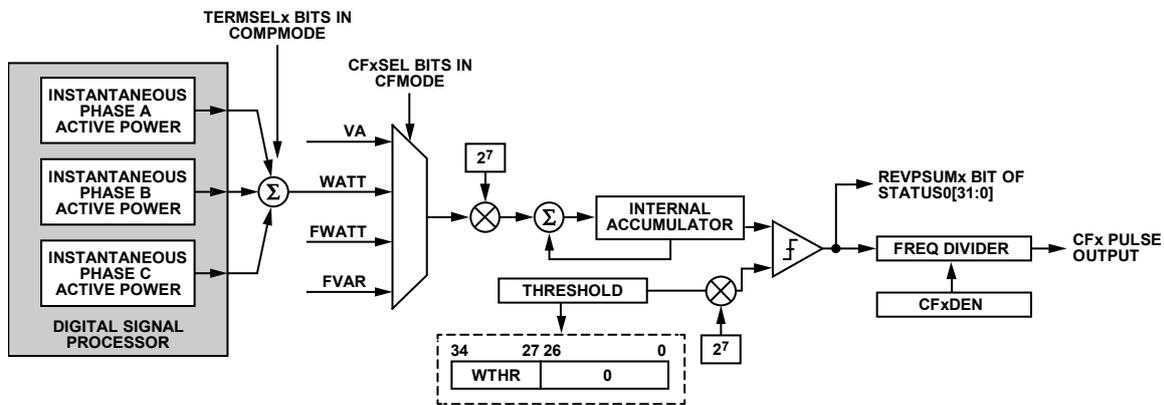


図 87. 電力量/周波数変換

10193-062

CFx パルス出力はアクティブ・ローであるため、LED に接続することができます(図 88 参照)。

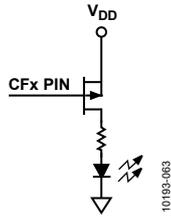


図 88.CFx ピンの推奨接続

CFMODE レジスタのビット[11:9] (CF3DIS、CF2DIS、CF1DIS) が、周波数コンバータ出力を CF3 ピン、CF2 ピン、または CF1 ピンのいずれに発生させるかを指定します。ビット CFxDIS が 1 に設定されると(デフォルト値)、CFx ピンがディセーブルされて、ピンはハイ・レベルを維持します。ビット CFxDIS が 0 にクリアされると、対応する CFx ピン出力がアクティブ・ロー信号を発生します。

割込みマスク・レジスタ MASK0 のビット[16:14] (CF3、CF2、CF1)により、CF3、CF2、CF1 関連の割込みを制御します。対応する周波数コンバータ出力でハイ・レベルからロー・レベルへの変化が発生するごとに CFx ビットがセットされると、割込み IRQ0が発生して、STATUS0 レジスタのステータス・ビットが 1 に設定されます。CFMODE レジスタの CFxDIS ビットにより CFx 出力がイネーブルされていない場合でも、割込みを使用することができます。

電力量レジスタと CFx 出力の同期化

ADE7880 は相電力量積算レジスタ値を CFx パルスの発生に同期化させる機能を内蔵しています。1 つの周波数コンバータ出力でハイ・レベルからロー・レベルへの変化が発生すると、CFx ピンから出力される電力に関するすべての内部相電力量レジスタ値が時間レジスタへラッチされた後に 0 へリセットされます。CFMODE レジスタの CFxSEL[2:0]ビットに基づいてラッチされるレジスタの一覧については表 23 を参照してください。すべての 3 相レジスタが COMPMODE レジスタの TERMSELx ビットとは無関係にラッチされます。CF1SEL[2:0] = 010 (CF1 ピンに皮相電力)かつ CFCYC = 2 に対するプロセスを図 89 に示します。

8 ビット符号なしレジスタ CFCYC は、連続する 2 つのラッチの間の周波数コンバータ出力でのハイ・レベルからロー・レベルへの変化数を格納します。すべての CFx ピンのハイ・レベルからロー・レベルへの変化時に、CFCYC レジスタへ新しい値を書込まないでください。

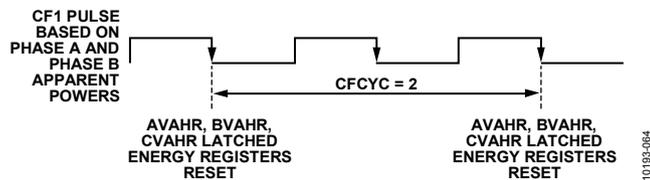


図 89.AVAHR および BVAHR と CF1 との同期化

CFMODE レジスタのビット[14:12] (CF3LATCH、CF2LATCH、CF1LATCH)が 1 に設定されると、このプロセスがイネーブルされます。0 (デフォルト状態)にクリアされると、ラッチは発生しません。CFMODE レジスタの CFxDIS ビットにより CFx 出力がイネーブルされていない場合でも、このプロセスを使用することができます。

様々な積算モードに対する電力量レジスタと CF 出力

CFx ピンで有効電力に比例する信号が選択されたとき(CFMODE レジスタの CFxSEL[2:0]ビット = 000 または 011)、ACCMODE レジスタのビット[1:0] (WATTACC[1:0])により、総合および基本波有効電力の積算モードが指定されます。またこれらのビットにより、watt-hour 電力量レジスタ (AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR)の積算モードも指定されます。WATTACC[1:0] = 00 (デフォルト値)の場合、有効電力は符号付きで watt-hour レジスタに積算された後に電力量/周波数コンバータへ入力されます。図 90 に、符号付き有効電力積算の動作を示します。このモードでは、CFx パルスが xWATTHR レジスタに積算されている有効電力量と完全に同期化されています。これは、両電力が両データ・パス内で符号付きで積算されているためです。

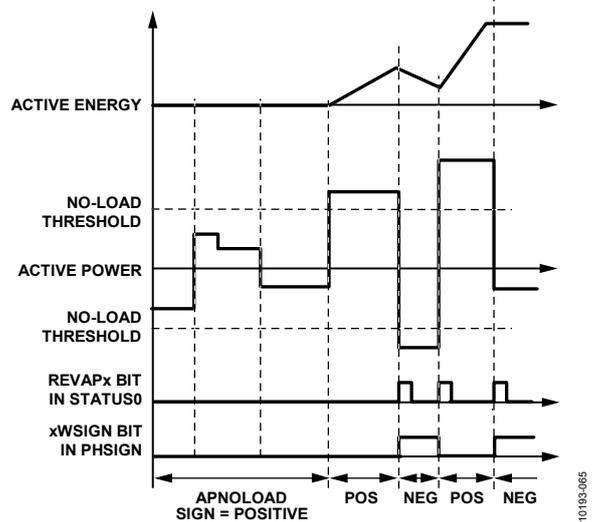


図 90.有効電力符号付き積算モード

WATTACC[1:0] = 01 の場合、有効電力は正側専用モードで積算されます。電力が負の場合、watt-hour 電力量レジスタは積算されません。CFx パルスは、符号付き積算モードに基づいて発生されます。このモードでは、CFx パルスが xWATTHR レジスタに積算されている有効電力量と完全に同期化されていません。これは、両電力が各データ・パス内で異なる方法で積算されているためです。図 91 に、正側専用有効電力積算の動作を示します。

WATTACC[1:0] = 10 の設定は予約済みで、ADE7880 は WATTACC[1:0] = 00 の場合と同じ動作をします。

WATTACC[1:0] = 11 の場合、有効電力は絶対値モードで積算されます。電力が負の場合、符号を変えて watt-hour レジスタに正電力と一緒に積算した後に、電力量/周波数コンバータへ入力させます。このモードでは、CFx パルスが xWATTHR レジスタに積算されている有効電力量と完全に同期化されています。これは、両電力が両データ・パス内で同じ方法で積算されているためです。図 92 に、絶対有効電力積算の動作を示します。

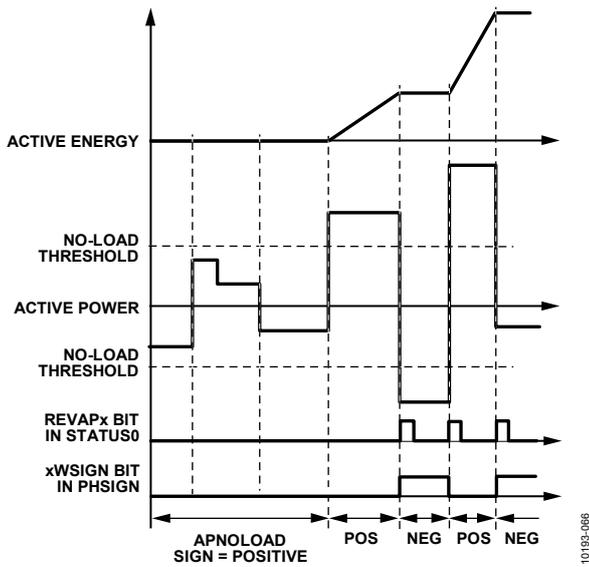


図 91.有効電力正側専用積算モード

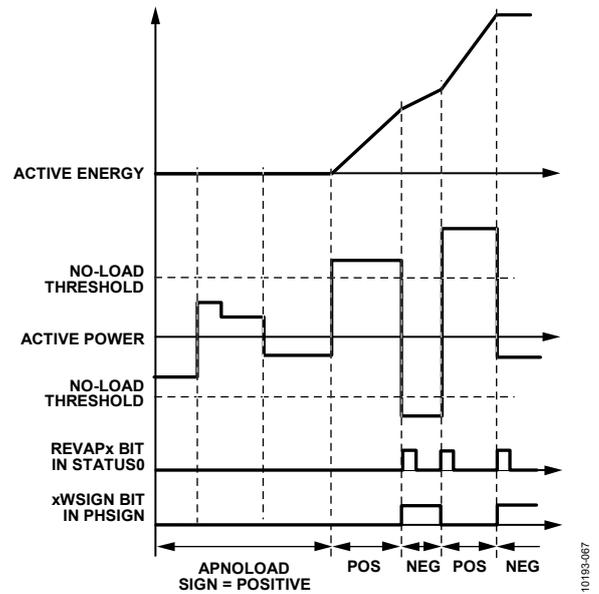


図 92.有効電力絶対積算モード

CFx ピンで基本波無効電力に比例する信号が選択されたとき (CFMODE レジスタの CFxSEL[2:0]ビット = 100)、ACCMODE レジスタのビット[3:2] (VARACC[1:0])により基本波無効電力の積算モードが指定されます。VARACC[1:0] = 00 (デフォルト値)の場合、基本波無効電力が var-hour 電力量レジスタに符号付き積算された後に電力量/周波数コンバータへ入力されます。図 93 に符号付き基本波無効電力積算の動作を示します。このモードでは、CFx パルスが xFVARHR レジスタに積算される基本波無効電力量と完全に同期化されています。これは、両電力が両データ・パス内で符号付き積算されているためです。

VARACC[1:0] = 01 の設定は予約済みで、ADE7880 は VARACC[1:0] = 00 の場合と同じ動作をします。

VARACC[1:0] = 10 の場合、基本波無効電力が対応する有効電力の符号に応じて var-hour 電力量レジスタに積算された後に電力量/周波数コンバータへ入力されます。基本波有効電力が正の場合、または無負荷スレッシュホールドより低いときに 0 と見なされる場合、基本波無効電力はそのまま積算されます。基本波有効電力が負の場合、基本波無効電力の符号を変えて積算します。図 94 に、符号を変更する基本波無効電力積算モードの動作を示します。このモードでは、CFx パルスが xFVARHR レジスタに積算されている基本波有効電力量と完全に同期化されています。これは、両電力が両データ・パス内で同じ方法で積算されているためです。

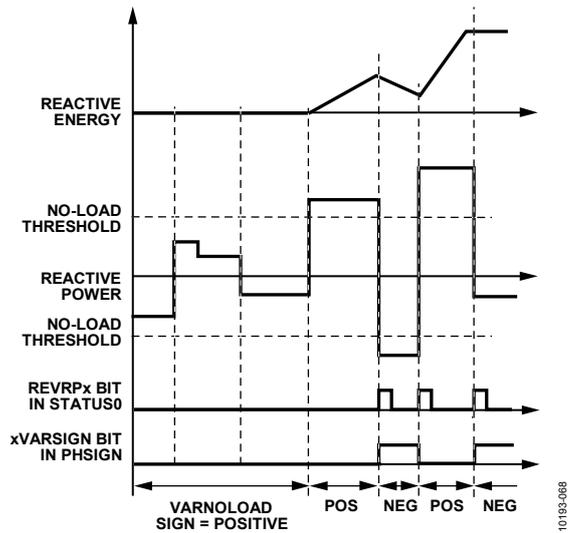


図 93.基本波無効電力符号付き積算モード

VARACC[1:0] = 11 の場合、基本波無効電力が絶対値モードで積算されます。電力が負の場合、符号を変えて var-hour レジスタに正電力と一緒に積算されます。CFx パルスは、符号付き積算モードに基づいて発生されます。このモードでは、CFx パルスが xVARHR レジスタに積算されている基本波無効電力量と完全に同期化されていません。これは、両電力が各データ・パス内で異なる方法で積算されているためです。図 95 に、絶対モード基本波無効電力積算の動作を示します。

CFx データ・パスでの相電力和の符号

ADE7880 は、CFx データ・パスで使用される相電力和の符号検出回路を内蔵しています。電力量/周波数変換のセクションのはじめに示すように、CFx データ・パスの電力量積算は 2 ステージで実行されます。最初のステージの終わりの電力量積算で符号変化が検出されることに、アキュムレータに積算された電力量が WTHR、VARTHR、または VATHR スレッシュホールドに到達した後に、対応する CFx パルスと同期して専用割込みを発生させることができます。各和の符号は、PHSIGN レジスタから読出すことができます。

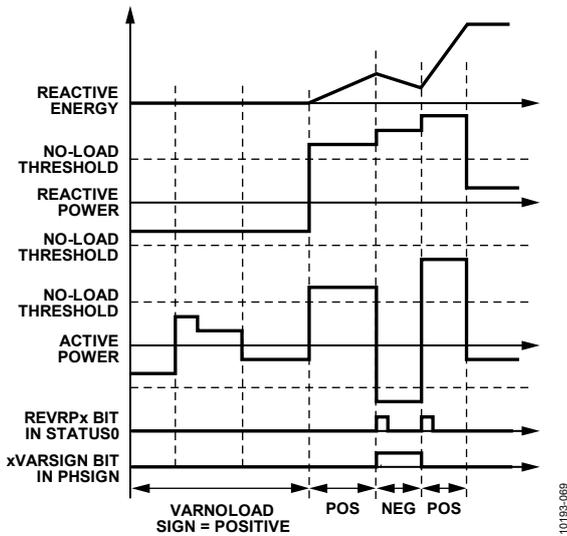


図 94.符号調整モードでの基本波無効電力積算

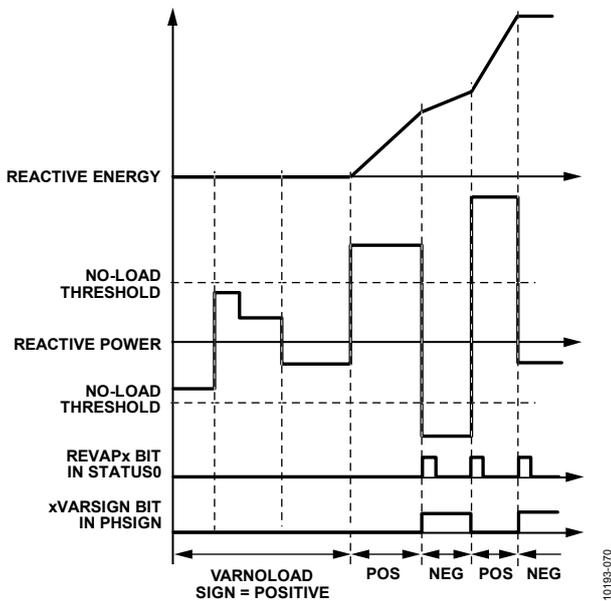


図 95.絶対モードでの基本波無効電力積算

CF3、CF2、または CF1 データ・パスで電力和の符号変化が発生すると、STATUS0 レジスタのビット 18、ビット 13、ビット 9 (それぞれ REVPSUM3、REVPSUM2、REVPSUM1) が 1 に設定されます。符号変化発生後に、CFx ピンで発生したパルスとこれらのイベントを対応させるために、ビット REVPSUM3、ビット REVPSUM2、ビット REVPSUM1 をそれぞれ CF3、CF2、CF1 ピンでのハイ・レベルからロー・レベルへの変化と同じタイミングで設定されます。

PHSIGN レジスタのビット 8、ビット 7、ビット 3 (それぞれ SUM3SIGN、SUM2SIGN、SUM1SIGN) が、ビット REVPSUM3、ビット REVPSUM2、ビット EVPSUM1 と同じタイミングで設定されて、相電力の和の符号を表示します。0 にクリアされると、和は正です。1 に設定されると、和は負です。

MASK0 レジスタのビット 18、ビット 13、ビット 9 をセットすると、STATUS0 レジスタのビット 18、ビット 13、ビット 9 (それぞれ REVPSUM3、REVPSUM2、REVPSUM1) に対応する割込みがイネーブルされます。イネーブルした場合、符号変化が発生すると、IRQ0 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相を知るためには、STATUS0 レジスタを読み出した直後に PHSIGN レジスタを読み出します。次に、対応するステータス・ビットを 1 に設定して STATUS0 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ0 ピンがハイ・レベルに戻ります。

無負荷状態

無負荷状態とは、測定装置の規格の中で、電圧が測定器に加えられても電流回路に電流が流れないときに発生することとして定義されます。測定器内でのクリープ効果をなくすため、ADE7880 は総合有効電力、基本波有効/無効電力、皮相電力に関する 3 種類の無負荷検出回路を内蔵しています。

総合有効電力と皮相電力に基づく無負荷検出

この無負荷状態では、総合有効電力量と皮相電力量を使ってこの無負荷状態を発生させます。皮相電力量は、対応する相電流と電圧の rms 値に比例します。総合有効電力量または皮相電力量がそれぞれ APNOLOAD および VANOLOAD の符号なし 16 ビット・レジスタで指定された時間の間積算されない場合、無負荷状態が発生し、その相の総合有効電力量が積算されず、総合有効電力量に基づいて CFx パルスも発生されません。

APNOLOAD と VANOLOAD 符号なし 16 ビット値の計算に使う式は、

$$APNOLOAD = 2^{16} \frac{Y \times WTHR \times 2^{17}}{P_{MAX}}$$

$$VANOLOAD = 2^{16} \frac{Y \times VATHR \times 2^{17}}{P_{MAX}} \tag{50}$$

ここで、Y は、フルスケールに対して計算された所要無負荷電流スレッシュヨールド。例えば、無負荷スレッシュヨールド電流をフルスケール値の 1/10,000 より小さく設定すると、Y = 10,000 になります。

WTHR と VATHR は WTHR レジスタと VATHR レジスタに格納されている値を表し、最初のステージの電力量アキュムレータでそれぞれ有効電力量と皮相電力量に対するスレッシュヨールドとして使用されます (有効電力量の計算のセクション参照)。
 $P_{MAX} = 27,059,678 = 0x19CE5DE$ 、ADC 入力のフルスケール時に計算された瞬時有効電力

VANOLOAD レジスタは通常、APNOLOAD レジスタと同じ値を格納します。APNOLOAD と VANOLOAD に 0x0 を設定すると、無負荷検出回路がディスエーブルされます。VANOLOAD のみに 0 を設定すると、総合有効電力が APNOLOAD より低いことにのみ基づいて無負荷状態が発生します。同じ方法で、APNOLOAD のみに 0x0 を設定すると、皮相電力が VANOLOAD より低いことにのみ基づいて無負荷状態が発生します。

3 相の内の 1 相で無負荷状態になると、STATUS1 レジスタのビット 0 (NLOAD) がセットされます。PHNOLOAD レジスタのビット [2:0] (NLPHASE[2:0]) は、無負荷状態に関係するすべての相の状態を表示し、STATUS1 レジスタのビット NLOAD が同時にセットされます。NLPHASE[0] は A 相の状態を、NLPHASE[1] は B 相の状態を、NLPHASE[2] は C 相の状態を、それぞれ表します。ビット NLPHASE[x] が 0 にクリアされると、その相が無負荷状態から抜け出したことを意味します。1 に設定されると、その相が無負荷状態にあることを意味します。

MASK1 レジスタのビット 0 をセットして、STATUS1 レジスタのビット 0 (NLOAD) に対応する割込みをイネーブルすることができます。イネーブルした場合、3 相の内の 1 相が無負荷状態を開始または終了すると、IRQ1 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相を知るためには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。次に、対応するステータス・ビットを 1 に設定して STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルになります。

基本波有効と無効電力に基づく無負荷検出

この無負荷状態は、1 つの相 (xFWATTHR と xFVARHR、x = A、B、または C) の基本波有効電力量レジスタと基本波無効電力量レジスタで下位ビットが、それぞれ APNOLOAD と VANOLOAD の符号なし 16 ビット・レジスタで指定される時間の間積算されない場合に発生します。このケースでは、その相の基本波有効／無効電力量が積算されず、これらの電力量に基づく CFx パルスが発生されません。APNOLOAD は、総合有効電力に設定された同じ無負荷スレッシュホールドです。VANOLOAD レジスタは通常、APNOLOAD レジスタと同じ値を格納します。APNOLOAD にのみ 0x0 を設定すると、基本波有効電力が制約なしで積算されます。同様に、VANOLOAD にのみ 0x0 を設定すると、基本波無効電力が制約なしで積算されます。

3 相の内の 1 相で無負荷状態になると、STATUS1 レジスタのビット 1 (FNLOAD) がセットされます。PHNOLOAD レジスタのビット [5:3] (FNLPHASE[2:0]) は、無負荷状態に関係するすべての相の状態を表示し、STATUS1 レジスタのビット FNLOAD が同時に設定されます。FNLPHASE[0] は A 相の状態を、FNLPHASE[1] は B 相の状態を、FNLPHASE[2] は C 相の状態を、それぞれ表します。ビット FNLPHASE[x] が 0 にクリアされると、その相が無負荷状態から抜け出したことを意味します。1 に設定されると、その相が無負荷状態にあることを意味します。

MASK1 レジスタのビット 1 を設定して、STATUS1 レジスタのビット 1 (FNLOAD) に対応する割込みをイネーブルすることができます。イネーブルした場合、3 相の内の 1 相が無負荷状態を開始または終了すると、IRQ1 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相を知るためには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。対応するビットを 1 に設定して STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルに戻ります。

皮相電力に基づく無負荷検出

この無負荷状態は、1 つの相 (xVAHR、x = A、B、C) の皮相電力量レジスタで、符号なし 16 ビット・レジスタ VANOLOAD で指定された時間の間下位ビットが積算されないときに発生します。このケースでは、その相の皮相電力量が積算されず、この電力量に基づく CFx パルスが発生されません。

VANOLOAD 符号なし 16 ビット値の計算に使う式は、

$$VANOLOAD = 2^{16} - \frac{Y \times VATHR \times 2^{17}}{P_{MAX}} \quad (51)$$

ここで、

Y は、フルスケールに対して計算された所要無負荷電流スレッシュホールド。例えば、無負荷スレッシュホールド電流をフルスケール値の 1/10,000 より小さく設定すると、Y = 10,000 になります。

VATHR は最初のステージの電力量アキュムレータ・スレッシュホールドとして使われた VATHR レジスタ (皮相電力量計算のセクション参照)。

$P_{MAX} = 27,059,678 = 0x19CE5DE$ 、ADC 入力フルスケールの場合に計算された瞬時皮相電力。

VANOLOAD レジスタに 0x0 を設定すると、無負荷検出回路がディスエーブルされます。

3 相の内の 1 相で無負荷状態になると、STATUS1 レジスタのビット 2 (VANLOAD) がセットされます。PHNOLOAD レジスタのビット [8:6] (VANLPHASE[2:0]) は、無負荷状態に関係するすべての相の状態を表示し、STATUS1 レジスタのビット VANLOAD が同時に設定されます。

- ビット VANLPHASE[0] は A 相の状態を表示します。
- ビット VANLPHASE[1] は B 相の状態を表示します。
- ビット VANLPHASE[2] は C 相の状態を表示します。

ビット VANLPHASE[x] が 0 にクリアされると、その相が無負荷状態から抜け出したことを意味します。1 に設定されると、その相が無負荷状態にあることを意味します。

MASK1 レジスタのビット 2 を設定して、STATUS1 レジスタのビット 2 (VANLOAD) に対応する割込みをイネーブルすることができます。イネーブルした場合、3 相の内の 1 相が無負荷状態を開始または終了すると、IRQ1 ピンがロー・レベルになり、ステータス・ビットが 1 に設定されます。割込みを発生した相を知るためには、STATUS1 レジスタを読み出した直後に PHNOLOAD レジスタを読み出します。次に、対応するステータス・ビットを 1 に設定して STATUS1 レジスタへ書き込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルになります。

CHECKSUM レジスタ

ADE7880 は、通常消費電力モード PSM0 で設定レジスタが所定の値を維持することを保証するチェックサム 32 ビット・レジスタ CHECKSUM を内蔵しています。

このレジスタが対象とするレジスタは、MASK0、MASK1、COMPmode、ゲイン、CFmode、CF1DEN、CF2DEN、CF3DEN、CONFIG、MMODE、ACCMODE、LCYCMODE、HSDC_CFG、アドレス 0x4380～アドレス 0x43BE の DSP データ・メモリ RAM に配置されたすべてのレジスタ、さらに 8 個の 8 ビット予約済み内部レジスタ (常にデフォルト値) です。ADE7880 は、IEEE802.3 規格に準拠したサイクリック冗長性チェック(CRC)を計算します。このレジスタは、リニア・フィードバック・シフトレジスタ (LFSR)を採用したジェネレータに最下位ビットから開始して 1 対 1 で導入されます (図 96 参照)。32 ビットの結果が CHECKSUM レジスタに書込まれます。パワーアップまたはハードウェア/ソフトウェア・リセット後に、CRC がレジスタのデフォルト値に対して計算され、結果は 0xAFFA63B9 になります。

図 97 に、LFSR の動作を示します。MASK0、MASK1、COMPmode、ゲイン、CFmode、CF1DEN、CF2DEN、CF3DEN、CONFIG、MMODE、ACCMODE、LCYCMODE、HSDC_CFG レジスタ、アドレス 0x4380～アドレス 0x43BE に配置されたレジスタ、8 個の 8 ビット予約済み内部レジスタにより、LFSR が使用するビット [a₂₂₇₁, a₂₂₇₀, ..., a₀] が生成されます。ビット a₀ は LFSR に入力される先頭レジスタの最下位ビットで、ビット a₂₂₇₁ は LFSR に入力される最終レジスタの最上位ビットです。LFSR を決定する式は、

- b_i(0) = 1, i = 0, 1, 2, ..., 31, CRC を構成するビットの初期状態。ビット b₀ は最下位ビットで、ビット b₃₁ が最上位ビット。

- g_i, i = 0, 1, 2, ..., 31 は、IEEE802.3 規格で定める生成多項式の係数。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \tag{52}$$

$$\begin{aligned} g_0 = g_1 = g_2 = g_4 = g_5 = g_7 = 1 \\ g_8 = g_{10} = g_{11} = g_{12} = g_{16} = g_{22} = g_{26} = 1 \end{aligned} \tag{53}$$

その他のすべての g_i 係数は 0。

$$FB(j) = a_{j-1} \text{ XOR } b_{31}(j-1) \tag{54}$$

$$b_0(j) = FB(j) \text{ AND } g_0 \tag{55}$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 31 \tag{56}$$

式 54、式 55、式 56 は j = 1, 2, ..., 2272 に対して繰り返す必要があります。CHECKSUM レジスタに書込まれる値は、ビット b_i(2272), i = 0, 1, ..., 31 を含みます。

ADE7880 の設定レジスタが書込まれるか、または不注意に値が変更されるごとに、STATUS1 レジスタのビット 25 (CRC) が 1 に設定されて、CHECKSUM 値が変化したことを表示します。MASK1 レジスタのビット 25 (CRC) が 1 に設定されると、IRQ1 割込みピンがロー・レベルへ駆動されて、STATUS1 のステータス・フラグ CRC が 1 に設定されます。ステータス・ビット = 1 で STATUS1 レジスタに書込みを行うと、ステータス・ビットがクリアされ、IRQ1 ピンがハイ・レベルになります。

レジスタへの書込みなしで STATUS1 のビット CRC が 1 に設定されると、レジスタの内の 1 つの値が変更され、したがって ADE7880 の設定が変更されたと見なすことができます。この場合には、予約済みレジスタを含むすべてのレジスタ値をデフォルトに設定するハードウェア/ソフトウェア・リセットを起動し、次に設定レジスタを再初期化することが推奨されます。

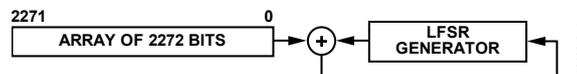


図 96. CHECKSUM レジスタの計算

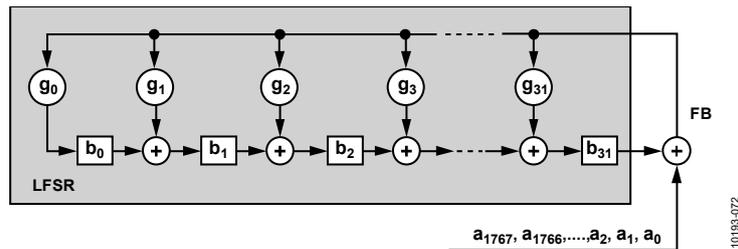


図 97. CHECKSUM レジスタの計算で使用する LFSR ジェネレータ

割込み

ADE7880 には、 $\overline{\text{IRQ0}}$ と $\overline{\text{IRQ1}}$ の 2 本の割込みピンがあります。各ピンは 32 ビット割込みマスク・レジスタ MASK0 と MASK1 から制御されます。割込みをイネーブルするときは、MASKx レジスタのビットを 1 に設定します。ディスエーブルするときは、ビットを 0 クリアします。2 個の 32 ビット・ステータス・レジスタ STATUS0 と STATUS1 が、割込みに対応しています。ADE7880 で割込みイベントが発生すると、割込みステータス・レジスタの対応するフラグがロジック 1 に設定されます(表 36 と表 37 参照)。割込みマスク・レジスタのこの割込みのマスク・ビットがロジック 1 の場合、IRQxロジック出力がアクティブ・ローになります。割込みステータス・レジスタのフラグ・ビットは、マスク・ビットの状態に無関係にセットされます。割込みの原因を探するため、MCU は対応する STATUSx レジスタを讀出して 1 に設定されているビットを探する必要があります。ステータス・レジスタのフラグを消去するときは、フラグ = 1 で STATUSx レジスタに書込を行います。割込みピンがロー・レベルになった後、ステータス・レジスタを讀出すと、割込みの原因を知ることができます。次に、讀込んだ値に何も変更を加えないでステータス・レジスタに書き戻して、そのステータス・フラグを 0 にクリアします。IRQxピンはステータス・フラグがクリアされるまでロー・レベルを維持します。

デフォルトでは、すべての割込みがディスエーブルされていますが、RSTDONE 割込みは例外です。この割込みはマスク(ディスエーブル)不能であるため、MASK1 レジスタのビット 15 (RSTDONE)は無効です。パワーアップまたはハードウェア/ソフトウェア・リセット・プロセスが終了すると、 $\overline{\text{IRQ1}}$ ピンは常にロー・レベルになり、STATUS1 レジスタのビット 15 (RSTDONE)が 1 に設定されます。ステータス・フラグをクリアするときは、ビット 15 (RSTDONE)を 1 に設定して STATUS1 レジスタに書込を行います。

割込みによっては、他のステータス・レジスタと組み合わせて使う場合もあります。MASK1 レジスタの次のビットは、PHNOLOAD レジスタのステータス・ビットと組み合わせて機能します。

- ビット 0 (NLOAD)
- ビット 1 (FNLOAD)
- ビット 2 (VANLOAD)

MASK1 レジスタの次のビットは、PHSTATUS レジスタのステータス・ビットと組み合わせて機能します。

- ビット 16 (SAG)
- ビット 17 (OI)
- ビット 18 (OV)

MASK1 レジスタの次のビットは、IPEAK レジスタと VPEAK レジスタのステータス・ビットと組み合わせて機能します。

- ビット 23 (PKI)
- ビット 24 (PKV)

MASK0 レジスタの次のビットは、PHSIGN レジスタのステータス・ビットと組み合わせて機能します。

- ビット[6:8] (REVAPx)
- ビット[10:12] (REVRPx)
- ビット 9、ビット 13、ビット 18 (REVPSUMx)

STATUSx レジスタを讀出し、これらのビットが 1 に設定されていると、このビットに対応するステータス・レジスタを直ちに讀出して、割込みを発生した相を見つけ、そのビットを 1 に設定して STATUSx レジスタへ書き戻します。

MCU での割込みの使用

図 98 に、MCU を使用した ADE7880 割込みの推奨制御方法を説明するタイミング図を示します。時間 t_1 で IRQxラインがアクティブ・ローになり、ADE7880 内で 1 個または複数の割込みイベントが発生したことを表示します。このタイミングで次に示すステップを実行します。

1. $\overline{\text{IRQx}}$ ピンを MCU の立下がりエッジ・トリガの外部割込みへ接続します。
2. 立下がりエッジを検出した場合、MCU が割込みサービス・ルーチン(ISR)を開始するように設定します。
3. ISR に入ったら、グローバル割込みマスク・ビットを使ってすべての割込みをディスエーブルします。この時点で、現在の ISR の実行中に発生する割込みイベントを検出できるように、MCU 外部割込みフラグをクリアすることができます。
4. MCU 割込みフラグをクリアするとき、STATUSx (割込みステータス・レジスタ)の讀出しを実行します。割込みステータス・レジスタ値を使って割込み原因を探して、該当する動作を実行します。
5. 同じ STATUSx 値を ADE7880 へ書き戻して、ステータス・フラグをクリアし、IRQxラインをハイ・レベルへ戻します(t_2)。

ISR の実行中(t_2)に後続の割込みイベントが発生すると、MCU の外部割込みフラグが再度セットされて、そのイベントが記録されます。

ISR から戻ると、グローバル割込みマスク・ビットがクリアされ(同じ命令サイクルで)、外部割込みフラグにより、MCU は再度 ISR に分岐します。この機能のために、MCU は外部割込みを見落してしまうことはありません。

図 99 に、STATUSx レジスタのステータス・ビットが他のレジスタのビットと組み合わせて機能するときの推奨タイミング図を示します。 $\overline{\text{IRQx}}$ ピンがアクティブ・ローになった場合、STATUSx レジスタを讀出し、これらのビットの内の 1 つが 1 の場合、2 つ目のステータス・レジスタを直ちに讀出して割込みを発生した相を特定します。図 99 の名前 PHx は、レジスタ PHSTATUS、IPEAK、VPEAK、または PHSIGN のいずれかを意味します。次に、STATUSx に書き戻して、ステータス・フラグをクリアします。

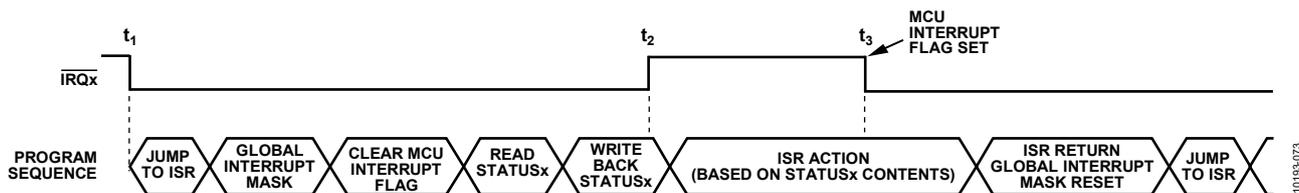


図 98. 割込みの制御

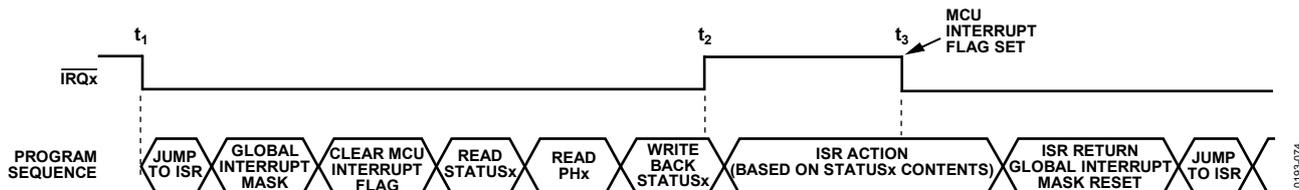


図 99. PHSTATUS、IPEAK、VPEAK、PHSIGN レジスタが関係するときの割込み制御

シリアル・インターフェース

ADE7880 は、フル・ライセンス取得済みの I²C インターフェース、シリアル・ペリフェラル・インターフェース(SPI)、高速データ・キャプチャ・ポート(HSDC)の 3 種類のシリアル・ポート・インターフェースを内蔵しています。SPI ピンは I²C ポートと HSDC ポートの幾つかのピンと共用されているため、ADE7880 では SPI ポートのみの使用と I²C ポートと HSDC ポートの組み合わせ使用の 2 通りの構成が可能です。

シリアル・インターフェースの選択

リセット後、HSDC ポートは常にディスエーブルされています。パワーアップまたはハードウェア・リセットの後に \overline{SS}/HAS ピンを使って I²C ポートまたは SPI ポートを選択してください。 \overline{SS}/HAS ピンをハイ・レベルにすると、ADE7880 は I²C ポートを使用します。新しいハードウェア・リセットが実行されるまでこの使用が続きます。パワーアップまたはハードウェア・リセットの後に、 \overline{SS}/HAS ピンをハイ・レベルからロー・レベルへ 3 回トグルすると、ADE7880 は SPI ポートを使用し、新しいハードウェア・リセットが実行されるまでこの使用が続きます。 \overline{SS}/HAS ピンのこの操作は、2 通りの方法で行うことができます。1 つ目は、マスター・デバイス (すなわちマイクロコントローラ) の \overline{SS}/HAS ピンを通常の I/O ピンとして使い、このピンを 3 回トグルさせます。2 つ目は、特定の ADE7880 レジスタが配置されていないアドレス空間 (例えば 8 ビット書き込みが実行可能な 0xEBFF) へ SPI 書き込み命令を 3 回実行します。これらの書き込みにより、 \overline{SS}/HAS ピンが 3 回トグルされます。関係する書き込みプロトコルについては、SPI 書き込み動作のセクションを参照してください。

シリアル・ポートを選択した後、それをロックする必要があります。これにより、アクティブ・ポートの使用は、PSM0 通常モードでハードウェア・リセットが実行されるか、またはパワーダウンまで続きます。I²C がアクティブ・シリアル・ポートの場合、CONFIG2 レジスタのビット 1 (I2C_LOCK) に 1 を設定してこれをロックする必要があります。この時点から、ADE7880 は \overline{SS} ピンのトグルを無視し、SPI ポートへ切り替えて SPI を使用することができなくなります。SPI がアクティブ・シリアル・ポートの場合、CONFIG2 レジスタへの任意の書き込みでポートがロックされます。この時点から、I²C ポートへ切り替えて I²C を使用することができなくなります。固定した後は、ADE7880 で PSMx 消費電力モードが変更されても選択したシリアル・ポートが維持されます。

ADE7880 の機能には、複数の内蔵レジスタを使ってアクセスすることができます。これらのレジスタ値は、I²C または SPI インターフェースを使って更新または読出しすることができます。HSDC ポートは、相電圧と中性電流の瞬時値、および有効/無効/皮相電力を表す最大 16 個のレジスタの状態を表示します。

通信の確認

ADE7880 は、I²C または SPI を経由する通信を確認する 3 個のレジスタを内蔵しています。最後に正常に行われた通信の内容、アドレス、データがそれぞれ LAST_OP (アドレス 0xEA01)、LAST_ADD (アドレス 0xE9FE)、LAST_RWDATA の各レジスタに記録されています。LAST_RWDATA レジスタは、正常通信の長さに応じて 3 つのアドレスを持ちます。

表 24. LAST_RWDATA レジスタのアドレス

Communication type	Address
8-Bit Read/Write	0xE7FD
16-Bit Read/Write	0xE9FF
24-Bit Read/Write	0xE5FF

ADE7880 との正常な各通信の後、直前にアクセスされたレジスタのアドレスが 16 ビット LAST_ADD レジスタ (アドレス 0xE9FE) に格納されます。このレジスタは、次の正常読出しまたは書き込みが完了するまで値を格納する読出し専用レジスタです。LAST_OP レジスタ (アドレス 0xEA01) は命令内容を格納します。すなわち、読出しまたは書き込みのいずれが実行されたかを表示します。直前動作が書き込みの場合、LAST_OP レジスタは値 0xCA を格納します。直前動作が読出しの場合、LAST_OP レジスタは値 0x35 を格納します。LAST_RWDATA レジスタは、レジスタに対して行った書き込みまたは読出しのデータを格納します。異常な読出しまたは書き込み命令はこれらのレジスタに反映されません。

LAST_OP、LAST_ADD、LAST_RWDATA の各レジスタを読出すとき、レジスタ値は元のレジスタに保存されません。

I²C 互換インターフェース

ADE7880 は、フル・ライセンス取得済みの I²C インターフェースをサポートしています。I²C インターフェースは、フル・ハードウェア・スレーブとして組み込まれています。SDA はデータ I/O ピンで、SCL はシリアル・クロックです。これらの 2 本のピンは、内蔵 SPI インターフェースの MOSI ピンおよび SCLK ピンと共用されています。このインターフェースでサポートしている最大シリアル・クロック周波数は 400 kHz です。

データ転送に使用する 2 本のピン(SDA と SCL)は、マルチマスター・システムで調停を可能にするワイヤー-AND 接続のフォーマットで構成されています。

I²C システムの転送シーケンスは、バスのアイドル時にスタート条件を発生して転送を開始させるマスター・デバイスにより構成されています。マスターは、初期アドレス転送でスレーブ・デバイスのアドレスとデータ転送方向を送信します。スレーブがアックノリッジすると、データ転送が開始されます。転送はマスターがストップ条件を発行するまで続いて、バスがアイドル状態になります。

I²C の書き込み動作

ADE7880 の I²C インターフェースを使用する書き込み動作は、マスターがスタート条件を発生したときに開始され、ADE7880 のアドレスを表す 1 バイト、それに続くターゲット・レジスタの 16 ビット・アドレスとレジスタ値から構成されています。

アドレス・バイトの上位 7 ビットは、ADE7880 のアドレスを構成し、値は 0111000b です。アドレス・バイトのビット 0 は read/write ビットです。これは書き込み動作であるため、このビットは 0 にクリアされています。したがって書き込み動作の先頭バイトは 0x70 になります。各バイトを受信した後、ADE7880 はアックノリッジを発生します。レジスタ長は 8 ビット、16 ビット、または 32 ビットが可能であるため、レジスタの最終ビットを送信し、ADE7880 が転送をアックノリッジした後、マスターはストップ条件を発生します。アドレスとレジスタ値は MSB ファーストで送信されます。I²C 書き込み動作の詳細については、図 100 を参照してください。

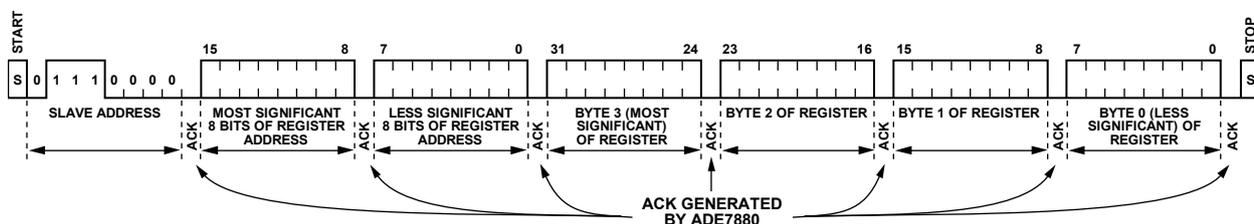


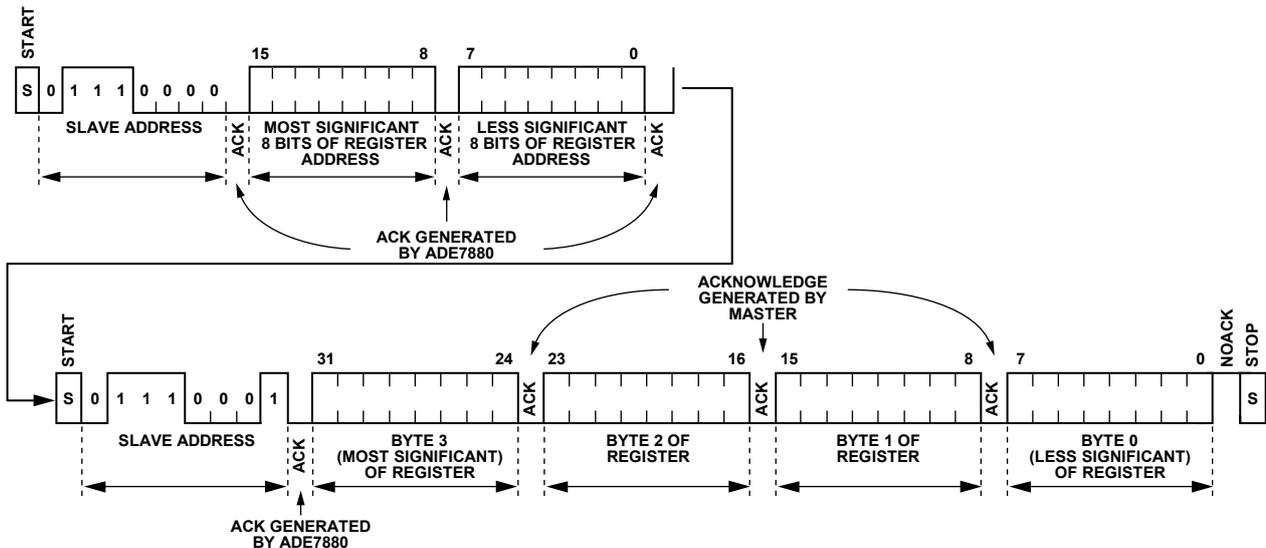
図 100.32 ビット・レジスタへの I²C 書き込み動作

I²C の読出し動作

ADE7880 の I²C インターフェースを使用する読出し動作は 2 ステージで実行されます。最初のステージでは、レジスタ・アドレスに対するポインタを設定します。次のステージで、レジスタ値を読出します。

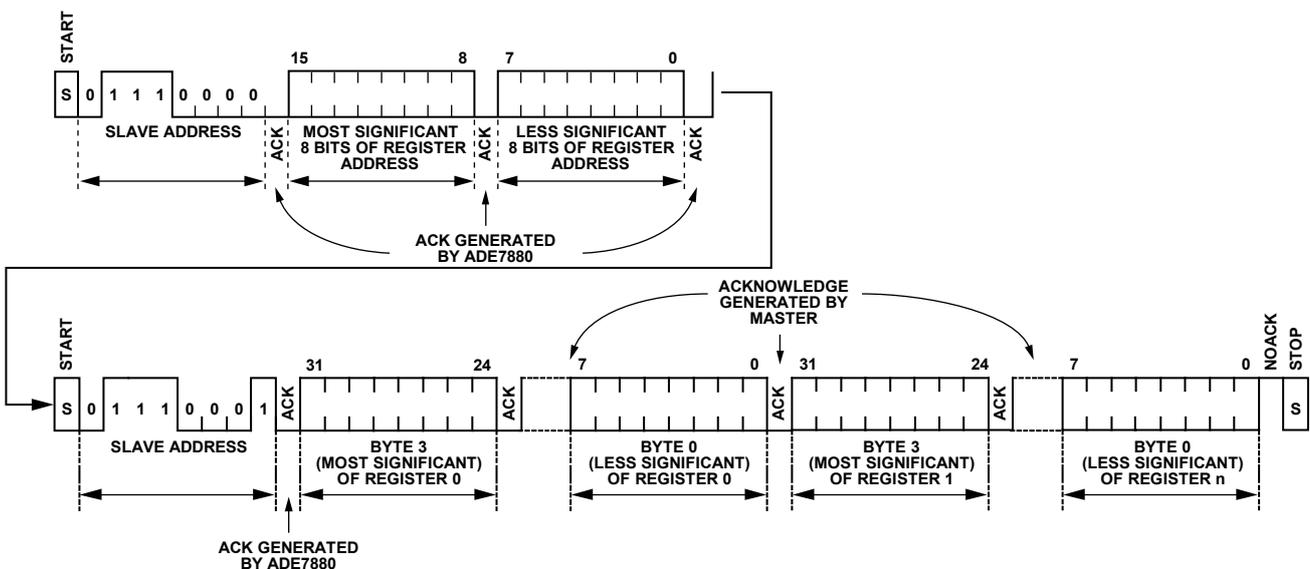
図 101 に示すように、最初のステージはマスターがスタート条件を発生したときに開始され、ADE7880 のアドレスを表す 1 バイトと、これに続くターゲット・レジスタの 16 ビット・アドレスで構成されています。ADE7880 は各バイトを受信するごとにアクリッジします。アドレス・バイトは書き込み動作のアドレス・バイトと同じで、値は 0x70 です(詳細については、I²C の書き込み動作のセクションを参照してください)。レジスタ・アドレスの最終バイトが送信され、ADE7880 がアクリッジした後に、

マスターが新しいスタート条件とそれに続くアドレス・バイトを発生したときに次のステージが開始されます。このアドレス・バイトの上位 7 ビットは、ADE7880 のアドレスを構成し、値は 0111000b です。アドレス・バイトのビット 0 は read/write ビットです。これは読出し動作であるため、このビットは 1 にされます。したがって読出し動作の先頭バイトは 0x71 になります。このバイトを受信した後、ADE7880 はアクリッジを発生します。次に、ADE7880 はレジスタ値を送信し、8 ビットを受信するごとに、マスターはアクリッジを発生します。すべてのバイトは MSB ファーストで送信されます。レジスタ長は 8 ビット、16 ビット、または 32 ビットが可能であるため、レジスタの最終ビットを受信した後、マスターはアクリッジしないで、ストップ条件を発生します。



10193-076

図 101.32 ビット・レジスタに対する I²C 読出し動作



10193-077

図 102.32 ビット高調波計算レジスタに対する I²C 読出し動作

高調波計算レジスタに対する I²C 読出し動作

高調波計算結果を格納するレジスタは 0xE880 から開始されるアドレスに配置され、すべて 32 ビット幅です。これらのレジスタは 1 回に 1 レジスタを(詳細については、I²C の読出し動作のセクション参照)、またはバースト・モードで 1 回に複数の連続レジスタを讀出す 2 通りの方法で讀出すことができます。このバースト・モードは 2 ステージで実行されます。図 102 に示すように、最初のステージはレジスタ・アドレスに対するポインタを設定するため、1 個のレジスタのみを讀出すとき実行する最初のステージと同じです。次のステージで、レジスタ値を讀出します。2 番目のステージはマスターが新しいスタート条件を発生したとき開始され、その後にアドレス・バイトが続く、これはシングル・レジスタを讀出すときのアドレス・バイト 0x71 と同じです。このバイトを受信した後、ADE7880 はアクリッジを発生します。次に、ADE7880 はポインタの場所にある先頭レジスタ値を送信し、8 ビットを受信するごとに、マスターはアクリッジを発生します。すべてのバイトは MSB ファーストで送信されます。先頭レジスタのバイトが送信された後、マスターが最終バイトをアクリッジすると、ADE7880 はポインタを 1 ロケーションだけインクリメントさせて次のレジスタへ進み、MSB ファーストでバイトごとの送信を開始します。マスターが最終バイトをアクリッジすると、ADE7880 はポインタを再度インクリメントして、次のレジスタからのデータを送信し始めます。この動作は、マスターがレジスタの最終バイトでアクリッジの発生を止めて、ストップ条件を発生するまで続きます。0xE89F (高調波計算レジスタの最終ロケーション)より上のロケーションを使用しないことが推奨されます。

SPI 互換インターフェース

ADE7880 の SPI は常に通信でスレーブであり、SCLK/SCL、MOSI/SDA、MISO/HSD、 \overline{SS} /HSA の 4 本の共用ピンから構成されています。SPI 互換インターフェースで 사용되는機能は、SCLK、MOSI、MISO、 \overline{SS} です。データ転送のシリアル・クロックは、SCLK ロジック入力に入力されます。すべてのデータ転送動作は、シリアル・クロックに同期化されます。データは ADE7880 の MOSI ロジック入力に SCLK の立下がりエッジでシフト入力され、ADE7880 はこれを SCLK の立上がりエッジでサンプルします。データは ADE7880 の MISO ロジック出力から SCLK の立下がりエッジでシフト出力され、マスター・デバイスは SCLK の立上がりエッジでこれをサンプルすることができます。ワードの最上位ビットを先頭にして、シフト入出力されます。このインターフェースでサポートしている最大シリアル・クロック周波数は 2.5 MHz です。ADE7880 から送信されるデータがない場合、MISO は高インピーダンス状態を維持します。ADE7880 SPI と SPI インターフェースを使用するマスター・デバイスとの間の接続については、図 103 を参照してください。

\overline{SS} ロジック入力は、チップ・セレクト入力です。この入力は、複数デバイスでシリアル・バスを共用する際に使います。データ転送動作が完了するまで \overline{SS} 入力をロー・レベルに駆動してください。データ転送動作中に \overline{SS} をハイ・レベルにすると、転送が中止されて、シリアル・バスは高インピーダンス状態になります。 \overline{SS} ロジック入力をロー・レベルに戻すと、新しい転送を開始することができますが、データ転送が完了する前に中止させると、アクセスされたレジスタの状態が保証されないため、レジスタに書込を行うごとに、値をリードバックして確認する必要があります。このプロトコルは、I²C インターフェースで 사용되는プロトコルと同じです。

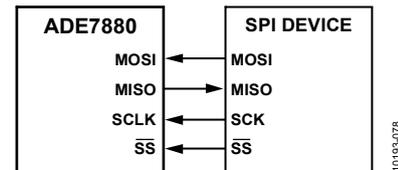


図 103. ADE7880 SPI と SPI デバイスとの接続

SPI 読出し動作

ADE7880 の SPI インターフェースを使用する読出し動作は、マスターが \overline{SS} /HSA ピンをロー・レベルに設定したときに開始され、MOSI ライン上に ADE7880 のアドレスを表す 1 バイトの送信を開始します。マスターは MOSI ライン上にデータを設定し、SCLK の最初のハイ・レベルからロー・レベルへの変化で開始されます。ADE7880 の SPI は、SCLK のロー・レベルからハイ・レベルへの変化でデータをサンプルします。アドレス・バイトの上位 7 ビットは任意の値が可能ですが、一般的なプログラミング手法として、0111000b (I²C プロトコルで使用された 7 ビット)と異なる値を採用します。アドレス・バイトのビット 0 (read/write)は、読出し動作に対して 1 に設定する必要があります。次に、マスターは読出し対象レジスタの 16 ビット・アドレスを送信します。ADE7880 がレジスタ・アドレスの最終ビットを SCLK のロー・レベルからハイ・レベルへの変化で受信した後、次の SCLK のハイ・レベルからロー・レベルへの変化でレジスタ値を MISO ラインへ送信し始めます。このため、マスターは SCLK のロー・レベルからハイ・レベルへの変化でデータをサンプルすることができます。マスターが最終ビットを受信した後、 \overline{SS} ラインと SCLK ラインをハイ・レベルにして、通信を終了させます。データ・ライン、MOSI、MISO、は高インピーダンス状態になります。SPI 読出し動作の詳細については、図 104 を参照してください。

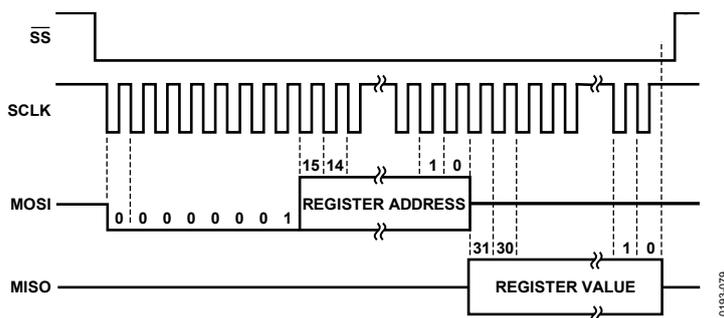


図 104.32 ビット・レジスタに対する SPI 読み出し動作

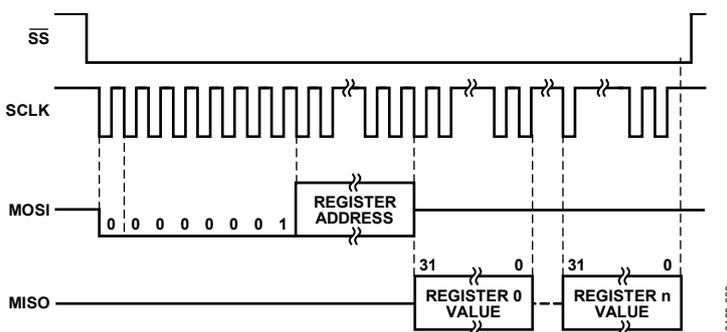


図 105.32 ビット高調波計算レジスタに対する SPI 読み出し動作

高調波計算レジスタに対する SPI 読み出し動作

高調波計算結果を格納するレジスタは 0xE880 から開始されるアドレスに配置され、すべて 32 ビット幅です。これらのレジスタは 1 回に 1 レジスタを(詳細については、SPI 読み出し動作のセクション参照)、またはバースト・モードで 1 回に複数の連続レジスタを読み出す 2 通りの方法で読み出すことができます。バースト・モードは、マスターが SS/HSA ピンをロー・レベルに設定したとき開始され、ADE7880 のアドレスを表す 1 バイトを MOSI ラインへ送信し始めます。このアドレスは、1 個だけのレジスタを読み出す際に使用した同じアドレス・バイトです。マスターは MOSI ライン上にデータを設定し、SCLK の最初のハイ・レベルからロー・レベルへの変化で開始されます。ADE7880 の SPI は、SCLK のロー・レベルからハイ・レベルへの変化でデータをサンプルします。次に、マスターは読み出し対象の先頭高調波計算レジスタの 16 ビット・アドレスを送信します。ADE7880 がレジスタ・アドレスの最終ビットを SCLK のロー・レベルからハイ・レベルへの変化で受信した後、次の SCLK のハイ・レベルからロー・レベルへの変化でレジスタ値を MISO ラインへ送信し始めます。このため、マスターは SCLK のロー・レベルからハイ・レベルへの変化でデータをサンプルすることができます。マスターが先頭レジスタの最終ビットを受信した後、ADE7880 は次のロケーションにある高調波計算レジスタを送信し、マスターが SS ラインと SCLK ラインをハイ・レベルに設定して通信を終了させるまで、同様に送信を続けます。データ・

ライン、MOSI、MISO、は高インピーダンス状態になります。高調波計算レジスタに対する SPI 読み出し動作の詳細については、図 105 を参照してください。

SPI 書き込み動作

ADE7880 の SPI インターフェースを使用する書き込み動作は、マスターが SS/HSA ピンをロー・レベルに設定したときに開始され、MOSI ライン上に ADE7880 のアドレスを表す 1 バイトを送信して開始します。マスターは MOSI ライン上にデータを設定し、SCLK の最初のハイ・レベルからロー・レベルへの変化で開始されます。ADE7880 の SPI は、SCLK のロー・レベルからハイ・レベルへの変化でデータをサンプルします。アドレス・バイトの上位 7 ビットは任意の値が可能ですが、一般的なプログラミング手法として、0111000b (I²C プロトコルで使用された 7 ビット)と異なる値を採用します。アドレス・バイトのビット 0 (read/write)は、書き込み動作に対して 0 に設定する必要があります。次に、マスターは書き込み対象レジスタの 16 ビット・アドレスと、そのレジスタの 32 ビット、16 ビット、または 8 ビットの値を SCLK サイクルの欠落なしで送信します。最終ビットを送信した後、マスターは SCLK サイクルの終わりに SS ラインと SCLK ラインをハイ・レベルに設定して通信を終了させます。データ・ライン、MOSI、MISO、は高インピーダンス状態になります。SPI 書き込み動作の詳細については、図 106 を参照してください。

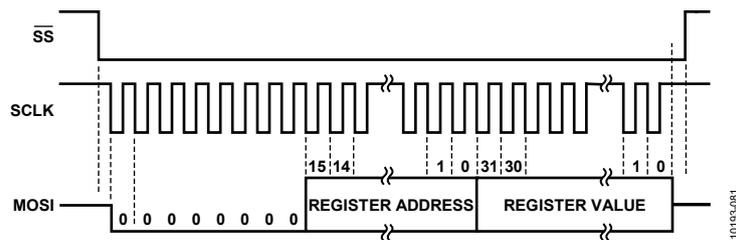


図 106.32 ビット・レジスタに対する SPI 書き込み動作

HSDC インターフェース

デフォルトで、高速データ・キャプチャ(HSDC)インターフェースはディスエーブルされています。このインターフェースは、ADE7880 が I²C インターフェースに設定されている場合にのみ使用することができます。ADE7880 の SPI インターフェースは、HSDC と同時に使用することはできません。

CONFIG レジスタのビット 6 (HSDCEN)が 1 に設定されると HSDC が起動されます。ビット HSDCEN が 0 (デフォルト値)にクリアされると、HSDC インターフェースがディスエーブルされます。SPI の使用時にビット HSDCEN に 1 を設定しても、無視されます。HSDC は、最大 16 個の 32 ビット・ワードを外部デバイス(通常マイクロプロセッサまたは DSP)へ送信するためのインターフェースです。このワードは、相電流、相電圧、中性電流の瞬時値、有効/無効/皮相電力を表します。送信されるレジスタには、IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、AVA、INWV、BVA、CVA、AWATT、BWATT、CWATT、AFVAR、BFVAR、CFVAR が含まれます。これら全てのレジスタは、32 ビットに符号拡張された 24 ビット・レジスタです(詳細については、図 44 参照)。

HSDC は、SPI または同様のインターフェースにインターフェースすることができます。HSDC は常に通信マスターであり、HSA、HSD、HSCLK の 3 本のピンで構成されています。HSA はセレクト信号です。この信号はワードの送信中アクティブ・ローまたはハイを維持し、通常、スレーブのセレクト・ピンに接続されます。HSD はデータをスレーブへ送信し、通常、スレーブのデータ入力ピンに接続されます。HSCLK は ADE7880 から発生されるシリアル・クロック・ラインで、通常、スレーブのシリアル・クロック入力に接続されます。図 107 に、ADE7880 HSDC と SPI インターフェースを内蔵するスレーブ・デバイスとの間の接続を示します。

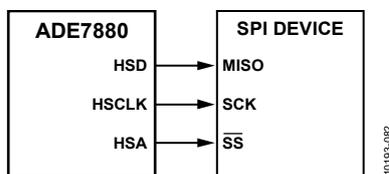


図 107. ADE7880 の HSDC と SPI との接続

HSDC 通信は HSDC_CFG レジスタにより制御されます(表 52 参照)。HSDC_CFG レジスタに所望の値を設定した後に、CONFIG レジスタのビット 6 (HSDCEN)を使ってポートをイネーブルすることが推奨されます。この方法では、HSDC ポートに属する種々のピンの状態が所望の HSDC 動作と矛盾するレベルになることはありません。ハードウェア・リセットまたはパワーアップ後に、MISO/HSD ピンと SS/HSA ピンがハイ・レベルに設定されます。

HSDC_CFG レジスタのビット 0 (HCLK)が、HSDC 通信のシリアル・クロック周波数を決定します。HCLK に 0 (デフォルト値)を設定すると、クロック周波数は 8 MHz になります。HCLK に 1 を設定すると、クロック周波数は 4 MHz になります。データの各ビットは、HSCLK のハイ・レベルからロー・レベルへの各変化で送信されます。HSDC からのデータを受信するスレーブ・デバイスは、HSCLK のロー・レベルからハイ・レベルへの各変化で HSD ラインをサンプルします。

ワードは、32 ビット・パッケージまたは 8 ビット・パッケージとして送信することができます。HSDC_CFG レジスタのビット 1 (HSIZE)が 0 (デフォルト値)のとき、ワードは 32 ビット・パッケージとして送信されます。ビット HSIZE が 1 のとき、各レジスタは 8 ビット・パッケージとして送信されます。HSDC インターフェースは、ワードを MSB ファーストで送信します。

ビット 2 (HGAP) = 1 のとき、パッケージ間に HSCLK で 7 サイクル分のギャップを挿入します。ビット HGAP = 0 (デフォルト値)のとき、パッケージ間にギャップは挿入されないため、通信時間は最短になります。この場合、HSIZE は通信に影響を与えることがなく、データビットは HSCLK のハイ・レベルからロー・レベルへの各変化で HSD ラインへ出力されます。

ビット [4:3] (HXFER[1:0])は、送信するワード数を決定します。HXFER[1:0] = 00 (デフォルト値)のとき、16 ワードすべてが送信されます。HXFER[1:0] = 01 のとき、相電流、中性電流、相電圧の瞬時値を表すワードのみが、IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、1 個の 32 ビット・ワード(常に INWV に一致)の順で送信されます。HXFER[1:0] = 10 のとき、相電力の瞬時値のみが、AVA、BVA、CVA、AWATT、BWATT、CWATT、AFVAR、BFVAR、CFVAR の順に送信されます。HXFER[1:0]の値 11 は予約済みであり、この値を書込むことは 00 (デフォルト値)を書込むことと等価です。

ビット 5 (HSAPOL)は、通信時の SS/HSA ピンの HSA 機能の極性を決定します。HSAPOL = 0 (デフォルト値)のとき、通信時に HSA はアクティブ・ローになります。これは、非通信時に HSA はハイ・レベルを維持することを意味します。通信実行中、32 ビットまたは 8 ビット・パッケージを転送しているとき HSA はロー・レベルになり、ギャップのときにはハイ・レベルになります。HSAPOL = 1 のとき、SS/HSA ピンの HSA 機能は通信中アクティブ・ハイになります。これは、非通信時に HSA はロー・レベルを維持することを意味します。通信実行中、32 ビットまたは 8 ビット・パッケージを転送しているとき HSA はハイ・レベルになり、ギャップのときにはロー・レベルになります。

HSDC_CFG レジスタのビット [7:6]は予約済みです。これらのビットに書込まれる値は、HSDC 動作に影響を与えることはありません。

図 108 に、HGAP = 0、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースはデータビットを HSCLK のハイ・レベルからロー・レベルへの各変化で HSD ラインに出力し、ビット HSIZE の値には無関係であることに注意してください。

図 109 に、HSIZE = 0、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースは HSCLK で 7 サイクル分のギャップを各 32 ビット・ワード間に挿入することに注意してください。

図 110 に、HSIZE = 1、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースは HSCLK で 7 サイクル分のギャップを各 8 ビット・ワード間に挿入することに注意してください。

HSDC_CFG レジスタと HCLK、HSIZE、HGAP、HXFER[1:0]、HSAPOL の各ビットの説明については表 52 を参照してください。表 25 に、すべての HSDC_CFG レジスタ設定に対して HSDC データ転送実行に要する時間の一覧を示します。設定によっては、転送時間が 125 μs (8 kHz) の波形サンプル・レジスタ更新レートより小さい場合があります。これは、HSDC ポートが各サンプリング・サイクルでデータを送信することを意味します。転送時間が 125 μs より大きくなる設定では、HSDC ポートが 8 kHz サンプリング・サイクルの、連続する最初の 2 サイクル間だけでデータを送信します。これは、各レジスタを 4 kHz の実効レートで送信することを意味します。

表 25. 様々な HSDC 設定に対する通信時間

HXFER[1:0]	HGAP	HSIZE ¹	HCLK	Communication Time (μs)
00	0	N/A	0	64
00	0	N/A	1	128
00	1	0	0	77.125
00	1	0	1	154.25
00	1	1	0	119.25
00	1	1	1	238.25
01	0	N/A	0	28
01	0	N/A	1	56
01	1	0	0	33.25
01	1	0	1	66.5
01	1	1	0	51.625
01	1	1	1	103.25
10	0	N/A	0	36
10	0	N/A	1	72
10	1	0	0	43
10	1	0	1	86
10	1	1	0	66.625
10	1	1	1	133.25

¹ N/A は該当なし。

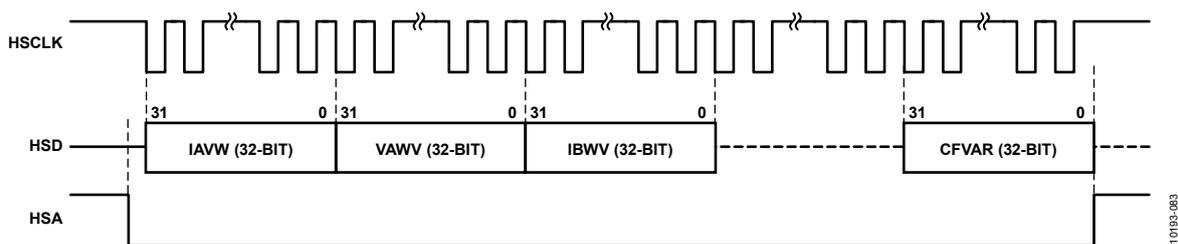


図 108. HGAP = 0、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 通信、HSIZE は無関係

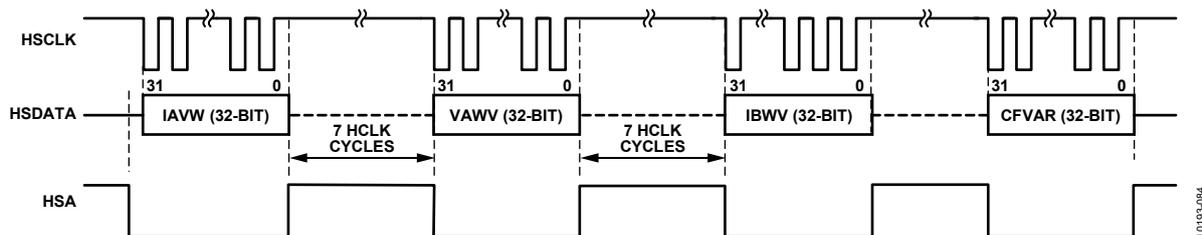


図 109.HSIZE = 0、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 通信

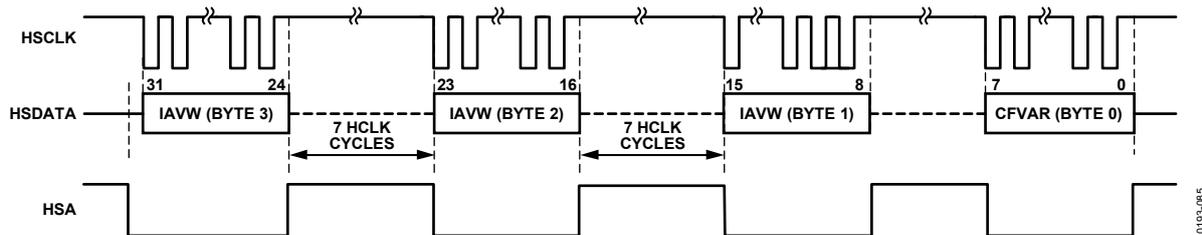


図 110.HSIZE = 1、HGAP = 1、HXFER[1:0] = 00、HSAPOL = 0 のときの HSDC 通信

電力量計としての ADE7880 のクイック・セットアップ

電力量計は通常、公称電流 I_n 、公称電圧 V_n 、公称周波数 f_n 、メータ定数 MC で特徴付けられます。

ADE7880 を迅速にセットアップするときは、次のステップを実行してください。

1. 相電流チャンネル、相電圧チャンネル、中性電流チャンネルの PGA ゲインを選択します。すなわち、ゲイン・レジスタのビット[2:0] (PGA1)、ビット[5:3] (PGA2)、ビット[8:6] (PGA3)を設定します。
2. Rogowski コイルを使用する場合、相電流チャンネルまたは中性電流チャンネルのデジタル積分器をイネーブルします。すなわち、CONFIG レジスタのビット 0 (INTEN) と CONFIG3 レジスタのビット 3 (ININTEN)を設定します。
3. $f_n = 60 \text{ Hz}$ の場合、COMPmode レジスタのビット 14 (SELFREQ)に 1 を設定します。
4. 式 49 に基づいて CF1DEN、CF2DEN、CF3DEN の各レジスタを初期化します。

5. 式 26、式 37、式 44、式 22、式 42 に基づいて、それぞれ WTHR、VARTHR、VATHR、VLEVEL、VNMOM の各レジスタを初期化します。
6. アドレス 0xE7FE の内部 8 ビット・レジスタに 0xAD を書き込み、続いてアドレス 0xE7E3 の内部 8 ビット・レジスタに 0x80 を書き込んで、データ・メモリ RAM 保護機能をイネーブルします。
7. Run = 1 を設定して DSP を起動します。

ADE7880 高調波計算のクイック・セットアップについては、高調波計算の推奨制御方法のセクションを参照してください。

ADE7880 評価用ボード

ADE7880 構成の評価用ボードを提供しています。詳細については、www.analog.com/jp/ADE7880 をご覧ください。

チップ・バージョン

レジスタ指定のバージョンはチップのバージョンを表します。このレジスタは、8 ビットの読出し専用レジスタでアドレス 0xE707 に配置されています。

シリコン・アノーマリ

このアノーマリ・リストには、バージョン・レジスタ (アドレス 0xE707) = 1 で識別された ADE7880 シリコンでの既知の問題を記載してあります。

アナログ・デバイセズは、将来のシリコン・レビジョンで、シリコン機能を継続的に改善する方針です。ここに記載する推奨対策を実施することにより、これらの将来シリコン・レビジョンがユーザーの現在のソフトウェア/システムとの互換性を維持できるようにアナログ・デバイセズは努力いたします。

ADE7880 の機能問題

シリコン・レビジョン識別子	チップ・マーキング	シリコン・ステータス	アノーマリ・シート	問題レポート番号
Version = 1	ADE7880ACPZ	Preliminary	Rev. A	4 (er001, er002, er003, er004)

機能問題

表 26. LAST_ADD レジスタが SPI モードで高調波計算レジスタの正しくない値を表示する[er001、Version = 1 Silicon]

背景	SPI または I ² C 通信を使用して ADE7880 レジスタを読み出すと、アドレスが LAST_ADD レジスタへ格納される。
問題	SPI 通信を使ってアドレス 0xE880～アドレス 0xE89F に配置された高調波計算レジスタを読み出すと、LAST_ADD レジスタに 1 だけインクリメントされたレジスタ・アドレスが格納される。I ² C 通信を使う場合、この問題はありません。
対策	アドレス 0xE880～アドレス 0xE89F に配置されたレジスタの 1 つを SPI 通信を使って読み出した後に LAST_ADD レジスタを読み出す場合、1 を減算して正しいアドレスに戻してください。
関連する問題	なし。

表 27. 最適精度性能を得るため、内部設定の変更が必要[er002、Version = 1 Silicon]

背景	内部デフォルト設定が ADE7880 の最適精度性能を提供。
問題	別の設定を使用した場合に、精度性能を向上できることが判明。
対策	この内部レジスタの新しい設定をイネーブルするため、次に示す連続 3 回の書き込み動作を実行してください。 1. まず、8 ビット・ロケーションへ書き込み動作を行います。0xAD をアドレス 0xE7FE へ書き込みます。 2. 2 番目の書き込み動作を 16 ビット・ロケーションへ行います。0x3BD をアドレス 0xE90C へ書き込みます。 3. 3 番目の書き込み動作を 8 ビット・ロケーションへ行います。0x00 をアドレス 0xE7EF へ書き込みます。 書き込み動作は連続して実行し、間には読み書き動作を含まないようにする必要があります。値が正しくキャプチャされたことの確認として、アドレス 0xE90C のシンプルな 16 ビット読み出しで値 0x3BD を表示させる必要があります。
関連する問題	なし。

表 28. C 相電圧データ・パスでハイパス・フィルタをディスエーブルできない[er003、Version = 1 Silicon]

背景	CONFIG3 レジスタのビット 0 (HPFEN) が 0 のとき、相電流、中性電流、相電圧の各データ・パス内のすべてのハイパス・フィルタ (HPF) がディスエーブルされます (電流チャンネル HPF と電圧チャンネル HPF の詳細については、ADE7880 データシートを参照してください)。
問題	ビット HPFEN の状態と無関係に、C 相電圧データ・パスの HPF がイネーブルされたままになる。
対策	対策はありません。
関連する問題	なし。

表 29.無負荷状態が規定通りに機能しない[er004、Version = 1 Silicon]

背景	<p>総合有効電力無負荷では、総合有効電力量と皮相電力量を使用して無負荷状態を発生させます。総合有効電力量または皮相電力量がそれぞれ APNOLOAD および VANOLOAD の符号なし 16 ビット・レジスタで指定された時間の間積算されない場合、無負荷状態が発生し、その相の総合有効電力量が積算されず、総合有効電力量に基づいて CF パルスも発生されません。基本波有効と無効電力無負荷では基本波有効電力量と基本波無効電力量を使用して無負荷状態を発生させます。基本波有効電力量も基本波無効電力量も対応する APNOLOAD と VARNLOAD 符号なし 16 ビット・レジスタで指定される時間積算されない場合、無負荷状態が発生して、その相の基本波有効電力量と基本波無効電力量が積算されず、基本波有効電力量と基本波無効電力量に基づいて CF パルスも発生されません。</p>
問題	<p>相 x (x = A、B、C) の総合有効電力量が APNOLOAD より小さく、かつ皮相電力量が VANOLOAD より大きい場合、無負荷状態は発生しない必要があります。CF パルスの発生が続いても、STATUS1 レジスタと PHNOLOAD レジスタのビット 0 (NLOAD) とビット[2:0] (NLPHASE) が 0 にクリアされたままで無負荷状態でないことを表示し、xWATTHR レジスタは電力量の積算を停止することが観測されました。基本波有効電力量無負荷は、基本波無効電力量無負荷と無関係に機能することが観測されました。例えば、基本波有効電力量が APNOLOAD を下回り、かつ基本波無効電力量が VARNLOAD を上回る場合、相は無負荷状態でないため、両電力量の積算は継続する必要があります。これに対して、相基本波有効電力量に基づいて CF パルスが発生されず、基本波無効電力量に基づいて CF パルスが発生されている間に FWATTHR レジスタがブロックされます。したがって、FVARHR レジスタの積算が続き、STATUS1 レジスタのビット 1 (FNLOAD) と PHNOLOAD レジスタのビット[5:3] (FNLPHASE) が 0 クリアされます。</p>
対策	<p>両無負荷状態は APNOLOAD スレッシュホールドを使うため、両問題に対する対策は次のようになります。</p> <ul style="list-style-type: none"> • APNOLOAD と VARNLOAD を 0 クリアします。 • VANOLOAD に所望の値を設定します。 <p>相 x (x = A、B、C) の皮相電力量が VANOLOAD を下回ると、PHNOLOAD のビット[2:0] (VANLPHASE) の 1 つと一緒に STATUS1 のビット 2 (VANLOAD) が 1 に設定されます。次に、APNOLOAD と VARNLOAD を VANOLOAD に一致させます。相 x (x = A、B、C) の総合有効電力量が無負荷状態になります。</p> <ul style="list-style-type: none"> • CF パルスが停止します。 • STATUS1 レジスタのビット 0 (NLOAD) が 1 に設定されます。 • PHNOLOAD レジスタのビット[2:0] (NLPHASE[2:0]) の 1 つが 1 に設定されます。 • xWATTHR レジスタが電力量の積算を停止します。 <p>相 x (x = A、B、C) の基本波有効電力量と基本波無効電力量が無負荷状態になります。</p> <ul style="list-style-type: none"> • CF パルスが停止します。 • STATUS1 レジスタのビット 1 (FNLOAD) が 1 に設定されます。 • PHNOLOAD レジスタのビット[5:3] (FNLPHASE[2:0]) の 1 つが 1 に設定されます。 • xFWATTHR レジスタと xVARHR レジスタが電力量の積算を停止します。
関連する問題	なし。

セクション 1. ADE7880 の機能上の問題

参照番号	説明	ステータス
er001	SPI モードの高調波計算レジスタに対して LAST_ADD レジスタが正しくない値を表示する。	確認済み
er002	最適精度性能を得るため、内部設定を変更する必要がある。	確認済み
er003	C 相電圧データ・パスでハイパス・フィルタをディスエーブルできない。	確認済み
er004	無負荷状態が規定通りに機能しない。	確認済み

レジスタの一覧

表 30.DSP データ・メモリ RAM に配置されたレジスタ

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	説明
0x4380	AIGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電流ゲインの調整。
0x4381	AVGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電圧ゲインの調整。
0x4382	BIGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電流ゲインの調整。
0x4383	BVGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電圧ゲインの調整。
0x4384	CIGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電流ゲインの調整。
0x4385	CVGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電圧ゲインの調整。
0x4386	NIGAIN	R/W	24	32 ZPSE	S	0x000000	中性電流ゲインの調整。
0x4387	予約済み	R/W	24	32 ZPSE	S	0x000000	正常動作のためには、このロケーションに書込まないでください。
0x4388	DICOEFF	R/W	24	32 ZPSE	S	0x0000000	デジタル積分器アルゴリズムで使用するレジスタ。積分器をターンオンする場合、0xFF8000 に設定する必要があります。実際には、0xFFFF8000 として送信されます。
0x4389	APGAIN	R/W	24	32 ZPSE	S	0x000000	A 相電力ゲインの調整。
0x438A	AWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相総合有効電力オフセットの調整。
0x438B	BPGAIN	R/W	24	32 ZPSE	S	0x000000	B 相電力ゲインの調整。
0x438C	BWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相総合有効電力オフセットの調整。
0x438D	CPGAIN	R/W	24	32 ZPSE	S	0x000000	C 相電力ゲインの調整。
0x438E	CWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相総合有効電力オフセットの調整。
0x438F	AIRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電流 rms オフセット。
0x4390	AVRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相電圧 rms オフセット。
0x4391	BIRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電流 rms オフセット。
0x4392	BVRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相電圧 rms オフセット。
0x4393	CIRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電流 rms オフセット。
0x4394	CVRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相電圧 rms オフセット。
0x4395	NIRMSOS	R/W	24	32 ZPSE	S	0x000000	中性電流 rms オフセット。
0x4396- 0x4397	予約済み	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのロケーションに書込まないでください。
0x4398	HPGAIN	R/W	24	32 ZPSE	S	0x000000	高調波電力ゲインの調整。
0x4399	ISUMLVL	R/W	24	32 ZPSE	S	0x000000	相電流の和と中性電流との間の比較に使用するスレッシュホールド。
0x439A- 0x439E	予約済み	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのロケーションに書込まないでください。
0x439F	VLEVEL	R/W	24	32 ZPSE	S	0x000000	基本波有効電力と基本波無効電力を計算するアルゴリズムで使用するレジスタ
0x43A0- 0x43A1	予約済み	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのロケーションに書込まないでください。
0x43A2	AFWATTOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波有効電力オフセットの調整。
0x43A3	BFWATTOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波有効電力オフセットの調整。
0x43A4	CFWATTOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波有効電力オフセットの調整。
0x43A5	AFVAROS	R/W	24	32 ZPSE	S	0x000000	A 相基本波無効電力オフセットの調整。
0x43A6	BFVAROS	R/W	24	32 ZPSE	S	0x000000	B 相基本波無効電力オフセットの調整。
0x43A7	CFVAROS	R/W	24	32 ZPSE	S	0x000000	C 相基本波無効電力オフセットの調整。
0x43A8	AFIRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波電流 rms オフセット。
0x43A9	BFIRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波電流 rms オフセット。
0x43AA	CFIRMSOS	R/W	24	32 ZPSE	S	0x000000	C 相基本波電流 rms オフセット。
0x43AB	AFVRMSOS	R/W	24	32 ZPSE	S	0x000000	A 相基本波電圧 rms オフセット。
0x43AC	BFVRMSOS	R/W	24	32 ZPSE	S	0x000000	B 相基本波電圧 rms オフセット。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値	説明
0x43AD	CFVRMSOS	R/W	24	32 ZPSE	S	0x000000	C相基本波電圧 rms オフセット。
0x43AE	HXWATTOS	R/W	24	32 ZPSE	S	0x000000	高調波 X での有効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43AF	HYWATTOS	R/W	24	32 ZPSE	S	0x000000	高調波 Y での有効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B0	HZWATTOS	R/W	24	32 ZPSE	S	0x000000	高調波 Z での有効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B1	HXVAROS	R/W	24	32 ZPSE	S	0x000000	高調波 X での無効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B2	HYVAROS	R/W	24	32 ZPSE	S	0x000000	高調波 Y での無効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B3	HZVAROS	R/W	24	32 ZPSE	S	0x000000	高調波 Z での無効電力オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B4	HXIRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 X での電流 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B5	HYIRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 Y での電流 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B6	HZIRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 Z での電流 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B7	HXVRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 X での電圧 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B8	HYVRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 Y での電圧 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43B9	HZVRMSOS	R/W	24	32 ZPSE	S	0x000000	高調波 Z での電圧 rms オフセット調整(詳細については、高調波の計算のセクション参照)。
0x43BA to 0x43BF	予約済み	N/A	N/A	N/A	N/A	0x000000	正常動作のためには、これらのロケーションに書込まないでください。
0x43C0	AIRMS	R	24	32 ZP	S	N/A	A相電流 rms 値。
0x43C1	AVRMS	R	24	32 ZP	S	N/A	A相電圧 rms 値。
0x43C2	BIRMS	R	24	32 ZP	S	N/A	B相電流 rms 値。
0x43C3	BVRMS	R	24	32 ZP	S	N/A	B相電圧 rms 値。
0x43C4	CIRMS	R	24	32 ZP	S	N/A	C相電流 rms 値。
0x43C5	CVRMS	R	24	32 ZP	S	N/A	C相電圧 rms 値。
0x43C6	NIRMS	R	24	32 ZP	S	N/A	中性電流 rms 値。
0x43C7	ISUM	R	24	32 ZP	S	N/A	IAWV、IBWV、ICWV の各レジスタの和。
0x43C8 to 0x43FF	予約済み	N/A	N/A	N/A	N/A	N/A	正常動作のためには、これらのロケーションに書込まないでください。

¹ R は読出し、W は書込。

² 32 ZPSE は上位 4 ビットに 0 を詰め 28 ビットへ符号拡張した 32 ビット・ワードとして送信される 24 ビット符号付きレジスタ。これに対して 32 ZP は上位 4 ビットまたは 8 ビットに 0 を詰めて 32 ビット・ワードとして送信される、それぞれ 28 ビットまたは 24 ビットの符号付きまたは符号なしレジスタ。

³ U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

表 31. 内部 DSP メモリ RAM レジスタ

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長	タイプ ²	デフォルト値	説明
0xE203	予約済み	R/W	16	16	U	0x0000	正常動作のためには、これらのロケーションに書込まないでください。
0xE228	Run	R/W	16	16	U	0x0000	Run レジスタは DSP を起動/停止させます。詳細については、デジタル信号プロセッサのセクションを参照してください。

¹ R は読出し、W は書込。

² U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

表 32.課金レジスタ

アドレス	レジスタ名	R/W ^{1, 2}	ビット長 ²	通信時のビット長 ²	タイプ ³	デフォルト値	説明
0xE400	AWATTHR	R	32	32	S	0x00000000	A 相総合有効電力量積算。
0xE401	BWATTHR	R	32	32	S	0x00000000	B 相総合有効電力量積算。
0xE402	CWATTHR	R	32	32	S	0x00000000	C 相総合有効電力量積算。
0xE403	AFWATTHR	R	32	32	S	0x00000000	A 相基本波有効電力量積算。
0xE404	BFWATTHR	R	32	32	S	0x00000000	B 相基本波有効電力量積算。
0xE405	CFWATTHR	R	32	32	S	0x00000000	C 相基本波有効電力量積算。
0xE406 to 0xE408	予約済み	R	32	32	S	0x00000000	
0xE409	AFVARHR	R	32	32	S	0x00000000	A 相基本波無効電力量積算。
0xE40A	BFVARHR	R	32	32	S	0x00000000	B 相基本波無効電力量積算。
0xE40B	CFVARHR	R	32	32	S	0x00000000	C 相基本波無効電力量積算。
0xE40C	AVAHR	R	32	32	S	0x00000000	A 相皮相電力量積算。
0xE40D	BVAHR	R	32	32	S	0x00000000	B 相皮相電力量積算。
0xE40E	CVAHR	R	32	32	S	0x00000000	C 相皮相電力量積算。

¹ R は読み出し、W は書き込み。² N/A は該当なし。³ U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

表 33.設定レジスタと電力品質のレジスタ

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE500	IPEAK	R	32	32	U	N/A	電流ピーク・レジスタ。構成の詳細については、図 58 と表 34 を参照
0xE501	VPEAK	R	32	32	U	N/A	電圧ピーク・レジスタ。構成の詳細については、図 58 と表 35 を参照
0xE502	STATUS0	R/W	32	32	U	N/A	割込みステータス・レジスタ 0。表 36 を参照してください。
0xE503	STATUS1	R/W	32	32	U	N/A	割込みステータス・レジスタ 1。表 37 を参照してください。
0xE504	AIMAV	R	20	32 ZP	U	N/A	PSM0 モードと PSM1 モードで計算される A 相電流平均絶対値。
0xE505	BIMAV	R	20	32 ZP	U	N/A	PSM0 モードと PSM1 モードで計算される B 相電流平均絶対値。
0xE506	CIMAV	R	20	32 ZP	U	N/A	PSM0 モードと PSM1 モードで計算される C 相電流平均絶対値。
0xE507	OILVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電流スレッシュホールド。
0xE508	OVLVL	R/W	24	32 ZP	U	0xFFFFFFFF	過電圧スレッシュホールド。
0xE509	SAGLVL	R/W	24	32 ZP	U	0x000000	電圧 SAG レベル・スレッシュホールド。
0xE50A	MASK0	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 0。表 38 を参照してください。
0xE50B	MASK1	R/W	32	32	U	0x00000000	割込みイネーブル・レジスタ 1。表 39 を参照してください。
0xE50C	IAWV	R	24	32 SE	S	N/A	A 相電流の瞬時値。
0xE50D	IBWV	R	24	32 SE	S	N/A	B 相電流の瞬時値。
0xE50E	ICWV	R	24	32 SE	S	N/A	C 相電流の瞬時値。
0xE50F	INWV	R	24	32 SE	S	N/A	中性電流の瞬時値。
0xE510	VAWV	R	24	32 SE	S	N/A	A 相電圧の瞬時値。
0xE511	VBWV	R	24	32 SE	S	N/A	B 相電圧の瞬時値。
0xE512	VCWV	R	24	32 SE	S	N/A	C 相電圧の瞬時値。
0xE513	AWATT	R	24	32 SE	S	N/A	A 相総合有効電力の瞬時値。
0xE514	BWATT	R	24	32 SE	S	N/A	B 相総合有効電力の瞬時値。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE515	CWATT	R	24	32 SE	S	N/A	C 相総合有効電力の瞬時値。
0xE516 to 0xE518	予約済み	R	24	32 SE	S	0x000000	
0xE519	AVA	R	24	32 SE	S	N/A	A 相皮相電力の瞬時値。
0xE51A	BVA	R	24	32 SE	S	N/A	B 相皮相電力の瞬時値。
0xE51B	CVA	R	24	32 SE	S	N/A	C 相皮相電力の瞬時値。
0xE51F	CHECKSUM	R	32	32	U	0xAFFA63B9	チェックサムの確認。詳細については、CHECKSUM レジスタのセクションを参照してください。
0xE520	VNOM	R/W	24	32 ZP	S	0x000000	皮相電力の別の計算で使用する公称相電圧 rms。
0xE521 to 0xE5FE	予約済み						正常動作のためには、このロケーションに書込まないでください。
0xE5FF	LAST_RWDATA32	R	32	32	U	N/A	直前の正常 32 ビット・レジスタ通信からのデータを格納。
0xE600	PHSTATUS	R	16	16	U	N/A	相ピーク・レジスタ。表 40 を参照してください。
0xE601	ANGLE0	R	16	16	U	N/A	時間遅延 0。詳細については、相間のタイム・インターバルのセクションを参照してください。
0xE602	ANGLE1	R	16	16	U	N/A	時間遅延 1。詳細については、相間のタイム・インターバルのセクションを参照してください。
0xE603	ANGLE2	R	16	16	U	N/A	時間遅延 2。詳細については、相間のタイム・インターバルのセクションを参照してください。
0xE604 to 0xE607	予約済み						正常動作のためには、このロケーションに書込まないでください。
0xE608	PHNOLOAD	R	16	16	U	N/A	相無負荷レジスタ。表 41 を参照してください。
0xE609 to 0xE60B	予約済み						正常動作のためには、このロケーションに書込まないでください。
0xE60C	LINECYC	R/W	16	16	U	0xFFFF	ライン・サイクル積算モード・カウンタ。
0xE60D	ZXTOUT	R/W	16	16	U	0xFFFF	ゼロ交差タイムアウト・カウンタ。
0xE60E	COMPmode	R/W	16	16	U	0x01FF	計算モード・レジスタ。表 42 を参照してください。
0xE60F	Gain	R/W	16	16	U	0x0000	ADC 入力の PGA ゲイン。表 43 を参照してください。
0xE610	CFMODE	R/W	16	16	U	0x0EA0	CFx 設定レジスタ。表 44 を参照してください。
0xE611	CF1DEN	R/W	16	16	U	0x0000	CF1 の分母。
0xE612	CF2DEN	R/W	16	16	U	0x0000	CF2 の分母。
0xE613	CF3DEN	R/W	16	16	U	0x0000	CF3 の分母。
0xE614	APHCAL	R/W	10	16 ZP	U	0x0000	A 相の位相キャリブレーション。表 45 を参照してください。
0xE615	BPHCAL	R/W	10	16 ZP	U	0x0000	B 相の位相キャリブレーション。表 45 を参照してください。
0xE616	CPHCAL	R/W	10	16 ZP	U	0x0000	C 相の位相キャリブレーション。表 45 を参照してください。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE617	PHSIGN	R	16	16	U	N/A	電力符号レジスタ。表 46 を参照してください。
0xE618	CONFIG	R/W	16	16	U	0x0002	ADE7880 設定レジスタ。表 47 を参照してください。
0xE700	MMODE	R/W	8	8	U	0x1C	測定モード・レジスタ。表 48 を参照してください。
0xE701	ACCMODE	R/W	8	8	U	0x80	積算モード・レジスタ。表 49 を参照してください。
0xE702	LCYCMODE	R/W	8	8	U	0x78	ライン積算モード動作。表 51 を参照してください。
0xE703	PEAKCYC	R/W	8	8	U	0x00	ピーク検出半ライン・サイクル数。
0xE704	SAGCYC	R/W	8	8	U	0x00	SAG 検出半ライン・サイクル数。
0xE705	CFCYC	R/W	8	8	U	0x01	隣り合う電力量ラッチ間の CF パルス数。電力量レジスタと CFx 出力の同期化のセクションを参照してください。
0xE706	HSDC_CFG	R/W	8	8	U	0x00	HSDC 設定レジスタ。表 52 を参照してください。
0xE707	Version	R	8	8	U		チップのバージョン。
0xE7FD	LAST_RWDATA8	R	8	8	U	N/A	直前の正常 8 ビット・レジスタ通信からのデータを格納。
0xE880	FVRMS	R	24	32	S	N/A	相電圧の基本波成分の rms 値。
0xE881	FIRMS	R	24	32	S	N/A	相電流の基本波成分の rms 値。
0xE882	FWATT	R	24	32	S	N/A	基本波成分の有効電力。
0xE883	FVAR	R	24	32	S	N/A	基本波成分の無効電力。
0xE884	FVA	R	24	32	S	N/A	基本波成分の皮相電力。
0xE885	FPF	R	24	32	S	N/A	基本波成分の力率。
0xE886	VTHD	R	24	32	S	N/A	相電圧の全高調波歪み。
0xE887	ITHD	R	24	32	S	N/A	相電流の全高調波歪み。
0xE888	HXVRMS	R	24	32	S	N/A	相電圧高調波 X の rms 値。
0xE889	HXIRMS	R	24	32	S	N/A	相電流高調波 X の rms 値。
0xE88A	HXWATT	R	24	32	S	N/A	高調波 X の有効電力。
0xE88B	HXVAR	R	24	32	S	N/A	高調波 X の無効電力。
0xE88C	HXVA	R	24	32	S	N/A	高調波 X の皮相電力。
0xE88D	HXPF	R	24	32	S	N/A	高調波 X の力率。
0xE88E	HXVHD	R	24	32	S	N/A	基本波を基準とする相電圧高調波 X の高調波歪み。
0xE88F	HXIHD	R	24	32	S	N/A	基本波を基準とする相電流高調波 X の高調波歪み。
0xE890	HYVRMS	R	24	32	S	N/A	相電圧高調波 Y の rms 値。
0xE891	HYIRMS	R	24	32	S	N/A	相電流高調波 Y の rms 値。
0xE892	HYWATT	R	24	32	S	N/A	高調波 Y の有効電力。
0xE893	HYVAR	R	24	32	S	N/A	高調波 Y の無効電力。
0xE894	HYVA	R	24	32	S	N/A	高調波 Y の皮相電力。
0xE895	HYPF	R	24	32	S	N/A	高調波 Y の力率。
0xE896	HYVHD	R	24	32	S	N/A	基本波を基準とする相電圧高調波 Y の高調波歪み。
0xE897	HYIHD	R	24	32	S	N/A	基本波を基準とする相電流高調波 Y の高調波歪み。
0xE898	HZVRMS	R	24	32	S	N/A	相電圧高調波 Z の rms 値。
0xE899	HZIRMS	R	24	32	S	N/A	相電流高調波 Z の rms 値。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xE89A	HZWATT	R	24	32	S	N/A	高調波 Z の有効電力。
0xE89B	HZVAR	R	24	32	S	N/A	高調波 Z の無効電力。
0xE89C	HZVA	R	24	32	S	N/A	高調波 Z の皮相電力。
0xE89D	HZPF	R	24	32	S	N/A	高調波 Z の力率。
0xE89E	HZVHD	R	24	32	S	N/A	基本波を基準とする相電圧高調波 Z の高調波歪み。
0xE89F	HZIHD	R	24	32	S	N/A	基本波を基準とする相電流高調波 Z の高調波歪み。
0xE8A0 to 0xE8FF	予約済み		24	32			予約済み。これらのレジスタは常に 0。
0xE900	HCONFIG	R/W	16	16	U	0x08	高調波計算設定レジスタ。表 54 を参照してください。
0xE902	APF	R	16	16	U	N/A	A 相力率。
0xE903	BPF	R	16	16	U	N/A	B 相力率。
0xE904	CPF	R	16	16	U	N/A	C 相力率。
0xE905	APERIOD	R	16	16	U	N/A	A 相電圧のライン周期。
0xE906	BPERIOD	R	16	16	U	N/A	B 相電圧のライン周期。
0xE907	CPERIOD	R	16	16	U	N/A	C 相電圧のライン周期。
0xE908	APNOLOAD	R/W	16	16	U	0x0000	総合/基本波有効電力データ・パスの無負荷スレッシュホールド。
0xE909	VARNLOAD	R/W	16	16	U	0x0000	総合/基本波無効電力データ・パスの無負荷スレッシュホールド。
0xE90A	VANOLOAD	R/W	16	16	U	0x0000	皮相電力データ・パスの無負荷スレッシュホールド。
0xE9FE	LAST_ADD	R	16	16	U	N/A	直前の読み書き動作で正常にアクセスされたレジスタのアドレス。
0xE9FF	LAST_RWDATA16	R	16	16	U	N/A	直前の正常 16 ビット・レジスタ通信からのデータを格納。
0xEA00	CONFIG3	R/W	8	8	U	0x01	設定レジスタ。表 53 を参照してください。
0xEA01	LAST_OP	R	8	8	U	N/A	直前の正常な読み書き動作のタイプ、読出し/書き込みを表示。
0xEA02	WTHR	R/W	8	8	U	0x03	相総合/基本波有効電力データ・パスで使用されるスレッシュホールド。
0xEA03	VARTHR	R/W	8	8	U	0x03	相総合/基本波無効電力データ・パスで使用されるスレッシュホールド。
0xEA04	VATHR	R/W	8	8	U	0x03	相皮相電力データ・パスで使用されるスレッシュホールド。
0xEA05 to 0xEA07	予約済み		8	8			予約済み。これらのレジスタは常に 0。
0xEA08	HX	R/W	8	8	U	3	高調波計算でモニタする高調波のインデックスを選択。
0xEA09	HY	R/W	8	8	U	5	高調波計算でモニタする高調波のインデックスを選択。
0xEA0A	HZ	R/W	8	8	U	7	高調波計算でモニタする高調波のインデックスを選択。
0xEA0B to 0xEBFE	予約済み		8	8			予約済み。これらのレジスタは常に 0。

アドレス	レジスタ名	R/W ¹	ビット長	通信時のビット長 ²	タイプ ³	デフォルト値 ⁴	説明
0xEBFF	予約済み		8	8			SPI をアクティブ・ポートとして選択した場合、このアドレスを使ってSS/HSAピンを操作することができます。詳細については、シリアル・インターフェースのセクションを参照してください。
0xEC00	LPOILVL	R/W	8	8	U	0x07	PSM2 モードで使用される過電流レシヨールド。レジスタの詳細については、表 55 参照。
0xEC01	CONFIG2	R/W	8	8	U	0x00	PSM1 モードで使用される設定レジスタ。表 56 を参照してください。

¹ R は読み出し、W は書き込み。

² 32 ZP は上位 8 ビットまたは 12 ビットに 0 を詰めて 32 ビット・ワードとして送信される、それぞれ 24 ビットまたは 20 ビットの符号付きまたは符号なしレジスタ。

32 SE は 32 ビットへ符号拡張して 32 ビット・ワードとして送信される 24 ビット符号付きレジスタ。16 ZP は上位 6 ビットに 0 を詰めて 16 ビット・ワードとして送信される 10 ビット符号なしレジスタ。

³ U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

⁴ N/A は該当なし。

表 34. IPEAK レジスタ (アドレス 0xE500)

ビット	記号	デフォルト値	説明
23:0	IPEAKVAL[23:0]	0	これらのビットは電流チャンネルで決定されたピーク値を格納。
24	IPPHASE[0]	0	このビットが 1 に設定された場合、IPEAKVAL[23:0]値は A 相電流で発生。
25	IPPHASE[1]	0	このビットが 1 に設定された場合、IPEAKVAL[23:0]値は B 相電流で発生。
26	IPPHASE[2]	0	このビットが 1 に設定された場合、IPEAKVAL[23:0]値は C 相電流で発生。
31:27		00000	これらのビットは常に 0。

表 35. VPEAK レジスタ (アドレス 0xE501)

ビット	記号	デフォルト値	説明
23:0	VPEAKVAL[23:0]	0	これらのビットは電圧チャンネルで決定されたピーク値を格納。
24	VPPHASE[0]	0	このビットが 1 に設定された場合、VPEAKVAL[23:0]値は A 相電圧で発生。
25	VPPHASE[1]	0	このビットが 1 に設定された場合、VPEAKVAL[23:0]値は B 相電圧で発生。
26	VPPHASE[2]	0	このビットが 1 に設定された場合、VPEAKVAL[23:0]値は C 相電圧で発生。
31:27		00000	これらのビットは常に 0。

表 36. STATUS0 レジスタ (アドレス 0xE502)

ビット	記号	デフォルト値	説明
0	AEHF	0	このビットが 1 に設定された場合、いずれかの総合有効電力量レジスタ (AWATTHR、BWATTHR、CWATTHR) のビット 30 が変化したことを表示します。
1	FAEHF	0	このビットが 1 に設定された場合、いずれかの基本波有効電力量レジスタ (FWATTHR、BFWATTHR、CFWATTHR) のビット 30 が変化したことを表示します。
2	予約済み	0	このビットは常に 0。
3	FREHF	0	このビットが 1 に設定された場合、いずれかの基本波無効電力量レジスタ (AFVARHR、BFVARHR、CFVARHR) のビット 30 が変化したことを表示します。
4	VAEHF	0	このビットが 1 に設定された場合、いずれかの皮相電力量レジスタ (AVAHR、BVAHR、CVAHR) のビット 30 が変化したことを表示します。
5	LENERGY	0	ライン電力量積算モードでこのビットが 1 に設定された場合、LINECYC レジスタに整数で設定された半ライン・サイクル数間での積分が終了したことを表示します。
6	REVAPA	0	このビットが 1 に設定された場合、ACCMODE レジスタ (総合または基本波) のビット 6 (REVAPSEL) で指定された A 相有効電力の符号が変化したことを表示します。符号自体は PHSIGN レジスタのビット 0 (AWSIGN) で表示されます (表 46 参照)。
7	REVAPB	0	このビットが 1 に設定された場合、ACCMODE レジスタ (総合または基本波) のビット 6 (REVAPSEL) で指定された B 相有効電力の符号が変化したことを表示します。符号自体は PHSIGN レジスタのビット 1 (BWSIGN) で表示されます (表 46 参照)。

ビット	記号	デフォルト値	説明
8	REVAPC	0	このビットが1に設定された場合、ACCMODEレジスタ(総合または基本波)のビット6 (REVAPSEL)で指定されたC相有効電力の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット2 (CWSIGN)で表示されます(表46参照)。
9	REVPSUM1	0	このビットが1に設定された場合、CF1データ・パス内のすべての相電力の和の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット3 (SUM1SIGN)で表示されます(表46参照)。
10	REVFRPA	0	このビットが1に設定された場合、A相基本波無効電力の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット4 (AFVARSIGN)で表示されます(表46参照)。
11	REVFRPB	0	このビットが1に設定された場合、B相基本波無効電力の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット5 (BFVARSIGN)で表示されます(表46参照)。
12	REVFRPC	0	このビットが1に設定された場合、C相基本波無効電力の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット6 (CFVARSIGN)で表示されます(表46参照)。
13	REVPSUM2	0	このビットが1に設定された場合、CF2データ・パス内のすべての相電力の和の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット7 (SUM2SIGN)で表示されます(表46参照)。
14	CF1		このビットが1に設定された場合、ハイ・レベルからロー・レベルへの変化がCF1ピンで発生したこと、すなわちアクティブ・ロー・パルスが発生したことを表示します。CFMODEレジスタのビット9 (CF1DIS)を1に設定してCF1出力をディスエーブルした場合でも、このビットはセットされます。CF1ピンで使用する電力タイプは、CFMODEレジスタのビット[2:0] (CF1SEL[2:0])で指定されます(表44参照)。
15	CF2		このビットが1に設定された場合、ハイ・レベルからロー・レベルへの変化がCF2ピンで発生したこと、すなわちアクティブ・ロー・パルスが発生したことを表示します。CFMODEレジスタのビット10 (CF2DIS)を1に設定してCF2出力をディスエーブルした場合でも、このビットはセットされます。CF2ピンで使用する電力タイプは、CFMODEレジスタのビット[5:3] (CF2SEL[2:0])で指定されます(表44参照)。
16	CF3		このビットが1に設定された場合、ハイ・レベルからロー・レベルへの変化がCF3ピンで発生したこと、すなわちアクティブ・ロー・パルスが発生したことを表示します。CFMODEレジスタのビット11 (CF3DIS)を1に設定してCF3出力をディスエーブルした場合でも、このビットはセットされます。CF3ピンで使用する電力タイプは、CFMODEレジスタのビット[8:6] (CF3SEL[2:0])で指定されます(表44参照)。
17	DREADY	0	このビットが1に設定された場合、すべての周期DSP計算(8kHzレート)が終了したことを表示します。
18	REVPSUM3	0	このビットが1に設定された場合、CF3データ・パス内のすべての相電力の和の符号が変化したことを表示します。符号自体はPHSIGNレジスタのビット8 (SUM3SIGN)で表示されます(表46参照)。
19	HREADY	0	このビットが1に設定された場合、高調波ブロック出力レジスタが更新されたことを表示します。HCONFIGレジスタのビット1 (HRCFG)が0クリアされると、高調波ブロック出力レジスタが8kHzレートで更新されるごとに、このフラグが1に設定されます。ビットHRCFGが1に設定された場合、高調波ブロックのセットアップ後750msから開始し、高調波ブロック出力レジスタが8kHzレートで更新されるごとにHREADYフラグが1に設定されます。
31:18	予約済み	0 0000 0000 0000	予約済み。これらのビットは常に0。

表 37.STATUS1 レジスタ(アドレス 0xE503)

ビット	記号	デフォルト値	説明
0	NLOAD	0	このビットが 1 に設定された場合、少なくとも 1 相が総合有効電力と皮相電力により決定された無負荷状態になったことを表示します。相は、PHNOLOAD レジスタのビット [2:0] (NLPHASE[x]) で表示されます(表 41)。
1	FNLOAD	0	このビットが 1 に設定された場合、少なくとも 1 相が基本波有効電力と基本波無効電力により決定された無負荷状態になったことを表示します。相は、PHNOLOAD レジスタのビット [5:3] (FNLPHASE[x]) で表示されます(表 41)。
2	VANLOAD	0	このビットが 1 に設定された場合、少なくとも 1 相が皮相電力により決定された無負荷状態になったことを表示します。相は、PHNOLOAD レジスタのビット [8:6] (VANLPHASE[x]) で表示されます(表 41)。
3	ZXTOVA	0	このビットが 1 に設定された場合、A 相電圧にゼロ交差がないことを表示します。
4	ZXTOVB	0	このビットが 1 に設定された場合、B 相電圧にゼロ交差がないことを表示します。
5	ZXTOVC	0	このビットが 1 に設定された場合、C 相電圧にゼロ交差がないことを表示します。
6	ZXTOIA	0	このビットが 1 に設定された場合、A 相電流にゼロ交差がないことを表示します。
7	ZXTOIB	0	このビットが 1 に設定された場合、B 相電流にゼロ交差がないことを表示します。
8	ZXTOIC	0	このビットが 1 に設定された場合、C 相電流にゼロ交差がないことを表示します。
9	ZXVA	0	このビットが 1 に設定された場合、A 相電圧にゼロ交差が検出されたことを表示します。
10	ZXVB	0	このビットが 1 に設定された場合、B 相電圧にゼロ交差が検出されたことを表示します。
11	ZXVC	0	このビットが 1 に設定された場合、C 相電圧にゼロ交差が検出されたことを表示します。
12	ZXIA	0	このビットが 1 に設定された場合、A 相電流にゼロ交差が検出されたことを表示します。
13	ZXIB	0	このビットが 1 に設定された場合、B 相電流にゼロ交差が検出されたことを表示します。
14	ZXIC	0	このビットが 1 に設定された場合、C 相電流にゼロ交差が検出されたことを表示します。
15	RSTDONE	1	ソフトウェア・リセット・コマンドにより CONFIG レジスタのビット 7 (SWRST) が 1 に設定された時、PSM1、PSM2、または PSM3 から PSM0 への変化の時、あるいはハードウェア・リセットの時、変化プロセスの終わりでかつすべてのレジスタ値がデフォルトに変化した後に、このビットが 1 に設定されます。この割込みはディスエーブルできないため、 $\overline{\text{IRQ1}}$ ピンがロー・レベルになってこのタイミングを通知します。
16	SAG	0	このビットが 1 に設定された場合、いずれかの相電圧が SAG 状態になったことを表示します。相は、PHSTATUS レジスタのビット [14:12] (VSPHASE[x]) で表示されます(表 40)。
17	OI	0	このビットが 1 に設定された場合、PHSTATUS レジスタのビット [5:3] (OIPHASE[x]) で指定されたいずれかの相で過電流イベントが発生したことを表示します(表 40 参照)。
18	OV	0	このビットが 1 に設定された場合、PHSTATUS レジスタのビット [11:9] (OVPHASE[x]) で指定されたいずれかの相で過電圧イベントが発生したことを表示します(表 40 参照)。
19	SEQERR	0	このビットが 1 に設定された場合、A 相電圧での負から正へのゼロ交差の後に B 相電圧での負から正へのゼロ交差が続かずに、C 相電圧での負から正へのゼロ交差が続いたことを表示します。
20	MISMTC	0	このビットが 1 に設定された場合、 $\ ISUM\ - INWV > ISUMLVL$ を表します。ここで、 $ISUMLVL$ は $ISUMLVL$ レジスタ内に表示されます。
21	予約済み	1	予約済み。このビットは常に 1。
22	予約済み	0	予約済み。このビットは常に 0。
23	PKI	0	このビットが 1 に設定された場合、電流チャンネルでピーク値の検出に使われる周期が終了したことを表示します。IPEAK レジスタはピーク値とピークが検出された相を格納します(表 34 参照)。

ビット	記号	デフォルト値	説明
24	PKV	0	このビットが1に設定された場合、電圧チャンネルでピーク値の検出に使われる周期が終了したことを表示します。VPEAK レジスタはピーク値とピークが検出された相を格納します(表 35 参照)。
25	CRC	0	このビットが1に設定された場合、Run レジスタが1に設定されたときに計算したチェックサムと異なるチェックサムを ADE7880 が計算したことを表示します。
31:26	予約済み	000 0000	予約済み。これらのビットは常に0。

表 38.MASK0 レジスタ(アドレス 0xE50A)

ビット	記号	デフォルト値	説明
0	AEHF	0	このビットが1に設定された場合、いずれかの総合有効電力量レジスタ(AWATTHR、BWATTHR、CWATTHR)のビット30が変化したときの割込みをイネーブルします。
1	FAEHF	0	このビットが1に設定された場合、いずれかの基本波有効電力量レジスタ(AFWATTHR、BFWATTHR、CFWATTHR)のビット30が変化したときの割込みをイネーブルします。
2	予約済み	0	このビットが制御する機能はありません。
3	FREHF	0	このビットが1に設定された場合、いずれかの基本波無効電力量レジスタ(AFVARHR、BFVARHR、CFVARHR)のビット30が変化したときの割込みをイネーブルします。
4	VAEHF	0	このビットが1に設定された場合、いずれかの皮相電力量レジスタ(AVAHR、BVAHR、CVAHR)のビット30が変化したときの割込みをイネーブルします。
5	LEENERGY	0	ライン電力量積算モードでこのビットが1に設定された場合、LINECYC レジスタに整数で設定された半ライン・サイクル数間での積分が終了したときの割込みをイネーブルします。
6	REVAPA	0	このビットが1に設定された場合、ACCMODE レジスタ(総合または基本波)のビット6 (REVAPSEL)で指定された A 相有効電力の符号が変化したときの割込みをイネーブルします。
7	REVAPB	0	このビットが1に設定された場合、ACCMODE レジスタ(総合または基本波)のビット6 (REVAPSEL)で指定された B 相有効電力の符号が変化したときの割込みをイネーブルします。
8	REVAPC	0	このビットが1に設定された場合、ACCMODE レジスタ(総合または基本波)のビット6 (REVAPSEL)で指定された C 相有効電力の符号が変化したときの割込みをイネーブルします。
9	REVPSUM1	0	このビットが1に設定された場合、CF1 データ・パスのすべての相電力の和の符号が変化したときの割込みをイネーブルします。
10	REVFRPA	0	このビットが1に設定された場合、A 相基本波無効電力の符号が変化したときの割込みをイネーブルします。
11	REVFRPB	0	このビットが1に設定された場合、B 相基本波無効電力の符号が変化したときの割込みをイネーブルします。
12	REVFRPC	0	このビットが1に設定された場合、C 相基本波無効電力の符号が変化したときの割込みをイネーブルします。
13	REVPSUM2	0	このビットが1に設定された場合、CF2 データ・パスのすべての相電力の和の符号が変化したときの割込みをイネーブルします。
14	CF1		このビットが1に設定された場合、CF1 ピンでハイ・レベルからロー・レベルへの変化が発生したとき、すなわちアクティブ・ロー・パルスが発生したときの割込みをイネーブルします。CFMODE レジスタのビット9 (CF1DIS)を1に設定して CF1 出力をディセーブルした場合でも、この割込みをイネーブルすることができます。CF1 ピンで使用する電力タイプは、CFMODE レジスタのビット[2:0] (CF1SEL[2:0])で指定されます(表 44 参照)。
15	CF2		このビットが1に設定された場合、CF2 ピンでハイ・レベルからロー・レベルへの変化が発生したとき、すなわちアクティブ・ロー・パルスが発生したときの割込みをイネーブルします。CFMODE レジスタのビット10 (CF2DIS)を1に設定して CF2 出力をディセーブルした場合でも、この割込みをイネーブルすることができます。CF2 ピンで使用する電力タイプは、CFMODE レジスタのビット[5:3] (CF2SEL[2:0])で指定されます(表 44 参照)。

ビット	記号	デフォルト値	説明
16	CF3		このビットが1に設定された場合、CF3ピンでハイ・レベルからロー・レベルへの変化が発生したとき、すなわちアクティブ・ロー・パルスが発生したときの割込みをイネーブルします。CFMODEレジスタのビット11(CF3DIS)を1に設定してCF3出力をディセーブルした場合でも、この割込みをイネーブルすることができます。CF3ピンで使用する電力タイプは、CFMODEレジスタのビット[8:6](CF3SEL[2:0])で指定されます(表44参照)。
17	DREADY	0	このビットが1に設定された場合、すべての周期DSP計算(8kHzレート)が終了したときの割込みをイネーブルします。
18	REVPSUM3	0	このビットが1に設定された場合、CF3データ・パスのすべての相電力の和の符号が変化したときの割込みをイネーブルします。
19	HREADY	0	このビットが1に設定された場合、高調波ブロック出力レジスタが更新されたときの割込みをイネーブルします。HCONFIGレジスタのビット1(HRCFG)が0クリアされると、高調波計算が8kHzレートで更新されるごとに、割込みが発生します。ビットHRCFGが1に設定されると、高調波ブロックのセットアップ後750msで開始した高調波計算が8kHzレートで更新されるごとに割込みが発生します。
31:19	予約済み	00 0000 0000 0000	予約済み。これらのビットが制御する機能はありません。

表 39.MASK1 レジスタ(アドレス 0xE50B)

ビット	記号	デフォルト値	説明
0	NLOAD	0	このビットが1に設定された場合、少なくとも1相が総合有効電力とVNOMベースの皮相電力により決定された無負荷状態になったときの割込みをイネーブルします。
1	FNLOAD	0	このビットが1に設定された場合、少なくとも1相が基本波有効電力と基本波無効電力により決定された無負荷状態になったときの割込みをイネーブルします。
2	VANLOAD	0	このビットが1に設定された場合、少なくとも1相が皮相電力により決定された無負荷状態になったときの割込みをイネーブルします。
3	ZXTOVA	0	このビットが1に設定された場合、A相電圧にゼロ交差がないときの割込みをイネーブルします。
4	ZXTOVB	0	このビットが1に設定された場合、B相電圧にゼロ交差がないときの割込みをイネーブルします。
5	ZXTOVC	0	このビットが1に設定された場合、C相電圧にゼロ交差がないときの割込みをイネーブルします。
6	ZXTOIA	0	このビットが1に設定された場合、A相電流にゼロ交差がないときの割込みをイネーブルします。
7	ZXTOIB	0	このビットが1に設定された場合、B相電流にゼロ交差がないときの割込みをイネーブルします。
8	ZXTOIC	0	このビットが1に設定された場合、C相電流にゼロ交差がないときの割込みをイネーブルします。
9	ZXVA	0	このビットが1に設定された場合、A相電圧でゼロ交差が検出されたときの割込みをイネーブルします。
10	ZXVB	0	このビットが1に設定された場合、B相電圧でゼロ交差が検出されたときの割込みをイネーブルします。
11	ZXVC	0	このビットが1に設定された場合、C相電圧でゼロ交差が検出されたときの割込みをイネーブルします。
12	ZXIA	0	このビットが1に設定された場合、A相電流でゼロ交差が検出されたときの割込みをイネーブルします。
13	ZXIB	0	このビットが1に設定された場合、B相電流でゼロ交差が検出されたときの割込みをイネーブルします。
14	ZXIC	0	このビットが1に設定された場合、C相電流でゼロ交差が検出されたときの割込みをイネーブルします。
15	RSTDONE	0	RSTDONE割込みはディセーブルできないため、このビットには機能が割り当てられていません。1または0に設定できますが、無視されます。

ビット	記号	デフォルト値	説明
16	SAG	0	このビットが1に設定された場合、いずれかの相電圧が SAG 状態になったとき、または SAG 状態から抜け出たときの割込みをイネーブルします。相は、PHSTATUS レジスタのビット[14:12] (VSPHASE[x])で表示されます(表 40)。
17	OI	0	このビットが1に設定された場合、PHSTATUS レジスタのビット[5:3] (OIPHASE[x])で指定されたいずれかの相で過電流イベントが発生したときの割込みをイネーブルします(表 40 参照)。
18	OV	0	このビットが1に設定された場合、PHSTATUS レジスタのビット[11:9] (OVPHASE[x])で指定されたいずれかの相で過電圧イベントが発生したときの割込みをイネーブルします(表 40 参照)。
19	SEQERR	0	このビットが1に設定された場合、A 相電圧での負から正へのゼロ交差の後に B 相電圧での負から正へのゼロ交差が続かずに、C 相電圧での負から正へのゼロ交差が続いたときの割込みをイネーブルします。
20	MISMATCH	0	このビットが1に設定された場合、 $\ ISUM - INWV > ISUMLVL$ が ISUMLVL レジスタで指定される値より大きい場合の割込みをイネーブルします。
22:21	予約済み	00	予約済み。これらのビットが制御する機能はありません。
23	PKI	0	このビットが1に設定された場合、電流チャンネルでピーク値の検出に使われる周期が終了したときの割込みをイネーブルします。
24	PKV	0	このビットが1に設定された場合、電圧チャンネルでピーク値の検出に使われる周期が終了したときの割込みをイネーブルします。
25	CRC	0	このビットが1に設定された場合、直前のチェックサム値が、Run レジスタが1に設定されたときに計算されたチェックサム値と異なるときの割込みをイネーブルします。
31:26	予約済み	000 0000	予約済み。これらのビットが制御する機能はありません。

表 40.PHSTATUS レジスタ(アドレス 0xE600)

ビット	記号	デフォルト値	説明
2:0	予約済み	000	予約済み。これらのビットは常に0。
3	OIPHASE[0]	0	このビットが1に設定された場合、A 相電流により STATUS1 レジスタのビット 17 (OI)が発生します。
4	OIPHASE[1]	0	このビットが1に設定された場合、B 相電流により STATUS1 レジスタのビット 17 (OI)が発生します。
5	OIPHASE[2]	0	このビットが1に設定された場合、C 相電流により STATUS1 レジスタのビット 17 (OI)が発生します。
8:6	予約済み	000	予約済み。これらのビットは常に0。
9	OVPHASE[0]	0	このビットが1に設定された場合、A 相電圧により STATUS1 レジスタのビット 18 (OV)が発生します。
10	OVPHASE[1]	0	このビットが1に設定された場合、B 相電圧により STATUS1 レジスタのビット 18 (OV)が発生します。
11	OVPHASE[2]	0	このビットが1に設定された場合、C 相電圧により STATUS1 レジスタのビット 18 (OV)が発生します。
12	VSPHASE[0]	0	0: A 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを上回る 1: A 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを下回る このビットが 0→1 または 1→0 に変化すると、A 相電圧により STATUS1 レジスタのビット 16 (SAG)が発生します。
13	VSPHASE[1]	0	0: B 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを上回る 1: B 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを下回る このビットが 0→1 または 1→0 に変化すると、B 相電圧により STATUS1 レジスタのビット 16 (SAG)が発生します。
14	VSPHASE[2]	0	0: C 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを上回る 1: C 相電圧が SAGCYC 半ライン・サイクル数の間 SAGLVL レベルを下回る このビットが 0→1 または 1→0 に変化すると、C 相電圧により STATUS1 レジスタのビット 16 (SAG)が発生します。

ビット	記号	デフォルト値	説明
15	予約済み	0	予約済み。このビットは常に 0。

表 41.PHNOLOAD レジスタ(アドレス 0xE608)

ビット	記号	デフォルト値	説明
0	NLPHASE[0]	0	0: A 相は A 相総合有効電力と皮相電力で決定される無負荷状態でない。 1: A 相は A 相総合有効電力と皮相電力で決定される無負荷状態にある。ビットは STATUS1 レジスタのビット 0 (NLOAD)と一緒に設定されます。
1	NLPHASE[1]	0	0: B 相は B 相総合有効電力と皮相電力で決定される無負荷状態でない。 1: B 相は B 相総合有効電力と皮相電力で決定される無負荷状態にある。ビットは STATUS1 レジスタのビット 0 (NLOAD)と一緒に設定されます。
2	NLPHASE[2]	0	0: C 相は C 相総合有効電力と皮相電力で決定される無負荷状態でない。 1: C 相は C 相総合有効電力と皮相電力で決定される無負荷状態にある。ビットは STATUS1 レジスタのビット 0 (NLOAD)と一緒に設定されます。
3	FNLPHASE[0]	0	0: A 相は基本波有効/無効電力で決定される無負荷状態でない。 1: A 相は基本波有効/無効電力で決定される無負荷状態である。このビットは STATUS1 のビット 1 (FNLOAD)と一緒に設定されます。
4	FNLPHASE[1]	0	0: B 相は基本波有効/無効電力で決定される無負荷状態でない。 1: B 相は基本波有効/無効電力で決定される無負荷状態である。このビットは STATUS1 のビット 1 (FNLOAD)と一緒に設定されます。
5	FNLPHASE[2]	0	0: C 相は基本波有効/無効電力で決定される無負荷状態でない。 1: C 相は基本波有効/無効電力で決定される無負荷状態である。このビットは STATUS1 のビット 1 (FNLOAD)と一緒に設定されます。
6	VANLPHASE[0]	0	0: A 相は皮相電力で決定される無負荷状態でない。 1: A 相は皮相電力で決定される無負荷状態である。ビットは STATUS1 レジスタのビット 2 (VANLOAD)と一緒に設定されます。
7	VANLPHASE[1]	0	0: B 相は皮相電力で決定される無負荷状態でない。 1: B 相は皮相電力で決定される無負荷状態である。ビットは STATUS1 レジスタのビット 2 (VANLOAD)と一緒に設定されます。
8	VANLPHASE[2]	0	0: C 相は皮相電力で決定される無負荷状態でない。 1: C 相は皮相電力で決定される無負荷状態である。ビットは STATUS1 レジスタのビット 2 (VANLOAD)と一緒に設定されます。
15:9	予約済み	000 0000	予約済み。これらのビットは常に 0。

表 42.COMPMODE レジスタ(アドレス 0xE60E)

ビット	記号	デフォルト値	説明
0	TERMSEL1[0]	1	すべての TERMSEL1[2:0]が 1 に設定されると、3 相すべての和が CF1 出力に含まれることが表示されます。A 相は CF1 出力計算に含まれます。
1	TERMSEL1[1]	1	B 相は CF1 出力計算に含まれます。
2	TERMSEL1[2]	1	C 相は CF1 出力計算に含まれます。
3	TERMSEL2[0]	1	すべての TERMSEL2[2:0]が 1 に設定されると、3 相すべての和が CF2 出力に含まれることが表示されます。A 相は CF2 出力計算に含まれます。
4	TERMSEL2[1]	1	B 相は CF2 出力計算に含まれます。
5	TERMSEL2[2]	1	C 相は CF2 出力計算に含まれます。
6	TERMSEL3[0]	1	すべての TERMSEL3[2:0]が 1 に設定されると、3 相すべての和が CF3 出力に含まれることが表示されます。A 相は CF3 出力計算に含まれます。
7	TERMSEL3[1]	1	B 相は CF3 出力計算に含まれます。
8	TERMSEL3[2]	1	C 相は CF3 出力計算に含まれます。

ビット	記号	デフォルト値	説明
10:9	ANGLESEL[1:0]	00	00: 相電圧と相電流の間の角度を測定。 01: 相電圧間の角度を測定。 10: 相電流間の角度を測定。 11: 角度測定なし。
11	VNOMAEN	0	このビットが 0 のとき、A 相の皮相電力を定期的に計算。 このビットが 1 のとき、定期的に測定する rms 相電圧の代わりに VNOM レジスタを使って A 相の皮相電力を計算。
12	VNOMBEN	0	このビットが 0 のとき、B 相の皮相電力を定期的に計算。 このビットが 1 のとき、定期的に測定する rms 相電圧の代わりに VNOM レジスタを使って B 相の皮相電力を計算。
13	VNOMCEN	0	このビットが 0 のとき、C 相の皮相電力を定期的に計算。 このビットが 1 のとき、定期的に測定する rms 相電圧の代わりに VNOM レジスタを使って C 相の皮相電力を計算。
14	SELFREQ	0	ADE7880 を 50 Hz 回路に接続するとき、このビットを 0 クリアする必要があります(デフォルト値参照)。ADE7880 を 60 Hz 回路に接続するとき、このビットを 1 に設定する必要があります。
15	予約済み	0	このビットはデフォルトで 0 であり、制御する機能はありません。

表 43. ゲイン・レジスタ(アドレス 0xE60F)

ビット	記号	デフォルト値	説明
2:0	PGA1[2:0]	000	相電流ゲインを選択。 000: ゲイン = 1。 001: ゲイン = 2。 010: ゲイン = 4。 011: ゲイン = 8。 100: ゲイン = 16。 101、110、111: 予約済み。セットすると、ADE7880 は PGA1[2:0] = 000 の様に動作。
5:3	PGA2[2:0]	000	中性電流ゲインを選択。 000: ゲイン = 1。 001: ゲイン = 2。 010: ゲイン = 4。 011: ゲイン = 8。 100: ゲイン = 16。 101、110、111: 予約済み。セットすると、ADE7880 は PGA2[2:0] = 000 の様に動作。
8:6	PGA3[2:0]	000	相電圧ゲインを選択。 000: ゲイン = 1。 001: ゲイン = 2。 010: ゲイン = 4。 011: ゲイン = 8。 100: ゲイン = 16。 101、110、111: 予約済み。セットすると、ADE7880 は PGA3[2:0] = 000 の様に動作。
15:9	予約済み	000 0000	予約済み。これらのビットが制御する機能はありません。

表 44. CFMODE レジスタ(アドレス 0xE610)

ビット	記号	デフォルト値	説明
2:0	CF1SEL[2:0]	000	000: COMPMODE レジスタのビット[2:0] (TERMSEL1[x])で指定される各相の総合有効電力の和に比例する CF1 周波数。 010: COMPMODE レジスタのビット[2:0] (TERMSEL1[x])で指定される各相の皮相電力の和に比例する CF1 周波数。 011: COMPMODE レジスタのビット[2:0] (TERMSEL1[x])で指定される各相の基本波有効電力の和に比例する CF1 周波数。 100: COMPMODE レジスタのビット[2:0] (TERMSEL1[x])で指定される各相の基本波無効電力の和に比例する CF1 周波数。 001、101、110、111: 予約済み。

ビット	記号	デフォルト値	説明
5:3	CF2SEL[2:0]	100	000: COMPMODE レジスタのビット[5:3] (TERMSSEL2[x])で指定される各相の総合有効電力の和に比例する CF2 周波数。 010: COMPMODE レジスタのビット[5:3] (TERMSSEL2[x])で指定される各相の皮相電力の和に比例する CF2 周波数。 011: COMPMODE レジスタのビット[5:3] (TERMSSEL2[x])で指定される各相の基本波有効電力の和に比例する CF2 周波数。 100: COMPMODE レジスタのビット[5:3] (TERMSSEL2[x])で指定される各相の基本波無効電力の和に比例する CF2 周波数。 001、101,110,111: 予約済み。
8:6	CF3SEL[2:0]	010	000: COMPMODE レジスタのビット[8:6] (TERMSSEL3[x])で指定される各相の総合有効電力の和に比例する CF3 周波数。 010: COMPMODE レジスタのビット[8:6] (TERMSSEL3[x])で指定される各相の皮相電力の和に比例する CF3 周波数。 011: COMPMODE レジスタのビット[8:6] (TERMSSEL3[x])で指定される各相の基本波有効電力の和に比例する CF3 周波数。 100: COMPMODE レジスタのビット[8:6] (TERMSSEL3[x])で指定される各相の基本波無効電力の和に比例する CF3 周波数。 001、101,110,111: 予約済み。
9	CF1DIS	1	このビットが 1 に設定された場合、CF1 出力をディスエーブル。CF1DIS = 1 の場合でも、対応するデジタル/周波数コンバータはイネーブルを維持。 このビットが 0 に設定された場合、CF1 出力をイネーブル。
10	CF2DIS	1	このビットが 1 に設定された場合、CF2 出力をディスエーブル。CF2DIS = 1 の場合でも、対応するデジタル/周波数コンバータはイネーブルを維持。 このビットが 0 に設定された場合、CF2 出力をイネーブル。
11	CF3DIS	1	このビットが 1 に設定された場合、CF3 出力をディスエーブル。CF3DIS = 1 の場合でも、対応するデジタル/周波数コンバータはイネーブルを維持。 このビットが 0 に設定された場合、CF3 出力をイネーブル。
12	CF1LATCH	0	このビットが 1 に設定された場合、CF1 パルスが発生したときに対応する電力量レジスタ値をラッチ。電力量レジスタと CFx 出力の同期化のセクションを参照してください。
13	CF2LATCH	0	このビットが 1 に設定された場合、CF2 パルスが発生したときに対応する電力量レジスタ値をラッチ。電力量レジスタと CFx 出力の同期化のセクションを参照してください。
14	CF3LATCH	0	このビットが 1 に設定された場合、CF3 パルスが発生したときに対応する電力量レジスタ値をラッチ。電力量レジスタと CFx 出力の同期化のセクションを参照してください。
15	予約済み	0	予約済み。このビットが制御する機能はありません。

表 45. APHCAL、BPHCAL、CPHCAL レジスタ(アドレス 0xE614、アドレス 0xE615、アドレス 0xE616)

ビット	記号	デフォルト値	説明
9:0	PHCALVAL	0000000000	電流チャンネル補償が必要な場合、これらのビットは 0~383 の範囲でのみ変化可能。 電圧チャンネル補償が必要な場合、これらのビットは 512~575 の範囲でのみ変化可能。 PHCALVAL ビットに 384~511 の値を設定すると、PHCALVAL ビットが 256~383 に設定されたように補償が動作。 PHCALVAL ビットに 576~1023 の値を設定すると、PHCALVAL ビットが 384~511 に設定されたように補償が動作。
15:10	予約済み	000000	予約済み。これらのビットが制御する機能はありません。

表 46. PHSIGN レジスタ(アドレス 0xE617)

ビット	記号	デフォルト値	説明
0	AWSIGN	0	0: A 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が正。 1: A 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が負。
1	BWSIGN	0	0: B 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が正。 1: B 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が負。
2	CWSIGN	0	0: C 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が正。 1: C 相の ACCMODE レジスタ(基本波の合計)のビット 6 (REVAPSEL)で指定される有効電力が負。

ビット	記号	デフォルト値	説明
3	SUM1SIGN	0	0: CF1 データ・パス内のすべての相電力の和が正。 1: CF1 データ・パス内のすべての相電力の和が負。CF1 データ・パス内の相電力は、COMPmode レジスタのビット[2:0] (TERMSEL1[x])および CFMODE レジスタのビット[2:0] (CF1SEL[x])により指定されます。
4	AFVARSIGN	0	0: A 相の基本波無効電力が正。 1: A 相の基本波無効電力が負。
5	BFVARSIGN	0	0: B 相の基本波無効電力が正。 1: B 相の基本波無効電力が負。
6	CFVARSIGN	0	0: C 相の基本波無効電力が正。 1: C 相の基本波無効電力が負。
7	SUM2SIGN	0	0: CF2 データ・パス内のすべての相電力の和が正。 1: CF2 データ・パス内のすべての相電力の和が負。CF2 データ・パス内の相電力は、COMPmode レジスタのビット[5:3] (TERMSEL2[x])および CFMODE レジスタのビット[5:3] (CF2SEL[x])により指定されます。
8	SUM3SIGN	0	0: CF3 データ・パス内のすべての相電力の和が正。 1: CF3 データ・パス内のすべての相電力の和が負。CF3 データ・パス内の相電力は、COMPmode レジスタのビット[8:6] (TERMSEL3[x])および CFMODE レジスタのビット[8:6] (CF3SEL[x])により指定されます。
15:9	予約済み	000 0000	予約済み。これらのビットは常に 0。

表 47.CONFIG レジスタ(アドレス 0xE618)

ビット	記号	デフォルト値	説明
0	INTEN	0	このビットは、相電流チャンネル内の積分器を制御します。 INTEN = 0 の場合、相電流チャンネルの積分器を常にディスエーブル。 INTEN = 1 の場合、相電流チャンネルの積分器をイネーブル。 中性電流チャンネルの積分器は、CONFIG3 レジスタのビット 3 (ININTEN) で制御されます。
1	予約済み	1	予約済み。このビットは正常動作のためには 1 に設定しておく必要があります。
2	CF2DIS	0	このビットを 0 クリアすると、CF2/HREADY ピンで CF2 機能が選択されます。 このビットを 1 に設定すると、CF2/HREADY ピンで HREADY 機能が選択されます。
3	SWAP	0	このビットが 1 に設定された場合、電圧チャンネル出力が電流チャンネル出力とスワップされます。したがって、電流チャンネル情報が電圧チャンネル・レジスタに表示されます(逆も真)。
4	MOD1SHORT	0	このビットが 1 に設定された場合、電圧入力がグラウンドに接続されたかのように電圧チャンネル ADC が動作します。
5	MOD2SHORT	0	このビットが 1 に設定された場合、電圧入力がグラウンドに接続されたかのように電流チャンネル ADC が動作します。
6	HSDCEN	0	このビットが 1 に設定された場合、HSDC シリアル・ポートがイネーブルされ、CF3/HSCLK ピンで HSCLK 機能が選択されます。 このビットが 0 にクリアされた場合、HSDC がディスエーブルされ、CF3/HSCLK ピンで CF3 機能が選択されます。
7	SWRST	0	このビットが 1 に設定された場合、ソフトウェア・リセットが開始されます。
9:8	VTOIA[1:0]	00	これらのビットを使って、電力パス内で A 相電流と一緒に考慮する相電圧を指定します。 00 = A 相電圧。 01 = B 相電圧。 10 = C 相電圧。 11 = 予約済み。セットすると、ADE7880 は VTOIA[1:0] = 00 の様に動作。
11:10	VTOIB[1:0]	00	これらのビットを使って、電力パス内で B 相電流と一緒に考慮する相電圧を指定します。 00 = B 相電圧。 01 = C 相電圧。 10 = A 相電圧。

ビット	記号	デフォルト値	説明
			11 = 予約済み。セットすると、ADE7880 は VTOIB[1:0] = 00 の様に動作。
13:12	VTOIC[1:0]	00	これらのビットを使って、電力バス内で C 相電流と一緒に考慮する相電圧を指定します。 00 = C 相電圧。 01 = A 相電圧。 10 = B 相電圧。 11 = 予約済み。セットすると、ADE7880 は VTOIC[1:0] = 00 の様に動作。
15:14	予約済み		予約済み。

表 48.MMODE レジスタ(アドレス 0xE700)

ビット	記号	デフォルト値	説明
1:0	予約済み		予約済み。
2	PEAKSEL[0]	1	3 相すべてで同時にピーク検出を可能にするときは、PEAKSEL[2:0] ビットのすべてを同時に 1 に設定することができます。複数の PEAKSEL[2:0] ビットを 1 に設定すると、ゼロ交差が複数の相で検出されるため PEAKCYC レジスタで表示されるピーク測定時間が減少します。 このビットが 1 に設定された場合、電圧と電流のピーク・レジスタに A 相が選択されます。
3	PEAKSEL[1]	1	このビットが 1 に設定された場合、電圧と電流のピーク・レジスタに B 相が選択されます。
4	PEAKSEL[2]	1	このビットが 1 に設定された場合、電圧と電流のピーク・レジスタに C 相が選択されます。
7:5	予約済み	000	予約済み。これらのビットが制御する機能はありません。

表 49.ACCMODE レジスタ(アドレス 0xE701)

ビット	記号	デフォルト値	説明
1:0	WATTACC[1:0]	00	00: 総合および基本波有効電力の符号付き積算モード。総合および基本波有効電力量レジスタと CFx パルスは同じ方法で発生されます。 01: 総合および基本波有効電力の正のみの積算モード。このモードでは、総合および基本波有効電力量レジスタは正のみのモードで積算されますが、CFx パルスは符号付き積算モードで発生されます。 10: 予約済み。セットすると、デバイスは WATTACC[1:0] = 00 の様に動作。 11: 総合および基本波有効電力の絶対積算モード。総合および基本波電力量レジスタと CFx パルスは同じ方法で発生されます。
3:2	VARACC[1:0]	00	00: 基本波無効電力の符号付き積算。基本波無効電力量レジスタと CFx パルスは同じ方法で発生されます。 01: 予約済み。セットすると、デバイスは VARACC[1:0] = 00 の様に動作。 10: 基本波有効電力の符号に応じて基本波無効電力を積算します。すなわち、有効電力が正の場合、無効電力がそのまま積算されますが、これに対して有効電力が負の場合は、無効電力が逆符号で積算されます。このモードでは、総合および基本波無効電力量レジスタは絶対モードで積算されますが、CFx パルスは符号付き積算モードで発生されます。 11: 基本波無効電力の絶対積算モード。このモードでは、総合および基本波無効電力量レジスタは絶対モードで積算されますが、CFx パルスは符号付き積算モードで発生されます。
5:4	CONSEL[1:0]	00	これらのビットで、電力量積算レジスタへの入力を選択します。IA'、IB'、IC' はそれぞれ IA、IB、IC を -90°シフトした信号です。表 50 を参照してください。 00: 3 個の電圧センサーによる 3 相 4 線。 01: 3 相 3 線 Δ 接続。このモードでは、BVRMS レジスタが VA-VC の rms 値を格納。 10: 2 個の電圧センサーによる 3 相 4 線。 11: 3 相 4 線 Δ 接続。

ビット	記号	デフォルト値	説明
6	REVAPSEL	0	0: 各相の総合有効電力を使用して、STATUS0 レジスタのビットを発生。A相はビット6 (REVAPA)を、B相はビット7 (REVAPB)を、C相はビット8 (REVAPC)を、それぞれ発生。 1: 各相の基本波有効電力を使用して、STATUS0 レジスタのビットを発生。A相はビット6 (REVAPA)を、B相はビット7 (REVAPB)を、C相はビット8 (REVAPC)を、それぞれ発生。
7	予約済み	1	予約済み。このビットが制御する機能はありません。

表 50.電力量レジスタの CONSEL[1:0]ビット¹

Energy Registers	CONSEL[1:0] = 00	CONSEL[1:0] = 01	CONSEL[1:0] = 10	CONSEL[1:0] = 11
AWATTHR, AFWATTHR BWATTHR, BFWATTHR	VA × IA VB × IB	VA × IA VB = VA - VC VB × IB ¹	VA × IA VB = -VA - VC VB × IB	VA × IA VB = -VA VB × IB
CWATTHR, CFWATTHR AVARHR, AFVARHR BVARHR, BFVARHR	VC × IC VA × IA' VB × IB'	VC × IC VA × IA' VB = VA - VC VB × IB' ¹	VC × IC VA × IA' VB = -VA - VC VB × IB'	VC × IC VA × IA' VB = -VA VB × IB'
CVARHR, CFVARHR AVAHR BVAHR	VC × IC' VA rms × IA rms VB rms × IB rms	VC × IC' VA rms × IA rms VB rms × IB rms VB = VA - VC ¹	VC × IC' VA rms × IA rms VB rms × IB rms	VC × IC' VA rms × IA rms VB rms × IB rms
CVAHR	VC rms × IC rms	VC rms × IC rms	VC rms × IC rms	VC rms × IC rms

¹3相3線構成(CONSEL[1:0]=01)では、ADE7880がA相とC相の間のライン電圧のrms値を計算し、結果をBVRMSレジスタへ格納します(3相3線Δ構成での電圧RMSのセクション参照)。したがって、物理的な意味のないB相に対応する電力をADE7880が計算します。B相電力に関係する周波数出力ピン(CF1、CF2、またはCF3)に誤差が発生しないようにするため、COMPmodeレジスタのビットTERMSEL1[1]またはTERMSEL2[1]またはTERMSEL3[1]に0を設定して、電力量/周波数コンバータへのB相成分をディスエーブルします(電力量/周波数変換セクション参照)。

表 51.LCYCmode レジスタ(アドレス 0xE702)

ビット	記号	デフォルト値	説明
0	LWATT	0	0: watt-hour 積算レジスタ(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR)を通常積算モードに設定。 1: watt-hour 積算レジスタ(AWATTHR、BWATTHR、CWATTHR、AFWATTHR、BFWATTHR、CFWATTHR)をライン・サイクル積算モードに設定。
1	LVAR	0	0: var-hour 積算レジスタ(AFVARHR、BFVARHR、CFVARHR)を通常積算モードに設定。 1: var-hour 積算レジスタ(AFVARHR、BFVARHR、CFVARHR)をライン・サイクル積算モードに設定。
2	LVA	0	0: var-hour 積算レジスタ(AVAHR、BVAHR、CVAHR)を通常積算モードに設定。 1: var-hour 積算レジスタ(AVAHR、BVAHR、CVAHR)をライン・サイクル積算モードに設定。
3	ZXSEL[0]	1	0: ライン・サイクル積算モードでA相をゼロ交差カウントから除外。 1: ライン・サイクル積算モードでA相をゼロ交差カウントに含める。ゼロ交差検出では複数相を選択することができます。この場合、積算時間は短くなります。
4	ZXSEL[1]	1	0: ライン・サイクル積算モードでB相をゼロ交差カウントから除外。 1: ライン・サイクル積算モードでB相をゼロ交差カウントに含める。
5	ZXSEL[2]	1	0: ライン・サイクル積算モードでC相をゼロ交差カウントから除外。 1: ライン・サイクル積算モードでC相をゼロ交差カウントに含める。
6	RSTREAD	1	0: すべての電力量レジスタの read-with-reset をディスエーブル。ビット[2:0] (LWATT、LVAR、LVA)が1に設定されると、このビットは0クリアされます。 1: すべての xWATTHR、xVARHR、xVAHR、xFWATTHR、xFVARHR レジスタの read-with-reset をイネーブル。これは、これらのレジスタを讀出して0にリセットすることを意味します。

ビット	記号	デフォルト値	説明
7	PFMODE	0	0: 力率計算では、式で使用される種々の相電力の瞬時値を使います。 1: 力率計算で、ライン・サイクル積算モードを使って計算された相電力量値を使います。力率を正しく計算するためには、LCYCMODE レジスタのビット LWATT とビット LVA をイネーブルする必要があります。力率測定の更新レートは、この場合半ライン・サイクルの整数倍になり、LINECYC レジスタに設定することができます。

表 52.HSDC_CFG レジスタ(アドレス 0xE706)

ビット	記号	デフォルト値	説明
0	HCLK	0	0: HSCLK は 8 MHz。 1: HSCLK は 4 MHz。
1	HSIZE	0	0: HSDC は 32 ビット・レジスタを 32 ビット・パッケージで MSB ファーストで送信します。 1: HSDC は 32 ビット・レジスタを 8 ビット・パッケージで MSB ファーストで送信します。
2	HGAP	0	0: パッケージ間にギャップの挿入なし。 1: パッケージ間に HCLK で 7 サイクルのギャップを挿入。
4:3	HXFER[1:0]	00	00 = HSDC は、16 個の 32 ビット・ワードを IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV、AVA、BVA、CVA、AWATT、BWATT、CWATT、AFVAR、BFVAR、CFVAR の順で送信。 01 = HSDC は電流と電圧の 7 個の瞬時値 (IAWV、VAWV、IBWV、VBWV、ICWV、VCWV、INWV) を送信。 10 = HSDC は相電力の 9 個の瞬時値 (AVA、BVA、CVA、AWATT、BWATT、CWATT、AFVAR、BFVAR、CFVAR) を送信。 11 = 予約済み。セットすると、ADE7880 は HXFER[1:0] = 00 の様に動作。
5	HSAPOL	0	0: \overline{SS} /HSA 出力ピンはアクティブ・ロー。 1: \overline{SS} /HSA 出力ピンはアクティブ・ハイ。
7:6	予約済み	00	予約済み。これらのビットが制御する機能はありません。

表 53.CONFIG3 レジスタ(アドレス 0xEA00)

ビット	記号	デフォルト値	説明
0	HPFEN	1	HPFEN = 1 のとき、電圧と電流チャンネルのすべてのハイパス・フィルタをイネーブル。 HPFEN = 0 のとき、すべてのハイパス・フィルタをディスエーブル。
1	LPFSEL	0	LPFSEL = 0 のとき、総合有効電力データ・パス内の LPF が 650 ms のセトリング・タイムを挿入。 LPFSEL = 1 のとき、総合有効電力データ・パス内の LPF が 1300 ms のセトリング・タイムを挿入。
2	INSEL	0	INSEL = 0 のとき、レジスタ NIRMS は中性電流の rms 値を格納。 INSEL = 1 のとき、レジスタ NIRMS は ISUM の rms 値、すなわち全 3 相電流 IA、IB、IC の和の瞬時値を格納。
3	ININTEN	0	このビットは、中性電流チャンネル内の積分器を制御します。 ININTEN = 0 の場合、中性電流チャンネルの積分器をディスエーブル。 ININTDIS = 1 の場合、中性チャンネルの積分器をイネーブル。 相電流チャンネルの積分器は、CONFIG レジスタのビット 0 (INTEN) から制御されます。
4	予約済み	0	予約済み。このビットは正常動作のためには 0 に設定しておく必要があります。
7:5	予約済み	000	予約済み。これらのビットが制御する機能はありません。

表 54.HCONFIG レジスタ(アドレス 0xE900)

ビット	記号	デフォルト値	説明
0	HRCFG	0	このビットが 0 にクリアされたとき、MASK0 レジスタのビット 19 (HREADY) 割込みが所定の遅延時間後に発生します。遅延時間は、ビット HSTIME で設定されます。セトリング・タイム後の更新周波数は、ビット HRATE により決定されます。 このビットが 1 に設定された場合、MASK0 レジスタのビット 19 (HREADY) 割込みが高調波計算ブロックがセットアップされた後直ちに発生します。更新周波数はビット HRATE により決定されます。
2:1	HPHASE	00	これらのビットは、高調波計算ブロックで解析する相または中性電流を指定します。 00 = A 相電圧と電流。 01 = B 相電圧と電流。 10 = C 相電圧と電流。 11 = 中性電流。
4:3	HSTIME	01	これらのビットは遅延時間を指定します。HRCFG ビットが 1 に設定されると、この時間の経過後に、MASK0 レジスタのビット 19 (HREADY) 割込みが発生します。 00 = 500 ms。 01 = 750 ms。 10 = 1000 ms。 11 = 1250 ms。
7:5	HRATE	000	これらのビットは高調波レジスタの更新レートを制御します。 000 = 125 μ sec (8 kHz レート)。 001 = 250 μ sec (4 kHz レート)。 010 = 1 ms (1 kHz レート)。 011 = 16 ms (62.5 Hz レート)。 100 = 128 ms (7.8125 Hz レート)。 101 = 512 ms (1.953125 Hz レート)。 110 = 1.024 sec (0.9765625 Hz レート)。 111 = 高調波計算をディスエーブル。
9:8	ACTPHSEL	00	これらのビットは、高調波計算の基準時間として使用される相電圧を選択します。 00 = A 相電圧。 01 = B 相電圧。 10 = C 相電圧。 11 = 予約済み。セレクトされると、C 相電圧を使います。
15:10	予約済み	0	予約済み。これらのビットが制御する機能はありません。

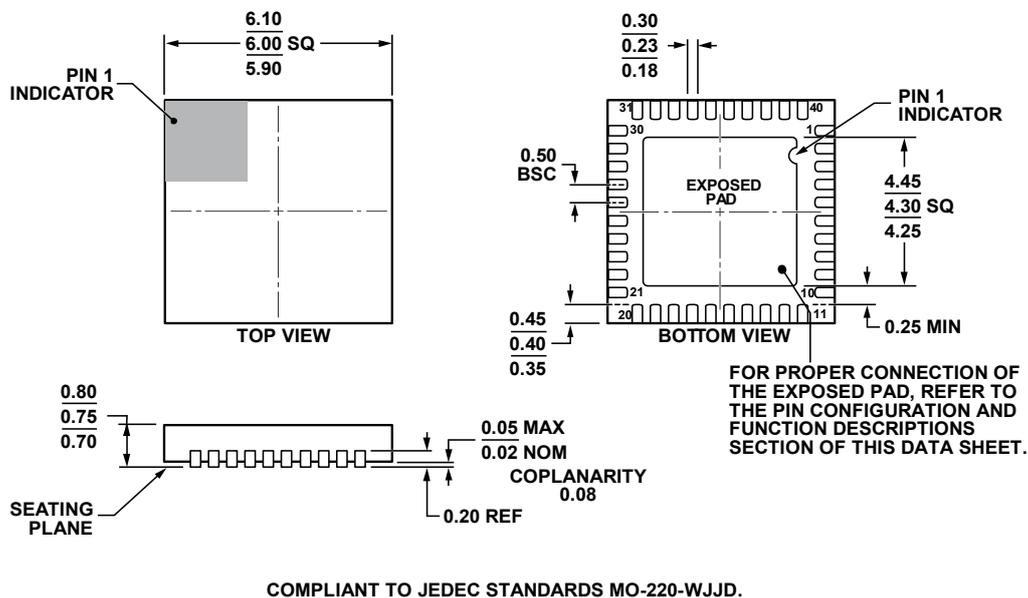
表 55.LPOILVL レジスタ(アドレス 0xEC00)

ビット	記号	デフォルト値	説明
2:0	LPOIL[2:0]	111	スレッシュホールドはフルスケールと LPOIL/8 の積に対応する値に設定されます。
7:3	LPLINE[4:0]	00000	測定時間は(LP ライン+ 1)/50 sec。

表 56.CONFIG2 レジスタ(アドレス 0xEC01)

ビット	記号	デフォルト値	説明
0	EXTREFEN	0	このビットが 0 のとき、ADC で内蔵リファレンス電圧を使用。 このビットが 1 のとき、外付けリファレンスをピン 17 REF _{IN/OUT} に接続。
1	I2C_LOCK	0	このビットが 0 のとき、SPI ポートを起動するため \overline{SS}/HSA ピンを 3 回トグルすることができます。I ² C がアクティブ・シリアル・ポートの場合、このビットに 1 を設定してロックする必要があります。この時点から、 \overline{SS}/HSA ピンのトグルが無視され、SPI ポートへの切り替えができなくなります。SPI がアクティブ・シリアル・ポートの場合、CONFIG2 レジスタへの任意の書込みでポートがロックされます。この時点から、I ² C ポートへ切り替えて I ² C を使用することができなくなります。固定した後は、ADE7880 で PSM _x 消費電力モードが変更されても選択したシリアル・ポートが維持されます。
7:2	予約済み	0	予約済み。これらのビットが制御する機能はありません。

外形寸法



05-06-2011-A

図 111.40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
6 mm × 6 mm ボディ、超極薄クワッド
(CP-40-10)
寸法 mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADE7880ACPZ	-40°C to +85°C	40-Lead LFCSP_WQ	CP-40-10
ADE7880ACPZ-RL	-40°C to +85°C	40-Lead LFCSP_WQ, 13" Tape and Reel	CP-40-10
EVAL-ADE7880EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。

² FC は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。