

### 特長

- ATV サウンドを向上させるプログラマブルな 28 ビット・オーディオ・プロセッサを内蔵—リセット時にデフォルトのオーディオ処理フローをロード
- アナログ・デバイセズとサード・パーティのオーディオ・アルゴリズムを内蔵
- オーディオ/ビデオ同期で 200 ms までのステレオ遅延を調整できるデジタル遅延ラインを内蔵
- 高性能 24 ビット ADC と DAC を内蔵
  - DAC チャンネルの DNR 性能: 94 dB
  - ADC チャンネルの DNR 性能: 95 dB
- アンプ付きのヘッドフォン出力
- 高性能パルス幅変調(PWM)デジタル出力
- マルチチャンネル・デジタル・ベースバンド I/O
  - 4 チャンネルのステレオ同期デジタル I<sup>2</sup>S 入力
  - 6 チャンネル・サンプル・レート・コンバータ(SRC)×1,および 5 kHz~50 kHz の入力サンプル・レートをサポートするステレオ SRC×1
  - ステレオ同期デジタル I<sup>2</sup>S 出力×1
  - S/PDIF 入力マルチプレクサ機能付き S/PDIF 出力
- 高速な I<sup>2</sup>C 制御
- 動作電圧: 3.3 V (アナログ)、1.8 V (デジタル・コア)、3.3 V (デジタル・インターフェース)
- 80 ピン LQFP パッケージを採用

### アプリケーション

- 民生向け汎用オーディオ・ポストプロセス
  - ホーム・オーディオ
  - DVD レコーダ
  - ボックス(HTIB)システム内のホーム・シアターや DVD レシーバ
- DTV 対応 TV のオーディオ処理サブシステム
- iDTV 向けのアナログ放送機能

### 概要

ADAV4601 は、デジタルとアナログのベースバンド・オーディオをサポートする高度な TV アプリケーションを対象とする機能強化型オーディオ・プロセッサです。

このオーディオ・プロセッサは、デフォルトとして、フル・マトリックス・スイッチング機能(任意入力対任意出力)、アドバタイズメント時またはチャンネル切り替え時のボリューム変化を補償する自動ボリューム・コントロール機能、ダイナミック・バス、マルチバンド・イコライザ、オーディオ・ビデオ同期用のステレオ遅延メモリ(最大 200 ms)を採用した専用 TV オーディオ・フローをロードします。

あるいは、アナログ・デバイセズが賞を受けたグラフィカル・プログラミング・ツール(SigmaStudio™)を提供します。これを使うと、カスタム・フローを迅速に開発/評価することができます。さらに、サード・パーティ・アルゴリズムのアナログ・デバイセズ・ライブラリを含むユーザー専用のオーディオ・フローを作成することができます。

アナログ I/O では、アナログ・デバイセズ独自の連続時間マルチビット  $\Sigma\Delta$  アーキテクチャが採用されています。このアーキテクチャは、ATV システムでサード・パーティ・アルゴリズム・プロバイダがシステム・ブランド認定のために必要とする高レベルの性能を実現します。アナログ入力は 95 dB ダイナミックレンジ(DNR)の ADC により、アナログ出力は 94 dB DNR の DAC により、それぞれ構成されています。

メイン・スピーカ出力には、デジタル・アンプをサポートするため、デジタル変調された PWM ストリームが出力されます。

ADAV4601 には、デジタルのマルチチャンネル入力と出力が内蔵されています。さらに、デジタル入力チャンネルは、5 kHz~50 kHz の任意のサンプル・レートをサポートする内蔵サンプル・レート・コンバータ(SRC)を経由して、ルートを切り替えることができます。

詳しい使用ガイドラインとレジスタ・マップ情報のドキュメントは、[AV.Products@analog.com](mailto:AV.Products@analog.com) へご要求ください。

## 目次

特長.....	1	HPOUT1L と HPOUT1R .....	16
アプリケーション .....	1	PLL_LF.....	16
概要.....	1	VREF .....	16
改訂履歴.....	2	FILTA と FILTD .....	16
機能ブロック図 .....	3	PWM1A、PWM1B、PWM2A、PWM2B、PWM3A、PWM3B、 PWM4A、PWM4B .....	16
仕様.....	4	PWM_READY .....	16
性能パラメータ .....	4	AVDD .....	16
タイミング仕様.....	6	DVDD.....	16
タイミング図.....	7	ODVDD.....	16
絶対最大定格 .....	9	DGND.....	16
熱抵抗.....	9	AGND.....	16
熱的条件.....	9	ODGND.....	16
ESD の注意 .....	9	ISET.....	16
ピン配置およびピン機能説明 .....	10	機能説明.....	17
代表的な性能特性.....	12	マスター・クロック発振器.....	17
用語.....	14	I <sup>2</sup> C インターフェース.....	17
ピン機能 .....	15	ADC 入力.....	17
SDIN0、SDIN1、SDIN2、SDIN3/SPDIF_IN0.....	15	I <sup>2</sup> S デジタル・オーディオ入力 .....	17
LRCLK0、BCLK0、LRCLK1、BCLK1、LRCLK2、BCLK2..	15	DAC 電圧出力 .....	20
SDO0/AD0.....	15	PWM 出力 .....	20
SPDIF_OUT (SDO1) .....	15	ヘッドフォン出力.....	20
MCLKI/XIN.....	15	I <sup>2</sup> S デジタル・オーディオ出力 .....	20
XOUT .....	15	S/PDIF 入力/出力.....	20
MCLK_OUT .....	15	ハードウェア・ミュート・コントロール .....	21
SDA.....	15	オーディオ・プロセッサ .....	21
SCL .....	16	グラフィカルなプログラミング環境.....	21
MUTE .....	16	アプリケーション層.....	21
RESET .....	16	カスタム・オーディオ処理フローのローディング.....	21
AUXIN1L と AUXIN1R .....	16	外形寸法.....	23
AUXOUT1L、AUXOUT1R、AUXOUT3L、AUXOUT3R、 AUXOUT4L、AUXOUT4R .....	16	オーダー・ガイド.....	23

## 改訂履歴

3/08—Revision 0: Initial Version

機能ブロック図

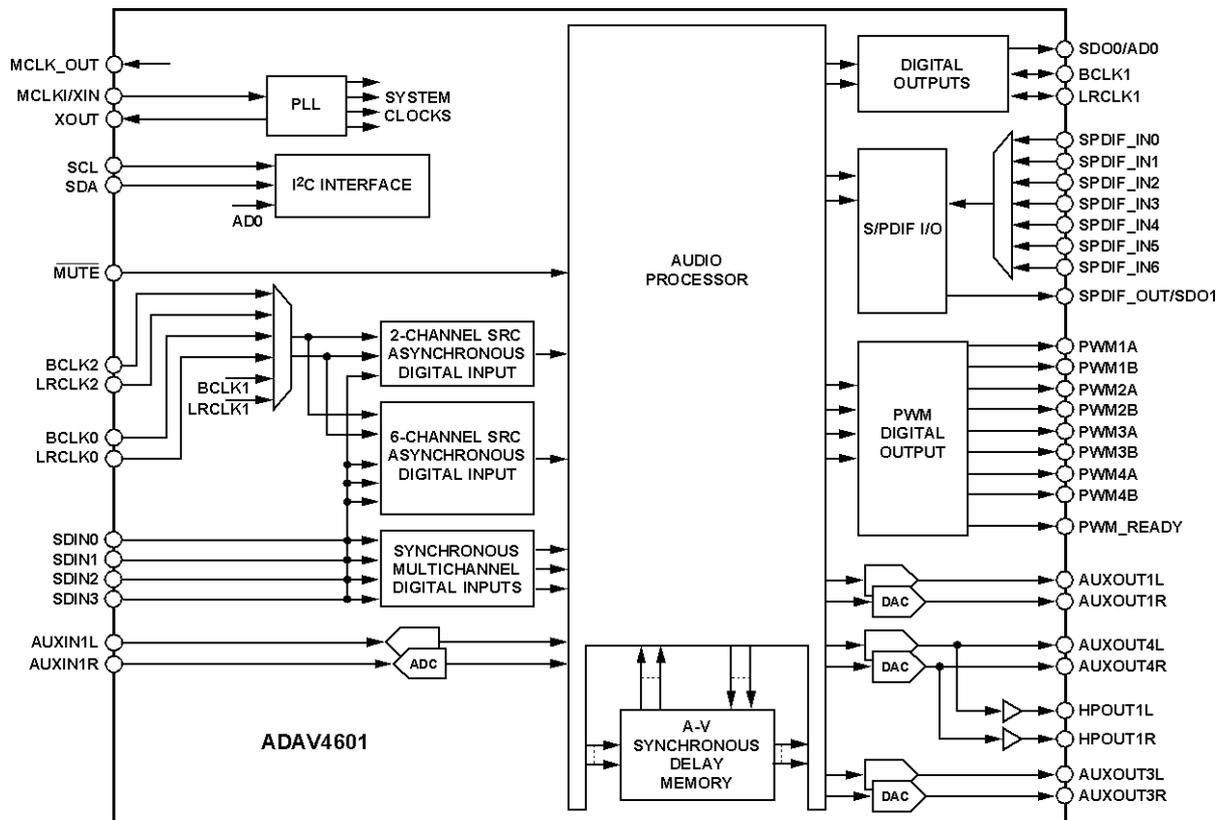


図 1. PWM 採用のスピーカ出力を持つ ADAV4601

07070-001

## 仕様

特に指定のない限り、AVDD = 3.3 V、DVDD = 1.8 V、ODVDD = 3.3 V、動作温度 = -40°C ~ +85°C、マスター・クロック = 24.576 MHz、計測帯域幅 = 20 Hz ~ 20 kHz、ADC 入力信号 = DAC 出力信号 = 1 kHz。

## 性能パラメータ

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<b>REFERENCE SECTION</b>					
Absolute Voltage $V_{REF}$		1.53		V	
$V_{REF}$ Temperature Coefficient		100		ppm/°C	
<b>ADC SECTION</b>					
Number of Channels		2			One stereo channel
Full-Scale Input Level		100		$\mu$ A rms	
Resolution		24		Bits	
Dynamic Range (Stereo Channel)					
A-Weighted		95		dB	-60 dBFS with respect to full-scale analog input
Total Harmonic Distortion + Noise (Stereo Channel)		-90		dB	-3 dBFS with respect to full-scale analog input
Gain Mismatch		0.2		dB	Left- and right-channel gain mismatch
Crosstalk (Left-to-Right, Right-to-Left)		-110		dB	
Gain Error		-1		dB	Input signal is 100 $\mu$ A rms
Current Setting Resistor ( $R_{ISET}$ )		20		k $\Omega$	External resistor to set current input range of ADC for nominal 2.0 V rms input signal
Power Supply Rejection		-87		dB	1 kHz, 300 mV p-p signal at AVDD
<b>ADC DIGITAL DECIMATOR FILTER CHARACTERISTICS</b>					
Pass Band		22.5		kHz	At 48 kHz, guaranteed by design
Pass-Band Ripple		$\pm 0.0002$		dB	
Stop Band		26.5		kHz	
Stop-Band Attenuation		100		dB	
Group Delay		1040		$\mu$ s	
<b>PWM SECTION</b>					
Frequency		384		kHz	Guaranteed by design
Modulation Index		0.976			Guaranteed by design
Dynamic Range					
A-Weighted		98		dB	-60 dBFS with respect to full-scale code input
Total Harmonic Distortion + Noise		-80		dB	-3 dBFS with respect to full-scale code input
<b>DAC SECTION</b>					
Number of Auxiliary Output Channels		6			Three stereo channels
Resolution		24		Bits	
Full-Scale Analog Output		1		V rms	
Dynamic Range					
A-Weighted		94		dB	-60 dBFS with respect to full-scale code input
Total Harmonic Distortion + Noise		-86		dB	-3 dBFS with respect to full-scale code input
Crosstalk (Left-to-Right, Right-to-Left)		-102		dB	
Interchannel Gain Mismatch		0.1		dB	Left- and right-channel gain mismatch
Gain Error		0.525		dB	1 V rms output
DC Bias		1.53		V	
Power Supply Rejection		-90		dB	1 kHz, 300 mV p-p signal at AVDD
Output Impedance		235		$\Omega$	
<b>DAC DIGITAL INTERPOLATION FILTER CHARACTERISTICS</b>					
Pass Band		21.769		kHz	At 48 kHz, guaranteed by design
Pass-Band Ripple		$\pm 0.01$		dB	
Transition Band		23.95		kHz	
Stop Band		26.122		kHz	
Stop-Band Attenuation		75		dB	

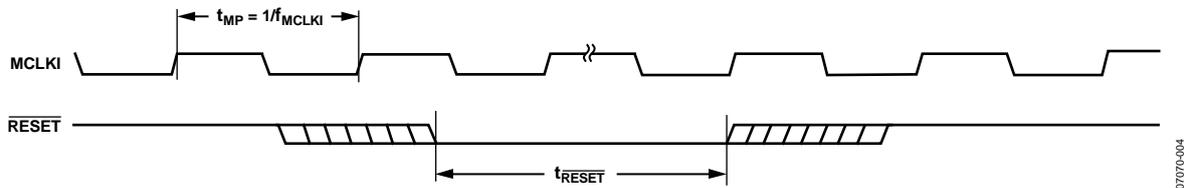
Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Group Delay		580		μs	
<b>HEADPHONE AMPLIFIER</b>					
Number of Channels		2			Measured at headphone output with 32 Ω load One stereo channel
Full-Scale Output Power		31		mW rms	1 V rms output
Dynamic Range					
A-Weighted		93		dB	−60 dBFS with respect to full-scale code input
Total Harmonic Distortion + Noise		−83		dB	−3 dBFS with respect to full-scale code input
Interchannel Gain Mismatch		0.1		dB	
DC Bias		1.53		V	
Power Supply Rejection		−85		dB	1 kHz, 300 mV p-p signal at AVDD
<b>SRC</b>					
Number of Channels		8			Two channels (SRC1), six channels (SRC2)
Dynamic Range					
A-Weighted		115		dB	−60 dBFS input (worst-case input $f_s = 50$ kHz)
Total Harmonic Distortion + Noise		−113		dB	−3 dBFS input (worst-case input $f_s = 50$ kHz)
Sample Rate	5		50	kHz	
<b>SRC DIGITAL INTERPOLATION FILTER CHARACTERISTICS</b>					
Pass Band		21.678		kHz	At 48 kHz, guaranteed by design
Pass-Band Ripple		0.005		dB	
Stop Band		26.232		kHz	
Stop-Band Attenuation		110		dB	
Group Delay		876		μs	
<b>DIGITAL INPUT/OUTPUT</b>					
Input Voltage High ( $V_{IH}$ )	2.0		ODVDD	V	
Input Voltage Low ( $V_{IL}$ )			0.8	V	
Input Leakage					
$I_{IH}$ (SDIN0, SDIN1, SDIN2, SDIN3, LRCLK0, LRCLK1, LRCLK2, BCLK0, BCLK1, BCLK2, SPDIF_OUT, SPDIF_IN)		40		μA	$V_{IH} = ODVDD$ , equivalent to a 90 kΩ pull-up resistor
$I_{IH}$ (RESET)		13.5		μA	$V_{IH} = ODVDD$ , equivalent to a 266 kΩ pull-up resistor
$I_{IL}$ (SDO0, SCL, SDA)		−40		μA	$V_{IL} = 0$ V, equivalent to a 90 kΩ pull-down resistor
Output Voltage High ( $V_{OH}$ )	2.4			V	$I_{OH} = 0.4$ mA
Output Voltage Low ( $V_{OL}$ )			0.4	V	$I_{OL} = −2$ mA
Output Voltage High ( $V_{OH}$ ) (MCLK_OUT)	1.4			V	$I_{OH} = 0.4$ mA
Output Voltage Low ( $V_{OL}$ ) (MCLK_OUT)			0.4	V	$I_{OL} = −3.2$ mA
Input Capacitance		10		pF	
<b>SUPPLIES</b>					
Analog Supplies (AVDD)	3.0	3.3	3.6	V	
Digital Supplies (DVDD)	1.65	1.8	2.0	V	
Interface Supply (ODVDD)	3.0	3.3	3.6	V	
Supply Currents					MCLK = 24 MHz, ADCs and DACs active, headphone outputs active and driving a 16 Ω load
Analog Current		115		mA	
Digital Current		160		mA	
Interface Current		2		mA	
Power Dissipation		0.674		W	
<b>Standby Currents</b>					
ADC, DAC, and headphone outputs floating, RESET low, MCLK = 24 MHz					
Analog Current		7		mA	
Digital Current		3		mA	
Interface Current		1.6		mA	
<b>TEMPERATURE RANGE</b>					
Operating Temperature	−40		+85	°C	
Storage Temperature	−65		+150	°C	

## タイミング仕様

表 2.

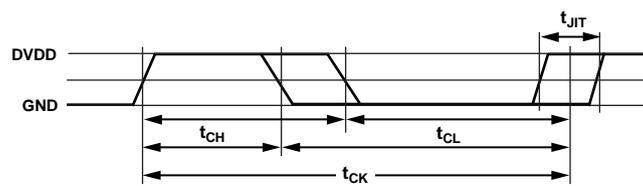
Parameter	Description	Min	Max	Unit	Comments
<b>MASTER CLOCK AND RESET</b>					
$f_{MCLKI}$	MCLKI frequency	3.072	24.576	MHz	
$t_{MCH}$	MCLKI high	10		ns	
$t_{MCL}$	MCLKI low	10		ns	
$t_{RESET}$	RESET low	200		ns	
<b>MASTER CLOCK OUTPUT</b>					
$t_{JIT}$	Period jitter		800	ps	
$t_{CH}$	MCLK_OUT high	45	55	%	
$t_{CL}$	MCLK_OUT low	45	55	%	
<b>I<sup>2</sup>C PORT</b>					
$f_{SCL}$	SCL clock frequency		400	kHz	
$t_{SCLH}$	SCL high	600		ns	
$t_{SCLL}$	SCL low	1.3		$\mu$ s	
<b>Start Condition</b>					
$t_{SCS}$	Setup time	600		ns	Relevant for repeated start condition
$t_{SCH}$	Hold time	600		ns	After this period, the first clock is generated
$t_{DS}$	Data setup time	100		ns	
$t_{SCR}$	SCL rise time		300	ns	
$t_{SCF}$	SCL fall time		300	ns	
$t_{SDR}$	SDA rise time		300	ns	
$t_{SDF}$	SDA fall time		300	ns	
<b>Stop Condition</b>					
$t_{SCS}$	Setup time	0		ns	
<b>SERIAL PORTS</b>					
<b>Slave Mode</b>					
$t_{SBH}$	BCLK high	40		ns	
$t_{SBL}$	BCLK low	40		ns	
$f_{SBF}$	BCLK frequency	$64 \times f_s$			
$t_{SLS}$	LRCLK setup	10		ns	To BCLK rising edge
$t_{SLH}$	LRCLK hold	10		ns	From BCLK rising edge
$t_{SDS}$	SDIN setup	10		ns	To BCLK rising edge
$t_{SDH}$	SDIN hold	10		ns	From BCLK rising edge
$t_{SDD}$	SDO delay		50	ns	From BCLK falling edge
<b>Master Mode</b>					
$t_{MLD}$	LRCLK delay		25	ns	From BCLK falling edge
$t_{MDD}$	SDO delay		15	ns	From BCLK falling edge
$t_{MDS}$	SDIN setup	10		ns	From BCLK rising edge
$t_{MDH}$	SDIN hold	10		ns	From BCLK rising edge

タイミング図



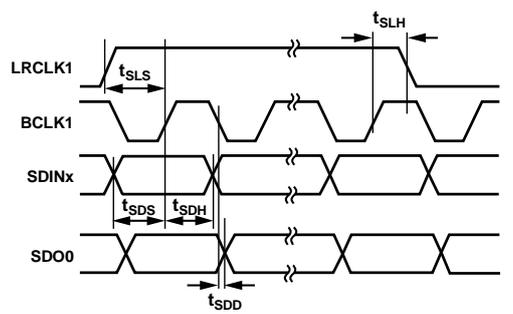
07070-004

図 2. マスター・クロックとリセット・タイミング



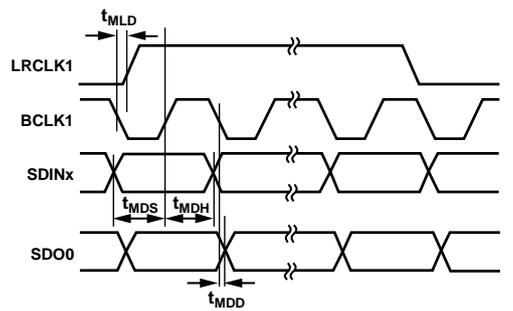
07070-035

図 3. マスター・クロック出力タイミング



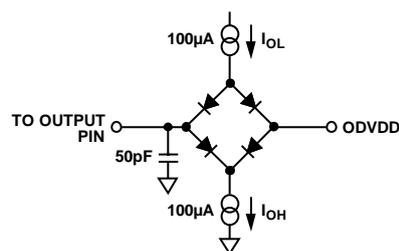
07070-002

図 4. シリアル・ポート・スレーブ・モードのタイミング



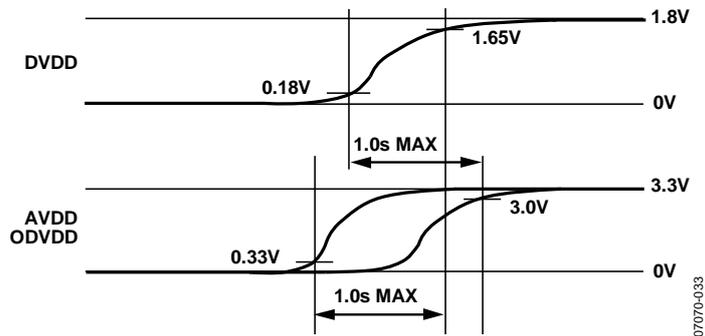
07070-003

図 5. シリアル・ポート・マスター・モードのタイミング



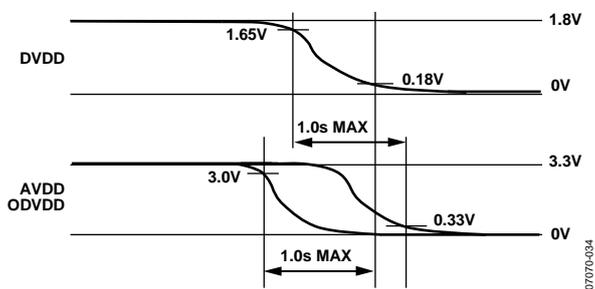
07070-032

図 6. デジタル出力タイミング仕様の負荷回路



07070-033

図 7. パワーアップ・シーケンス・タイミング



07070-034

図 8. パワーダウン・シーケンスのタイミング

## 絶対最大定格

表 3.

Parameter	Rating
DVDD to DGND	0 V to 2.2 V
ODVDD to DGND	0 V to 4 V
AVDD to AGND	0 V to 4 V
AGND to DGND	-0.3 V to +0.3 V
Digital Inputs	DGND - 0.3 V to ODVDD + 0.3 V
Analog Inputs	AGND - 0.3 V to AVDD + 0.3 V
Reference Voltage	Indefinite short circuit to ground
Soldering (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4.熱抵抗<sup>1</sup>

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
80-Lead LQFP	38.1	7.6	°C/W

<sup>1</sup> JEDEC 2S2P PCB を採用。

## 熱的条件

デバイスの正常な動作を保証するため、ケース温度( $T_{CASE}$ )を121°C以下に維持して、ジャンクション温度( $T_J$ )を最大許容温度125°Cより低く維持してください。

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

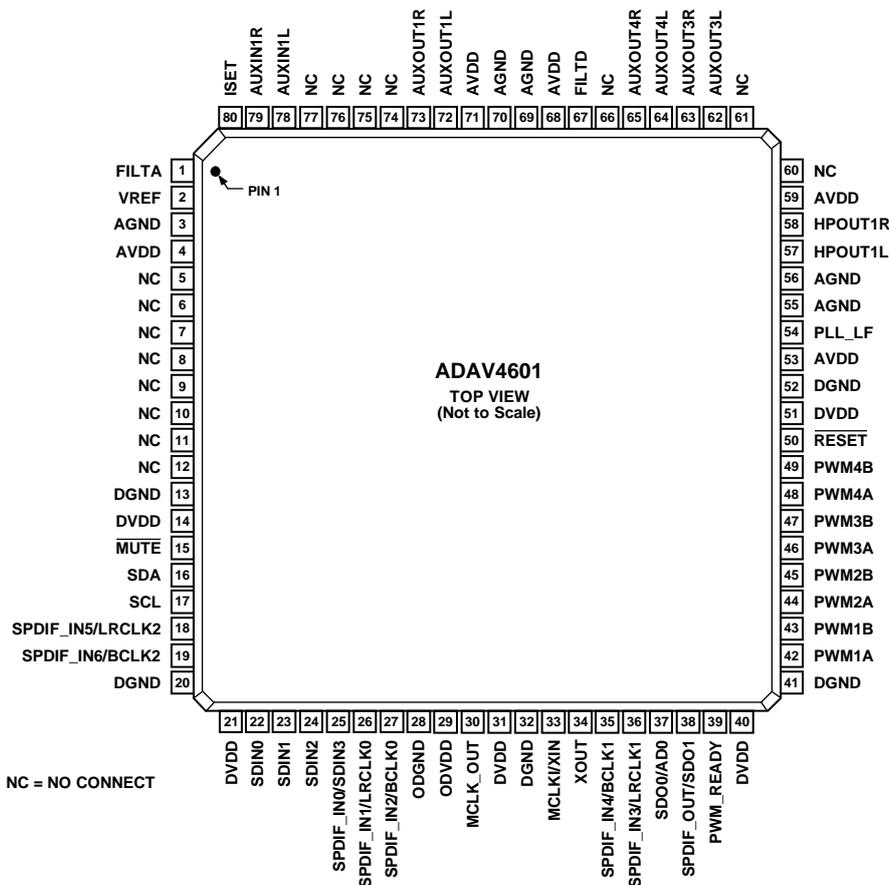


図 9. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	FILTA	ADC フィルタ・コンデンサ。
2	VREF	リファレンス電圧コンデンサ。
3	AGND	ADC グラウンド。
4	AVDD	ADC 電源(3.3 V)。
5~12	NC	このピンは解放のままにしてください。
13	DGND	デジタル・グラウンド。
14	DVDD	デジタル電源(1.8 V)。
15	MUTE	アクティブ・ローのミュート要求入力信号。
16	SDA	I <sup>2</sup> C のデータ。
17	SCL	I <sup>2</sup> C のクロック。
18	SPDIF_IN5/LRCLK2	SRC2 の S/PDIF マルチプレクサ/左/右クロックの外部入力(デフォルト)。
19	SPDIF_IN6/BCLK2	SRC2 の S/PDIF マルチプレクサ/ビット・クロックの外部入力(デフォルト)。
20	DGND	デジタル・グラウンド。
21	DVDD	デジタル電源(1.8 V)。
22	SDIN0	シリアル・データ入力 0/SRC データ入力。
23	SDIN1	シリアル・データ入力 1/SRC データ入力。
24	SDIN2	シリアル・データ入力 2/SRC データ入力。
25	SPDIF_IN0/SDIN3	S/PDIF マルチプレクサ/SRC データ入力/シリアル・データ入力 3 (デフォルト)の外部入力。
26	SPDIF_IN1/LRCLK0	SRC1 の S/PDIF マルチプレクサ/左/右クロックの外部入力(デフォルト)。
27	SPDIF_IN2/BCLK0	SRC1 の S/PDIF マルチプレクサ/ビット・クロックの外部入力(デフォルト)。
28	ODGND	デジタル・グラウンド。

ピン番号	記号	説明
29	ODVDD	デジタル・インターフェース電源(3.3 V)。
30	MCLK_OUT	マスター・クロック出力。
31	DVDD	デジタル電源(1.8 V)。
32	DGND	デジタル・グラウンド。
33	MCLKI/XIN	マスター・クロック/水晶入力。
34	XOUT	水晶出力。
35	SPDIF_IN4/BCLK1	シリアル・データ I/O の S/PDIF マルチプレクサ/ビット・クロックの外部入力(デフォルト)。
36	SPDIF_IN3/LRCLK1	シリアル・データ I/O の S/PDIF マルチプレクサ左/右クロックの外部入力(デフォルト)。
37	SDO0/AD0	シリアル・データ出力。このピンは、リセット時に I <sup>2</sup> C アドレス・セレクトとして機能します。内部プルダウン抵抗が付いています。
38	SPDIF_OUT/SDO1	S/PDIF マルチプレクサ/シリアル・データ出力の出力。
39	PWM_READY	PWM レディ・フラグ。
40	DVDD	デジタル電源(1.8 V)。
41	DGND	デジタル・グラウンド。
42	PWM1A	パルス幅変調出力 1A。
43	PWM1B	パルス幅変調出力 1B。
44	PWM2A	パルス幅変調出力 2A。
45	PWM2B	パルス幅変調出力 2B。
46	PWM3A	パルス幅変調出力 3A。
47	PWM3B	パルス幅変調出力 3B。
48	PWM4A	パルス幅変調出力 4A。
49	PWM4B	パルス幅変調出力 4B。
50	RESET	アナログ・コアとデジタル・コアのリセット。
51	DVDD	デジタル電源(1.8 V)。
52	DGND	デジタル・グラウンド。
53	AVDD	PLL 電源(3.3 V)。
54	PLL_LF	PLL ループ・フィルタ。
55	AGND	PLL グラウンド。
56	AGND	ヘッドフォン・ドライバのグラウンド。
57	HPOUT1L	左ヘッドフォン出力。
58	HPOUT1R	右ヘッドフォン出力。
59	AVDD	ヘッドフォン・ドライバの電源(3.3 V)。
60、61	NC	このピンは解放のままにしてください。
62	AUXOUT3L	左補助出力 3。
63	AUXOUT3R	右補助出力 3。
64	AUXOUT4L	左補助出力 4。
65	AUXOUT4R	右補助出力 4。
66	NC	このピンは解放のままにしてください。
67	FILTD	DAC フィルタ・コンデンサ。
68	AVDD	DAC 電源(3.3 V)。
69、70	AGND	DAC グラウンド。
71	AVDD	DAC 電源(3.3 V)。
72	AUXOUT1L	左補助出力 1。
73	AUXOUT1R	右補助出力 1。
74~77	NC	このピンは解放のままにしてください。
78	AUXIN1L	左補助入力 1。
79	AUXIN1R	右補助入力 1。
80	ISET	ADC 電流の設定。

代表的な性能特性

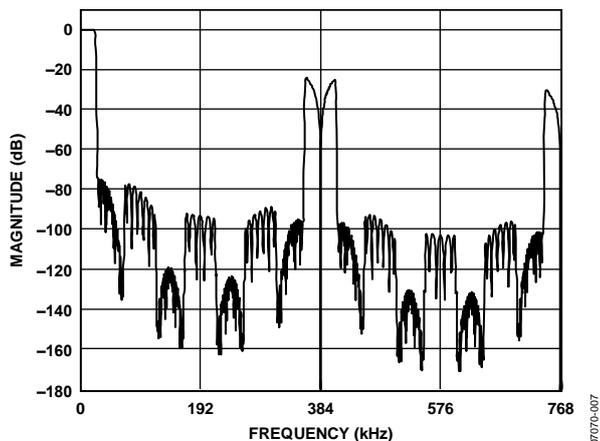


図 10.DAC コンポジット・フィルタの応答(48 kHz)

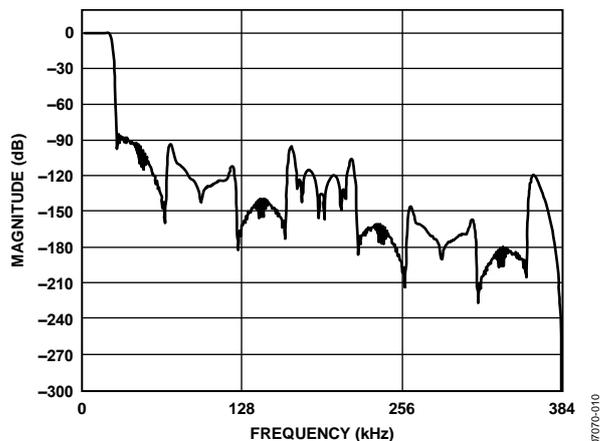


図 13.ADC コンポジット・フィルタの応答(48 kHz)

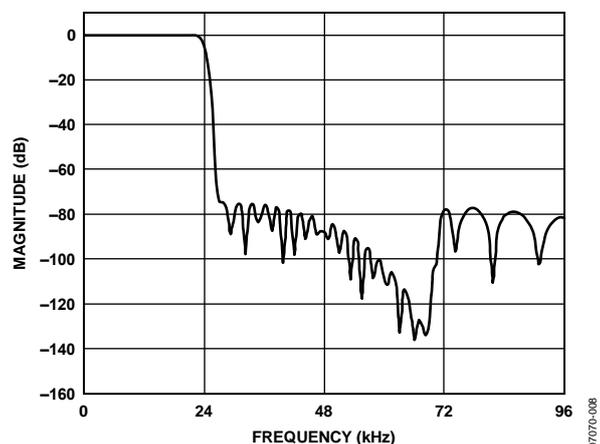


図 11.DAC 通過帯域のフィルタ応答(48 kHz)

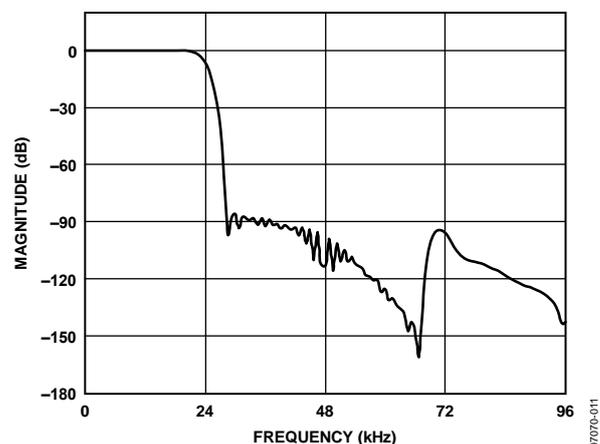


図 14.ADC 通過帯域のフィルタ応答(48 kHz)

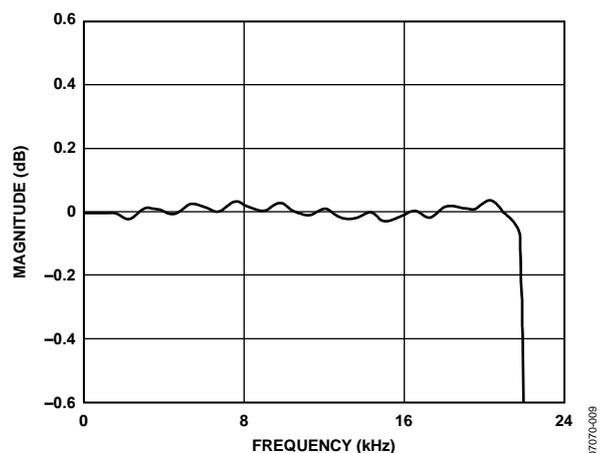


図 12.DAC 通過帯域リップル(48 kHz)

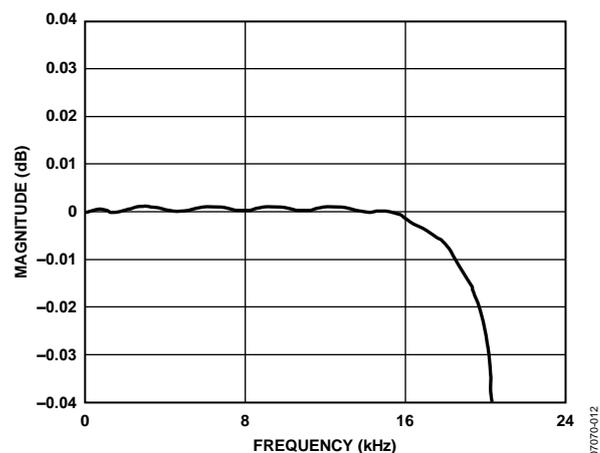


図 15.ADC 通過帯域のリップル(48 kHz)

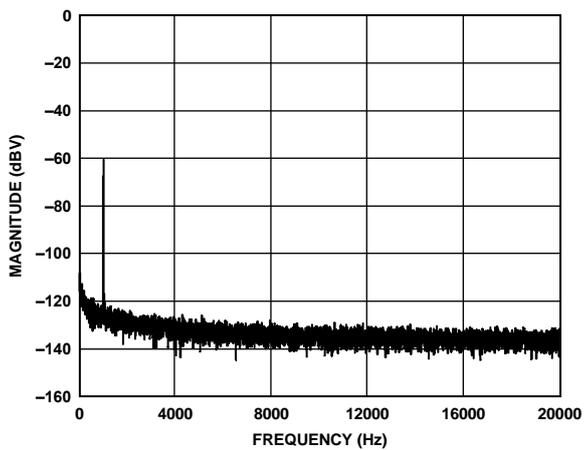


図 16.DAC のダイナミック・レンジ

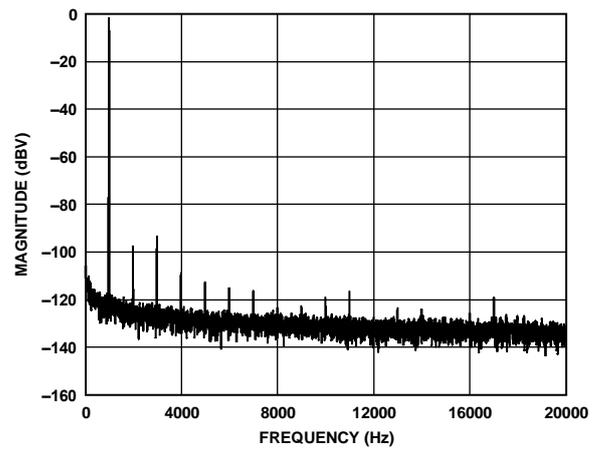


図 19.ADC 総合高調波歪み+ノイズ

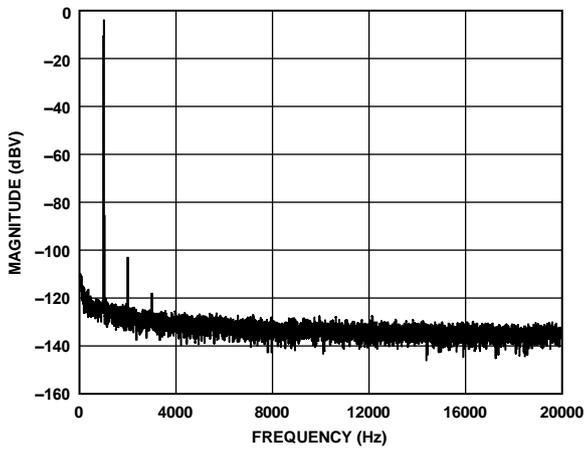


図 17.DAC 総合高調波歪み+ノイズ

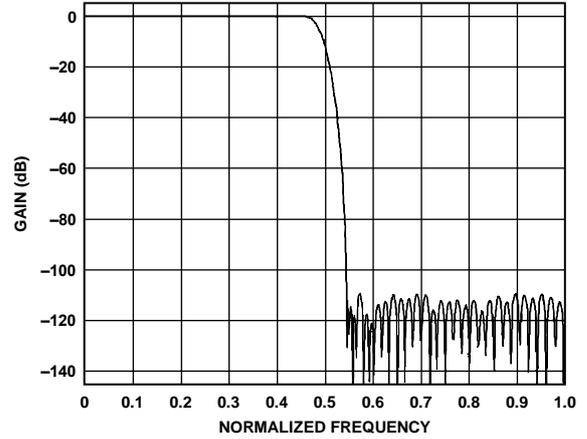


図 20.サンプル・レート・コンバータの伝達関数

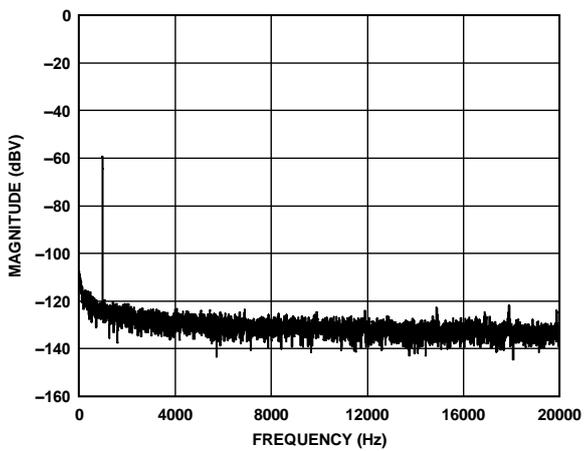


図 18.ADC のダイナミック・レンジ

## 用語

### ダイナミック・レンジ

フルスケール入力信号の、通過帯域(20 Hz~20 kHz)内の総合入力ノイズに対する比(dB 表示)。ダイナミック・レンジは-60 dB の入力信号を使って測定するため、(S/[THD + N]) 60 dB に等しくなります。スプリアス高調波は-60 dB 入力時のノイズより小さいため、ノイズ・レベルがダイナミック・レンジを決定します。ダイナミック・レンジは、A 重みフィルタありと A 重みフィルタなしで規定します。

### 通過帯域

デジタル・デシメータ・フィルタによる減衰を受けない周波数スペクトル領域。

### 通過帯域リップル

通過帯域内の複数の周波数で等しい振幅を持つ信号を入力したときの、複数の周波数の振幅応答でのピーク to ピーク変動(dB 表示)。

### 阻止帯域

デジタル・デシメータ・フィルタの阻止帯域減衰量で規定された減衰を受ける周波数スペクトル領域。

### ゲイン誤差

フルスケールに近い入力での、実際の出力の理論出力に対する比(dB 表示)。

### チャンネル間ゲイン・ミスマッチ

フルスケールに近い複数の等しい入力での、2つのステレオ・チャンネル出力の比(dB 表示)。

### クロストーク

グラウンド・レベルが入力されたある1つのチャンネルでの応答の、他のチャンネルに入力したフルスケール 1 kHz の正弦波に対する比(dB 表示)。

### 電源除去比

アナログ入力なしの場合に、300 mV p-p の信号を電源ピンに入力した際に出力に現れる信号(フルスケールに対する dB 表示)。

### 群遅延

直感的に表現すると、入力パルスがコンバータ出力に現れるまでに要する時間(ms 表示)。さらに正確には、与えられた周波数のラジアン周波数に対するラジアン位相の時間微分係数。

## ピン機能

表 5 に、ADAV4601 のピン番号、記号、説明を示します。入力ピンのロジック・スレッシュホールドは、3.3 V 入力レベルと互換です。

### SDIN0、SDIN1、SDIN2、SDIN3/SPDIF\_IN0

シリアル・データ入力。これらのピンは、信号処理コアへのデジタル・オーディオ・データを入力します。すべての入力は、いずれかの SRC に接続して変換することができます。その後、この入力はオーディオ・プロセッサへの同期入力として使用できますが、選択した SRC を経由してのみ入力できます。同期データのシリアル・フォーマットは、シリアル・ポート・コントロール・レジスタのビット[3:2]を使って選択します。SRC が必要な場合、シリアル・フォーマットを同じレジスタのビット[12:9]を使って選択します。同期入力では、LRCLK0/BCLK0、LRCLK1/BCLK1、または LRCLK2/BCLK2 の任意の対のシリアル・クロックを使用することができます。デフォルトでは、LRCLK1 と BCLK1 を使います。同期入力の構成の詳細については、図 23 を参照してください。SDIN3 は SPDIF\_IN0 と共用されています。SDIN3 を使用しない場合には、このピンを使って、MPEG デコーダのような S/PDIF 信号外部ソースを ADAV4601 の内蔵 S/PDIF 出力マルチプレクサへ接続することができます。SPDIF\_IN (外部)信号の 1 つから SPDIF\_OUT を選択した場合には、この信号は単純に入力から出力へ渡されます。

### LRCLK0、BCLK0、LRCLK1、BCLK1、LRCLK2、BCLK2

デフォルトでは、LRCLK1 と BCLK1 が同期入力に、LRCLK0 と BCLK0 は SRC1 に、LRCLK2 と BCLK2 は SRC2 に、それぞれ接続されていますが、SRC と同期入力では任意のシリアル・クロックを使用することができます(詳細については、図 23 を参照してください)。LRCLK0、BCLK0、LRCLK1、BCLK1、LRCLK2、BCLK2 の各ピンは、それぞれ SPDIF\_IN1、SPDIF\_IN2、SPDIF\_IN3、SPDIF\_IN4、SPDIF\_IN5、SPDIF\_IN6 と共用されています。LRCLK0/LRCLK1/LRCLK2 または BCLK0/BCLK1/BCLK2 を使用しない場合は、これらのピンを使って、MPEG デコーダのような S/PDIF 信号外部ソースを ADAV4601 の内蔵 S/PDIF 出力マルチプレクサへ接続することができます。SPDIF\_IN (外部)信号の 1 つから SPDIF\_OUT を選択した場合には、この信号は単純に入力から出力へ渡されます。

### SDO0/AD0

シリアル・データ出力。このピンは、様々な標準 2 チャンネル・フォーマットを使う 2 チャンネルのデジタル・オーディオを出力することができます。SDO0 のクロックは同期入力を使うクロックと同じです。これは、SDO0 はシリアル・クロック、LRCLK0/BCLK0、LRCLK1/BCLK1、または LRCLK2/BCLK2 の任意の対を使うことができますが、LRCLK1 と BCLK1 がデフォルトで使われていることを意味します。シリアル・ポート・コントロール・レジスタは、同期出力のシリアル・フォーマットを選択します。リセット時に、SDO0 ピンは I<sup>2</sup>C<sup>®</sup>のアドレス・セレクト・ピンとして使われます。このモードでは、このピンのロジック状態がリセット後の MCLKI の 4 サイクル間にポーリングされます。このアドレス・セレクト・ビットは、この MCLKI の 4 サイクル後にピンのロジック・レベルの多数決ボールとして設定されます。

### SPDIF\_OUT (SDO1)

ADAV4601 は、S/PDIF マルチプレクサ機能を内蔵しています。この機能を使うと、SPDIF\_OUT 信号を内部で発生した S/PDIF 信号または外部ソース(SPDIF\_IN ピンの 1 本を使って接続)の S/PDIF 信号から選択することができます。このピンは、代替機能として追加シリアル・データ出力(SDO1)に設定することもできます。

### MCLKI/XIN

マスター・クロック入力。ADAV4601 では PLL を使ってオーディオ処理コアの該当する内部クロックを発生します。適切な周波数のクロック信号をこのピンに直接接続することができます。あるいは、水晶を MCLKI/XIN と XOUT の間に接続し、さらに適切なコンデンサを DGND に接続して適切なクロック信号を発生することもできます。

### XOUT

このピンを MCLKI/XIN と組み合わせて使って、ADAV4601 のクロック信号を発生します。

### MCLK\_OUT

このピンを使って、MCLKI または内部システム・クロックの内の 1 つを出力することができます。このピンの出力レベルは、他のすべてのデジタル入力または出力のように ODVDD (3.3 V) ではなく、DVDD (1.8 V) を基準としていることに注意してください。

### SDA

I<sup>2</sup>C コントロール・ポートのシリアル・データ入力。SDA には、50 ns 幅以下のスプリアス・パルスを除去するグリッチ除去フィルタが付いています。

## SCL

I<sup>2</sup>C コントロール・ポートのシリアル・クロック。SCL には、50 ns 幅以下のスプリアス・パルスを除去するグリッチ除去フィルタが付いています。

## MUTE

ミュート入力要求。このアクティブ・ローの入力ピンは、ADAV4601 の出力ポート(アナログとデジタル)のミュートインジケータを制御します。ロー・レベルのとき、オーディオ・フロー内でイネーブルされた出力をミュートします。

## RESET

アクティブ・ローのリセット信号。**RESET**がハイ・レベルになると、すべての回路ブロックがパワーダウンします。各ブロックは、ソフトウェアから個別にパワーアップさせることができます。デバイスがパワーアップする際、内部回路を初期化するために内部クロックで約 3072 サイクルを要します。PLL がパワーアップしてイネーブルされるまで内部システム・クロックとしては MCLKI を使用し、PLL 動作後は内部システム・クロックが  $2560 \times f_s$  (122.88 MHz) になります。リセット後に PLL がパワーアップしてイネーブルされた後、ロックするまでに約 3 ms を要します。オーディオ・プロセッサがイネーブルされたとき、オーディオ・プロセッサ・メモリヘドフォルト・フローをロードして初期化するために、内部システム・クロックで約 32,768 サイクルを要します。オーディオ・プロセッサはこの間使用できません。

## AUXIN1L と AUXIN1R

内蔵 ADC へのアナログ入力。

## AUXOUT1L、AUXOUT1R、AUXOUT3L、AUXOUT3R、AUXOUT4L、AUXOUT4R

補助 DAC のアナログ出力。これらのピンは、内部オーディオ処理の出力をラインまたは録音に使用するために、外部に出力するように設定することができます。

## HPOUT1L と HPOUT1R

ヘッドフォン・アンプからのアナログ出力。

## PLL\_LF

PLL ループ・フィルタ接続。PLL ループ・フィルタを正しく動作させるために、100 nF のコンデンサおよび 2 k $\Omega$  の抵抗と 1 nF のコンデンサとの並列接続を AVDD に接続する必要があります。

## VREF

DAC と ADC のリファレンス電圧。このピンは、1.5 V の内部リファレンス電圧で駆動されます。

## FILTA と FILTD

ADC と DAC のデカップリング・ノード。これらのノードと AGND との間にデカップリング・コンデンサの接続が必要です。コンデンサ値は、それぞれ 47  $\mu$ F と 10  $\mu$ F です。

## PWM1A、PWM1B、PWM2A、PWM2B、PWM3A、PWM3B、PWM4A、PWM4B

差動パルス幅変調出力は、クラス D アンプの駆動に適しています。

## PWM\_READY

PWM がイネーブルされ安定すると、このピンがハイ・レベルに設定されます。

## AVDD

アナログ電源ピン。これらのピンは 3.3 V に接続します。各ピンは 10  $\mu$ F と 0.1  $\mu$ F のコンデンサをピンのできるだけ近くに接続して、AGND ヘドカップリングする必要があります。

## DVDD

デジタル電源。このピンは 1.8 V のデジタル電源に接続します。ピンのできるだけ近くに 10  $\mu$ F と 0.1  $\mu$ F のデカップリング・コンデンサを接続して DGND ヘドカップリングすることが、最適性能を得るために推奨されます。

## ODVDD

デジタル・インターフェース電源ピン。このピンは 3.3 V のデジタル電源に接続します。10  $\mu$ F と 0.1  $\mu$ F のコンデンサをピンのできるだけ近くに接続して、DGND ヘドカップリングする必要があります。

## DGND

デジタル・グラウンド。

## AGND

アナログ・グラウンド。

## ODGND

デジタル・インターフェース電源のグラウンド。

## ISET

ADC 電流設定抵抗。

## 機能説明

### マスター・クロック発振器

ADAV4601 の内部では、マスター MCLKI 入力に同期して動作します。すべての内部システム・クロックは、この 1 本のクロック入力から内部 PLL を使って発生されます。また、この MCLKI 入力は、MCLKI/XIN ピンに接続した外部水晶発振器により、または MCLKI/XIN と XOUT の間に接続したシンプルな水晶共振子により、それぞれ発生することもできます。デフォルトでは、マスター・クロック周波数は 24.576 MHz になっていますが、内部分周器を使って、12.288 MHz、6.144 MHz、3.072 MHz の MCLKI もサポートすることができます。

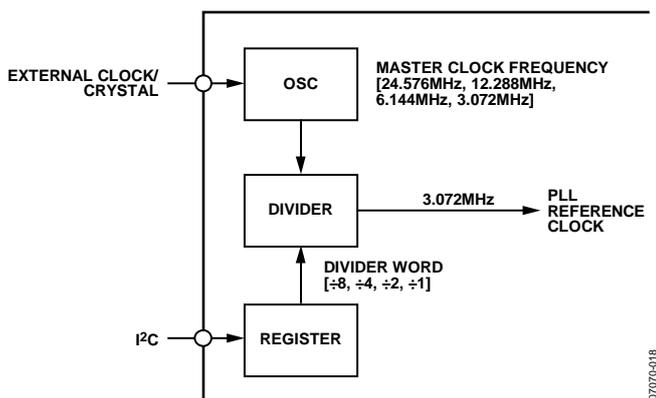


図 21. マスター・クロック

### I²C インターフェース

ADAV4601 は、複数のペリフェラルを駆動する 2 線式シリアル (I²C 互換) マイクロプロセッサ・バスをサポートしています。ADAV4601 は、マイクロコントローラなどの外部 I²C マスター・デバイスから制御されます。ADAV4601 は、セルフ・ブート時以外は I²C バス上でスレープ・モードです。ADAV4601 のセルフ・ブート時は、マスターになり、ブート ROM を格納している EEPROM がスレープになります。セルフ・ブート・プロセスが完了すると、ADAV4601 は I²C バス上でスレープ・モードになります。ADAV4601 のセルフ・ブート時は、他のデバイスは I²C バスをアクセスできません (アプリケーション層のセクションとカスタム・オーディオ処理フローのローディングのセクション参照)。

最初、I²C バス上のすべてのデバイスがアイドル状態にあります。アイドル状態では、デバイスは SDA ラインと SCL ラインを監視してスタート条件と自分のアドレスを待ちます。マスターはスタート条件を設定してデータ転送を開始します。このスタート条件は、SCL がハイ・レベルの間の、SDA 上のハイ・レベルからロー・レベルへの変化として定義されています。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。バス上のすべてのデバイスがスタート条件に回答して、MSB ファーストの次のバイト (7 ビット・アドレス + R/W ビット) を読み出します。送信されたアドレスに対応するアドレスを持つデバイスは、9 番目のクロック・パルス区間中に、データ・ラインをロー・レベルにプルダウンして応答します。この 9 番目のビットはアクノリッジ・ビットと呼ばれています。バス上の他のすべてのデバイスはアイドル状態に戻ります。R/W ビットによりデータの転送方向が指定されます。先頭バイトの LSB がロジック 0 のとき、マスターがペリフェラルに対して情報を書き込むことを意味します。先頭バイトの LSB がロジック 1 のとき、マスターがペリフェラルから情報を読み出すことを意味します。データ転送は、ストップ条件に遭遇するまで

続きます。STOP 条件は SCL がハイ・レベルのときの、SDA のロー・レベルからハイ・レベルへの変化として定義されています。

ADAV4601 は、リセット後に SDO0 ピンをサンプリングして、I²C デバイス・アドレスを調べます。内部的には、SDO0 ピンを 4 個の MCLKI エッジでサンプルして、ピン状態を決定します (ハイまたはロー・レベル)。このピンにはデフォルトで内部プルダウン抵抗が付いているため、ADAV4601 のアドレスは 0x34 (書き込み) と 0x35 (読み出し) になります。SDO0 ピンを 10 kΩ の抵抗を介して ODVDD に接続すると、別のアドレス 0x36 (書き込み) と 0x37 (読み出し) も使用できます。I²C インターフェースは、400 kHz までのクロック周波数をサポートします。

### ADC 入力

ADAV4601 には 2 つの ADC 入力があります。デフォルトでは、1 つのステレオ入力として設定されていますが、オーディオ・プロセッサはプログラマブルであるため、これらの入力を変更することができます。

ADC 入力を図 22 に示します。アナログ入力は電流入力 (100 μA rms FS) で 1.5 V DC バイアス電圧を使用しています。次式を使って入力抵抗 (R<sub>IN</sub>) と ISET 抵抗 (R<sub>ISET</sub>) の適切な組み合わせを選択することにより、任意の入力電圧をサポートすることができます。

$$R_{IN} = V_{FS \text{ rms}} / 100 \mu\text{A rms}$$

$$R_{ISET} = 2R_{IN} / V_{IN}$$

クリッピングなしに ADC のフル・スケール信号を保証するためには、R<sub>IN</sub> と R<sub>ISET</sub> との間の抵抗マッチング (typ 値 1%) は重要です。

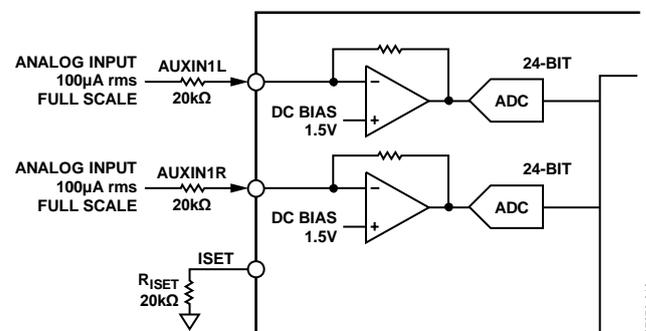


図 22. アナログ入力セクション

### I²S デジタル・オーディオ入力

ADAV4601 には 4 個の I²S デジタル・オーディオ入力があります。デフォルトでは、マスター・クロックに同期しています。また、5 kHz ~ 50 kHz のサンプル・レートを持つ任意の非同期入力をサポートできる SRC も 2 個持っています。すべてのシリアル・デジタル入力を SRC を介して切り替えることができます。図 23 に、入力シリアル・ポートのブロック図を示します。

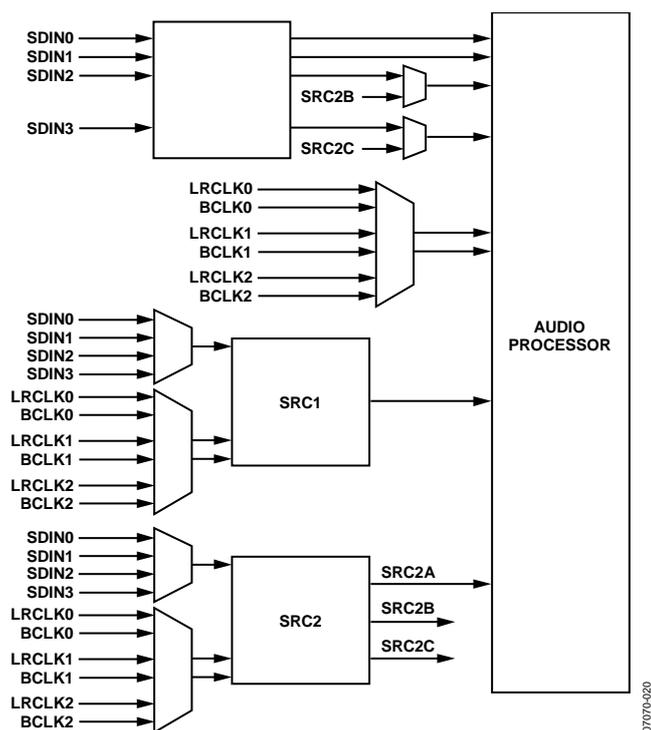


図 23. デジタル入力セクション

### 同期入力と同期出力

同期デジタル入力と出力では、クロック信号とフレーム信号として任意の BCLK 入力または LRCLK 入力を使うことができます。デフォルトでは、BCLK1 と LRCLK1 が同期入力として使われています。デフォルトでは ADAV4601 の同期ポートはスリープ・モードになっているため、該当するシリアル・クロック(BCLK と LRCLK)を接続する必要があります。また、同期ポートをマスター・モードに設定することもできます。この場合、該当するシリアル・クロック(BCLK と LRCLK)は、MCLK から内部で発生させることができます。したがって、ユーザーが接続する必要はありません。シリアル・データ入力には、一般的なすべてのオーディオ送信規格を入力することができます(詳細については、シリアル・データ・インターフェースのセクション参照)。

### 非同期入力

ADAV4601 には 2 つの SRC があります(SRC1 と SRC2)。これらは、マスター・クロックに同期していないデジタル・データの変換に使うことができます。各 SRC には、5 kHz~50 kHz の入力サンプル・レートを入力することができます。SRC により変換されたデータはデバイスに入力されて、内部オーディオ・プロセッサに同期化されます。

SRC1 は 2 チャンネル(シングル・ステレオ)のサンプル・レート・コンバータであり、使用可能な 3 種類のシリアル・クロックを使うことができます。SRC1 には、いずれかのシリアル・データ入力(SDIN0、SDIN1、SDIN2、SDIN3)からデータを入力することができます。SDIN ラインが SRC への入力として選択されると、同期データを含むものと見なされ、非同期データが同期データとして処理されないように、オーディオ・プロセッサへの入力としてマスクされます。デフォルトでは、SRC1 は LRCLK0 と BCLK0 をクロック信号とフレーム信号として使っています。

SRC2 は 6 チャンネル(3 個のステレオ)のサンプル・レート・コンバータであり、使用可能な 3 種類のシリアル・クロックを使

うことができます。SRC2 には、いずれかのシリアル・データ入力(SDIN0、SDIN1、SDIN2、SDIN3)からデータを入力することができます。SDIN ラインが SRC への入力として選択されると、同期データを含むものと見なされ、非同期データが同期データとして処理されないように、オーディオ・プロセッサへの入力として内部でマスクされます。デフォルトでは、SRC2 は LRCLK2 と BCLK2 をクロック信号とフレーム信号として使っています。

SRC2 からの最初の出力(SRC2A)は、常にオーディオ・プロセッサから使用可能です。他の 2 つの出力は 2 つのシリアル入力とマルチプレクスされた後に、オーディオ・プロセッサから使用可能になります。SRC2B は、SDIN2 とマルチプレクスされ、SRC2C は SDIN3 とマルチプレクスされます。デフォルトでは、これらのマルチプレクサは、オーディオ・プロセッサから同期入力を使用できるように設定されています。SRC2B チャンネルと SRC2C チャンネルは、レジスタへの書き込みを行うだけで、オーディオ・プロセッサから使用可能になります。

ADAV4601 を非同期のデジタル入力/デジタル出力の構成で使用する場合、指定された BCLK/LRCLK をフレーム信号として使って、入力デジタル・データがいずれかの SRC からオーディオ・プロセッサ・コアへ入力されます。デジタル出力は、同期ポートに指定された BCLK/LRCLK と同期します。この場合、デフォルト・クロックは BCLK1 と LRCLK1 です。

### シリアル・データ・インターフェース

LRCLK は左チャンネル入力と右チャンネル入力のフレーム信号であり、周波数はサンプリング周波数( $f_s$ )に一致しています。

BCLK はデジタル・インターフェースのビット・クロックであり、周波数は  $64 \times f_s$  です(左と右の各チャンネルの周期は  $32 \times BCLK$ )。

このシリアル・データ・インターフェースは、I<sup>2</sup>S、左詰め(LJ)、右詰め(RJ)などの一般的なすべてのオーディオ・インターフェース規格をサポートしています。インターフェース・モードはソフトウェアから選択可能で、デフォルトは I<sup>2</sup>S に設定されています。また、データ・サンプル幅もソフトウェアから 16 ビット、20 ビット、または 24 ビットが選択可能です。デフォルトは 24 ビットです。

### I<sup>2</sup>S モード

I<sup>2</sup>S モードでは、データは左詰め、MSB ファーストであり、MSB は LRCLK の変化の後ろの 2 番目の BCLK 周期に配置されています。LRCLK のハイ・レベルからロー・レベルへの変化により、左チャンネルのデータ転送開始が指定され、LRCLK のロー・レベルからハイ・レベルへの変化により、右チャンネルのデータ転送開始が指定されます(図 24 参照)。

**LJモード**

LJモードでは、データは左詰め、MSBファーストであり、MSBはLRCLKの変化の後ろの最初のBCLK周期に配置されています。LRCLKのハイ・レベルからロー・レベルへの変化により、右チャンネルのデータ転送開始が指定され、LRCLKのロー・レベルからハイ・レベルへの変化により、左チャンネルのデータ転送開始が指定されます(図25参照)。

**RJモード**

RJモードでは、データは右詰め、LSBファーストであり、LSBはLRCLKの変化の前の最後のBCLK周期に配置されています。LRCLKのハイ・レベルからロー・レベルへの変化により、右チャンネルのデータ転送開始が指定され、LRCLKのロー・レベルからハイ・レベルへの変化により、左チャンネルのデータ転送開始が指定されます(図26参照)。

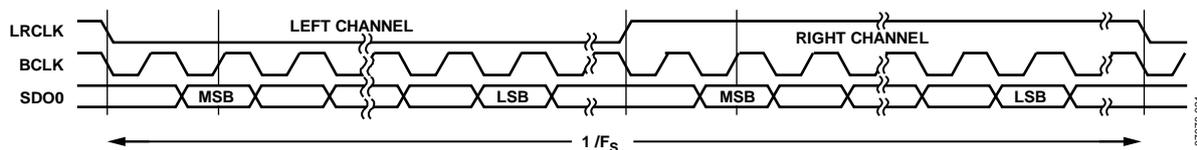


図 24. I2S モード

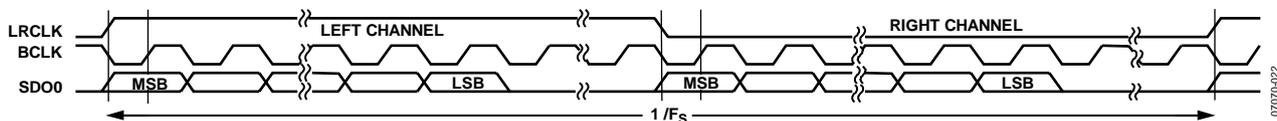


図 25. 左詰めモード

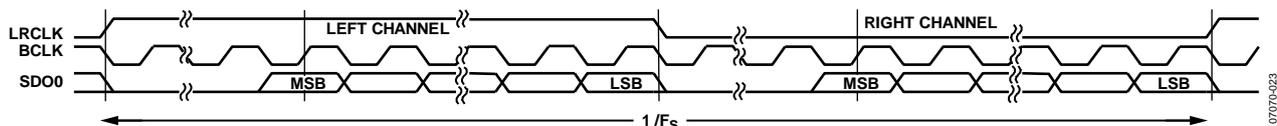


図 26. 右詰めモード

## DAC 電圧出力

ADAV4601 には 6 個の DAC 出力があり、3 個のステレオ補助 DAC 出力を構成していますが、フローがカスタマイズ可能であるため、プログラマブルです。出力レベルは 1 V rms フルスケールです。

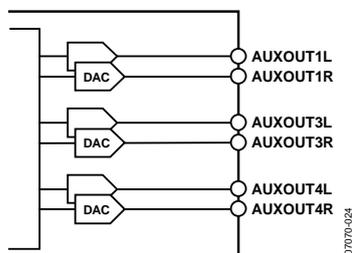


図 27. DAC 出力セクション

## PWM 出力

ADAV4601 では、メイン出力を 4 個の PWM 出力チャンネルとして使用可能で、クラス D アンプの駆動に適しています。PWM\_Ready は、ADAV4601 の PWM 出力が有効状態であることを表示するステータス・ピンです。PWM パワーアップ時とパワーダウン時に、このピンはロー・レベルになり、出力が無効状態であることを表示します。出力電源ステージはこのピンがハイ・レベルになるまで、ミュート状態を維持する必要があります。この機能は、ポップ/クリック雑音や他の不要なノイズが出力されるのを防止する際に役立ちます。

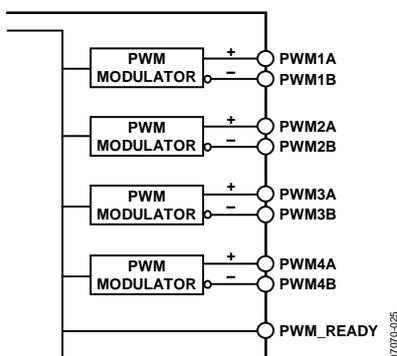


図 28. PWM 出力セクション

各 PWM 出力は相補出力になっています。変調周波数は 384 kHz であり、フル・スケール・デューティ・サイクルは 97:3 の比になっています。

PWM 出力の使い方の詳細説明資料は、[AV.Products@analog.com](mailto:AV.Products@analog.com) にご要求ください。

## ヘッドフォン出力

32 Ω 負荷を 1 V rms で駆動できる専用ステレオ・ヘッドフォン・アンプ出力があります。

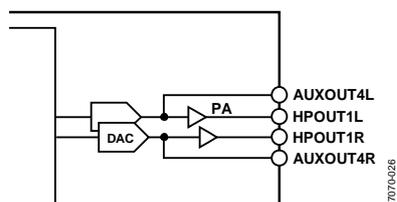


図 29. ヘッドフォン出力セクション

## I<sup>2</sup>S デジタル・オーディオ出力

1 本の I<sup>2</sup>S 出力が(SDO0)、シリアル入力と同じシリアル・クロック(デフォルトでは、BCLK1 と LRCLK1)を共有しています。追加デジタル出力が必要な場合、図 30 に示すように、追加ピンをシリアル・デジタル出力として設定することができます。

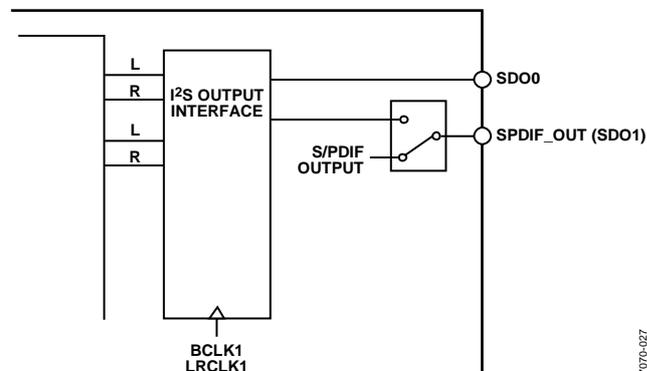


図 30. I<sup>2</sup>S デジタル出力

## S/PDIF 入力/出力

S/PDIF 出力(SPDIF\_OUT/SDO1)ではマルチプレクサを使って、図 31 に示すように、オーディオ・プロセッサからの出力または未処理 SPDIF\_IN 信号の通過を選択することができます。

ADAV4601 では、SPDIF\_IN0/SPDIF\_IN1/SPDIF\_IN2/SPDIF\_IN3/SPDIF\_IN4/SPDIF\_IN5/SPDIF\_IN6 の各 S/PDIF 入力を、それぞれ SDIN3、LRCLK0、BCLK0、LRCLK1、BCLK1、LRCLK2、BCLK2 の各ピンから入力することができます。7 本すべての S/PDIF 入力を 1 回で各 S/PDIF 信号に接続することができます。このセットアップを行うと、SDIN0、SDIN1、SDIN2、SDIN3 の各デジタル入力に使用できる LRCLK と BCLK がなくなります。S/PDIF 入力を 1 本だけ使用する場合は、SDIN3 ピンを専用 S/PDIF 入力として使用することが推奨されます。これにより、同期ポートと非同期ポートの BCLK0/LRCLK0、BCLK1/LRCLK1、BCLK2/LRCLK2 をクロック信号とフレーム信号として使うことが可能になります。SDIN3 を S/PDIF 入力として使用する場合は、SDIN3 は無効なデータを含むので、内部でオーディオ・プロセッサ入力として使わないようにする必要があります。同様に、BCLK または LRCLK を S/PDIF 入力として使用する場合は、SDIN0、SDIN1、SDIN2、SDIN3 のクロック信号とフレーム信号として使えなくなります。S/PDIF エンコーダは、IEC-600958 に準拠するコンシューマ・フォーマットのみをサポートしています。

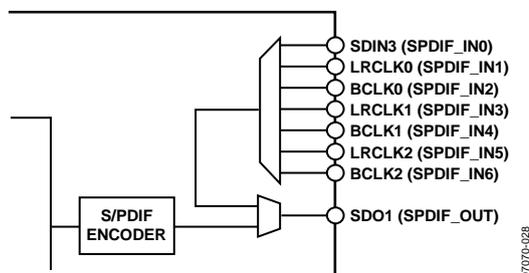


図 31. S/PDIF 出力

## ハードウェア・ミュート・コントロール

ADAV4601 のミュート入力を使って、任意のアナログ出力またはデジタル出力をミュートさせることができます。MUTEピンがロー・レベルになると、選択した出力がミュート状態になります。ミュートの解除はレジスタの設定に応じて 2 つの方法で処理されます。デフォルトでは、MUTEピンがハイ・レベルになると、出力は直ちに非ミュート状態になりますが、コントロール・レジスタ・ビットを使って、ミュート解除動作を制御することもできます。この場合、MUTEピンがハイ・レベルになっても、コントロール・レジスタのビットがセットされるまで、デバイスはミュートしません。この機能は、たとえば、故障状態でこのピンが再度ハイ・レベルになっても、出力のミュート状態を維持する場合に使うことができます。この機能により、システム・コントローラからミュート解除動作をすべて制御できるようになっています。

ミュート機能のレジスタ設定と動作の詳細説明資料は、[AV.Products@analog.com](mailto:AV.Products@analog.com) にご要求ください。

## オーディオ・プロセッサ

内部オーディオ・プロセッサは  $2560 \times f_s$  で動作します。48 kHz の場合この値は 122.88 MHz になります。内部でのワード・サイズは 28 ビットであり、これにより内部処理に対して 24 dB のヘッドルームを可能にしています。オーディオ処理を念頭に特別にデザインされているため、複雑なオーディオ・アルゴリズムを効率良く組込んであります。

デフォルトでは、ADAV4601 は図 33 に示すように、デフォルトのオーディオ・フローをロードしますが、オーディオ・プロセッサはプログラマブルであるため、カスタム・オーディオ・フローを迅速に開発してオーディオ・プロセッサにロードすることができます。

オーディオ・フローは、プログラム RAM とパラメータ RAM に格納されます。プログラム RAM には、オーディオ・プロセッサにより実行される命令が、パラメータ RAM には、ボリューム・コントロール、フィルタ係数、イネーブル・ビットのようなフローを制御する係数が、それぞれ含まれます。

## グラフィカルなプログラミング環境

ADAV4601 のカスタム・フローは、ドラッグ・アンド・ドロップを使用する強力なグラフィカル・プログラミング・アプリケーションの中で作成されます。ADAV4601 のプログラムには、アセンブリ・コードの知識は不要です。オーディオ処理ブロック(フィルタ、遅延、ダイナミック・プロセッサ、サード・パーティ・アルゴリズムなど)の広範囲なライブラリを採用しているため、カスタム・フローの迅速かつシンプルな作成が可能です。デバッグのためには、オーディオ・フローのランタイム・コントロールを使うと、フローをすべて設定してテストすることができます。

トレーニング資料とサポートは、[AV.Products@analog.com](mailto:AV.Products@analog.com) へご要求ください。

## アプリケーション層

このファミリーに組込まれている独自のアプリケーション層を使うと、オーディオ・フローを制御するレジスタのカスタム・セットを使うことができるため、オーディオ・プロセッサとシステム・コントローラとの間のインターフェースを大幅に簡素化できます。

カスタム・フローを作成した後、フローを制御するためのユーザー固有のレジスタ・マップを定義することができます。各レジスタは 16 ビットですが、制御では 1 ビットまたは 16 ビットすべてを使うことができます。ユーザーは、制御するパラメータやランタイム時にこれらパラメータ制御の度合について完全に制御することができます。グラフィカル・プログラミング環境と強力なアプリケーション層の組み合わせにより、ユーザーはカスタム・オーディオ・フローを迅速に開発し、さらにシンプルなレジスタ採用のデバイスの使用を維持することができます。

カスタム・オーディオ・フローの開発と、and creation of the for the ADAV4601 のカスタム・アプリケーション層の定義と生成についての広範囲なドキュメントは、[AV.Products@analog.com](mailto:AV.Products@analog.com) へご要求ください。

## カスタム・オーディオ処理フローのローディング

ADAV4601 には、外部 I<sup>2</sup>C ROM からカスタム・オーディオ・フローをロードすることができます。ブート・プロセスは、コントロール・レジスタへのシンプルな書き込みにより起動されます。オーディオ・フロー ROM の EEPROM デバイス・アドレスと EEPROM スタート・アドレスはすべて、プログラムすることができます。

ブート・シーケンスの間、ADAV4601 は I<sup>2</sup>C バス上のマスターになります。EEPROM から ADAV4601 への ROM の転送には、フル・オーディオ・プロセッサ・メモリを必要とする場合、最大 1.06 sec を要します。この間、他のデバイスは I<sup>2</sup>C バスをアクセスすることはできません。転送が完了した後、ADAV4601 は自動的にスレープ・モードに戻り、I<sup>2</sup>C バス・マスターはコマンドの送信を開始することができます。

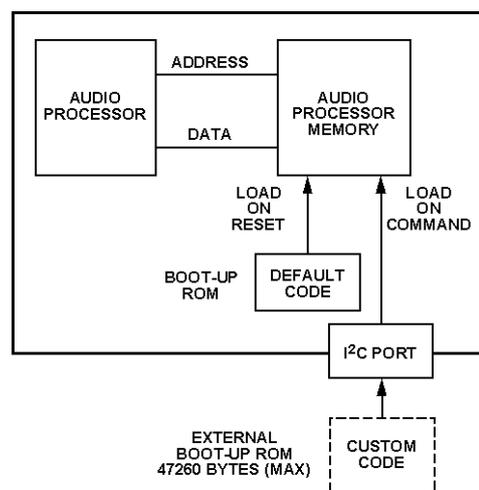


図 32. 外部 EEPROM のブート

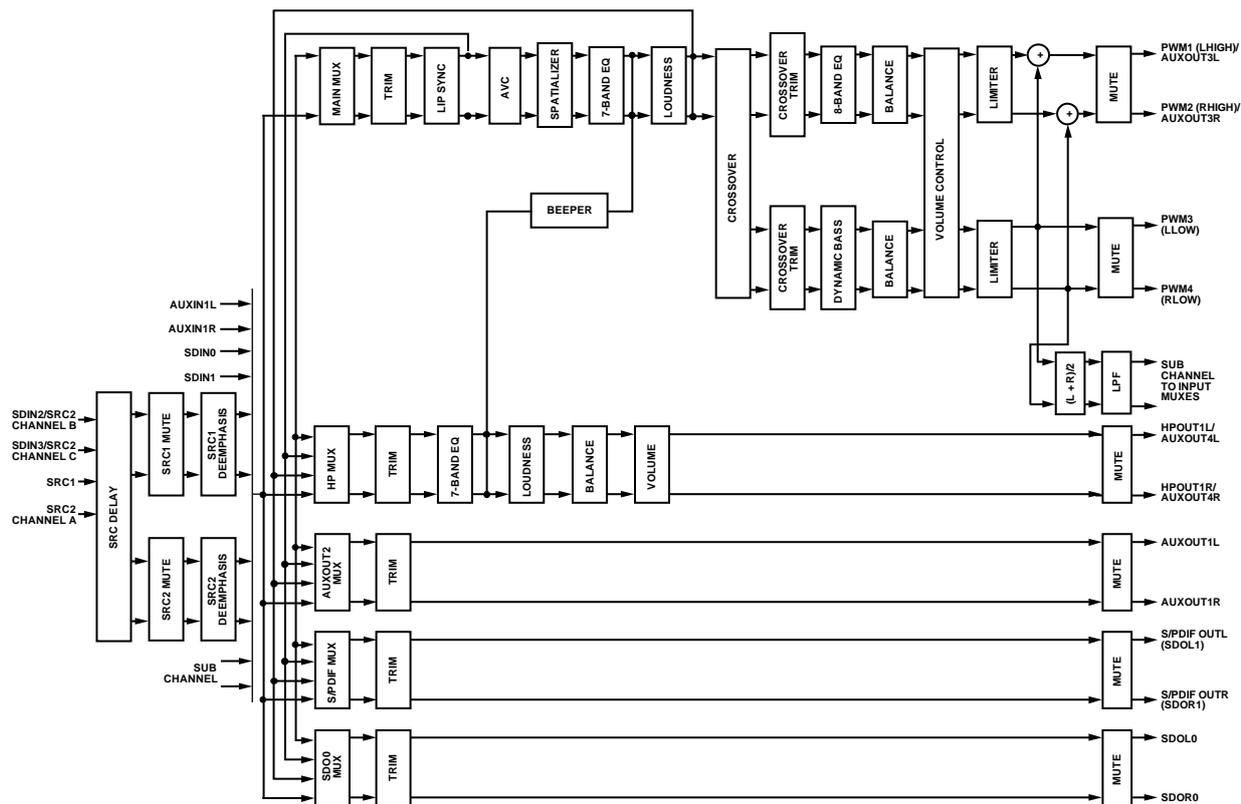
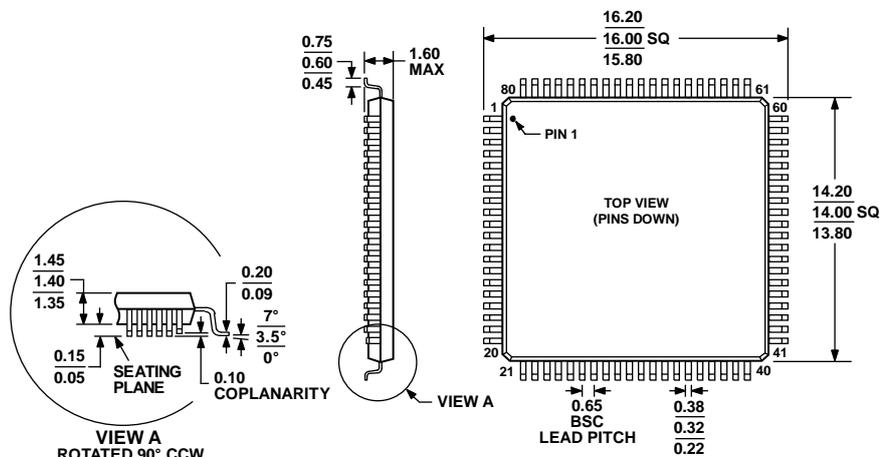


図 33. デフォルトのオーディオ処理フロー

07070-030

## 外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-BEC

051706-A

図 34.80 ピン・ロー・プロファイル・クワッド・フラット・パッケージ[LQFP]  
(ST-80-2)  
寸法: mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADAV4601BSTZ <sup>1</sup>	-40°C to +85°C	80-Lead Low Profile Quad Flat Package [LQFP]	ST-80-2

<sup>1</sup> Z = RoHS 準拠製品

さらに、従来型 SnPb ハンダ処理と後方互換性を持っています。これは電気メッキされた Sn コーティングが Sn/Pb ハンダ・ペーストを使って従来型リフロー温度 220 ~ 235°C でハンダ付けできることを意味しています。

ライセンスを受けたアナログ・デバイスまたはサブライセンスを受けた関連会社の 1 つから I<sup>2</sup>C 部品を購入すると、Phillips 社の制定する I<sup>2</sup>C 標準仕様にシステムが準拠している場合、I<sup>2</sup>C システム内でこれらのデバイスを使うための Phillips 社の I<sup>2</sup>C 特許権のもとにライセンスが購入者に移転されます。