



ステレオ PDM から I²S/TDM への コンバータ

データシート

ADAU7112

特長

デジタル・マイクロフォンからの 2 チャンネルの
PDM オーディオ入力
PDM から PCM オーディオ・データへのデシメーション・
レシオ：64 倍
音圧レベル (SPL) の高いマイクロフォンをサポートする
24 ビット分解能
S/N 比：126dB (A ウェイト)
出力サンプリング・レート：4kHz~96kHz
ビット・クロック・レート：出力サンプリング・レートの
64 倍、128 倍、192 倍、256 倍、384 倍、または 512 倍
PDM クロックの自動生成
BCLK 停止時に自動パワーダウン
DVDD 動作電流：0.36mA (サンプリング・レートが 48kHz で
電源電圧が 1.8V のとき)
スレーブの I²S または TDM 出力インターフェース
最大で TDM-16 をサポート
TDM スロットを設定可能
I/O 電源電圧範囲：1.70V~3.63V
DVDD コア電源電圧範囲：1.10V~1.98V
DVDD シャットダウン電流：4μA (代表値)
9 ボール、1.26mm × 1.26mm、0.4mm ピッチの WLCSP
パワーオン・リセット

アプリケーション

モバイル・コンピューティング
ポータブル機器
民生機器
業務用機器

概要

ADAU7112 は、ステレオ・パルス密度変調 (PDM) ビット・ストリームを 1 本のパルス・コード変調 (PCM) 出力ストリームに変換します。PDM データの信号源は、2 つのマイクロフォンでも他の PDM 信号源でもかまいません。PCM オーディオ・データは、IC 間シリアル (I²S) フォーマット、または時間領域でマルチプレクスされた (TDM) フォーマットでシリアルオーディオ・インターフェース・ポートに出力されます。

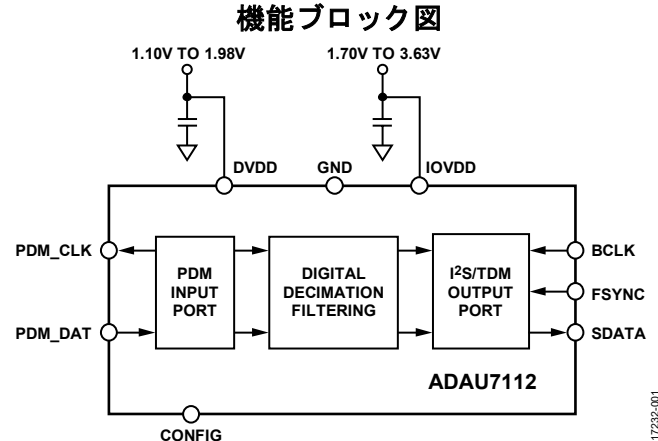


図 1.

ADAU7112 は、-40°C~+85°C の商用温度範囲で仕様規定され、ハロゲン化合物フリーの、9 ボール、1.26mm × 1.26mm、0.4mm ピッチのウェハ・レベル・チップ・スケール・パッケージ (WLCSP) を採用しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社／〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所／〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所／〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長	1	ピン配置およびピン機能の説明	7
アプリケーション	1	代表的な性能特性	8
機能ブロック図	1	動作原理	9
概要	1	電源投入と初期化	9
改訂履歴	2	クロッキング	9
仕様	3	パワーダウン状態	9
シリアル・ポートのタイミング仕様	4	シリアル・オーディオ出力インターフェース	9
PDM 入力のタイミング仕様	5	アプリケーション情報	13
絶対最大定格	6	外形寸法	14
熱抵抗	6	オーダー・ガイド	14
ESD に関する注意	6		

改訂履歴

6/2019—Revision 0: Initial Version

仕様

特に指定のない限り、DVDD = 1.10V～1.98V、IOVDD = 1.70V～3.63V、T_A = 25°C。

表 1.

パラメータ	Min.	Typ.	Max.	単位	テスト条件／コメント
DIGITAL INPUT					
Input Voltage					
High Level (V _{IH})	0.7 × IOVDD			V	
Low Level (V _{IL})			0.3 × IOVDD	V	
Input Leakage					プルダウン抵抗付きのデジタル入力ピン
High Level (I _{IH})			2.5	μA	
Low Level (I _{IL}) at 0 V			1	μA	
Input Capacitance (C _I)		2		pF	設計により確保
DIGITAL OUTPUT					
Output Voltage					
High Level (V _{OH})	0.85 × IOVDD			V	出力がハイ・レベルのときのソース電流 (I _{OH}) = 1mA
Low Level (V _{OL})			0.1 × IOVDD	V	出力がロー・レベルのときのソース電流 (I _{OL}) = 1mA
Digital Output Pins, Output Drive					デジタル出力ピンは、高インピーダンスのデジタル入力バッファに配線されている低インピーダンスのプリント回路基板 (PCB) パターンを駆動します。
IOVDD = 1.8 V Nominal Drive Strength	2.8			mA	
IOVDD = 3.3 V Nominal Drive Strength	10			mA	
PERFORMANCE					
Dynamic Range		126		dB	20Hz～20kHz、-60dB 入力、A ウェイト・フィルタ (実効値)、0dBFS 出力を基準とする
Signal-to-Noise Ratio (SNR)		126		dB	A ウェイト・フィルタ、5 次入力、0dBFS 出力を基準とする
Decimation Ratio		64×			64 倍のみサポート
Frequency Response	-0.1		+0.01	dB	DC～出力サンプリング・レートの 0.45 倍
Stop Band		0.566 × output sampling rate (f _s)		Hz	
Stop Band Attenuation	75			dB	
Group Delay	4.47	4.47	4.47	FSYNC cycles	0.02f _s の入力信号
Gain	0	0	0	dB	PDM から PCM
Start-Up Time	63	64	64	FSYNC cycles	電源投入リセットと初期化コードの実行後
Bit Resolution		24		Bits	内部および出力
Interchannel Phase	0	0	0	Degrees	
CLOCKING					
Output Sampling Rate (f _s)	4	48	96	kHz	FSYNC パルス・レート
Bit Clock Frequency (f _{CLK})	0.256	12.288	24.576	MHz	
PDM_CLK Frequency (f _{PDM_CLK})	0.256	3.072	6.144	MHz	
POWER					
Supply Voltage					
Digital Core Voltage (DVDD Pin)	1.10		1.98	V	デジタル回路用の電源
Input/Output (I/O) Supply Voltage (IOVDD Pin)	1.70		3.63	V	パッドとレベル・シフトを含む I/O 回路用の電源

パラメータ	Min.	Typ.	Max.	単位	テスト条件／コメント
Supply Current					
I/O Current (IOVDD Pin)					クロック・レートと外部負荷の特性に依存
Operation State		1.6		mA	IOVDD = 3.3V, $f_s = 48\text{kHz}$, TDM-8 フォーマット、25pF の容量
		0.86		mA	IOVDD = 1.8V, $f_s = 48\text{kHz}$, TDM-8 フォーマット、25pF の容量
Shutdown Current		16		μA	電源を投入してフレーム・クロックとビット・クロックを加え、その後、クロックを停止。この仕様は外部負荷に大きく依存します。
Digital Current (DVDD Pin)					
Operation State		0.4		mA	全温度範囲、全電圧範囲、およびシリコン・スキュー範囲にわたって、 $f_s = 48\text{kHz}$, I ² S フォーマット
		0.36		mA	DVDD = 1.8V, $f_s = 48\text{kHz}$
		0.21		mA	DVDD = 1.2V, $f_s = 48\text{kHz}$
Shutdown Current		4		μA	電源を投入してフレーム・クロックとビット・クロックを加え、その後、クロックを停止

シリアル・ポートのタイミング仕様

特に指定のない限り、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、DVDD = 1.10V~1.98V、IOVDD = 1.70V~3.63V。

表 2.

パラメータ	Min.	Max.	単位	説明
SERIAL PORT				
f_{FSYNC}		96	kHz	FSYNC の周波数 ($1/t_{\text{FSYNC}}$)、図 2 には記載されていない
t_{FSYNC}	10.42		μs	FSYNC の周期
f_{BCLK}		24.576	MHz	BCLK の周波数 ($1/t_{\text{BCLK}}$)、サンプル・レート範囲：4kHz~96kHz、図 2 には記載されていない
t_{BCLK}	40.7		ns	BCLK の周期
t_{BIL}	18		ns	BCLK のロー・パルス幅、スレープ・モード、BCLK の周波数 = 24.576MHz、BCLK の周期 = 40.7ns
t_{BIH}	18		ns	BCLK のハイ・パルス幅、スレープ・モード、BCLK の周波数 = 24.576MHz、BCLK の周期 = 40.7ns
t_{LIS}	10		ns	BCLK の立上がりエッジまでの FSYNC 入力のセットアップ時間、スレープ・モード、FSYNC の周波数 = 96kHz
t_{LIH}	10		ns	BCLK の立上がりエッジからの FSYNC 入力のホールド、スレープ・モード、FSYNC の周波数 = 96kHz
t_{SOD}		20.63	ns	BCLK の立下がりエッジに対する SDATA 出力の遅延時間、25pF の負荷、IOVDD の全範囲、全温度範囲、およびスキュー範囲にわたって
		9.03	ns	IOVDD = 3.3V $\pm 10\%$ 、負荷が 25pF の場合
		20.63	ns	IOVDD = 1.7V~1.89V、負荷が 25pF の場合

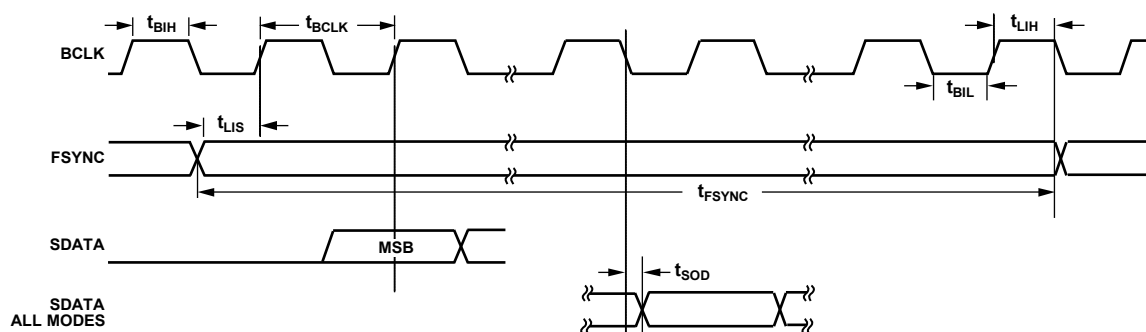


図 2. シリアル・ポートのタイミング図

17232-002

PDM 入力のタイミング仕様

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 1.10\text{V} \sim 1.98\text{V}$ 、 $\text{IOVDD} = 1.70\text{V} \sim 3.63\text{V}$ 、PDM データはクロックの両方のエッジでラッチされます（図 3 を参照）。

表 3.

パラメータ	t_{MIN}	t_{MAX}	単位	説明
t_{SETUP}	9		ns	データ・セットアップ時間
t_{HOLD}	3		ns	データ・ホールド時間

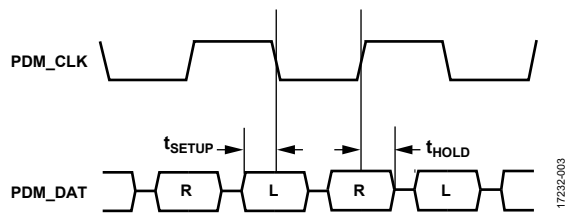


図 3. PDM のタイミング図

絶対最大定格

表 4.

Parameter	Rating
DVDD to GND	1.98 V
IOVDD to GND	3.63 V
Digital Inputs	DGND – 0.3 V to IOVDD + 0.3 V
Maximum Operating Ambient Temperature Range	–40°C to +85°C
Junction Temperature Range	–65°C to +165°C
Storage Temperature Range	–65°C to +150°C
Soldering Temperature (60 sec)	300°C
Electrostatic Discharge (ESD) Susceptibility	4.5 kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、PCB の設計と動作環境に直接関連します。PCB の熱設計には、細心の注意を払う必要があります。

表 5. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC} ²	Unit
CB-9-8	57.1	0.5	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 1S0P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

² 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

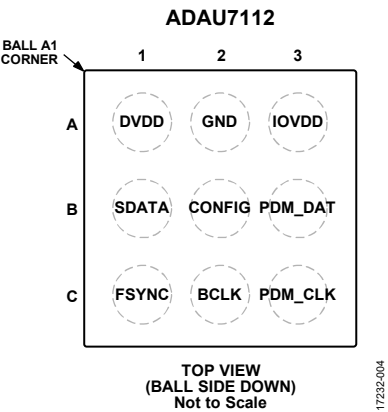


図 4. ピン配置

表 6. ピン機能の説明

ピン番号	記号	説明
A1	DVDD	内部コアのデジタル電源。
A2	GND	グラウンド。
A3	IOVDD	デジタル I/O の電源。
B1	SDATA	I ² S/TDM シリアル・データ出力。
B2	CONFIG	機能設定ピン。
B3	PDM_DAT	PDM 入力データ。
C1	FSYNC	I ² S/TDM フレーム同期または L/R クロック。
C2	BCLK	I ² S/TDM ビット・クロック。
C3	PDM_CLK	PDM 出力クロック。

代表的な性能特性

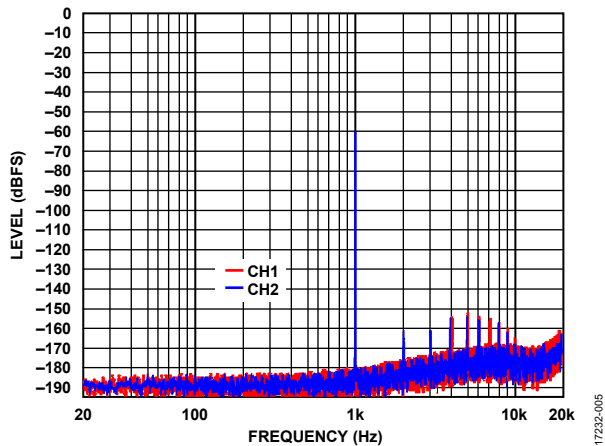


図 5. 高速フーリエ変換 (FFT)、 $f_s = 48\text{kHz}$ 、 -60dBFS 入力、64 倍のデシメーション、5 次

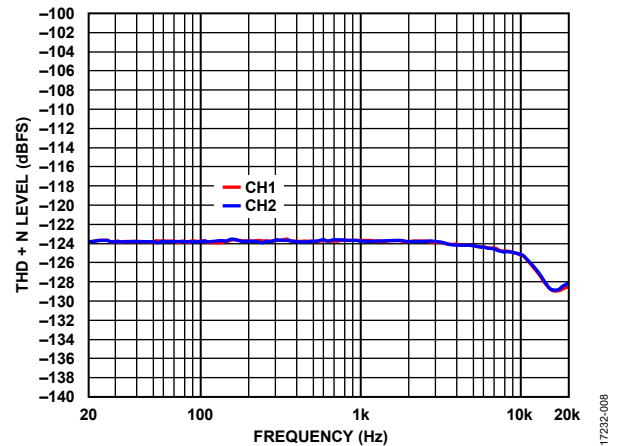


図 8. 全高調歪み+ノイズ (THD + N) レベルの周波数特性、 -10dBFS での重み付けなし、 $f_s = 48\text{kHz}$ 、64 倍のデシメーション、5 次

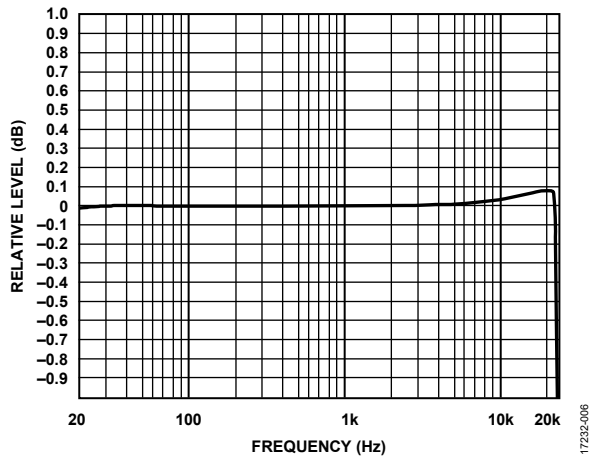


図 6. 相対レベルの周波数特性、 -10dBFS で正規化、64 倍のデシメーション、 $f_s = 48\text{kHz}$

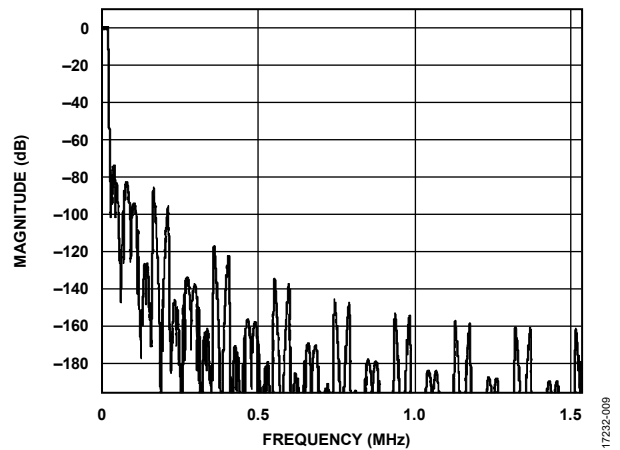


図 9. 振幅の周波数特性、 48kHz 出力、64 倍のデシメーション

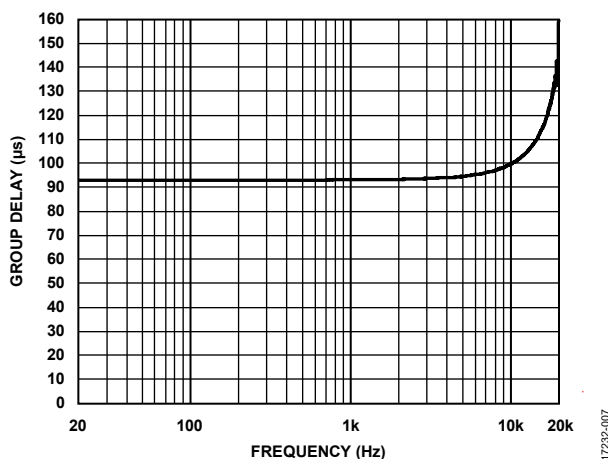


図 7. 群遅延の周波数特性、 $f_s = 48\text{kHz}$ 、64 倍のデシメーション

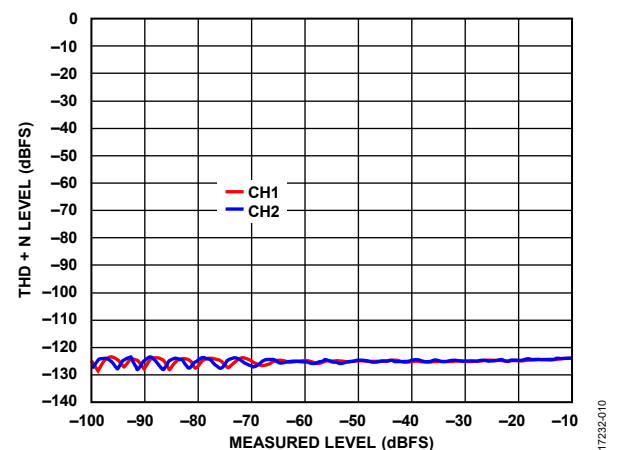


図 10. THD + N レベルと測定レベルの関係、 1kHz 、重み付けなし、64 倍のデシメーション、5 次、 $f_s = 48\text{kHz}$

動作原理

ADAU7112 は、1 ビットの PDM 信号源から 24 ビットの PCM オーディオ出力までの間で最大 2 チャンネルのデシメーションを行います。PCM 出力サンプリング・レートを f_s とすると、ダウンサンプリング比は $64 \times f_s$ になります。すべてのチャンネルは同じ比率でデシメートされます。24 ビットのダウンサンプリングされた PCM オーディオ信号は、標準の I²S フォーマットまたは TDM フォーマットで出力されます。

ADAU7112 の入力信号源は、デジタル・マイクロフォンなど、スレーブ PDM 出力を備えたデバイスであれば何でもかまいません。これらのマイクロフォンの出力ピンは、ADAU7112 の入力ピンに直接接続できます。

PDM_DAT 入力ピンは、PDM 信号源のデータ出力に接続します。内部には、2 つのチャンネル（チャンネル 0 とチャンネル 1）があります。PDM_DAT 入力データから内部チャンネルへのマッピングを表 7 に示します。

表 7. PDM_DAT から内部チャンネルへのマッピング

Input Pin	PDM_CLK Edge	Internal Channel
PDM_DAT	Falling	0
	Rising	1

電源投入と初期化

ADAU7112 を動作させるためには、2 系統の電源（IOVDD と DVDD）が必要です。両方の電源は同時に投入できます。これらの電源を異なるタイミングで投入する場合は、最初に IOVDD を投入する必要があり、その後、任意の時点で DVDD を投入することができます。タイミングの制約はありません。

電源が安定した後、デバイスは初期化され、I²S クロックを入力できる状態になります。

初期化が完了して I²S クロックが加えられた後、フレーム同期が 16 サイクル完了すると、PDM クロックの送信が開始されます。PDM クロックの送信が開始され、更にフレーム同期が 48 サイクル経過した後、PDM データが SDATA ピンに出力されます。これらフレーム同期の 64 サイクルについては、表 1 に記載されています。

クロッキング

電源が投入されて起動初期化が完了すると、デバイスは I²S クロックを入力できる状態になります。この時点でフレーム同期が 16 サイクル完了すると、デバイスが完全に初期化され、PDM クロックの送信が開始されます。通常動作時にビット・クロックまたはフレーム同期を停止すると、ADAU7112 の PDM_CLK 出力は直ちに停止し、ADAU7112 は自動的に低消費電力状態に移行します。詳細については、パワーダウン状態のセクションを参照してください。クロックが再開すると、ADAU7112 はビット・クロック信号とフレーム同期化信号に再ロックし、それに応じて PDM_CLK 出力を調整します。PDM クロックの出力が再開するまでの時間は、入力信号にロックするために必要な 4 フレーム ± 1 フレームになります。クロック信号のフォーマットが変化すると、ADAU7112 はこの変化をフレームの最後に検出して、PDM クロックの出力を停止します。その後、デバイスは自動的に PDM クロックの送信を再設定し、PDM クロックの送信を再開します。この場合も、入力信号にロックするのに通常 4 フレーム ± 1 フレームかかります。

ADAU7112 では、フレーム同期（FSYNC）サンプル・レートの 64 倍以上の BCLK レートが必要です。また、FSYNC レートの 128 倍、192 倍、256 倍、384 倍、および 512 倍の BCLK レートもサポートされています。ADAU7112 は BCLK と FSYNC の比率を自動的に検出し、FSYNC の 64 倍のレートで PDM クロック出力を生成します。最小サンプリング・レートは 4kHz、最大サンプリング・レートは 96kHz です。PDM クロックの範囲は 256kHz ~ 6.144MHz です。内部では、すべての処理が PDM_CLK レートで行われます。

パワーダウン状態

ADAU7112 へのフレーム・クロックとビット・クロックの送信を停止することによって、ADAU7112 をパワーダウン状態にすることができます。

パワーダウン・モードを終了するには、ADAU7112 へのフレーム・クロックとビット・クロックの送信を再開します。

シリアル・オーディオ出力インターフェース

ADAU7112 は、I²S および TDM シリアル出力フォーマットをサポートしています。ADAU7112 では最大 TDM-16 を使用できますが、データは最初の 8 スロットにしか配置できません。内部チャンネルのペアは、CONFIG ピンを使用して、出力スロットにおける 4 種類のペアのうちの 1 つにルーティングできます。

表 9 に、CONFIG ピンを用いた利用可能な設定を示します。I²S に設定した場合、2 つの内部チャンネルは図 11 に示すように、オーディオ・ストリーム内に配置されます。

TDM フォーマットにした場合、この設定は利用可能な実際の TDM スロット数とは無関係です。この設定により、データを配置する 2 つのスロットが指定されます。ただし、ビット・クロックとフレーム・クロックの比によって、そのスロットを使用できなければ、データは失われます。

例えば、CONFIG ピンを、47k Ω の抵抗を介して IOVDD にプルアップした場合、データはスロット 5 とスロット 6 に配置されます。このとき、送り込まれたビット・クロックが $128 \times f_s$ の場合、各フレームには 4 スロットしか存在しません。スロット 5 とスロット 6 は使用されません。

サポートされているビット・クロックとフレーム・クロックの比と、使用する TDM データ・スロット数については、表 8 を参照してください。図 14 ~ 図 17 に、データをスロット 1 ~ スロット 8 に配置するための様々なオプションを示します。これらのオプションは、サポートされているビット・クロックとフレーム・クロックの比のいずれにも適用されます。

TDM-12 と TDM-16 のクロック・レートの場合、データはスロット 1 ~ スロット 8 にのみ配置できます。

SDATA ピンは、このポートがシリアル・データを駆動しているときを除き、スリーステートの高インピーダンス・モードになります。

CONFIG ピンを IOVDD に接続した場合、シリアル・ポートは I²S ステレオ・モードになり、フレーム・クロックのデューティ・サイクルを 50/50 にする必要があります。このモードでは、フレームはフレーム同期の立下がりエッジで始まります。また、デューティ・サイクルは、ハイが 50% でローも 50% にする必要があります。クロックがローのとき、チャンネル 0 がデータを送信します。そして、フレーム同期がハイになるとすぐにチャンネル 0 からデータは停止し、チャンネル 1 がデータの送信を開始します。フレーム同期クロックの両方のエッジが使用されます。デューティ・サイクルが 50/50 でない場合、得られたデ

ータに誤りが存在する可能性があります。このモードでは、フレームごとに 64 ビット・クロック・サイクルが必要です。

ADAU7112 は、出力サンプル・レートの 64 倍、128 倍、192 倍、256 倍、384 倍、または 512 倍という 6 種類のビット・クロック・レートをサポートできます。これらのビット・クロック・レートを使用すると、結果的に 5 種類の TDM フォーマットがサポートされます。64 × f_s の比にすると、ADAU7112 は I²S モードに変化します。詳細については、表 8 を参照してください。

TDM モードでは、フレーム同期を時間幅が 1 ビット・クロック以上の正極性パルスにする必要があります。フレーム同期が、ハイに戻る前にローとして読み取れるタイミング仕様を満たすのに十分な長さのローを継続すれば、立下がりエッジは重要ではなく、考慮する必要はありません。フレームは、このパルスの立上がりエッジで始まります。

表 8. サポートされている TDM ビット・クロック・レート

Bit Clock Rate	Number of Data Slots	Notes
64 × f_s	2	I ² S mode see (Figure 11)
128 × f_s	4	See Figure 12
192 × f_s	6	See Figure 13
256 × f_s	8	See Figure 14
384 × f_s	12	See Figure 18
512 × f_s	16	See Figure 19

表 9. CONFIG ピン・オプション

Device Setting	CONFIG Pin Configuration
I ² S Format	Tie to IOVDD
TDM Slot 1 to Slot 2 Driven, 32-Bit Slots	Tie to GND
TDM Slot 3 to Slot 4 Driven, 32-Bit Slots	Open
TDM Slot 5 to Slot 6 Driven, 32-Bit Slots	Tie to IOVDD through a 47 kΩ resistor
TDM Slot 7 to Slot 8 Driven, 32-Bit Slots	Tie to GND through a 47 kΩ resistor

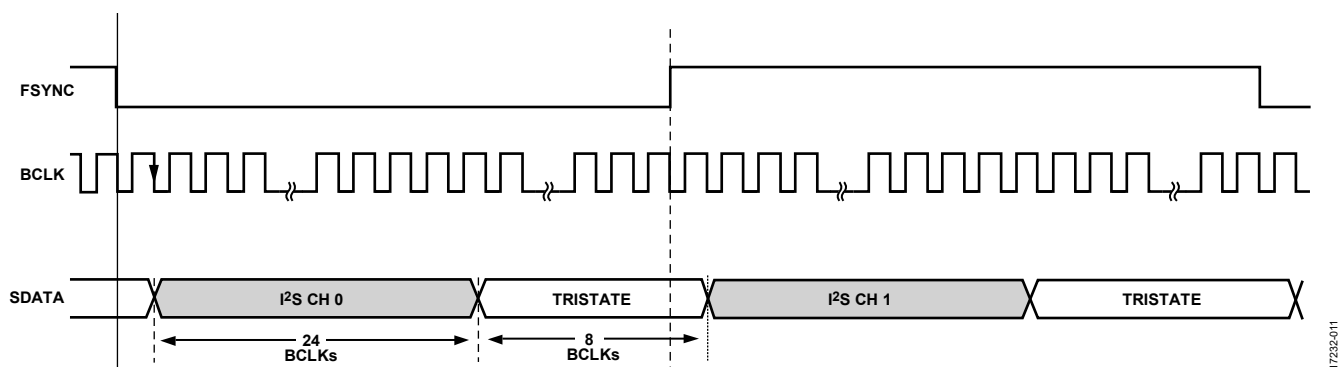


図 11. I²S モード、BCLK = 64 × f_s 、CONFIG ピンを IOVDD に接続

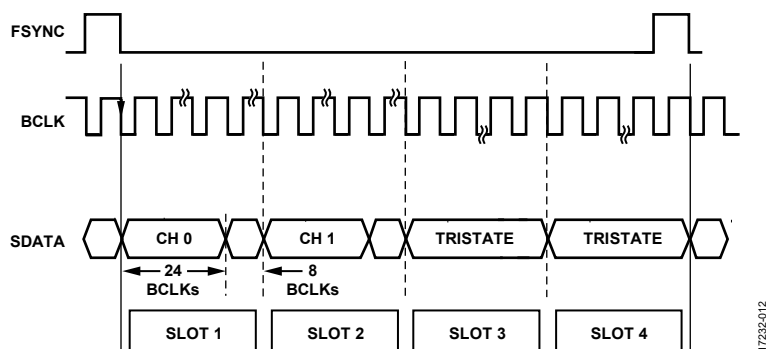


図 12. TDM-4、BCLK = 128 × f_s 、CONFIG ピンを GND に接続

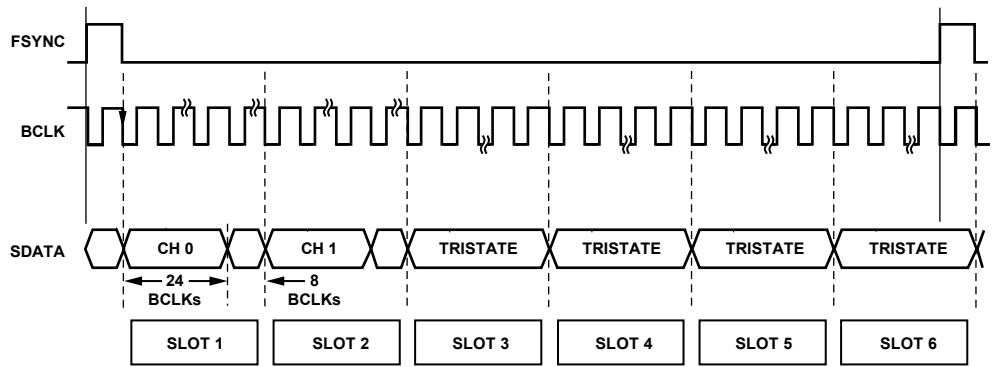


図 13. TDM-6、BCLK = $192 \times f_s$ 、CONFIG ピンを GND に接続

17232-013

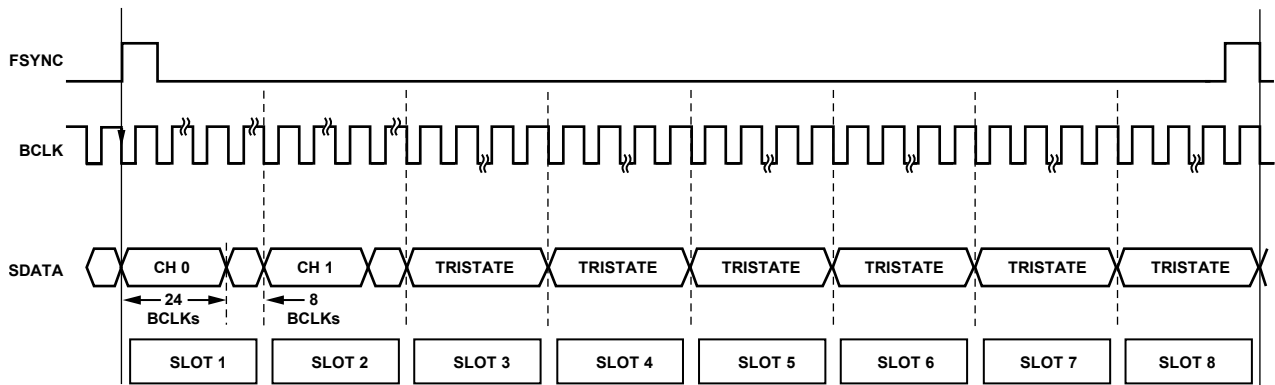


図 14. TDM-8、BCLK = $256 \times f_s$ 、CONFIG ピンを GND に接続

17232-014

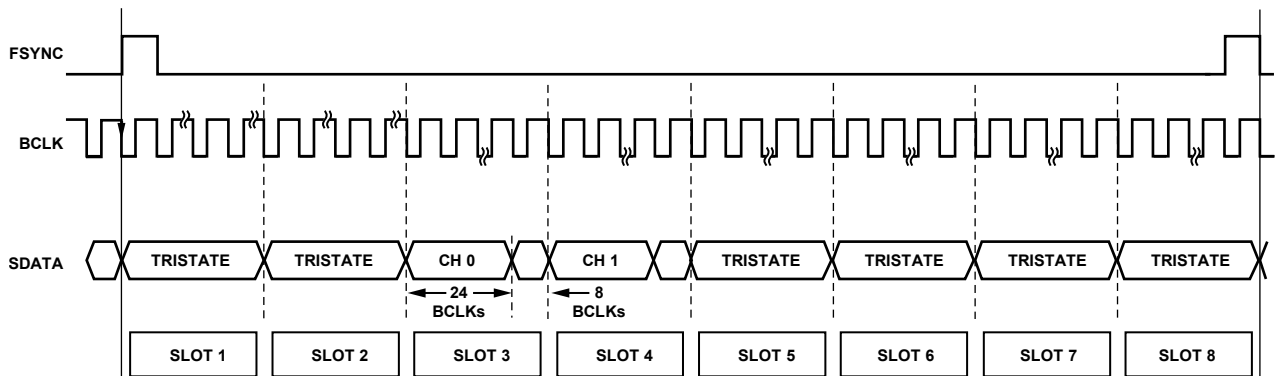


図 15. TDM-8、BCLK = $256 \times f_s$ 、CONFIG ピンはオープン

17232-015

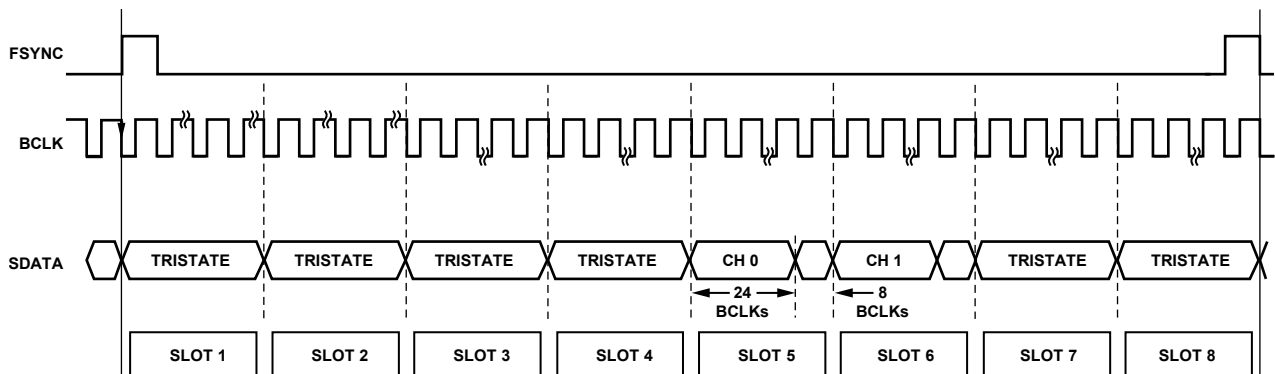


図 16. TDM-8、BCLK = $256 \times f_s$ 、CONFIG ピンを $47k\Omega$ の抵抗を介して IOVDD に接続

17232-016

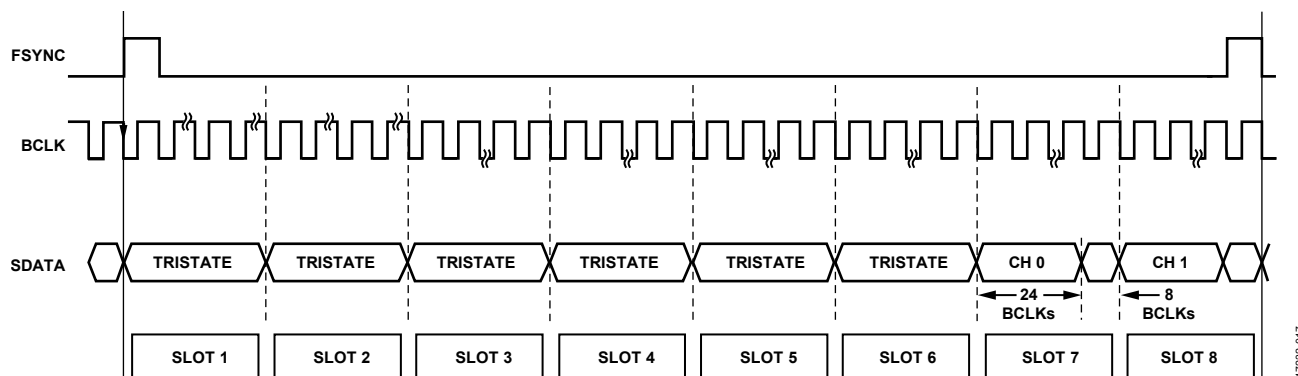


図 17. TDM-8、BCLK = $256 \times f_s$ 、CONFIG ピンを $47k\Omega$ の抵抗を介して GND に接続

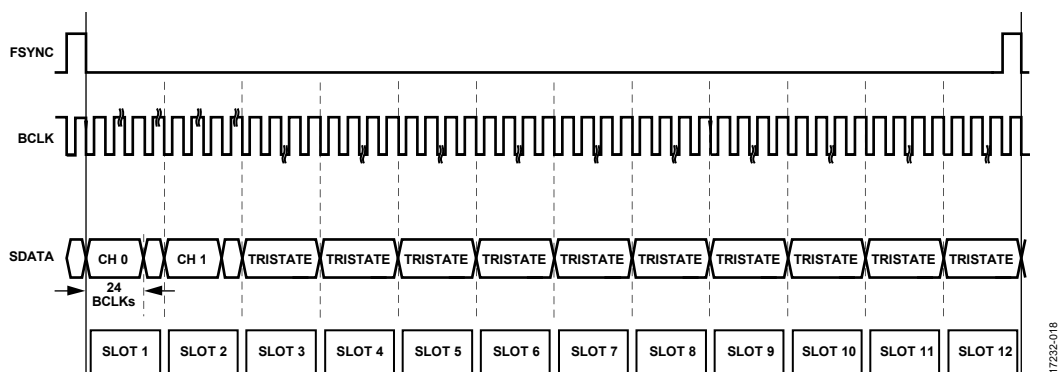


図 18. TDM-12、BCLK = $384 \times f_s$ 、CONFIG ピンを GND に接続

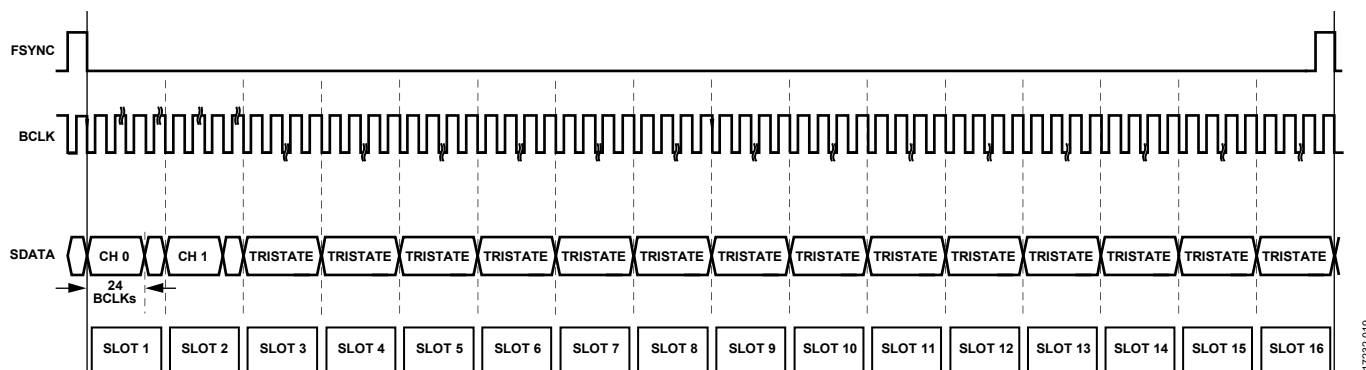


図 19. TDM-16、BCLK = $512 \times f_s$ 、CONFIG ピンを GND に接続

アプリケーション情報

図 20 に、2 つの PDM 信号源を使用したアプリケーション回路例と、オプションのデータ・フォーマットを実現する CONFIG ピンの設定方法の詳細を示します。

PCB の製造コストを低く抑えるために、ほとんどの一般的な構成ではビアインパッドは必要ありません。CONFIG ピンは開放のままにすることができ、あるいは最上層の PCB パターンにより、近くの IOVDD ピンまたは GND ピンに接続することもできます。プルアップ抵抗またはプルダウン抵抗が必要な場合にのみ、ビアインパッドが必要です。

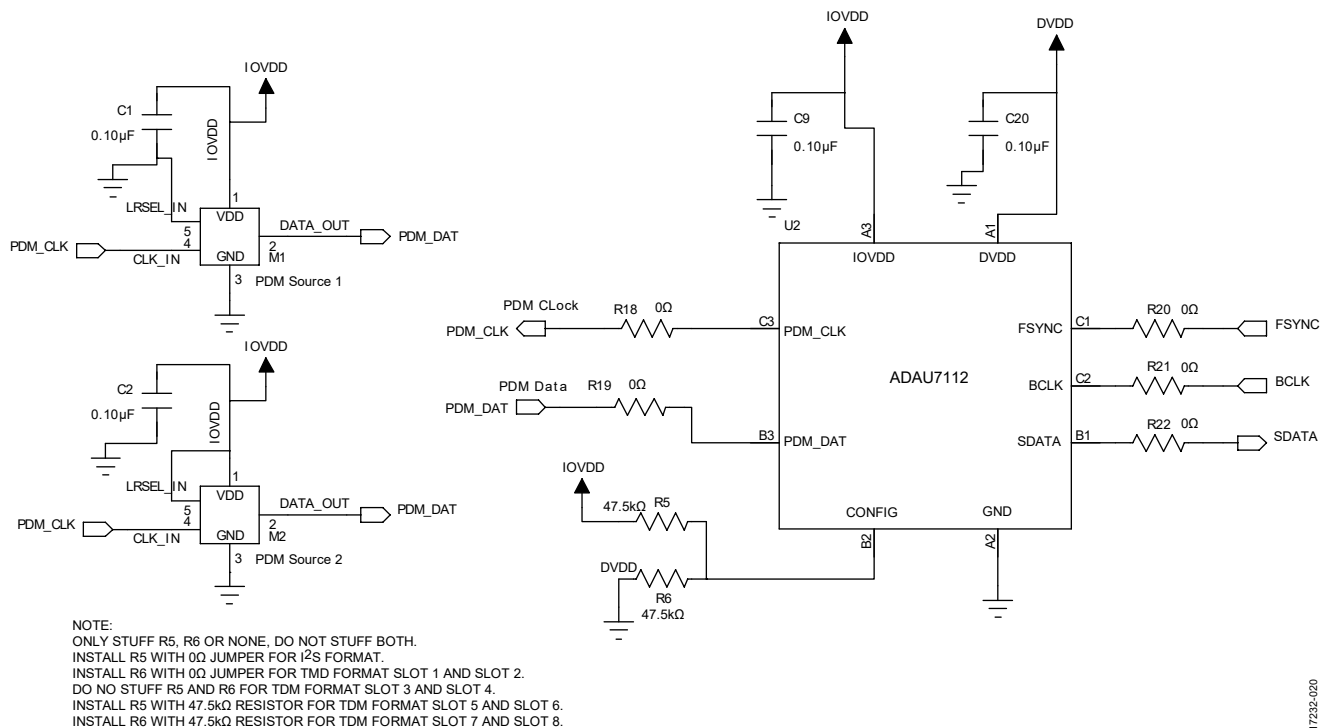


図 20. アプリケーション回路例

17232-020

外形寸法

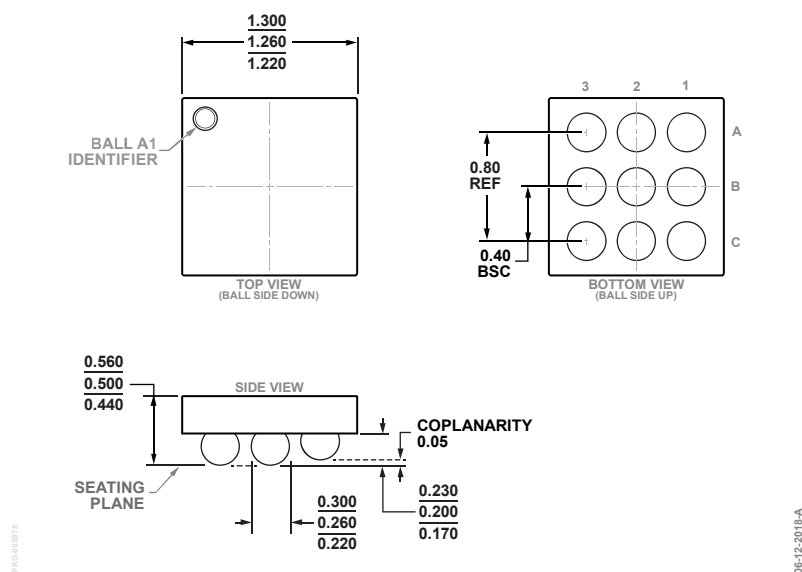


図 21.9 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
1.26mm × 1.26mm ボディ
(CB-9-8)
寸法 : mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADAU7112ACBZRL	−40°C to +85°C	9-Ball Wafer Level Chip Scale Package [WLCSP], 13" Tape and Reel	CB-9-8
ADAU7112ACBZR7	−40°C to +85°C	9-Ball Wafer Level Chip Scale Package [WLCSP], 7" Tape and Reel	CB-9-8
EVAL-ADAU7112Z		Evaluation Board	

¹ Z = RoHS 準拠製品