

特長

ステレオ変調器とステレオ・パワー段を集積化
 0.005%のTHD+N
 101dBのダイナミック・レンジ
 PSRR>65dB
 $R_{DS-ON} < 0.3\Omega$ (トランジスタ1個あたり)
 効率>90% (8 Ω)
 EMIの低減に最適化された変調器
 オン/オフ・ミュートの切替え時に発生するポップ・ノイズの抑制
 短絡保護
 温度保護

アプリケーション

フラットパネルTV
 PCオーディオ・システム
 ミニコンポ

概要

ADAU1592は、シグマ・デルタ ($\Sigma\Delta$) 変調器を内蔵した、2チャンネル、ブリッジ接続負荷 (BTL) スイッチング・オーディオ・パワーアンプです。

変調器はアナログ入力信号を受信し、スピーカを直接駆動するスイッチング出力を生成します。マイクロコントローラ互換のデジタル・インターフェースを介して、リセット、ミュート、PGAゲイン、さらに熱/過電流エラー状態を知らせる出力信号を制御します。出力段は9~18Vの電源電圧範囲で動作し、アナログ変調器とデジタル・ロジック回路は3.3V電源で動作します。

機能ブロック図

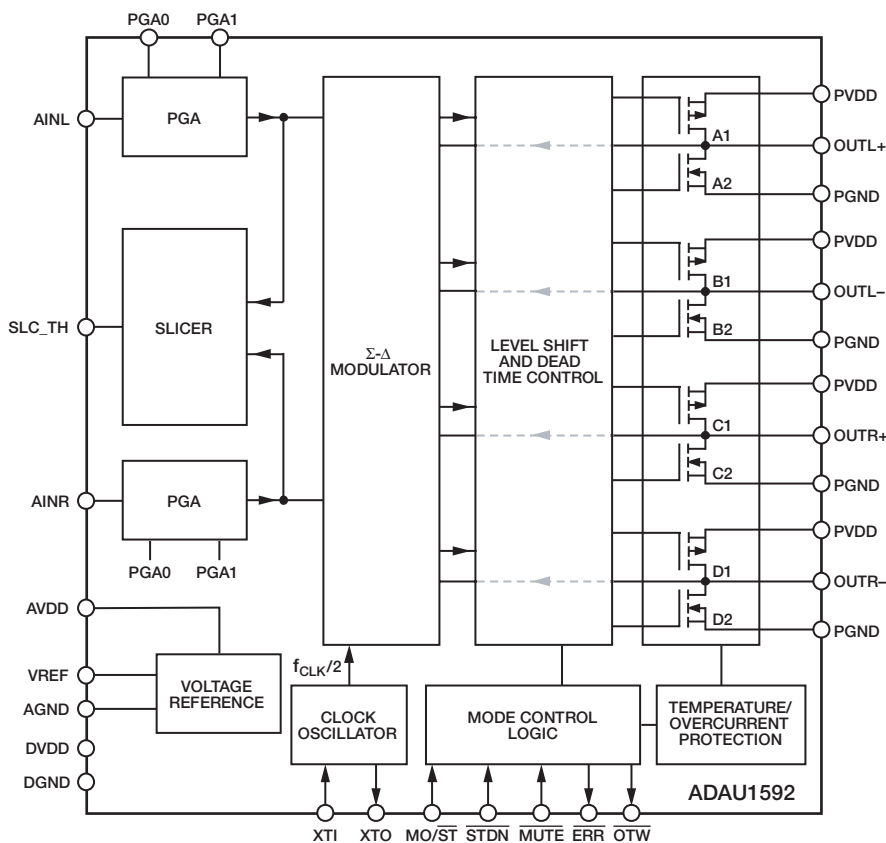


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 © 2007 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
 電話03 (5402) 8200
 大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
 電話06 (6350) 6868

目次

特長	1	パワー段.....	16
アプリケーション	1	ゲイン.....	16
概要	1	保護回路.....	16
機能ブロック図	1	熱保護.....	16
改訂履歴	2	過電流保護.....	16
仕様	3	アンダー電圧保護.....	17
オーディオ性能.....	3	クロック消失の検出.....	17
DC仕様.....	4	熱保護からの自動回復.....	17
電源.....	4	MUTE、STDN	17
デジタルI/O.....	4	パワーアップ/パワーダウン・シーケンス.....	18
デジタル・タイミング.....	5	DCオフセットおよびポップ・ノイズ.....	19
絶対最大定格	6	C_{REF} と C_{IN} の値の選択.....	19
熱抵抗.....	6	モノ・モード.....	19
ESDに関する注意.....	6	電源デカップリング.....	19
ピン配置とピン機能の説明	7	外部保護 (PVDD>15V).....	20
代表的な性能特性	9	クロック.....	20
動作原理	15	アプリケーション情報	21
概要.....	15	外形寸法	23
変調器.....	15	オーダー・ガイド.....	23
スライサ.....	15		

改訂履歴

9/07—Rev. 0 to Rev. A

Changes to Figure 14, Figure 15, and Figure 16	10
Changes to Applications Information Section	21
Changes to Ordering Guide	23

5/07—Revision 0: Initial Version

仕様

特に指定のない限り、AVDD=3.3V、DVDD=3.3V、PVDD=15V、周囲温度=25℃、負荷インピーダンス=6Ω、クロック周波数=24.576MHz、測定帯域幅=20Hz~20kHz。

オーディオ性能

表1

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT POWER ¹					1 kHz
	12			W	1% THD + N, 8 Ω
	15			W	10% THD + N, 8 Ω
	14.5			W	1% THD + N, 6 Ω
	18			W	10% THD + N, 6 Ω
	19.5			W	1% THD + N, 4 Ω
	24			W	10% THD + N, 4 Ω
EFFICIENCY	87			%	@ 18 W, 6 Ω
R _{DS-ON}					@ T _{CASE} = 25°C
Per High-Side Transistor	0.28			Ω	@ 100 mA
Per Low-Side Transistor	0.25			Ω	@ 100 mA
THERMAL CHARACTERISTICS					
Thermal Warning Active ²	135			°C	Die temperature
Thermal Shutdown Active	150			°C	Die temperature
OVERCURRENT SHUTDOWN ACTIVE	5	6		A	Peak current
PVDD UNDERVOLTAGE SHUTDOWN	5.1			V	
INPUT LEVEL FOR FULL-SCALE OUTPUT					Full-scale output @ 1% THD + N
	1.0			V _{rms}	PGA gain = 0 dB
	0.5			V _{rms}	PGA gain = 6 dB
	0.25			V _{rms}	PGA gain = 12 dB
	0.125			V _{rms}	PGA gain = 18 dB
TOTAL HARMONIC DISTORTION + NOISE (THD + N)	0.005			%	1 kHz, P _{OUT} = 1 W, PGA gain = 0 dB
SIGNAL-TO-NOISE RATIO (SNR)	99	101		dB	A-weighted, referred to 1% THD + N output
DYNAMIC RANGE (DNR)	99	101		dB	A-weighted, measured with -60 dBFS input
CROSSTALK (LEFT TO RIGHT OR RIGHT TO LEFT)	-90			dB	@ full-scale output voltage, 1% THD + N, 1 kHz
AMPLIFIER GAIN					PVDD = 15 V, 6 Ω
PGA = 0 dB	19			dB	
PGA = 6 dB	25			dB	
PGA = 12 dB	31			dB	
PGA = 18 dB	37			dB	
OUTPUT NOISE VOLTAGE					PVDD = 15 V, 6 Ω
PGA = 0 dB	78			μV	
PGA = 6 dB	100			μV	
PGA = 12 dB	158			μV	
PGA = 18 dB	280			μV	
POWER SUPPLY REJECTION RATIO (PSRR)	65			dB	20 Hz to 20 kHz, 1.5 V p-p ripple, inputs ac-coupled to AGND

¹ 4Ωで12W超の出力電力と6Ωで18W超の出力電力は連続的なものではなく、パッケージ消費電力によって熱的に制限されます。

² デバイスのT_Jがシャットダウン温度に近づくと、熱警告フラグで知らせます。

ADAU1592

DC仕様

表2

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT IMPEDANCE		20		kΩ	AINL/AINR
OUTPUT DC OFFSET VOLTAGE		±3		mV	

電源

表3

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ANALOG SUPPLY VOLTAGE (AVDD)	3.0	3.3	3.6	V	
DIGITAL SUPPLY VOLTAGE (DVDD)	3.0	3.3	3.6	V	
POWER TRANSISTOR SUPPLY VOLTAGE (PVDD)	9	15	18	V	
POWER-DOWN CURRENT					$\overline{\text{STDN}}$ held low
AVDD		5	60	μA	
DVDD		0.1	0.24	mA	
PVDD		0.082	0.25	mA	
MUTE CURRENT					$\overline{\text{MUTE}}$ held low
AVDD		13	20	mA	
DVDD		1.7	3.2	mA	
PVDD		5.4	8	mA	
OPERATING CURRENT					$\overline{\text{STDN}}$ and $\overline{\text{MUTE}}$ held high, no input
AVDD		13	30	mA	
DVDD		2.7	4	mA	
PVDD		44	65	mA	

デジタルI/O

表4

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT VOLTAGE					
Input Voltage High	2			V	
Input Voltage Low			0.8	V	
OUTPUT VOLTAGE					
Output Voltage High	2			V	@ 2 mA
Output Voltage Low			0.4	V	@ 2 mA
LEAKAGE CURRENT ON DIGITAL INPUTS			10	μA	

デジタル・タイミング

表5

Parameter	Min	Typ	Unit	Test Conditions/Comments
t_{WAIT}	0.01 ¹	1000 ²	ms	Wait time for unmute
t_{INT}		650	ms	Internal mute time
t_{HOLD}	10 ¹	250 ³	μs	Wait time for shutdown
$t_{OUTx+/OUTx- SW}$		200	μs	Time delay after $\overline{MUTE}$ held high until output starts switching
$t_{OUTx+/OUTx- MUTE}$		200	μs	Time delay after $\overline{MUTE}$ held low until output stops switching

¹ $t_{WAIT MIN}$ および $t_{HOLD MIN}$ は高速ターンオンに関する最小時間であり、ポップ・アンド・クリック抑制を保证するものではありません。

² $t_{WAIT TYP}$ は、アンプのミュート解除時の最小ポップ・アンド・クリックに対する推奨値です。この推奨値は1秒です。これは、入力結合コンデンサ値とデバイスの入力抵抗をもとに計算されます。「パワーアップ/パワーダウン・シーケンス」を参照してください。

³ $t_{HOLD TYP}$ は、アンプのミュート時の最小ポップ・アンド・クリックに対する推奨値です。

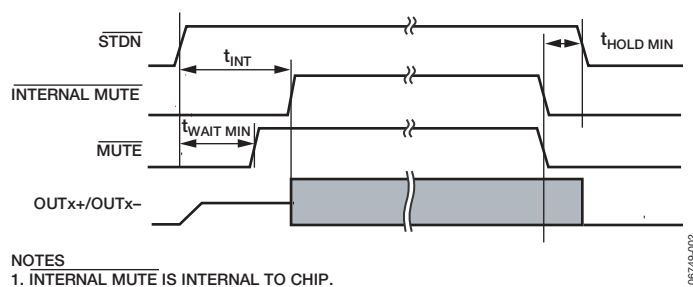


図2. タイミング図 (Min)

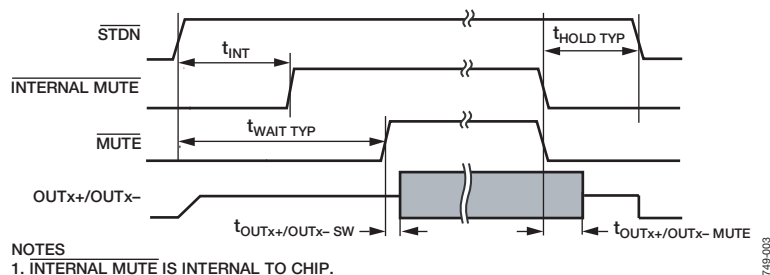


図3. タイミング図 (Typ)

ADAU1592

絶対最大定格

表6

Parameter	Rating
DVDD to DGND	−0.3 V to +3.6 V
AVDD to AGND	−0.3 V to +3.6 V
PVDD to PGND ¹	−0.3 V to +20.0 V
MUTE/STDN Inputs	DGND − 0.3 V to DVDD + 0.3 V
Operating Temperature Range	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Maximum Junction Temperature	150°C
Lead Temperature	
Soldering (10 sec)	260°C
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

¹ 誘導負荷による誘導電圧をすべて含みます。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表7. 熱抵抗

Package Type	θ_{JA} ¹	θ_{JC} ^{1,2}	Ψ_{JB}	Ψ_{JT}	Unit
LFCSP-48	24.6	2.0	8.05	0.18	°C/W
TQFP-48	24.7	1.63	11	0.8	°C/W

¹ 露出パッド（ePAD）は4層JEDEC標準ボードにハンダ付けされていること。

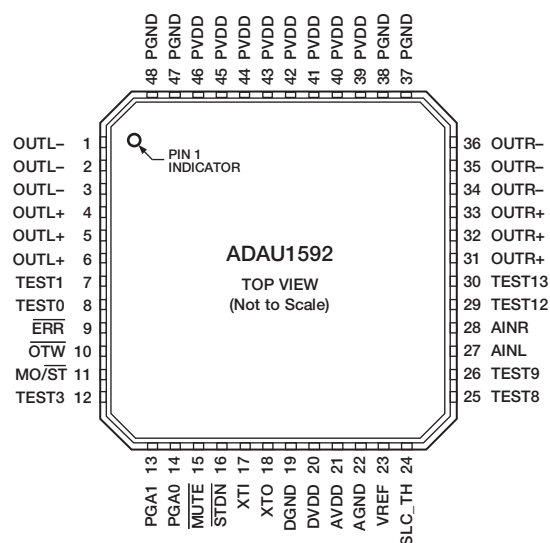
² パッケージ底部（ePAD）

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能の説明



NOTES

1. EPAD NOT SHOWN AND INTERNALLY CONNECTED TO PGND, DGND, AND AGND FOR TQFP-48.
2. EPAD NOT SHOWN AND INTERNALLY CONNECTED TO PGND AND DGND FOR LFCSP-48.

06749-004

図4. ピン配置

表8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
1, 2, 3	OUTL-	O	ハイパワー・トランジスタの出力、左チャンネル負極性
4, 5, 6	OUTL+	O	ハイパワー・トランジスタの出力、左チャンネル正極性
7	TEST1	I	Test端子 DGNDに接続
8	TEST0	I	Test端子 DGNDに接続
9	ERR	O	エラー・インジケータ（アクティブ・ロー、オープンドレイン出力）
10	OTW	O	温度警告インジケータ（アクティブ・ロー、オープンドレイン出力）
11	MO/ST	I	ステレオ対応のモノ／ステレオ・モード設定ピン。DGNDに接続（モノ・モードの場合はDVDDに接続）
12	TEST3	I	Test端子 DVDDに接続
13	PGA1	I	プログラム可能・ゲイン・アンプ・セレクト、MSB
14	PGA0	I	プログラム可能・ゲイン・アンプ・セレクト、LSB
15	MUTE	I	ミュート（アクティブ・ロー入力）
16	STDN	I	シャットダウン／リセット入力（アクティブ・ロー入力）
17	XTI	I	水晶発振器に接続／外部クロック入力
18	XTO	O	水晶発振器に接続／クロック出力
19	DGND	P	デジタル回路のデジタル・グラウンド。内部的に露出パッド（ePAD）に接続
20	DVDD	P	デジタル回路の正側電源
21	AVDD	P	アナログ回路の正側電源（DVDDに接続可能）
22	AGND	P	アナログ回路のアナログ・グラウンド（ePADへの接続については、図4の「注」を参照）
23	VREF	I	外部フィルタ用のAVDD/2電圧リファレンス接続
24	SLC_TH	I	スライサ・スレッシュホールド調整（スライサ動作のために抵抗を介してAGNDに接続）
25	TEST8	I	Test端子 DGNDに接続
26	TEST9	I	Test端子 DGNDに接続
27	AINL	I	アナログ入力左チャンネル
28	AINR	I	アナログ入力右チャンネル
29	TEST12	I	Test端子 DGNDに接続

ADAU1592

ピン番号	記号	タイプ ¹	説明
30	TEST13	I	Test端子 DGNDに接続
31, 32, 33	OUTR+	O	ハイパワー・トランジスタの出力、右チャンネル正極性
34, 35, 36	OUTR-	O	ハイパワー・トランジスタの出力、右チャンネル負極性
37, 38, 47, 48	PGND	P	ハイパワー・トランジスタの電源グラウンド。内部的にePADに接続
39, 40, 41, 42, 43, 44, 45, 46	PVDD	P	ハイパワー・トランジスタの正側電源

¹ I=入力、O=出力、P=電源

代表的な性能特性

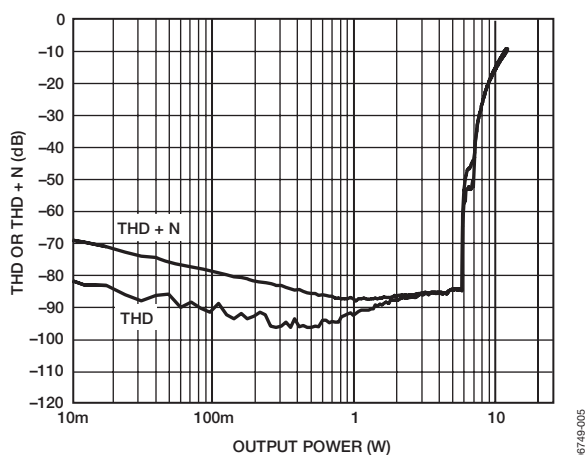


図5. 出力電力 対 THDまたはTHD+N
(4Ω、PVDD=9V)

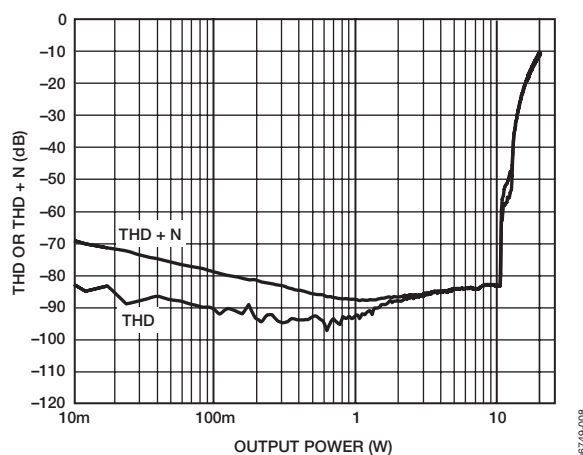


図8. 出力電力 対 THDまたはTHD+N
(4Ω、PVDD=12V)

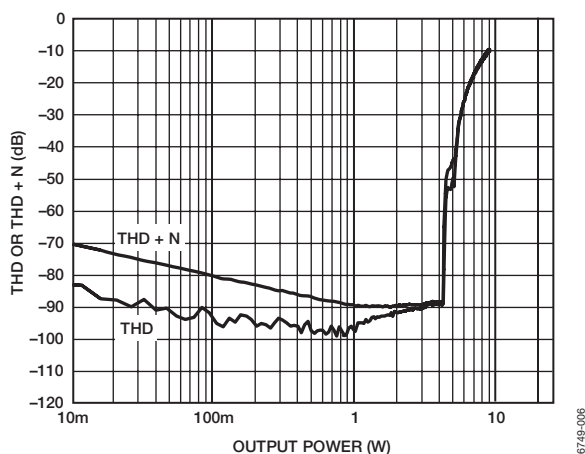


図6. 出力電力 対 THDまたはTHD+N
(6Ω、PVDD=9V)

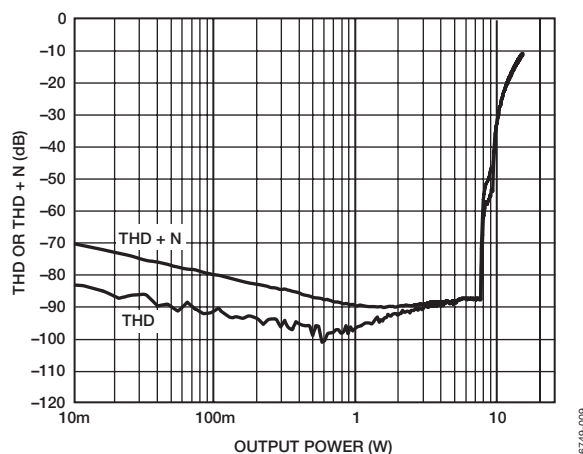


図9. 出力電力 対 THDまたはTHD+N
(6Ω、PVDD=12V)

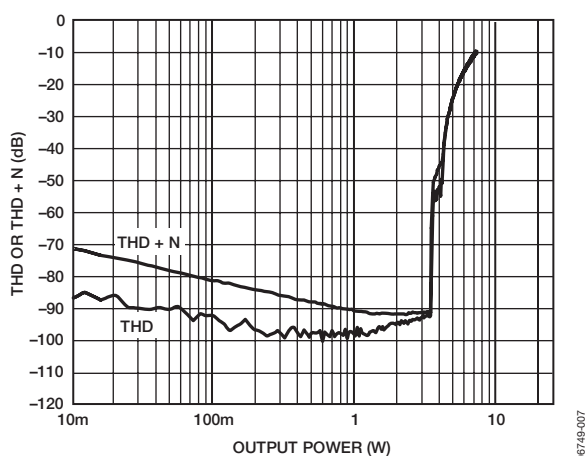


図7. 出力電力 対 THDまたはTHD+N
(8Ω、PVDD=9V)

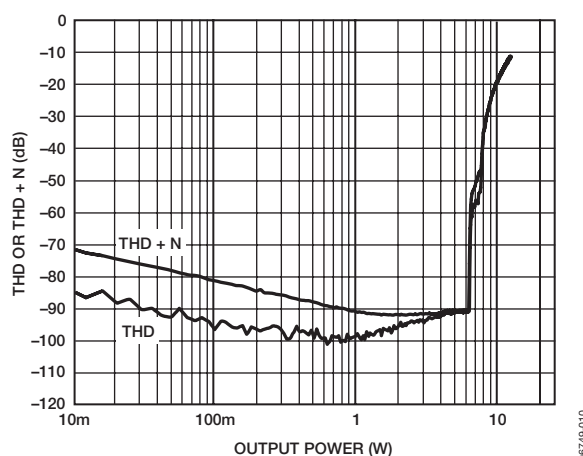


図10. 出力電力 対 THDまたはTHD+N
(8Ω、PVDD=12V)

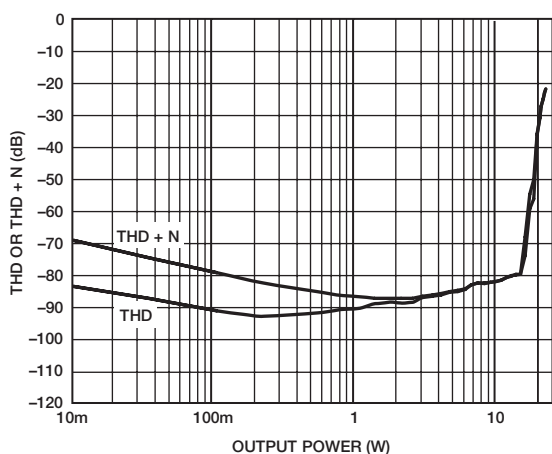


図11. 出力電力 対 THDまたはTHD+N
(4Ω、PVDD=15V)

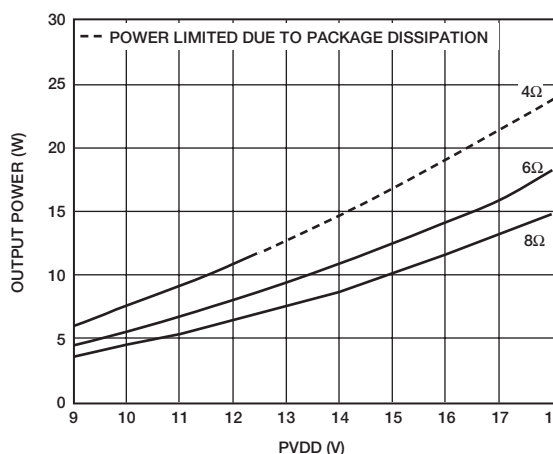


図14. PVDD 対 出力電力 (0.1% THD+N)

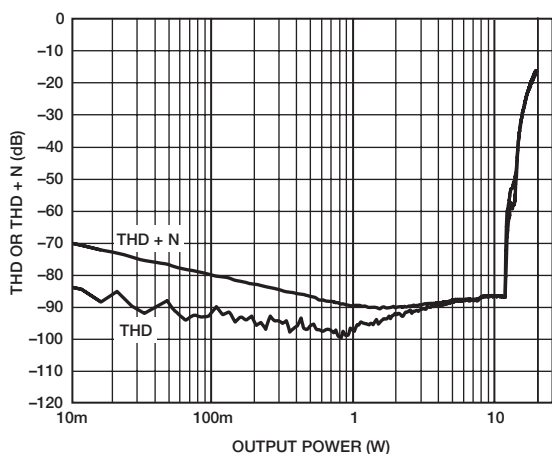


図12. 出力電力 対 THDまたはTHD+N
(6Ω、PVDD=15V)

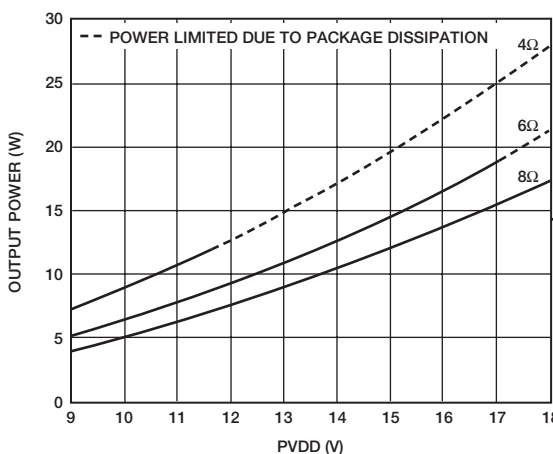


図15. PVDD 対 出力電力 (1% THD+N)

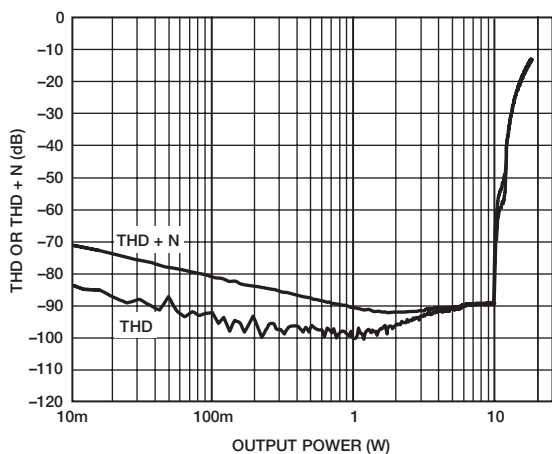


図13. 出力電力 対 THDまたはTHD+N
(8Ω、PVDD=15V)

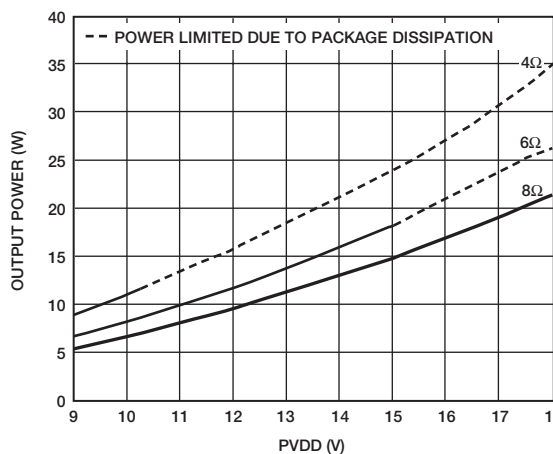


図16. PVDD 対 出力電力 (10% THD+N)

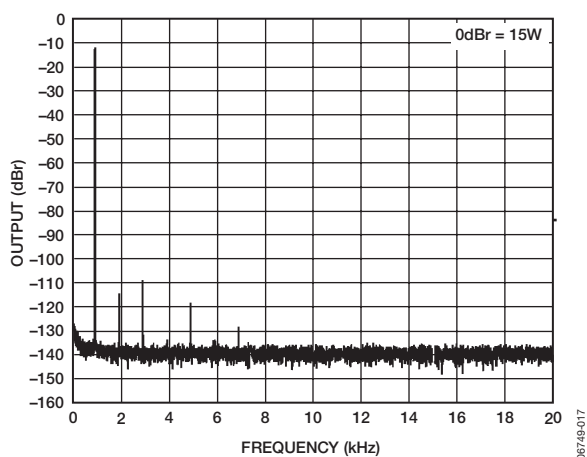


図17. FFT (1W、6Ω、PVDD=15V、PGA=0 dB、1kHzサイン波)

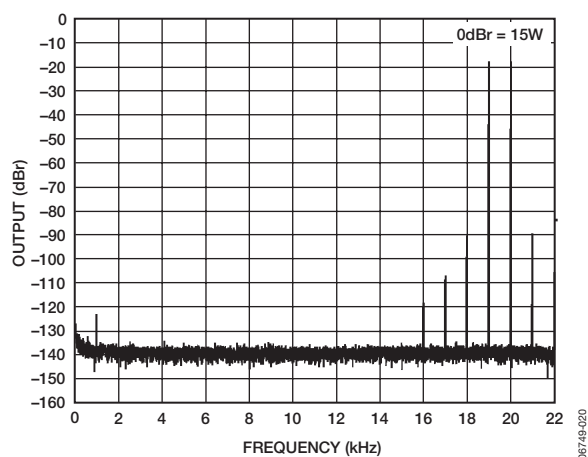


図20. FFT (1W、6Ω、PVDD=15V、PGA=0 dB、19kHzおよび20kHzサイン波)

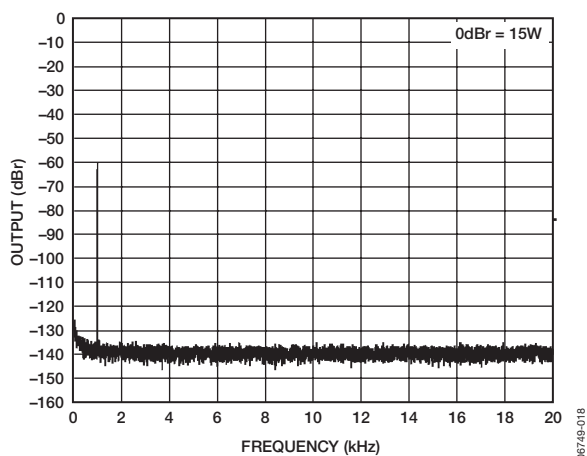


図18. FFT (-60dBFS、6Ω、PVDD=15V、PGA=0 dB、1kHzサイン波)

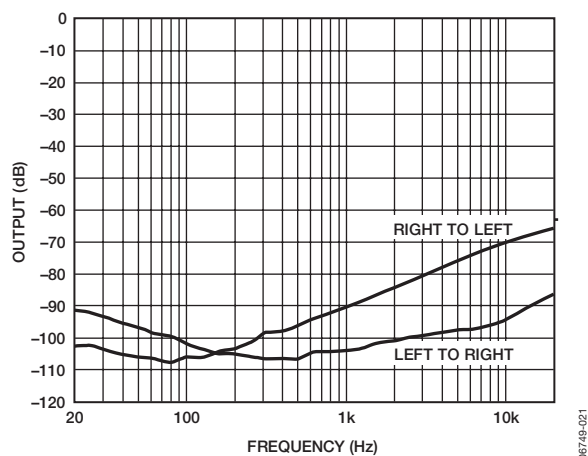


図21. クロストーク (1W、6Ω、PVDD=15V、PGA=0 dB)

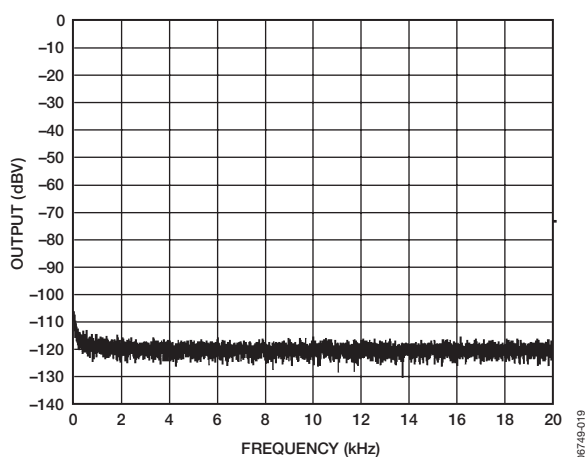


図19. FFT (入力なし、6Ω、PVDD=15V、PGA=0 dB)

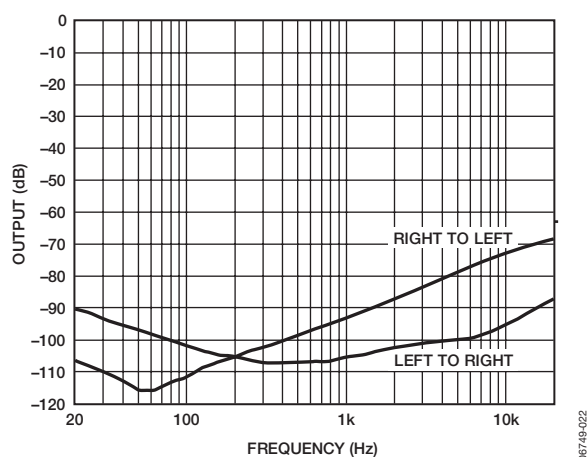


図22. クロストーク (フルスケール、6Ω、PVDD=15V、PGA=0 dB)

ADAU1592

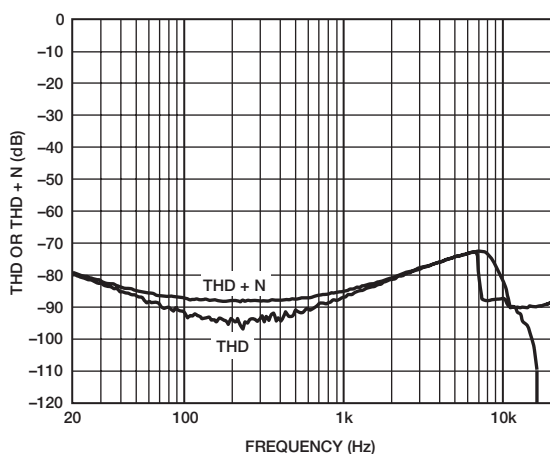


図23. THD/THD+Nの周波数特性 (1W、4Ω、PVDD=15V、PGA=0dB)

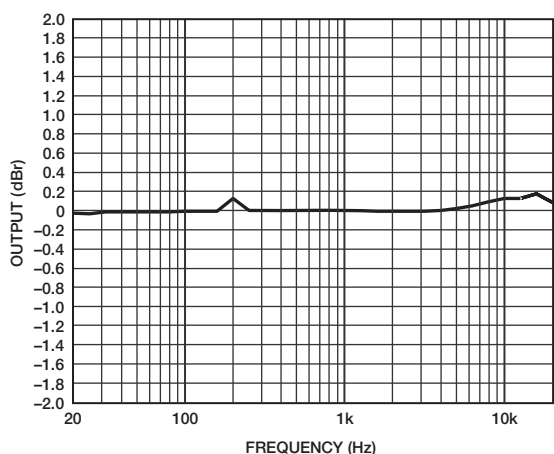


図26. 周波数応答 (1W、6Ω、PVDD=15V、PGA=0dB)

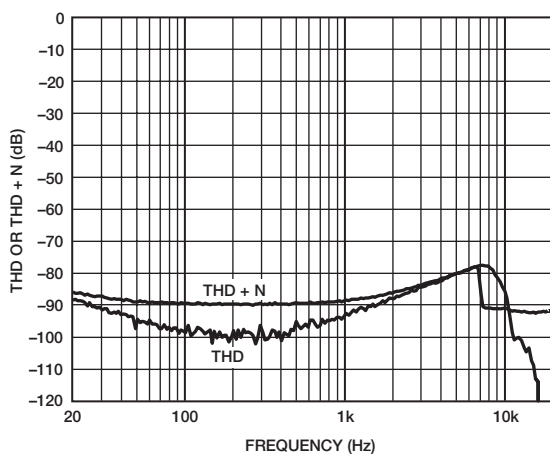


図24. THD/THD+Nの周波数特性 (1W、6Ω、PVDD=15V、PGA=0dB)

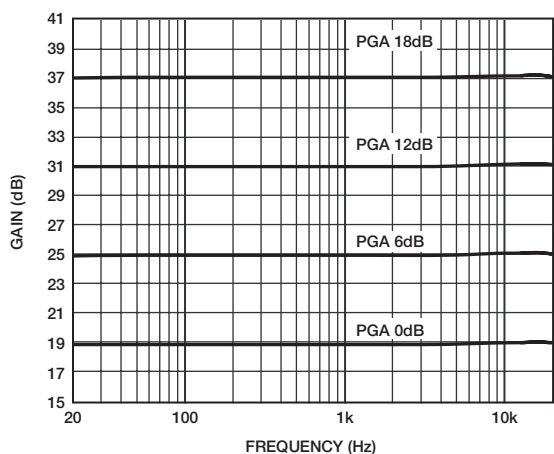


図27. ゲインの周波数特性 (1W、6Ω、PVDD=15V)

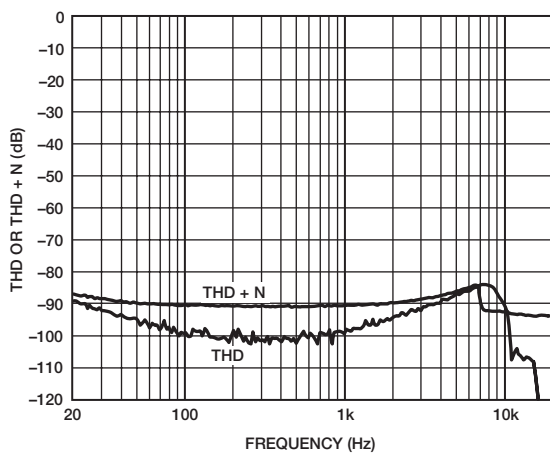


図25. THD/THD+Nの周波数特性 (1W、8Ω、PVDD=15V、PGA=0dB)

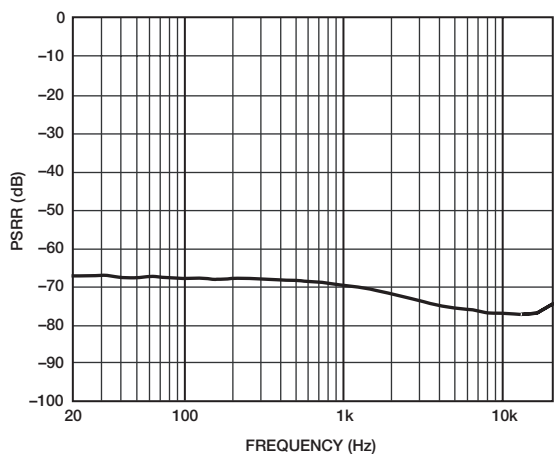


図28. PSRRの周波数特性 (入力信号なし、リップル=1.5Vp-p、PVDD=15V、6Ω)

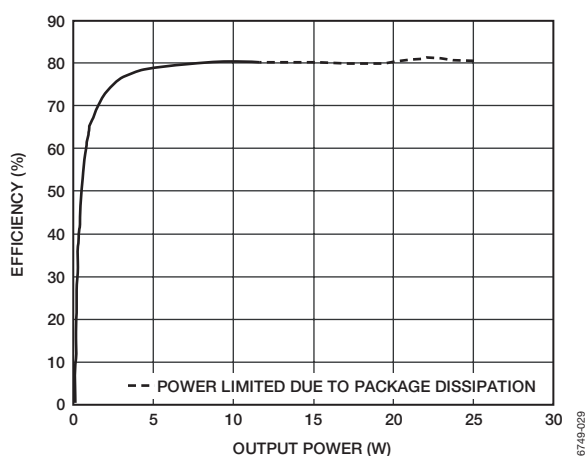


図29. 出力電力 対 効率 (15V、4Ω)

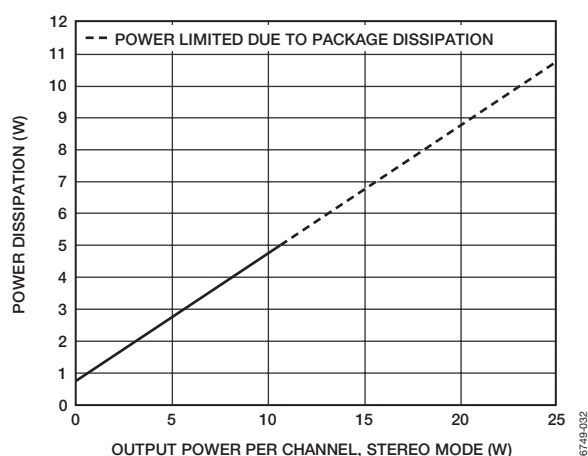


図32. 出力電力 対 消費電力 (15V、4Ω、ステレオ・モード、両チャンネル駆動)

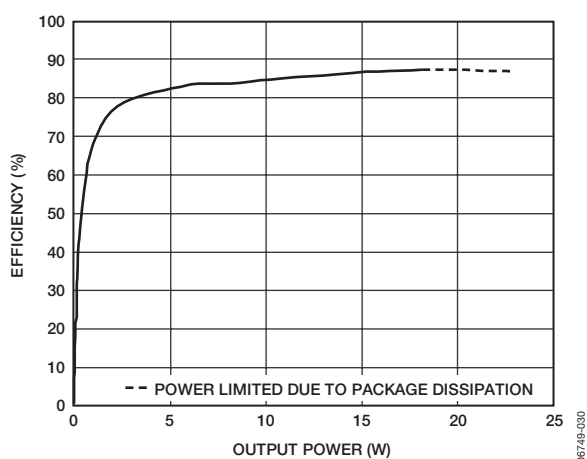


図30. 出力電力 対 効率 (15V、6Ω)

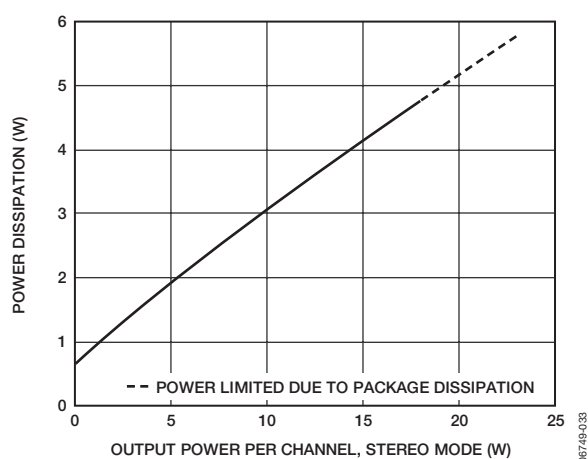


図33. 出力電力 対 消費電力 (15V、6Ω、ステレオ・モード、両チャンネル駆動)

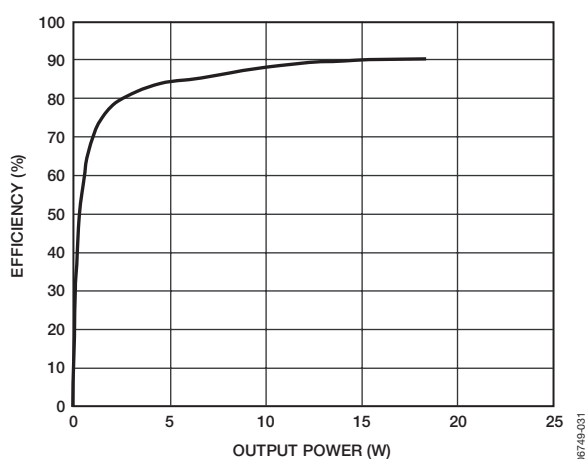


図31. 出力電力 対 効率 (15V、8Ω)

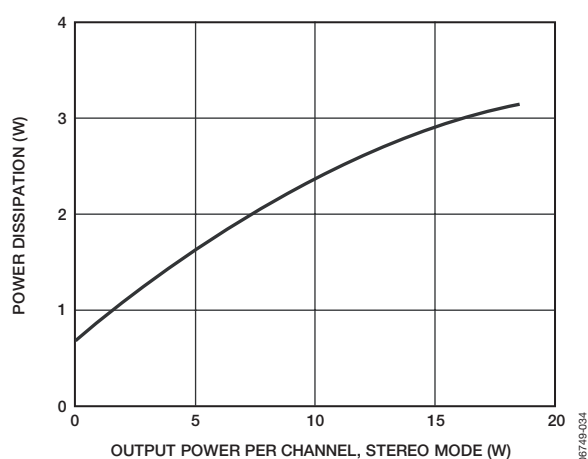


図34. 出力電力 対 消費電力 (15V、8Ω、ステレオ・モード、両チャンネル駆動)

ADAU1592

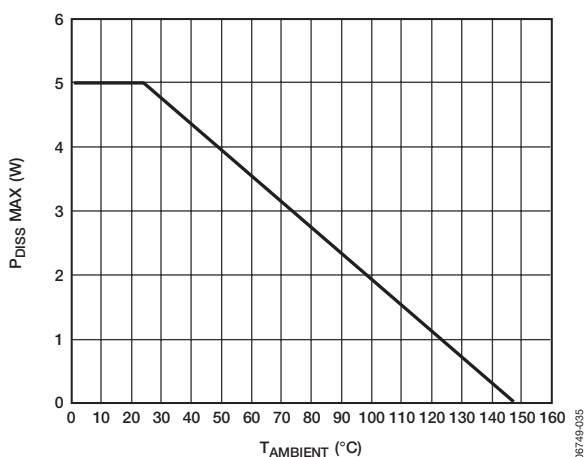


図35. 周囲温度 対 消費電力ディレーティング

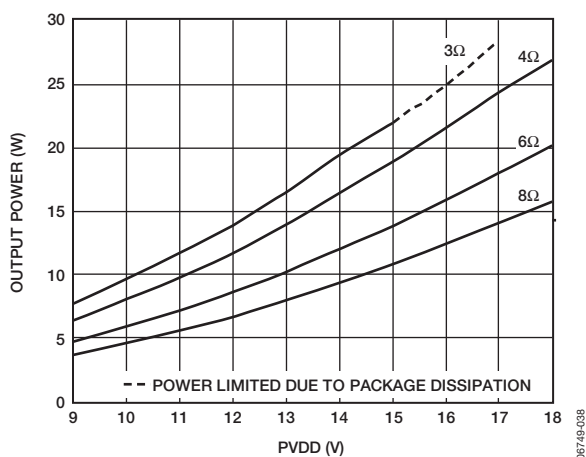


図38. PVDD 対 出力電力 (モノ・モード、60dB THD+N)

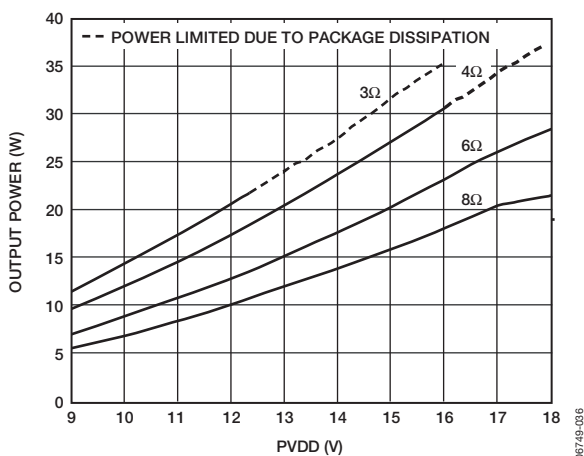


図36. PVDD 対 出力電力 (モノ・モード、20dB THD+N)

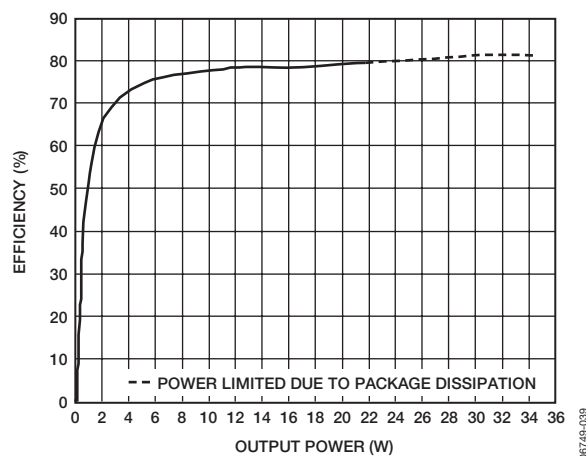


図39. 出力電力 対 効率 (モノ・モード、15V、3Ω)

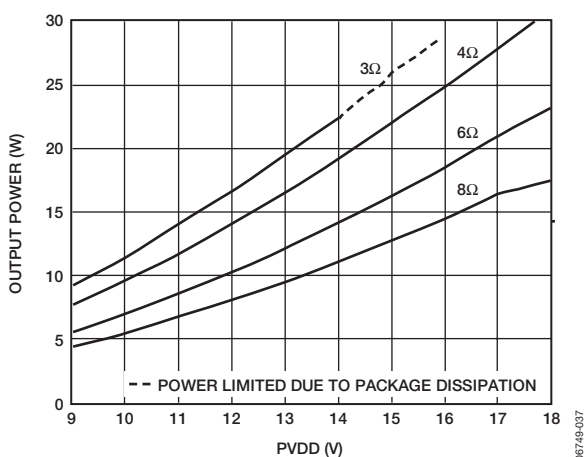


図37. PVDD 対 出力電力 (モノ・モード、40dB THD+N)

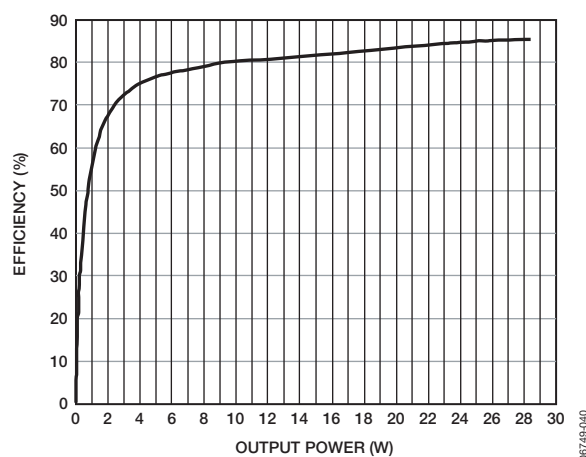


図40. 出力電力 対 効率 (モノ・モード、15V、4Ω)

動作原理

概要

ADAU1592は、2チャンネル、高性能のスイッチング・オーディオ・パワーアンプです。2個の $\Sigma\Delta$ 変調器はそれぞれ、シングルエンド・アナログ入力を2レベルPDM出力に変換します。このPDMパルス・ストリームは、デバイス内部の完全差動パワー段から出力されます。ADAU1592は、ターンオンおよびターンオフ時のポップとクリックを抑制する回路を内蔵しています。また、熱保護回路や過電流保護回路など、幅広い機能を備えています。

変調器

ADAU1592は、内部的に接続されたパワー段からのフィードバックを有する5次 $\Sigma\Delta$ 変調器を備えているため、外付けの接続数を減らすことができます。5次変調器は、低い次数のフルスケールに近い入力に切り替わります。変調器のゲインは、15V動作で19dBに最適化されます。 $\Sigma\Delta$ 変調器は、PDM（パルス密度変調）1ビット・ストリームを出力します。この場合には、従来の固定周波数PWMのようにAMバンドで極端に鋭いピークや高調波は発生しません。

$\Sigma\Delta$ 変調器は、入力を基準にPDMストリームを生成するためにフィードバックを使用します。変調器にはパワー段からのフィードバックがあります。そのため、パワー段での非直線性を低減して、優れたTHD+N性能を達成できます。また、このフィードバックによって優れたPSRRも実現できます。ADAU1592では、パワー段からのフィードバックが内部的に接続されるために、外部接続の削減とPCBレイアウトの簡素化が可能となります。

$\Sigma\Delta$ 変調器は、離散的な時間領域とナイキスト周波数（サンプリング周波数の半分）内で処理を行います。この変調器は12.288MHzのマスター・クロックを使用します。これは外部クロック入力を1/2に分周して生成します。これで、 $f_s/2$ は約6.144MHzに設定されます。オーディオ帯域が22kHzの場合はこれで十分です。変調器は量子化ノイズ分布を変形して、それをオーディオ帯域外に移動するようにします。ノイズ・フロアは20kHz以上に急激に上昇します。そのため、20kHzのオーディオ帯域でS/N比（SNR）が非常に優れた値を示します。6.144MHzの帯域幅では、変調器の次元を5次に設定できます。変調器は独自の動的ヒステリシスを使って、スイッチング・レート（周波数）を約700kHzに低減します。これによって、スイッチング損失の低減や優れた効率性を達成します。この動的ヒステリシスにより、変調器は入力レベルやPVDDの変化を連続的にトラッキングして安定性を維持できます。

スライサ

ADAU1592は、変調器前段のPGA後段にスライサ・ブロックを内蔵しています。このブロックは、基本的に変調器への入力信号を制限するためのハード・リミッタの役割を果たします。この機能により、任意の電源電圧で出力パワーが制限されます。通常、ADAU1592内のスライサは低入力レベルで非アクティブですが、ピーク入力電圧がスレッシュホールドの設定値を超えるとアクティブになります。スレッシュホールドは、SLC_TH（24番ピン）とグラウンドの間に抵抗を接続することで外部的に設定できます。この機能により、スライサを所望の値に設定でき、出力パワーを制限できます。（入力信号がスレッシュホールドの設定値より高い場合は、スライサが変調器への入力信号をクリップしますが、これによって信号に歪みが生じます。）この機能は、電源電圧を低減せずに出力パワーを低減する必要がある場合に特に役立ちます。

図41は、0dB PGA、15V、6 Ω 時の入力レベルとTHD+Nの関係を示したものです。ここでは、スライサを使用した場合とスライサを使用しない場合の違いを示しています。

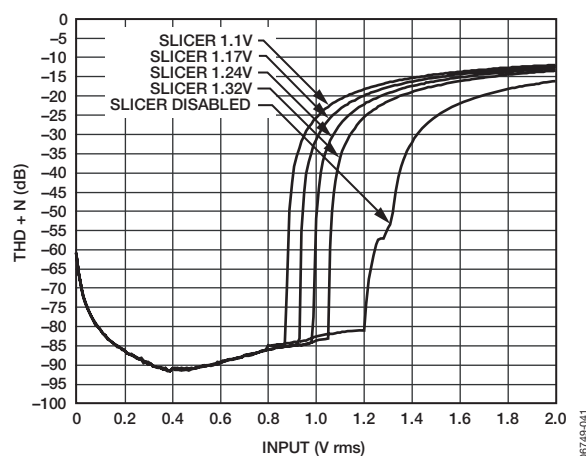


図41. 入力レベル 対 THD+N (PGA=0dB、15V)

図42に、異なるスライサ設定における入力と出力電力の代表的な関係を示しています。

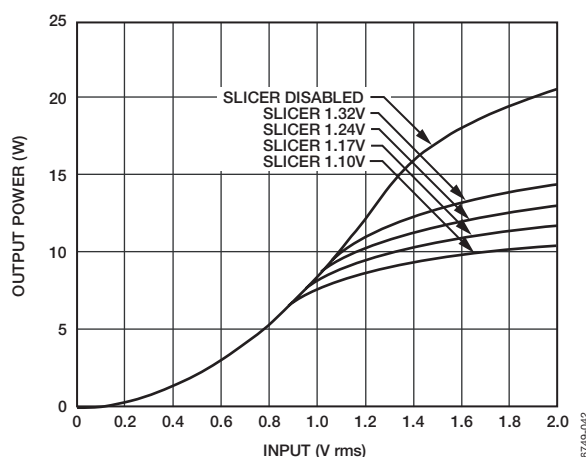


図42. 異なるスライサ設定における入力と出力電力の代表的な関係

図42からわかるように、スライサの設定によって出力電力を効果的に低減できます。

内部的には、スライサ・ブロックはPGAから入力を受信します。図43は、スライサ・スレッシュホールド調整SLC_TH（24番ピン）ブロックを示しています。

ADAU1592

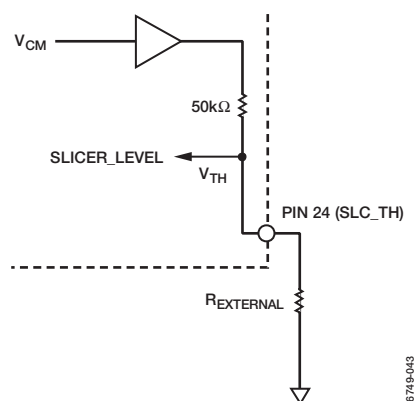


図43. スライサ・スレッシュホールド調整 (SLC_TH) ブロック

スライサ・スレッシュホールドは、次のように抵抗を使って外部から設定できます。

$$V_{TH} = \left(\frac{AVDD}{2} \right) \times \left(\frac{50 \text{ k}\Omega}{50 \text{ k}\Omega + R_{EXTERNAL}} \right)$$

ここで、

$AVDD = 3.3\text{V}$ (typ)

V_{TH} は、スライサがアクティブになる電圧スレッシュホールドです。

次式を使って、スライサをアクティブにする入力信号を計算できます。

$$V_{IN \text{ rms}} = \frac{V_{TH}}{1.414 \times 0.9}$$

したがって、 $AVDD = 3.3\text{V}$ (typ)、 $V_{TH} = 1.1\text{V}$ の場合、次の値が得られます。

$$R_{EXTERNAL} = 24.9 \text{ k}\Omega$$

$$V_{IN \text{ rms}} = 0.864 \text{ V}$$

上式から、スライサは $V_{IN \text{ rms}}$ の値が0.864以上でアクティブになります。

この機能により、スライサを設定して任意の電源電圧で出力パワーを低減できます。スライサをディスエーブルにするには、SLC_THをAGNDに直接接続します。表9は、 $R_{EXTERNAL}$ の代表的な値を示しています。

表9. $R_{EXTERNAL}$ の代表的な値

VTH (V)	$R_{EXTERNAL}$ (k Ω)	$V_{IN \text{ rms}}$ (V)
1.1	24.9	0.864
1.17	20.5	0.919
1.24	16.5	0.974
1.32	12.4	1.037

パワー段

ADAU1592のパワー段は、ハイサイドPMOSとローサイドNMOSで構成されています。 R_{DS-ON} は約300m Ω 抵抗です。PMOS-NMOS段は外付けのブートストラップ・コンデンサは不要で、ハイサイド・ドライバの設計が簡素化されます。パワー段は、標準的なアプリケーションで故障を検出できる守備範囲の広い保護回路も備えています。詳細については、「保護回路」を参照してください。

ゲイン

アンプのゲインは、15V（公称値）動作に最適化されている帰還抵抗を使って内部的に設定されます。表10に代表的なゲイン値を示します。代表的なゲインは、PGAの設定値が0dBのときの19dBです。PGA0（14番ピン）とPGA1（13番ピン）は、必要なゲインを設定する場合に使用します。

ゲインは表10に従って設定してください。アンプのフルスケール入力レベルは、PGAゲインの設定に伴って変動します。

表10. ゲインの設定

PGA1 (Pin 13)	PGA0 (Pin 14)	PGA Gain (dB)	Amplifier Gain (dB)	Full-Scale Input Level (V_{rms})
0	0	0	19	1
0	1	6	25	0.5
1	0	12	31	0.25
1	1	18	37	0.125

保護回路

ADAU1592は、多様な機能を持つ保護回路を備えています。すなわち、熱警告、過熱保護、出力の過電流／短絡保護などの機能を備えています。ERRおよびOTW出力はオープンドレインで、プルアップ抵抗を必要とします。この出力は、10mAの電流をシンクできます。オープンドレイン出力は、複数のADAU1592が使用されるマルチチャンネル・アプリケーションで役に立ちます。複数のADAU1592のエラー出力は論理和をとることで、システムの設計を簡素化できます。エラー・フラグのロジック出力により、マイクロコントローラを使うシステムの設計が容易になります。

熱保護

ADAU1592の熱保護では、2つのエラー・フラグを使用します。1つは熱警告フラグで、もう1つは熱シャットダウン・フラグです。デバイスのジャンクション温度が135℃（±5℃）近くになると、ADAU1592はOTW（10番ピン）をローレベルにして熱警告エラー・フラグを出力します。システム内のマイクロコントローラは、このフラグを使ってユーザへの警告を行います。また、アンプへの入力レベルを下げて熱シャットダウンを防ぐ際にもこのフラグを使用します。デバイスはシャットダウン温度に到達するまで動作を継続します。

デバイスのジャンクション温度が150℃を超えると、ERR（9番ピン）をローレベルにしてエラー・フラグを出力します。このエラー・フラグはラッチされます。通常動作に復帰するには、MUTE（15番ピン）をローレベルに切り替えてから、再度ハイレベルにする必要があります。

過電流保護

ADAU1592の過電流保護の値は、5Aのピーク出力電流に内部的に設定されます。デバイスは、過度の出力電流から出力デバイスを保護するためにERR（9番ピン）をローレベルにします。このエラー・フラグはラッチされます。通常動作に復帰するには、MUTE（15番ピン）をローレベルに切り替えてから、再度ハイレベルにする必要があります。システム内のマイクロコントローラはこのエラー・フラグを使って異常動作を通知し、オーディオのMUTEシーケンスを開始します。デバイスはLCフィルタ後に出力の短絡状態を検出します。代表的な短絡状態には、出力負荷の短絡、PVDDまたはPGNDへの短絡などがあります。

アンダー電圧保護

ADAU1592は、PVDDのアンダー電圧を検出するアンダー電圧の保護回路も備えています。PVDD電源電圧が動作スレッショールドを下回ると、出力FETはハイインピーダンス状態になります。また、デバイスは $\overline{\text{ERR}}$ をローレベルにしてエラー・フラグを発行します。この状態はラッチされます。通常動作に復帰するには、 $\overline{\text{MUTE}}$ （15番ピン）をローレベルに切り替えてから、再度ハイレベルにする必要があります。

クロック消失の検出

ADAU1592には、クロック消失検出回路があります。デバイスへのマスター・クロックが失われると、 $\overline{\text{ERR}}$ フラグが設定されます。この状態はラッチされます。通常動作に復帰するには、 $\overline{\text{MUTE}}$ をローレベルに切り替えてから、再度ハイレベルにする必要があります。

熱保護からの自動回復

アプリケーションによっては、システム・コントローラの介入なしにアンプを熱保護状態から回復させる必要があります。

ADAU1592の熱保護回路は、このために2つのエラー信号を発行します。1つは熱警告信号（ $\overline{\text{OTW}}$ ）で、もう1つは熱シャットダウン信号（ $\overline{\text{ERR}}$ ）です。

保護機能には、このいずれかの信号を使用する2つのオプションがあります。

オプション1： $\overline{\text{OTW}}$ を使用

オプション2： $\overline{\text{ERR}}$ を使用

以下の項では、この2つのオプションをさらに詳しく説明します。

オプション1： $\overline{\text{OTW}}$ を使用

$\overline{\text{OTW}}$ ピンは、ダイの温度が130～135℃に達するとローレベルになります。このピンは、図44に示すように、RC回路を使って $\overline{\text{MUTE}}$ に接続できます。

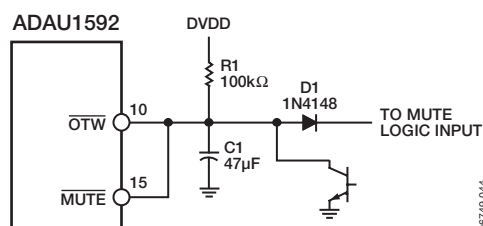


図44. オプション1の自動回復回路

$\overline{\text{OTW}}$ のロー・ロジックレベルで、 $\overline{\text{MUTE}}$ ピンのプルダウンも行います。ブリッジはシャットダウンされ冷却が始まるか、またはダイの温度が低下します。約120℃に達すると、 $\overline{\text{OTW}}$ 信号はハイレベルになります。このピンがコンデンサに接続され、抵抗を介してDVDDに接続されているときは、ピンの電圧がゆっくりとDVDD電圧に近づき始めます。そして、CMOSスレッショールドに達すると、 $\overline{\text{MUTE}}$ のアサートが解除されて、アンプが再び機能し始めます。このサイクルは、入力信号状態とダイの温度に応じて反復されます。このオプションにより、150℃のシャットダウン温度を超えない安全な動作が可能となり、アンプはマイクロコントローラの介入なしに通常動作に回復できます。

オプション2： $\overline{\text{ERR}}$ を使用

オプション2はオプション1と似ていますが、 $\overline{\text{ERR}}$ ピンが $\overline{\text{OTW}}$ ではなく $\overline{\text{MUTE}}$ に接続されています。図45の回路図を参照してください。

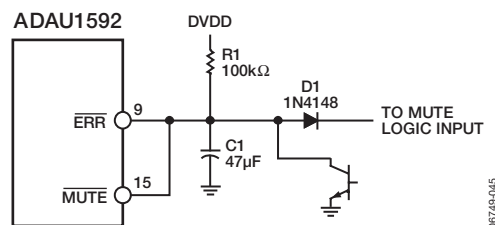


図45. オプション2の自動回復回路

この場合、出力過電流、過昇温度、電源（PVDD、DVDD）が印加されていない、またはクロック消失などのエラー・イベントによって、デバイスはシャットダウン・モードになります。このデバイスは、図44の場合と同じ回路動作に基づいて通常動作に復帰します。

ただし、温度上昇によってエラー・モードになるのは、デバイスが150℃（オプション1より15～20℃高い）の最大制限値に達したときです。スピーカ出力の短絡により過電流が発生してエラー・モードになると、デバイスは短絡が除去されるまでオン、オフを繰り返します。

この動作のときには、デバイスがかなり高い温度／電流ストレスを持続的に受ける可能性があります。その結果、デバイスの信頼性は長時間にわたって低下します。したがって、熱保護からの自動回復を行うオプション1を使用し、システム・マイクロコントローラを使ってエラー状態をユーザに知らせることを推奨します。

MUTE、STDN

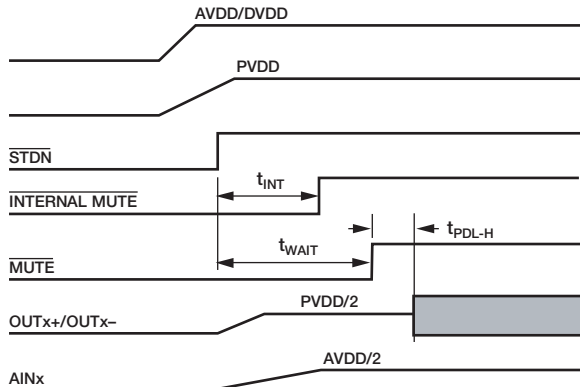
$\overline{\text{MUTE}}$ と $\overline{\text{STDN}}$ は、ADAU1592のターンオン／ターンオフを制御する3.3Vロジック互換入力ピンです。

$\overline{\text{STDN}}$ 入力は、 $\overline{\text{STDN}}$ ピンがローレベルになってデバイスが省エネルギー・モードになるとアクティブ・ローになります。変調器は非アクティブで、パワー段はハイインピーダンス状態です。 $\overline{\text{STDN}}$ のハイ・ロジック・レベル入力で、デバイスはウェークアップ駆動されます。変調器は内部的に作動しますが、パワー段はハイインピーダンスのままです。 $\overline{\text{MUTE}}$ ピンがハイレベルになると、パワー段がアクティブになりますが、このときソフト・ターンオンによりポップとクリックを避けることができます。 $\overline{\text{MUTE}}$ ピンをローレベルにすると、パワー段がディスエーブルになります。これを利用して、オーディオ出力をミュートすることを推奨します。詳細については、「パワーアップ／パワーダウン・シーケンス」を参照してください。

ADAU1592

パワーアップ/パワーダウン・シーケンス

図46に、ADAU1592の推奨パワーアップ・シーケンスを示します。



$t_{INT} = 650\text{ms} @ 24.576\text{MHz CLOCK}$
 $t_{PDL-H} = 200\mu\text{s}$
 $t_{WAIT} = 10 \times R_{IN} \times C_{IN}$

NOTES

1. INTERNAL MUTE IS INTERNAL TO CHIP.

図46. 推奨パワーアップ・シーケンス

ADAU1592は、内部的にミュートとなるパワーアップ・シーケンスをサポートしています。ミュート時間は固定であり、この間にパワー段がスイッチングを開始することはありません。この内部ミュート時間はマスター・クロック周波数によって異なり、たとえば24.576MHzクロックのときは650msに固定されます。また、内部ミュートは外部MUTEより優先されるため、STDNから650ms以内にMUTE信号がハイレベルになってもパワー段がすぐにオンになることはありません。パワー段は、650msと短時間の伝播遅延（200µs）が経過してMUTEのアサートが解除されてからしかスイッチングを開始しません。したがって、パワーアップ中のポップとクリックを防ぐために $t_{WAIT} > t_{INT}$ とすることを推奨します。

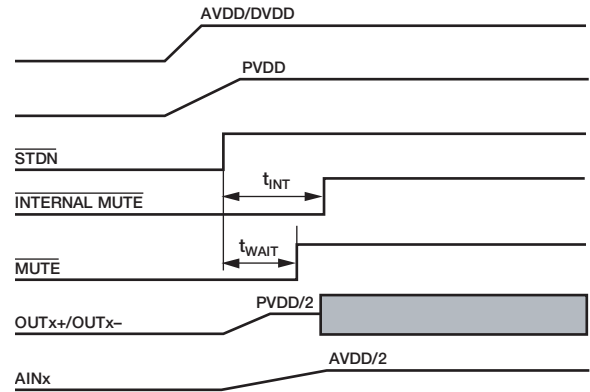
MUTE信号は、STDNから t_{WAIT} 秒以上遅延させる必要があります。この時間は、入力カップリング・コンデンサの充電時定数の約10倍となります。たとえば、入力カップリング・コンデンサが4.7µFの場合、時定数は次式で表されます。

$$T = R \times C = 20\text{k}\Omega \times 4.7\mu\text{F} = 94\text{ms}$$

したがって、 $t_{WAIT} = 10 \times T = 940\text{ms}$ （約1秒）となります。

t_{WAIT} は、パワー段がオンになる前に入力コンデンサがAVDD/2まで充電されるように適正な値を設定する必要があります。

$t_{WAIT} < t_{INT}$ のとき、パワー段はSTDNから650msが経過するまでスイッチングを開始しません（図47を参照）。しかし、この場合は t_{WAIT} が推奨値より短く不十分なため、ポップとクリックを抑制することはできません。



$t_{INT} = 650\text{ms} @ 24.576\text{MHz CLOCK}$
 $t_{WAIT} < t_{INT}$

NOTES

1. INTERNAL MUTE IS INTERNAL TO CHIP.

図47. パワーアップ・シーケンス ($t_{WAIT} < t_{INT}$)

ADAU1592は3つの個別電源を使用します。AVDD（PGAおよび変調器用の3.3Vアナログ電源）、DVDD（制御ロジックおよびクロック発振器用の3.3Vデジタル電源）、PVDD（9～18Vのパワー段とレベル・シフタ）です。AGND、DGND、PGND、それにAVDD、DVDD、PVDD電源接続用に個別のピンが用意されています。

また、ADAU1592はDVDDとPVDDにアンダー電圧ロックアウト・ロジック回路を装着しています。この回路構成によってアンダー電圧を検出できるため、電源検出機構を外部に設ける必要はありません。

ADAU1592はDVDDおよびPVDD電源電圧を監視し、電源が存在しない場合や動作スレッシュホールドを下回る場合にパワー段が駆動されないようにします。したがって、DVDDが印加されていないか、または動作スレッシュホールドを下回る場合、PVDDが印加されていてもパワー段は駆動されません（逆の場合も駆動されません）。

この保護機能はDVDDとPVDD専用のものでAVDDには存在しないため、AVDDとDVDDの両方を外部短絡させるか、AVDDとDVDDを1つの電源から生成することを推奨します。これによってAVDDとDVDD電源の両方が互いにトラッキングしあうため、PVDDを基準にしたシーケンス監視が不要となります。また、これによってパワーアップ時のポップとクリックを最小限に抑えることができます。

AVDDとDVDDの個別の電源を使用するときは、パワー段の駆動前またはミュート解除前に両電源が安定している必要があります。

シャットダウン中は、STDNをプルダウンする前にMUTEをロジック・ローにすることを推奨します。しかし、故障イベントが発生すると、パワー段はデバイスを保護するためにシャットダウンします。この場合は、信号のレベルに応じてスピーカにポップが発生します。

節電のために電源をシャットダウンする場合は、電源を1つでもシャットダウンする前にアンプをミュートにすることを強く推奨します。これを行うにはMUTEをローレベルにしてから、PVDD、DVDD、AVDDの順に電源をシャットダウンします。単一のソースからAVDDとDVDDを生成する場合は、MUTE動作後にPVDDをオフにしてから、DVDDとAVDDをオフにします。

DCオフセットおよびポップ・ノイズ

ここでは、ターンオン/ターンオフ中にDCオフセットやポップ・ノイズが発生する原因について説明します。アンプのターンオン/ターンオフ・ポップはDCオフセットに大きく左右されるため、出力のDCオフセットは慎重に低減する必要があります。

ADAU1592の最初の回路段は反転PGAアンプを備えています(図48を参照)。

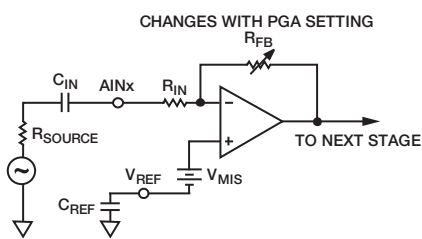


図48. 入力等価回路

ここで、

R_{IN} は20k Ω です(内部で固定)。

R_{FB} はゲイン帰還抵抗です(値はPGAの設定に応じて変化)。

R_{SOURCE} はソース抵抗です。

C_{IN} は入力カップリング・コンデンサ(2.2 μ F typ)です。

C_{REF} は V_{REF} 用のフィルタ・コンデンサです。

V_{REF} はアナログ・リファレンス電圧(AVDD/2 typ)です。

V_{MIS} はオペアンプ内のミスマッチによって生じるDCオフセットです。

図48に示すように、出力のDCオフセットは V_{MIS} (オペアンプ内のミスマッチによるDCオフセット)や C_{IN} コンデンサのリーク電流によって発生します。

通常、 V_{MIS} に比べると C_{IN} のリーク電流によって生じるオフセットは小さいため無視できます。出力のDCオフセットは主に V_{MIS} が原因です。ADAU1592は、特別な自己キャリブレーションまたはDCオフセット・トリム回路を使用し、DCオフセット(V_{MIS} による)を ± 3 mV以内に調整します。 V_{MIS} は、電圧や温度だけではなくデバイスにも左右されます。トリム回路はオフセットを規定の範囲内に制限でき、デバイス起動時にはほぼポップ・フリーの動作を保証します。ただし、ミュートの解除中やパワーアップ・シーケンス時には注意を要します。

初期パワーアップ・シーケンス中は、 C_{IN} および C_{REF} がAVDD/2まで充電され、この間に出力のDCオフセットが発生する可能性があります(図48を参照)。これは、PGAゲイン設定に依存します。DCオフセットは、PGAゲイン設定値で乗算されます。アンプがこの充電および自己トリム・イベント中(推奨 t_{WAIT} 時間)にミュート状態を維持している場合、出力のDCオフセットが ± 3 mVを超えることはありません。 t_{WAIT} の詳細については、「パワーアップ/パワーダウン・シーケンス」を参照してください。

ターンオン時のポップ・ノイズ量は t_{WAIT} に依存し、 t_{WAIT} は C_{REF} と C_{IN} の値に依存します。次の項では、 C_{REF} 値と C_{IN} 値の選択方法について説明します。

C_{REF} と C_{IN} の値の選択

C_{REF} は、 V_{REF} のAVDDによるノイズをフィルタ処理するためのコンデンサです。 V_{REF} は、変調器や内部アナログ・アンプのバイアスに使用します。この場合は、推奨最小値の使用が重要となります。 C_{REF} の最小推奨値は4.7 μ Fです。

C_{IN} は入力カップリング・コンデンサであり、入力を外部DCからデカップリングするために使用します。アンプの低コーナー周波数は C_{IN} の値で決まります。これは、次式から算出できます。

$$f_{LOW} = \frac{1}{2 \times \pi \times R_{IN} \times C_{IN}}$$

ここで、

f_{LOW} は低コーナー周波数です(−3dB)。

R_{IN} は入力抵抗です(20k Ω)。

C_{IN} は入力カップリング・コンデンサです。

R_{SOURCE} が1k Ω 未満の場合に R_{IN} は20k Ω です。 R_{IN} に対して R_{SOURCE} 値が非常に大きい場合は、そのことも計算時に考慮する必要があります。

前の式からは、所望の周波数応答の f_{LOW} を求めることができます。

C_{IN} の推奨値が2.2 μ Fで、 $f_{LOW}=3.6$ Hzとなり、20Hzのロールオフは−0.5dB以内を保持します。

ただし、良好な低周波応答を得るために C_{IN} の推奨値より高い値を使用する場合は、適正な t_{WAIT} を使用する必要があります。詳細については、「パワーアップ/パワーダウン・シーケンス」を参照してください。

モノ・モード

ADAU1592のモノ・モードをイネーブルにするには、MO/ST(11番ピン)をロジック・ハイにします。このモードでは、左チャンネルの入力と変調器がアクティブで、PWMデータを左右のパワー段に供給します。ただし、電流機能を高めるために各パワーFETは外部で接続する必要があります。すなわち、OUTL+をOUTR+に接続し、OUTL−をOUTR−に接続します。モノ・モードでは、電流制限を招くことなく低インピーダンス負荷を駆動できます。ただし、出力電力はPVDDと温度の限界値によって制限されます。詳細については、図50の代表的なアプリケーション回路を参照してください。

電源デカップリング

クラスDアンプは高周波スイッチングを利用するため、電源のデカップリングには注意を払う必要があります。

安定した動作を保証するために、PVDDおよびPGNDピンには100nFのセラミック表面実装コンデンサを使用することを推奨します。コンデンサは最低でも2個必要です。1つは45番ピン/46番ピン(PVDD)と47番ピン/48番ピン(PGND)の間に、そしてもう1つは39番ピン/40番ピン(PVDD)と37番ピン/38番ピン(PGND)の間に接続します。これらのコンデンサは各ピンのすぐ近くで直接接続する必要があります。これは、デバイスの安定かつ安全な動作を行ううえで重要です。また、100nFコンデンサと並列に1 μ Fのコンデンサを接続することも推奨しています。さらに、負荷電流によって生じる低周波リップルを除去するために、470 μ Fのバルク・バイパス・コンデンサを使用することも推奨します。

ADAU1592

同様に、各DVDD/DGND およびAVDD/AGND間に1個の100nFコンデンサを接続することを推奨します。これらのコンデンサも、各ピンのすぐ近くで直接接続してください。

外部保護 (PVDD>15V)

PVDD電源が15V（またはそれ以上の値）に近づくと、最大値のPVDDで使用できるヘッドルームが減少します。スイッチング・アンプの場合と同様に、フルレール出力振幅と、パッケージ/ボードの寄生要素によるオーバーシュートの量は重要です。したがって、15Vを超える電源電圧が必要なアプリケーションには、安定かつ安全な動作のために外付け保護回路の追加を推奨します。出力にはRCスナバかショットキ・ダイオードの使用を検討してください。

RCスナバは、各チャンネルのOUTx+ピンとOUTx-ピンの間に接続します。代表的な推奨値は10Ωと680pFです。この2つの部品は出力ピンの近くに配置する必要があります。2チャンネルの場合は、2つの抵抗と2つのコンデンサが必要です。

ショットキ・ダイオードを使用する場合は、それを各OUTx-/OUTx+ピンからPVDD/PGNDに配置します。このため、2チャンネルでは全部で8個のダイオードが必要となります。ショットキ・ダイオードを効果的に使用するためには、必ず出力ピンの近くに配置してください。

クロック

ADAU1592は、 $512 \times f_s$ ($f_s = 48\text{kHz}$) の24.576MHzマスター・クロックを使用します。クロックの供給方法にはいくつかのオプションがあります。

オプション1：水晶発振器の使用

水晶発振器モードに適した2個の負荷コンデンサを使って、XTIピンとXTOピンの間に24.576MHzの水晶発振器を接続します。

オプション2：セラミック共振器の使用

ADAU1592のXTIピンとXTOピンに水晶発振器に似たセラミック共振器を接続することもできます。

オプション3：外部クロックの使用

ADAU1592には、XTIピンを介して24.576MHzの外部クロックを供給できます。クロック入力のロジック・レベルは3.3Vの範囲内とし、デューティサイクルは50% (typ) とします。

複数のADAU1592を使用するシステムについては、デバイス間で同じ電源を共有するときにクロック源を複数使用しないことを推奨します。これによって非同期クロックのビート周波数がオーディオ・バンド内で発生することを防ぎます。

複数のADAU1592をディジーチェーン接続できます。この場合は、1個のADAU1592からマスター・クロックを生成または供給し、そのXTO出力を次のADAU1592のXTI入力に接続します（以下同様）。ただし、最初のADAU1592のXTOピンから次のADAU1592のXTIピンまでに単純なロジック・バッファを設けることを推奨します。これでクロック出力はバッファされるため、使用するロジック・バッファのファンアウト能力に応じて、それを残りのADAU1592のXTI入力に接続できます。

アプリケーション情報

PVDD>15Vのアプリケーションの場合は、10Ω (typ) のR1およびR2、680pF (typ) のC5およびC6、D1～D8 (=CRS01/02) を追加します。

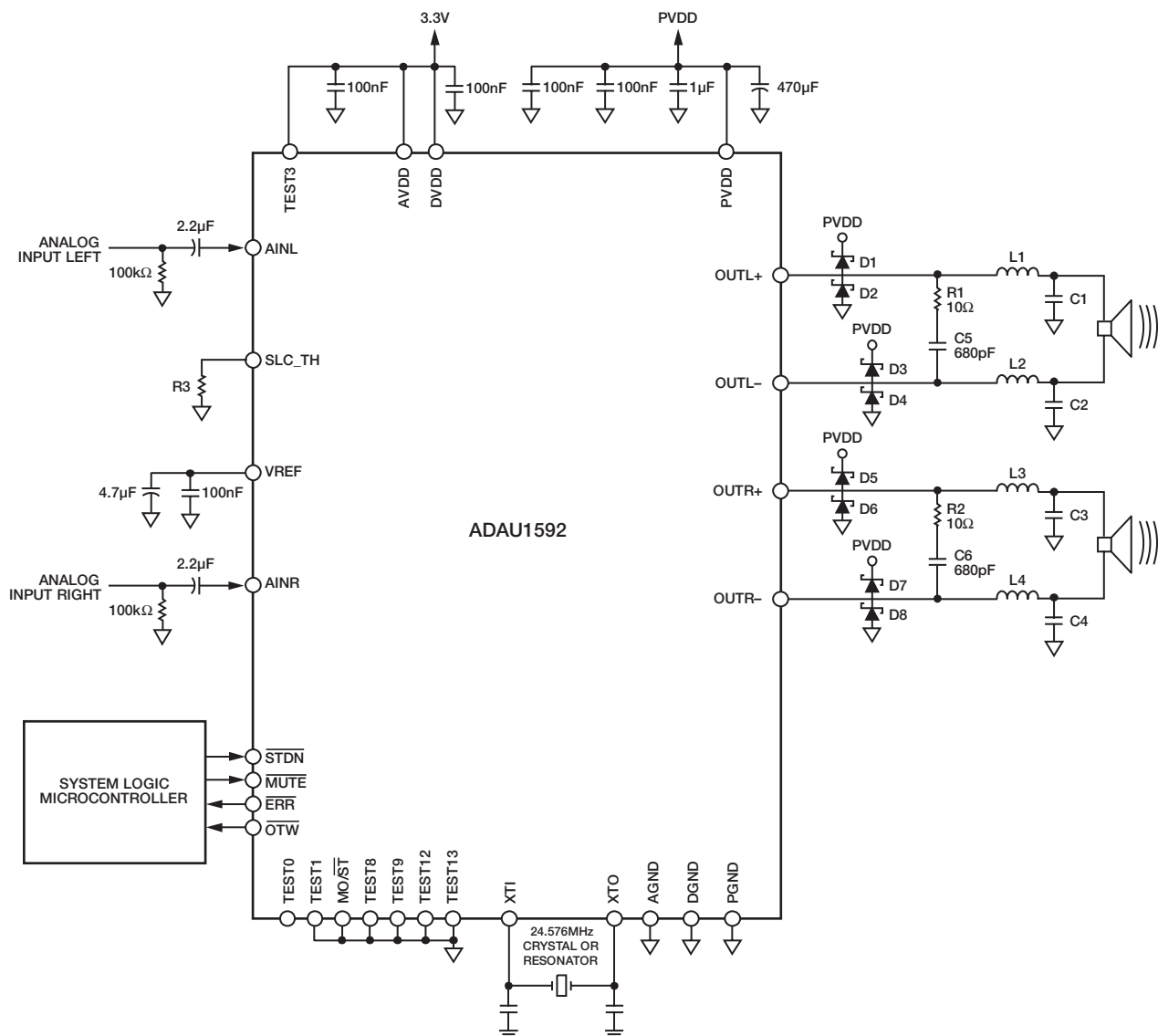


図49. 代表的なステレオ・アプリケーション回路

表11. R3—スライサ・スレッショルド抵抗

V_{TH} (V)	R3 (kΩ)
1.1	24.9
1.17	20.5
1.24	16.5
1.32	12.4

表12. 出力フィルターコンポーネント値

Load Impedance (Ω)	Inductance L1 to L4 (μH)	Capacitance C1 to C4 (μF)
4	10	1.5
6	15	1
8	22	0.68

ADAU1592

PVDD>15Vのアプリケーションの場合は、10Ω (typ) のR1、680pF (typ) のC5、D1～D4 (=CRS01/02) を追加します。

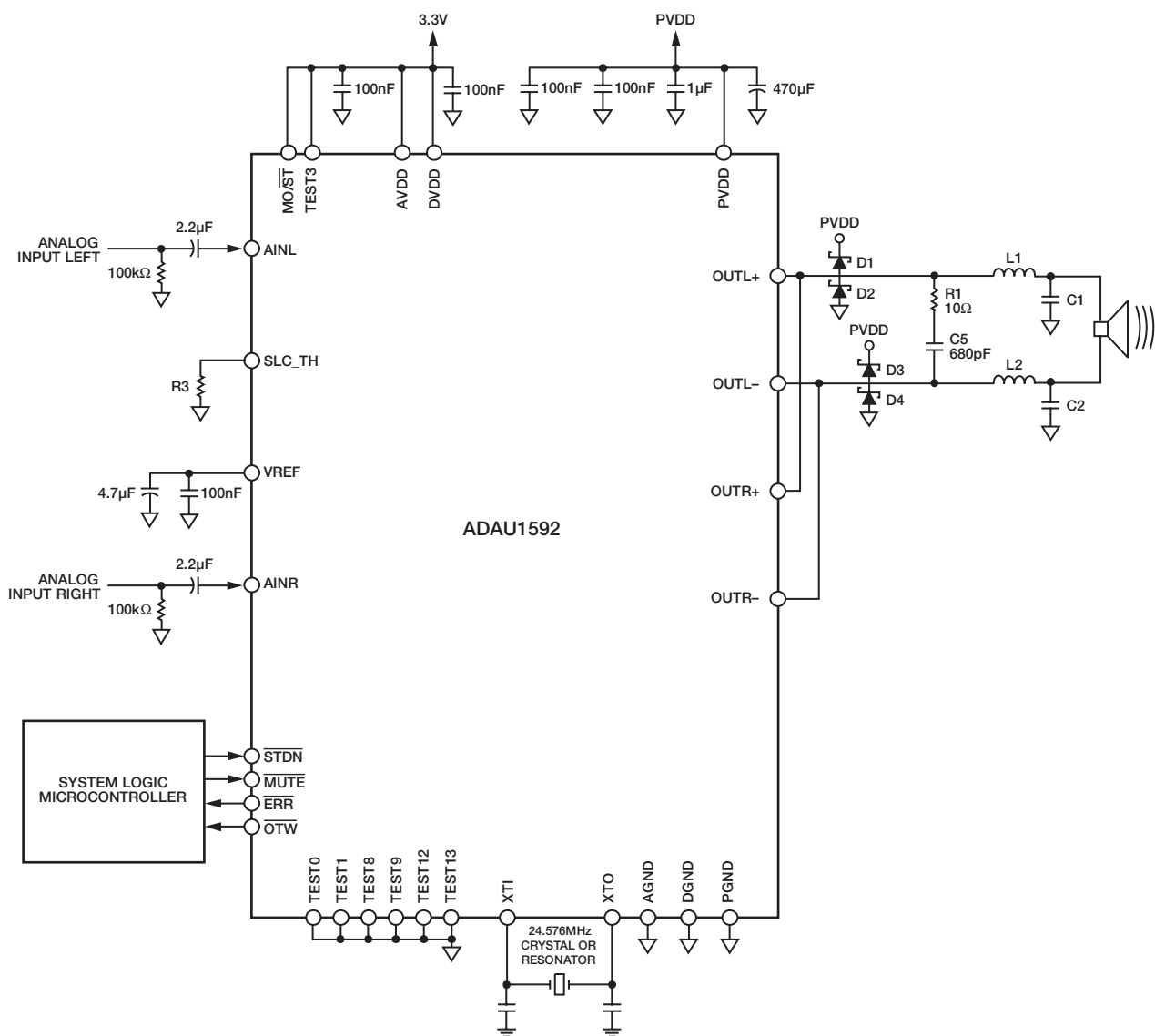


図50. 代表的なモノ・アプリケーション回路

06749-050

表13. R3—スライサ・スレッショルド抵抗

V_{TH} (V)	R3 (kΩ)
1.1	24.9
1.17	20.5
1.24	16.5
1.32	12.4

表14. 出力フィルターコンポーネント値

Load Impedance (Ω)	Inductance L1 to L4 (μH)	Capacitance C1 to C4 (μF)
4	10	1.5
6	15	1
8	22	0.68

外形寸法

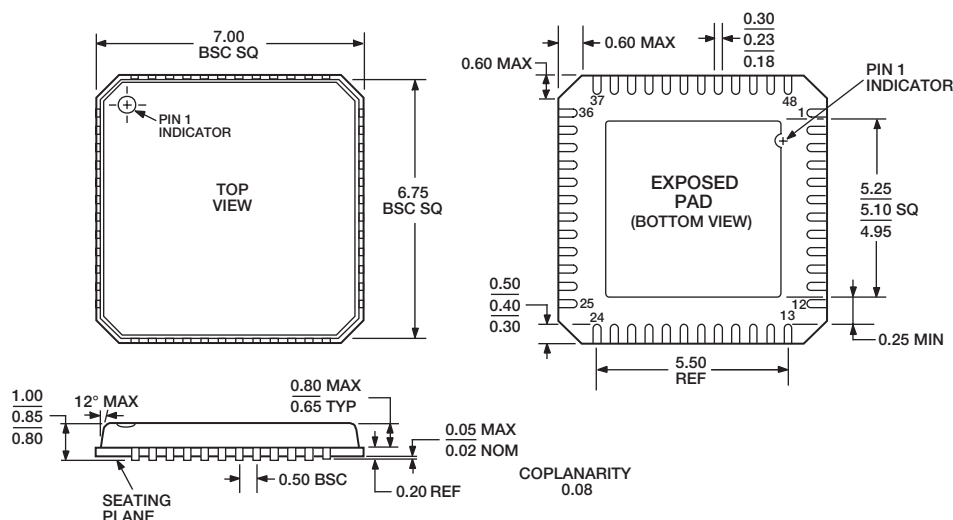


図51. 48ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
7mm×7mmボディ、極薄クワッド
(CP-48-1)
寸法単位：mm

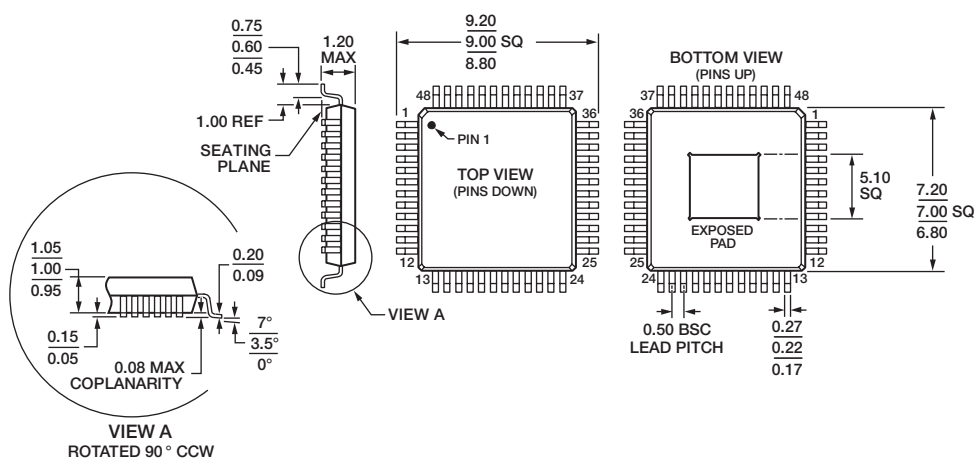


図52. 48ピン薄型クワッド・フラット・パッケージ、露出パッド [TQFP_EP]
(SV-48-5)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADAU1592ACPZ ¹	−40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-1
ADAU1592ACPZ-RL ¹	−40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ], 13" Tape and Reel	CP-48-1
ADAU1592ACPZ-RL7 ¹	−40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ], 7" Tape and Reel	CP-48-1
ADAU1592ASVZ ¹	−40°C to +85°C	48-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP]	SV-48-5
ADAU1592ASVZ-RL ¹	−40°C to +85°C	48-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP], 13" Tape and Reel	SV-48-5
ADAU1592ASVZ-RL7 ¹	−40°C to +85°C	48-Lead Thin Quad Flat Package, Exposed Pad [TQFP_EP], 7" Tape and Reel	SV-48-5
EVAL-ADAU1592EBZ ¹		Evaluation Board	

¹ Z=RoHS準拠製品