



集積化されたデータ・ アキュイジション・サブシステム 16 ビット、1 MSPS ADAQ7980/ADAQ7988

データシート

特長

使いやすさ

集積化されたデータ・アキュイジション・サブシステム

すべての能動部品をアナログ・デバイスで設計

ADC ドライバとリファレンス・バッファを内蔵

PCB スペースを 50 % 節約

重要な受動部品を内蔵

シリアル・インターフェース: SPI/QSPI/MICROWIRE™/DSP
互換

複数の ADAQ7980/ADAQ7988 デバイスをデジチェーン
接続可能

1.8 V/2.5 V/3 V/5 V ロジック・インターフェースに対するさ
まざまな電源構成

擬似差動アナログ入力構成

高性能

ノー・ミス・コードの 16 ビット分解能

スループット: 1 MSPS (ADAQ7980) および 500 kSPS
(ADAQ7988)

INL: ±8 ppm (代表値)、±20 ppm (最大値)

SNR: 10 kHz で 91.5 dB (代表値) (ユニティ・ゲイン)

THD: 10 kHz で -105 dB

低入力バイアス電流: 470 nA (代表値)

低消費電力

1 MSPS で 21 mW (代表値) (ADAQ7980)

500 kSPS で 16.5 mW (代表値) (ADAQ7988)

柔軟なパワーダウン・モード

ダイナミック・パワー・スケーリング

小型、24 ピン、5 mm × 4 mm LGA パッケージ

広い動作温度範囲: -55 °C ~ +125 °C

アプリケーション

自動試験装置 (ATE)

バッテリー駆動の計測器

通信

データ・アキュイジション

プロセス・コントロール

医療用計測器

概要

ADAQ7980/ADAQ7988 は、さまざまなアプリケーションに対応するシステム・イン・パッケージ (SiP) のデザインに、4つの共通信号処理および調整ブロックを統合した、16 ビット A/D コンバータ (ADC) サブシステムです。これらのデバイスは非常に重要な受動部品を内蔵しており、逐次比較レジスタ (SAR) ADC を用いる従来のシグナル・チェーンに伴う多くの設計課題を取り除きます。内蔵の受動部品は、仕様規定されているデバイスの性能を実現するのに不可欠なものです。

機能ブロック図

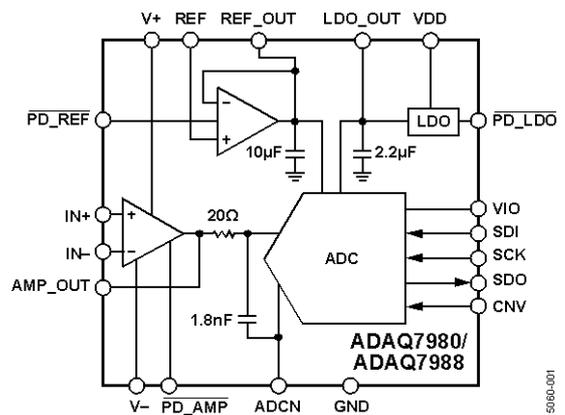


図 1.

ADAQ7980/ADAQ7988 は、高精度の低消費電力 16 ビット SAR ADC、低消費電力、広帯域幅、高入力インピーダンスの ADC ドライバ、安定した低消費電力リファレンス・バッファ、高効率パワー・マネージメント・ブロックを搭載しています。小型の 5 mm × 4 mm LGA パッケージに収められたこれらのシステムにより、データ・アキュイジション・システムの設計プロセスが簡素化されます。ADAQ7980/ADAQ7988 はシステムレベルでの集積が図られたことにより、設計上の多くの課題が解決され、なおかつ、ADC ドライバの帰還ループを柔軟に設定できるので、ゲインやコモンモードの調整が可能です。4 個のデバイス電源を 1 組として最適なシステム性能を実現します。また一方、デバイスの動作仕様への影響を最小限に抑えた単電源動作も可能です。

SDI 入力を使った SPI 互換のシリアル・インターフェースは、1 本の 3 線式バス上の複数のデバイスをデジチェーン接続することが可能で、さらにオプションのビジー・インジケータを提供します。ユーザー・インターフェースは、1.8 V、2.5 V、3 V、または 5 V ロジックに対応します。

これらのデバイスは、-55 °C ~ +125 °C の動作温度範囲で仕様規定されています。

表 1. 集積化された SAR ADC サブシステム

Type	500 kSPS	1000 kSPS
16-Bit	ADAQ7988	ADAQ7980

目次

特長.....	1	ダイナミック・パワー・スケーリング (DPS)	31
アプリケーション.....	1	スルー強化.....	33
概要.....	1	周波数応答に対する帰還抵抗の影響.....	33
機能ブロック図.....	1	電圧リファレンス入力.....	33
改訂履歴.....	2	電源.....	35
仕様.....	3	LDO レギュレータの電流制限および熱過負荷保護.....	36
両電源構成.....	3	LDO レギュレータの熱に関する考慮事項.....	36
単電源構成.....	7	デジタル・インターフェース.....	37
タイミング仕様.....	11	3 線式 \overline{CS} モード (ビジー・インジケータなし)	38
絶対最大定格.....	13	3 線式 \overline{CS} モード (ビジー・インジケータあり)	39
熱データ.....	13	4 線式 \overline{CS} モード (ビジー・インジケータなし)	40
熱抵抗.....	13	4 線式 \overline{CS} モード (ビジー・インジケータあり)	41
ESD に関する注意.....	13	チェーン・モード (ビジー・インジケータなし)	42
ピン配置およびピン機能説明.....	15	チェーン・モード (ビジー・インジケータあり)	43
代表的な性能特性.....	17	アプリケーション回路.....	44
用語の定義.....	25	非ユニティ・ゲイン構成.....	45
動作原理.....	26	レベル・シフトによる反転構成.....	46
回路説明.....	26	ADAQ7980/ADAQ7988 のアクティブ・フィルタとの併用....	47
コンバータの動作.....	26	アプリケーション情報.....	48
代表的な接続図.....	27	レイアウト.....	48
ADC ドライバ入力.....	28	ADAQ7980/ADAQ7988 の性能評価.....	48
入力保護.....	28	外形寸法.....	49
ノイズに関する考慮事項と信号のセトリング.....	28	オーダー・ガイド.....	49
PD_AMP 動作.....	31		

改訂履歴

3/2017—Revision 0: Initial Version

仕様

両電源構成

特に指定のない限り、VDD = 3.5 V ~ 10 V、V+ = 6.3 V ~ 7.7 V、V- = -2.5 V ~ -0.2 V、VIO = 1.7 V ~ 5.5 V、VREF = 5 V、TA = -55 °C ~ +125 °C、ユニティ・ゲイン・バッファ構成の ADC ドライバ、fSAMPLE = 1 MSPS (ADAQ7980)、fSAMPLE = 500 kSPS (ADAQ7988)。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
SYSTEM ACCURACY					
No Missing Codes		16			Bits
Differential Nonlinearity Error (DNL)		-14	±7	+14	ppm ¹
Integral Nonlinearity Error (INL)		-20	±8	+20	ppm ¹
Transition Noise			0.6		LSB ¹ rms
Gain Error	TA = 25°C	-0.01	±0.002	+0.01	%FS
Gain Error Temperature Drift			0.1	0.4	ppm/°C
Zero Error	TA = 25°C	-0.5	±0.06	+0.5	mV
Zero Error Temperature Drift			0.3	1.3	µV/°C
Common-Mode Rejection Ratio	ADC driver configured as difference amplifier	103	130		dB
Power Supply Rejection Ratio					
Positive	V+ = +6.3 V to +8 V, V- = -2 V	75	105		dB
Negative	V+ = +7 V, V- = -1.0 V to -2.5 V	80	110		dB
SYSTEM AC PERFORMANCE					
Dynamic Range	VREF = 2.5 V		92		dB ²
			87		dB ²
Total RMS Noise			44.4		µV rms
Oversampled Dynamic Range	Oversample dynamic range frequency (fODR) = 10 kSPS		111		dB ²
Signal-to-Noise Ratio (SNR)	Input frequency (fIN) = 10 kHz	90.5	91.5		dB ²
	fIN = 10 kHz, VREF = 2.5 V	84.5	86.5		dB ²
Spurious-Free Dynamic Range	fIN = 10 kHz		106		dB ²
Total Harmonic Distortion (THD)	fIN = 10 kHz		-105	-100	dB ²
Signal-to-Noise-and-Distortion Ratio	fIN = 10 kHz	90	91		dB ²
	fIN = 10 kHz, VREF = 2.5 V	84	86		dB ²
Effective Number of Bits	fIN = 10 kHz	14.65	14.8		Bits
Noise Free Code Resolution			14.1		Bits
SYSTEM SAMPLING DYNAMICS					
Conversion Rate					
ADAQ7980	VIO ≥ 3.0 V	0		1	MSPS
	VIO ≥ 1.7 V	0		833	kSPS
ADAQ7988	VIO ≥ 1.7 V	0		500	kSPS
Transient Response	Full-scale step		430	500	ns
-3 dB Input Bandwidth	ADC driver RC filter		4.42		MHz
-1 dB Frequency	ADC driver RC filter		2.2		MHz
-0.1 dB Frequency	ADC driver RC filter		0.67		MHz
System 0.1 Hz to 10 Hz Voltage Noise			17		µV p-p
Aperture Delay			2.0		ns
Aperture Jitter			2.0		ns

¹ LSB は最下位ビットを意味します。1 LSB = 15.26 ppm なので、5 V の入力範囲では、1 LSB は 76.3 µV になります。

² dB 単位の仕様はすべてフルスケール入力 FSR を基準にしています。特に指定のない限り、フルスケールより 0.5 dB 低い入力信号でテストしています。

特に指定のない限り、VDD = 3.5 V ~ 10 V、V+ = 6.3 V ~ 7.7 V、V- = -2.5 V ~ -0.2 V、VIO = 1.7 V ~ 5.5 V、VREF = 5 V、TA = -55 °C ~ +125 °C、ユニティ・ゲイン・バッファ構成の ADC ドライバ、fSAMPLE = 1 MSPS (ADAQ7980)、fSAMPLE = 500 kSPS (ADAQ7988)。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE					
Input Voltage Range	Voltage at REF pin	2.4		5.1	V
Load Current	REFOUT		330		μA
Buffer Input					
Resistance	REF		50		MΩ
Capacitance	REF		1		pF
Bias Current			550	800	nA
Offset Voltage	TA = 25°C		13	125	μV
Offset Voltage Drift			0.2	1.3	μV/°C
Voltage Noise	fIN = 100 kHz		5.2		nV/√Hz
Voltage Noise 1/f Corner Frequency			8		Hz
Current Noise	fIN = 100 kHz		0.7		pA/√Hz
0.1 Hz to 10 Hz Voltage Noise			44		nV rms
Linear Output Current	REFOUT		±40		mA
Short-Circuit Current	REFOUT sinking/sourcing		85/73		mA
ADC DRIVER CHARACTERISTICS					
Voltage Range	IN+, IN-, AMP_OUT	0		VREF	V
Absolute Input Voltage	IN+, IN-, AMP_OUT	-0.1		+5.1	V
	ADCN	-0.1		+0.1	V
-3 dB Bandwidth	G = +1, VAMP_OUT = 0.02 V p-p		37		MHz
	G = +1, VAMP_OUT = 2 V p-p		35		MHz
Bandwidth for 0.1 dB Flatness	G = +1, VAMP_OUT = 0.1 V p-p		4		MHz
Slew Rate	G = +1, VAMP_OUT = 2 V step		110		V/μs
	G = +1, VAMP_OUT = 5 V step		40		V/μs
Input Voltage Noise	f = 100 kHz		5.2		nV/√Hz
1/f Corner Frequency			8		Hz
0.1 Hz to 10 Hz Voltage Noise			44		nV rms
Input Current					
Noise	f = 100 kHz		0.7		pA/√Hz
Bias	IN+, IN-		550	800	nA
Offset			2.1		nA
Input Offset Voltage	TA = 25°C		13	125	μV
Drift			0.2	1.3	μV/°C
Open-Loop Gain			111		dB
Input Resistance	IN+, IN-				
Common Mode			50		MΩ
Differential Mode			260		kΩ
Input Capacitance	IN+, IN-		1		pF
Input Common-Mode Voltage Range	Specified performance	-0.1		V+ - 1.3V	V
Output Overdrive Recovery Time	VIN+ = 10% overdrive, fIN = 10 kHz		500		ns
Linear Output Current			±40		mA
Short-Circuit Current	Sinking/sourcing		85/73		mA
DIGITAL INPUTS					
Logic Levels					
Input Voltage					
Low (VIL)	VIO > 3.0 V	-0.3		+0.3 × VIO	V
	VIO ≤ 3.0 V	-0.3		+0.1 × VIO	V
High (VIH)	VIO > 3.0 V	0.7 × VIO		VIO + 0.3	V
	VIO ≤ 3.0 V	0.9 × VIO		VIO + 0.3	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Input Current					
Low (I_{IL})		-1		+1	μA
High (I_{IH})		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16 bits, straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
V_{OL}	$I_{SINK} = 500 \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
POWER-DOWN SIGNALING					
ADC Driver/REF Buffer					
PD_AMP, PD_REF Voltage					
Low	Powered down		<2.2		V
High	Enabled		>2.6		V
Turn-Off Time	50% of PD_AMP, PD_REF to <10% of enabled quiescent current		1.25	2.75	μs
Turn-On Time	Specified performance		2	7.25	μs
Dynamic Power Scaling Period	Specified performance	10			μs
Low Dropout (LDO) Regulator					
PD_LDO Voltage					
Low	Powered down	1.06	1.12	1.18	V
High	Enabled	1.15	1.22	1.30	V
PD_LDO Logic Hysteresis			100		mV
Turn-Off Time	2.2 μF capacitive load		460	650	μs
Turn-On Time			370	425	μs
POWER REQUIREMENTS					
VDD		3.5	5	10	V
LDO Voltage Accuracy	$I_{LDO_OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$	-0.8		+0.8	%
	$100 \mu\text{A} < I_{LDO_OUT} < 100 \text{ mA}$, $V_{DD} = 3.5 \text{ V to } 10 \text{ V}$	-1.8		+1.8	%
LDO Line Regulation	$V_{DD} = 3.5 \text{ V to } 10 \text{ V}$	-0.015		+0.015	%/V
LDO Load Regulation	$I_{LDO_OUT} = 100 \mu\text{A to } 100 \text{ mA}$		0.002	0.004	%/mA
LDO Start-Up Time	$V_{LDO_OUT} = 2.5 \text{ V}$		380		μs
LDO Current-Limit Threshold		250	360	460	mA
LDO Thermal Shutdown					
Threshold	T_J rising		150		$^\circ\text{C}$
Hysteresis			15		$^\circ\text{C}$
LDO Dropout Voltage	$I_{LDO_OUT} = 10 \text{ mA}$		30	60	mV
	$I_{LDO_OUT} = 100 \text{ mA}$		200	420	mV
V+		3.7	7	$V^- + 10$	V
V-		$V^+ - 10$	-2	+0.1	V
VIO		1.7		5.5	V
Total Standby Current ^{1,2}	Static, all devices enabled		1.2	1.7	mA
	ADC driver, REF buffer disable		56	103	μA
	ADC driver, REF buffer, LDO disable		14	23	μA
ADAQ7980 Current Draw	1 MSPS				
VIO			0.3	0.34	mA
V+/V-			1.5	2.0	mA
VDD			1.45	1.6	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADAQ7980 Power Dissipation V+/V-/VDD	1 MSPS		20	36	mW
	1 kSPS, dynamic power scaling enabled ³		5.8	9	mW
VIO Total			1.0	1.9	mW
			21	37.9 ⁴	mW
ADAQ7988 Current Draw					
VIO			0.15	0.17	mA
V+/V-			1.35	1.85	mA
VDD			0.73	0.8	mA
ADAQ7988 Power Dissipation V+/V-/VDD	500 kSPS		16	26.5	mW
	1 kSPS, dynamic power scaling enabled ³		5.8	9	mW
VIO Total			0.5	0.95	mW
			16.5	27.54	mW
TEMPERATURE RANGE					
Specified Performance	T _{MIN} to T _{MAX}	-55		+125	°C

¹ 必要に応じてすべてのデジタル入力を VIO または GND に接続しています。

² アクイジション・フェーズ時。

³ ダイナミック・パワー・スケーリングのデューティ・サイクルは 10 % です。

⁴ 最大差動電圧で計算したもので、電源電圧の代表値ではありません。

単電源構成

特に指定のない限り、VDD = V+ = 5.0 V、V- = 0 V、VIO = 1.7 V ~ 5.5 V、VREF = 3.3 V、TA = -55 °C ~ +125 °C、ユニティ・ゲイン・バッファ構成の ADC ドライバ、および fSAMPLE = 1 MSPS (ADAQ7980)、fSAMPLE = 500 kSPS (ADAQ7988)。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bits
SYSTEM ACCURACY					
Differential Nonlinearity Error ¹		-14	±7	+14	ppm ²
Integral Nonlinearity Error ¹		-20	±8	+20	ppm ²
Transition Noise			0.8		LSB ² rms
Gain Error	TA = 25°C	-0.013	±0.002	+0.013	%FS
Gain Error Temperature Drift			0.1	0.4	ppm/°C
Zero Error	TA = 25°C	-0.5	±0.06	+0.5	mV
Zero Error Temperature Drift			0.35	1.75	µV/°C
Common-Mode Rejection Ratio		103	133		dB
Power Supply Rejection Ratio Positive	V+ = 4.5 V to 5.5 V, V- = 0 V	75	92		dB
SYSTEM AC PERFORMANCE					
Dynamic Range			89		dB ³
Total RMS Noise			41.4		µV rms
Oversampled Dynamic Range	fODR = 10 kSPS		109		dB ³
Signal-to-Noise Ratio	Input frequency (fIN) = 10 kHz	87.3	88.7		dB ³
Spurious-Free Dynamic Range	fIN = 10 kHz		103		dB ³
Total Harmonic Distortion	fIN = 10 kHz		-113	-100	dB ³
Signal-to-Noise-and-Distortion Ratio	fIN = 10 kHz	87	88.4		dB ³
Effective Number of Bits	fIN = 10 kHz	14.1	14.4		Bits
Noise Free Code Resolution			13.5		Bits
SYSTEM SAMPLING DYNAMICS					
Conversion Rate					
ADAQ7980	VIO ≥ 3.0 V	0		1	MSPS
	VIO ≥ 1.7 V	0		833	kSPS
ADAQ7988	VIO ≥ 1.7 V	0		500	kSPS
Transient Response	Full-scale step		430	500	ns
-3 dB Input Bandwidth	ADC driver RC filter		4.42		MHz
-1 dB Frequency	ADC driver RC filter		2.2		MHz
-0.1 dB Frequency	ADC driver RC filter		0.67		MHz
System 0.1 Hz to 10 Hz Voltage Noise			17		µV p-p
Aperture Delay			2.0		ns
Aperture Jitter			2.0		ns

¹ 非直線性は全入力電圧範囲で見られます。150 mV 未満のコードは単電源構成では示されていません。

² LSB は最下位ビットを意味します。3.3 V の入力範囲では、1 LSB は 50.4 µV、つまり 1 LSB = 15.26 ppm です。

³ dB 単位のすべての仕様は、フルスケール入力 FSR を基準にしています。特に指定のない限り、フルスケールより 0.5 dB 低い入力信号でテストしています。

特に指定のない限り、VDD = V+ = 5.0 V、V- = 0 V、VIO = 1.7 V ~ 5.5 V、VREF = 3.3 V、TA = -55 °C ~ +125 °C、ユニティ・ゲイン・バッファ構成の ADC ドライバ、および fSAMPLE = 1 MSPS (ADAQ7980)、fSAMPLE = 500 kSPS (ADAQ7988)。

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REFERENCE					
Input Voltage Range	Voltage at REF pin	2.4		V+ - 1.3	V
Load Current	REFOUT		330		μA
Buffer Input Resistance	REF		50		MΩ
Capacitance	REF		1		pF
Bias Current			470	720	nA
Offset Voltage	TA = 25°C		9	125	μV
Offset Voltage Drift			0.2	1.5	μV/°C
Voltage Noise	fIN = 100kHz		5.9		nV/√Hz
Voltage Noise 1/f Corner Frequency			8		Hz
Current Noise	fIN = 100kHz		0.6		pA/√Hz
0.1 Hz to 10 Hz Voltage Noise			54		nV rms
Linear Output Current	REFOUT		±40		mA
Short-Circuit Current	REFOUT sinking/sourcing		73/63		mA
ADC DRIVER CHARACTERISTICS					
Specified Voltage Range	IN+, IN-, AMP_OUT	0.15		VREF	V
Absolute Input Voltage	IN+, IN-, AMP_OUT	-0.1		V+ - 1.3	V
	ADCN	-0.1		+0.1	V
-3 dB Bandwidth	G = +1, VAMP_OUT = 0.02 V p-p		31		MHz
	G = +1, VAMP_OUT = 2 V p-p		30		MHz
Bandwidth for 0.1 dB Flatness	G = +1, VAMP_OUT = 0.1 V p-p		4		MHz
Slew Rate	G = +1, VAMP_OUT = 2 V step		31		V/μs
	G = +1, VAMP_OUT = 3.15 V step		20		V/μs
Input Voltage Noise	f = 100 kHz		5.9		nV/√Hz
1/f Corner Frequency			8		Hz
0.1 Hz to 10 Hz Voltage Noise			54		nV rms
Input Current					
Noise	f = 100 kHz		0.6		pA/√Hz
Bias	IN+, IN-		470	720	nA
Offset			0.4		nA
Input Offset Voltage	TA = 25°C		9	125	μV
Open-Loop Gain			109		dB
Input Resistance	IN+, IN-				
Common Mode			50		MΩ
Differential Mode			260		kΩ
Input Capacitance	IN+, IN-		1		pF
Input Common-Mode Voltage Range	Specified performance	-0.1		V+ - 1.3	V
Output Overdrive Recovery Time	VIN+ = 10% overdrive, fIN = 10 kHz		800		ns
Linear Output Current			±40		mA
Short-Circuit Current	Sinking/sourcing		73/63		mA
DIGITAL INPUTS					
Logic Levels					
Input Voltage					
Low (VIL)	VIO > 3.0 V	-0.3		+0.3 × VIO	V
	VIO ≤ 3.0 V	-0.3		+0.1 × VIO	V
High (VIH)	VIO > 3.0 V	0.7 × VIO		VIO + 0.3	V
	VIO ≤ 3.0 V	0.9 × VIO		VIO + 0.3	V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Input Current					
Low (I_{IL})		-1		+1	μA
High (I_{IH})		-1		+1	μA
DIGITAL OUTPUTS					
Data Format		Serial 16 bits straight binary			
Pipeline Delay		Conversion results available immediately after completed conversion			
V_{OL}	$I_{SINK} = 500 \mu\text{A}$			0.4	V
V_{OH}	$I_{SOURCE} = -500 \mu\text{A}$	$V_{IO} - 0.3$			V
POWER-DOWN SIGNALING					
ADC Driver/Reference Buffer					
PD_AMP, PD_REF Voltage					
Low	Powered down		<1.5		V
High	Enabled		>1.9		V
Turn-Off Time	50% of PD_AMP, PD_REF to <10% of enabled quiescent current		0.9	1.25	μs
Turn-On Time	Specified performance		2	7.25	μs
Dynamic Power Scaling Period	Specified performance	10			μs
LDO					
PD_LDO Voltage					
Low	Powered down	1.06	1.12	1.18	V
High	Enabled	1.15	1.22	1.30	V
PD_LDO Logic Hysteresis			100		mV
Turn-Off Time	2.2 μF capacitive load		460	650	μs
Turn-On Time			370	425	μs
POWER REQUIREMENTS					
VDD		3.5	5	10	V
LDO Voltage Accuracy	$I_{LDO_OUT} = 10 \text{ mA}$, $T_A = 25^\circ\text{C}$ $100 \mu\text{A} < I_{LDO_OUT} < 100 \text{ mA}$, $V_{DD} = 3.5 \text{ V to } 10 \text{ V}$	-0.8		+0.8	%
LDO Line Regulation	$V_{DD} = 3.5 \text{ V to } 10 \text{ V}$	-1.8		+1.8	%
LDO Load Regulation	$I_{LDO_OUT} = 100 \mu\text{A to } 100 \text{ mA}$ $V_{LDO_OUT} = 2.5 \text{ V}$	-0.015		+0.015	%/V
LDO Start-Up Time			380		μs
LDO Current-Limit Threshold		250	360	460	mA
LDO Thermal Shutdown					
Threshold	T_J rising		150		$^\circ\text{C}$
Hysteresis			15		$^\circ\text{C}$
LDO Dropout Voltage	$I_{LDO_OUT} = 10 \text{ mA}$ $I_{LDO_OUT} = 100 \text{ mA}$		30	60	mV
$V+$		3.7	5	$V- + 10$	V
$V-$		$V+ - 10$	0	+0.1	V
VIO		1.7		5.5	V
Total Standby Current ^{1,2}	Static, all devices enabled		1.1	1.7	mA
ADAQ7980 Current Draw	ADC driver, REF buffer disabled		50	103	μA
VIO	ADC driver, REF buffer, LDO disabled		7	23	μA
VIO	1 MSPS				
VIO			0.3	0.34	mA
$V+/V-$			1.3	2.0	mA
VDD			1.45	1.6	mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit	
ADAQ7980 Power Dissipation V+/V-/VDD	1MSPS		13.75	36	mW	
	1 kSPS, ADC driver dynamic power scaling enabled ³		2.9	9	mW	
	VIO		1.0	1.9	mW	
	Total		14.75	37.9 ⁴	mW	
ADAQ7988 Current Draw			VIO	0.15	0.17	mA
			V+/V-	1.15	1.85	mA
			VDD	0.73	0.8	mA
ADAQ7988 Power Dissipation V+/V-/VDD	500 kSPS		9.4	26.5	mW	
	1 kSPS, ADC driver dynamic power scaling enabled ³		2.9	9	mW	
	VIO		0.5	0.95	mW	
	Total		9.9	27.54	mW	
TEMPERATURE RANGE						
Specified Performance	T _{MIN} to T _{MAX}	-55		+125	°C	

¹ 必要に応じてすべてのデジタル入力を VIO または GND に接続しています。

² アクイジション・フェーズ時。

³ ダイナミック・パワー・スケーリングのデューティ・サイクルは 10 % です。

⁴ 最大電源差動電圧で計算したもので、電源電圧の代表値ではありません。

タイミング仕様

特に指定のない限り、VDD = 3.5 V ~ 10 V、VIO = 1.7 V ~ 5.5 V、TA = -55 °C ~ +125 °C。表 6 に記載されたタイミング・ダイアグラムについては、図 2 と図 3 に加え、図 72、図 74、図 76、図 78、図 80、図 82 を参照してください。

表 6.

Parameter	Symbol	Min	Typ	Max	Unit
CONVERSION TIME: CNV RISING EDGE TO DATA AVAILABLE					
VIO Above 3.0 V (ADAQ7980)	t _{CONV}	500		710	ns
VIO Above 1.7 V (ADAQ7980)		500		800	ns
ADAQ7988		500		1200	ns
ACQUISITION PHASE ¹					
ADAQ7980	t _{ACQ}	290			ns
ADAQ7988		800			ns
TIME BETWEEN CONVERSIONS					
VIO Above 3.0 V (ADAQ7980)	t _{CYC}	1000			ns
VIO Above 1.7 V (ADAQ7980)		1200			ns
VIO Above 1.7 V (ADAQ7988)		2000			ns
CS MODE					
CNV Pulse Width	t _{CNVH}	10			ns
SCK Period	t _{SCK}				
VIO Above 4.5 V		10.5			ns
VIO Above 3.0 V		12			ns
VIO Above 1.7 V	22			ns	
CNV or SDI Low to SDO D15 MSB Valid	t _{EN}				
VIO Above 3.0 V				10	ns
VIO Above 1.7 V			40	ns	
CNV or SDI High or Last SCK Falling Edge to SDO High Impedance	t _{DIS}			20	ns
SDI Valid Hold Time from CNV Rising Edge	t _{HSDICNV}				
VIO Above 3.0 V		2			ns
VIO Above 1.7 V	10			ns	
CHAIN MODE					
SCK Period	t _{SCK}				
VIO Above 4.5 V		11.5			ns
VIO Above 3.0 V		13			ns
VIO Above 1.7 V	23			ns	
SDI Valid Hold Time from CNV Rising Edge	t _{HSDICNV}	0			ns
SCK Valid Setup Time from CNV Rising Edge	t _{SSCKCNV}	5			ns
SCK Valid Hold Time from CNV Rising Edge	t _{HSCKCNV}	5			ns
SDI Valid Setup Time from SCK Falling Edge	t _{SSDISCK}	2			ns
SDI Valid Hold Time from SCK Falling Edge	t _{HSDISCK}	3			ns
SDI High to SDO High (with Busy Indicator)	t _{DSDOSDI}				
VIO Above 3.0 V				15	ns
VIO Above 1.7 V			22	ns	
SCK					
Low Time	t _{SCKL}				
VIO Above 3.0 V		4.5			ns
VIO Above 1.7 V	6			ns	
High Time	t _{SCKH}				
VIO Above 3.0 V		4.5			ns
VIO Above 1.7 V	6			ns	

Parameter	Symbol	Min	Typ	Max	Unit
Falling Edge to Data Remains Valid	t_{HSDO}	3			ns
Falling Edge to Data Valid Delay	t_{DSDO}				
VIO Above 4.5 V				9.5	ns
VIO Above 3.0 V				11	ns
VIO Above 1.7 V				21	ns
SDI VALID SETUP TIME From CNV RISING EDGE	t_{SSDICNV}	5			ns

¹ アクイジション・フェーズは、ADC のサンプリング・コンデンサが 1 MSPS のスループット・レートで動作する ADC を使用して、新しい入力を取得する時間です。

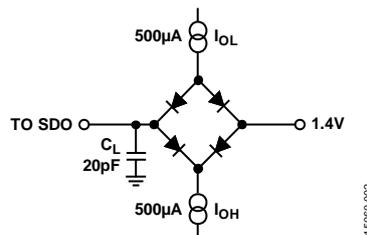
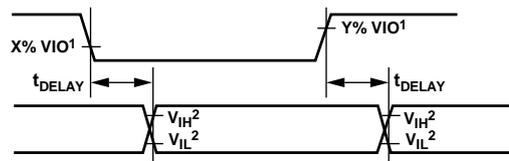


図 2. デジタル・インターフェース・タイミングの負荷回路



¹ FOR VIO ≤ 3.0V, X = 90, AND Y = 10; FOR VIO > 3.0V, X = 70, AND Y = 30.
² MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3 OR TABLE 5.

図 3. タイミングの電圧レベル

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V+ to V-	11 V
V+ to GND	-0.3 V to +11 V
V- to GND	-11 V to +0.3 V
VDD to GND	-0.3 V to +24 V
REF_OUT/VIO to GND	-0.3 V to +6 V
IN+/IN-/REF to GND	V-- -0.7 V to V++ +0.7 V
AMP_OUT/ADCN to GND	-0.3 V to $V_{REF} + 0.3\text{ V}$ or $\pm 130\text{ mA}$
Differential Analog Input Voltage (IN+ - IN-)	$\pm 1\text{ V}$
Digital Input ¹ Voltage to GND	-0.3 V to VIO + 0.3 V
Digital Output ² Voltage to GND	-0.3 V to VIO + 0.3 V
Input Current to Any Pin Except Supplies ^{3,4}	$\pm 10\text{ mA}$
Operating Temperature Range	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
ESD	
Human Body Model (HBM)	4000 V
Field Induced Charged Device Model (FICDM)	1250 V

¹ デジタル入力ピンは、CNV、SDI、SCK です。

² デジタル出力ピンは、SDO です。

³ 最大 100 mA までの過渡電流では SCR ラッチアップは生じません。

⁴ サブシステムに電源が供給されている場合、該当します。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を引き起こす場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱データ

絶対最大定格は、組合わせではなく個別に適用されます。ジャンクション温度 (T_J) の制限値を超えると、ADAQ7980/ADAQ7988 は損傷を受けることがあります。周囲温度を監視しても、 T_J が仕様規定の温度内とは限らない場合があります。消費電力が大きく、熱抵抗が高いアプリケーションでは、最大周囲温度を下げる必要があります。

中程度の消費電力で、プリント回路基板 (PCB) の熱抵抗が低いアプリケーションでは、ジャンクション温度が規定値内にある限り、最大周囲温度 T_A がこの最大値を超えてもかまいません。パッケージの θ_{JA} は、4 層ボードを使ったモデリングと計算に基づいています。 θ_{JA} は、アプリケーションとボード・レイアウトに大きく依存します。最大消費電力が大きいアプリケーションでは、ボードの熱設計に細心の注意が必要です。 θ_{JA} 値は、PCB 材料、レイアウト、環境条件に応じて変化します。

熱抵抗

表 8 に仕様規定されている熱抵抗値は、JEDEC 仕様に基づいて計算されており、JESD51-12 に準拠して使用します。製品には複数のシリコン・デバイスが含まれているため、最悪ケースのジャンクション温度のみを記載しています。

表 8. 熱抵抗

Package Type ^{1,2}	θ_{JA}	$\theta_{JC\text{TOP}}^2$	Ψ_{JT}	Unit
CC-24-2	65	103	12.6	$^\circ\text{C/W}$

¹ これらの値は、パッケージ内での最悪ケースのダイ接合を表しています。

² 表 8 の値は、特に明記しない限り、表 9 に示す標準 JEDEC テスト条件に基づいて計算されたものです。

³ θ_{JC} の試験では、100 μm の熱界面材料 (TIM) を使用しています。TIM を 3.6W/mK と仮定しています。

記載されているすべてのテスト条件が同様の場合は、 θ_{JA} と $\theta_{JC\text{TOP}}$ のみを用いて、デバイスのパッケージの熱性能を他の半導体パッケージと比較できます。よくある間違いは、 θ_{JA} と θ_{JC} を用いてシステム環境でのジャンクション温度を推算することです。システム環境におけるデバイスの最悪ケースのジャンクション温度を推算するには、代わりに Ψ_{JT} を用いた方が適切です。まず、システム環境でデバイスが動作している間に、デバイスの上部中央 (この場合はモールド化合物上) で正確な熱測定を行います。この測定値は、次式中の T_{top} として知られています。この式を用いて、与えられた環境における最悪ケースの T_J を求めることができます。

$$T_J = \Psi_{JT} \times P + T_{\text{top}}$$

ここで

Ψ_{JT} は、データシートで仕様規定されている、ジャンクションからケース上部への熱特性値。

P はチップ内の総消費電力 (W)。 T_{top} はパッケージ上部の温度 ($^\circ\text{C}$) で、実際の使用環境においてはパッケージの上部中央で測定されます。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

表 9. 標準 JEDEC テスト条件

Test Conditions	θ_{JA}	θ_{JC}	θ_{JB}
Main Heat Transfer Mode	Convection	Conduction	Conduction
Board Type	2S2P	1S0P	2S2P
Board Thickness	1.6 mm	1.6 mm	1.6 mm
Board Dimension	If package length is <27 mm, 76.2 mm × 114.3 mm; otherwise, 101.6 mm × 114.3 mm	If package length is <27 mm, 76.2 mm × 114.3 mm; otherwise, 101.6 mm × 114.3 mm	If package length is <27 mm, 76.2 mm × 114.3 mm; otherwise, 101.6 mm × 114.3 mm
Signal Traces Thickness	0.07 mm	0.07 mm	0.07 mm
PWR/GND Traces Thickness	0.035 mm	Not applicable	0.035 mm
Thermal Vias	Use thermal vias with 0.3 mm diameter, 0.025 mm plating, and 1.2 mm pitch whenever a package has an exposed thermal pad; vias numbers are maximized to cover the area of the exposed paddle	Use thermal vias with 0.3 mm diameter, 0.025 mm plating, and 1.2 mm pitch whenever a package has an exposed thermal pad; vias numbers are maximized to cover the area of the exposed paddle	Use thermal vias with 0.3 mm diameter, 0.025 mm plating, and 1.2 mm pitch whenever a package has an exposed thermal pad; vias numbers are maximized to cover the area of the exposed paddle
Cold Plate	Not applicable	Cold plate attaches to either package top or bottom depending on the path of least thermal resistance	Fluid cooled, ring style cold plate that clamps both sides of the test board such that heat flows from package radially in the plane of the test board

ピン配置およびピン機能説明

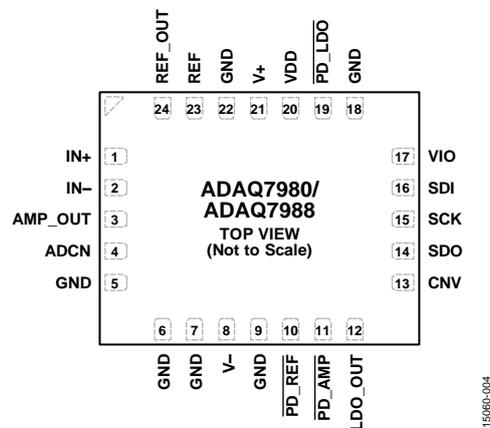


図 4. ピン配置

表 10. ピン機能の説明

Pin No.	Mnemonic	Type ¹	Description
1	IN+	AI	ADC ドライバの非反転入力。
2	IN-	AI	ADC ドライバの反転入力。
3	AMP_OUT	AI, AO	ローパス・フィルタ (LPF) の前の ADC ドライバ出力と ADC 入力。
4	ADCN	AI	アナログ入力のグラウンド・センス。このピンはアナログ・グラウンド・プレーンまたはリモート・センス・グラウンドに接続します。
5 to 7, 9, 18, 22	GND	P	グラウンド。
8	V-	P	ADC ドライバ用の負電源ライン。最良の動作をさせるには、このピンを 100 nF のコンデンサを介して GND に接続する必要があります。単電源動作の場合、このピンはグラウンドに接続します。
10	PD_REF	DI	リファレンス・バッファ用のアクティブ・ローのパワーダウン信号。パワーダウンすると、リファレンス・バッファの出力は高インピーダンス (ハイ Z) 状態になります。
11	PD_AMP	DI	ADC ドライバ用のアクティブ・ローのパワーダウン信号。パワーダウンすると、リファレンス・バッファの出力はハイ Z 状態になります。
12	LDO_OUT	P	内蔵 LDO からの 2.5 V の安定化出力電圧。GND に対し 2.2 μF の内部バイパス・コンデンサを備えています。
13	CNV	DI	変換入力。この入力には、複数の機能があります。立上がりエッジでは、変換を開始して、デバイスのインターフェース・モードをチェーン・モードまたは CS モードから選択します。CS モードでは、ローのときに SDO ピンをイネーブルします。チェーン・モードでは、CNV がハイのときにデータを読み出します。
14	SDO	DO	シリアル・データ出力。変換結果はこのピンに出力されます。SDO は SCK に同期します。
15	SCK	DI	シリアル・データ・クロック入力。デバイスを選択すると、変換結果はこのクロックによって SDO にシフト出力されます。
16	SDI	DI	シリアル・データ入力。この入力には、複数の機能があります。ADC のインターフェース・モードを次のように選択します。 CNV の立上がりエッジで SDI がローの場合、チェーン・モードが選択されます。このモードでは、SDI がデータ入力として使用され、2 つ以上の ADC の変換結果が 1 本の SDO ラインでデジチェーン接続されます。SDI のデジタル・データ・レベルは、16 SCK サイクルの遅延で SDO に出力されます。 CNV の立上がりエッジで SDI がハイの場合、CS モードが選択されます。このモードでは、SDI または CNV のどちらかをローにすると、シリアル出力信号をイネーブルすることができます。変換の完了時に SDI または CNV がローであれば、ビジー・インジケータ機能がイネーブルされます。
17	VIO	P	入出力インターフェース・デジタル電源。VIO は、設計上はホスト・インターフェースと同じ電源 (1.8 V、2.5 V、3 V、または 5 V) です。
19	PD_LDO	DI	LDO 用のアクティブ・ローのパワーダウン信号。アンプがパワーダウンすると、LDO 出力はハイ Z 状態になります。イネーブル状態を継続するか、自動スタートアップにするときは、PD_LDO を VDD ピン (ピン 20) に接続します。
20	VDD	P	レギュレータの入力電源。2.2 μF のコンデンサで VDD を GND にバイパスします。

Pin No.	Mnemonic	Type ¹	Description
21	V+	P	ADC ドライバとリファレンス・バッファ用の正電源ライン。リファレンス・バッファのヘッドルームが維持されているときは、このピンを VDD に接続することができます。最良の動作をさせるには、このピンを 100 nF のコンデンサを介して GND に接続する必要があります。
23	REF	AI	外部リファレンス信号。REF は内蔵リファレンス・バッファの非反転入力です。外部のリファレンス・ソースをこのピンに接続します。リファレンス・ソースから生じるノイズを帯域制限するために、リファレンス・ソースとこのピンの上にローパス・フィルタが必要になる場合があります。
24	REF_OUT	AO	リファレンス・バッファ出力。このピンにより、ADC に供給されるバッファ付きリファレンス信号にアクセスできます。

¹ AI はアナログ入力、AO はアナログ出力、P は電源、DI はデジタル入力、DO はデジタル出力です。

代表的な性能特性

特に指定のない限り、 $V_{DD} = 3.5\text{ V} \sim 10\text{ V}$ 、 $V_{+} = 6.3\text{ V} \sim 7.7\text{ V}$ 、 $V_{-} = -1.0\text{ V} \sim -2.5\text{ V}$ 、 $V_{IO} = 1.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{REF} = 5\text{ V}$ 、 $T_A = 25\text{ }^{\circ}\text{C}$ 、ユニティ・ゲイン・バッファ構成の ADC ドライバ、 $f_{SAMPLE} = 1\text{ MSPS}$ (ADAQ7980)、 $f_{SAMPLE} = 500\text{ kSPS}$ (ADAQ7988)、 $f_{IN} = 10\text{ kHz}$ 。

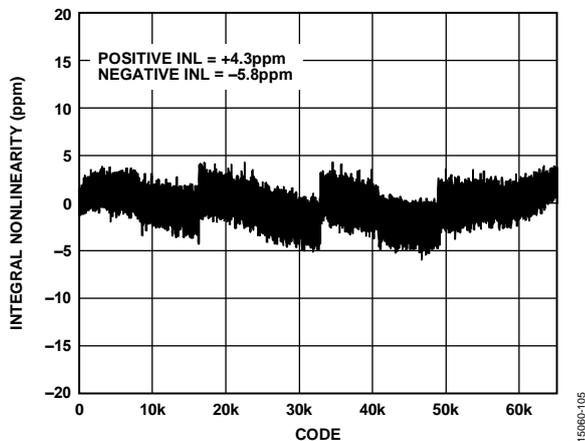


図 5. 積分非直線性とコードの関係、REF = 5 V

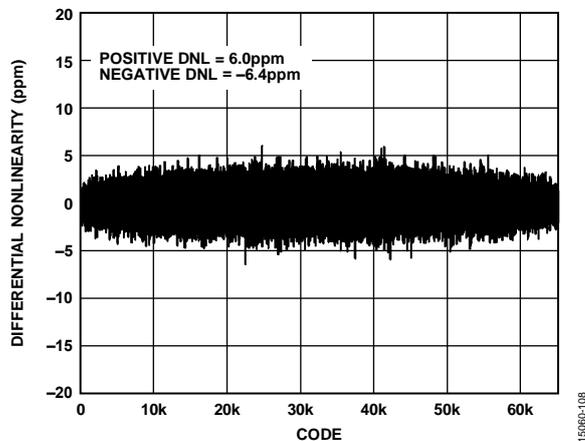


図 8. 微分非直線性とコードの関係、REF = 5 V

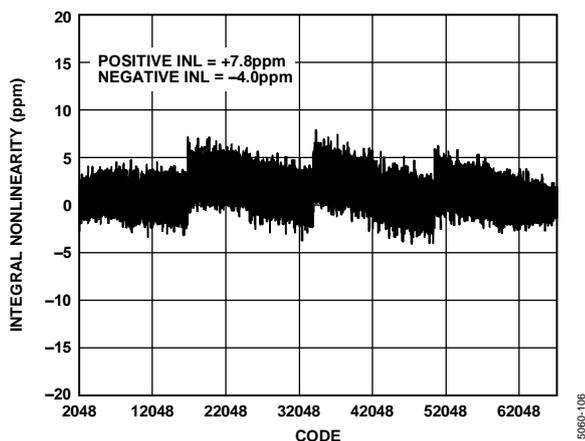


図 6. 積分非直線性とコードの関係、 $V_{+} = V_{DD} = 5\text{ V}$ 、 $V_{-} = 0\text{ V}$ 、REF = 3.3 V

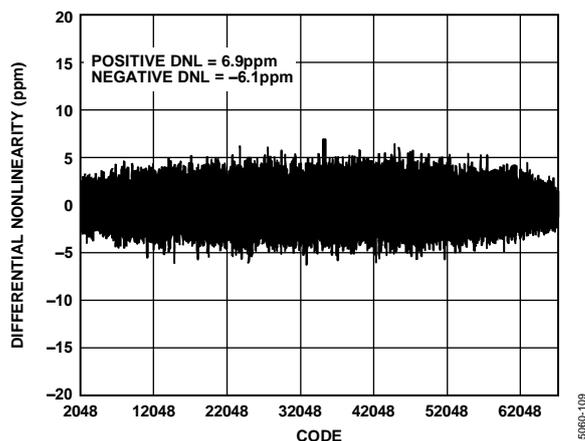


図 9. 微分非直線性とコードの関係、 $V_{+} = V_{DD} = 5\text{ V}$ 、 $V_{-} = 0\text{ V}$ 、REF = 3.3 V

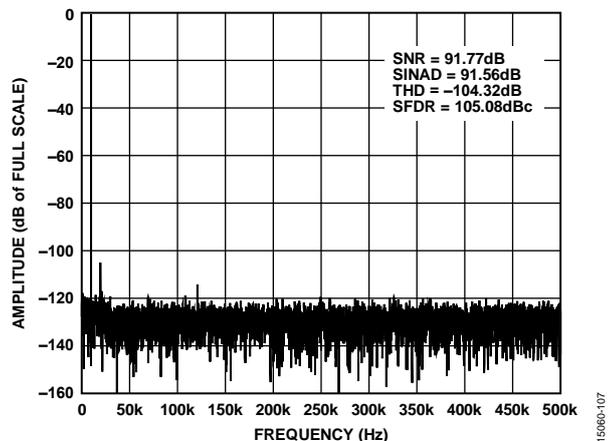


図 7. FFT、REF = 5 V

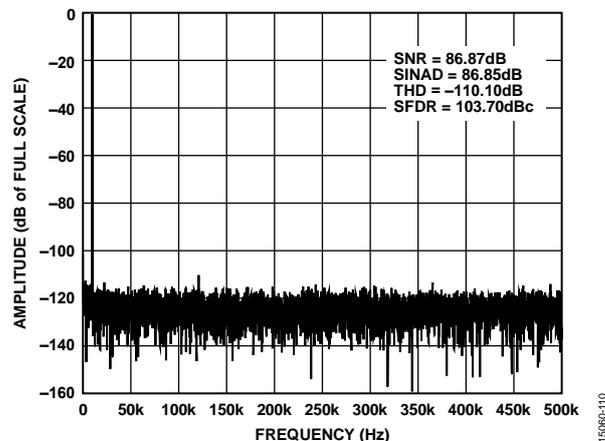


図 10. FFT、REF = 2.5 V

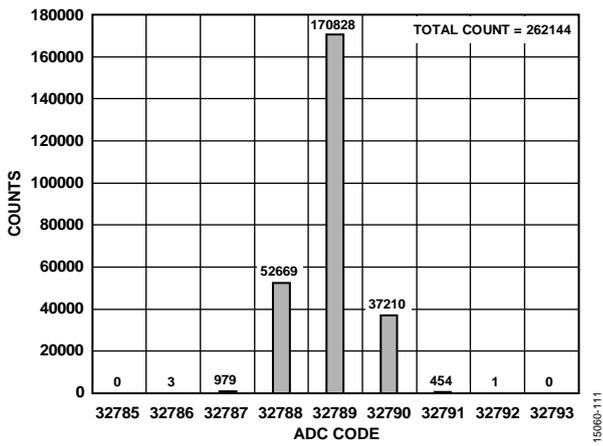


図 11. コード中心での DC 入力のヒストグラム、REF = 5 V

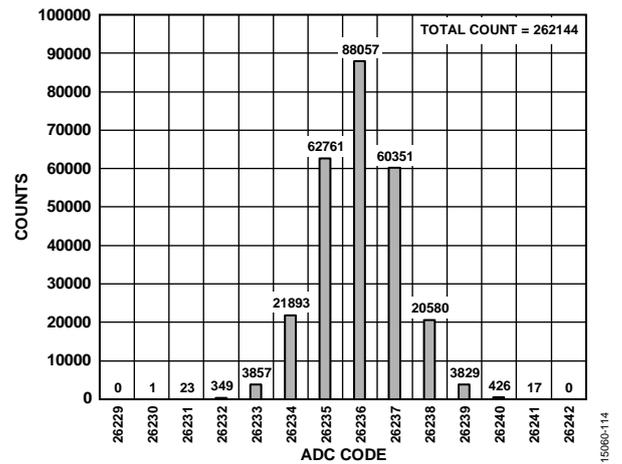


図 14. コード中心での DC 入力のヒストグラム、REF = 2.5 V

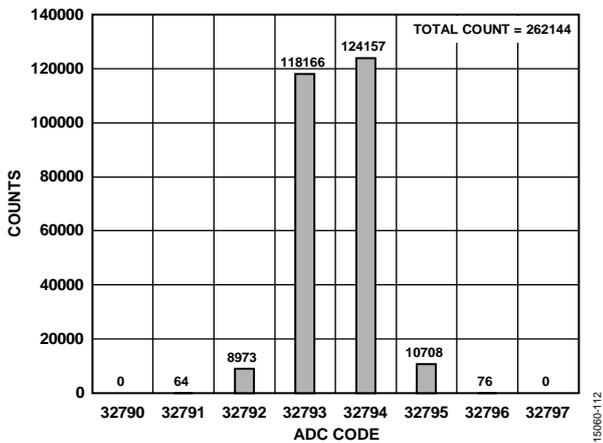


図 12. コード遷移での DC 入力のヒストグラム、REF = 5 V

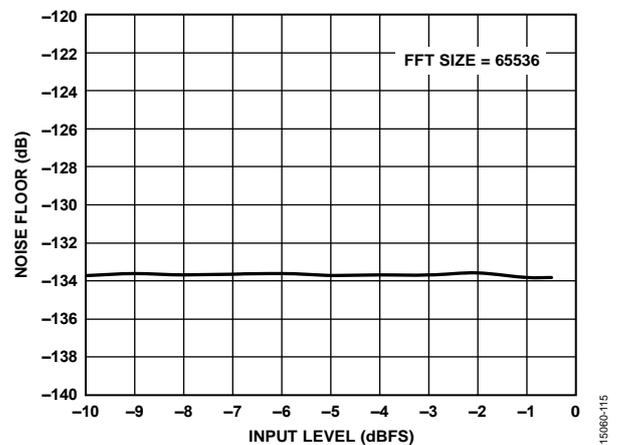


図 15. ノイズ・フロアと入力レベルの関係

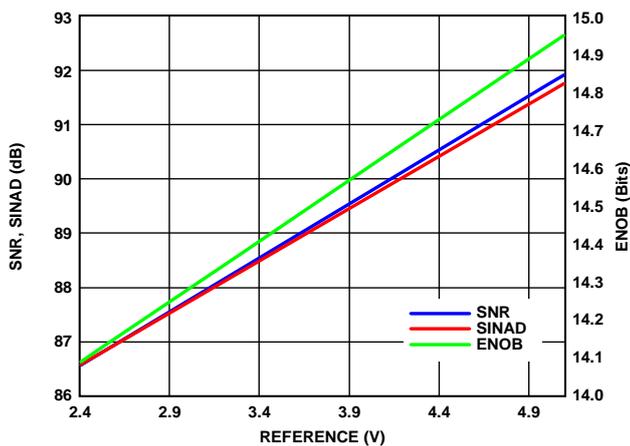


図 13. SNR、SINAD、ENOB とリファレンス電圧の関係

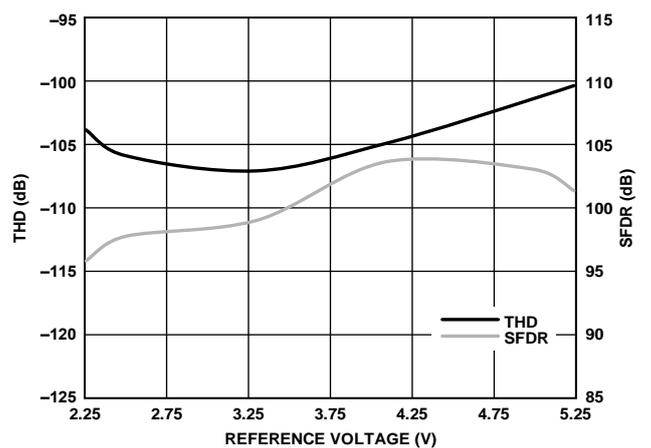


図 16. THD、SFDR とリファレンス電圧の関係

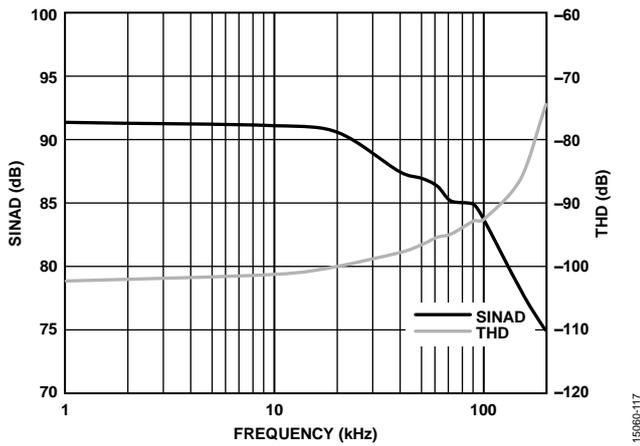


図 17. SINAD、THD と入力周波数の関係

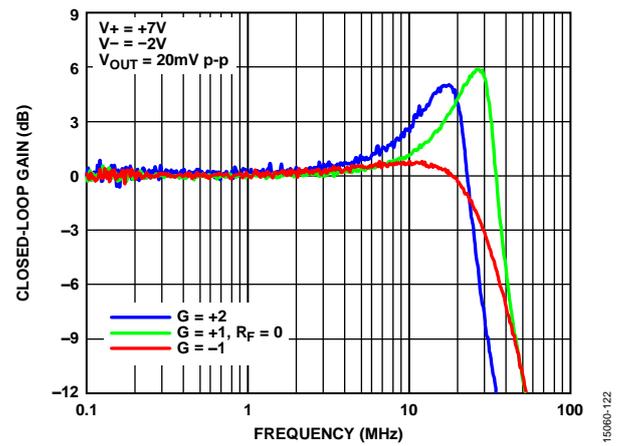


図 20. ADC ドライバの各種ゲインでの小信号周波数応答

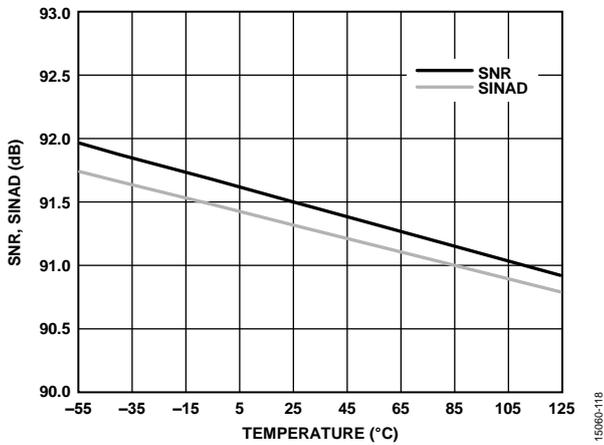


図 18. SNR、SINAD の温度特性

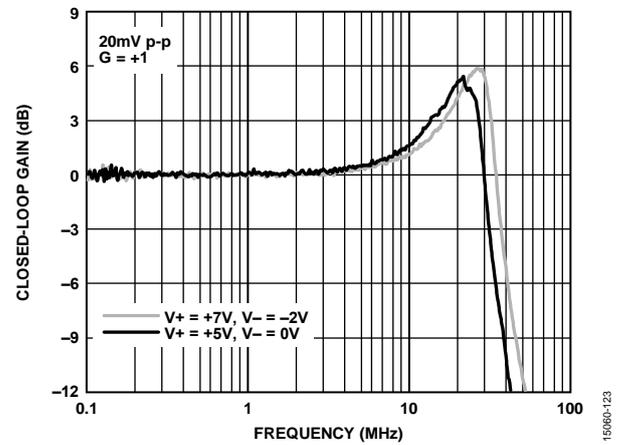


図 21. ADC ドライバの各種電源電圧での小信号周波数応答

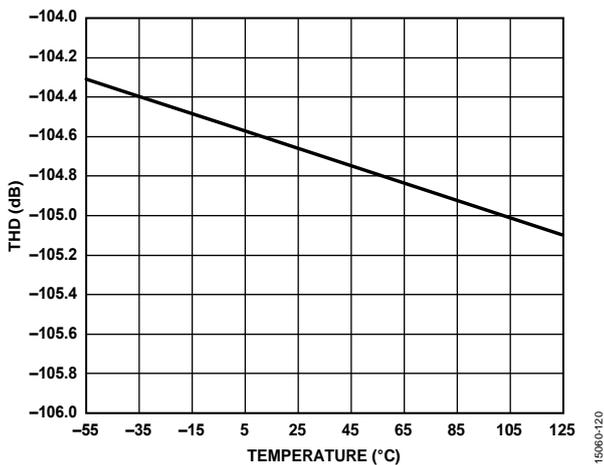


図 19. THD の温度特性

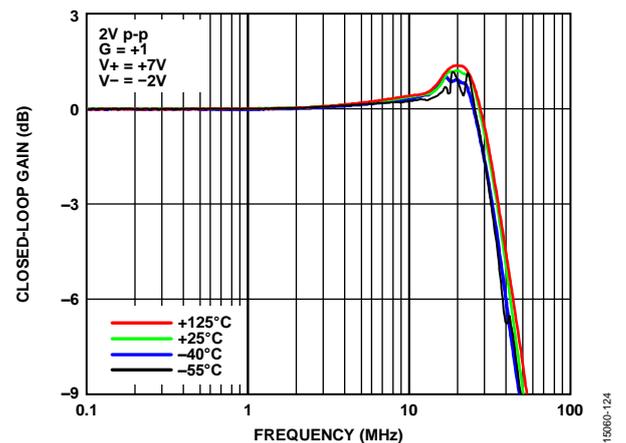


図 22. 各種温度での大信号周波数応答

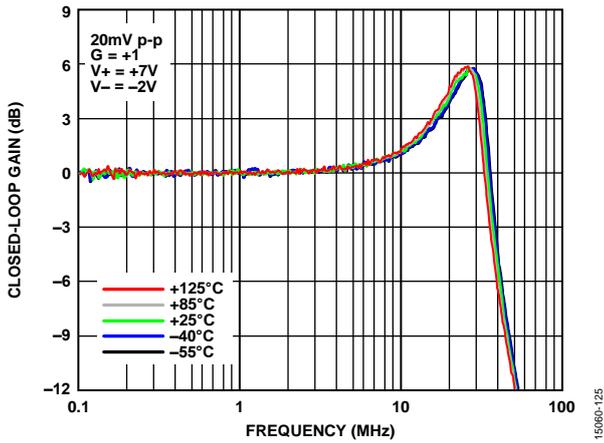


図 23. ADC ドライバの各種温度での小信号周波数応答

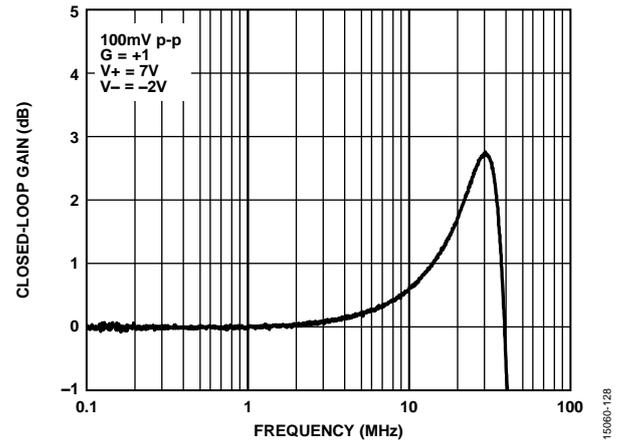


図 26. ADC ドライバの小信号 0.1 dB 帯域幅

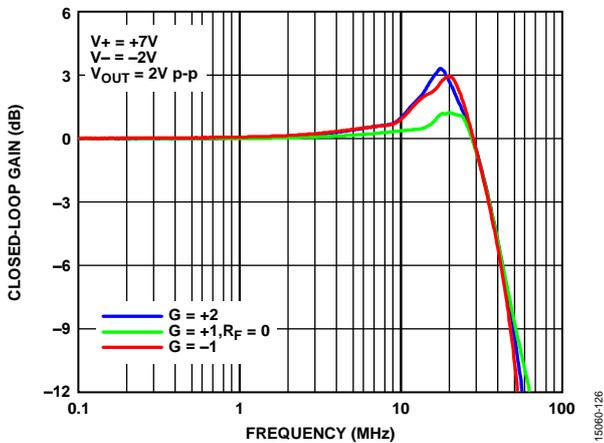


図 24. ADC ドライバの各種ゲインでの大信号周波数応答

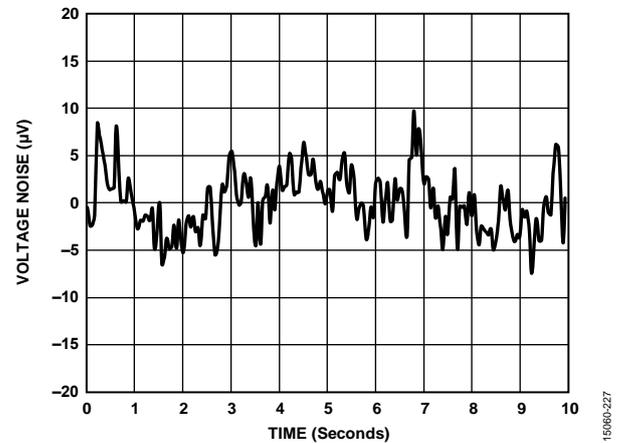


図 27. サブシステムの 0.1 Hz ~ 10 Hz の電圧ノイズ

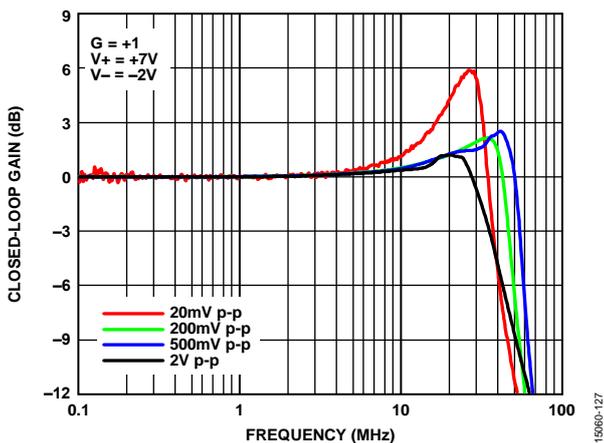


図 25. 各種電源電圧での周波数応答

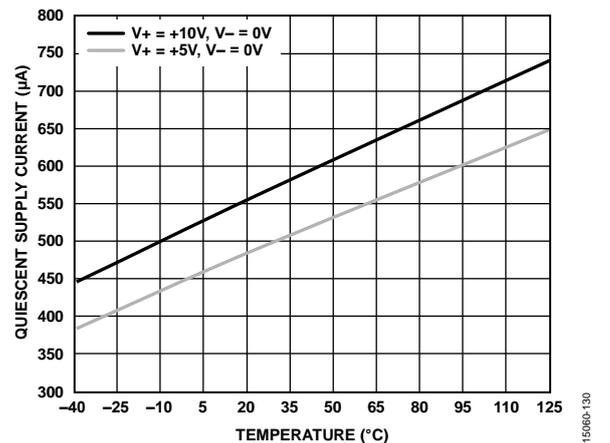


図 28. ADC ドライバおよびリファレンス・バッファの静止電源電流の各種電源での温度特性

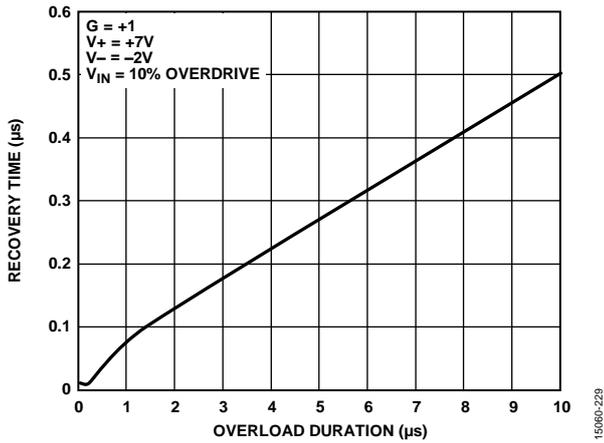


図 29. リカバリ時間と過負荷期間の関係

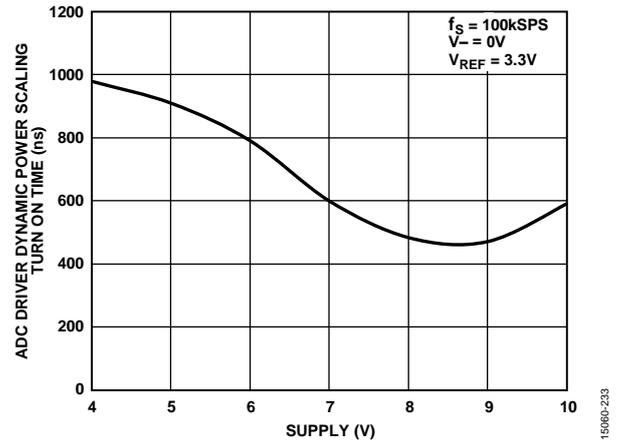


図 32. ADC ドライバのダイナミック消費電力スケール・ターンオン時間と電源電圧の関係

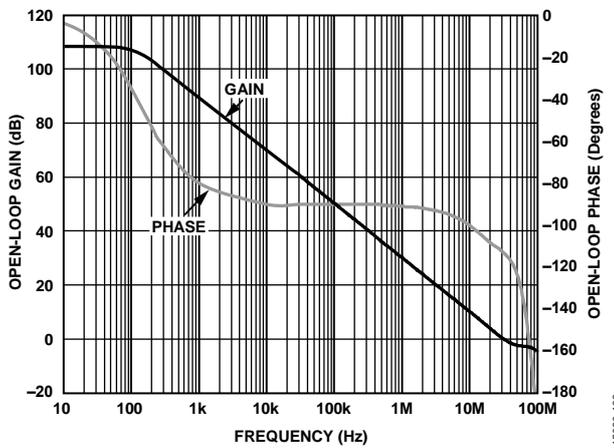


図 30. ADC ドライバのオープンループ・ゲインと位相の周波数特性

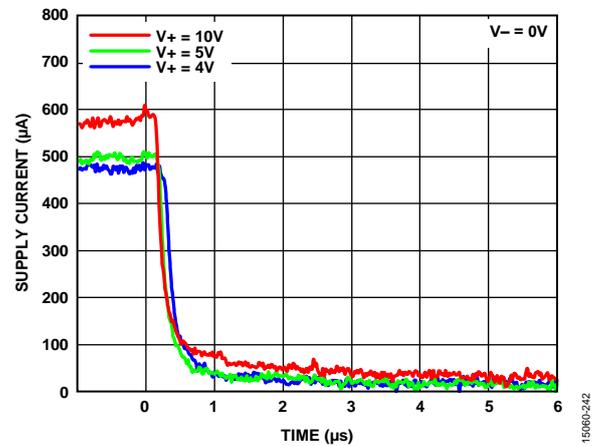


図 33. ADC ドライバおよびリファレンス・バッファの各種電源でのターンオフ応答時間と消費電流の関係

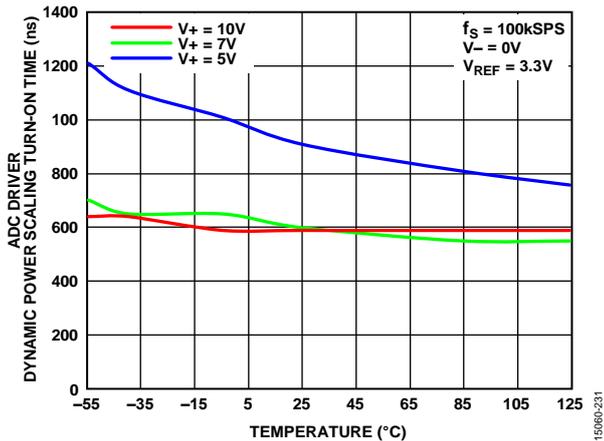


図 31. ADC ドライバの各種電源電圧でのダイナミック・パワー・スケール・ターンの温度特性

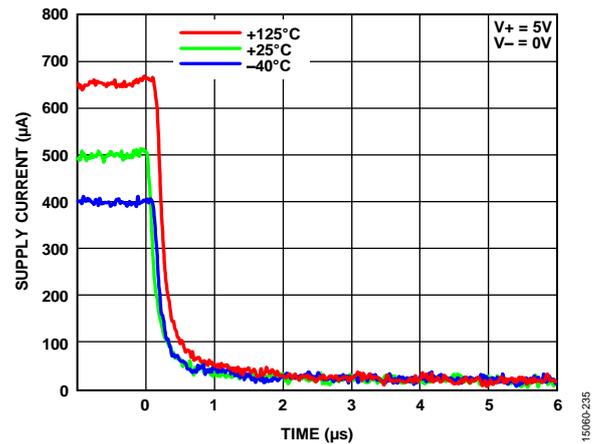


図 34. ADC ドライバおよびリファレンス・バッファの各種電源でのターンオフ応答時間と電源電流の関係

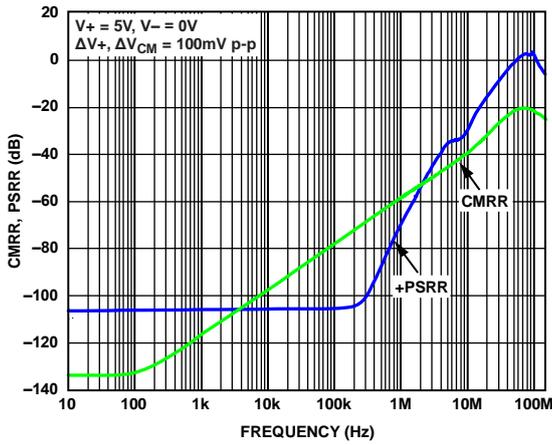


図 35. CMRR と PSRR の周波数特性

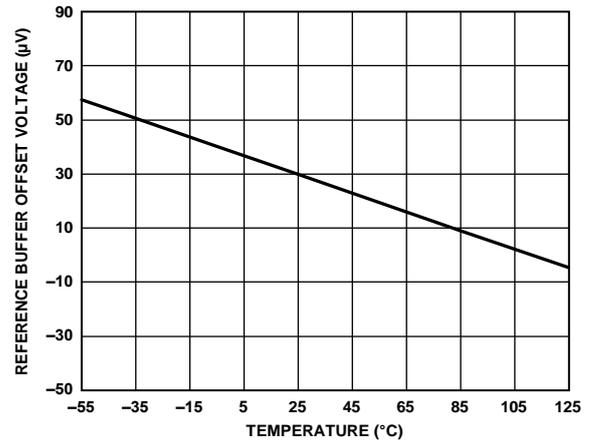


図 38. リファレンス・バッファの入力オフセット電圧の温度特性

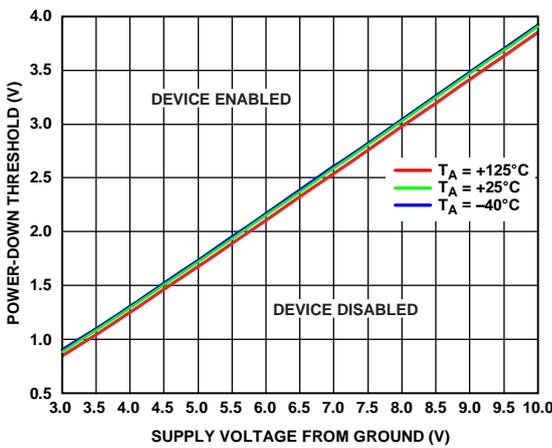


図 36. ADC ドライバおよびリファレンス・バッファのパワーダウン閾値とグラウンドからの電源電圧の関係（各種温度）

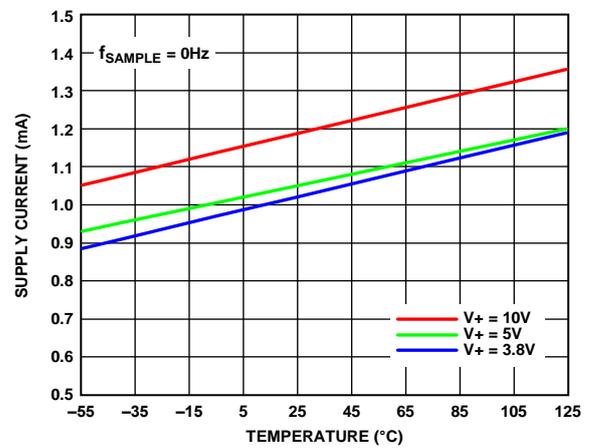


図 39. ADC ドライバおよびリファレンス・バッファの各種電源での静的電源電流の温度特性

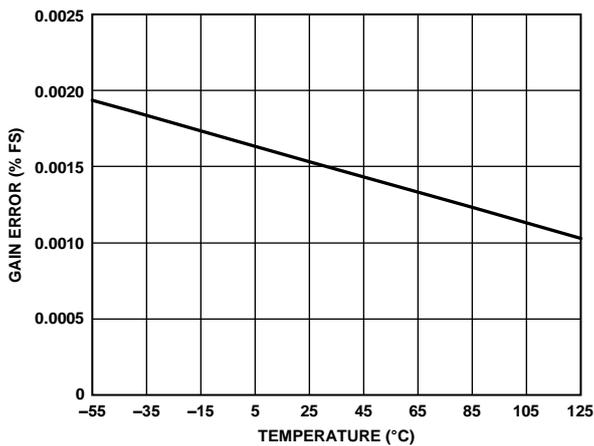


図 37. ゲイン誤差の温度特性

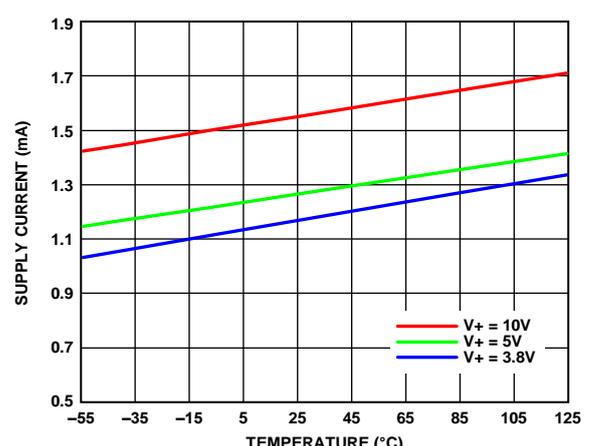


図 40. ADC ドライバおよびリファレンス・バッファの各種電源での動的電源電流の温度特性

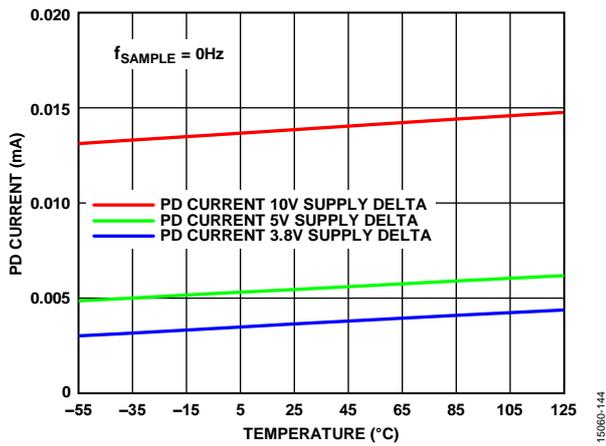


図 41. ADC ドライバとリファレンス・バッファの合計パワーダウン (PD) 電流の温度特性

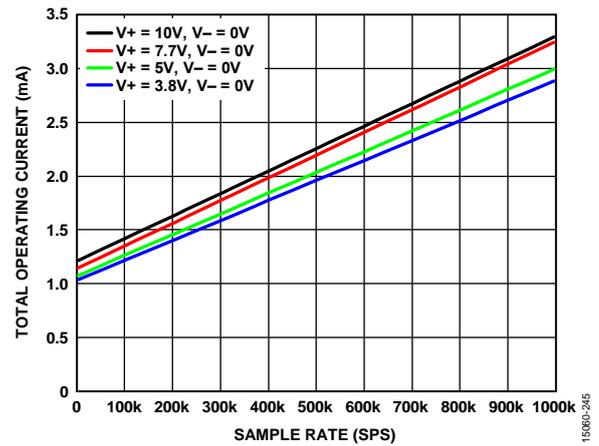


図 44. 各種電源での総動作電流とサンプル・レートの関係

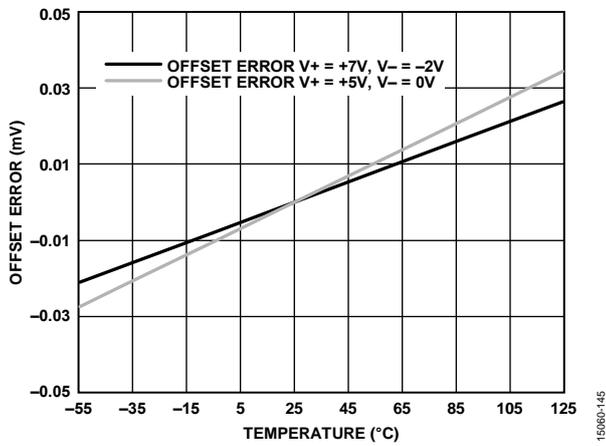


図 42. オフセット誤差の温度特性

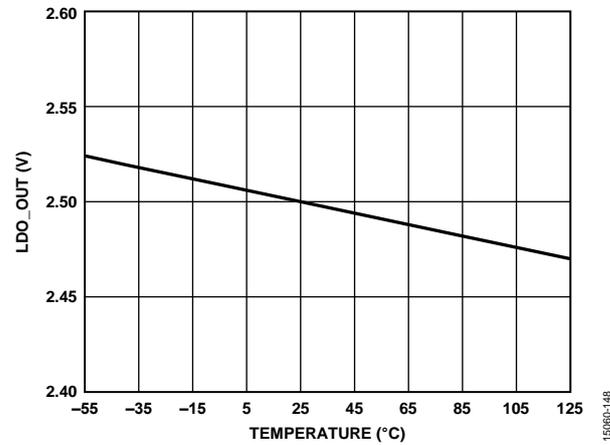


図 45. 出力電圧 (LDO_OUT) の温度特性

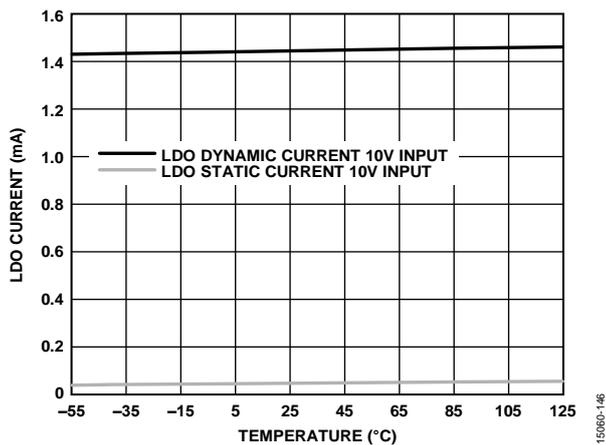


図 43. 各種電源での LDO 電流の温度特性

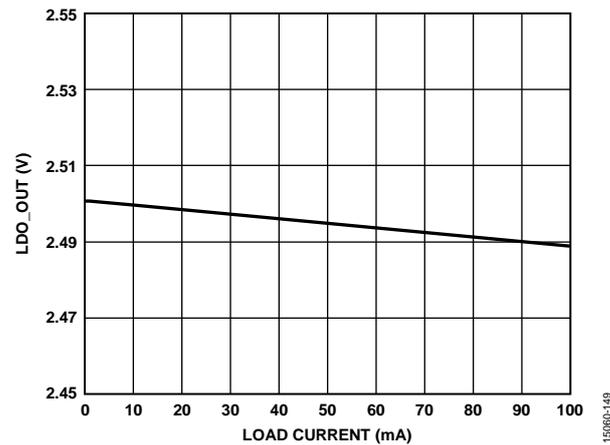


図 46. 出力電圧 (LDO_OUT) と負荷電流 (I_{LOAD}) の関係

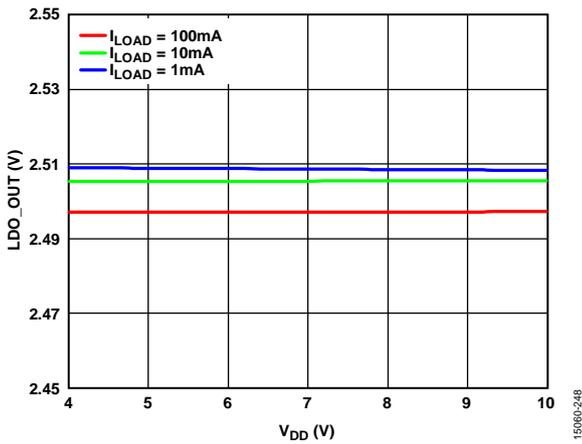


図 47. 出力電圧 (LDO_OUT) と V_{DD} の関係

(LDO_OUT = 2.5V)

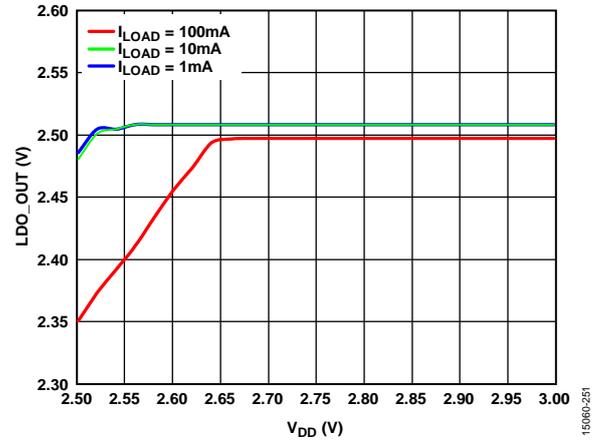


図 50. LDO_OUT とドロップアウトの V_{DD} の関係 (LDO_OUT = 2.5V)

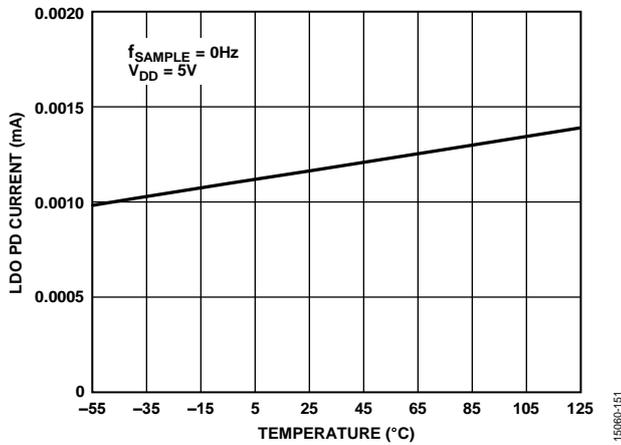


図 48. LDO PD 電流の温度特性

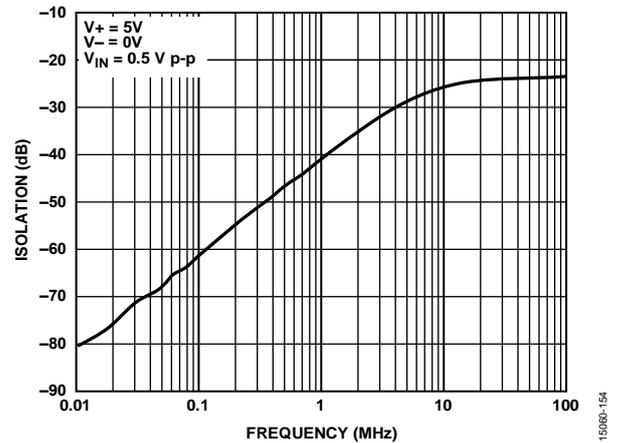


図 51. フォワード/オフ・アイソレーションの周波数特性

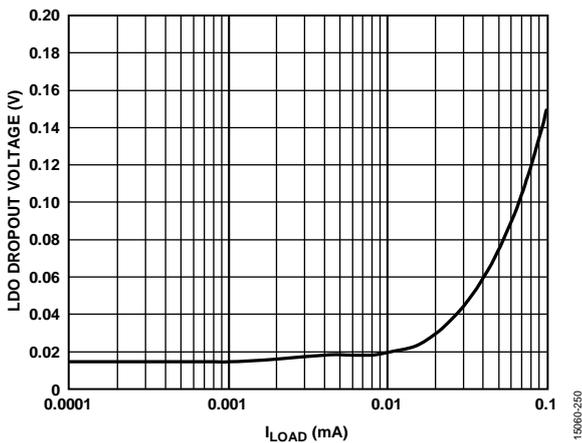


図 49. LDO ドロップアウト電圧と負荷電流 (I_{LOAD}) の関係

用語の定義

積分非直線性誤差 (INL)

INL は、負のフルスケールと正のフルスケールを結ぶ直線と個々のコードとの偏差です。最初のコード遷移より $\frac{1}{2}$ LSB だけ手前の点を負のフルスケールとして使います。正のフルスケールは、最後のコード遷移を $1\frac{1}{2}$ LSB 上回ったレベルです。偏差は各々のコードの中央から真の直線までの差として測定されます。

微分非直線性誤差 (DNL)

理想的な ADC では、コード遷移は 1 LSB だけ離れた位置で発生します。DNL とは、この理想値からの最大偏差のことです。これは多くの場合、ノー・ミス・コードを保証する分解能として仕様規定されます。

ゼロ誤差

最初の遷移は、アナログ・グラウンドより $\frac{1}{2}$ LSB 高いレベル（範囲が 0 V ~ 5 V の場合 38.1 μ V）で見られるものです。オフセット誤差は、そのポイントからの実際の遷移の偏差をいいます。

ゲイン誤差

最後の遷移（111 ...10 から 111 ...11）は、公称フルスケールより $1\frac{1}{2}$ LSB 低いアナログ電圧（範囲が 0 V ~ 5 V の場合 4.999886 V）で見られるものです。ゲイン誤差は、オフセット調整後の理想レベルから実際の最終遷移レベルとの偏差をいいます。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、入力信号の rms 振幅とピーク・スプリアス信号との差です（単位はデシベル (dB)）。

有効ビット数 (ENOB)

ENOB は、サイン波入力による分解能の測定値です。これは SINAD と次式のような関係があります。

$$ENOB = (SINAD_{dB} - 1.76) / 6.02$$

ENOB はビットで表されます。

ノイズ・フリー・コードの分解能

ノイズ・フリー・コードの分解能は、個別のコードを明確に分解できないビット数です。次のように計算します。

$$\text{ノイズ・フリー・コードの分解能} = \log_2 (2^N / \text{ピーク to ピーク・ノイズ})$$

ノイズ・フリー・コードの分解能はビットで表されます。

全高調波歪み (THD)

THD は最初の 5 つの高調波成分の rms 和とフルスケール入力信号の rms 値との比で、デシベル (dB) で表されます。

ダイナミック・レンジ

ダイナミック・レンジは、入力を短絡して測定した合計 rms ノイズに対するフルスケールの rms 値の比率です。ダイナミック・レンジの値はデシベル (dB) で表します。すべてのノイズ・ソースと DNL アーティファクトが含まれるように、-60 dBFS の信号で測定します。

S/N 比 (SNR)

SNR は、ナイキスト周波数を下回るすべてのスペクトル成分（高調波と DC を除く）の rms 総和に対する実際の入力信号の rms 値の比率です。SNR 値はデシベル (dB) で表されます。

信号/ノイズ + 歪み (SINAD) 比

SINAD は実際の入力信号の rms 値と、高調波を含み直流を除いたナイキスト周波数以下のその他のすべてのスペクトル成分の rms 和との比です。SINAD 値はデシベル (dB) で表されます。

アパーチャ遅延

アパーチャ遅延はアキュイジション性能の尺度です。これは、CNV 入力の立上がりエッジから、入力信号が変換のために保持されるまでの時間です。

過渡応答

過渡応答は、フルスケール・ステップ関数が与えられてから、その入力値を ADC が正確に取得するまでに必要な時間です。

動作原理

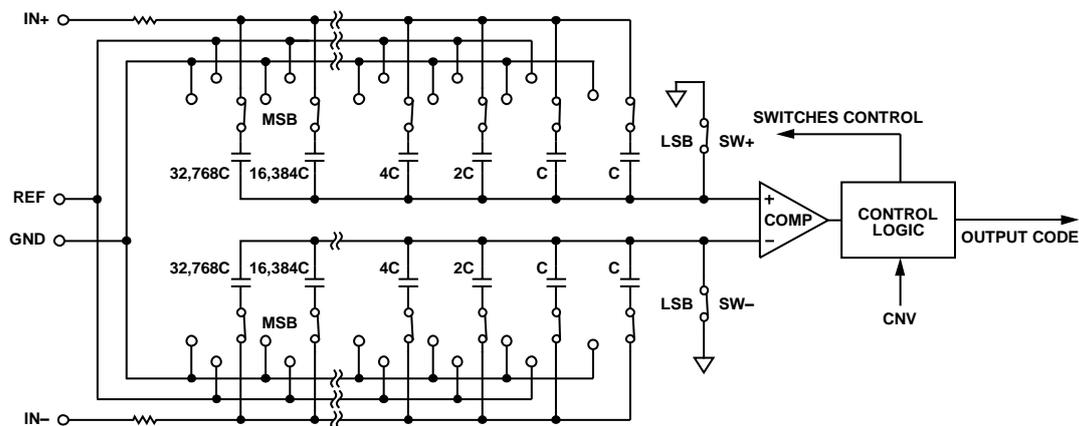


図 52. ADC の簡略化した回路図

回路説明

ADAQ7980/ADAQ7988 システム・イン・パッケージ (SiP) は、SAR アーキテクチャを使用した高速、低消費電力、高精度のデータ・アキュイジション (DAQ) 信号チェーンです。この DAQ サブシステムには、高帯域幅、A/D コンバータ (ADC) ドライバ、低ノイズのリファレンス・バッファ、低ドロップアウト・レギュレータ (LDO)、および 16 ビット SAR ADC が含まれるほか、最適性能を発揮するのに必要とされる重要な受動部品も含まれています。回路のすべての能動部品は、アナログ・デバイセズ的设计によるものです。

ADAQ7980/ADAQ7988 は、それぞれ 1,000,000 サンプル/秒 (1 MSPS) と 500,000 サンプル/秒 (500 kSPS) の変換が可能です。ADC は変換をしていない間はパワーダウンするので、消費電力はサンプル・レートに比例します。ADC ドライバとリファレンス・バッファはダイナミック・パワー・スケールが可能で、これらの消費電力はサンプル・レートに比例します。例えば、1 kSPS で動作させた場合、ADAQ7980/ADAQ7988 の消費電力は通常、バッテリー駆動アプリケーションとして理想的な 2.9 mW です。

ADAQ7980/ADAQ7988 は従来の信号チェーンに比べ、フォームファクタを大幅に縮小しながら幅広いアプリケーションに柔軟に対応しています。ADC ドライバの 3 つの信号ピンをすべて使用可能で、さまざまなアンプ構成にすることができます。これらのデバイスは、ドライバと ADC の間に LPF を搭載して信号チェーンの帯域幅を制御し、部品数を削減しています。

ADAQ7980/ADAQ7988 にはパイプライン遅延やレイテンシがないため、マルチプレクサ・アプリケーションに最適です。

ADAQ7980/ADAQ7988 はリファレンス・バッファとそれに必要なデカップリング・コンデンサを内蔵しています。このデカップリング・コンデンサを設けることが、最高の変換性能を実現するために不可欠です。このコンデンサをサブシステムに含めることで、この性能上の課題を克服しています。リファレンス・バッファはユニティ・ゲインとして構成されています。リファレンス・バッファを内蔵するだけで、目的のアナログ入力範囲に一致するようにリファレンス・バッファの入力電圧を柔軟に選択することができます。

ADAQ7980/ADAQ7988 は、1.8 V ~ 5 V のデジタル・ロジック・ファミリーのすべての製品に接続できます。小型の 24 ピン LGA パッケージに収められ、スペースを大幅に節約しており、柔軟な構成が可能です。

コンバータの動作

ADAQ7980/ADAQ7988 は、電荷再配分式 D/A コンバータ

(DAC) を採用した逐次比較型 ADC を内蔵しています。図 52 に、この ADC の簡略化した回路図を示します。容量性 DAC は、16 個のバイナリ重み付けコンデンサからなる 2 つの同一アレイで構成されており、アレイは 2 つのコンパレータ入力に接続されています。

アキュイジション・フェーズ中、コンパレータの入力に接続されたアレイの端子は、内部スイッチ (SW+ と SW-) 経由で GND に接続されています。独立スイッチはすべて、アナログ入力に接続されています。このため、コンデンサのアレイをサンプリング・コンデンサとして使用することで、ADC 入力のアナログ信号を取得できます。アキュイジション・フェーズが完了し、CNV 入力が高になると、変換フェーズが開始されます。変換フェーズが開始すると、SW+ と SW- が最初にオープンになります。次に、2 つのコンデンサ・アレイが ADC 入力から切断され、GND 入力に接続されます。このため、アキュイジション・フェーズの最後に入力される ADC の入力ピン間の差動電圧がコンパレータの入力に印加され、コンパレータが不均衡状態になります。GND と REF 間のコンデンサ・アレイの各要素を切り替えることで、コンパレータの入力値はバイナリ重み付けされた電圧ステップ ($V_{REF}/2$, $V_{REF}/4$, ..., $V_{REF}/65,536$) によって変化します。コントロール・ロジックはこれらのスイッチを切り替え、MSB からコンパレータを均衡状態に戻します。このプロセスが完了すると、デバイスはアキュイジション・フェーズに戻り、コントロール・ロジックが ADC 出力コードとビジー信号インジケータを生成して、変換が完了したことを通知します。

ADAQ7980/ADAQ7988 には変換クロックが内蔵されているので、変換プロセスでシリアル・クロック SCK は必要ありません。

伝達関数

ADAQ7980/ADAQ7988 の理想伝達特性を図 53 と表 11 に示します。

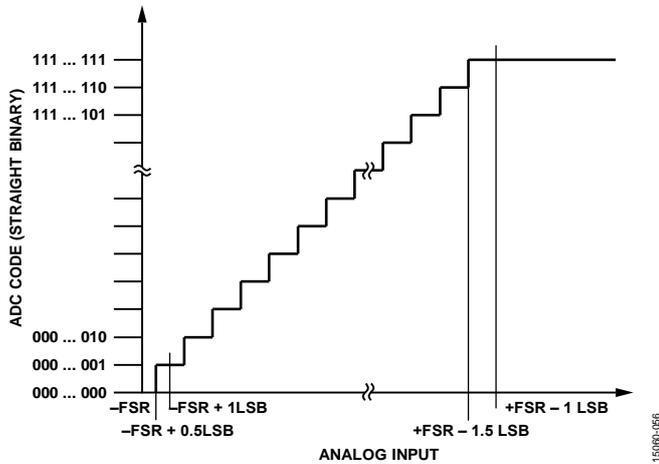


図 53. ADC の理想伝達関数

表 11. 出力コードと理想入力電圧

Description	Analog Input ¹	
	$V_{REF} = 5\text{ V}$	Digital Output Code (Hex)
FSR - 1 LSB	4.999924 V	0xFFFF ²
Midscale + 1 LSB	2.500076 V	0x8001
Midscale	2.5 V	0x8000
Midscale - 1 LSB	2.499924 V	0x7FFF
-FSR + 1 LSB	76.3 μV	0x0001
-FSR	0 V	0x0000 ³

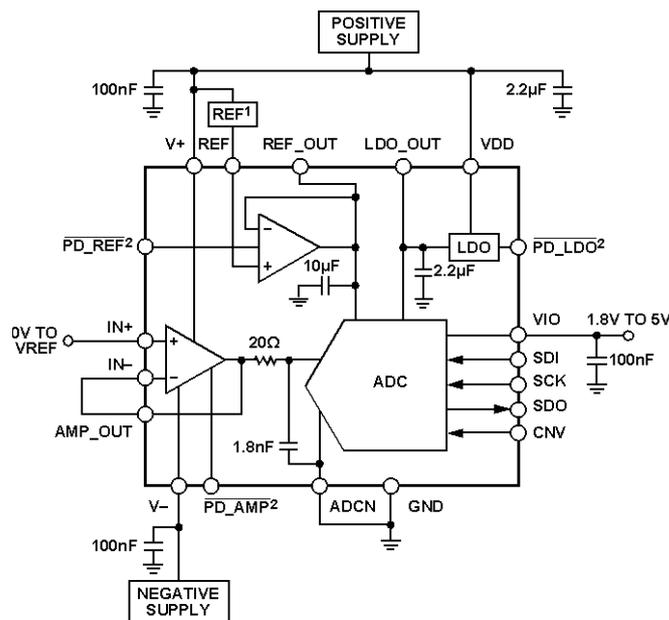
¹ ADAQ7980/ADAQ7988 ADC ドライバはユニティ・ゲイン・バッファ構成。

² これは、オーバーレンジ・アナログ入力のコードでもあります (IN+ -IN- の値が $V_{REF} - V_{GND}$ の値を上回っている)。

³ これは、アンダーレンジ・アナログ入力のコードでもあります (IN+ -IN- の値が V_{GND} を下回っている)。

代表的な接続図

複数の電源を使用できる場合に推奨する ADAQ7980/ADAQ7988 の接続方法の例を図 54 に示します。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
²POWER DOWN PINS CONNECTED TO EITHER DIGITAL HOST OR POSITIVE SUPPLY.

図 54. 複数の電源を使用する場合の代表的なアプリケーション図

ADC ドライバ入力

ADAQ7980/ADAQ7988 の ADC ドライバは、 $G = +1$ および $VAMP_OUT = 2V$ ステップで、 $-3dB$ 帯域幅が 35 MHz でスルー・レートが $110\text{ V}/\mu\text{s}$ です。また、入力電圧ノイズは $5.9\text{ nV}/\sqrt{\text{Hz}}$ となっています。ドライバは $3.8\text{ V} \sim 10\text{ V}$ の電源電圧範囲で動作し、差動電圧 5 V のときの消費電源電流はわずか $500\text{ }\mu\text{A}$ です。電源範囲のローエンドでの許容変動は 4 V 電源電圧の -5% です。アンプはユニティ・ゲイン安定であり、その入力構造により $1/f$ コーナーの入力電圧ノイズがきわめて低くなっています。ADC ドライバには、スルー強化アーキテクチャが採用されています (図 55 参照)。スルー強化回路は、2つの入力間の絶対差を検出します。その後、入力段のテール電流 I_{TAIL} を変調して、スルー・レートをブーストします。このアーキテクチャにより、低ノイズを維持した状態で、高いスルー・レート、高速セトリング時間、低静止電流を実現できます。3つのアンプ信号ピンすべてにアクセスできるので、目的のアプリケーションや構成に柔軟に対応可能です。

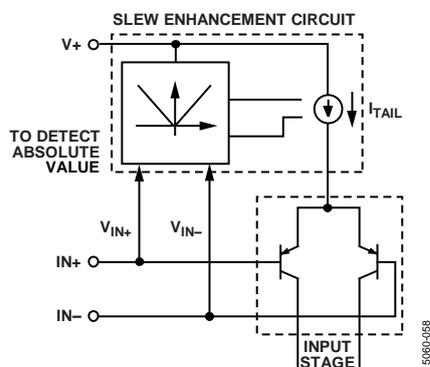


図 55. ADC ドライバのスルー強化回路

入力保護

このアンプは、ESD から完全に保護されており、性能を低下させずに 4000 V の人体モデル ESD、および 1250 V の電界誘起帯電デバイス・モデル ESD に耐えることができます。高精度入力は、入力デバイス・ペアをつなぐ、電源とダイオード・クランプ間の ESD 回路で保護されています (図 56 を参照)。

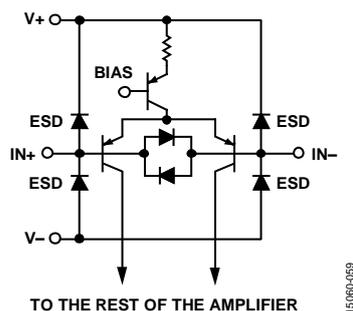


図 56. ADC ドライバの入力段と保護ダイオード

約 1.2 V (室温時) または 0.8 V ($125\text{ }^\circ\text{C}$ 時) を超える差動電圧でダイオード・クランプの導通が開始します。入力ピン間で大きな差動電圧を維持する必要がある場合は、入力クランプを流れる電流を 10 mA 未満に制限する必要があります。予想される差動過電圧に適したサイズの直列入力抵抗を接続することで、必要な保護を実現できます。

正電源より 0.7 V 以上高い入力電圧と負電源より 0.7 V 以上低い入力電圧で、ESD クランプが導通を開始します。過電圧状態が予想される場合は、入力電流を 10 mA 以下に制限する必要があります。

ADC ドライバ入力に加え、ADC 入力にも保護機能が備わっています。図 1 に示すように、ADAQ7980/ADAQ7988 は ADC ドライバと ADC の間に RC フィルタを備えています。このローパス・フィルタの直列抵抗は、過電圧状態で電流を制限する働きをします。リファレンス・バッファの電流シンク能力は、過電圧の発生によって ADC 入力保護ダイオードが導通したときに、リファレンス・ノードを所定の値に保持する働きをします。

ADAQ7980/ADAQ7988 のアナログ入力等価回路を図 57 に示します。

D1 と D2 の 2 個のダイオードにより、ADC 入力の ESD 保護を実現しています。ADC のアナログ入力信号がリファレンス電圧を 0.3 V 以上超える、または、グラウンドより 0.3 V 以上低下することがないように注意します。ダイオードが順方向バイアスされて電流が流れ始めてしまうためです。これらのダイオードは、ADC ドライバの短絡電流以上の順方向バイアス電流に対処できます。例えば、このような状態は、ADC ドライバの正電源電圧がリファレンス値より大きい場合に発生する可能性があります。そのような場合 (例えば、入力バッファが短絡している場合)、電流制限を用いてデバイスを保護してください。

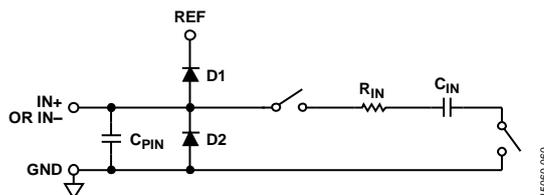


図 57. ADC のアナログ入力の等価回路

このアナログ入力の構成により、ADC の入力ピン間で真の差動信号のサンプリングが可能になります。これらの差動入力を使用すると、両方の入力に共通する信号が除去されます。

ノイズに関する考慮事項と信号のセトリング

ADAQ7980/ADAQ7988 の ADC ドライバは、オンボードの高分解能 SAR ADC の駆動に最適です。ドライバの低入力電圧ノイズおよびレール to レールの出力段により、高出力レベルでの歪みを最小限に抑えることができます。 $500\text{ }\mu\text{A}$ と低消費電力のため、アンプは低消費電力の SAR ADC に適合します。さらに、ADC ドライバは単電源構成をサポートしており、入力共通モード電圧範囲は、負電源電圧から正電源よりも 1.3 V 低い電圧までです。

代表的なゲイン設定での主なノイズ成分を図 58 に示します。総出力ノイズ (v_{n_out}) は、すべてのノイズ成分の 2 乗和平方根になります。

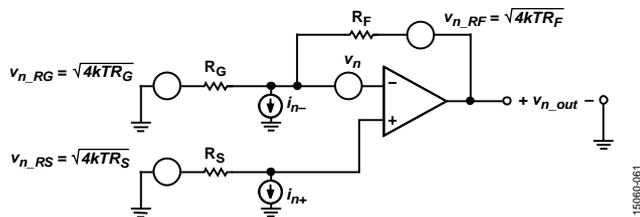


図 58. 代表的な接続でのノイズ源

ADC ドライバの出力ノイズのスペクトル密度は次式で計算します。

$$v_{n_out} = \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left[4kTR_S + i_{n+}^2 R_S^2 + v_n^2\right] + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + i_{n-}^2 R_F^2}$$

ここで k はボルツマン定数。 T は絶対温度 (ケルビン)。 R_F と R_G は帰還ネットワークの抵抗 (図 58 参照)。 R_S はソース抵抗 (図 58 を参照)。

i_{n+} と i_{n-} はアンプ入力電流ノイズのスペクトル密度 ($\text{pA}/\sqrt{\text{Hz}}$)。 v_n はアンプ入力電圧ノイズのスペクトル密度 ($\text{nV}/\sqrt{\text{Hz}}$) です。

この計算の詳細については、MT-049 および MT-050 を参照してください。

ソース抵抗ノイズ、アンプの入力電圧ノイズ (v_n)、アンプの入力電流ノイズによる電圧ノイズ ($i_{n+} \times R_S$) はすべて、ノイズ・ゲインの項 ($1 + R_F/R_G$) に依存します。

図 59 に、アンプによる合計入力換算 (RTI) ノイズとソース抵抗の関係を示します。入力電圧ノイズ $5.9 \text{ nV}/\sqrt{\text{Hz}}$ および入力電流ノイズ $0.6 \text{ pA}/\sqrt{\text{Hz}}$ の場合、約 $2.6 \text{ k}\Omega \sim 47 \text{ k}\Omega$ のソース抵抗でのアンプのノイズ成分は比較的小さいことに注目してください。

アナログ・デバイゼスのシリコン・ゲルマニウム (SiGe) バイポーラ・プロセスによって、低い電圧ノイズが実現しています。このノイズは、電源電流が数百マイクロアンペアの範囲の同様の低消費電力アンプと比較して、大幅に改善されています。

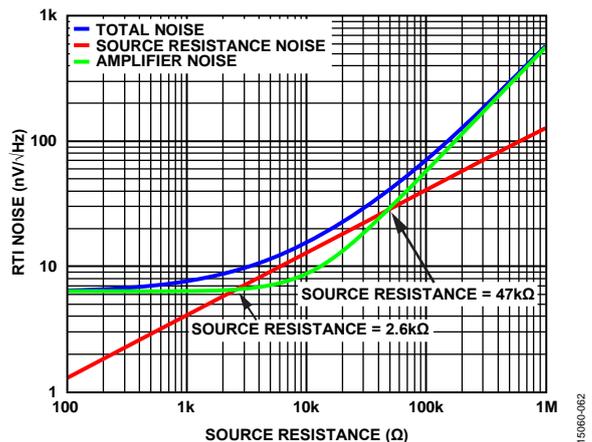


図 59. RTI ノイズとソース抵抗の関係

ADAQ7980/ADAQ7988 の S/N 比と遷移ノイズ性能を維持するには、ドライバ・アンプとそれに関連する受動部品により生成されるノイズをできるだけ低く抑える必要があります。

ADAQ7980/ADAQ7988 のアナログ入力回路には、ADC ドライバからのノイズを帯域制限する単一ポールのローパス・フィルタが内蔵されています。ADAQ7980/ADAQ7988 のノイズは、標準的な両電源構成では $44.4 \text{ }\mu\text{V rms}$ (代表値) であるため、アンプに起因する S/N 比の性能低下は次式で与えられます。

$$SNR_{LOSS} = 20 \log \left(\frac{44.4}{\sqrt{44.4^2 + \frac{\pi}{2} f_{-3dB} (N e_N)^2}} \right)$$

ここで f_{-3dB} は入力フィルタのカットオフ周波数 (4.4 MHz)。 N はアンプのノイズ・ゲイン (例えば、バッファ構成では 1)。 e_N は、オペアンプの等価入力ノイズ電圧 ($\text{nV}/\sqrt{\text{Hz}}$)。

マルチチャンネルのマルチプレクサ・アプリケーションでは、ADAQ7980/ADAQ7988 のアナログ入力回路は、1 回の変換周期内に 16 ビット・レベル (0.0015% , 15 ppm) でフルスケール・ステップをコンデンサ・アレイにセトリングさせる必要があります。図 20 に示すように、ADC ドライバの帯域幅はゲイン設定に応じて変化します。ADC ドライバは、ADC 入力を十分にセトリングさせるだけの帯域幅を維持する必要があります。ADAQ7980/ADAQ7988 のローパス・フィルタの RC 時定数は、ADC の最小アキュイジション・フェーズ内に、フルスケールの ADC 入力電圧遷移から予想される SAR ADC の電荷再配分電圧ステップをセトリングさせるように設定されています。最大フルスケール・ステップは、 5.1 V の最大リファレンス入力電圧に基づいています。リファレンスによって最大アナログ入力範囲が設定され、さらに ADC が量子化可能な電圧範囲が設定されます。

変換プロセス中、SAR ADCの容量性DACはADC入力から切断されます。マルチプレクサ・アプリケーションでは、最大のセトリング時間が得られるように、変換期間中にマルチプレクサの入力チャンネルが切り替わります。変換期間の最後に、容量性DACが入力に再び接続されます。この間、DACはADC入力から切り離され、ADC入力ノードで電圧が変化します。容量性電荷の再分配に起因する、ADCアナログ入力で生じる電圧ステップは、容量性DACと外部ローパス・フィルタのコンデンサを並列接続して形成する分圧器によって減衰します。この電圧ステップは次式により計算します。

$$V_{STEP} = (V_{REF} \times 30 \text{ pF}) / (30 \text{ pF} + 1800 \text{ pF}) = V_{REF} \times 0.016$$

5.0 Vのリファレンスでは、最大ステップ・サイズは82 mVになります。必要なフィルタとADCドライバの帯域幅を計算するには、ADCのアクイジション・フェーズ内でこの電圧ステップがセトリングするのに必要な時定数の数を次式で求めます。

$$N_{TC} = \ln \left(\frac{V_{STEP}}{V_{REF} / 2^{16+1}} \right)$$

得られた時定数の数を用いて、 $\tau = 290 \text{ ns} / N_{TC}$ によりRC時定数(τ)を求めます。ADCの最小のアクイジション・フェーズは290 nsです。このアクイジション時間内に信号は完全にセトリングする必要があります。

フィルタ帯域幅(BW)は $BW = 1 / (2\pi \times \tau)$ で計算します。

ADCドライバの小信号帯域幅は、常に先に計算した帯域幅以上でなければなりません。小信号帯域幅が減少する場合(例えば、大きな電圧ゲインの場合)、アクイジション・フェーズを大きくして、必要なシステムの τ を増加させます。アクイジション・フェーズを大きくすると、最大サンプル・レートが低下します。

これまでに説明した方法では、変換が開始された直後にマルチプレクサが切り替わり、アンプとRCが、アクイジションの開始前にローパス・フィルタ・コンデンサが十分セトリングできるだけの広い帯域幅を持っているものと仮定しています。

フォワード・セトリング時、フルスケール・ステップを16ビットにセトリングするには約11倍の時定数が必要になります。ADAQ7980/ADAQ7988に内蔵されているローパスRCフィルタの場合、フィルタのフォワード・セトリング時間は $11 \times 36 \text{ ns} \approx 400 \text{ ns}$ で、それぞれ710 ns/1200 nsの変換時間よりはるかに短い時間です。ADCドライバのフォワード・セトリング時間を710 ns以下にするには、ADCドライバの大信号帯域幅を2.49 MHzにします。これは以下のように計算します。

$$\text{ADCドライバのフォワード・セトリング時定数} = 710 \text{ ns} / \ln(2^{16}) = 64 \text{ ns}$$

$$\text{ADCドライバの最小の大信号帯域幅} = 1 / (2\pi \times 64 \text{ ns}) = 2.49 \text{ MHz}$$

フォワード・セトリングは必ずしも変換期間中(容量DACが入力に切り替わる前)である必要はありませんが、フォワードおよびリバースのセトリング時間の合計が、要求されるスループット・レートを超えてはなりません。低周波入力では、信号の変化速度がかなり遅いため、フォワード・セトリングはそれほど重要ではありません。ADCドライバのどの帯域幅仕様が重要になるかは、入力のタイプに依存します。高周波(100 kHz以上)またはマルチプレクサ・アプリケーションには大信号帯域幅を重視し、前の計算を実行するときの低周波入力のアプリケーションにはADCドライバの小信号帯域幅を重視します。

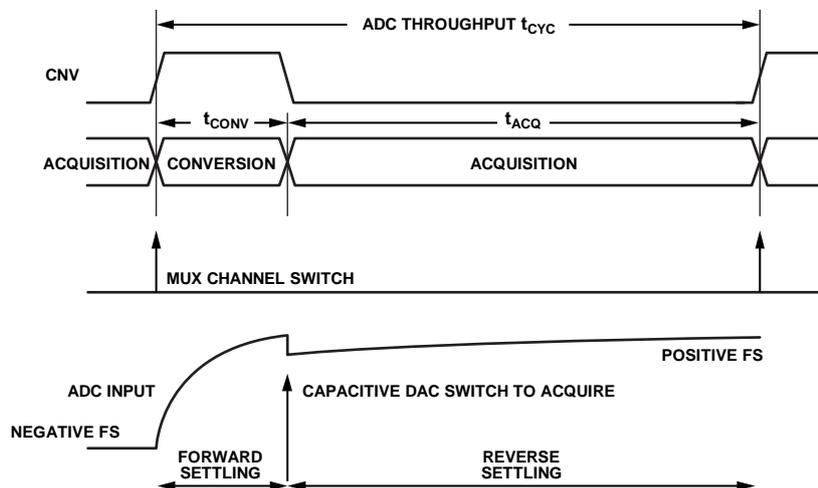


図 60. マルチプレクサ・アプリケーションのタイミング

PD_AMP 動作

ADC ドライバとリファレンス・バッファのシャットダウン回路を図 61 に示します。シャットダウン・モードで低電源電流を維持するために、内部プルアップ回路は組み込まれていません。そのため、PD_AMP ピンを外部からハイ・レベルまたはロー・レベルに駆動して、フロート状態のままにしておいてはいけません。5 V 電源電圧の場合、PD_AMP ピンを電源電圧の 1/2 よりも 1 V 以上低い電圧にプルダウンすると、デバイスがオフになり、電源電流が 2.9 μ A に低下します。アンプがパワーダウンすると、出力は高インピーダンス状態になります。周波数が高くなると、出力インピーダンスは小さくなります。シャットダウン・モードでは、100 kHz で -62 dB の順方向アイソレーションを実現できます (図 51 を参照)。

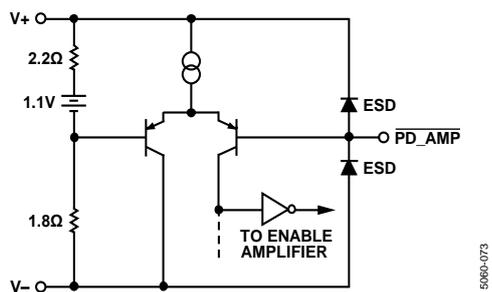


図 61. シャットダウン回路

ESD クランプによって PD_AMP ピンが保護されます (図 61 を参照)。電圧が電源を超えると、これらのダイオードが導通します。PD_AMP ピンを保護するため、これらのピンへの電圧は、正電源より 0.7 V 以上高い電圧、または負電源より 0.7 V 以上低い電圧にならないようにします。過電圧状態が予想される場合は、直列抵抗を用いて入力電流を 10 mA 以下に制限します。

各種電源のパワーダウン・モードとイネーブル・モードのスレッシュホールド電圧を表 12 にまとめます。どの電源電圧でも、PD_AMP ピンを電源電圧の 1/2 よりも 1 V 以上低い電圧にプルダウンすると、デバイスはオフになります。

表 12. パワーダウン・モードとイネーブル・モードのスレッシュホールド電圧

Mode	V+/V-		
	+4 V/0 V	+5 V/0 V	+7 V/-2 V
Enabled	>+1.4 V	>+1.9 V	>+1.9 V
Powered Down	<+1.0 V	<+1.5 V	<+1.5 V

ダイナミック・パワー・スケーリング (DPS)

SAR ADC のメリットの 1 つとして、サンプリング・レートとともに消費電力がスケーリングすることが挙げられます。この消費電力のスケーリングにより、特に低サンプリング周波数で動作しているときに、SAR ADC の電力効率が非常に高くなります。SAR ADC とともに使用する従来型の ADC ドライバは、サンプリング周波数に関わらず一定の電力を消費します。しかし、この ADC ドライバではダイナミック・パワー・スケーリングが可能です。この機能では、変換開始信号に同期した周期的な信号を ADC ドライバのパワーダウン・ピンに与えることにより、サンプル・レートに応じてシステムの消費電力をスケーリングすることができます。

システムのサンプリング・レートが ADC ドライバの静止電力をダイナミックにスケーリングする仕組みを図 62 に示します。ADC の変換開始 (CNV) ピン、および ADC ドライバの PD_AMP ピンに適切なタイミング信号を与えることで、両デバイスは最大効率で動作します。

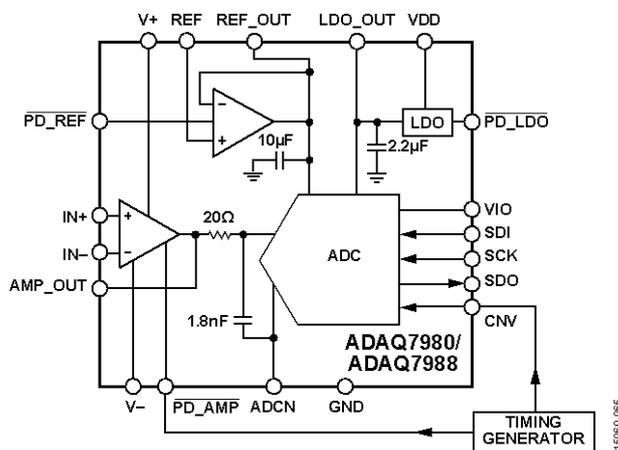


図 62. パワー・マネージメント回路

ADC ドライバと ADC の消費電力をスケーリングするための相対的な信号タイミングを図 63 に示します。ADC の性能低下を防ぐには、CNV ピンをアクティブにする前に ADC ドライバの ADC への出力が完全にセトリングされている必要があります。この例では、アンプは CNV 信号の立上がりエッジの 3 μ s 前に通常消費電力モードに切り替わります。サンブル間で ADC 入力が入線アクティブのとき、ADC ドライバの PD_AMP ピンはローになります。アンプの静止電流は、通常、電源電圧の差が 5 V のとき、0.9 μ s 以内に通常動作値の 10% まで低下します。一方、シャットダウン・モードでは、ADC ドライバの出力インピーダンスは高くなります。

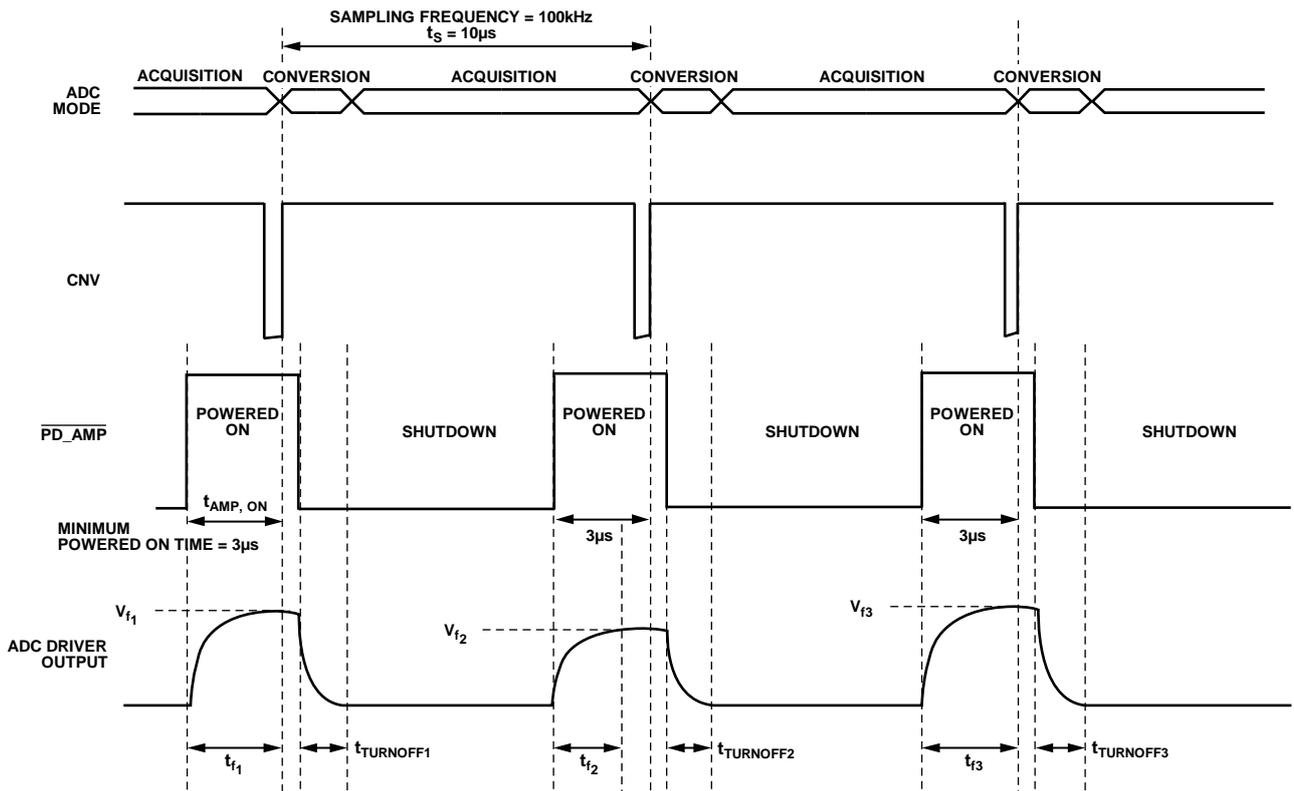


図 63. タイミング波形

パワー・スケーリングの有無による ADC ドライバの静止電力を図 64 に示します。パワー・スケーリングがない場合、次式に示すように、アンプはサンプリング周波数に関わらず一定の電力を消費します。

$$P_Q = I_Q \times V_S$$

パワー・スケーリングがある場合、静止電力は、アンプのオン時間 $t_{AMP, ON}$ とサンプリング時間 t_s の比率に比例するようになります。

$$P_Q = I_Q \times V_S \times (t_{AMP, ON}/t_s)$$

このため、サンプリング期間中にドライバをシャットダウン・モードと通常消費電力モード間で動的に切り替えることで、ドライバの静止電力はサンプリング・レートに応じてスケーリングされます。

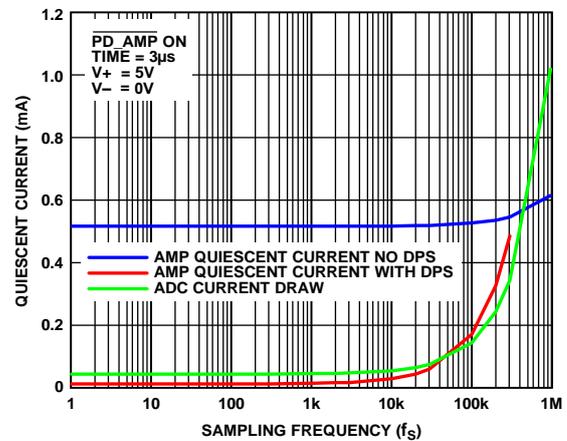


図 64. ADC ドライバの静止電流と ADC のサンプリング周波数との関係

スルー強化

ADC ドライバには、帰還誤差電圧の増加に伴ってスルー・レートが増加するスルー強化回路が内蔵されています。この回路は大きなステップに対するアンプのセトリング応答を改善します（図 65 を参照）。このセトリング応答の改善は、複数の入力信号をマルチプレクサで切り替えるアプリケーションで効果を発揮します。

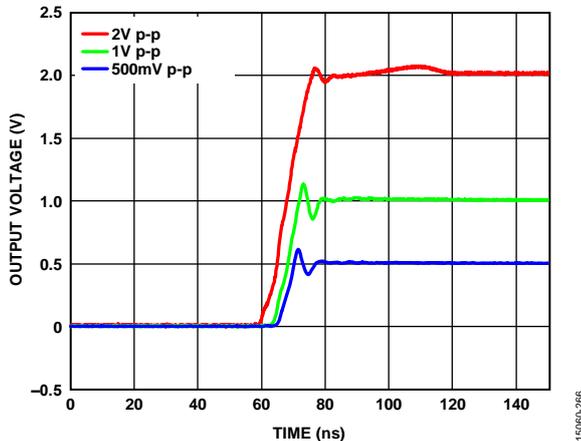


図 65. 各種出力ステップでのステップ応答

周波数応答に対する帰還抵抗の影響

アンプの入力容量と帰還抵抗は 1 つのポールを形成します。帰還抵抗の値が大きい場合、このポールは位相余裕を低下させ、周波数応答のピーク形成に寄与する可能性があります。アンプがゲイン +2 に設定されている場合、500 Ω の帰還抵抗 (R_F) のピーク形成を図 66 に示します。図 66 は、アンプの帰還抵抗の端子間に小さな値のコンデンサを追加すればピーク形成を緩和できることも示しています。

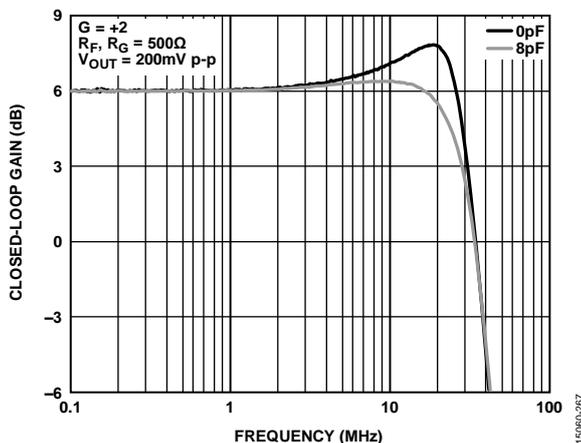


図 66. 小信号周波数応答のピーク形成の軽減

電圧リファレンス入力

ADAQ7980/ADAQ7988 の電圧リファレンス入力 (REF) は、低ノイズの内蔵リファレンス・バッファの非反転ノードです。リファレンス・バッファは、SAR ADC のリファレンス・ノードの動的な入力インピーダンスを最適に駆動するために内蔵されています。また、ADAQ7980/ADAQ7988 は 10 μF のデカップリング・コンデンサも内蔵しており、デバイス内に最適に配置されています。このデカップリング・コンデンサは、SAR アーキテクチャに不可欠な部品です。REF_OUT コンデンサは単なるバイパス・コンデンサではありません。このコンデンサは SAR ADC の一部ですが、シリコン上に収容できないものです。

ビット判定プロセス中は、ビットが数十ナノ秒以内にセトリングするので、この蓄積コンデンサが内部の容量性 DAC を充電します。バイナリ・ビット重み付け変換の処理に伴い、10 μF のコンデンサから少量の電荷が充電されます。内部のコンデンサ・アレイはデカップリング・コンデンサのほんの一部ですが、SAR のビット判定時のセトリング時間に対応するには、この大容量のストレージ・コンデンサが必要になります。

REF_OUT ピンと GND ピンの間に、これより小容量のセラミック・デカップリング・コンデンサ (例えば 100 nF) を追加する必要はありません。

SAR のコンデンサ・アレイが量子化できる最大の ADC 入力電圧は、リファレンス値によって決まります。リファレンス・バッファはユニティ・ゲイン構成で設定します。したがって、REF ピンでリファレンス電圧値を設定し、REF_OUT ピンでこの値を読み出します。リファレンス電圧には、設計するシステムに適した値を選択してください。許容リファレンス値は 2.4 V ~ 5.1 V です。ただし、リファレンス・バッファの入力共通モード電圧範囲の仕様を満たす必要があります。

リファレンス・バッファが内蔵されているため、リファレンス・ソースは SAR コンデンサ・アレイの動的負荷ではなく、高インピーダンス・ノードを駆動することになるので、多くの従来型の SAR ADC 信号チェーンよりもはるかに低消費電力のリファレンス・ソースを実装することができます。リファレンス・ソースのノイズとリファレンス・バッファのノイズを二乗和平方根することにより、総ノイズを推算できます。一般に、リファレンス・バッファのノイズ密度はリファレンス・ソースよりもずっと小さくなります。

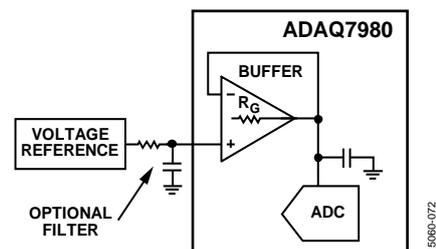


図 67. RC フィルタリングを用いた電圧リファレンス

図 67 に示すように、ADAQ7980/ADAQ7988 のリファレンス・ソースと REF ピンの間に、カットオフ周波数が非常に低いパッシブ RC ローパス・フィルタを配置して、リファレンス・ソースからのノイズを帯域制限します。電圧リファレンス・ソースが通常はリファレンス入力回路のノイズの主な原因であることを考慮すると、このフィルタリングは有効といえます。

リファレンス信号は DC タイプの信号なので、帯域幅が非常に低いフィルタを使うことができます。しかし、このような低周波カットオフでは、電源投入時のセトリング時間が非常に長くなります。例えば、-3dB 帯域幅が 20 Hz である単一ポールのローパス・フィルタの時定数は約 8 ms になります。

ADC ドライバと同様、リファレンス・バッファは ADAQ7980/ADAQ7988 の消費電力を制御するための PD_REF ピンを備えています。この PD_REF ピンには、図 63 のようなタイミング・スキームを実装することができます。また、この PD_REF の機能は、消費電力を非常に小さく抑えることが要求される長いアイドル期間に使用します。

図 68 に、リファレンス・バッファのシャットダウン回路を示します。シャットダウン・モードで低い電源電流を維持するために、内部プルアップ抵抗は組み込まれていません。このため、PD_REF ピンは外部でハイ・レベルまたはロー・レベルに駆動し、フロート状態のままにはしません。5 V 電源電圧の場合、PD_REF ピンを電源電圧の中間電位よりも 1 V 以上低い電圧にプルダウンすると、デバイスがオフになり、電源電流が 2.9 μ A に低減します。アンプがパワーダウンすると、出力は高インピーダンス状態になります。周波数が高くなると、出力インピーダンスは小さくなります。シャットダウン・モードでは、10 kHz 以下で -80 dB の順方向アイソレーションを実現できます (図 51 を参照)。

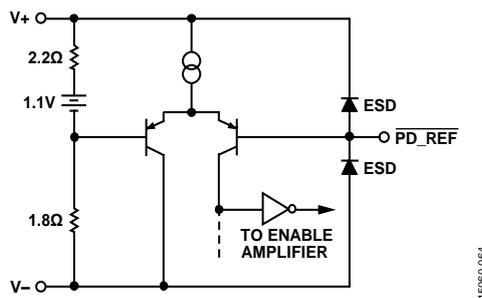


図 68. リファレンス・バッファのシャットダウン回路

ESD クランプによって PD_REF ピンが保護されます (図 68 を参照)。電圧が電源を超えると、これらのダイオードが導通します。PD_REF ピンを保護するために、これらのピンへの電圧は、正電源より 0.7 V 以上高い電圧、または負電源より 0.7 V 以上低い電圧にならないようにします。過電圧状態が予想される場合は、直列抵抗を用いて入力電流を 10 mA 以下に制限します。表 13 に、各種電源のパワーダウン・モードとイネーブル・モードのスレッシュホールド電圧をまとめます。いずれの電源電圧でも、PD_REF ピンが電源電圧の中間電位より 1 V 以上低くなると、デバイスはオフになります。

表 13. パワーダウン・モードとイネーブル・モードのスレッシュホールド電圧

Mode	V+/V-		
	+4 V/0 V	+5 V/0 V	+7 V/-2 V
Enabled	>+1.4 V	>+1.9 V	>+1.9 V
Powered Down	<+1.0 V	<+1.5 V	<+1.5 V

システムで複数の ADAQ7980/ADAQ7988 を使用する場合、例えばデジチェーン構成では、1 個の ADAQ7980/ADAQ7988 のリファレンス・バッファを用いて、複数の ADAQ7980/ADAQ7988 デバイスに REF_OUT 信号を供給することができます。リファレンス・バッファの PD_REF ピンをイネーブルすると、リファレンス・バッファの出力が高インピーダンス状態になります。アクティブなリファレンス・バッファは、後続の REF_OUT ノードを駆動することができます。詳細については、図 69 を参照してください。

個々のコンバータのサンプル・レートによって、チェーン可能な ADAQ7980/ADAQ7988 のリファレンスの数が決まります。ADAQ7980/ADAQ7988 SAR ADC の各リファレンスは、コンバータが 1 MSPS で動作している場合、5 V のリファレンス入力で 330 μ A の負荷電流を消費します。この電流消費はサンプル・レートに応じて線形にスケールします。例えば、サンプル・レートを 100 kSPS に低下させると、リファレンス電流は 33 μ A に減少します。アクティブなリファレンス・バッファは、リファレンス電圧が LSB の 1/2 以上変化しないように、累積電流量を適切に制御する必要があります。認識されないリファレンス値の変化は、ゲイン誤差として現れます。

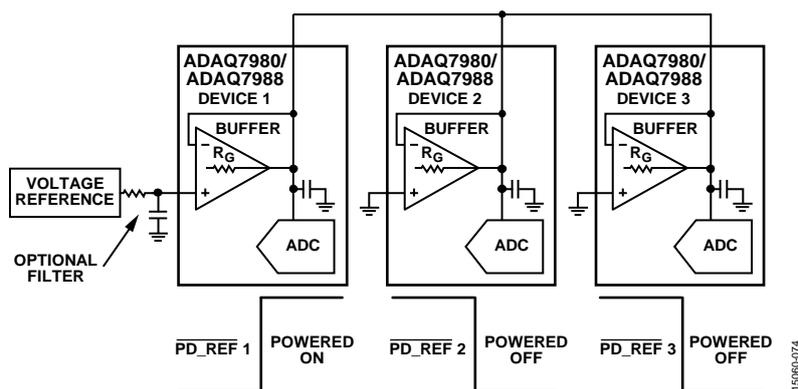


図 69. ADAQ7980/ADAQ7988 デバイスが複数のリファレンス構成

電源

電源のバイパスは、ADC ドライバの性能に影響する重要な要素です。各電源ピン (V+ と V-) からグラウンドへコンデンサを並列接続する方法が最も効果的です。小さい値のセラミック・コンデンサは高周波応答を改善し、大きい値のセラミック・コンデンサは低周波性能を改善します。

値とサイズが異なるコンデンサを並列接続することで、広い周波数帯域にわたって電源ピンの AC インピーダンスを低くすることができます。バイパス・コンデンサにより PSRR 性能の低下を軽減できるため、コンデンサを並列接続することは、特にアンプの PSRR がロールオフし始めるときにアンプへのノイズ混入を小さくするのに重要です。

最小値のコンデンサは、ADAQ7980/ADAQ7988 と同じ側の基板面に配置し、できるだけアンプの電源ピンの近くに配置します。コンデンサのグラウンド・ピンは、直接グラウンド・プレーンに接続します。

ADAQ7980/ADAQ7988 は、ADC に供給する LDO レギュレータの入力 (VDD) とデジタル入出力インターフェースの電源 (VIO) の、2つの電源ピンを備えています。VIO により、1.8 V ~ 5.0 V の任意のロジックとの直接インターフェースが可能です。ADAQ7980/ADAQ7988 は VIO と VDD 間の電源シーケンシングとは無関係です。V+ と V- より先に VIO と VDD に電力を供給することをお勧めします。また、必須ではありませんが、ADAQ7980/ADAQ7988 のパワーオン・シーケンス中は、PD_AMP ピンと PD_REF ピンをロジック・ローにして、ADC ドライバとリファレンス・バッファをパワーダウン状態にすることをお勧めします。サブシステムへの電力の供給および切断では、以下の手順を推奨します。

両電源の場合に推奨されるパワーオン・シーケンスは、以下のとおりです。

1. $\overline{\text{PD_AMP}}$ 、 $\overline{\text{PD_REF}}$ 、 $\overline{\text{PD_LDO}}$ をすべてロジック・ローにする。
2. VIO に電圧を印加する。
3. VDD に電圧を印加する。
4. PD_LDO をロジック・ハイにする。
5. V+ と V- に電圧を印加する。
6. PD_AMP と PD_REF をロジック・ハイにする。

単電源の場合に推奨されるパワーオン・シーケンスは、以下のとおりです。

1. $\overline{\text{PD_AMP}}$ 、 $\overline{\text{PD_REF}}$ 、 $\overline{\text{PD_LDO}}$ をすべてロジック・ローにする。
2. VIO に電圧を印加する。
3. VDD と V+ に電圧を印加する。
4. PD_LDO をロジック・ハイにする。
5. PD_AMP と PD_REF をロジック・ハイにする。

両電源の場合に推奨されるパワーダウン・シーケンスは、以下のとおりです。

6. $\overline{\text{PD_AMP}}$ と $\overline{\text{PD_REF}}$ をロジック・ローにする。
7. V+ と V- から電圧を除去する。
8. PD_LDO をロジック・ローにする。
9. VDD から電圧を除去する。
10. VIO から電圧を除去する。

単電源の場合に推奨されるパワーダウン・シーケンスは、以下のとおりです。

11. $\overline{\text{PD_AMP}}$ と $\overline{\text{PD_REF}}$ をロジック・ローにする。
12. PD_LDO をロジック・ローにする。
13. V+ と VDD から電圧を除去する。
14. VIO から電圧を除去する。

また、ADAQ7980/ADAQ7988 は広い周波数範囲にわたって電源の変動による影響を受けません (図 70 を参照)。

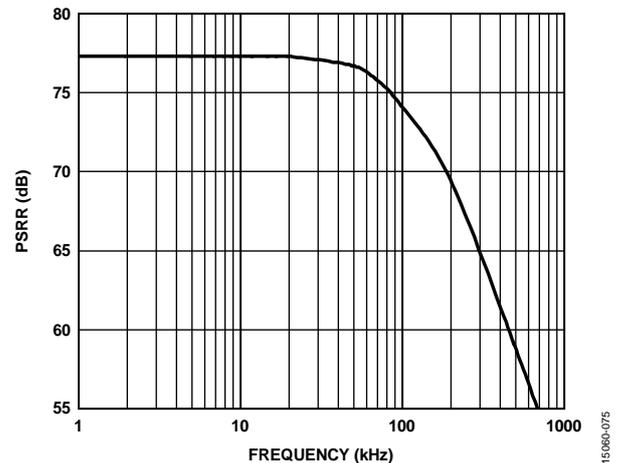


図 70. PSRR の周波数特性

VDD 入力、SAR ADC に 2.5 V を供給する内蔵 LDO レギュレータの入力です。LDO レギュレータを内蔵することにより、ADAQ7980/ADAQ7988 は広い電源範囲に対応しています。これらのデバイスを単電源構成で動作させる場合は、V+ ピンと VDD ピンを一緒に接続し、V- ピンをグラウンドに接続します。単電源システムに関連する動作要件については、表 4 を参照してください。

ADAQ7980/ADAQ7988 の LDO レギュレータは、2.5V 低ドロップアウト (LDO) リニア電圧レギュレータで、3.5 V ~ 10 V で動作し、最大 100 mA の出力電流を供給します。この LDO レギュレータでは、全負荷時に 180 μA (代表値) の静止電流が流れます。シャットダウン消費電流は室温で 3 μA 以下 (代表値) です。LDO レギュレータのスタートアップ時間は 380 μs (代表値) です。

ADAQ7980/ADAQ7988 には、VDD ピンとグラウンド間に 2.2 μF の小型セラミック・コンデンサを接続する必要があります。最小容量と最大等価直列抵抗 (ESR) の要件を満たす限り、任意のセラミック・コンデンサを使用することができます。セラミック・コンデンサには、さまざまな誘電体が使用されているので、温度や印加電圧に対する動作が異なります。必要な温度範囲と DC バイアス条件に対して最小容量を確保するため、適切な誘電体を使用したコンデンサを選ぶ必要があります。電圧定格が 6.3 V ~ 100 V で、X5R または X7R の誘電体のものを推奨します。Y5V 誘電体と Z5U 誘電体は、温度特性と DC バイアス特性が十分でないため推奨しません。

内部では、LDO レギュレータはリファレンス、エラー・アンプ、帰還分圧器、および P 型金属酸化半導体 (PMOS) バス・トランジスタで構成されています。PMOS バス・デバイスはエラー・アンプによって制御され、出力電流を供給します。エラー・アンプはリファレンス電圧と出力からの帰還電圧を比較して、その差を増幅します。帰還電圧がリファレンス電圧より低いと、PMOS デバイスのゲート電圧が低くなるので、通過する電流が増え、出力電圧が上昇します。帰還電圧がリファレンス電圧より高いと、PMOS デバイスのゲート電圧が高くなるので、通過する電流が減り、出力電圧が低下します。

LDO レギュレータでは PD_LDO ピンを使って、通常の動作状態で LDO_OUT ピンをイネーブル/ディスエーブルします。PD_LDO がハイ・レベルのとき LDO_OUT がオンになり、PD_LDO がロー・レベルのとき LDO_OUT がオフになります。自動スタートアップの場合は、PD_LDO を VDD に接続します。PD_AMP と PD_REF にロジック・ローが印加されている場合のみ PD_LDO をロジック・ローにします。

LDO レギュレータの電流制限および熱過負荷保護

電流および熱の過負荷保護回路は、ADAQ7980/ADAQ7988 の LDO レギュレータを過度の電力消費による損傷から保護します。LDO レギュレータは、出力負荷が 360 mA (代表値) に達すると、電流を制限するように設計されています。出力負荷が電流制限の閾値を超えると、出力電圧を下げて一定の電流制限値が維持されます。

また、LDO レギュレータのジャンクション温度を最大 150 °C (代表値) に制限する熱過負荷保護機能を備えています。過酷な状態 (高周囲温度や高消費電力) でジャンクション温度が 150 °C を超えると、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が 135 °C を下回ると、出力は再びオンになり、出力電流は動作値に戻ります。

LDO_OUT からグラウンドへのハード短絡が発生する場合は検討します。まず、LDO レギュレータは短絡回路に伝導する電流閾値を制限します。自己発熱が非常に大きくなってジャンクション温度が 150 °C を超えると、サーマル・シャットダウン機能が作動して、出力がオフになり、出力電流がゼロまで減少します。ジャンクション温度が下がり、135 °C を下回ると、出力がオンになって電流制限が解除され、ジャンクション温度が再び 150 °C を超えます。135 °C と 150 °C の間のこの熱的発振により、最大電流と 0 mA の間で電流発振が生じます。この発振は出力が短絡状態にある限り続きます。

電流制限と熱制限の保護機能は、偶発的な過負荷状態からデバイスを保護します。信頼性の高い動作のためには、ジャンクション温度が 125 °C を超えないように、デバイスの消費電力を外で制限します。

LDO レギュレータの熱に関する考慮事項

入力-出力間の電圧差が小さいアプリケーションでは、LDO レギュレータの発熱は大きくなりません。しかし、周囲温度が高く、入力電圧が高いアプリケーションでは、パッケージの発熱が大きくなって、ダイのジャンクション温度が規定のジャンクション温度 125 °C を超えることがあります。

ジャンクション温度が 150 °C を超えると、LDO レギュレータはサーマル・シャットダウン状態になります。永続的な損傷を防ぐため、ジャンクション温度が 135 °C を下回るまで LDO レギュレータは回復しません。したがって、すべての条件において信頼性の高い性能を保証するには、選択したアプリケーションの熱解析が重要になります。規定の動作を保証するには、LDO レギュレータのジャンクション温度が 125 °C を超えないようにする必要があります。ジャンクション温度をこの値より低く保つには、ジャンクション温度の変化に影響するパラメータを知る必要があります。これらのパラメータには、周囲温度、パワー・デバイスの消費電力、ジャンクション-周囲間の熱抵抗 (θ_{JA}) があります。 θ_{JA} 値は、パッケージの材料と GND ピンを PCB にハンダ付けする際に使用する材料の量に依存します。

デジタル・インターフェース

ADAQ7980/ADAQ7988 は、ピン数が少ないにも関わらず、シリアル・インターフェース・モードで柔軟に対応できます。

ADAQ7980/ADAQ7988 は、 $\overline{\text{CS}}$ モードのときに、SPI、QSPI[™]、デジタル・ホストと互換性があります。このインターフェースは、3 線式または 4 線式のインターフェースを使用できます。CNV、SCK、SDO の信号を使用する 3 線式インターフェースは、最小限の配線で機能するので、絶縁アプリケーションなどで有益です。SDI、CNV、SCK、SDO の信号を使用する 4 線式インターフェースでは、リードバック・タイミングに依存せずに CNV で変換を開始できます (SDI)。このため、低ジッタ・サンプリングまたは同時サンプリングのアプリケーションで有益です。

ADAQ7980/ADAQ7988 では、チェーン・モードのときに、SDI 入力を使用して、シフト・レジスタと同様に 1 本のデータ・ラインで複数の ADC をカスケード接続するためのデジタイゼーション機能を備えています。

デバイスの動作モードは、CNV の立上がりエッジが発生したときの CNV レベルにより決定されます。 $\overline{\text{CS}}$ モードを選択するには SDI をハイにし、チェーン・モードを選択するには SDI をローにします。SDI と CNV が同時に接続される場合の SDI ホールド時間には、チェーン・モードを選択します。

いずれのモードでも、ADAQ7980/ADAQ7988 はオプションでデータ・ビットの前にスタート・ビットを配置できる柔軟性を備えています。このスタート・ビットをビジー信号インジケータとして使用すれば、デジタル・ホストに割込みをかけて、データ読出しをトリガすることができます。ビジー・インジケータとして使用しない場合は、リードバック前に最大変換時間をタイムアウトさせる必要があります。

ビジー・インジケータは以下の場合にイネーブルされます。

- $\overline{\text{CS}}$ モードでは、ADC 変換が終了したときに CNV または SDI がローの場合 (図 74 と図 78 を参照)。
- チェーン・モードでは、CNV の立上がりエッジで SCK がハイの場合 (図 82 を参照)。

3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし)

単一の ADAQ7980/ADAQ7988 を SPI 互換デジタル・ホストに接続するには、ビジー・インジケータなしの 3 線式 $\overline{\text{CS}}$ モードを使用します。接続図を図 71 に、対応するタイミングを図 72 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択されて、SDO が強制的に高インピーダンスに移行します。変換が開始されると、CNV の状態に関係なく完了するまで継続します。これは、CNV をローにしてアナログ・マルチプレクサなどの他の SPI デバイスを選択する場合などに有用です。ただし、最小の変換時間が経過する前に CNV をハイに戻し、さらに、ビジー信号インジケータが生成されないように最大の変換時間の間ハイに保持します。変換が完了すると、ADAQ7980/ADAQ7988 はアキュイジション・フェーズに移行し、パワーダウンします。

CNV がローになると、MSB が SDO に出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジでクロック出力されます。SCK の両エッジでデータは有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、ホールド時間を許容可能であれば読出しレートが速くなります。SCK の 16 番目の立下がりエッジの発生後か CNV がハイになった後のいずれか早い方で、SDO は高インピーダンスに戻ります。

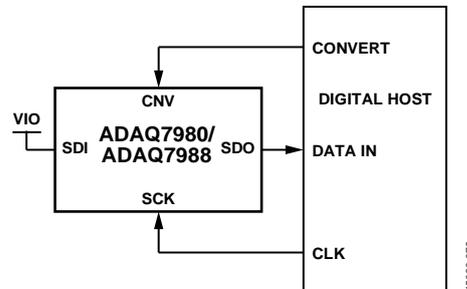


図 71.3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし) の接続図 (SDI = 1、ハイ)

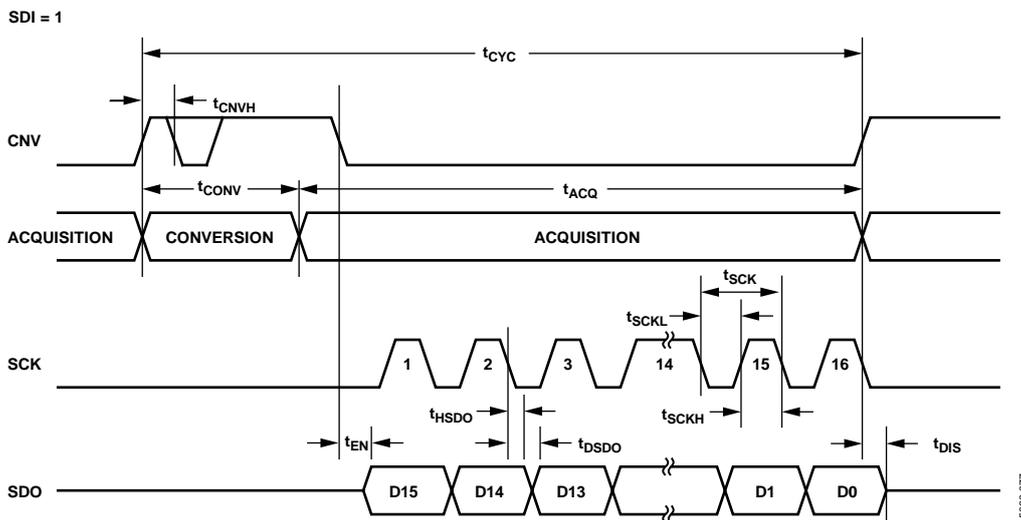


図 72.3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし) のシリアル・インターフェース・タイミング (SDI = 1、ハイ)

3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり)

単一の ADAQ7980/ADAQ7988 を割込み入力のある SPI 互換デジタル・ホストに接続するには、ビジー・インジケータありの 3 線式 $\overline{\text{CS}}$ モードを使用します。

接続図を図 73 に、対応するタイミングを図 74 に示します。

SDI を $\overline{\text{VIO}}$ に接続すると、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択されて、SDO が強制的に高インピーダンスに移行します。SDO は CNV の状態に関係なく、変換が完了するまで高インピーダンスに保たれます。最小変換時間が経過する前に、CNV でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータが確実に生成されるように、最小変換時間が経過する前に CNV をローに戻し、最大変換時間にわたって CNV をローに保つ必要があります。

変換が完了すると、SDO は高インピーダンスから低インピーダンスになります。SDO ラインをプルアップし、この遷移を割込み信号として使用することで、デジタル・ホストによって制御されるデータ読出しを開始できます。その後、ADAQ7980/ADAQ7988 はアクイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB を先頭にクロック出力されます。SCK の両エッジでデータは有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、ホールド時間を許容可能であれば読出しレートが速くなります。オプションの SCK の 17 番目の立下がりエッジの発生後か、CNV がハイになった後のいずれか早い方で、SDO は高インピーダンスに戻ります。

複数の ADAQ7980/ADAQ7988 デバイスを同時に選択すると、SDO 出力ピンは、損傷や誘導ラッチアップなしにこの競合を処理します。また、余分な消費電力を制限するため、この競合の期間を可能な限り短くすることが推奨されます。

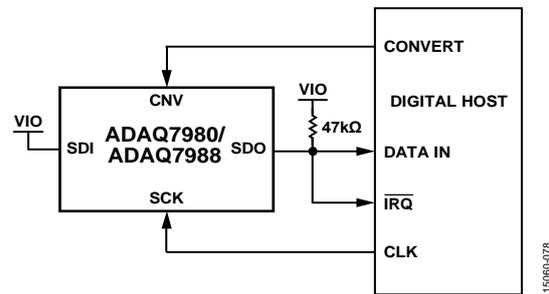


図 73. 3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり) の接続図 (SDI = 1、ハイ)

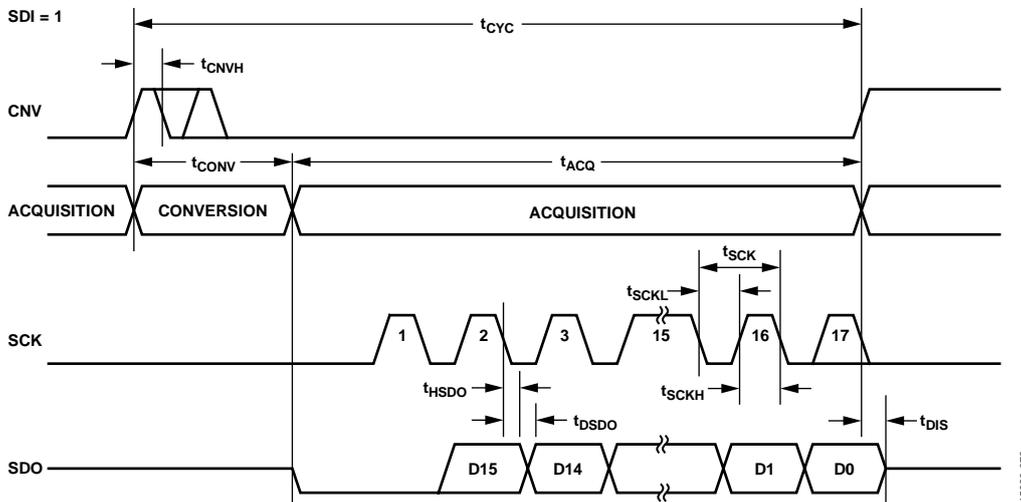


図 74. 3 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり) のシリアル・インターフェース・タイミング (SDI = 1、ハイ)

4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし)

複数の ADAQ7980/ADAQ7988 デバイスを SPI 互換デジタル・ホストに接続するには、ビジー・インジケータなしの 4 線式 $\overline{\text{CS}}$ モードを使用します。

2 個の ADAQ7980/ADAQ7988 デバイスを使用した場合の接続例を図 75 に、対応するタイミングを図 76 に示します。

SDI がハイの場合、CNV の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズとその後のデータ読み出し中に CNV をハイに保持します (SDI と CNV をローに、SDO をローにする場合)。最小変換時間の前に、SDI でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータの生成を防ぐため、最小変換時間が経過する前に SDI をハイに戻し、最大変換時間の間ハイに保つ必要があります。

変換が完了すると、ADAQ7980/ADAQ7988 はアキュイジション・フェーズに移行し、パワーダウンします。SDI 入力をローにすると、それぞれの ADC の結果が読み出され、その MSB が SDO へ出力されます。残りのデータ・ビットは、後続の SCK の立下がりエッジでクロック出力されます。SCK の両エッジでデータは有効です。データは立上がりエッジでキャプチャできますが、SCK の立下がりエッジを使用するデジタル・ホストでは、ホールド時間を許容可能であれば読み出しレートが速くなります。SCK の 16 番目の立下がりエッジの発生後か SDI がハイになった後のいずれか早い方で、SDO は高インピーダンスに戻り、別の ADAQ7980/ADAQ7988 の読み出しを実行できます。

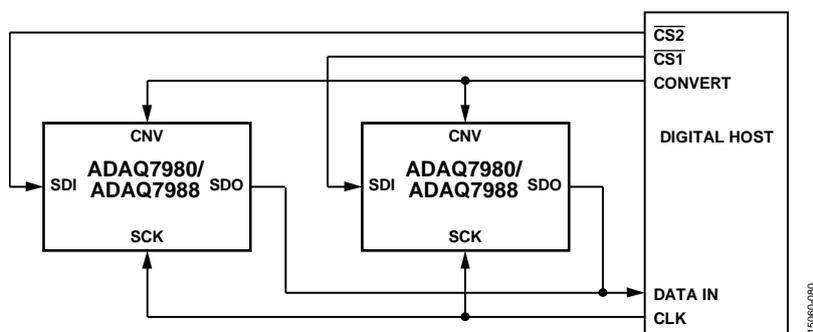


図 75. 4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし) の接続図

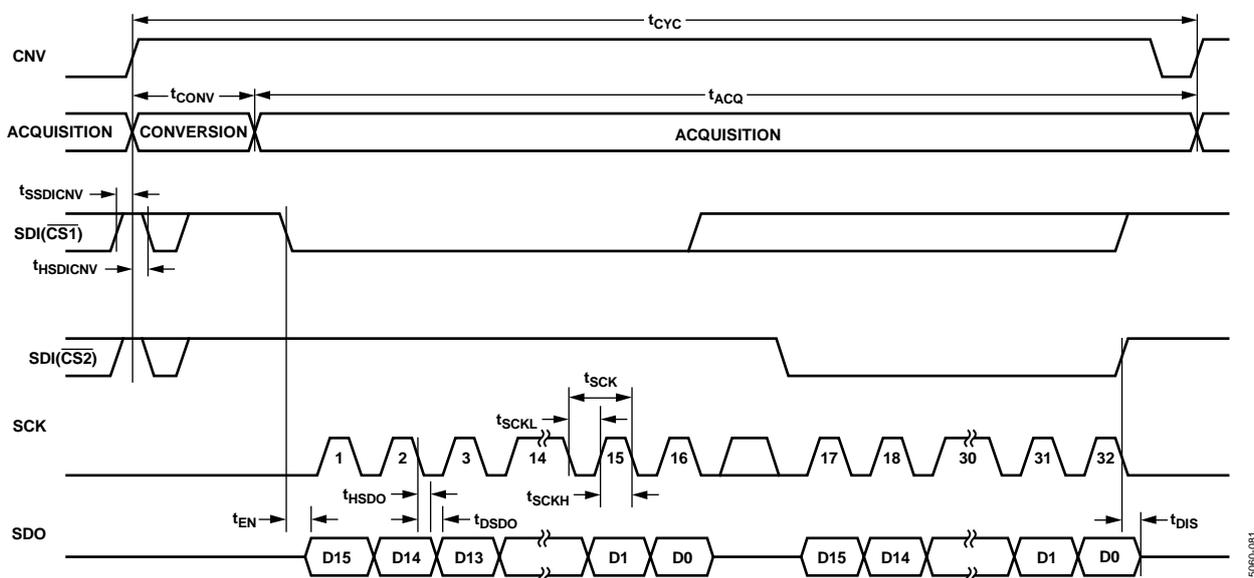


図 76. 4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータなし) のシリアル・インターフェース・タイミング

4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり)

1 個の ADAQ7980/ADAQ7988 を割込み入力のある SPI 互換デジタル・ホストに接続し、データ読出しの選択用の信号に関係なく、アナログ入力をサンプリングする $\overline{\text{CNV}}$ を保持するには、ビジー・インジケータありの 4 線式 $\overline{\text{CS}}$ モードを使用します。この要件は、 $\overline{\text{CNV}}$ で低ジッタが必要なアプリケーションで特に重要になります。

接続図を図 77 に、対応するタイミングを図 78 に示します。

SDI がハイの場合、 $\overline{\text{CNV}}$ の立上がりエッジで変換が開始され、 $\overline{\text{CS}}$ モードが選択され、 SDO が強制的に高インピーダンスに移行します。このモードでは、変換フェーズとその後のデータ読出し中に $\overline{\text{CNV}}$ をハイに保持します (SDI と $\overline{\text{CNV}}$ をローに、 SDO をローにする場合)。最小変換時間が経過する前に、 SDI でアナログ・マルチプレクサなどの SPI デバイスを選択できます。ただし、ビジー信号インジケータが確実に生成されるように、最小変換時間が経過する前に SDI をローに戻し、最大変換時間の間ローに保つ必要があります。変換が完了すると、 SDO は高インピーダンスから低インピーダンスになります。

SDO ラインのプルアップ抵抗とこの遷移を組み合わせることで、割込み信号として使用することで、デジタル・ホストによって制御されるデータのリードバックを開始できます。その後、ADAQ7980/ADAQ7988 はアキュイジション・フェーズに移行し、パワーダウンします。後続の SCK の立下がりエッジで、データ・ビットが MSB を先頭にクロック出力されます。 SCK の両エッジでデータは有効です。データは立上がりエッジでキャプチャできますが、 SCK の立下がりエッジを使用するデジタル・ホストでは、ホールド時間を許容可能であれば読出しレートが速くなります。オプションの SCK の 17 番目の立下がりエッジの発生後か SDI がハイになった後のいずれか早い方で、 SDO は高インピーダンスに戻ります。

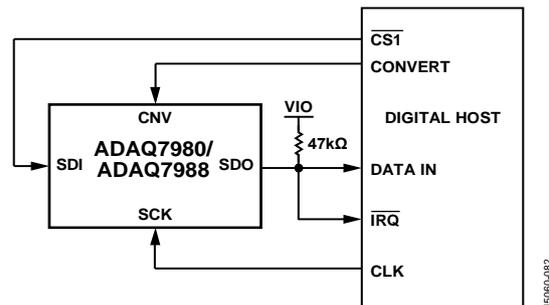


図 77. 4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり) の接続図

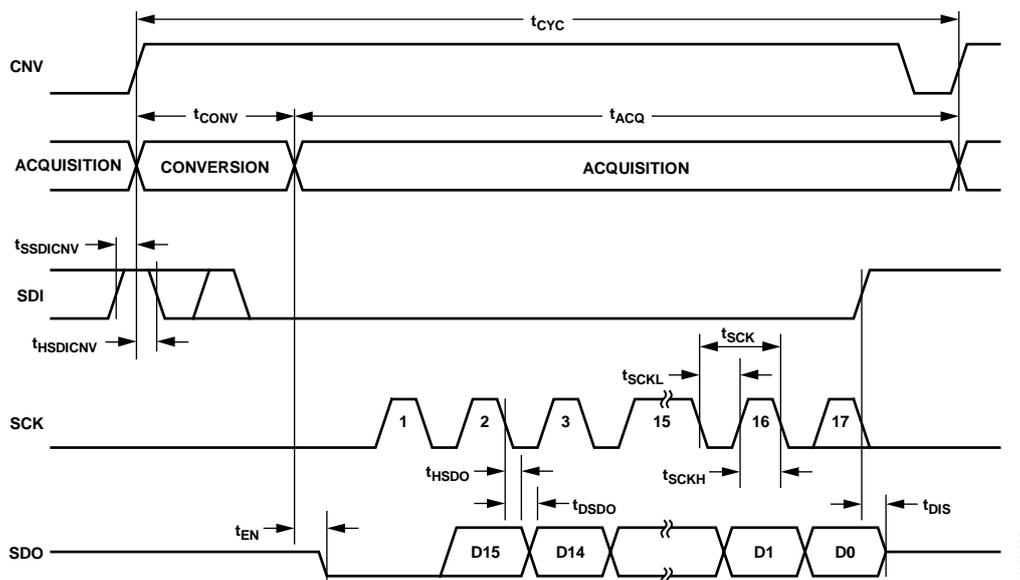


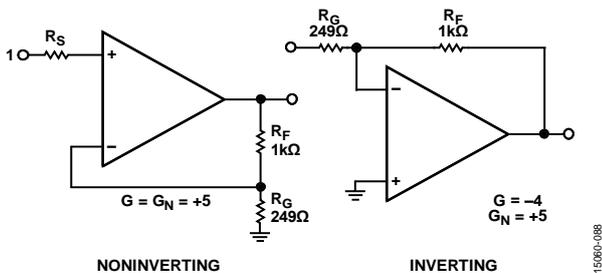
図 78. 4 線式 $\overline{\text{CS}}$ モード (ビジー・インジケータあり) のシリアル・インターフェース・タイミング

アプリケーション回路

各種ゲインでの推奨部品値、対応するスルー・レート、帯域幅、および与えられた構成でのノイズを表 14 に示します。図 83 に示すように、オペアンプのゲイン・ブロックのノイズ・ゲイン G_N は、実際の構成が反転ゲインか非反転ゲインに関わらず、非反転の電圧ゲインに等しくなります。したがって

$$\text{非反転の } G_N = R_F/R_G + 1$$

$$\text{反転の } G_N = R_F/R_G + 1$$



NONINVERTING

INVERTING

図 83. どちらのノイズ・ゲインも 5 になる

ADC ドライバを使用すると、さまざまなトレードオフを考慮してダイナミック性能を微調整することができます。すべての高速アンプと同様に、アンプ周囲の寄生容量や寄生インダクタンスがダイナミック応答に影響する可能性があります。多くの場合、（オペアンプ自体と PCB による）入力容量が大きな影響を与えます。帰還抵抗は入力容量とあいまって位相余裕の損失要因となり、それにより高周波応答に影響を与えます。帰還抵抗

と並列にコンデンサ（CF）を接続すると、この位相損失を補償することができます。

さらに、ソースに直列に抵抗を接続すると、入力容量と結合してポールが形成されます（パッケージと基板のインダクタンスと容量に起因する高周波共振も減衰します）。また、抵抗値を大きくするとアンプ全体のノイズが大きくなり、帰還抵抗値を小さくすると出力段の負荷が増大して歪みが大きくなることにも注意が必要です。

ADC ドライバは、クロスオーバー領域がなく、グラウンドより 100 mV 低い電圧から、正のレールより 1.3 V 低い電圧までの広い線形入力範囲を有します。アンプは、フォロワとして構成されている場合、その線形信号範囲は、負電源電圧より 150 mV 高い電圧（アンプの出力段によって制限される）から、正電源電圧より 1.3 V 低い電圧（アンプの入力段によって制限される）までになります。V+ と V- の電源電圧差が 5 V 以下の場合、ADC ドライバの線形範囲は、負電源電圧側で負電源電圧より 150 mV 高い電圧から 200 mV 高い電圧へと狭まります。正電源電圧が +5.4 V と低く、負電源電圧が -0.2 V の場合は、信号範囲は 0 V ~ +4.096 V になります。グラウンドをアンプの負電源として使い、入力範囲の下端がグラウンドに近いと、ADC ドライバはレール to レールの出力アンプと同様に大きな非直線性を示します。

このアンプは単一ポールのローパス・フィルタを駆動します。このフィルタは、すでに非常に低いアンプから SAR ADC へのノイズを、さらに制限します。

表 14. 推奨部品値

Noise Gain, Noninverting Gain	R_S (Ω)	R_F (Ω)	R_G (Ω)	C_F (pF)
1	49.9	49.9	Not applicable	Not applicable
1.25	49.9	249	1 k	8
2	49.9	499	499	8
5	49.9	1 k	249	8

表 15. 5 V リファレンス値での各種入力周波数におけるシステム性能

Input Frequency (kHz)	ADC Driver Gain	Results			
		SNR (dB)	THD (dB)	SINAD (dB)	ENOB
1	1	91.9	-106.1	91.5	14.9
10	1	91.5	-105.0	91.0	14.8
20	1	90.7	-103.6	90.1	14.7
50	1	88.3	-99.7	87.6	14.2
100	1	84.5	-93.3	83.3	13.5

非ユニティ・ゲイン構成

代表的な接続図と主な DC 誤差源を図 84 に示します。理想的な伝達関数（すべての誤差源を 0、DC ゲインを無限に設定）は次式で表されます。

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} - \left(\frac{R_F}{R_G}\right) \times V_{IN} \quad (1)$$

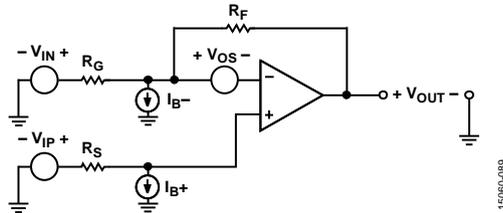


図 84. ADC ドライバの代表的な接続図と DC 誤差源

この関数は、次のようなオペアンプの非反転と反転に関するよく知られた形に変形できます。

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} \quad (2)$$

(非反転ゲイン、 $V_{IN} = 0\text{ V}$)

$$V_{OUT} = \left(\frac{-R_F}{R_G}\right) \times V_{IN} \quad (3)$$

(反転ゲイン、 $V_{IP} = 0\text{ V}$)

総出力電圧誤差は、アンプのオフセット電圧と入力電流による誤差の合計です。オフセット電圧による出力誤差は、次式で推算します。

$$V_{OUT_ERROR} = \left(V_{OFFSET_COM} + \frac{V_{CM}}{CMRR} + \frac{V_P - V_{PNOM}}{PSRR} + \frac{V_{OUT}}{A} \right) \times \left(1 + \frac{R_F}{R_G} \right) \quad (4)$$

ここで

V_{OFFSET_COM} は規定の電源電圧でのオフセット電圧で、入力と出力を中間電位にして測定されます。

V_{CM} はコモンモード電圧。

V_P は電源電圧。 V_{PNOM} は規定の電源電圧。

$CMRR$ は同相ノイズ除去比。

$PSRR$ は電源電圧変動除去比。

A は DC オープンループ・ゲインです。

入力電流による出力誤差は次式で推算します。

$$V_{OUT_ERROR} = (R_F \parallel R_G) \times \left(1 + \frac{R_F}{R_G} \right) I_{B-} - R_S \times \left(1 + \frac{R_F}{R_G} \right) \times I_{B+} \quad (5)$$

R_S を $R_F \parallel R_G$ に等しくすると、入力バイアス電流による電圧誤差が補償されることに注目してください。

ADC ドライバの非反転ゲイン接続を図 85 に示します。分解能とノイズ性能を最適化するために、回路を複数のゲイン設定と約 5 V p-p の出力電圧でテストしたものです。

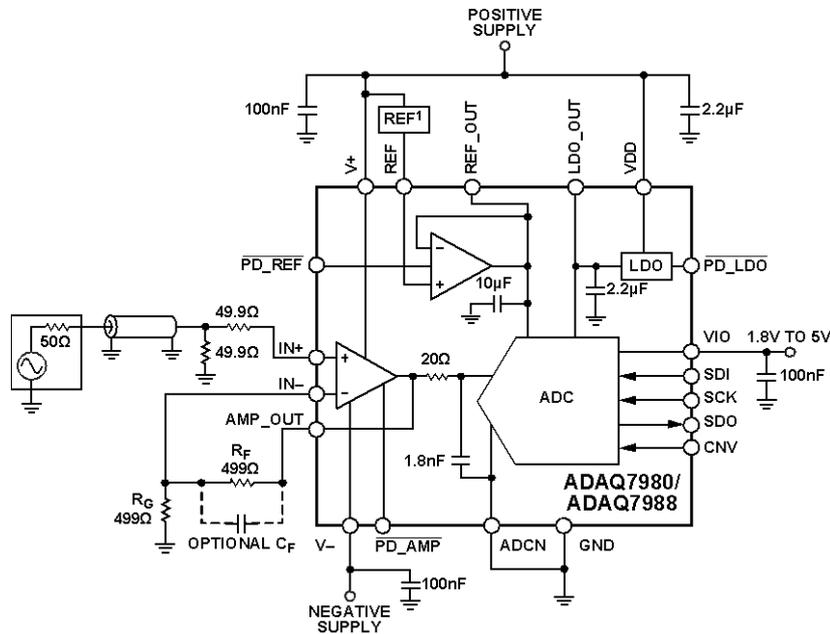


図 85. 非反転 ADC ドライバ、ゲイン = 2

表 16. 各種ゲイン設定における ADAQ7980/ADAQ7988 の周囲温度での代表的性能 ($f_{IN} = 10\text{kHz}$)

Gain (V/V)	SNR (dB)	THD (dB)	SINAD (dB)	SFDR (dB)	ENOB (Bits)
-1	88.3	-103.4	88.0	104.5	14.3
-0.25	90.6	-96.9	90.2	102.0	14.7
1	91.5	-105	91.0	106.0	14.8
2	89.7	-103.9	89.3	102.9	14.5

周囲温度での代表的な結果を表 16 に示します。

レベル・シフトによる反転構成

ADAQ7980/ADAQ7988 は、バイポーラ入力を受け入れるように構成することができます。例えば、 $\pm 10\text{V}$ の信号が $0\text{V} \sim V_{REF}$ ボルトの入力範囲に収まるようにデバイスを構成可能です。この例では、 20V p-p 信号を小さなピーク to ピークの入力範囲に収めるために反転構成を選択する必要があります。入力信号を減衰させるには、反転構成が必要になります。この構成では、反転によって 180° の位相シフトが生じます。

SAR ADC の入力範囲がユニポーラなので、バイポーラ信号を ADC のユニポーラ入力に適合させるためにレベル・シフトを行う必要があります。このレベル・シフトには差動アンプ構成を使用します。差動アンプに選択する抵抗比は、バイポーラ入力信号のピーク to ピーク電圧と、ADC の変換範囲のフルスケールを設定するサブシステム用のリファレンス電圧で決まります。

$$V_{ADCP} =$$

$$\left(\text{Bipolar} V_{IN} \times \frac{-R_F}{R_G} \right) + \left(\text{REF} \times \frac{R_T}{R_S + R_T} \times \left(1 + \frac{R_F}{R_G} \right) \right)$$

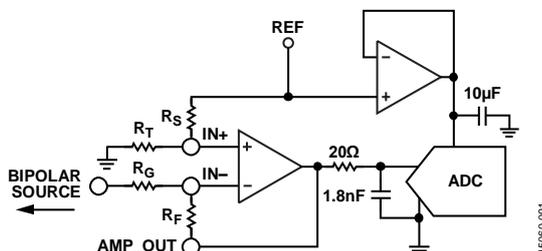


図 86. バイポーラ信号を ADAQ7980/ADAQ7988 に適合させるための差動アンプ構成

非反転と反転のゲイン構成では、 R_F 値を増加させて出力の負荷を低減させることが有効なことがよくあります。 R_F 値を増やすと、アンプの帯域幅が減少しますが、高調波歪みが改善されます。ゲインが増加するにつれて、ゲイン帯域幅積の関係から予想されるように、小信号帯域幅が減少することに注意が必要です。さらに、ゲインが大きくなると位相余裕が改善され、アンプがより安定します。その結果、周波数応答でのピーク形成が低減します。

チップの PCB レイアウト構成とボンド・パッドは、しばしば浮遊容量の一因となります。反転入力における浮遊容量は、帰還抵抗およびゲイン抵抗とともにポールを形成します。この追加ポールにより位相シフトが増加し、クロズドループ位相応答における位相余裕が減少して、アンプが不安定になり、周波数応答にピークが形成されます。

目的の帯域幅を得るには、帰還抵抗 R_F を調整します。 R_F を調整できない場合は、小容量のコンデンサを R_F と並列に配置すればピーク形成を低減することができます。

帰還コンデンサ C_F は帰還抵抗とともにゼロを形成し、これによって入力浮遊容量およびゲイン抵抗と帰還抵抗によって形成されるポールが相殺されます。 C_F 値を求めるには、最初に次式を使用します。

$$R_G \times C_S = R_F \times C_F$$

ここで

R_G はゲイン抵抗。 C_S は入力浮遊容量。 R_F は帰還抵抗。 C_F は帰還コンデンサです。

この式を使用すると、浮遊入力容量がない場合と同様に、アンプ本来のクロズドループ周波数応答が復元されます。ただし多くの場合、 C_F の値は経験的に決定されます。推奨値については、表 14 を参照してください。

ADAQ7980/ADAQ7988 のアクティブ・フィルタとの併用

ADC ドライバは低ノイズかつ高ゲイン帯域幅なので、アクティブ・フィルタ回路は優れた選択肢になります。多くのアクティブ・フィルタに関する文献には、さまざまなフィルタの抵抗とコンデンサの値が記載されていますが、オペアンプの有限の帯域幅がフィルタの性能に与える影響については無視していません。無限のループ・ゲインを持つ理想的なフィルタ応答を仮定しているためです。残念ながら、実際のフィルタはこのように動作しません。現実には、アクティブ・デバイスのゲイン帯域幅に応じて、減衰には有限の限界があります。ローパス・フィルタが最適性能を発揮するには、高周波数での減衰に対しては高いゲイン帯域幅のオペアンプが必要であり、低周波の通過帯域性能には低ノイズと高い DC ゲインのオペアンプが必要です。

2 次のアクティブ・ローパス・フィルタの回路図を図 87 に示します。また、ゲイン 2 および 5 でのベッセル応答を備えたフィルタの代表的な部品値を表 17 に示します。

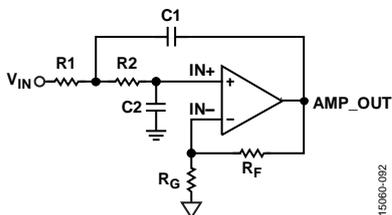


図 87. 2 次アクティブ・ローパス・フィルタの回路図

表 17. 図 87 の 2 次アクティブ・ローパス・フィルタの代表的部品値

Gain	R1 (Ω)	R2 (Ω)	R _F (Ω)	R _G (Ω)	C1 (nF)	C2 (nF)
2	71.5	215	499	499	10	10
5	44.2	365	365	90.9	10	10

ネットワーク・アナライザで測定したこのフィルタの特性を図 88 に示します。

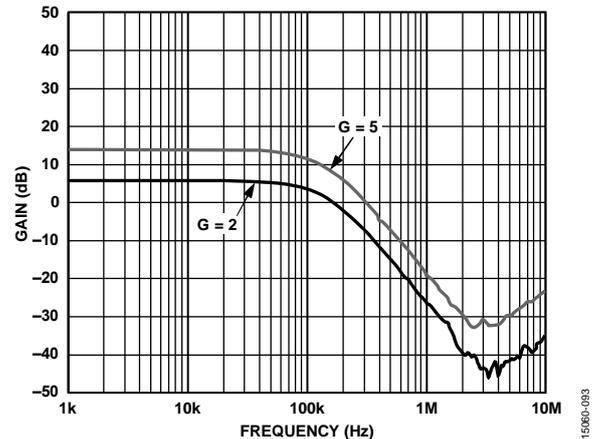


図 88. 2 種類のゲインに対する、図 87 の 2 次アクティブ・ローパス・フィルタの周波数応答

アプリケーション情報

レイアウト

ADAQ7980/ADAQ7988 のピンに接触する銅の量を増やすと、パッケージからの放熱を改善することができます。ただし、最終的には効果の逓減状態に達し、それ以上銅の面積を増やしても放熱を大きく改善できなくなります。

PCB を設計する際は、ADAQ7980/ADAQ7988 を配置する PCB をアナログ部とデジタル部に分離し、特定領域に制限します。ADAQ7980/ADAQ7988 のピン配置では、左側にアナログ信号を配置し、右側にデジタル信号を配置すると、この作業が容易になります。

ADAQ7980/ADAQ7988 の下にグラウンド・プレーンをシールドとして配置する場合を除き、チップにノイズが混入しないよう、デバイスにはデジタル・ラインを配置しないでください。アナログ信号パスの近くには、CNV やクロックなどの高速スイッチング信号が流れないようにしてください。デジタル信号とアナログ信号が交差してはいけません。

少なくとも 1 層のグラウンド・プレーンを使用します。これはデジタル部とアナログ部で共有しても、分割してもかまいません。後者の場合、ADAQ7980/ADAQ7988 デバイスの下で両方のプレーンを結合します。

最後に、低 ESR のセラミック・コンデンサを ADAQ7980/ADAQ7988 の近くに配置し、それらを太くて短いパターンで接続したうえで ADAQ7980/ADAQ7988 の電源 (V+, V-, VDD、VIO) をデカップリングすると、低インピーダンス・パスが形成され、電源ラインへのグリッチの影響が低減します。

最小値のコンデンサは、ADAQ7980/ADAQ7988 と同じ側の基板面に配置し、できるだけアンプの電源ピンの近くに配置します。コンデンサのグラウンド・ピンは、直接グラウンド・プレーンに接続します。

ADAQ7980/ADAQ7988 のレイアウトの例については、図 89 を参照してください。この場合、サブシステムの各部に個別の部品を使用した類似デザインと比較して、50 % の PCB スペースを節約できます。

ADAQ7980/ADAQ7988 の性能評価

ADAQ7980/ADAQ7988 の推奨レイアウトの概要は、ADAQ7980/ADAQ7988 評価用ボード (EVAL-ADAQ7980SDZ) のユーザー・ガイドに示されています。

評価用ボード・パッケージには、組立てが完了したテスト済みの評価用ボード、技術文書、別売の EVAL-SDP-CB1Z 経由で PC からボードを制御するためのソフトウェアが含まれています。

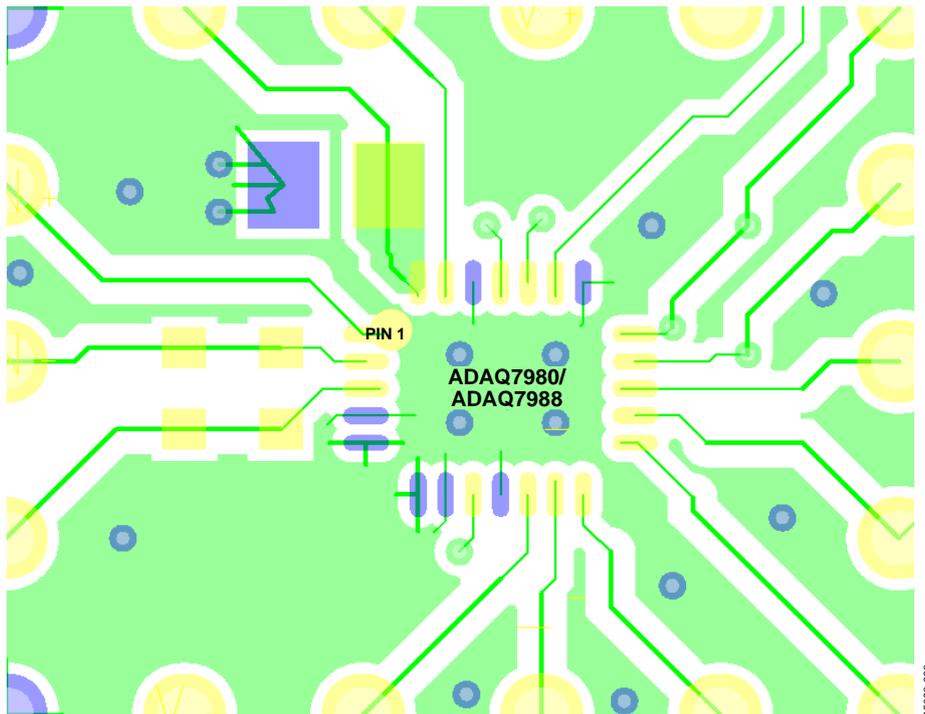


図 89. ADAQ7980/ADAQ7988 のレイアウト例

外形寸法

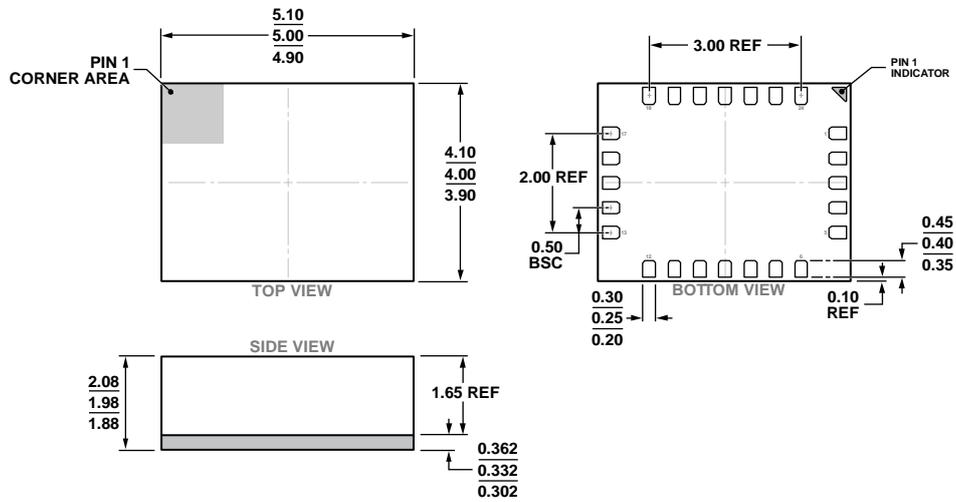


図 90. 24 ピン・ランド・グリッド・アレイ [LGA]
 5 mm x 4 mm ボディ、1.98 mm パッケージ高
 (CC-24-2)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADAQ7980BCCZ	-55°C to +125°C	24-Lead Land Grid Array [LGA]	CC-24-2
ADAQ7980BCCZ-RL7	-55°C to +125°C	24-Lead Land Grid Array [LGA]	CC-24-2
ADAQ7988BCCZ	-55°C to +125°C	24-Lead Land Grid Array [LGA]	CC-24-2
ADAQ7988BCCZ-RL7	-55°C to +125°C	24-Lead Land Grid Array [LGA]	CC-24-2
EVAL-ADAQ7980SDZ		Evaluation Board	
EVAL-SDP-CB1Z		Evaluation Controller Board	

¹ Z = RoHS 準拠製品。