

特長

シングルエンド/差動コンバータ

優れた直線性

歪み: 100 KHz の V_O 、 $dm = 2\text{ V p-p}$ で -110 dBc

低ノイズ: $G = 2$ で $10.2\text{ nV}/\sqrt{\text{Hz}}$ (出力換算)

極めて少ない消費電流: 2.2 mA (3 V 電源)

高入力インピーダンス: $24\text{ M}\Omega$

ゲインがユーザ調整可能

高速動作: -3 dB 帯域幅 31 MHz ($G = +2$)

高速セトリング・タイム: 2 V ステップに対し 300 ns で 0.005% へ安定

低オフセット: $G = 2$ で最大 0.8 mV (出力換算)

レール to レール出力

ディスエーブル機能を装備

広い電源電圧範囲: $2.7\text{ V} \sim 12\text{ V}$

省スペースの $3\text{ mm} \times 3\text{ mm}$ LFCSP パッケージを採用

アプリケーション

単電源のデータ・アキュイジション・システム

計装機器

プロセス・コントロール

バッテリー駆動のシステム

医療計測機器

機能ブロック図

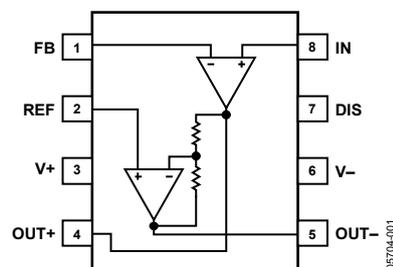


図1.

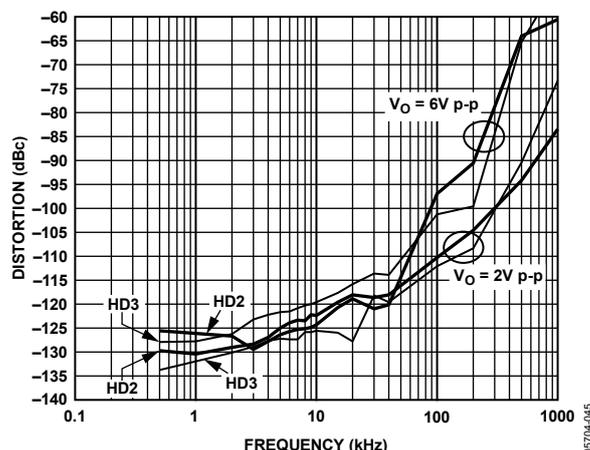


図2.さまざまな出力振幅での歪みの周波数特性

概要

ADA4941-1 は、消費電力の厳しいシステムでの最大 18 ビットまでの ADC を対象とする低消費電力で低ノイズの差動ドライバです。ADA4941-1 は、使い易いシングルエンド/差動変換に構成されており、ゲイン = 2 の設定に対しては外付け部品が不要です。2 より大きいゲインを実現するときは、抵抗帰還回路を追加することができます。ADA4941-1 は、高分解能 ADC の駆動で重要な低歪みや高 SNR のような長所を提供します。

この ADA4941-1 は、広い入力電圧範囲 (5 V 単電源で 0 V ~ 3.9 V)、レール to レール出力、高入力インピーダンス、ユーザ調整可能なゲインを持っており、バッテリー駆動のデバイスや単電源のデータ・アキュイジション・システムなどの、さまざまな低消費電力アプリケーションで採用されている、差動入力単電源 ADC を駆動するようにデザインされています。

ADA4941-1 は、AD7687、AD7690、AD7691 のような 16 ビットと 18 ビットの PulSAR[®] ADC の駆動に最適です。

ADA4941-1 は、低電源電流で 18 ビット性能を実現するアンプを可能にする、ADI 独自の第 2 世代 XFCB 製造プロセスで製造されています。

ADA4941-1 は小型 8 ピン LFCSP または標準 8 ピン SOIC パッケージを採用し、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の拡張工業温度範囲で仕様が規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2006–2009 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪 MT ビル 2 号
電話 06 (6350) 6868

目次

特長.....	1	出力電圧ノイズ.....	17
アプリケーション.....	1	周波数応答とクロズド・ループ・ゲインの関係.....	19
機能ブロック図.....	1	アプリケーション.....	20
概要.....	1	概要.....	20
改訂履歴.....	2	REF ピンの使用.....	20
仕様.....	3	内部帰還回路の消費電力.....	20
絶対最大定格.....	6	デイスエーブル機能.....	20
熱抵抗.....	6	3 極 Sallen-Key フィルタの追加.....	21
ESD の注意.....	6	AD7687 ADC の駆動.....	22
ピン配置およびピン機能説明.....	7	ゲイン-2 の構成.....	22
代表的な性能特性.....	8	外形寸法.....	23
動作原理.....	15	オーダー・ガイド.....	23
基本動作.....	15		
DC 誤差の計算.....	16		

改訂履歴

3/09—Rev. 0 to Rev. A

Change to Gain Error Drift Parameter, Table 1.....	3
Change to Gain Error Drift Parameter, Table 2.....	4
Change to Gain Error Drift Parameter, Table 3.....	5
Updated Outline Dimensions.....	23

4/06—Revision 0: Initial Version

仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 3\text{ V}$ 、OUT+はFBに接続 ($G = 2$)、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $REF = 1.5\text{ V}$ 。

表1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_O = 0.1\text{ V p-p}$	21	30		MHz
	$V_O = 2.0\text{ V p-p}$	4.6	6.5		MHz
Overdrive Recovery Time	+Recover/-Recovery		320/650		ns
Slew Rate	$V_O = 2\text{ V step}$		22		V/ μs
Settling Time 0.005%	$V_O = 2\text{ V p-p step}$		300		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion	$f_C = 40\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-116/-112		dBc
	$f_C = 100\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-101/-98		dBc
	$f_C = 1\text{ MHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-75/-71		dBc
RTO Voltage Noise	$f = 100\text{ kHz}$		10.2		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$		1.6		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Differential Output Offset Voltage			0.2	0.8	mV
Differential Input Offset Voltage Drift			1.0		$\mu\text{V}/^\circ\text{C}$
Single-Ended Input Offset Voltage	Amp A1 or Amp A2		0.1	0.4	mV
Single-Ended Input Offset Voltage Drift			0.3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	IN and REF		3	4.5	μA
Input Offset Current	IN and REF		0.1		μA
Gain	$(+OUT - -OUT)/(IN - REF)$	1.98	2.00	2.01	V/V
Gain Error		-1		+1	%
Gain Error Drift			1	5	ppm
INPUT CHARACTERISTICS					
Input Resistance	IN and REF		24		M Ω
Input Capacitance	IN and REF		1.4		pF
Input Common-Mode Voltage Range		0.2		1.9	V
Common-Mode Rejection Ratio (CMRR)	$CMRR = V_{OS, dm}/V_{CM}$, $V_{REF} = V_{IN}$, $V_{CM} = 0.2\text{ V to }1.9\text{ V}$, $G = 4$	81	105		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output, $G = 4$	± 2.90	± 2.95		V
Output Current			25		mA
Capacitive Load Drive	20% overshoot, $V_{O, dm} = 200\text{ mV p-p}$		20		pF
POWER SUPPLY					
Operating Range		2.7		12	V
Quiescent Current			2.2	2.4	mA
Quiescent Current—Disable			10	16	μA
Power Supply Rejection Ratio (PSRR)					
+PSRR	$PSRR = V_{OS, dm}/\Delta V_S$, $G = 4$	86	100		dB
-PSRR		86	110		dB
DISABLE					
DIS Input Voltage	Disabled, DIS = High		≥ 1.5		V
	Enabled, DIS = Low		≤ 1.0		V
DIS Input Current	Disabled, DIS = High		5.5	8	μA
	Enabled, DIS = Low		4	6	μA
Turn-On Time			0.7		μs
Turn-Off Time			30		μs

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、OUT+はFBに接続 ($G = 2$)、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $\text{REF} = 2.5\text{ V}$ 。

表2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_O = 0.1\text{ V p-p}$	22	31		MHz
	$V_O = 2.0\text{ V p-p}$	4.9	7		MHz
Overdrive Recovery Time	+Recover/-Recovery		200/600		ns
Slew Rate	$V_O = 2\text{ V step}$		24.5		V/ μs
Settling Time 0.005%	$V_O = 6\text{ V p-p step}$		610		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion	$f_c = 40\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-118/-119		dBc
	$f_c = 100\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-110/-112		dBc
	$f_c = 1\text{ MHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-83/-73		dBc
RTO Voltage Noise	$f = 100\text{ kHz}$		10.2		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$		1.6		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Differential Output Offset Voltage			0.2	0.8	mV
Differential Input Offset Voltage Drift			1.0		$\mu\text{V}/^\circ\text{C}$
Single-Ended Input Offset Voltage	Amp A1 or Amp A2		0.1	0.4	mV
Single-Ended Input Offset Voltage Drift			0.3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	IN and REF		3	4.5	μA
Input Offset Current	IN and REF		0.1		μA
Gain	$(+\text{OUT} - -\text{OUT})/(\text{IN} - \text{REF})$	1.98	2	2.01	V/V
Gain Error		-1		+1	%
Gain Error Drift			1	5	ppm
INPUT CHARACTERISTICS					
Input Resistance	IN and REF		24		M Ω
Input Capacitance	IN and REF		1.4		pF
Input Common-Mode Voltage Range		0.2		3.9	V
Common-Mode Rejection Ratio (CMRR)	$\text{CMRR} = V_{OS, dm}/V_{CM}$, $V_{REF} = V_{IN}$, $V_{CM} = 0.2\text{ V to } 3.9\text{ V}$, $G = 4$	84	106		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output, $G = 4$	± 4.85	± 4.93		V
Output Current			25		mA
Capacitive Load Drive	20% overshoot, $V_O, dm = 200\text{ mV p-p}$		20		pF
POWER SUPPLY					
Operating Range		2.7		12	V
Quiescent Current			2.3	2.6	mA
Quiescent Current—Disable			12	20	μA
Power Supply Rejection Ratio (PSRR)					
+PSRR	$\text{PSRR} = V_{OS, dm}/\Delta V_S$, $G = 4$	87	100		dB
-PSRR		87	110		dB
DISABLE					
DIS Input Voltage	Disabled, DIS = High		≥ 1.5		V
	Enabled, DIS = Low		≤ 1.0		V
DIS Input Current	Disabled, DIS = High		5.5	8	μA
	Enabled, DIS = Low		4	6	μA
Turn-On Time			0.7		μs
Turn-Off Time			30		μs

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 5\text{ V}$ 、OUT+は FB に接続 ($G = 2$)、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $REF = 0\text{ V}$ 。

表3.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_O = 0.1\text{ V p-p}$	23	32		MHz
	$V_O = 2.0\text{ V p-p}$	5.2	7.5		MHz
Overdrive Recovery Time	+Recover/-Recovery		200/650		ns
Slew Rate	$V_O = 2\text{ V step}$		26		V/ μs
Settling Time 0.005%	$V_O = 12\text{ V p-p step}$		980		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion	$f_c = 40\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-118/-119		dBc
	$f_c = 100\text{ kHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-109/-112		dBc
	$f_c = 1\text{ MHz}$, $V_O = 2\text{ V p-p}$, HD2/HD3		-84/-75		dBc
RTO Voltage Noise	$f = 100\text{ kHz}$		10.2		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$		1.6		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Differential Output Offset Voltage			0.2	0.8	mV
Differential Input Offset Voltage Drift			1.0		$\mu\text{V}/^\circ\text{C}$
Single-Ended Input Offset Voltage	Amp A1 or Amp A2		0.1	0.4	mV
Single-Ended Input Offset Voltage Drift			0.3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	IN and REF		3	4.5	μA
Input Offset Current	IN and REF		0.1		μA
Gain	$(+OUT - -OUT)/(IN - REF)$	1.98	2	2.01	V/V
Gain Error		-1		+1	%
Gain Error Drift			1	5	ppm
INPUT CHARACTERISTICS					
Input Resistance	IN and REF		24		M Ω
Input Capacitance	IN and REF		1.4		pF
Input Common-Mode Voltage Range		-4.8		+3.9	V
Common-Mode Rejection Ratio (CMRR)	$CMRR = V_{OS, dm}/V_{CM}$, $V_{REF} = V_{IN}$, $V_{CM} = -4.8\text{ V to }+3.9\text{ V}$, $G = 4$	85	105		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output, $G = 4$	$V_S - 0.25$	$V_S \pm 0.14$		V
Output Current			25		mA
Capacitive Load Drive	20% overshoot, $V_{O, dm} = 200\text{ mV p-p}$		20		pF
POWER SUPPLY					
Operating Range		2.7		12	V
Quiescent Current			2.5	2.7	mA
Quiescent Current—Disable			15	26	μA
Power Supply Rejection Ratio (PSRR)					
+PSRR	$PSRR = V_{OS, dm}/\Delta V_S$, $G = 4$	87	100		dB
-PSRR		87	110		dB
DISABLE					
DIS Input Voltage	Disabled, DIS = High		≥ -3		V
	Enabled, DIS = Low		≤ -4		V
DIS Input Current	Disabled, DIS = High		7	10	μA
	Enabled, DIS = Low		4	6	μA
Turn-On Time			0.7		μs
Turn-Off Time			30		μs

絶対最大定格

表4.

Parameter	Rating
Supply Voltage	12 V
Power Dissipation	See Figure 3
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち銅プレーンに熱的に接続された PCB 表面のパッド(存在する場合)にデバイスの露出パドルをハンダ付けした状態で、自然空冷のもとで θ_{JA} を規定。

表5.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC on 4-Layer Board	126	28	°C/W
8-Lead LFCSP with EP on 4-Layer Board	83	19	°C/W

最大消費電力

ADA4941-1 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(TJ)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4941-1 のパラメータ性能が永久的にシフトしてしまふことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(PD)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存します。各出力の負荷駆動に起因する電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。すべての負荷で消費される電力は、各負荷の消費電力の和に一致します。これらの計算では RMS 電圧と RMS 電流を使用する必要があります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。パッケージ底面の露出パドルは、規定の θ_{JA} を実現するためには、熱的に銅プレーンへ接続された PCB 表面のパッドへハンダ付けする必要があります。

図 3 に、パッケージ内での安全な最大消費電力と周囲温度の関係を、JEDEC 標準 4 層ボードに実装した 8 ピン SOIC (126°C/W) パッケージと 8 ピン LFCSP (83°C/W) パッケージについて示します。LFCSP の底面パドルは、PCB プレーンへ熱的に接続されたパドルへハンダ付けする必要があります。 θ_{JA} 値は近似値です。

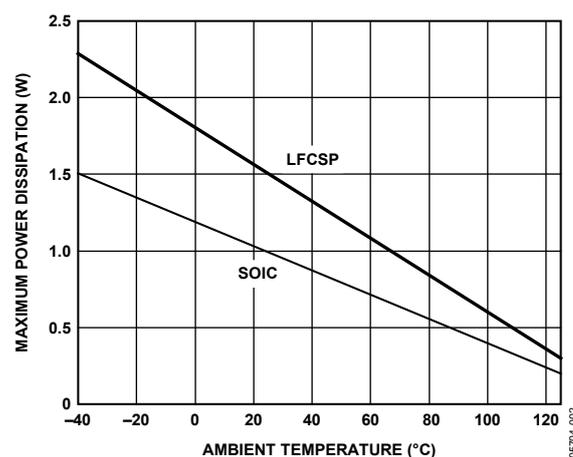


図3.最大消費電力対温度、4層ボード

ESD の注意

ESD (electrostatic discharge) に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



ピン配置およびピン機能説明

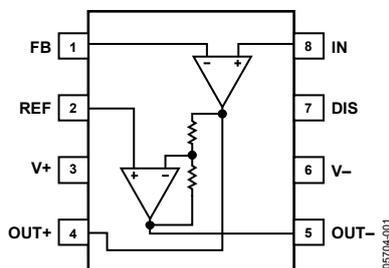


図4.ピン配置

表6.ピン機能の説明

ピン番号	記号	説明
1	FB	帰還入力
2	REF	リファレンス電圧入力
3	V+	正の電源
4	OUT+	非反転出力
5	OUT-	反転出力
6	V-	負の電源
7	DIS	ディスエーブル
8	IN	入力

代表的な性能特性

特に指定がない限り、 $V_S = 5\text{ V}$ 、 $R_{L, dm} = 1\text{ k}\Omega$ 、 $REF = 2.5\text{ V}$ 、 $DIS = \text{ロー・レベル}$ 、 $OUT+$ は直接 FB へ接続 ($G = 2$)、 $T_A = 25^\circ\text{C}$ 。

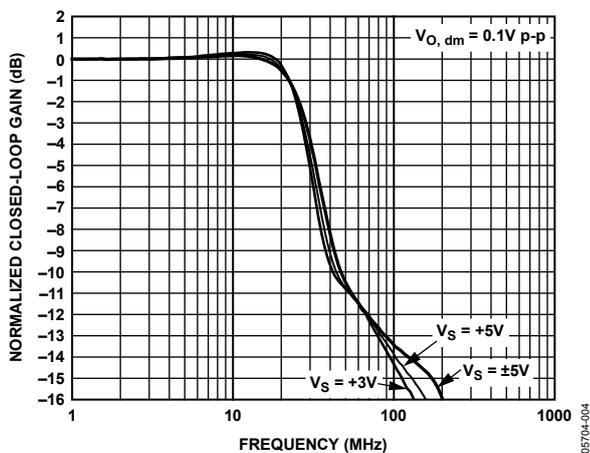


図5.さまざまな電源での小信号周波数応答

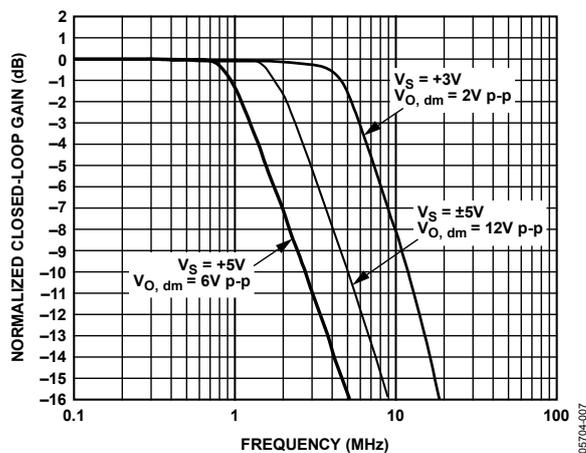


図8.さまざまな電源での大信号周波数応答

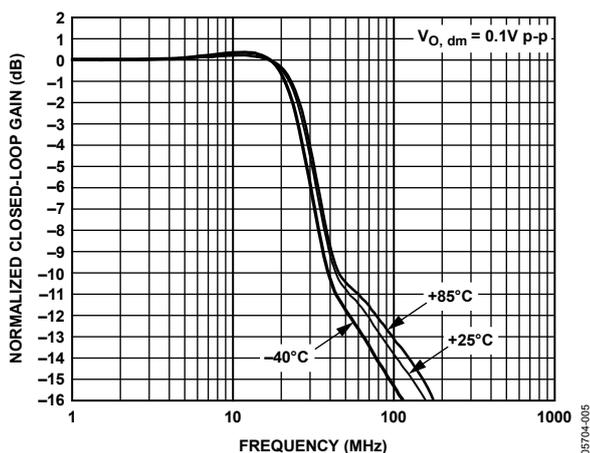


図6.さまざまな温度での小信号周波数応答

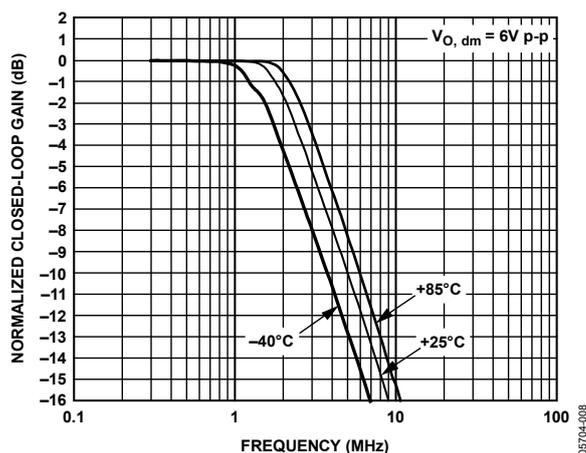


図9.さまざまな温度での大信号周波数応答

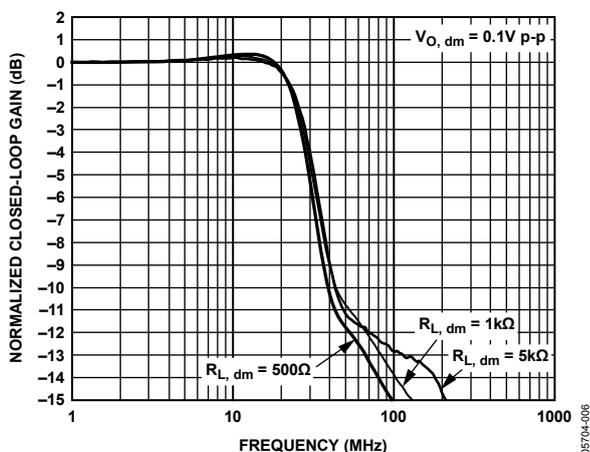


図7.さまざまな抵抗負荷での小信号周波数応答

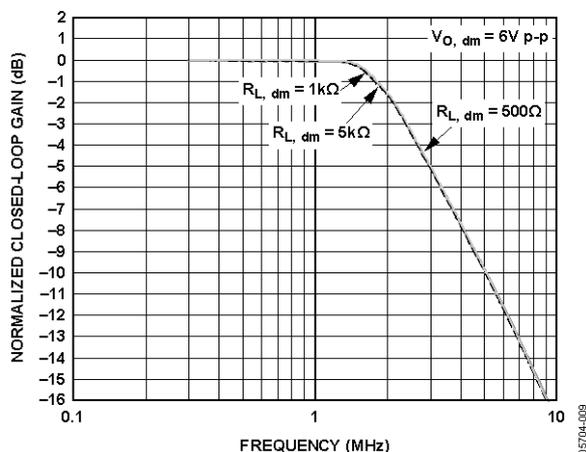


図10.さまざまな抵抗負荷での大信号周波数応答

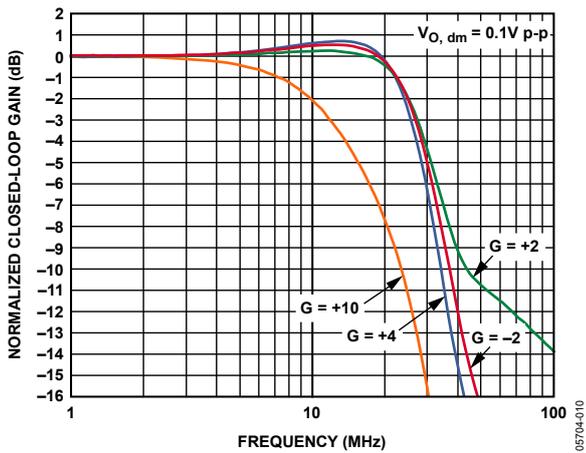


図11.さまざまなゲインでの小信号周波数応答

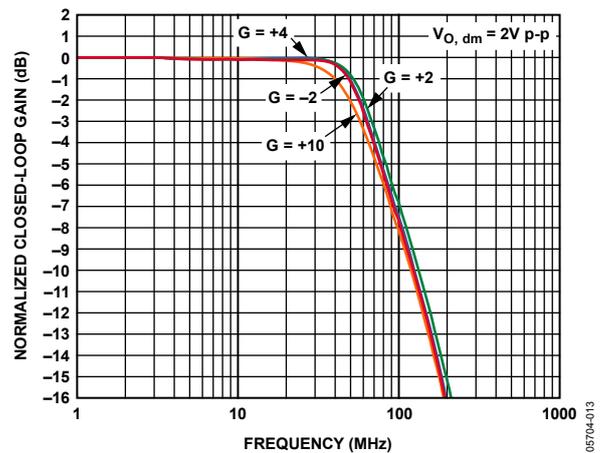


図14.さまざまなゲインでの大信号周波数応答

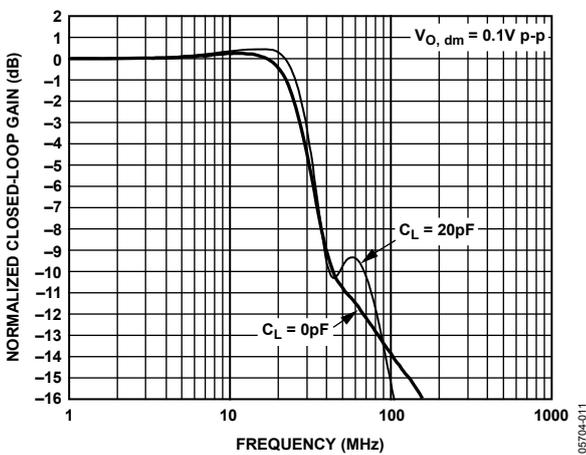


図12.さまざまな容量負荷での小信号周波数応答

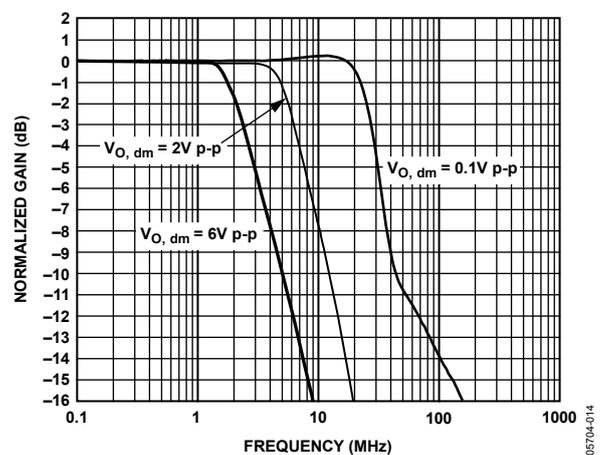


図15.さまざまな出力振幅での周波数応答

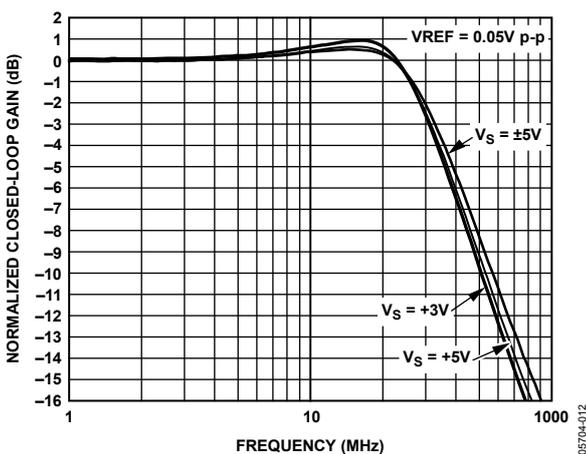


図13.さまざまな電源でのREF 入力小信号周波数応答

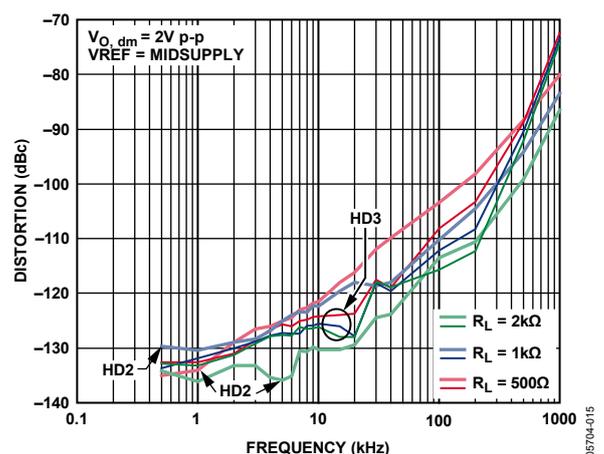


図16.さまざまな負荷での歪みの周波数特性

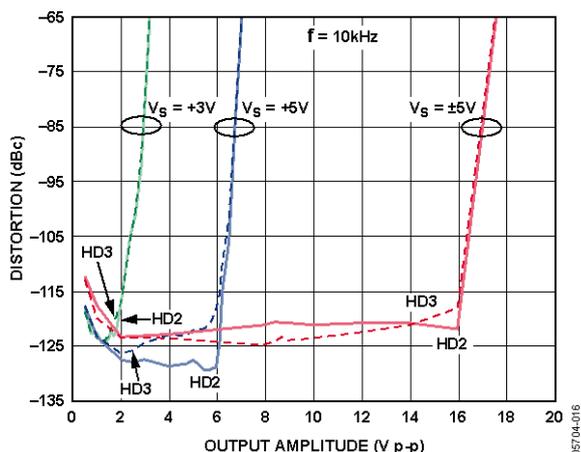


図17.さまざまな電源での歪み対出力振幅 (G = +2)

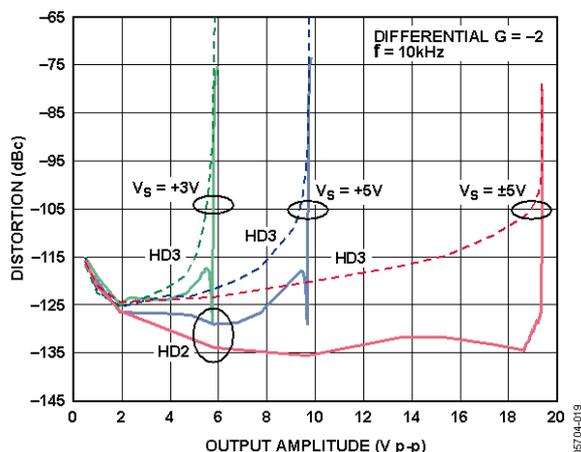


図20.さまざまな電源での歪み対出力振幅 (G = -2)

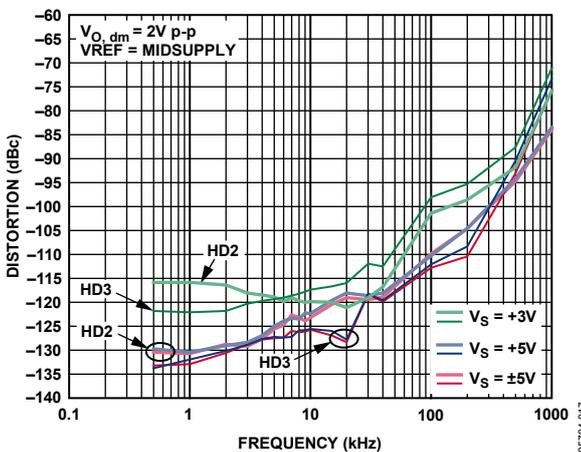


図18.さまざまな電源での歪みの周波数特性

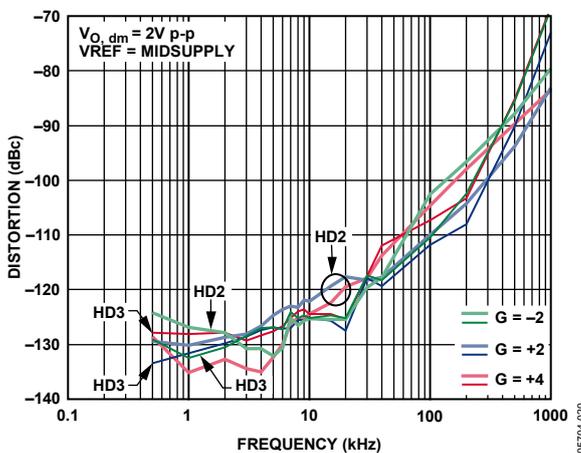


図21.さまざまなゲインでの歪みの周波数特性

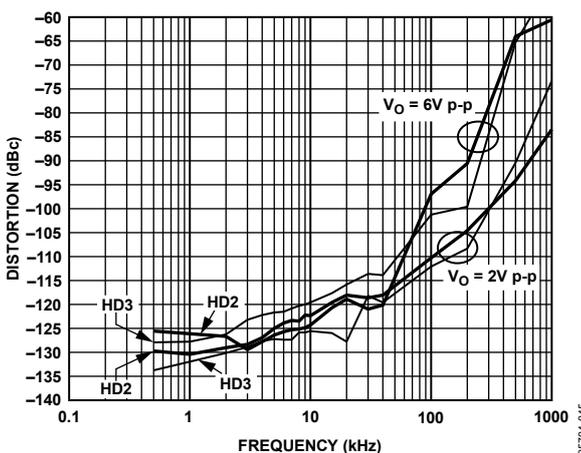


図19.さまざまな出力振幅での歪みの周波数特性

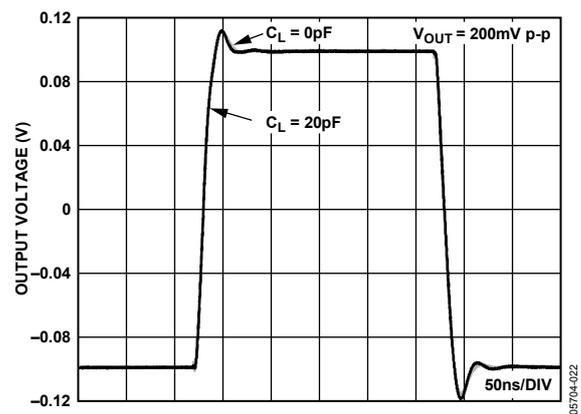


図22.さまざまな容量負荷での小信号過渡応答

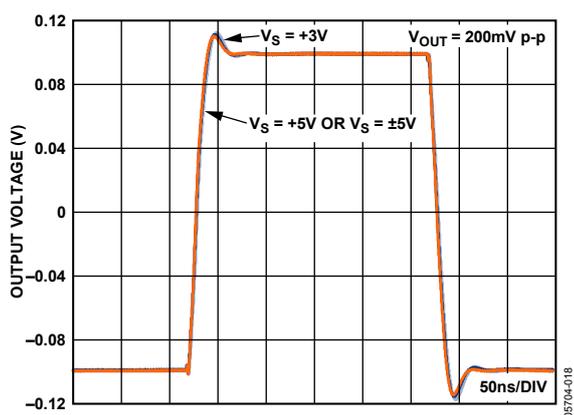


図23.さまざまな電源での小信号過渡応答

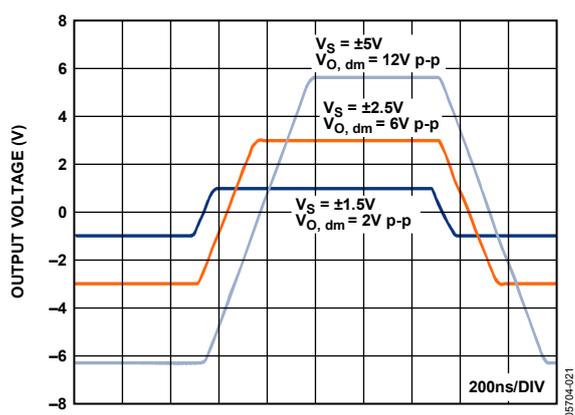


図26.さまざまな電源での大信号過渡応答

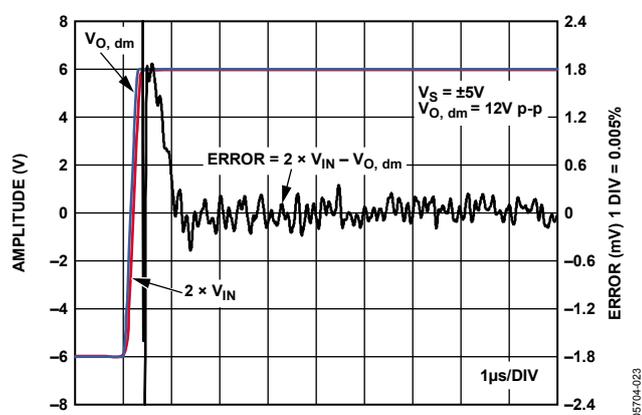


図24.セトリング・タイム (0.005%)、 $V_S = \pm 5\text{ V}$

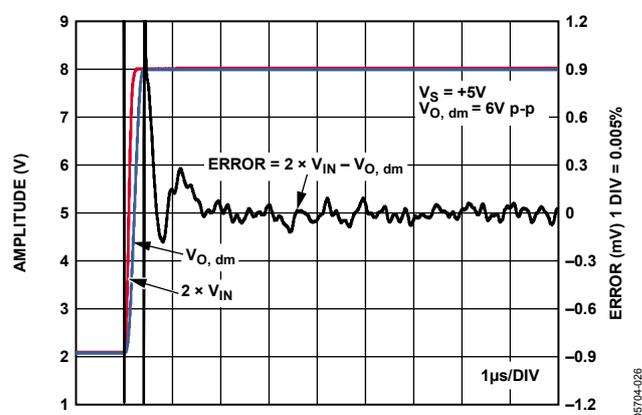


図27.セトリング・タイム (0.005%)、 $V_S = +5\text{ V}$

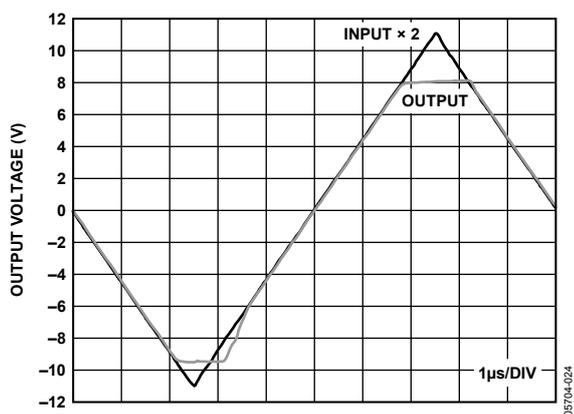


図25.入力オーバードライブ回復、 $V_S = \pm 5\text{ V}$

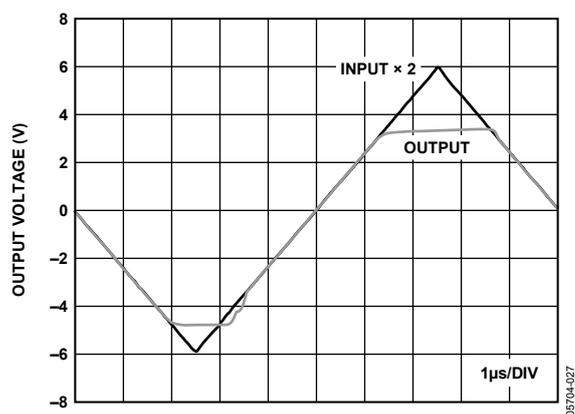


図28.入力オーバードライブ回復、 $V_S = +5\text{ V}$

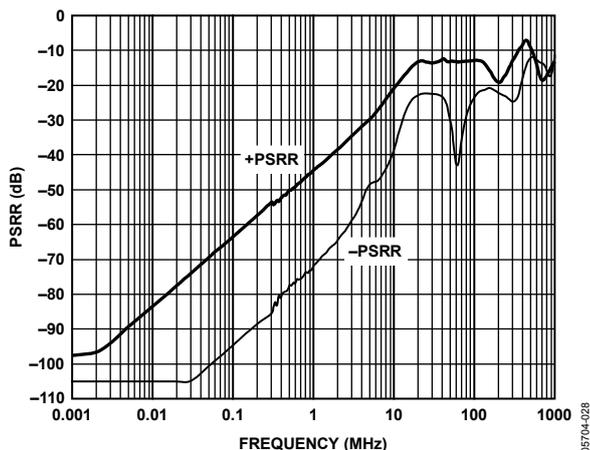


図29.電源除去比の周波数特性

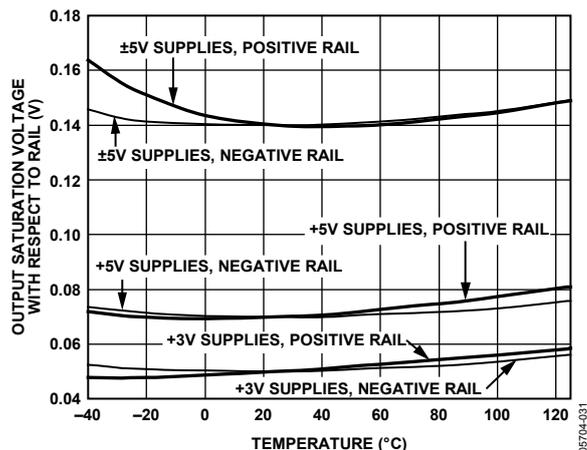


図32.出力飽和電圧の温度特性

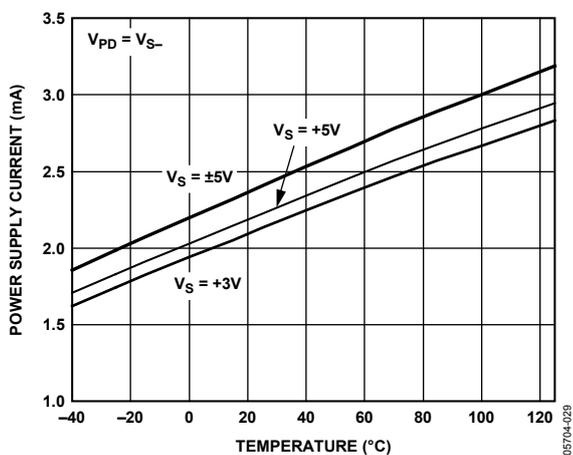


図30.電源電流の温度特性

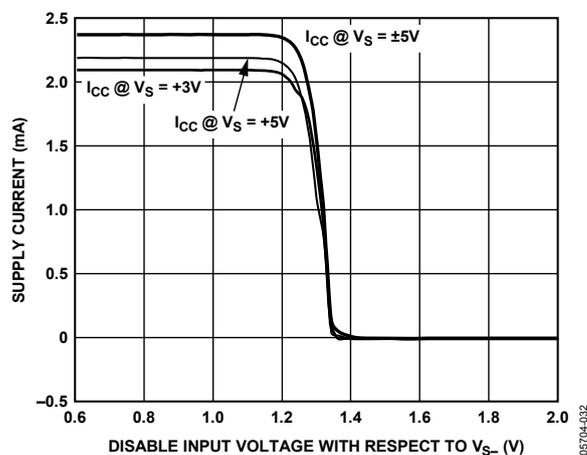


図33.電源電流対ディスエーブル電圧

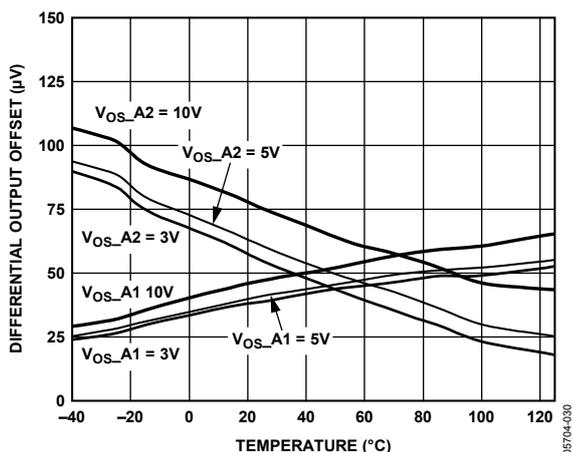


図31.差動出力オフセット電圧の温度特性

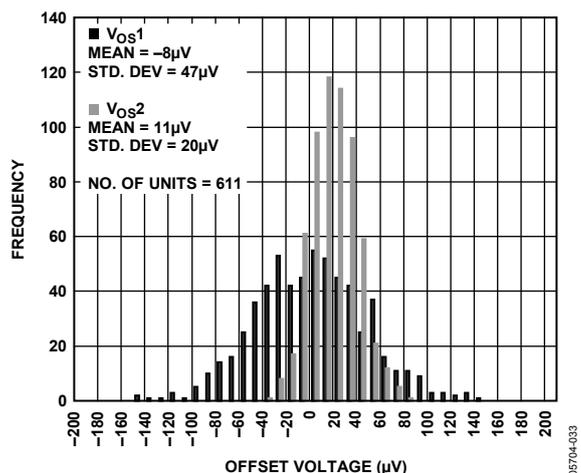


図34.差動出力オフセットの分布

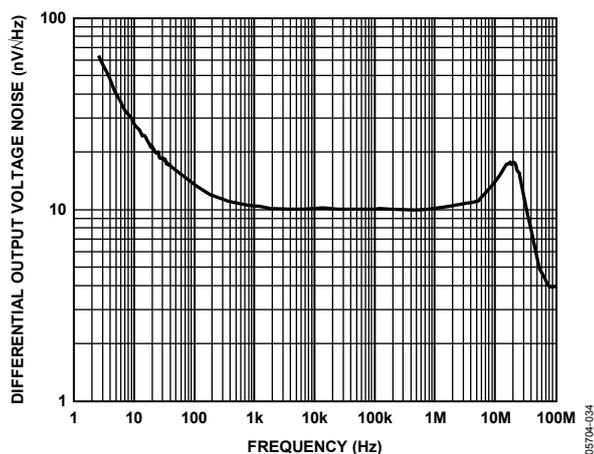


図35.差動出力電圧ノイズの周波数特性

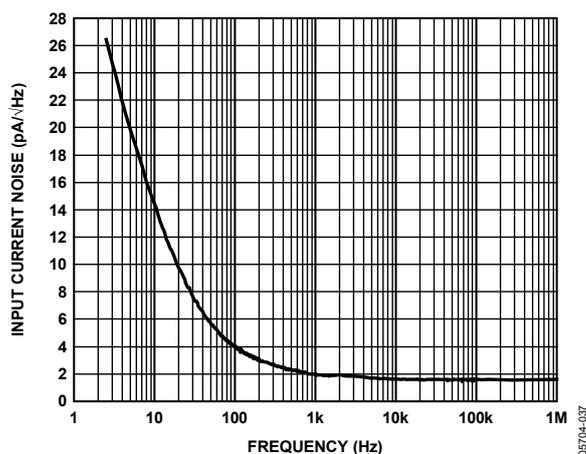


図38.入力電流ノイズの周波数特性

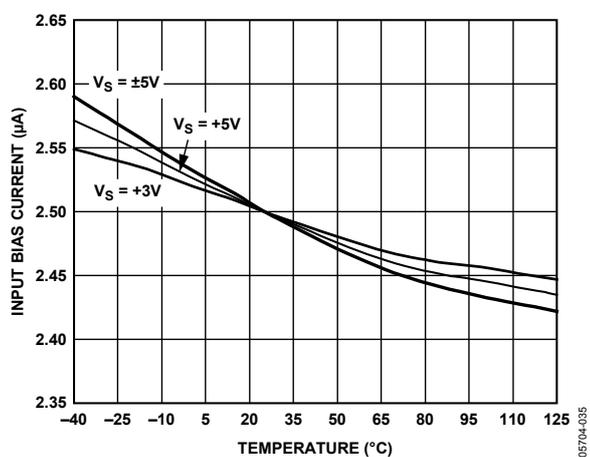


図36.さまざまな電源での入力バイアス電流の温度特性

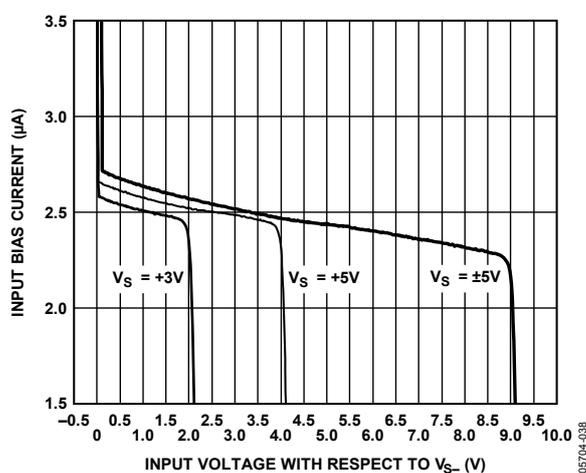


図39.入力バイアス電流対入力電圧

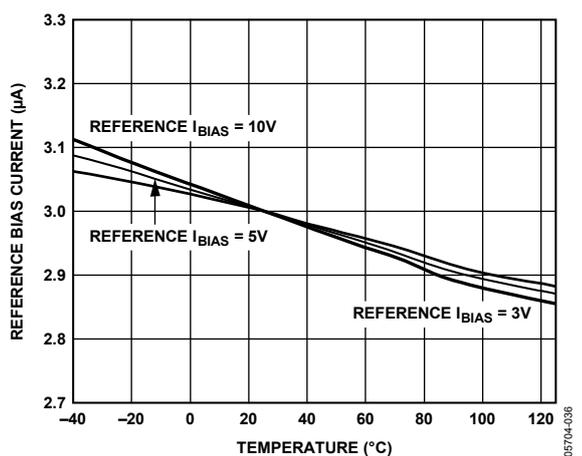


図37.REF 入力バイアス電流の温度特性

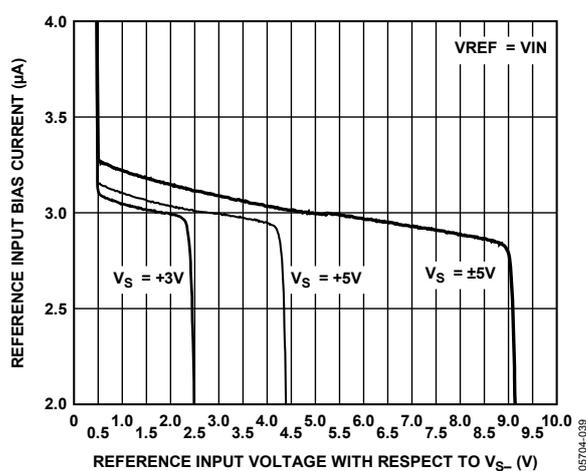


図40.REF 入力バイアス電流対 REF 入力電圧

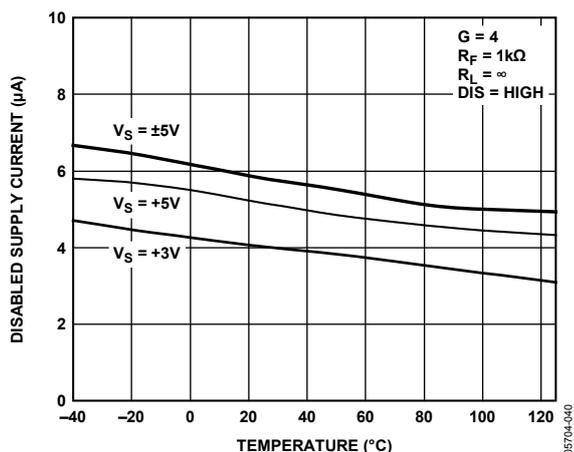


図41.さまざまな電源でのディスエーブル電源電流の温度特性

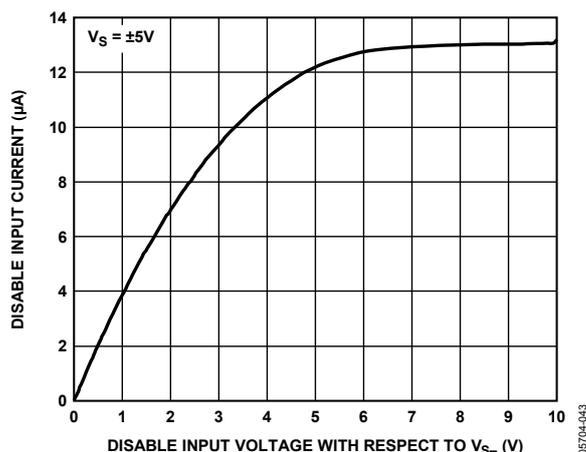


図44.ディスエーブル入力電流対ディスエーブル入力電圧

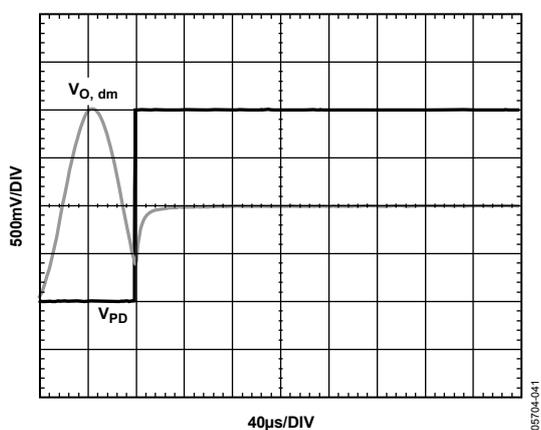


図42.ディスエーブルのアサート・タイム

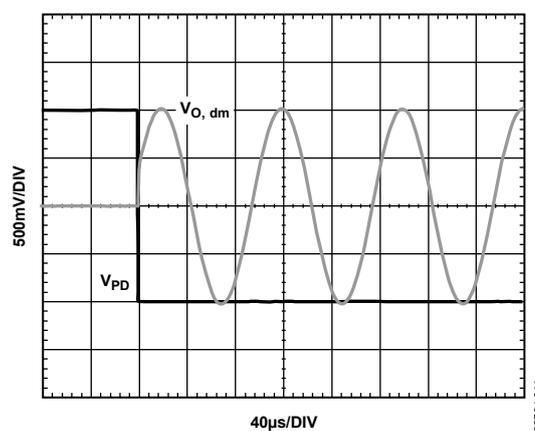


図45.ディスエーブルのデアサート・タイム

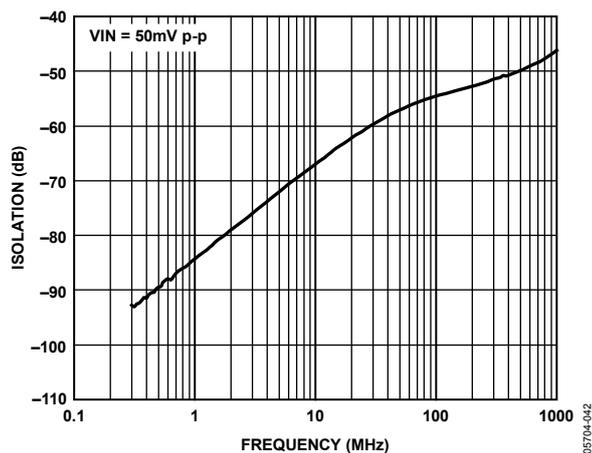


図43.ディスエーブル時の入力間アイソレーションの周波数特性

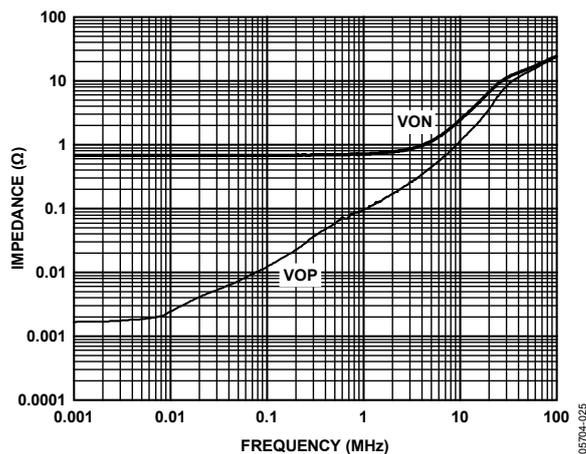


図46.シングルエンド出力インピーダンスの周波数特性

動作原理

ADA4941-1 は、高分解能 ADC の駆動用に最適化されたシングルエンド入力で差動出力の低消費電力アンプです。図 47 に、ADA4941-1 の一般的な接続を示します。このアンプは、高精度インバータ A2 を駆動する汎用アンプ A1 から構成されています。A1 の負入力 (FB) に接続されているため、ユーザがゲインを設定することができます。反転オペアンプ A2 が A1 出力の正確な反転 VOP を発生して、出力信号 VON が発生されます。

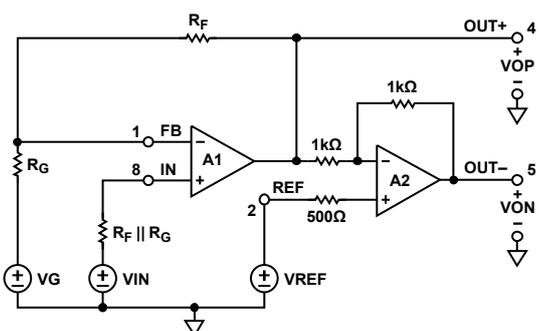


図47.基本接続 (電源は省略)

REF ピンに加えた電圧が、出力同相モード電圧として現れます。REF ピンに加えた電圧は OUT+ ピンの電圧に影響を与えないことに注意してください。このため、出力間には差動オフセットが存在できますが、所望の出力同相モード電圧が入力されます。たとえば、VOP = 3.5 V かつ VON = 1.5 V の場合、出力同相モード電圧は 2.5 V になります。これは、両出力が 2.5 V である場合と同じです。最初のケースでは、差動電圧 (すなわちオフセット) が 2.0 V で、後のケースでは、差動電圧が 0 V になります。出力電圧を計算するときは、不要な差動オフセットを回避するために、差動モード電圧と同相モード電圧を同時に考慮する必要があります。

基本動作

図 47 では、RG と RF が外部ゲイン設定回路を構成しています。VG と VREF は、外部から加える電圧です。VO,cm を、出力同相モード電圧として、VO,dm を差動モード出力電圧として、それぞれ定義します。次式は、図 47 から導出することができます。

$$VOP = VIN \left(1 + \frac{R_F}{R_G} \right) - VG \left(\frac{R_F}{R_G} \right) \quad (1)$$

$$VON = -VIN \left(1 + \frac{R_F}{R_G} \right) + VG \left(\frac{R_F}{R_G} \right) + 2(VREF) \quad (2)$$

$$V_{O,dm} =$$

$$VOP - VON = 2(VIN) \left(1 + \frac{R_F}{R_G} \right) - 2VG \left(\frac{R_F}{R_G} \right) - 2(VREF) \quad (3)$$

$$V_{O,cm} = \left(\frac{VOP + VON}{2} \right) = VREF \quad (4)$$

RF = 0 とし、かつ RG を削除すると、式 3 は次のように簡単になります。

$$V_{O,dm} = 2(VIN) - 2(VREF) \quad (5)$$

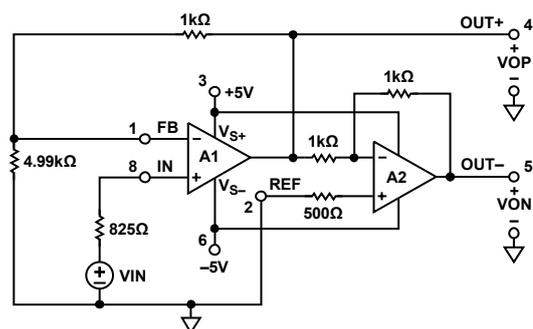


図48.両電源、G = 2.4、シングルエンド/差動変換アンプ

図 48 に、両電源接続の例を示します。この例では、VG と VREF を 0 V に設定し、外付けの RF と RG の回路により A1 の非反転ゲイン = 1.2 を設定しています。この例では、レール to レール出力ステージをフルに利用しています。ゲイン式は、

$$VOP - VON = 2.4(VIN) \quad (6)$$

ピン 8 に直列抵抗 825 Ω を接続すると、A1 の入力オフセット電流で発生する電圧誤差が補償されます。A1 と A2 のリニア出力範囲は、各電源レールの内側 200 mV まで伸びるため、±5 V 電源で 19.2 V のピーク to ピーク差動出力電圧が可能になります。

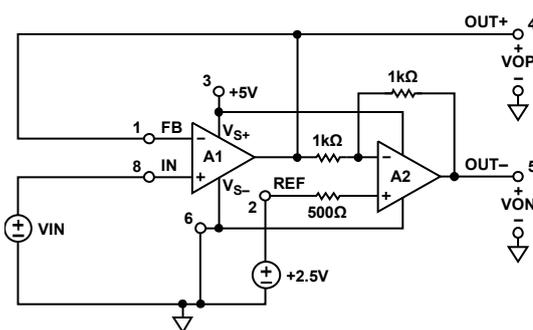


図49.+5V 単電源、G=2 のシングルエンド/差動変換アンプ

図 49 に A1 をユニティ・ゲイン・ホロワとして使った 5 V 単電源接続を示します。REF ピンを 2.5 V に設定すると、出力同相モード電圧が 2.5 V に設定されます。したがって、伝達関数は、

$$VOP - VON = 2(VIN) - 5V \quad (7)$$

この場合、リニア出力電圧は A1 により制限されます。下側では、A1 出力の飽和が始まるため、VOP が 200 mV に近づくと線形性の低下が生じます。上側では、A1 入力に飽和して、VIN が 4 V を超えると (VCC から 1 V 以内)、直線性が低下します。これ

により、図 49 に示す回路のリニア差動出力電圧が約 7.6 V p-p に制限されます。

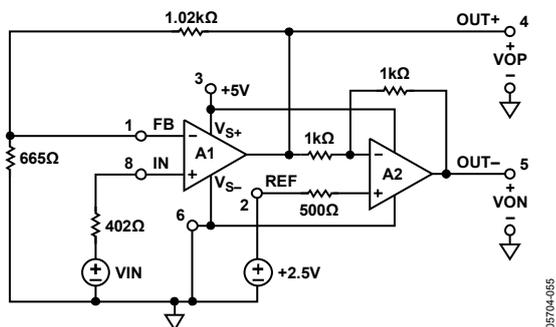


図50.5 V 電源、G = 5、シングルエンド/差動変換アンプ

図 50 に、G = 5 の 5 V 単電源接続を示します。R_F と R_G により A1 のゲインを 2.5 に設定し、REF 入力での 2.5 V により 2.5 V 中心の出力同相モード電圧を設定しています。伝達関数は次式で表されます。

$$VOP - VON = 5(VIN) - 5V \tag{8}$$

A1 と A2 の出力範囲により、図 50 に示す回路の差動出力電圧が約 8.4 V p-p に制限されます。

DC 誤差の計算

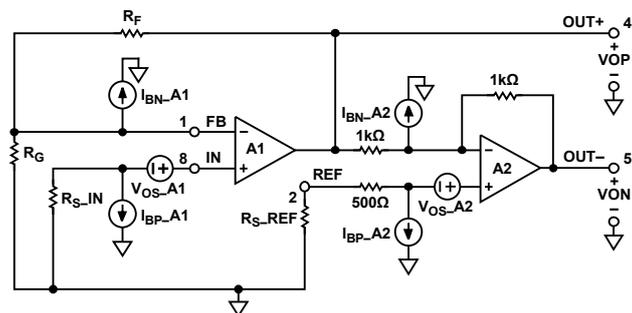


図51.DC 誤差の原因

図 51 に、DC 出力電圧誤差の主要な成分を示します。各出力について、総合誤差電圧は通常のオペアンプ概念を使って計算することができます。式 9 は、VOP 出力に現れる DC 電圧誤差を表します。

$$VOP_error = \left(1 + \frac{R_F}{R_G}\right) [V_{OS_A1} - (I_{BP_A1})(R_{S_IN})] + (I_{BP_A1})R_F \tag{9}$$

仕様の表のデータを使う場合、誤差の計算で個々の入力バイアス電流の代わりに入力オフセット電流を使うと便利ことがあります。入力オフセット電流は、2 つの入力バイアス電流間の差として定義されます。この定義を使うと、各入力バイアス電流を入力バイアス電流 I_B と入力オフセット電流 I_{OS} の平均を使って、I_{BP, N} = I_B ± I_{OS}/2 と表すことができます。R_S = R_F ∥ R_G のとき、DC 誤差が最小になります。この場合、式 9 は次のように簡単になります。

$$VOP_error = \left(1 + \frac{R_F}{R_G}\right) [V_{OS_A1}] + (I_{OS})R_F \quad (R_S = R_F \parallel R_G)$$

式 10 は、VON 出力の DC 電圧誤差を表します。

$$VON_error = -(VOP_error) + 2[V_{OS_A2} - (I_{BP_A2})(R_{S_REF} + 500)] + 1000(I_{BN_A2}) \tag{10}$$

A2 の入力オフセット電流により発生する DC 誤差を小さくするために、内部抵抗 500 Ω が内蔵されています。R_{S_REF} = 0 Ω のとき誤差が最小になります。この場合、式 10 は次のように簡単になります。

$$VON_error = -(VOP_error) + 2[V_{OS_A2}] + (I_{OS})1000 \quad (R_{S_REF} = 0 \Omega)$$

差動出力電圧誤差 V_{O_error, dm} は、次式のように VOP_error と VON_error との差になります。

$$V_{O_error, dm} = VOP_error - VON_error \tag{11}$$

ADA4941-1 の各アンプの出力オフセット電圧にも、有限な同相モード除去比 (CMRR)、電源除去比 (PSRR)、DC オープン・ループ・ゲイン (A_{VOL}) の影響が含まれます。

$$V_{OS} = V_{OS_nom} + \frac{\Delta V_{CM}}{CMRR} + \frac{\Delta V_S}{PSRR} + \frac{\Delta V_{OUT}}{A_{VOL}} \tag{12}$$

ここで、

V_{OS_nom} は、公称出力オフセット電圧 (ただし、CMRR、PSRR、A_{VOL} の影響を含みません)。

Δ は、状態の公称値からの変化。

V_{CM} は入力同相モード電圧 (A1 の場合 IN の電圧、A2 の場合 REF の電圧)。

V_S は電源電圧。

V_{OUT} は、いずれかのオペアンプ出力。

表 7、表 8、表 9に、図 48、図 49、図 50に示す回路の誤差内訳を示します。

$R_F = 1.0 \text{ k}\Omega$, $R_G = 4.99 \text{ k}\Omega$, $R_{S_IN} = 825 \text{ }\Omega$, $R_{S_REF} = 0 \text{ }\Omega$

表7.図 48に示すアンプ(G = 2.4)の出力電圧誤差内訳

Error Source	Typical Value	VOP_error	VON_error	V _{o_dm_error}
V _{OS_A1}	0.1 mV	+0.12 mV	-0.12 mV	+0.24 mV
I _{BP_A1}	3 μ A	+2.48 mV	-2.48 mV	-4.96 mV
I _{BN_A1}	3 μ A	-2.48 mV	+2.48 mV	+4.96 mV
V _{OS_A2}	0.1 mV	0 mV	+0.2 mV	+0.2 mV

総合 V_{O_error, dm} = 0.44 mV

$R_F = 0 \text{ }\Omega$, $R_G = \infty$, $R_{S_IN} = 0 \text{ }\Omega$, $R_{S_REF} = 0 \text{ }\Omega$

表8.図 49に示すアンプの出力電圧誤差内訳

Error Source	Typical Value	VOP_error	VON_error	V _{o_dm_error}
V _{OS_A1}	0.1 mV	+0.1 mV	-0.1 mV	+0.2 mV
I _{BP_A1}	3 μ A	+2.48 mV	-2.48 mV	-4.96 mV
I _{BN_A1}	3 μ A	-2.48 mV	+2.48 mV	+4.96 mV
V _{OS_A2}	0.1 mV	0 mV	+0.2 mV	+0.2 mV

総合 V_{O_error, dm} = 0.4 mV

$R_F = 1.02 \text{ k}\Omega$, $R_G = 665 \text{ }\Omega$, $R_{S_IN} = 402 \text{ }\Omega$, $R_{S_REF} = 0 \text{ }\Omega$

表9.図 50に示すアンプ(G = 5)の出力電圧誤差内訳

Error Source	Typical Value	VOP_error	VON_error	V _{o_dm_error}
V _{OS_A1}	0.1 mV	+0.25 mV	-0.25 mV	+0.5 mV
I _{BP_A1}	3 μ A	+1.21 mV	-1.21 mV	-2.4 mV
I _{BN_A1}	3 μ A	-1.21 mV	+1.21 mV	+2.4 mV
V _{OS_A2}	0.1 mV	0 mV	+0.2 mV	+0.2 mV

総合 V_{O_error, dm} = 0.7 mV

出力電圧ノイズ

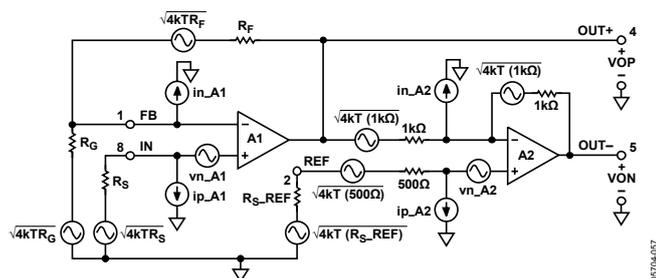


図52.ノイズ原因

図 52 に、ADA4941-1 の差動出力電圧誤差の主要な成分を示します。差動出力ノイズの 2 乗平均電圧は、非反転チャンネル (A1) のノイズ 2 乗平均電圧成分の 2 倍と、反転チャンネル (A2) のノイズ 2 乗平均電圧項との和になります。

$$\begin{aligned} \overline{V_{O_dm_n}^2} = & 2 \left[\left(1 + \frac{R_F}{R_G} \right) \times \overline{(vn_A1)} \right]^2 + 2 \times \\ & \left[\left(1 + \frac{R_F}{R_G} \right) \times \overline{(ip_A1 \times R_S)} \right]^2 + 2 \left[\overline{in_A1} \times R_F \right]^2 + \\ & 2 \left[\sqrt{4kTR_F} \right]^2 + 2 \left[\sqrt{4kTR_G} \times \frac{R_F}{R_G} \right]^2 + 2 \times \\ & \left[\left(1 + \frac{R_F}{R_G} \right) \times \sqrt{4kTR_S} \right]^2 + \overline{VON_n}^2 \end{aligned} \quad (13)$$

ここで、 $\overline{VON_n}^2$ は次のように計算されます。

$$\begin{aligned} \overline{VON_n}^2 = & 4 \left(\overline{vn_A2}^2 \right) + \\ & 4 \left[\overline{ip_A2} (500 + R_{S_REF}) \right]^2 + \left[1000 \overline{in_A2} \right]^2 + \\ & 8kT(1000) + 16kT(500) + 16kT(R_{S_REF}) \end{aligned} \quad (14)$$

ここで、

$\overline{vn_A1}$ と $\overline{vn_A2}$ は A1 と A2 の入力電圧ノイズで、各々の値は 2.1 nV/ $\sqrt{\text{Hz}}$ 。

$\overline{in_A1}$, $\overline{in_A2}$, $\overline{ip_A1}$, $\overline{ip_A2}$ はアンプ入力電流ノイズ項で、各々の値は 1 pA/ $\sqrt{\text{Hz}}$ 。

R_S , R_F , R_G は、それぞれ外部ソース抵抗、帰還抵抗、ゲイン抵抗。

kT はボルツマン定数と絶対温度の積で、室温での値は 4.2×10^{-21} W-s。

R_{S_REF} は、REF ピンのソース抵抗。

A1 をユニティ・ゲイン・ホロワとして使う場合、出力電圧ノイズ・スペクトル密度は最小の 10 nV/ $\sqrt{\text{Hz}}$ になります。電圧ゲインが高くなるほど、出力電圧ノイズも大きくなります。

表 10、表 11、表 12に、それぞれ図 48、図 49、図 50に示す回路のノイズ成分と出力電圧ノイズを示します。

表10. 図 48に示す差動アンプ(G = 2.4)の出力電圧ノイズ

Noise Source	Typical Value	VOP Contribution (nV/√Hz)	VON Contribution (nV/√Hz)	V _O , dm Contribution (nV/√Hz)
$\overline{vn_AI}$	2.1 nV/√Hz	2.1	2.1	4.2
$\overline{ip_AI}$	0	0	0	0
$\overline{in_AI}$	0	0	0	0
$\sqrt{4 kTR_F}$	0	0	0	0
$\sqrt{4 kTR_G}$	0	0	0	0
$\sqrt{4 kTR_S}$	0	0	0	0
$\overline{vn_inverter}$	9.2 nV/√Hz	0	9.2	9.2
$\sqrt{R_{S_REF}}$	0	0	0	0
$\overline{ip_A2 \times R_{S_REF}}$	0	0	0	0
Totals		2.1	9.4	10

$R_F = 1.0 \text{ k}\Omega$ 、 $R_G = 4.99 \text{ k}\Omega$ 、 $R_S = 825 \text{ }\Omega$ 、 $R_{S_REF} = 0 \text{ }\Omega$ 。

$\overline{vn_inverter} = A2$ 、内部 1 k Ω 帰還抵抗、500 Ω オフセット電流バランス抵抗のノイズ成分。

表11. 図 49に示す差動アンプ(G = 2)の出力電圧ノイズ

Noise Source	Typical Value	VOP Contribution (nV/√Hz)	VON Contribution (nV/√Hz)	V _O , dm Contribution (nV/√Hz)
$\overline{vn_AI}$	2.1 nV/√Hz	2.1	2.1	4.2
$\overline{ip_AI}$	0	0	0	0
$\overline{in_AI}$	0	0	0	0
$\sqrt{4 kTR_F}$	0	0	0	0
$\sqrt{4 kTR_G}$	0	0	0	0
$\sqrt{4 kTR_S}$	0	0	0	0
$\overline{vn_inverter}$	9.2 nV/√Hz	0	9.2	9.2
$\sqrt{R_{S_REF}}$	0	0	0	0
$\overline{ip_A2 \times R_{S_REF}}$	0	0	0	0
Totals		2.1	9.4	10

$R_F = 0 \text{ }\Omega$ 、 $R_G = \infty$ 、 $R_S = 0 \text{ }\Omega$ 、 $R_{S_REF} = 0 \text{ }\Omega$ 。

表12. 図 50に示す差動アンプ(G = 5)の出力電圧ノイズ

Noise Source	Typical Value	VOP Contribution (nV/√Hz)	VON Contribution (nV/√Hz)	V _O , dm Contribution (nV/√Hz)
$\overline{vn_AI}$	2.1 nV/√Hz	5.25	5.25	10.5
$\overline{ip_AI}$	1 pA/√Hz	1	1	2
$\overline{in_AI}$	1 pA/√Hz	1	1	2
$\sqrt{4 kTR_F}$	4 nV/√Hz	4	4	8
$\sqrt{4 kTR_G}$	3.26 nV/√Hz	4.9	4.9	9.8
$\sqrt{4 kTR_S}$	2.54 nV/√Hz	6.54	6.54	13.1
$\overline{vn_inverter}$	9.2 nV/√Hz	0	9.2	9.2
$\sqrt{R_{S_REF}}$	0	0	0	0
$\overline{ip_A2 \times R_{S_REF}}$	0	0	0	0
Totals		10.7	14.1	23.1

$R_F = 1.02 \text{ k}\Omega$ 、 $R_G = 665 \text{ }\Omega$ 、 $R_S = 402 \text{ }\Omega$ 、 $R_{S_REF} = 0 \text{ }\Omega$ 。

周波数応答とクローズド・ループ・ゲインの関係

ADA4941-1 で使用されているオペアンプは、図 53 に示す積分器応答で近似できるオープン・ループ周波数応答を持つ電圧帰還型です。

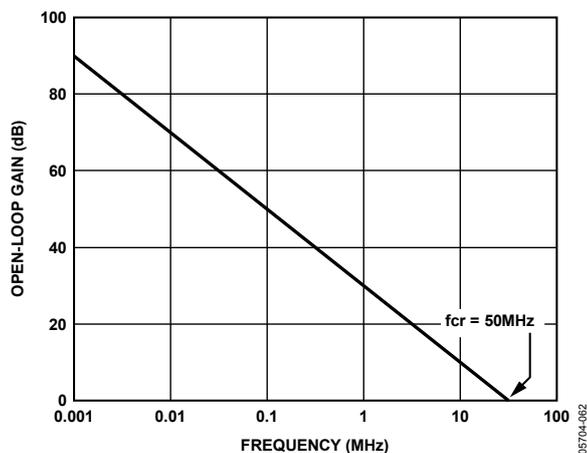


図53.ADA4941-1 オペアンプのオープン・ループ・ゲイン周波数特性

各アンプについて、周波数応答は次式で近似できます。

$$V_{O_A1} = VIN \times \left(1 + \frac{R_F}{R_G}\right) \times \frac{1}{1 + \left[\frac{R_F + R_G}{R_G}\right] \times \frac{f}{f_{cr}}} \quad (15)$$

(非反転応答)

$$V_{O_A2} = VIN \times \left(\frac{-R_F}{R_G}\right) \times \frac{1}{1 + \left[\frac{R_F + R_G}{R_G}\right] \times \frac{f}{f_{cr}}} \quad (16)$$

(反転応答)

f_{CR} は、アンプのゲイン帯域幅周波数 図 53 のオープン・ループ・ゲイン = 1 の場合)。両アンプの f_{CR} は約 50 MHz。

反転アンプ A2 は固定帰還回路を持っています。伝達関数は次式で近似されます。

$$V_{O_A2} = -VIN \times \frac{1}{1 + \frac{2 \times f}{50 \text{ MHz}}} = -VOP \times \frac{1}{1 + \frac{f}{25 \text{ MHz}}} \quad (17)$$

A1 の周波数応答は、式 15 で表される外部帰還回路に依存します。したがって、全体の差動出力電圧は、

$$V_{O_dm} = VOP - VON = VOP + VOP \times \frac{1}{1 + \frac{f}{25 \text{ MHz}}} \quad (18)$$

$$V_{O_dm} = VIN \times \left(1 + \frac{R_F}{R_G}\right) \times \frac{1}{1 + \left[\frac{R_F + R_G}{R_G}\right] \times \frac{f}{50 \text{ MHz}}} \times \quad (19)$$

$$\left(1 + \frac{1}{1 + \frac{f}{25 \text{ MHz}}}\right)$$

各項を乗算して、無視できる項を除去すると、次の近似が得られます。

$$V_{O_dm} = VIN \left(1 + \frac{R_F}{R_G}\right) \times \left[\frac{2}{\left(1 + \left[\frac{R_F + R_G}{R_G}\right] \times \frac{f}{50 \text{ MHz}}\right) \times \left(1 + \frac{f}{25 \text{ MHz}}\right)}\right] \quad (20)$$

この伝達関数には 2 つの極が存在し、低周波数側の極が差動アンプの帯域幅を制限します。VOP を IN- に接続すると(A1 がユニティ・ゲイン・ホロワ)、反転チャンネルの 25 MHz のクローズド・ループ帯域幅により、全体の帯域幅が制限されます。A1 がこれより高いノイズ・ゲインで動作すると、帯域幅はノイズ・ゲイン $(1 + R_F/R_G)$ に反比例する A1 のクローズド・ループ帯域幅により制限されます。たとえば、外部帰還回路によりノイズ・ゲイン = 10 を設定すると、帯域幅は 5 MHz に低下します。

アプリケーション

概要

ADA4941-1 は、高分解能 ADC の駆動用に最適化された、調整可能なゲインを持つシングルエンド/差動変換電圧アンプです。シングルエンド/差動変換ゲインは、2 本の外付け抵抗 R_F と R_G からなる帰還回路により制御されます。

REF ピンの使用

REF ピンは反転パス内で出力ベース・ラインを設定し、入力信号のリファレンスとして使われます。大部分のアプリケーションでは、REF ピンは入力信号の中心レベルに設定されます。このレベルは多くの場合、電源の中心でもあります。バイポーラ信号で両電源の場合、REF は一般にグラウンドに設定されます。単電源アプリケーションでは、REF を入力信号中心レベルに設定すると、差動オフセットが最小になる最適な出力ダイナミックレンジ性能が得られます。REF 入力のみが反転信号パスまたは V_{ON} に影響を与えることに注意してください。

大部分のアプリケーションでは、各出力に同じ DC 同相モード・レベルを持つ差動出力信号が必要とされます。 V_{OP} — V_{ON} 間の信号が、レベルは期待通りですが、両出力間で同相モード電圧が一致しないこともあります。このタイプの信号では、アンプの出力ダイナミックレンジを最適に使用できないため使用されません。

V_{IN} を入力ピンに加えられた電圧として定義すると、2 つの信号パスの式は式 21 と式 22 で与えられます。

$$V_{OP} = V_{IN} \quad (21)$$

$$V_{ON} = -V_{IN} + 2(REF) \quad (22)$$

REF 電圧が入力信号の中心レベルに設定されると、2 つの出力信号は、最小オフセットを持ち、いずれか大きい方を直接表します。REF 電圧をそれ以外の値に設定すると、2 つの出力間にオフセットが発生します。

REF ピンの最適な使用方法は、10 V 電源を使用する単電源と 2V~7V で変化する入力信号を考察すると、さらに詳しく理解できます。入力信号の中心レベルが電源の中心に一致しない 4.5 V の場合がこのケースに該当します。REF 入力を 4.5 V に設定し、オフセットを無視すると、式 21 と式 22 を使って結果を計算することができます。入力信号が 4.5 V の電源中心にある場合、 $OUT+$ は V_{ON} と同様に 4.5 V になります。これは差動出力電圧が 0 であるベース・ライン状態にあると見なすことができます。入力が 7 V に上昇すると、 V_{OP} が入力に追従して 7 V になり、 V_{ON} は 2 V に低下します。これは、差動出力電圧が 5 V である正のピーク信号と見ることができます。入力信号が 2 V に低下すると、 V_{OP} は再び追従して 2 V になり、 V_{ON} は 7 V に上昇します。これは、差動出力電圧が -5 V である負のピーク信号と見ることができます。得られる差動出力電圧は 10 V p-p になります。

前の説明は、シングルエンド/差動変換ゲイン = 2 が実現される方法を示しています。

内部帰還回路の消費電力

従来型オペアンプは帰還エレメントを内蔵していませんが、ADA4941-1 は内部帰還ループを構成する 2 本の 1 k Ω 抵抗を内蔵しています。これらの抵抗で消費される電力は、デバイスの全消費電力計算に含める必要があります。状況によっては、これらの抵抗で消費される電力がデバイスの静止消費電力に匹敵することがあります。たとえば、 ± 5 V 電源を使用し、REF ピンをグラウンドへ、 $OUT-$ を +4 VDC へ、それぞれ接続すると、各 1 k Ω 抵抗には 4 mA 流れて、16 mW を消費し、合計 32 mW になります。これは静止電力に匹敵するため、デバイス全体の消費電力計算に含める必要があります。AC 信号の場合は、rms 解析が必要です。

ディスエーブル機能

ADA4941-1 には、デバイスが動作しないとき消費電力を小さくするためにアサートできるディスエーブル機能があります。ディスエーブル機能をアサートすると、デバイス出力が高インピーダンス状態またはスリー・ステート状態にならなくなります。ディスエーブル機能はアクティブ・ハイです。ハイ・レベルとロー・レベルの電圧については仕様の表を参照してください。

3 極 Sallen-Key フィルタの追加

ADA4941-1 の非反転アンプは、Sallen-Key フィルタのバッファアンプとして使うことができます。ADC の前で信号帯域幅を制限するための 3 極ローパス・フィルタをデザインすることができます。入力信号は先に非反転ステージを通過して、ここでフィルタされます。フィルタされた信号は反転ステージを通過して、相補出力が発生されます。

図 54 に、-3 dB カットオフ周波数が 100 kHz の、3 極 Sallen-Key ローパス・フィルタを示します。A1 の入力オフセット電流により発生する DC 誤差を小さくするために、1.69 kΩ の抵抗が使用されています。出力の受動 RC フィルタは、一般に駆動される ADC コンバータが必要としています。フィルタの周波数応答を図 55 に示します。

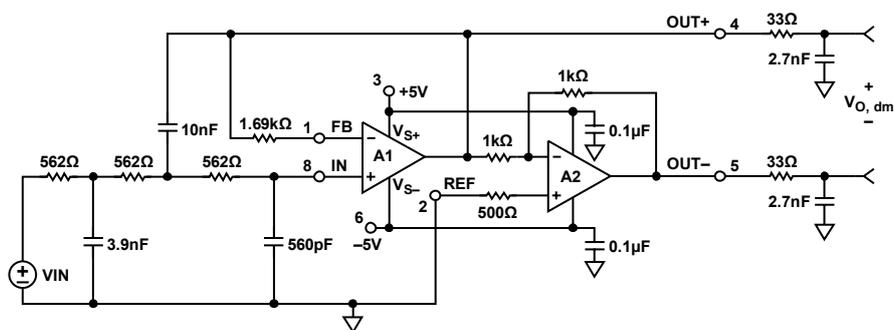


図54.100 kHz のカットオフ周波数を持つ Sallen-Key ローパス・フィルタ

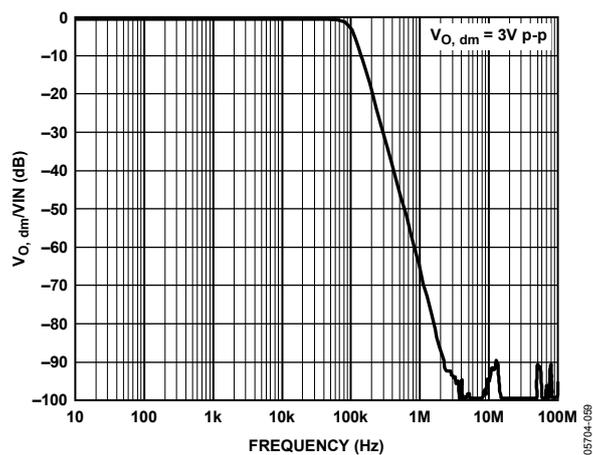


図55.図 54に示す回路の周波数応答

AD7687 ADC の駆動

ADA4941-1 は、AD7687のような高分解能 ADC に対する優れたドライバです(図 56参照)。この例には、図 54に示す Sallen-Key ローパス・フィルタが含まれていますが必須ではありません。図 56に示す回路では、0 V~3 V で変化するシングルエンド信号を入力します。

ADR443は、AD8032 アンプの 1 つでバッファされた安定で低ノイズの 3 V リファレンスを提供し、AD7687 REF 入力に接続されて、6 V の差動入力フルスケール・レベルを提供します。また、このリファレンス電圧は 1/2 倍され、バッファされて、ADA4941-1 に対して 1.5 V の電源中心 REF レベルを与えます。

ゲイン-2 の構成

ADA4941-1 は、ゲイン = -2 と呼ばれる構成で動作することができます。明らかに、ゲイン = +2 の回路の出力を単純に交換することでゲイン = -2 を実現できますが、ここで説明する構成はこれと異なります。この構成は、入力アンプ A1 が通常为非反転モードではなく反転アンプとして動作することを強調するために、負ゲインを持つと呼ばれます。名前の通り、VIN から $V_{O, dm}$ までの電圧ゲインは -2 V/V になります。±5 V 電源を使用したゲイン = -2 の構成については、図 57を参照してください。

ゲイン = -2 の構成は、入力同相モード電圧が一定レベルに維持されているために、大きな入力振幅を持つアプリケーションで最も有効です。したがって、信号サイズは出力振幅限界により制約されます。ゲイン = -2 では、 R_G に等しい入力抵抗が小さくなります。

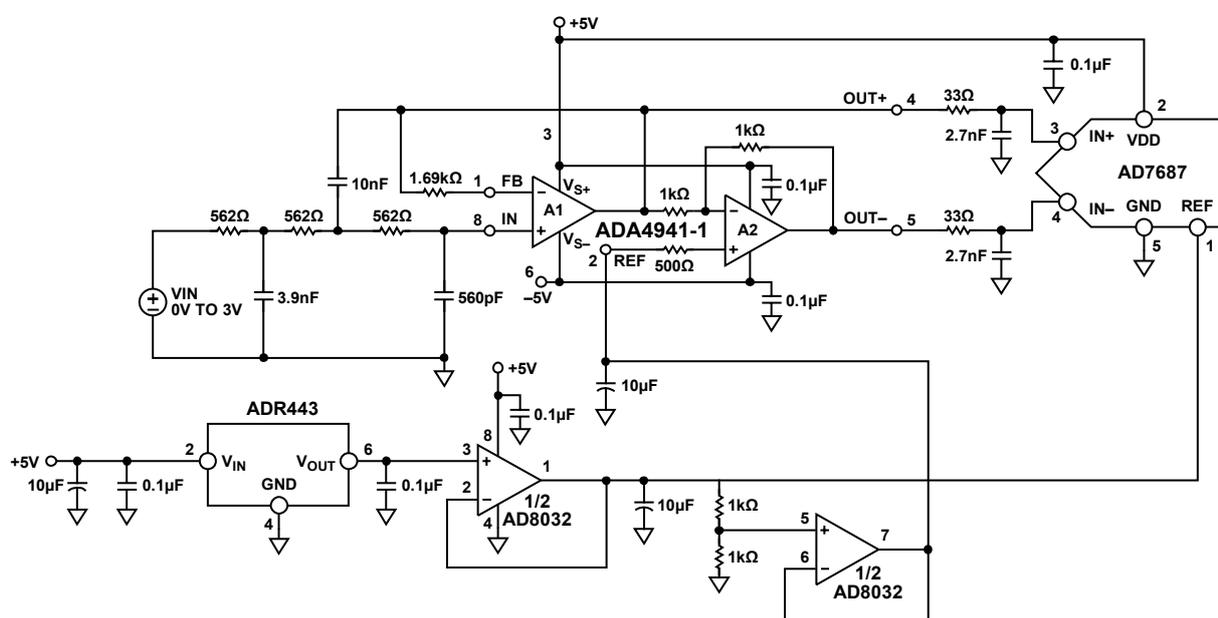


図56.AD7687 ADC を駆動する ADA4941-1

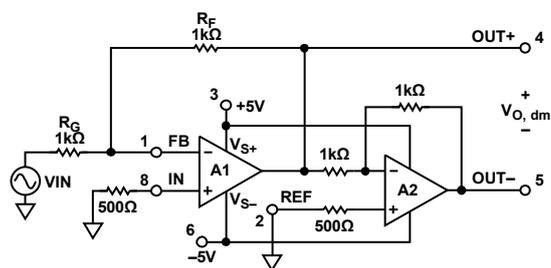
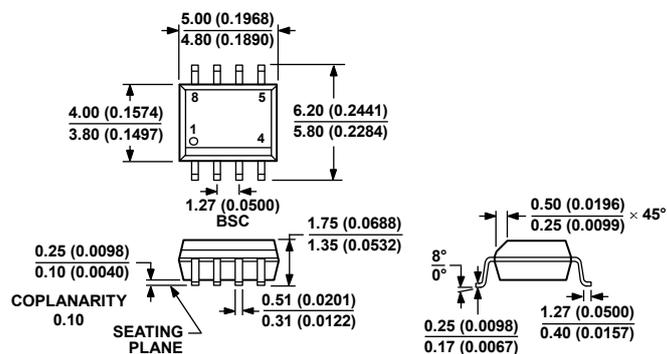


図57.ゲイン-2 の構成

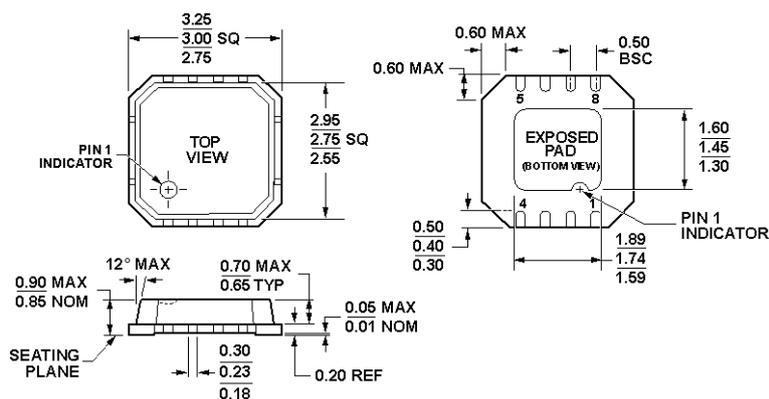
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図58.8 ピン標準モジュール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ(R-8)
 寸法: mm (インチ)



060308-B

図59.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VD]
 3 mm × 3 mm ボディ、極薄、デュアル・リード (CP-8-2)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4941-1YRZ ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	98	
ADA4941-1YRZ-RL ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	2,500	
ADA4941-1YRZ-R7 ¹	-40°C to +125°C	8-Lead SOIC_N	R-8	1,000	
ADA4941-1YCPZ-R2 ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	250	HOC
ADA4941-1YCPZ-RL ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	5,000	HOC
ADA4941-1YCPZ-R7 ¹	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	1,500	HOC

¹ Z = RoHS 準拠製品.