

超低歪み差動 ADC ドライバ

ADA4938-1/ADA4938-2

特長

極めて低い高調波歪み

10 MHz で-106 dBc HD2

50 MHz で-82 dBc HD2

10 MHz で-109 dBc HD3

50 MHz で-82 dBc HD3

低い入力電圧ノイズ: 2.6 nV/√Hz

高速

-3 dB 帯域幅: 1,000 MHz、G = +1

スルーレート: 4700 V/μs

ゲイン平坦性: 150 MHz まで 0.1 dB 高速なオーバードライブ回復時間: 4 ns

オフセット電圧: 1 mV (typ) ゲインが外部調整可能

差動―差動動作またはシングルエンド―差動動作

調整可能な出力コモン・モード電圧 広い電源電圧範囲: +5 V~±5 V

シングルまたはデュアル・アンプ構成が可能

アプリケーション

ADC ドライバ シングルエンド/差動変換 IF およびベースバンドのゲイン・ブロック 差動バッファ ライン・ドライバ

概要

ADA4938は、低ノイズ超低歪みの高速差動アンプです。DC~27 MHz で最大 16 ビットまたは DC~74 MHz で最大 12 ビットの分解能を持つ高性能 ADC の駆動に最適な選択肢です。出力コモン・モード電圧は、広い範囲で調整できるため、ADA4938 出力を ADC 入力にマッチングさせることができます。また、内部コモン・モード帰還ループは優れた出力バランスを維持し、偶数次の高調波歪み積も抑圧します。

ADA4938では、フル差動およびシングルエンド—差動ゲイン構成が容易に実現できます。4本の抵抗からなるシンプルな外部帰還回路により、アンプのクローズド・ループ・ゲインが決定されます。

ADA4938はアナログ・デバイセズ独自の第三世代の高電 圧 XFCB プロセスにより製造されているため、非常に低いレベルの歪みで、かつ 2.6 nV/\Hz.の小さな入力電圧ノイズを実現しています。ADA4938は低い DC オフセットと優れたダイナミック性能を持つため、さまざまなデータ・アクイジション・アプリケーションや信号処理アプリケーションに適しています。

機能ブロック図

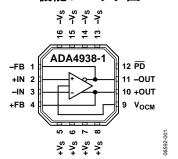


図 1.ADA4938-1 の機能ブロック図

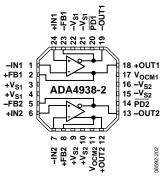


図 2.ADA4938-2 の機能ブロック図

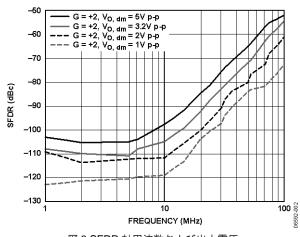


図 3.SFDR 対周波数および出力電圧

ADA4938-1 (シングル・アンプ)は鉛フリーの $3 \text{ mm} \times 3 \text{ mm} 16 ピン LFCSP を、ADA4938-2 (デュアル・アンプ)は 鉛フリーの <math>4 \text{ mm} \times 4 \text{ mm} 24 ピン LFCSP を、それぞれ採用 しています。ピン配置は、PCB レイアウトと低歪み用に 最適化されています。このデバイスの仕様は、工業用拡 張温度範囲-<math>40$ ℃~+85℃で規定しています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。©2007 Analog Devices, Inc. All rights reserved.

Rev. 0

本 社/〒105-6891 東京

東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル

電話 03 (5402) 8200

大阪営業所/〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 電話 06 (6350) 6868

目次

特長	1
アプリケーション	
概要	
機能ブロック図	
改訂履歴	2
仕様	3
両電源動作	3
単電源動作	5
絶対最大定格	7
熱抵抗	7
ESD の注意	7
ピン配置およびピン機能説明	8
代表的な性能特性	9
テスト回路	17
動作説明	18
用語の定義	18

19 19 19 20
19 20
20
20
20
:
20
21
21
23
24
25
25
2 2 2 2 2

改訂履歴

11/07—Revision 0: Initial Version

仕様

両電源動作

特に指定がない限り、 $T_A=25^\circ\text{C}$ 、 $+V_S=5$ V、 $-V_S=-5$ V、 $V_{OCM}=0$ V、 $R_T=61.9$ Ω 、 $R_G=R_F=200$ Ω 、G=+1、 $R_{L,dm}=1$ $k\Omega$ 。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。G=1 以外のゲインについて、 R_F と R_G の値を表 11 に示します。

表 1.±D_{IN} から±OUT までの性能

Parameter	Conditions	Min	Тур	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT} = 0.1 \text{ V p-p}$		1000		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT} = 2 V p-p$		150		MHz
Large Signal Bandwidth	$V_{OUT} = 2 V p-p$		800		MHz
Slew Rate	$V_{OUT} = 2 V p-p$		4700		V/µs
Overdrive Recovery Time	$V_{IN} = 5 \text{ V to } 0 \text{ V step}, G = +2$		4		ns
NOISE/HARMONIC PERFORMANC	E				
Second Harmonic	$V_{OUT} = 2 \text{ V p-p}, 10 \text{ MHz}$		-106		dBc
	$V_{OUT} = 2 \text{ V p-p}, 50 \text{ MHz}$		-82		dBc
Third Harmonic	$V_{OUT} = 2 \text{ V p-p}, 10 \text{ MHz}$		-109		dBc
	$V_{OUT} = 2 \text{ V p-p, } 50 \text{ MHz}$		-82		dBc
IMD	$f_1 = 30.0 \text{ MHz}, f_2 = 30.1 \text{ MHz}$		89		dBc
IP3	$f = 30 \text{ MHz}, R_{L, dm} = 100 \Omega$		45		dBm
Input Voltage Noise	f = 10 MHz		2.6		nV/√Hz
Noise Figure	G = +4, $f = 10 MHz$		15.8		dB
Input Current Noise	f = 10 MHz		4.8		pA/√Hz
Crosstalk (ADA4938-2)	f = 100 MHz		-85		dB
INPUT CHARACTERISTICS					
Offset Voltage	$V_{OS, dm} = V_{OUT, dm}/2; V_{DIN+} = V_{DIN-} = 0 V$		1	4	mV
	T_{MIN} to T_{MAX} variation		<u>+</u> 4		μV/°C
Input Bias Current		-18	-13		μΑ
	T_{MIN} to T_{MAX} variation		-0.01		μΑ/°C
Input Resistance	Differential		6		$M\Omega$
	Common mode		3		$M\Omega$
Input Capacitance			1		pF
Input Common-Mode Voltage			$-V_S + 0.3$ to		V
			$+V_{S}-1.6$		
CMRR	$\Delta V_{OUT, dm}/\Delta V_{IN, cm}$; $\Delta V_{IN, cm} = \pm 1 \text{ V, } f = 1 \text{ MHz}$		-75		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum ΔV_{OUT} ; single-ended output		$-V_S + 1.2$ to		V
			$+V_{S}-1.2$		
Linear Output Current	Per amplifier		95		mA
Output Balance Error	$\Delta V_{OUT, cm}/\Delta V_{OUT, dm}$; $\Delta V_{OUT, dm} = 1 \text{ V}$; $f = 10 \text{ MHz}$		-60		dB

Rev. 0 - 3/25 -

表 2.V_{OCM} から±OUT までの性能

Parameter	Conditions	Min	Тур	Max	Unit
V _{OCM} DYNAMIC PERFORMANCE					
−3 dB Bandwidth			230		MHz
Slew Rate	$V_{IN} = -3.4 \text{ V to } +3.4 \text{ V}, 25\% \text{ to } 75\%$		1700		V/µs
Input Voltage Noise (RTI)			7.5		nV/\sqrt{Hz}
V _{OCM} INPUT CHARACTERISTICS					
Input Voltage Range			$-V_S + 1.3$ to		V
			$+V_{S}-1.3$		
Input Resistance			10		kΩ
Input Offset Voltage	$V_{OS, cm} = V_{OUT, cm}$; $V_{DIN+} = V_{DIN-} = 0 \text{ V}$		3		mV
Input Bias Current			0.5		μΑ
V_{OCM} CMRR	$\Delta V_{OUT, dm}/\Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 \text{ V}$		-81		dB
Gain	$\Delta V_{OUT, cm} / \Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 V$	0.95	1.00	1.05	V/V
POWER SUPPLY					
Operating Range		4.5		11	V
Quiescent Current	Per amplifier		37	40	mA
	T _{MIN} to T _{MAX} variation		40		μΑ/°C
	Powered down		2.0	3.0	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm}/\Delta V_S$; $\Delta V_S = \pm 1 \text{ V}$		-80		dB
POWER DOWN (PD)					
PD Input Voltage	Powered down		≤2.5		V
	Enabled		≥3		V
Turn-Off Time			1		μs
Turn-On Time			200		ns
PD Bias Current					
Enabled	$\overline{PD} = 5 \text{ V}$		1		μA
Disabled	$\overline{PD} = -5 \text{ V}$		-760		μA
OPERATING TEMPERATURE RANGE		-40		+85	°C

Rev. 0 - 4/25 -

単電源動作

特に指定がない限り、 $T_A=25^{\circ}$ C、 $+V_S=5$ V、 $-V_S=0$ V、 $V_{OCM}=+V_S/2$ 、 $R_T=61.9$ Ω 、 $R_G=R_F=200$ Ω 、G=+1、 $R_{L,dm}=1$ $k\Omega$ 。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。G=1 以外のゲインについて、 R_F と R_G の値を表 11 に示します。

表 3.±D_{IN} から±OUT までの性能

Parameter	Conditions	Min	Тур	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small Signal Bandwidth	$V_{OUT} = 0.1 \text{ V p-p}$		1000		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT} = 2 V p-p$		150		MHz
Large Signal Bandwidth	$V_{OUT} = 2 V p-p$		750		MHz
Slew Rate	$V_{OUT} = 2 V p-p$		3900		V/µs
Overdrive Recovery Time	$V_{IN} = 2.5 \text{ V to } 0 \text{ V step, } G = +2$		4		ns
NOISE/HARMONIC PERFORMANCE					
Second Harmonic	$V_{OUT} = 2 \text{ V p-p, } 10 \text{ MHz}$		-110		dBc
	$V_{OUT} = 2 \text{ V p-p, } 50 \text{ MHz}$		-79		dBc
Third Harmonic	$V_{OUT} = 2 \text{ V p-p, } 10 \text{ MHz}$		-100		dBc
	$V_{OUT} = 2 \text{ V p-p, } 50 \text{ MHz}$		-79		dBc
Input Voltage Noise	f = 10 MHz		2.6		nV/√Hz
Noise Figure	G = +4, $f = 10 MHz$		15.8		dB
Input Current Noise	f = 10 MHz		4.8		pA/√Hz
Crosstalk (ADA4938-2)	f = 100 MHz		-85		dB
INPUT CHARACTERISTICS					
Offset Voltage	$V_{OS, dm} = V_{OUT, dm}/2; V_{DIN+} = V_{DIN-} = V_{OCM} = 2.5 \text{ V}$		1	4	mV
	T_{MIN} to T_{MAX} variation		±4		μV/°C
Input Bias Current		-18	-13		μΑ
	T_{MIN} to T_{MAX} variation		-0.01		μA/°C
Input Resistance	Differential		6		$M\Omega$
	Common mode		3		$M\Omega$
Input Capacitance			1		pF
Input Common-Mode Voltage			$-V_S + 0.3$ to		V
			$+V_{S}-1.6$		
CMRR	$\Delta V_{OUT, dm}/\Delta V_{IN, cm}$; $\Delta V_{IN, cm} = \pm 1 \text{ V}$		-80		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Maximum ΔV_{OUT} ; single-ended output		$-V_{S} + 1.2$ to		V
Linear Outrast Comment	Den amplifier		$+V_S - 1.2$		4
Linear Output Current	Per amplifier		95		mA
Output Balance Error	$\Delta V_{OUT, cm}/\Delta V_{OUT, dm}$; $\Delta V_{OUT, dm} = 1 \text{ V}$		-60		dB

表 4.V_{OCM} から±OUT までの性能

表 4.V _{OCM} から±OUT までの性能 Parameter	Conditions	Min	Тур	Max	Unit
V _{OCM} DYNAMIC PERFORMANCE	Conditions	IVIIII	тур	Max	Cint
-3 dB Bandwidth			400		MHz
Slew Rate	$V_{IN} = 1.6 \text{ V to } 3.4 \text{ V}, 25\% \text{ to } 75\%$		1700		V/µs
Input Voltage Noise (RTI)	V _{IN} = 1.6 v to 3.4 v, 25 % to 75 %		7.5		nV/√Hz
V _{OCM} INPUT CHARACTERISTICS			7.5		11 77 1112
Input Voltage Range			$-V_S + 1.3$ to		V
input voluige ruinge			$+V_S - 1.3$		·
Input Resistance			10		kΩ
Input Offset Voltage	$V_{OS, cm} = V_{OUT, cm}; V_{DIN+} = V_{DIN-} = V_{OCM} = 2.5 \text{ V}$		3		mV
Input Bias Current			0.5		μΑ
V _{OCM} CMRR	$\Delta V_{OUT, dm}/\Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 \text{ V}$		-89		dB
Gain	$\Delta V_{OUT, cm}/\Delta V_{OCM}$; $\Delta V_{OCM} = \pm 1 \text{ V}$	0.95	1.00	1.05	V/V
POWER SUPPLY					
Operating Range		4.5		11	V
Quiescent Current			34	36.5	mA
	T_{MIN} to T_{MAX} variation		40		μA/°C
	Powered down		1.0	1.7	mA
Power Supply Rejection Ratio	$\Delta V_{OUT, dm}/\Delta V_S$; $\Delta V_S = \pm 1 \text{ V}$		-80		dB
POWER DOWN (PD)					
PD Input Voltage	Powered down		≤2.5		V
	Enabled		≥3		V
Turn-Off Time			1		μs
Turn-On Time			200		ns
PD Bias Current					
Enabled	$\overline{PD} = 5 \text{ V}$		1		μA
Disabled	$\overline{PD} = 0 \text{ V}$		-260		μA
OPERATING TEMPERATURE RANGE		-40		+85	°C

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	12 V
Power Dissipation	See Figure 4
Storage Temperature Range	−65°C to +125°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

 θ_{JA} は、デバイス(露出パッドを含む)を EIA/JESD 51-7 で 規定される熱伝導性の高い 4 層回路ボードにハンダ付け した状態に対して規定します。露出パッドは電気的にデバイスに接続されています。一般に、熱的および電気的 に内部グラウンド・プレーンに接続された PCB 上のパッドにハンダ付けされます。

表 6.熱抵抗

Package Type	θ_{JA}	Unit
16-Lead LFCSP (Exposed Pad)	95	°C/W
24-Lead LFCSP (Exposed Pad)	65	°C/W

最大消費電力

ADA4938 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150℃のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4938 のパラメータ性能が永久的にシフトしてしまうことがあります。150℃のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力 (P_D) は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン (V_S) 間の電圧に静止電流 (I_S) を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存します。負荷駆動に起因する電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。これらの計算では RMS 電圧と RMS 電流を使用する必要があります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/露出パッドが直接接触する場合、これらのメタルによっても θ_{IA} が小さくなります。

図 4 に、パッケージ内での安全な最大消費電力と周囲温度の関係を、JEDEC 標準 4 層ボードに実装した 16 ピン LFCSP (95°C/W)パッケージと 24 ピン LFCSP (65°C/W)パッケージについて示します。

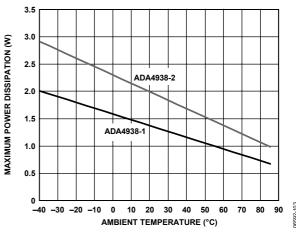


図 4.最大消費電力対温度、4 層ボード

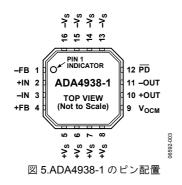
ESD の注意



ESD (静電放電)の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

Rev. 0 - 7/25 -

ピン配置およびピン機能説明



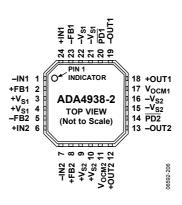


図 6.ADA4938-2 のピン配置

表 7.ADA4938-1 のピン機能説明

ピン番号	記号	説明
1	-FB	負の出力帰還ピン
2	+IN	加算ノードへの正側入力
3	-IN	加算ノードへの負側入力
4	+FB	正の出力帰還ピン
5~8	$+V_S$	正電源電圧
9	V_{OCM}	コモン・モード電圧出力
10	+OUT	正の出力
11	-OUT	負の出力
12	PD	パワーダウン・ピン
13~16	$-V_S$	負電源電圧

表 8.ADA4938-2 のピン機能説明

ピン番号	記号	説明
1	-IN1	加算ノード1への負側入力
2	+FB1	正の出力帰還ピン1
3, 4	$+V_{S1}$	正電源電圧1
5	-FB2	負の出力帰還ピン2
6	+IN2	加算ノード2への正側入力
7	-IN2	加算ノード2への負側入力
8	+FB2	正の出力帰還ピン2
9, 10	$+V_{S2}$	正電源電圧 2
11	V_{OCM2}	出力コモン・モード電圧 2
12	+OUT2	正の出力 2
13	-OUT2	負の出力2
14	PD2	パワーダウン・ピン2
15, 16	$-V_{S2}$	負の電源電圧 2
17	V_{OCM1}	出力コモン・モード電圧 1
18	+OUT1	正の出力1
19	-OUT1	負の出力1
20	PD1	パワーダウン・ピン1
21, 22	$-V_{S1}$	負の電源電圧1
23	-FB1	負の出力帰還ピン1
24	+IN1	加算ノード1~の正側入力

Rev. 0 - 8/25 -

代表的な性能特性

特に指定がない限り、 $T_A=25^{\circ}$ C、 $+V_S=5$ V、 $-V_S=-5$ V、 $V_{OCM}=0$ V、 $R_T=61.9$ Ω 、 $R_G=R_F=200$ Ω 、G=+1、 $R_{L,dm}=1$ $k\Omega$ 。特に指定がない限り、すべての測定は、シングルエンド入力と差動出力で実施。G=+1 以外のゲインについて、 R_F と R_G の値を表 11 に示します。

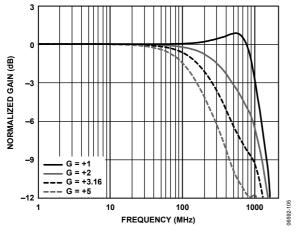


図 7. さまざまなゲインでの小信号周波数応答、V_{out} = 0.1 V p-p

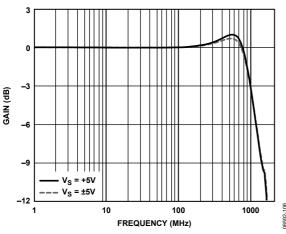


図 8. さまざまな電源での小信号応答、Vout = 0.1 V p-p

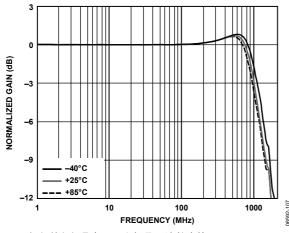


図 9. さまざまな温度での小信号周波数応答、 V_{OUT} = 0.1 V_{P-P}

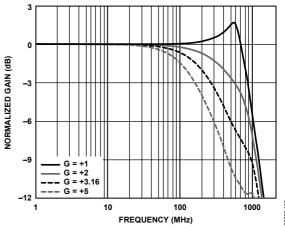


図 10. さまざまなゲインでの大信号周波数応答

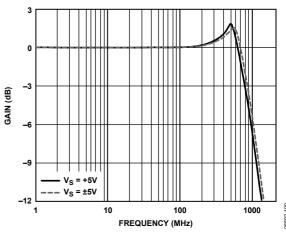


図 11. さまざまな電源での大信号応答

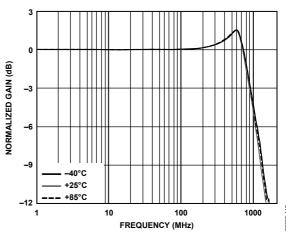


図 12.さまざまな温度での大信号周波数応答

Rev. 0 - 9/25 -

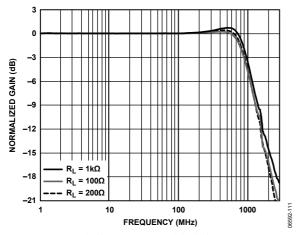


図 13.さまざまな負荷での小信号周波数応答、V_{OUT} = 0.1 V p-p

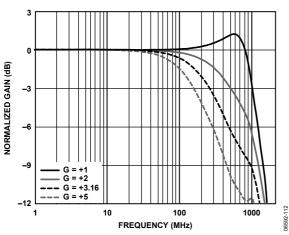


図 14.さまざまなゲインでの小信号周波数応答、 V_S = 5 V_{OUT} = 0.1 V_{D-P}

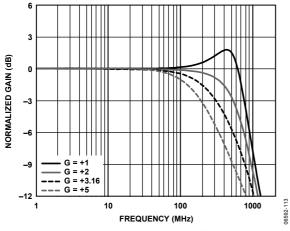


図 15.さまざまなゲインでの小信号応答、 R_{F} = 402 Ω V_{OUT} = 0.1 V p-p

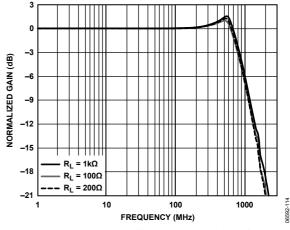


図 16.さまざまな負荷での大信号周波数応答

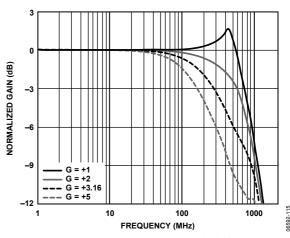


図 17. さまざまなゲインでの大信号周波数応答、 $V_S = 5 V$

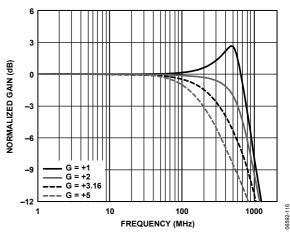


図 18. さまざまなゲインでの大信号応答、 R_F = 402 Ω

Rev. 0 - 10/25 -

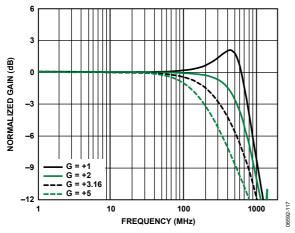


図 19.さまざまなゲインでの小信号周波数応答、 R_F = 402 Ω 、 V_S = 5 V、 V_{OUT} = 0.1 V p-p

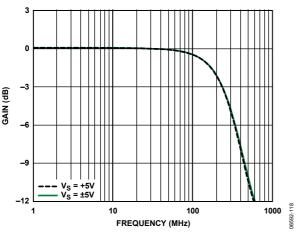


図 20.V_{OUT、cm}小信号周波数応答、V_{OUT} = 0.1 V p-p

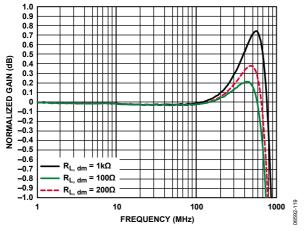


図 21.さまざまな負荷での 0.1~dB 平坦性応答、ADA4938-1 V_{OUT} = 0.1~V~p-p

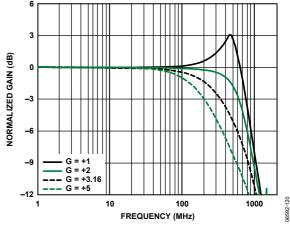


図 22.さまざまなゲインでの大信号周波数応答、 R_F = 402 Ω 、 V_S = 5 V

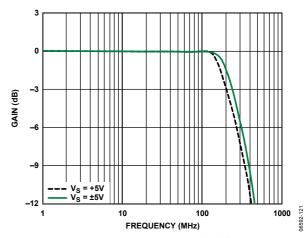


図 23.Vout、cm 大信号周波数応答

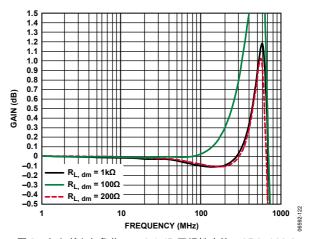


図 24.さまざまな負荷での 0.1 dB 平坦性応答、ADA4938-2 V_{OUT} = 0.1 V p-p

Rev. 0 — 11/25 —

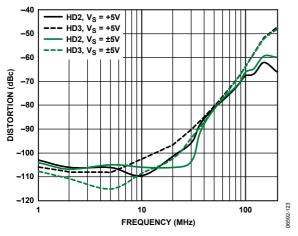


図 25.高調波歪み対周波数および電源電圧

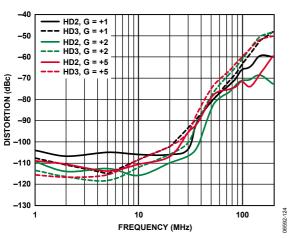


図 26.高調波歪み対周波数およびゲイン

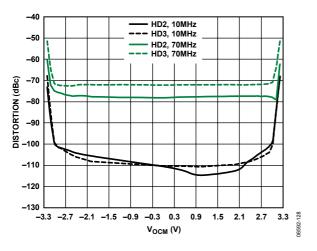


図 27.高調波歪み対 V_{OCM} および周波数

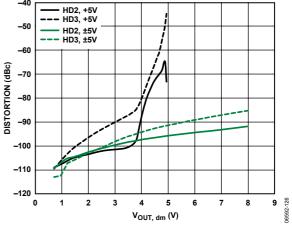


図 28.高調波歪み対 Vour および電源電圧

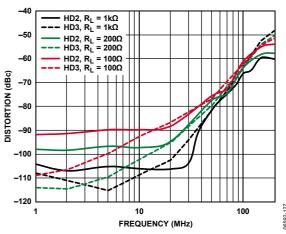


図 29.さまざまな負荷での高調波歪みの周波数特性

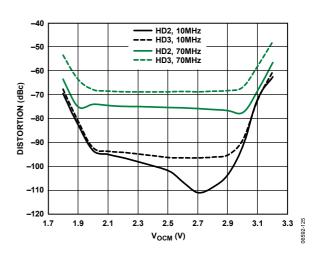


図 30.高調波歪み対 V_{OCM} および周波数、 $V_S = 5 V$

Rev. 0 — 12/25 —

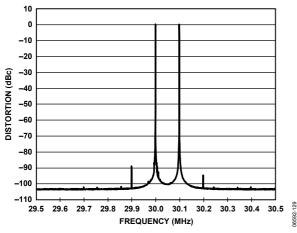


図 31.相互変調歪み

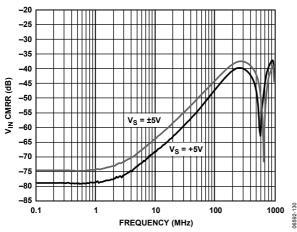
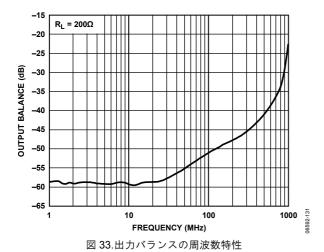


図 32.V_{IN} CMRR の周波数特性



-5 -10 -15 -20 -25 -30 -35 -40 -45 -50 -55 -60 -65 **-70** -75 -80 -85 100 1000 0.1 10 FREQUENCY (MHz)

図 34.PSRR の周波数特性

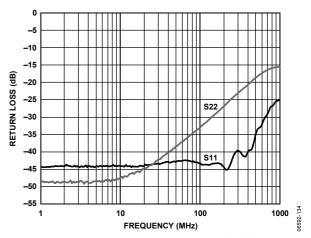


図 35.リターン損失(S11、S22)の周波数特性

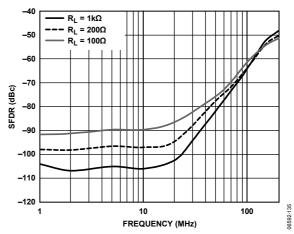


図 36.さまざまな負荷での SFDR の周波数特性

Rev. 0 — 13/25 —

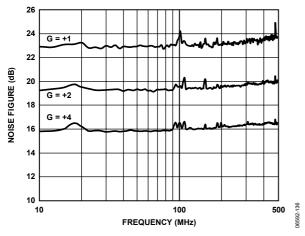


図 37.ノイズ係数の周波数特性

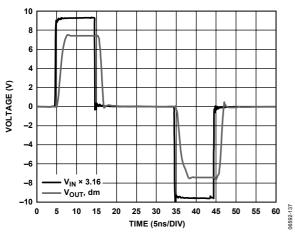


図 38.オーバードライブ回復時間(パルス入力)

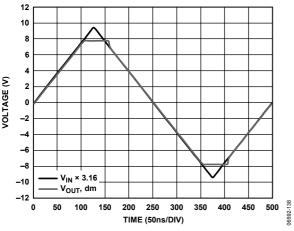


図 39.オーバードライブ振幅特性(三角波入力)

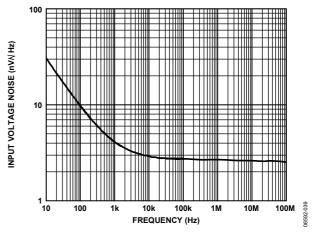


図 40.入力電圧ノイズの周波数特性

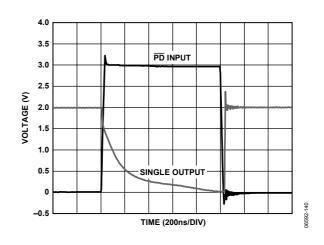


図 41.パワーダウン応答時間

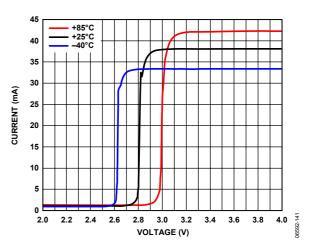


図 42.電源電流対パワーダウン電圧および温度

Rev. 0 - 14/25 -

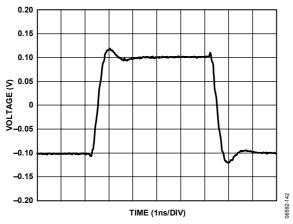


図 43.小信号過渡応答、Vout = 0.1 V p-p

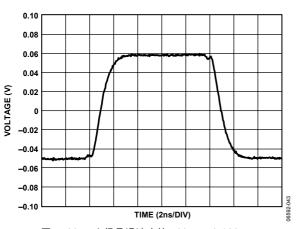


図 44.V_{OCM} 小信号過渡応答、V_{OUT} = 0.1 V p-p

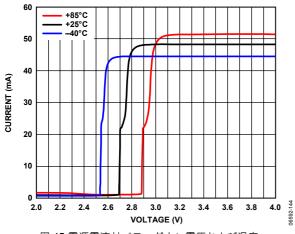


図 45.電源電流対パワーダウン電圧および温度 $V_S = 5 V$

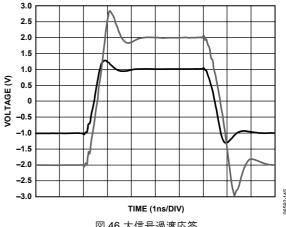


図 46.大信号過渡応答

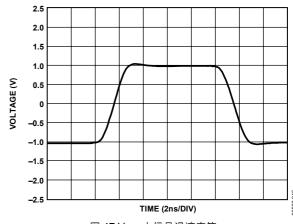


図 47.V_{OCM} 大信号過渡応答

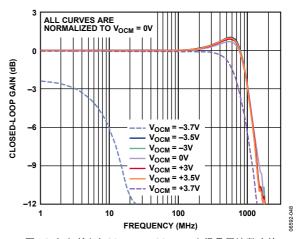
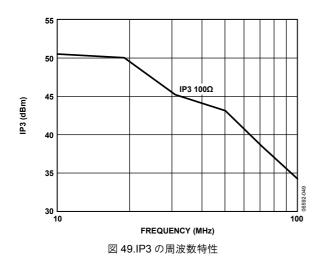


図 48.さまざまな V_{OCM} での V_{OUT, dm} 小信号周波数応答 $V_{OUT} = 0.1 V p-p$

- 15/25 -Rev. 0





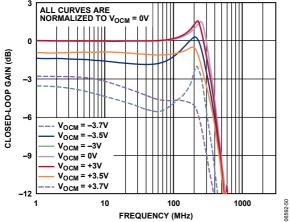


図 50.さまざまな V_{OCM} での $V_{OUT,\,dm}$ の大信号周波数応答

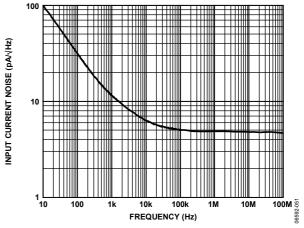


図 51.入力電流ノイズの周波数特性

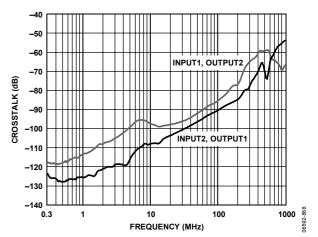


図 52.ADA4938-2 クロストークの周波数特性

Rev. 0 — 16/25 —

テスト回路

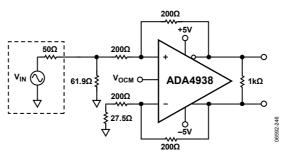


図 53.等価基本テスト回路

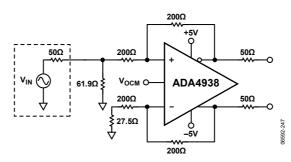


図 54.出力バランスのテスト回路

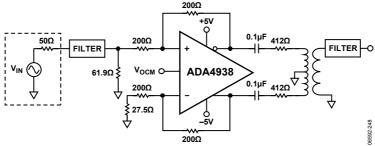
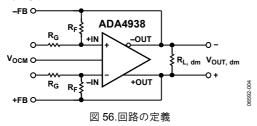


図 55.歪み測定のテスト回路

Rev. 0 — 17/25 —

動作説明

用語の定義



差動電圧

差動電圧は、2つのノード電圧間の差です。たとえば、 出力差動電圧(または等価な出力差動モード電圧)は、次 のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は+OUT ピンと-OUT ピンの電圧 (共通リファレンスを基準)。

コモン・モード電圧

コモン・モード電圧とは、2つのノード電圧の平均を意味します。出力コモン・モード電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

バランス

差動出力を持つアンプで、差動信号振幅の一致度と位相が正確に 180 度ずれている度合を表します。バランスは、一致した抵抗分圧器を差動電圧ノード間に接続し、分圧器の中点での信号振幅を差動信号の振幅と比較することにより、容易に求めることができます。この定義を使うと、出力バランスは、出力コモン・モード電圧の振幅を出力差動モード電圧の振幅で除算して求められます。

出力バランス誤差=
$$\begin{vmatrix} V_{OUT, cm} \\ V_{OUT, dm} \end{vmatrix}$$

Rev. 0 — 18/25 —

動作原理

ADA4938は、電圧が反対方向に動く2つの出力を持つ点で、従来型オペアンプと異なっています。このデバイスは、オペアンプと同様に、オープン・ループ・ゲインとこれらの出力を所望の電圧にする負帰還に依存しています。ADA4938は標準の電圧帰還オペアンプと同様に動作し、シングルエンド/差動変換、コモン・モード・レベル・シフト、差動信号増幅を容易に行うことができます。ADA4938はオペアンプと同様に、高い入力インピーダンスと低い出力インピーダンスを持っています。

2つの帰還ループを採用して、差動モードとコモン・モードの出力電圧を制御しています。外付け抵抗で設定される差動帰還は、差動出力電圧のみを制御します。コモン・モード帰還は、コモン・モード出力電圧のみを制御します。このアーキテクチャにより、出力コモン・モード・レベルを任意の値に容易に設定することができます。出力コモン・モード・レベルは、内部コモン・モード帰還により \mathbf{V}_{OCM} 入力に加えられた電圧に一致させられ、差動出力電圧に影響を与えません。

ADA4938 のアーキテクチャにより、厳密に一致する外付け部品が不要で広い周波数範囲で平衡を維持する出力が得られます。コモン・モード帰還ループにより、出力コモン・モード電圧の信号成分が強制的にゼロにされるため、振幅が一致して位相が180 度ずれた完全に近い平衡差動出力が得られます。

アプリケーション回路の解析

ADA4938ではオープン・ループ・ゲインと負帰還を採用して、差動モード誤差電圧とコモン・モード誤差電圧を最小に維持する方法で差動モード出力電圧とコモン・モード出力電圧を発生しています。差動誤差電圧は、2つの差動入力(+IN e-IN)間の電圧として定義されます(図56参照)。多くの場合、この電圧はゼロと見なすことができます。同様に、実際の出力コモン・モード電圧とe000円に加えられる電圧との間の差もゼロと見なすことができます。これらe1つを仮定すると、e1つでしまなできます。

クローズド・ループ・ゲインの設定

図 56 に示す回路の差動モード・ゲインは次のように求めることができます。

$$\left| \frac{V_{OUT,dm}}{V_{IN,dm}} \right| = \frac{R_F}{R_G}$$

ここでは、両側の入力抵抗(R_G)と帰還抵抗(R_F)は等しいと仮定しています。

出カノイズ電圧の計算

ADA4938 の差動出力ノイズは、図 57 に示すノイズ・モデルを使って計算することができます。入力換算ノイズ電圧密度 v_{nIN} は差動入力としてモデル化され、ノイズ電流 i_{nIN-} と i_{nIN+} は各入力とグラウンドの間で流れます。ノイズ電流は等しいと仮定すると、ゲインと帰還抵抗の並列接続の両端に電圧が発生します。 V_{OCM} ピンでのノイズ電圧密度は v_{nCM} です。4 本の各抵抗の成分は(4kTR) $^{1/2}$ になります。表9に、入力ノイズ源、増幅率、出力換算ノイズ密度の項をまとめます。

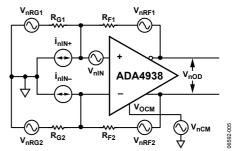


図 57.ADA4938 のノイズ・モデル

表 9.出力ノイズ電圧密度の計算

Input Noise Contribution	Input Noise Term	Input Noise Voltage Density	Output Multiplication Factor	Output Noise Voltage Density Term
Differential Input	V _{nIN}	V _{nIN}	G_N	$v_{nO1} = G_N(v_{nIN})$
Inverting Input	i_{nIN-}	$i_{nIN-}\times(R_{G2} R_{F2})$	G_N	$v_{nO2} = G_N[i_{nIN-} \times (R_{G2} R_{F2})]$
Noninverting Input	i_{nIN+}	$i_{nIN^+}\times (R_{G1} R_{F1})$	G_N	$v_{nO3} = G_N[i_{nIN+} \times (R_{G1} R_{F1})]$
V _{OCM} Input	V _{nCM}	V_{nCM}	$G_N(\beta_1 - \beta_2)$	$v_{nO4} = G_N(\beta_1 - \beta_2)(v_{nCM})$
Gain Resistor, R _{G1}	V _{nRG1}	$(4kTR_{G1})^{1/2}$	$G_N(1-\beta_2)$	$v_{nO5} = G_N(1 - \beta_2)(4kTR_{G1})^{1/2}$
Gain Resistor, R _{G2}	V _{nRG2}	$(4kTR_{G2})^{1/2}$	$G_N(1-\beta_1)$	$v_{nO6} = G_N(1 - \beta_1)(4kTR_{G2})^{1/2}$
Feedback Resistor, R _{F1}	V _{nRF1}	$(4kTR_{F1})^{1/2}$	1	$v_{nO7} = (4kTR_{F1})^{1/2}$
Feedback Resistor, R _{F2}	V _{nRF2}	$(4kTR_{F2})^{1/2}$	1	$v_{nO8} = (4kTR_{F2})^{1/2}$

Rev. 0 — 19/25 —

出力ノイズ電圧密度は、従来型オペアンプと同様に、 +IN と-IN での入力換算項に該当する出力係数を乗算して 求められます。

ここで、
$$G_N = \frac{2}{(\beta_1 + \beta_2)}$$
は回路のノイズ・ゲイン。

$$eta_{I} = \frac{R_{GI}}{R_{FI} + R_{GI}}$$
 と $eta_{2} = \frac{R_{G2}}{R_{F2} + R_{G2}}$ は帰還係数。

 $R_{F1}/R_{G1} = R_{F2}/R_{G2}$ のとき、 $\beta 1 = \beta 2 = \beta$ となり、ノイズ・ゲインは次式で表されます。

$$G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$$

 V_{OCM} からの出力ノイズは、この場合ゼロになることに注意してください。合計差動出力ノイズ密度 v_{nOD} は、各出力ノイズ項の 2 乗和平均になります。

$$v_{n\text{OD}} = \sqrt{\sum_{\text{i=1}}^8 v_{n\text{O}i}^2}$$

帰還回路でのミスマッチの影響

前述のように、外付け帰還回路 (R_F/R_G) がマッチングしていない場合でも、内部コモン・モード帰還ループにより出力のバランスが維持されます。各出力での信号は、同振幅かつ 180° の位相差に維持されます。入力—出力間の差動モード・ゲインは、帰還のミスマッチに比例して変わりますが、出力のバランスは影響を受けません。

 V_{OCM} のノイズ成分が発生するのと同様に、ミスマッチした帰還回路では、従来型オペアンプから構成される 4本抵抗のディファレンス・アンプと同様に、入力コモン・モード信号を除去する回路性能も低下します。

さらに、入力と出力のコモン・モード電圧の DC レベルが異なる場合、マッチング誤差から小さい差動モード出力オフセット電圧が発生します。G=+1のとき、グラウンド基準の入力信号と出力コモン・モード・レベルを 2.5 Vに設定すると、25 mV もの出力オフセット(コモン・モード・レベルで 1%の差)が発生します(1%偏差の抵抗を使用した場合)。1%偏差の抵抗により約 40 dB のワーストケース入力 CMRR が発生し、2.5 V のレベル・シフトにより 25 mV のワーストケース差動モード出力オフセットが発生しますが、出力平衡誤差には大きな性能低下がありません。

アプリケーション回路入力インピーダンスの 計算

回路の実効入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動するかに依存します。平衡差動入力信号の場合(図 58)、入力間($+D_{IN}$ と $-D_{IN}$)の入力インピーダンス($R_{IN,dm}$)は $R_{IN,dm}=2\times R_G$ になります。

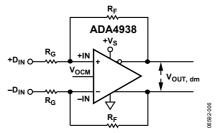


図 58.平衡(差動)入力の ADA4938

不平衡(シングルエンド入力信号)の場合(図 59)、入力インピーダンスは次式で表されます。

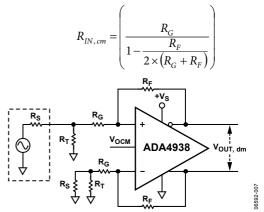


図 59. 不平衡(シングルエンド)入力の ADA4938

回路の入力インピーダンスは、インバータとして接続された従来型オペアンプの場合より実効的に高くなります。これは、差動出力電圧の成分がコモン・モード信号として入力に現れて、特に入力抵抗 R_G 両端の電圧を持ち上げるためです。

単電源アプリケーションでの入力コモン・モー ド電圧範囲

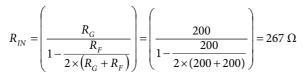
ADA4938 は、レベル・シフト(グラウンド基準の入力信号) に対して最適化されています。このため、入力コモン・モード範囲の中心は、電源の中心から約 $1 \, V \, \Gamma$ へシフトされています。アンプの加算ノードの入力コモン・モード範囲は、 $-V_S + 0.3 \, V \sim +V_S - 1.6 \, V$ です。出力でのクリッピングを避けるため、 $+IN \, L$ ンと $-IN \, L$ ンでの電圧振幅はこれらの範囲内に制限する必要があります。

Rev. 0 — 20/25 —

シングルエンド入力の終端

2Vの入力ソース、 50Ω のソース抵抗、1V/Vの全体ゲインを持つ例を使って、簡単な次の4ステップに従い、ADA4938へのシングルエンド入力を終端させます。

1. 入力インピーダンスは次式から計算されます。



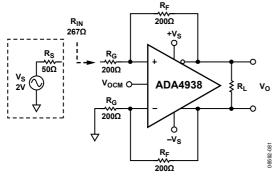


図 60.シングルエンド入力インピーダンス

2. ソースを 50Ω 終端にするため、抵抗 R_T を $R_T \parallel R_{IN} = 50 \Omega$ から $R_T = 61.9 \Omega$ と計算します。

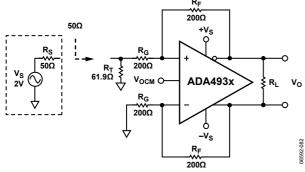


図 61.終端抵抗 R_Tの接続

3. ゲイン抵抗の不一致を補償するため、補正抵抗(R_{TS})を 反転入力ゲイン抵抗 R_G に直列に接続します。 R_{TS} はソース抵抗 $R_S \parallel R_T$ のテブナン等価値に一致します。

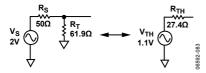


図 62.テブナン等価値の計算

 $R_{TS} = R_{TH} = R_S \parallel R_T = 27.4 \Omega$ 。 V_{TH} は $V_S/2$ と等しくないことに注意してください。これはアンプ回路が終端に影響を与えない場合に該当します。

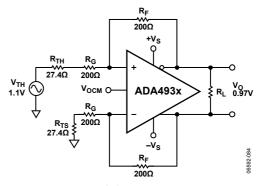


図 63.ゲイン抵抗 R_Gのバランシング

- 4. 最後に、帰還抵抗を再計算して、出力電圧を所望のレベルへ調整します。
 - a. 出力電圧 V_0 = 1 V とするため、次式を使って R_F を計算します。

$$R_F = \left(\frac{V_O \times (R_G + R_{TS})}{V_{TH}}\right) = \left(\frac{1 \times (200 + 27.4)}{1.1}\right) = 207 \Omega$$

b. 全体ゲインを 1 V/V ($V_0 = V_S = 2 \text{ V}$)に戻すためには、 R_F は次のようになる必要があります。

$$R_F = \left(\frac{V_O \times (R_G + R_{TS})}{V_{TH}}\right) = \left(\frac{2 \times (200 + 27.4)}{1.1}\right) = 414 \Omega$$

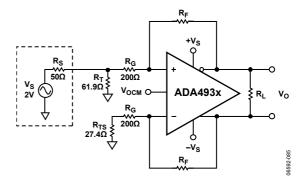


図 64.シングルエンド/差動変換システム

出力コモン・モード電圧の設定

ADA4938 の V_{OCM} ピンは、内部で電源の中心値(V+と V-の電圧の平均値)にほぼ等しくバイアスされています。この内部バイアスを使用すると、出力コモン・モード電圧が期待値の約 100~mV 以内で発生します。

出力コモン・モード・レベルの正確な制御が必要な場合には、外付け電源または抵抗分圧器 $(10k\Omega$ 以上の抵抗)を使用することが推奨されます。

 V_{OCM} 入力を ADC のコモン・モード・レベル(CML)出力に接続することもできますが、出力が十分な駆動能力を持つように注意する必要があります。 V_{OCM} ピンの入力インピーダンスは約 $10~k\Omega$ です。複数の ADA4938 デバイスで 1つのリファレンス出力を共用する場合は、バッファの使用が推奨されます。

Rev. 0 — 21/25 —

表 10 と表 11 に、平衡および不平衡入力構成に対する一般的なゲイン設定、対応する抵抗値、入力インピーダンス、出力ノイズ密度を示します。また、10 V 単電源と ± 5 V 両電源に対して異なる V_{OCM} 設定を持つ与えられた条件下での入力コモン・モード電圧も示してあります。

表 10.グラウンド基準の差動入力、DC 結合、図 58 参照

				Differential	Common-Mode Level at +IN, -IN (V)				
Nominal				Output Noise Density	$+V_S = 10 \text{ V}, -V_S = 0 \text{ V}$ $V_{OUT, dm} = 2.0 \text{ V p-p}$		$+V_S = 5 V,$ $V_{OUT, dm} =$	$-V_S = -5 V$ $= 2.0 V p-p$	
Gain (V/V)	$R_{F}(\Omega)$	$R_G(\Omega)$	$R_{IN, dm}(\Omega)$	(nV/√Hz)	$V_{OCM} = 2.5 V$	$V_{OCM} = 3.5 V$	$V_{OCM} = 1.0 V$	$V_{OCM} = 3.2 \text{ V}$	
1	200	200	400	6.5	1.25	1.75	0.50	1.60	
2	402	200	400	10.4	0.83	1.16	0.33	1.06	
3.16	402	127	254	13.4	0.60	0.84	0.24	0.77	
5	402	80.6	161	18.2	0.42	0.58	0.17	0.53	

表 11. グラウンド基準のシングルエンド入力、DC 結合、 R_s = 50 Ω 、図 59 参照

							Differential Output	Common-Mode Swing at +IN, -IN (V)			
Nominal	Re	R_{G1}	\mathbf{R}_{T}	R _{IN,se}	R_{G2}	Overall Gain	Noise Density	$+V_S = 10 \text{ V}, -V_S = 0 \text{ V}$ $V_{OUT, \text{ dm}} = 2.0 \text{ V p-p}$		$+V_S = 5 V, -V_S = -5 V$ $V_{OUT, dm} = 2.0 V p-p$	
Gain (V/V)	(Ω)	(Ω)	(Ω)	(Ω)	$(\Omega)^1$	$(V/V)^2$	(nV/\sqrt{Hz})	$V_{OCM} = 2.5 V$	$V_{OCM} = 3.5 V$	$V_{OCM} = 0 V$	$V_{OCM} = 2.0 V$
1	200	200	60.4	267	226	0.9	6.2	1.00 to 1.50	1.50 to 2.00	-0.25 to +0.25	0.75 to 1.25
2	402	200	60.4	300	226	1.8	9.8	0.66 to 1.00	1.00 to 1.33	-0.17 to +0.17	0.50 to 0.83
3.16	402	127	66.5	205	158	2.5	11.8	0.48 to 0.72	0.72 to 0.96	-0.12 to +0.12	0.36 to 0.60
5	402	80.6	76.8	138	110	3.6	14.7	0.33 to 0.50	0.50 to 0.67	-0.08 to +0.08	0.25 to 0.42

 $^{^{1}}$ $R_{G2} = R_{G1} + R_{TS}$

Rev. 0 — 22/25 —

²終端マッチングの影響を含みます。

レイアウト、グラウンド接続、バイパス

他の高速デバイスの場合と同様に、ADA4938 も PCB 環境に敏感です。優れた性能を実現するためには、高速 PCB デザインに細心の注意を払う必要があります。

最初の条件は、ADA4938を取り囲むできるだけ多くのボード領域をカバーする優れたグラウンド・プレーンですが、帰還抵抗(R_F)、ゲイン抵抗(R_G)、入力加算ノードの近くの領域には、グラウンド・プレーンと電源プレーンを設けないようにする必要があります(図 65 参照)。グラウンド・プレーンと電源プレーンを設けないと、これらのノードの寄生容量が小さくなるため、高周波でのアンプ応答でのピーキングを防止することができます。

熱抵抗 θ_{JA} は、デバイス(露出パッドを含む)を EIA/JESD 51-7 で規定される熱伝導性の高い 4 層回路ボードにハンダ付けした状態に対して規定します。露出パッドはデバイスから電気的に絶縁されているため、ビアを使ってグラウンド・プレーンへ接続することができます。サーマル・アタッチ・パッドと ADA4938-1 のビア構造の例を図 66 と図 67 に示します。

図 65.R_F と R_G の周囲を除くグラウンド・プレーンと電源プレーン

電源ピンは、できるだけデバイスの近くで近くのグラウンド・プレーンへバイパスする必要があります。高周波セラミック・チップ・コンデンサを使用する必要があります。2個の並列バイパス・コンデンサ(1000 pF と 0.1μ F)を各電源に対して使用することが推奨されます。 1000μ F のコンデンサをデバイスの近くに接続する必要があります。 さらに離れたところに、低周波バイパスの 10μ F タンタル・コンデンサを各電源とグラウンドとの間に対象します。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、対称なレイアウトを採用して波形のバランスを維持する必要があります。差動信号を長い距離配線する場合は、PCBパターンを互いに近づけて、差動線をループ面積が最小になるように撚る必要があります。こうすることにより、放射エネルギを減らして、回路を干渉に対して強くします。

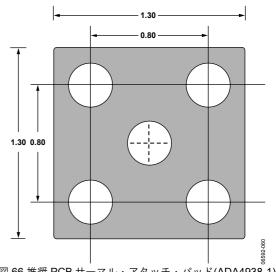


図 66.推奨 PCB サーマル・アタッチ・パッド(ADA4938-1) (寸法: mm)

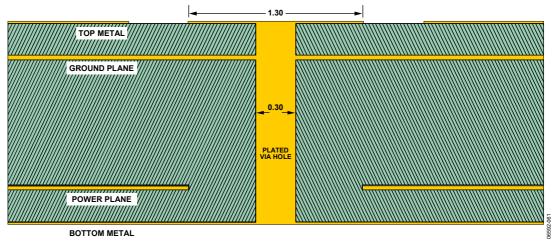


図 67.埋め込みグラウンド・プレーンへ接続したサーマル・ビア接続を示す 4 層 PCB(ADA4938-1)の断面(寸法: mm)

Rev. 0 — 23/25 —

高性能 ADC の駆動

ADA4938 は、広帯域 DC 結合のベースバンド・アプリケーションに最適です。 図 68 の回路に、16 ビット 80 MSPS ADC の AD9446 を駆動する ADA4938 のフロントエンド接続を示します。 AD9446 は差動で駆動したときに最適性能を実現します。 ADA4938 は ADC を駆動するトランスを不要にし、シングルエンド/差動変換を行い、駆動信号のバッファリングを行い、DC 結合に必要なレベル・シフトを提供します。

ADA4938 は、 $10 \, V$ 単電源を使用し、シングルエンド入力から差動出力までゲイン= 1 で構成されています。 $61.9 \, \Omega$ の終端抵抗を $267 \, \Omega$ のシングルエンド入力インピーダンスと並列に接続して、ソースの $50 \, \Omega$ 終端を行っています。さらに反転入力の $26 \, \Omega$ (合計 $226 \, \Omega$)により、 $50 \, \Omega$ のソース抵抗と非反転入力を駆動する終端抵抗の並列インピーダンスとバランスをとります。

信号ジェネレータは、グラウンド基準の対称なバイポーラ出力を持っています。ADA4938の V_{OCM} ピンは外付けの抵抗分圧器でバイアスされ、所望の $3.5\,V$ 出力コモン・モードを実現しています。コモン・モード電圧の1/2は加算ノードへ帰還され、 $-IN\, と + IN\, を\, 1.75\, V$ にバイアスしています。 $3.5\, V$ のコモン・モード電圧に対して、各ADA4938の出力振幅は $2.7\, V \sim 4.3\, V\, と$ なり、 $3.2\, V\, p - p\, \sigma$ 差動出力を発生します。

アンプ出力は、-3dB カットオフ周波数 50 MHz の 2 次ローパス・フィルタを介して ADC へ DC 結合されます。これにより、アンプのノイズ帯域幅が狭くなるので、ドライバ出力が ADC 入力からアイソレーションされます。

図 68 に示す VREF ピンと SENSE ピンの間で R1 = R2 = 1 $k\Omega$ となるように設定することにより、AD9446 は 4.0 V p-p のフル・スケール入力に設定されます。

図 69 の回路に、14 ビット 125 MSPS ADC の AD9246 を駆動する ADA4938 の簡略化したフロントエンド接続を示します AD9246 は差動で駆動したときに最適性能を実現します。ADA4938 は ADC を駆動するトランスを不要にし、シングルエンド/差動変換を行い、駆動信号のバッファリングを行い、DC 結合に必要なレベル・シフトを提供します。

ADA4938 は、 ± 5 V 両電源を使用し、シングルエンド入力から差動出力まで約 2 V/V のゲインに設定されています。76.8 Ω の終端抵抗を 137 Ω のシングルエンド入力インピーダンスと並列に接続して、ソースの 50 Ω DC 終端を行っています。 さらに反転入力の 30.1 Ω (合計 120 Ω) により、50 Ω のソース抵抗と非反転入力を駆動する終端抵抗の並列 DC インピーダンスとバランスをとります。

信号ジェネレータは、グラウンド基準の対称なバイポーラ 出力を持っています。ADA4938 の V_{OCM} ピンはAD9246 の CML ピンに接続されて、出力コモン・モード・レベルを適切なポイントに設定しています。この一部は加算ノードに帰還され、-IN と+IN を 0.55 V にバイアスしています。0.9 V のコモン・モード電圧に対して、各ADA4938 の出力振幅は 0.4 V \sim 1.4 V となり、2 V p-p の差動出力を発生しています。

出力は、単極のローパス・フィルタに DC 結合されています。このフィルタはアンプのノイズ帯域幅を削減し、ADC のスイッチド・キャパシタ入力からある程度アイソレーションしています。SENSE ピンを AGND に接続して、AD9246 は 2 V p-p のフル・スケール入力に設定されています。図 69 に示すように CML 出力を接続することにより、AD9246 の入力は 1 V にバイアスされています。

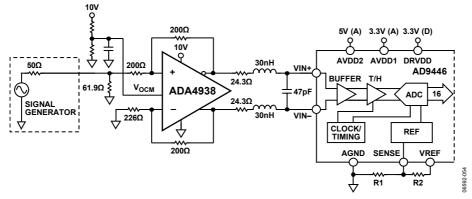


図 68.16 ビット 80 MSPS の ADC AD9446 を駆動する ADA4938

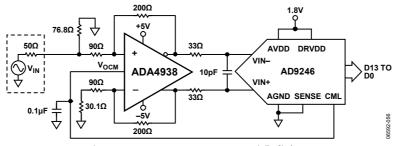
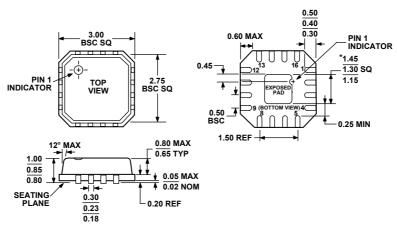


図 69.14 ビット 125 MSPS の ADC AD9246 を駆動する ADA4938

Rev. 0 — 24/25 —

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VEED-2 EXCEPT FOR EXPOSED PAD DIMENSION.

図 70.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ] 3 mm × 3 mm ボディ (CP-16-2) 寸法: mm

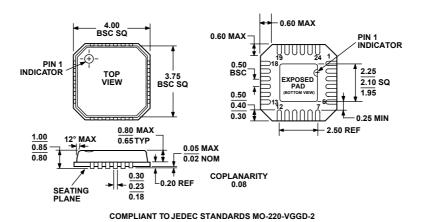


図 71.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ] 4 mm × 4 mm ボディ、極薄クワッド(CP-24-1)

寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4938-1ACPZ-R2 ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-2	5,000	H11
ADA4938-1ACPZ-RL ¹	−40°C to +85°C	16-Lead LFCSP_VQ	CP-16-2	1,500	H11
ADA4938-1ACPZ-R7 ¹	-40°C to +85°C	16-Lead LFCSP_VQ	CP-16-2	250	H11
ADA4938-2ACPZ-R2 ¹	-40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	5,000	
ADA4938-2ACPZ-RL ¹	-40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	1,500	
ADA4938-2ACPZ-R7 ¹	−40°C to +85°C	24-Lead LFCSP_VQ	CP-24-1	250	

¹Z=RoHS準拠製品。