

ADA4927-1/ADA4927-2

特長

極めて低い高調波歪み

10 MHz で-105 dBc HD2

70 MHz で-91 dBc HD2

100 MHz で-87 dBc HD2

10 MHz で-103 dBc HD3

70 MHz で-98 dBc HD3

100 MHz で-89 dBc HD3

高いゲインでVFアンプより歪み性能が優れている

低い入力電圧ノイズ: 1.4 nV/√Hz

高速

-3 dB 帯域幅: 2.3 GHz

ゲイン平坦性: 150 MHz まで 0.1 dB

スルーレート: 25%から 75%まで 5,000 V/μs

高速なセトリング・タイム: 0.1%まで 10 ns

入力オフセット電圧: 0.3 mV (Typ)

外部調整可能なゲイン

帰還抵抗により安定性と帯域幅を制御

差動/差動動作またはシングルエンド/差動動作

調整可能な出力コモン・モード電圧

広い電源範囲: +5 V~±5 V

アプリケーション

ADC ドライバ

シングルエンド/差動変換

IF およびベースバンドのゲイン・ブロック

差動バッファ

差動ライン・ドライバ

概要

ADA4927 は、低ノイズ、超低歪み、高速、電流帰還の差動アンプであり、DC~100 MHz で 16 ビットまでの分解能を持つ高性能 ADC の駆動に最適です。必要とされる ADC 入力コモン・モード・レベルに出力コモン・モード・レベルを容易に一致させることができます。また、内部コモン・モード帰還ループは優れた出力バランスを維持し、偶数次の歪み積も抑圧します。

差動ゲイン構成は、4 本の抵抗で構成される外部帰還回路を使って容易に実現できます。電流帰還アーキテクチャにより、ほぼ独立なクロード・ループ・ゲインが実現できるため、広い帯域幅、低歪み、高いゲインでの低ノイズが実現でき、同等の電圧帰還アンプより消費電力を小さくすることができます。

ADA4927 はアナログ・デバイス独自のシリコン・ゲルマニウム相補バイポーラ・プロセスにより製造されているため、非常に低レベルの歪み、かつ 1.3 nV/√Hz の小さな入力電圧ノイズを実現しています。

機能ブロック図

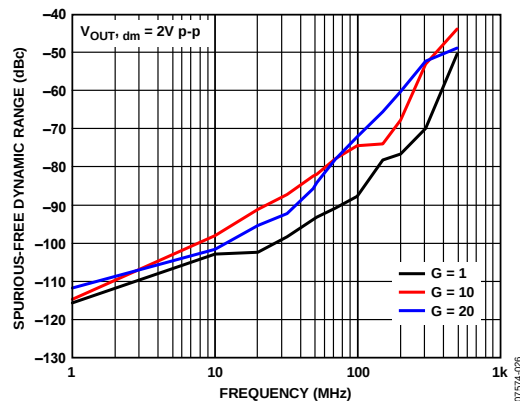
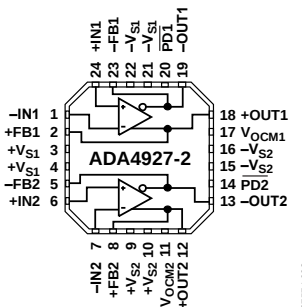
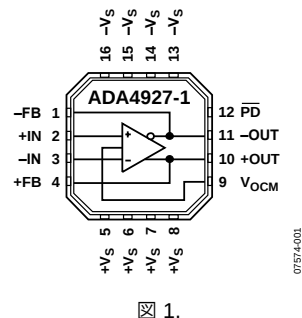


図 3.さまざまなゲインでのスプリアス・フリー・ダイナミック・レンジの周波数特性

ADA4927 は低い DC オフセットと優れたダイナミック性能を持つため、さまざまなデータ・アキュイジション・アプリケーションや信号処理アプリケーションに適しています。

ADA4927-1 は Pb フリーの 3 mm × 3 mm 16 ピン LFCSP パッケージを、ADA4927-2 は Pb フリーの 4 mm × 4 mm 24 ピン LFCSP パッケージを、それぞれ採用しています。ピン配置は、PCB レイアウトと低歪み向けに最適化されています。動作仕様は、-40°C ~ +105°C の温度範囲で規定されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	用語の定義.....	16
アプリケーション.....	1	アプリケーション情報.....	17
概要.....	1	アプリケーション回路の解析.....	17
機能ブロック図.....	1	クローズド・ループ・ゲインの設定.....	17
改訂履歴.....	2	出力ノイズ電圧の計算.....	17
仕様.....	3	帰還回路でのミスマッチの影響.....	18
±5 V 動作.....	3	アプリケーション回路入力インピーダンスの計算.....	18
+5 V 動作.....	5	入力コモン・モード電圧範囲.....	20
絶対最大定格.....	7	入力と出力の容量 AC 結合.....	20
熱抵抗.....	7	出力コモン・モード電圧の設定.....	20
最大消費電力.....	7	パワーダウン.....	20
ESD の注意.....	7	レイアウト、グラウンド接続、バイパス.....	21
ピン配置およびピン機能説明.....	8	高性能 ADC の駆動.....	22
代表的な性能特性.....	9	外形寸法.....	23
テスト回路.....	15	オーダー・ガイド.....	23
動作原理.....	16		

改訂履歴

10/08—Revision 0: Initial Version

仕様

±5 V 動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $V_{\text{OCM}} = 0\text{ V}$ 、 $R_F = 301\ \Omega$ 、 $R_G = 301\ \Omega$ 、 $R_T = 56.2\ \Omega$ (使用時)。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。信号の定義については、図 46 を参照してください。

±D_{IN}—V_{OUT, dm}間の性能

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Small Signal Bandwidth	V _{OUT, dm} = 0.1 V p-p		2300		MHz
–3 dB Large Signal Bandwidth	V _{OUT, dm} = 2.0 V p-p		1500		MHz
Bandwidth for 0.1 dB Flatness	V _{OUT, dm} = 0.1 V p-p, ADA4927-1		150		MHz
	V _{OUT, dm} = 0.1 V p-p, ADA4927-2		120		MHz
Slew Rate	V _{OUT, dm} = 2 V step, 25% to 75%		5000		V/μs
Settling Time to 0.1%	V _{OUT, dm} = 2 V step		10		ns
Overdrive Recovery Time	V _{IN} = 0 V to 0.9 V step, G = 10		10		ns
NOISE/HARMONIC PERFORMANCE					
See Figure 45 for distortion test circuit					
Second Harmonic	V _{OUT, dm} = 2 V p-p, 10 MHz		–105		dBc
	V _{OUT, dm} = 2 V p-p, 70 MHz		–91		dBc
	V _{OUT, dm} = 2 V p-p, 100 MHz		–87		dBc
Third Harmonic	V _{OUT, dm} = 2 V p-p, 10 MHz		–103		dBc
	V _{OUT, dm} = 2 V p-p, 70 MHz		–98		dBc
	V _{OUT, dm} = 2 V p-p, 100 MHz		–89		dBc
IMD	f ₁ = 70 MHz, f ₂ = 70.1 MHz, V _{OUT, dm} = 2 V p-p		–94		dBc
	f ₁ = 140 MHz, f ₂ = 140.1 MHz, V _{OUT, dm} = 2 V p-p		–85		dBc
Voltage Noise (RTI)	f = 100 kHz, G = 28		1.4		nV/√Hz
Input Current Noise	f = 100 kHz, G = 28		14		pA/√Hz
Crosstalk	f = 100 MHz, ADA4927-2		–75		dB
INPUT CHARACTERISTICS					
Offset Voltage	V _{IP} = V _{IN} = V _{OCM} = 0 V	–1.3	+0.3	+1.3	mV
	t _{MIN} to t _{MAX} variation		±1.5		μV/°C
Input Bias Current	t _{MIN} to t _{MAX} variation	–15	+0.5	+15	μA
			±0.1		μA/°C
Input Offset Current		–10.5	–0.6	+10.5	μA
Input Resistance	Differential		14		Ω
	Common mode		120		kΩ
Input Capacitance	Differential		0.5		pF
Input Common-Mode Voltage Range		–3.5		+3.5	V
CMRR	ΔV _{OUT, dm} /ΔV _{IN, cm} , ΔV _{IN, cm} = ±1 V	–70	–93		dB
Open-Loop Transresistance	DC	120	185		kΩ
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output, R _F = R _G = 10 kΩ	–3.8		+3.8	V
Linear Output Current			65		mA p-p
Output Balance Error	ΔV _{OUT, cm} /ΔV _{OUT, dm} , ΔV _{OUT, dm} = 1 V, 10 MHz, see Figure 44 for test circuit		–65		dB

V_{OCM}—V_{OUT, cm}間の性能

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
V _{OCM} DYNAMIC PERFORMANCE					
Small Signal –3 dB Bandwidth	V _{OUT, cm} = 100 mV p-p		1300		MHz
Slew Rate	V _{IN} = –1.0 V to +1.0 V, 25% to 75%		1000		V/μs
Input Voltage Noise (RTI)	f = 100 kHz		15		nV/√Hz
V _{OCM} INPUT CHARACTERISTICS					
Input Voltage Range			±3.5		V
Input Resistance		3.8	5.0	7.5	kΩ
Input Offset Voltage	V _{OS, cm} = V _{OUT, cm} , V _{DIN+} = V _{DIN–} = +V _S /2	–10	–2	+5.2	mV
V _{OCM} CMRR	ΔV _{OUT, dm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	–70	–97		dB
Gain	ΔV _{OUT, cm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	0.90	0.97	1.00	V/V

全体性能

表 3.

Parameter	Conditions	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range		4.5		11.0	V
Quiescent Current per Amplifier	t _{MIN} to t _{MAX} variation		20.0	22.1	mA
	Powered down		±9.0		μA/°C
Power Supply Rejection Ratio	ΔV _{OUT, dm} /ΔV _S , ΔV _S = 1 V	–70	–89	2.4	dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		<1.8		V
	Enabled		>3.2		V
Turn-Off Time	To 0.1%		15		μs
Turn-On Time	To 0.1%		400		ns
PD Pin Bias Current per Amplifier					
Enabled	PD = 5 V	–2		+2	μA
Disabled	PD = 0 V	–110		–90	μA
OPERATING TEMPERATURE RANGE		–40		+105	°C

+5 V 動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $V_{\text{OCM}} = 2.5\text{ V}$ 、 $R_F = 301\ \Omega$ 、 $R_G = 301\ \Omega$ 、 $R_T = 56.2\ \Omega$ (使用時)、 $R_{L,\text{dm}} = 1\text{ k}\Omega$ 。特に指定がない限り、すべての仕様はシングルエンド入力と差動出力を規定します。信号の定義については、図 46 を参照してください。

 $\pm D_{\text{IN}} - V_{\text{OUT, dm}}$ 間の性能

表 4.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Small Signal Bandwidth	$V_{\text{OUT, dm}} = 0.1\text{ V p-p}$		2000		MHz
–3 dB Large Signal Bandwidth	$V_{\text{OUT, dm}} = 2.0\text{ V p-p}$		1300		MHz
Bandwidth for 0.1 dB Flatness	$V_{\text{OUT, dm}} = 0.1\text{ V p-p}$, ADA4927-1		150		MHz
	$V_{\text{OUT, dm}} = 0.1\text{ V p-p}$, ADA4927-2		110		MHz
Slew Rate	$V_{\text{OUT, dm}} = 2\text{ V step}$, 25% to 75%		4200		V/ μs
Settling Time to 0.1%	$V_{\text{OUT, dm}} = 2\text{ V step}$		10		ns
Overdrive Recovery Time	$V_{\text{IN}} = 0\text{ V}$ to 0.15 V step , $G = 10$		10		ns
NOISE/HARMONIC PERFORMANCE					
See Figure 45 for distortion test circuit					
Second Harmonic	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 10 MHz		–104		dBc
	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 70 MHz		–91		dBc
	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 100 MHz		–86		dBc
Third Harmonic	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 10 MHz		–95		dBc
	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 70 MHz		–80		dBc
	$V_{\text{OUT, dm}} = 2\text{ V p-p}$, 100 MHz		–76		dBc
IMD	$f_1 = 70\text{ MHz}$, $f_2 = 70.1\text{ MHz}$, $V_{\text{OUT, dm}} = 2\text{ V p-p}$		–93		dBc
	$f_1 = 140\text{ MHz}$, $f_2 = 140.1\text{ MHz}$, $V_{\text{OUT, dm}} = 2\text{ V p-p}$		–84		dBc
Voltage Noise (RTI)	$f = 100\text{ kHz}$, $G = 28$		1.4		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$, $G = 28$		19		pA/ $\sqrt{\text{Hz}}$
Crosstalk	$f = 100\text{ MHz}$, ADA4927-2		–75		dB
INPUT CHARACTERISTICS					
Offset Voltage	$V_{\text{IP}} = V_{\text{IN}} = V_{\text{OCM}} = 0\text{ V}$	–1.3	+0.3	+1.3	mV
Input Bias Current	t_{MIN} to t_{MAX} variation		± 1.5		$\mu\text{V}/^\circ\text{C}$
	t_{MIN} to t_{MAX} variation	–30	–12	+4.0	μA
			± 0.12		$\mu\text{A}/^\circ\text{C}$
Input Offset Current		–10.5	–0.8	+10.5	μA
Input Resistance	Differential		14		Ω
	Common mode		120		k Ω
Input Capacitance	Differential		0.5		pF
Input Common-Mode Voltage Range		1.3		3.7	V
CMRR	$\Delta V_{\text{OUT, dm}}/\Delta V_{\text{IN, cm}}$, $\Delta V_{\text{IN, cm}} = \pm 1\text{ V}$	–70	–96		dB
Open-Loop Transresistance	DC	120	185		k Ω
OUTPUT CHARACTERISTICS					
Output Voltage Swing	Each single-ended output	+1.0		+4.0	V
Linear Output Current			50		mA p-p
Output Balance Error	$\Delta V_{\text{OUT, cm}}/\Delta V_{\text{OUT, dm}}$, $\Delta V_{\text{OUT, dm}} = 1\text{ V}$, 10 MHz, see Figure 44 for test circuit		–65		dB

V_{OCM}—V_{OUT, cm}間の性能

表 5.

Parameter	Conditions	Min	Typ	Max	Unit
V _{OCM} DYNAMIC PERFORMANCE					
Small signal –3 dB Bandwidth	V _{OUT, cm} = 100 mV p-p		1300		MHz
Slew Rate	V _{IN} = 1.5 V to 3.5 V, 25% to 75%		1000		V/μs
Input Voltage Noise (RTI)	f = 100 kHz		15		nV/√Hz
V _{OCM} INPUT CHARACTERISTICS					
Input Voltage Range			1.5 to 3.5		V
Input Resistance		3.8	5.0	7.5	kΩ
Input Offset Voltage	V _{OS, cm} = V _{OUT, cm} , V _{DIN+} = V _{DIN–} = +V _S /2	–5.0	+2.0	+10	mV
V _{OCM} CMRR	ΔV _{OUT, dm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	–70	–100		dB
Gain	ΔV _{OUT, cm} /ΔV _{OCM} , ΔV _{OCM} = ±1 V	0.90	0.97	1.00	V/V

全体性能

表 6.

Parameter	Conditions	Min	Typ	Max	Unit
POWER SUPPLY					
Operating Range		4.5		11.0	V
Quiescent Current per Amplifier	t _{MIN} to t _{MAX} variation		20	21.6	mA
	Powered down		±7.0		μA/°C
	ΔV _{OUT, dm} /ΔV _S , ΔV _S = 1 V			0.6	mA
Power Supply Rejection Ratio		–70	–89		dB
POWER-DOWN (PD)					
PD Input Voltage	Powered down		<1.7		V
	Enabled		>3.0		V
Turn-Off Time			20		μs
Turn-On Time			500		ns
PD Pin Bias Current per Amplifier					
Enabled	PD = 5 V	–2		+2	μA
Disabled	PD = 0 V	–105		–95	μA
OPERATING TEMPERATURE RANGE		–40		+105	°C

絶対最大定格

表 7.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See Figure 4
Input Currents +IN, -IN, $\overline{\text{PD}}$	± 5 mA
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +105°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、デバイス(露出パッドを含む)を EIA/JESD 51-7 で規定される熱伝導性の高い 2s2p 回路ボードにハンダ付けした状態に対して規定します。

表 8.

Package Type	θ_{JA}	Unit
16-Lead LFCSP (Exposed Pad)	87	°C/W
24-Lead LFCSP (Exposed Pad)	47	°C/W

最大消費電力

ADA4927 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4927 のパラメータ性能が永久的にシフトしてしまうことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存します。負荷駆動に起因する電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。これらの計算では RMS 電圧と RMS 電流を使用する必要があります。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/露出パッドが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 4 に、パッケージの最大安全消費電力対周囲温度をシングル の 16 ピン LFCSP (87°C/W)とデュアルの 24 ピン LFCSP (47°C/W)について示します。両パッケージは、JEDEC 規格 4 層ボード上で厚いプレーンに接続されている PCB パッドに露出パッドをハンダ付けしています。

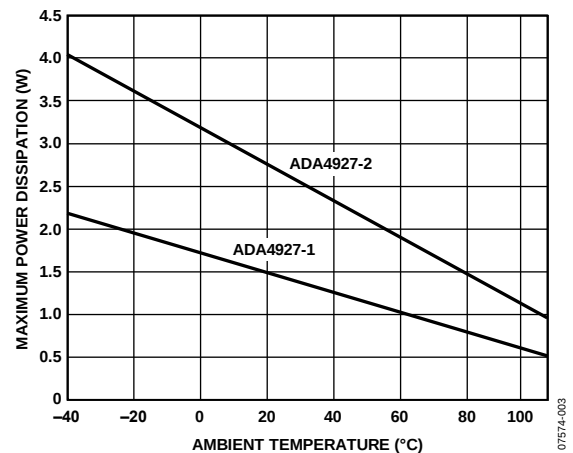


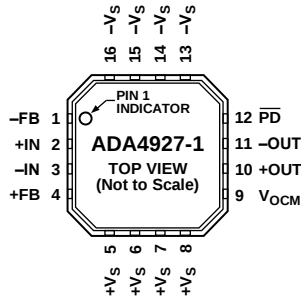
図 4.最大消費電力対周囲温度、4 層ボード

ESD の注意



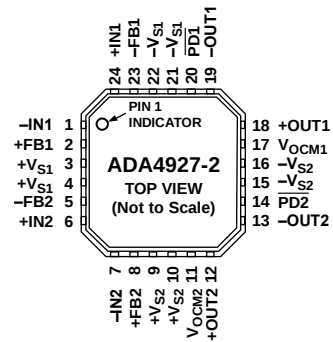
ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. CONNECT THE EXPOSED PADDLE TO ANY PLANE BETWEEN AND INCLUDING $+V_S$ AND $-V_S$.

図 5.ADA4927-1 のピン配置



NOTES
1. CONNECT THE EXPOSED PADDLE TO ANY PLANE BETWEEN AND INCLUDING $+V_S$ AND $-V_S$.

図 6.ADA4927-2 のピン配置

表 9.ADA4927-1 のピン機能説明

ピン番号	記号	説明
1	-FB	帰還部品接続の負側出力
2	+IN	加算ノードへの正側入力
3	-IN	加算ノードへの負側入力
4	+FB	帰還部品接続の正側出力
5~8	$+V_S$	正電源電圧
9	V_{OCM}	コモン・モード電圧出力
10	+OUT	負荷接続の正側出力
11	-OUT	負荷接続の負側出力
12	$\overline{PD}$	パワーダウン・ピン
13~16	$-V_S$	負電源電圧
17 (EPAD)	露出パッド (EPAD)	露出パッドは電圧 $+V_S$ ~ $-V_S$ のプレーンに接続します。

表 10.ADA4927-2 のピン機能説明

ピン番号	記号	説明
1	-IN1	加算ノード 1 への負側入力
2	+FB1	帰還部品接続 1 の正側出力
3、4	$+V_{S1}$	正電源電圧 1
5	-FB2	帰還部品接続 2 の負側出力
6	+IN2	加算ノード 2 への正側入力
7	-IN2	加算ノード 2 への負側入力
8	+FB2	帰還部品接続 2 の正側出力
9、10	$+V_{S2}$	正電源電圧 2
11	V_{OCM2}	出力コモン・モード電圧 2
12	+OUT2	負荷接続 2 の正側出力
13	-OUT2	負荷接続 2 の負側出力
14	$\overline{PD2}$	パワーダウン・ピン 2
15、16	$-V_{S2}$	負電源電圧 2
17	V_{OCM1}	出力コモン・モード電圧 1
18	+OUT1	負荷接続 1 の正側出力
19	-OUT1	負荷接続 1 の負側出力
20	$\overline{PD1}$	パワーダウン・ピン 1
21、22	$-V_{S1}$	負電源電圧 1
23	-FB1	帰還部品接続 1 の負側出力
24	+IN1	加算ノード 1 への正側入力
25 (EPAD)	露出パッド (EPAD)	露出パッドは電圧 $+V_S$ ~ $-V_S$ のプレーンに接続します。

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $V_{\text{OCM}} = 0\text{ V}$ 、 $R_G = 301\ \Omega$ 、 $R_F = 301\ \Omega$ 、 $R_T = 56.2\ \Omega$ (使用時)、 $R_{L, \text{dm}} = 1\text{ k}\Omega$ 。基本テスト・セットアップについては、図 43 を参照してください。信号の定義については、図 46 を参照してください。

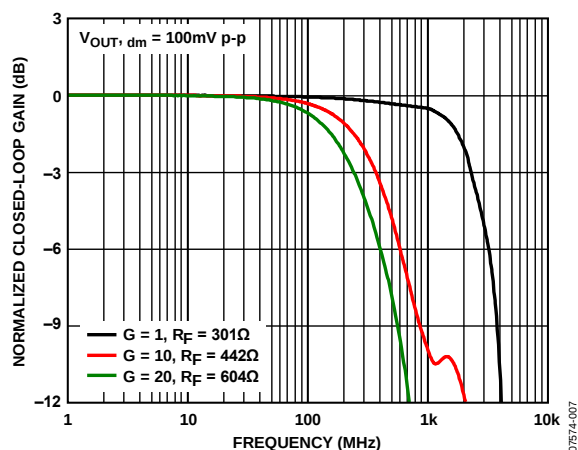


図 7.さまざまなゲインでの小信号周波数応答

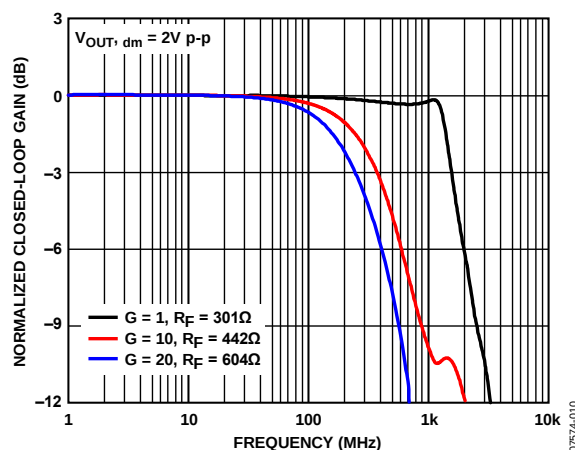


図 10.さまざまなゲインでの大信号周波数応答

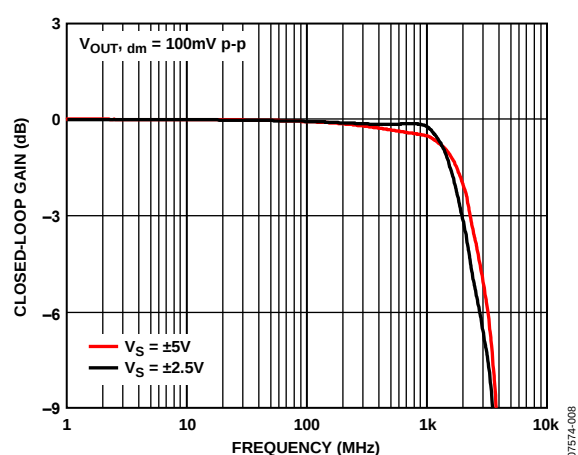


図 8.さまざまな電源での小信号周波数応答

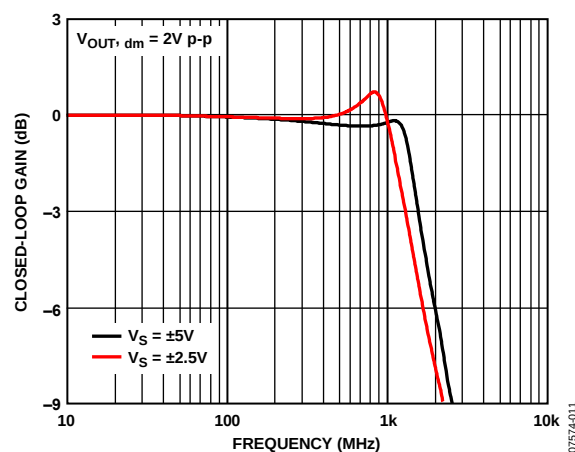


図 11.さまざまな電源での大信号周波数応答

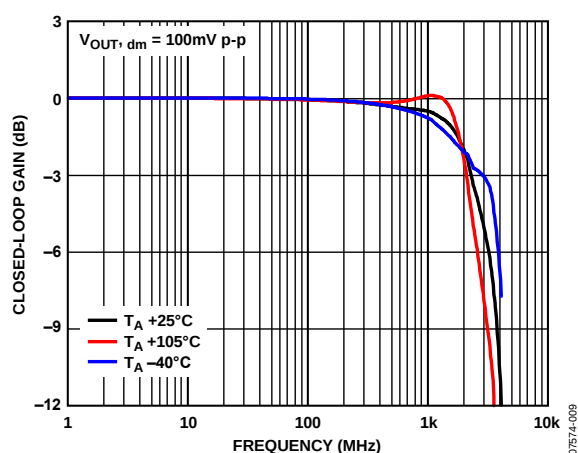


図 9.さまざまな温度での小信号周波数応答

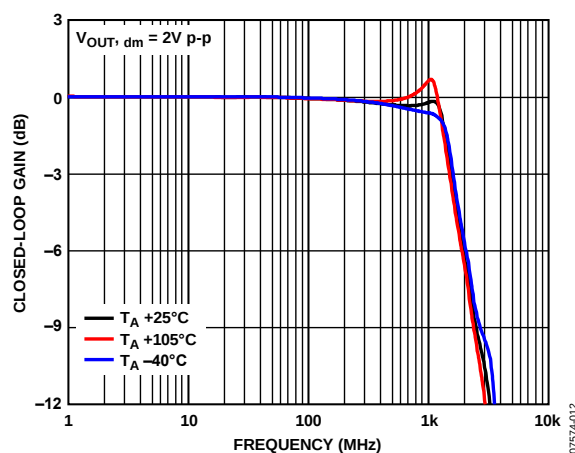


図 12.さまざまな温度での大信号周波数応答

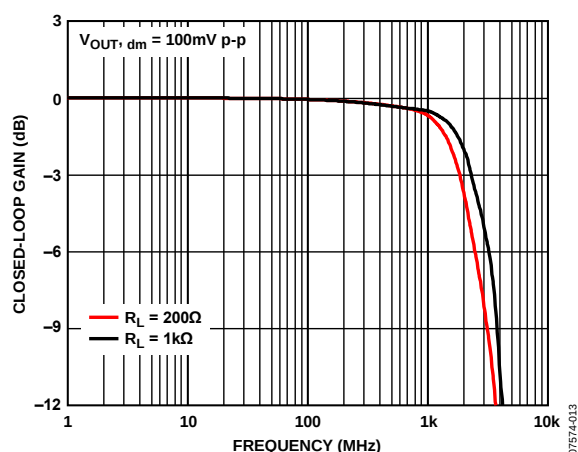


図 13.さまざまな負荷での小信号周波数応答

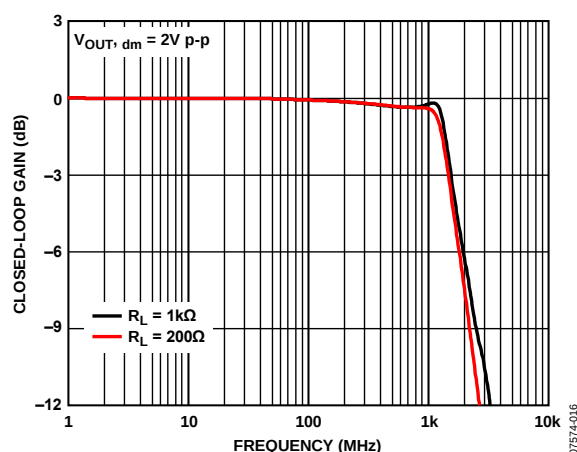


図 16.さまざまな負荷での大信号周波数応答

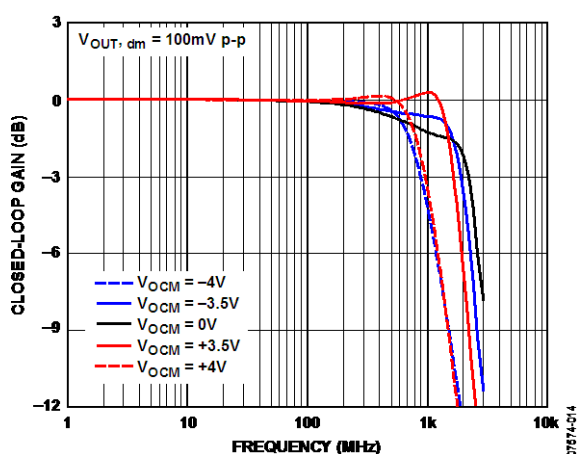


図 14.さまざまな V_{OCM} レベルでの小信号周波数応答

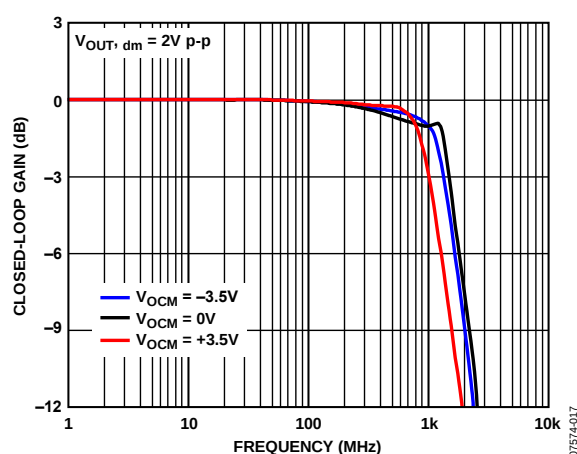


図 17.さまざまな V_{OCM} レベルでの大信号周波数応答

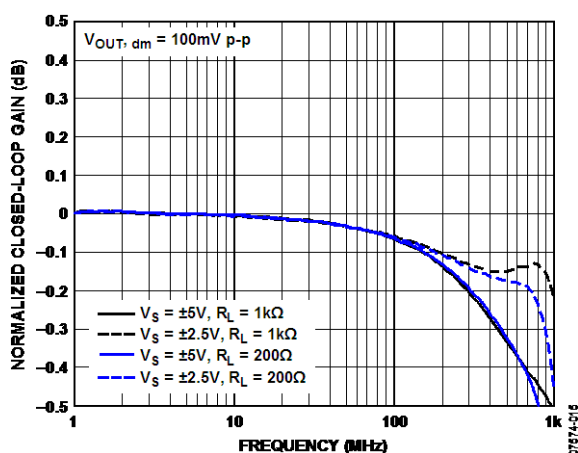


図 15.さまざまな負荷と電源での 0.1 dB 平坦性小信号周波数応答

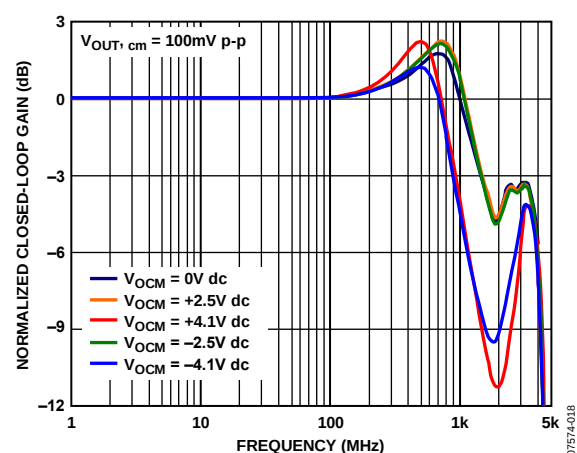


図 18.さまざまな DC レベルの V_{OCM} 小信号周波数応答

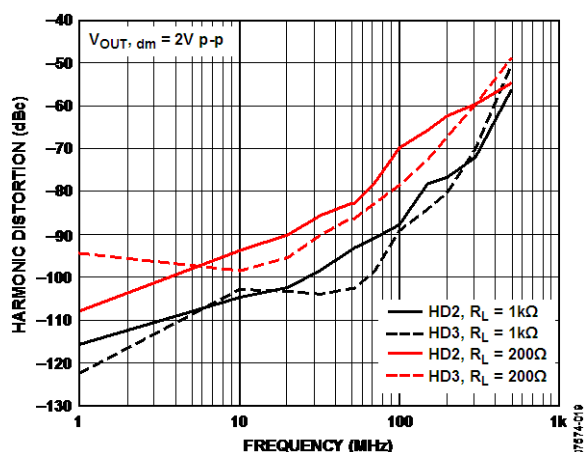


図 19.さまざまな負荷での高調波歪みの周波数特性

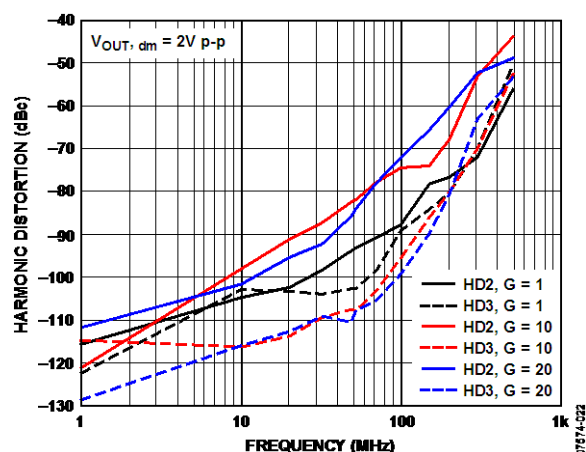


図 22.さまざまなゲインでの高調波歪みの周波数特性

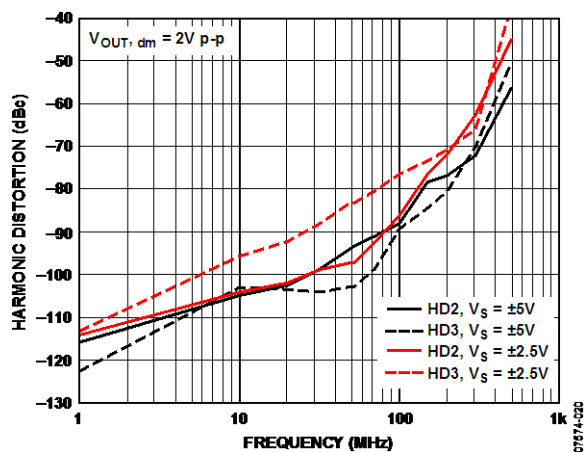


図 20.さまざまな電源での高調波歪みの周波数特性

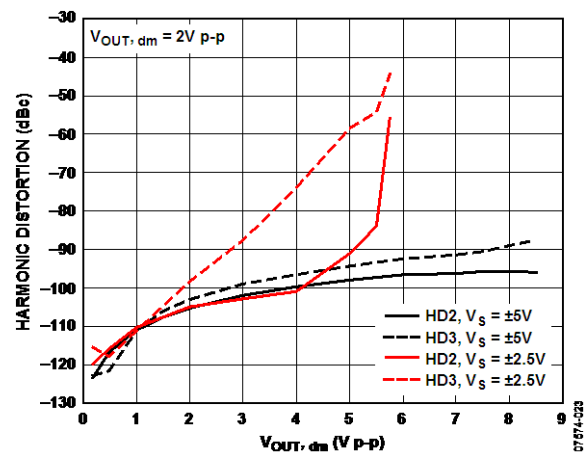


図 23.高調波歪み対 $V_{OUT, dm}$ および電源電圧
 $f = 10 \text{ MHz}$

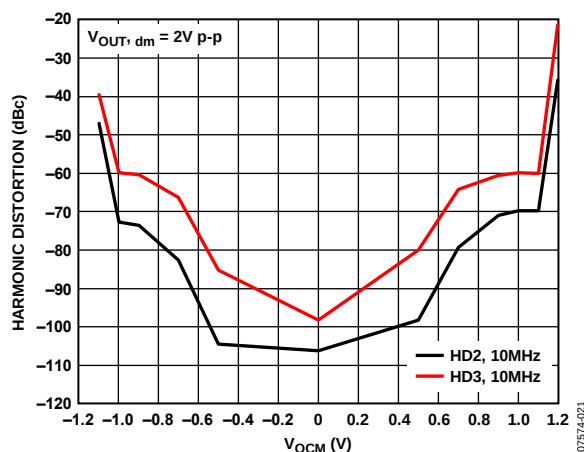


図 21.高調波歪み対 V_{OCM} 、10 MHz、 $\pm 2.5 \text{ V}$ 電源

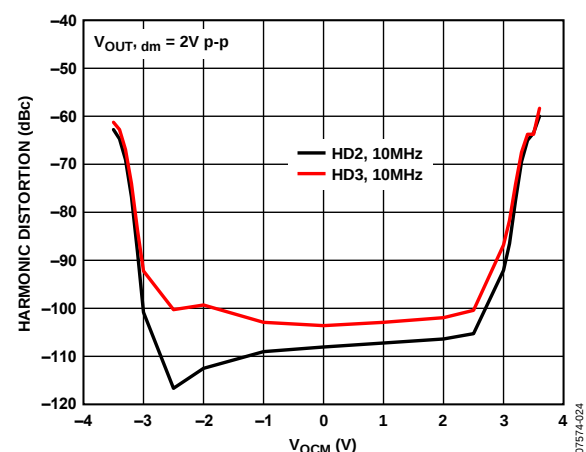


図 24.高調波歪み対 V_{OCM} 、10 MHz、 $\pm 5 \text{ V}$ 電源

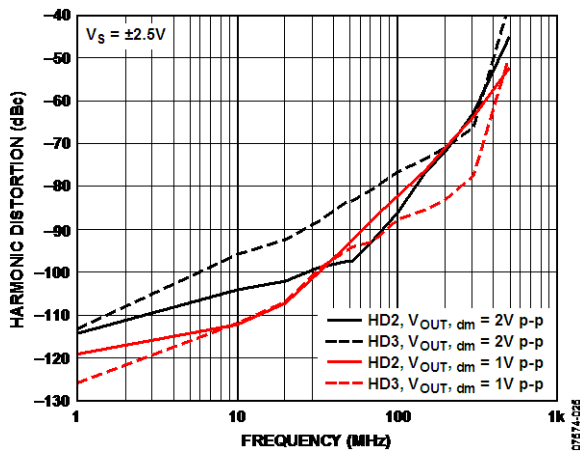


図 25.さまざまな $V_{OUT, dm}$ での高調波歪周波数特性

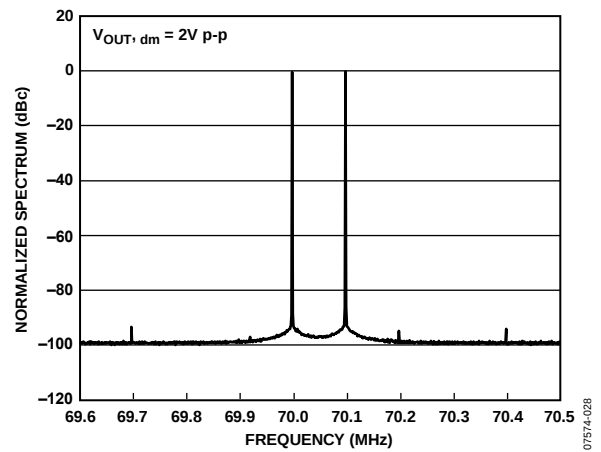


図 28.70 MHz 相互変調歪み

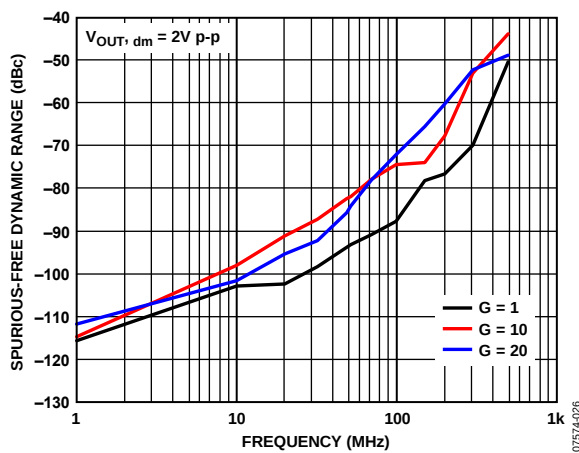


図 26.さまざまなゲインでのスプリアス・フリー・ダイナミック・レンジの周波数特性

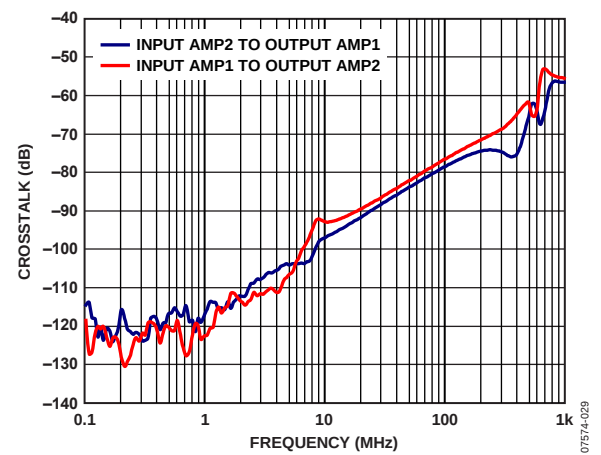


図 29.ADA4927-2 クロストークの周波数特性

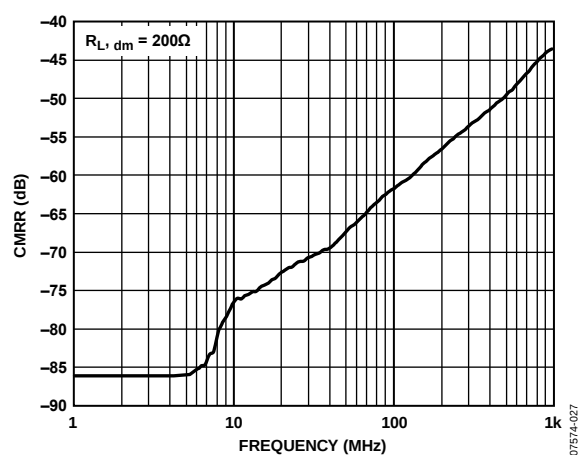


図 27.CMRR の周波数特性

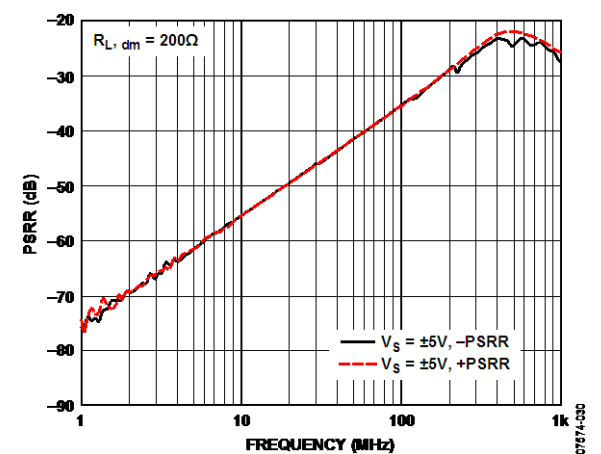


図 30.PSRR の周波数特性

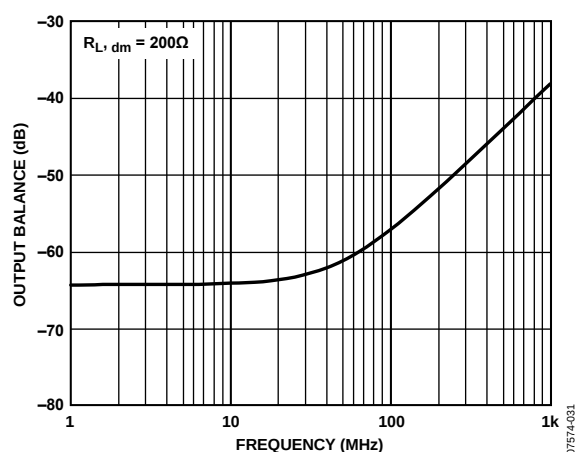


図 31. 出力バランスの周波数特性

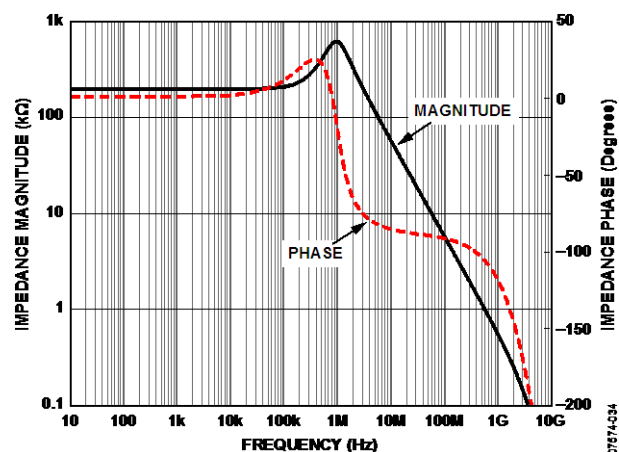


図 34. オープン・ループ相互インピーダンスと位相の周波数特性

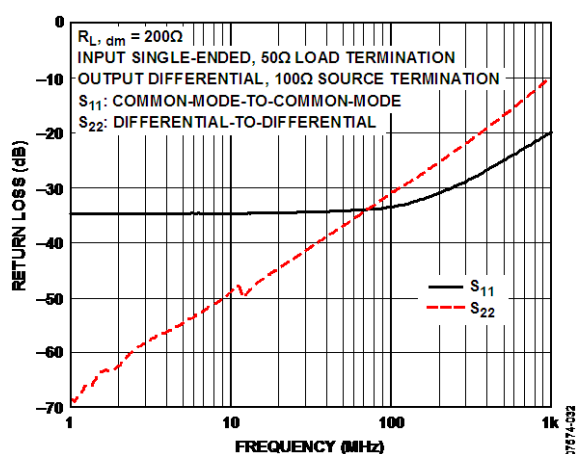


図 32. リターン損失(S_{11} 、 S_{12})の周波数特性

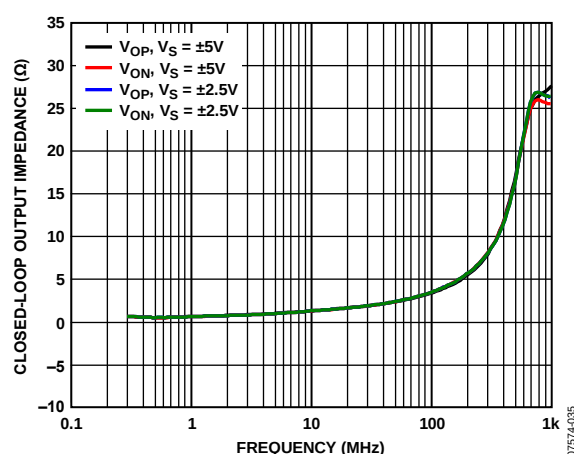


図 35. さまざまな電源電圧でのクローズド・ループ出力インピーダンスの周波数特性、 $G = 1$

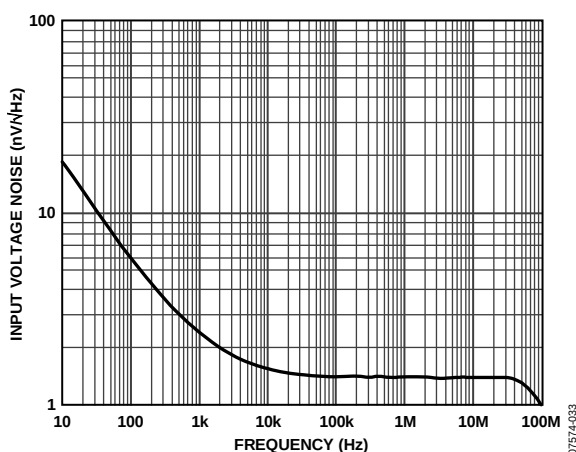


図 33. 電圧ノイズ・スペクトル密度、入力換算

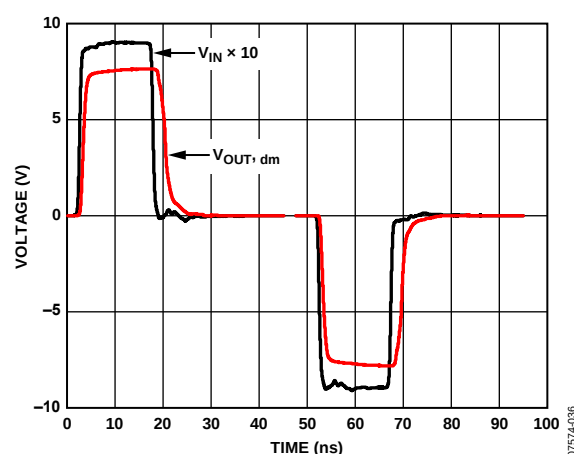


図 36. オーバードライブ回復時間、 $G = 10$

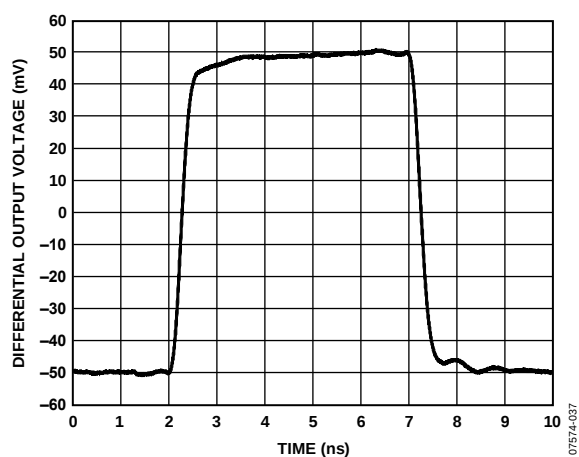


図 37.小信号パルス応答

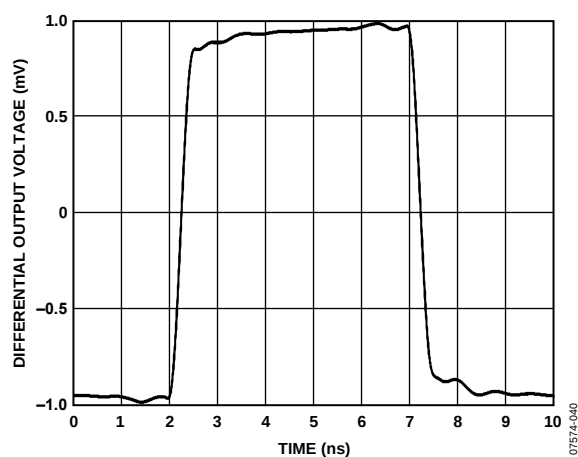


図 40.大信号パルス応答

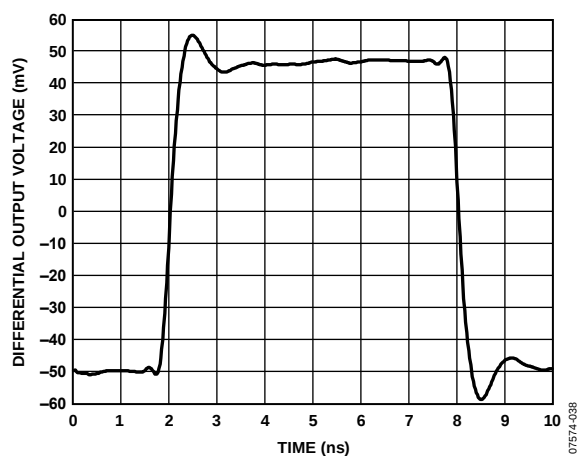


図 38.V_{OCM} 小信号パルス応答

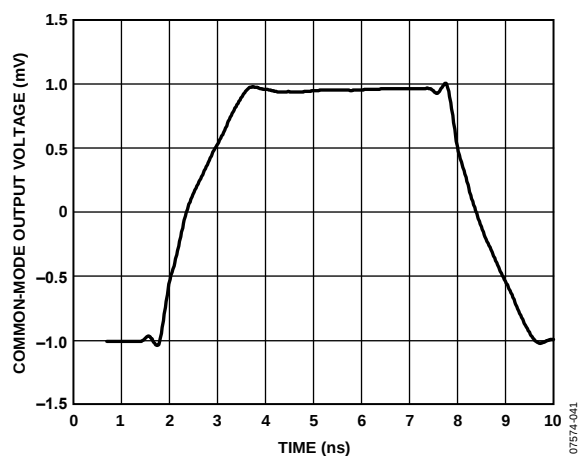


図 41.V_{OCM} 大信号パルス応答

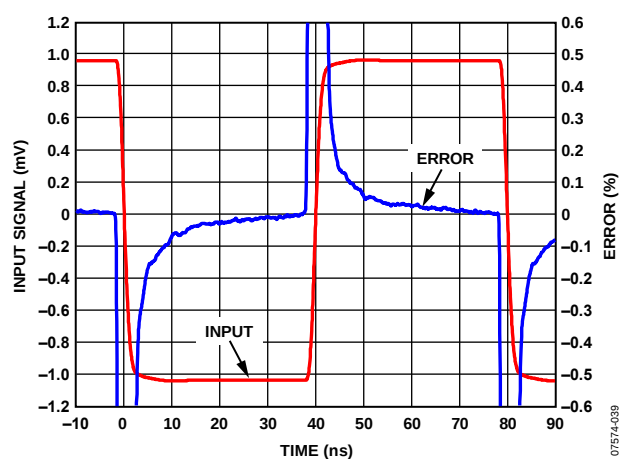


図 39.セトリング・タイム

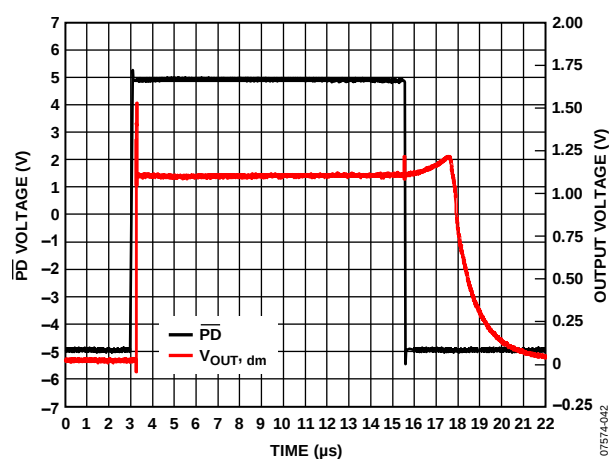


図 42.PD 応答時間

テスト回路

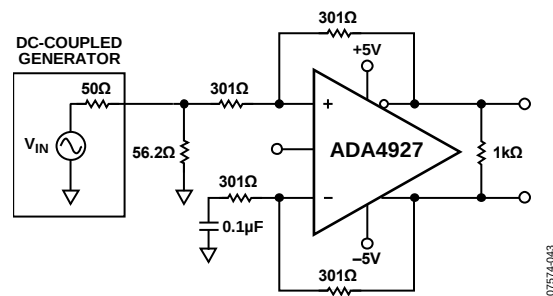


図 43. 等価基本テスト回路、 $G = 1$

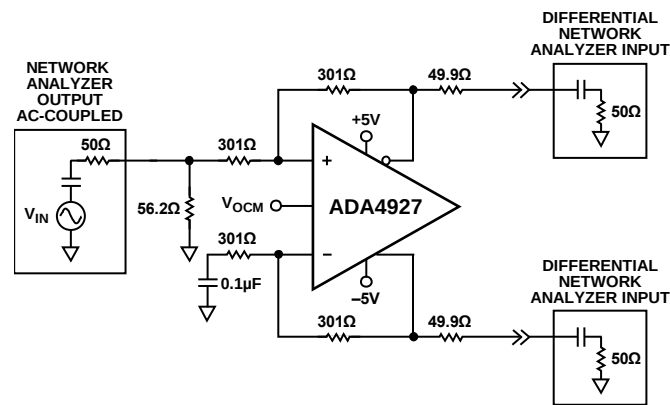


図 44. 出力バランスのテスト回路、CMRR

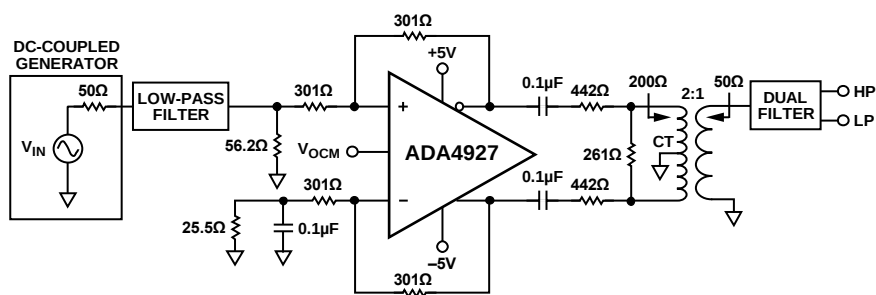


図 45. 歪み測定のためのテスト回路

動作原理

ADA4927 は、電圧が反対方向に動く 2 つの出力と入力 V_{OCM} が追加されている点で、従来型オペアンプと異なります。さらに、ADA4927 では電流帰還アーキテクチャを採用しています。このデバイスは、従来型電流帰還オペアンプと同様に、高いオープン・ループ相互インピーダンス $T(s)$ とこれらの出力を所望の電圧にする負帰還に依存しています。ADA4927 は標準の電流帰還オペアンプと同様に動作し、シングルエンド/差動変換、コモン・モード・レベル・シフト、差動信号増幅の機能を持っています。また、ADA4927 は電流帰還オペアンプと同様に、低入力インピーダンスの加算ノードを持っています。この加算ノードは実際にはエミッタ・フォロワ出力になっています。ADA4927 出力は低インピーダンスであり、クローズド・ループ出力インピーダンスはオープン・ループ出力インピーダンスを $(1 + \text{ループ・ゲイン})$ で除算した値です。ADA4927 は電流帰還を使っているため、一定の公称帰還抵抗帯域幅積を持っています。言い換えると、ADA4927 のクローズド・ループ帯域幅と安定性は、基本的に帰還抵抗値に依存します。一般的な構成のクローズド・ループ・ゲインの式は、同等の電圧帰還差動アンプの式と同じです。主な違いは、ADA4927 のダイナミック性能がノイズ・ゲインではなく帰還抵抗値に依存することです。このため、帰還ループで使用する素子は安定性と十分な帯域幅を与える値を持つ抵抗である必要があります。

2 つの帰還ループを採用して、差動モードとコモン・モードの出力電圧を制御しています。差動帰還ループでは外部抵抗を使う電流帰還アーキテクチャを採用し、差動出力電圧のみを制御します。コモン・モード帰還ループは内部にあり、電圧帰還を使い、コモン・モード出力電圧のみを制御します。このアーキテクチャにより、出力コモン・モード・レベルを規定範囲内の任意の値に容易に設定することができます。内部コモン・モード・ループにより、出力コモン・モード電圧が V_{OCM} 入力に加えられた電圧に等しくなるように維持されます。

外付け部品の厳密なマッチングなしでも、内部のコモン・モード帰還ループにより、広い周波数範囲でバランスした出力が発生されます。このために、真の同振幅と 180° の位相差に近い差動出力が得られます。

用語の定義

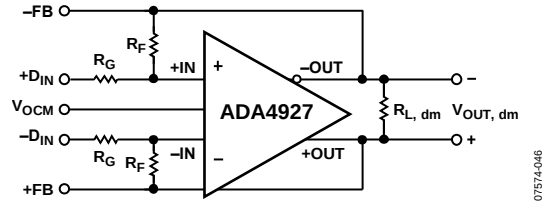


図 46.回路の定義

差動電圧

2 つのノード電圧間の差。たとえば、出力差動電圧(または等価な出力差動モード電圧)は、次のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は +OUT ピンと -OUT ピンの電圧(共通グラウンドを基準)。同様に、差動入力電圧は次式で定義されます。

$$V_{IN, dm} = (+D_{IN} - (-D_{IN}))$$

コモン・モード電圧

コモン・モード電圧とは、2 つのノード電圧の平均を意味します(ローカル・グラウンドを基準)。出力コモン・モード電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT}) / 2$$

バランス

出力バランスは、2 つの差動信号が同振幅と逆位相にある度合を表します。出力バランスは、一致した抵抗分圧器を差動電圧ノード間に接続し、デバイダの midpoint での信号振幅を差動信号の振幅と比較することにより、容易に求めることができます(図 44 参照)。この定義を使うと、出力バランスは、出力コモン・モード電圧の振幅を出力差動モード電圧の振幅で除算して求められます。

$$\text{Output Balance Error} = \left| \frac{\Delta V_{OUT, cm}}{\Delta V_{OUT, dm}} \right|$$

アプリケーション情報

アプリケーション回路の解析

ADA4927 では、高いオープン・ループ相互インピーダンスと差動誤差電流を小さくするように差動出力電圧を制御する電流帰還を使用しています。差動誤差電流は、2 つの差動入力(+IN と -IN)に流れる電流として定義されます(図 46 参照)。多くの場合、これらの電流はゼロと見なすことができます。+IN 入力と -IN 入力との間の電圧は内部で 0 V にブートストラップされるため、アンプ入力での電圧は一致し、電圧帰還アンプの場合と同様に外部で解析することができます。同様に、実際の出力コモン・モード電圧と V_{OCM} に加えられる電圧との間の差もゼロと見なすことができます。これらの原理から、アプリケーション回路を解析することができます。

クローズド・ループ・ゲインの設定

前述の方法を使うと、図 46 の差動モード・ゲインは次のように求めることができます。

$$\left| \frac{V_{OUT, dm}}{V_{IN, dm}} \right| = \frac{R_F}{R_G}$$

ここでは、入力抵抗(R_G)と帰還抵抗(R_F)は等しいと仮定しています。

出力ノイズ電圧の計算

ADA4927 の差動出力ノイズは、図 47 に示すノイズ・モデルを使って計算することができます。入力換算ノイズ電圧密度 v_{nIN} は差動入力としてモデル化され、ノイズ電流 i_{nIN-} と i_{nIN+} は各入力とグラウンドの間で流れます。 v_{nIN} に起因する出力電圧は、 v_{nIN} とノイズ・ゲイン G_N (G_N の式で定義)の積として求められます。ノイズ電流は同じ 2 乗平均値と相関関係がなく、各々はノイズ電流と対応する帰還抵抗の積に等しい出力電圧を発生します。 V_{OCM} ピンでのノイズ電圧密度は v_{nCM} です。多くの場合と同様に帰還回路の帰還係数が同じである場合、 v_{nCM} に起因する出力ノイズはコモン・モードになります。4 本の各抵抗の寄与分は $(4kTR_{xx})^{1/2}$ になります。帰還抵抗からのノイズは直接出力に現れ、各ゲイン抵抗からのノイズは R_F/R_G 倍されて出力に現れます。表 11 に、入力ノイズ源、乗算係数、出力換算ノイズ密度の項をまとめます。

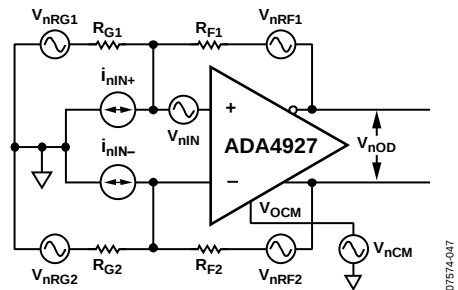


図 47.ノイズ・モデル

表 11. マッチングした帰還回路の出力ノイズ電圧密度の計算

Input Noise Contribution	Input Noise Term	Input Noise Voltage Density	Output Multiplication Factor	Differential Output Noise Voltage Density Term
Differential Input	v_{nIN}	v_{nIN}	G_N	$v_{nO1} = G_N(v_{nIN})$
Inverting Input	i_{nIN-}	$i_{nIN-} \times (R_{F2})$	1	$v_{nO2} = (i_{nIN-})(R_{F2})$
Noninverting Input	i_{nIN+}	$i_{nIN+} \times (R_{F1})$	1	$v_{nO3} = (i_{nIN+})(R_{F1})$
V_{OCM} Input	v_{nCM}	v_{nCM}	0	$v_{nO4} = 0$
Gain Resistor, R_{G1}	v_{nRG1}	$(4kTR_{G1})^{1/2}$	R_{F1}/R_{G1}	$v_{nO5} = (R_{F1}/R_{G1})(4kTR_{G1})^{1/2}$
Gain Resistor, R_{G2}	v_{nRG2}	$(4kTR_{G2})^{1/2}$	R_{F2}/R_{G2}	$v_{nO6} = (R_{F2}/R_{G2})(4kTR_{G2})^{1/2}$
Feedback Resistor, R_{F1}	v_{nRF1}	$(4kTR_{F1})^{1/2}$	1	$v_{nO7} = (4kTR_{F1})^{1/2}$
Feedback Resistor, R_{F2}	v_{nRF2}	$(4kTR_{F2})^{1/2}$	1	$v_{nO8} = (4kTR_{F2})^{1/2}$

表 12. 差動入力、DC 結合

Nominal Gain (dB)	R_F (Ω)	R_G (Ω)	$R_{IN, dm}$ (Ω)	Differential Output Noise Density (nV/ $\sqrt{Hz}$)
0	301	301	602	8.0
20	442	44.2	88.4	21.8
26	604	30.1	60.2	37.9

表 13. グラウンド基準のシングルエンド電圧入力、DC 結合、 $R_S = 50 \Omega$

Nominal Gain (dB)	R_F (Ω)	R_{G1} (Ω)	R_T (Ω)	$R_{IN, cm}$ (Ω)	R_{G2} (Ω) ¹	Differential Output Noise Density (nV/ $\sqrt{Hz}$)
0	309	301	56.2	401	328	8.1
20	511	39.2	158	73.2	77.2	18.6
26	806	28	649	54.2	74.4	29.1

¹ $R_{G2} = R_{G1} + (R_S || R_T)$

出力ノイズ電圧密度は、従来型オペアンプと同様に、+IN と -IN での入力換算項に該当する出力係数を乗算して求められます。

ここで、 $G_N = \frac{2}{(\beta_1 + \beta_2)}$ は回路のノイズ・ゲイン。

$\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}}$ と $\beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}}$ は帰還係数。

帰還係数が一致する場合、 $R_{F1}/R_{G1} = R_{F2}/R_{G2}$ 、 $\beta_1 = \beta_2 = \beta$ となるため、ノイズ・ゲインは次のようになります。

$$G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$$

V_{OCM} からの出力ノイズは、この場合ゼロになることに注意してください。合計差動出力ノイズ密度 v_{nOD} は、各出力ノイズ項の 2 乗平均になります。

$$v_{nOD} = \sqrt{\sum_{i=1}^8 v_{nOi}^2}$$

表 12 と表 13 に、平衡および不平衡入力構成に対する一般的なゲイン設定、対応する抵抗値、入力インピーダンス、出力ノイズ密度を示します。

帰還回路でのミスマッチの影響

前述のように、外付け帰還回路(R_F/R_G)がマッチングしていない場合でも、内部コモン・モード帰還ループにより出力のバランスが維持されます。各出力での信号は、同振幅かつ 180°の位相差に維持されます。入力—出力間の差動モード・ゲインは、帰還のミスマッチに比例して変わりますが、出力のバランスは影響を受けません。

V_{OCM} ピンから $V_{O, dm}$ までのゲインは次の値になります。

$$2(\beta_1 - \beta_2)/(\beta_1 + \beta_2)$$

$\beta_1 = \beta_2$ の場合、この項はゼロになるため、 V_{OCM} 入力の電圧(ノイズを含む)に起因する差動出力電圧は発生しません。極端なケースは、1 つのループがオープンで、かつ他方が 100% 帰還の場合に発生します。このケースでは、 V_{OCM} 入力から $V_{O, dm}$ までのゲインが、閉じているループに応じて +2 または -2 になります。

多くのアプリケーションでは、帰還ループが公称 1% 以内でマッチングしているため、 V_{OCM} 入力に起因する出力ノイズとオフセットは無視できます。ループを意図的に大きくミスマッチさせた場合、 V_{OCM} から $V_{O, dm}$ までのゲイン項を含めることが必要で、ノイズが大きくなることを考慮する必要があります。たとえば、 $\beta_1 = 0.5$ かつ $\beta_2 = 0.25$ の場合、 V_{OCM} から $V_{O, dm}$ までのゲインは 0.67 になります。 V_{OCM} ピンを 2.5 V に設定した場合、出力に現れる差動オフセット電圧は $(2.5 \text{ V})(0.67) = 1.67 \text{ V}$ になります。差動出力ノイズ成分は、 $(15 \text{ nV}/\sqrt{\text{Hz}})(0.67) = 10 \text{ nV}/\sqrt{\text{Hz}}$ になります。これら両結果は多くのアプリケーションで望ましくないため、公称通りに一致した帰還係数の使用が望まれます。

ミスマッチした帰還回路では、従来型オペアンプから構成される 4 本抵抗のディファレンス・アンプと同様に、入力コモン・モード信号を除去する回路の性能も低下します。

実用的にこの問題をまとめると、1% 偏差の抵抗で約 40 dB のワーストケース入力 CMRR、2.5 V の V_{OCM} 入力に起因して 25 mV のワーストケース差動モード出力オフセット、無視可能な V_{OCM} ノイズ成分、無視可能な出力バランス誤差が発生するということができます。

アプリケーション回路入力インピーダンスの計算

回路の実効入力インピーダンスは、シングルエンドまたは差動のいずれの信号源でアンプを駆動するかに依存します。平衡差動入力信号の場合(図 48)、入力間(+D_{IN} と -D_{IN})の入力インピーダンス($R_{IN, dm}$)は $R_{IN, dm} = R_G + R_G = 2 \times R_G$ になります。

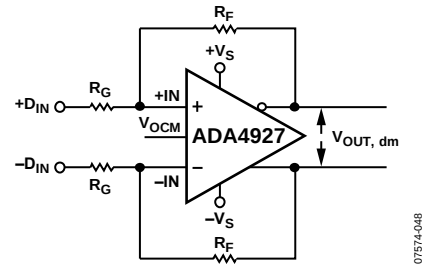


図 48. 平衡(差動)入力の ADA4927

不平衡(シングルエンド入力信号)の場合(図 49)、入力インピーダンスは次式で表されます。

$$R_{IN, SE} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right)$$

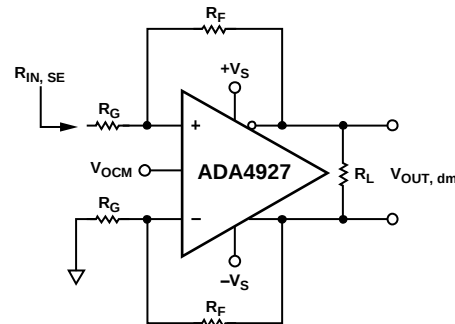


図 49. 不平衡(シングルエンド)入力の ADA4927

回路の入力インピーダンスは、インバータとして接続された従来型オペアンプの場合より実効的に高くなります。これは、差動出力電圧の成分がコモン・モード信号として入力に現れて、特に入力抵抗 R_G 両端の電圧を持ち上げるためです。反転入力の電圧が下側のループにある R_F と R_G から構成される電圧分圧器で分割された非反転出力電圧に等しくなることから、アンプ入力ピンのコモン・モード電圧を容易に求めることができます。この電圧は負電圧帰還により両入力ピンに加えられ、入力信号と同相であるため、上側のループにある R_G の両端の実効電圧が減少し、 R_G が部分的に大きくなります。

シングルエンド入力の終端

このセクションでは、ゲイン = 1、 $R_F = 348 \Omega$ 、 $R_G = 348 \Omega$ の場合について、ADA4927 へのシングルエンド入力を終端する方法を説明します。1 V p-p の終端出力電圧と 50 Ω のソース抵抗を持つ入力ソースの例を使って、簡単な 4 ステップの方法を説明します。ソースの終端出力電圧が 1 V p-p であるため、ソースの解放出力電圧は 2 V p-p になることに注意してください。図 50 のソースはこの解放電圧を示しています。

1. 入力インピーダンスは次式から計算されます。

$$R_{IN} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right) = \left(\frac{348}{1 - \frac{348}{2 \times (348 + 348)}} \right) = 464 \Omega$$

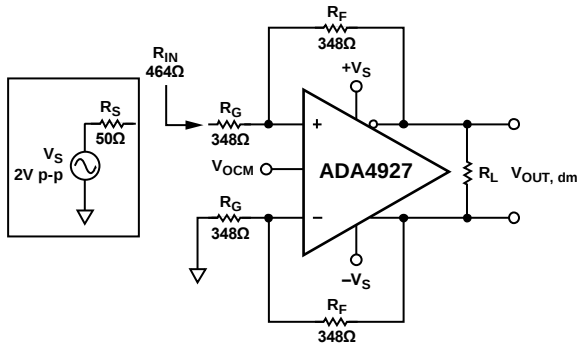


図 50. シングルエンド入力インピーダンス R_{IN} の計算

2. 50Ω のソース抵抗に一致させるため、終端抵抗 R_T は、 $R_T \parallel 464 \Omega = 50 \Omega$ から計算します。 R_T の最寄りの標準 1% 値は 56.2Ω です。

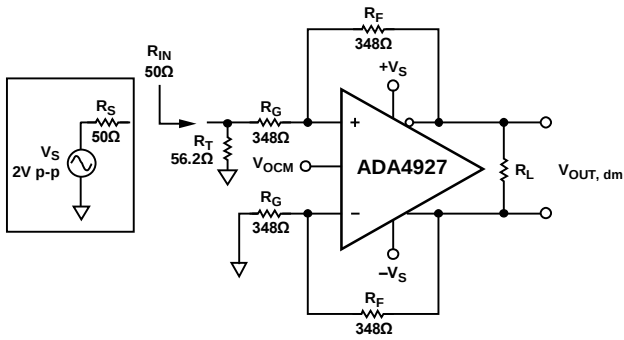


図 51. 終端抵抗 R_T の接続

3. 図 51 から、上側の帰還ループの実効 R_G は終端抵抗を接続したため下側のループの R_G を超えないことが分かります。ゲイン抵抗の不一致を補償するため、下側のループで補正抵抗(R_{TS})を R_G に直列に接続します。 R_{TS} はソース抵抗 R_S のテブナン等価電源に、終端抵抗 R_T は $R_S \parallel R_T$ に、それぞれ等しくなります。

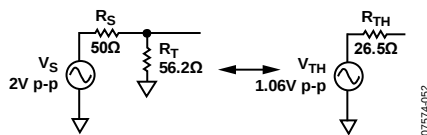


図 52. テブナン等価電源の計算

$R_{TS} = R_{TH} = R_S \parallel R_T = 26.5 \Omega$ となります。 V_{TH} は 1 V p-p より大きく、 $R_T = 50 \Omega$ から得られます。下側の帰還ループについて、終端電源と R_{TS} を持つテブナン等価電源(R_{TS} に最寄りの 1% 値を使用)で修正した回路を図 53 に示します。

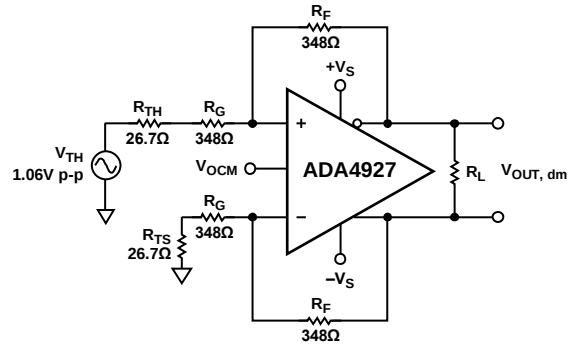


図 53. テブナン等価電源およびゲイン抵抗の一致

図 53 に、一致した帰還ループを持つ分かり易くした回路を示します。

終端入力信号が生ずる 2 つの効果を指摘しておくことは有用です。1 つ目は、両ループで R_G 値が大きくなるため、全体のクロズド・ループ・ゲインが小さくなることです。2 つ目は、 V_{TH} が $R_T = 50 \Omega$ の場合の 1 V p-p より少し大きくなることです。これらの 2 つの効果は出力電圧に反対の影響を与えるため、帰還ループの抵抗値が大きくなると(約 $1 \text{ k}\Omega$)、影響が互いに相殺されます。ただし、 R_F と R_G が小さい(高ゲイン)場合には、効果の小さくなったクロズド・ループ・ゲインが V_{TH} の増加により完全に相殺されません。これは、図 53 から知ることができます。

終端入力信号が 1 V p-p でクロズド・ループ・ゲイン = 1 であるため、この例での所望の差動出力は 1 V p-p ですが、実際の差動出力電圧は $(1.06 \text{ V p-p})(348/374.7) = 0.984 \text{ V p-p}$ になります。所望の出力電圧 2 V p-p を得るためには、入力回路を変更することなく、 R_F を増加させることにより、最終ゲイン調整を行うことができます。これはステップ 4 で説明します。

4. 所望の出力電圧を得る最終ゲイン調整として、帰還抵抗値を変更します。出力電圧を $V_{OUT} = 1 \text{ V p-p}$ にするために、次式を使って R_F を計算します。

$$R_F = \frac{(\text{Desired } V_{OUT, dm})(R_G + R_{TS})}{V_{TH}} = \frac{(1 \text{ V p-p})(374.7 \Omega)}{1.06 \text{ V p-p}} = 353$$

353Ω の最寄りの標準 1% 値は 348Ω または 357Ω です。 357Ω を使用すると、差動出力電圧は 1.01 V p-p になります。クロズド・ループ帯域幅は、 $R_F = 348 \Omega$ の場合より約 $348/357$ だけ狭くなります。これは、電流帰還アンプの特性である R_F とクロズド・ループ・ゲインとの間の反比例関係によります。

最終回路を図 54 に示します。

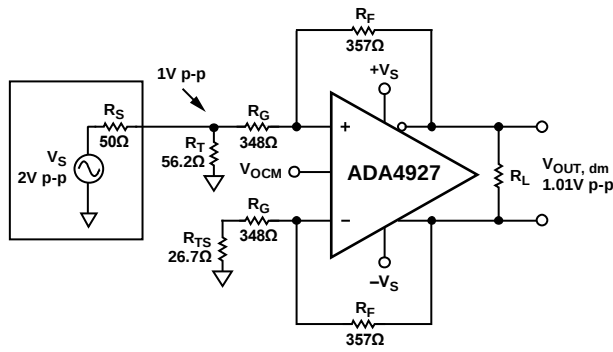


図 54. 終端シングルエンド/差動システム、 $G = 1$

入力コモン・モード電圧範囲

ADA4927 の入力コモン・モード範囲は、2 つの電源レールの中点を中心としています。これは、レベル・シフトした入力範囲を使う ADA4937 のような他の ADC ドライバと対照的です。電源中点を中心とする入力コモン・モード範囲は、AC 結合、差動—差動、両電源アプリケーションに最適です。

$\pm 5\text{ V}$ 電源動作の場合、アンプ加算ノードでの入力コモン・モード範囲は $-3.5\text{ V} \sim +3.5\text{ V}$ として規定され、 $+5\text{ V}$ 単電源では $+1.3\text{ V} \sim +3.7\text{ V}$ として規定されます。非直線性を回避するため、 $+IN$ ピンと $-IN$ ピンでの電圧振幅はこれらの範囲に制限する必要があります。

入力と出力の容量 AC 結合

入力での AC 結合コンデンサは、電源と R_G の間に接続することができます。この AC 結合は DC コモン・モード帰還電流を阻止するため、ADA4927 の DC 入力コモン・モード電圧が DC 出力コモン・モード電圧と等しくなります。これらの AC 結合コンデンサは、帰還係数を一致させるために両ループ内で接続する必要があります。

出力 AC 結合コンデンサは、各出力と対応する負荷の間に直列に接続することができます。入力と出力で容量 AC 結合を使う例については、図 58 を参照してください。

出力コモン・モード電圧の設定

ADA4927 の V_{OCM} ピンは内部で電圧分圧器によりバイアスされています。この電圧分圧器は 2 本の $10\text{ k}\Omega$ 抵抗から構成され、電源の中点 $[(+V_S) + (-V_S)]/2$ にほぼ等しい電圧になっています。この内部デバイダがあるため、 V_{OCM} ピンは外付け電圧と対応するソース抵抗に応じて電流をソースまたはシンクすることができます。内部バイアスを使用すると、出力コモン・モード電圧が約 100 mV 以内の期待値で発生します。

出力コモン・モード・レベルの正確な制御が必要な場合には、外付け電源またはソース抵抗 $100\text{ }\Omega$ 以下の抵抗分圧器を使用することが推奨されます。仕様のセクションに記載する出力コモン・モード・オフセットでは、 V_{OCM} 入力を低インピーダンス電圧源で駆動することを想定しています。

V_{OCM} 入力を ADC のコモン・モード・レベル (CML) 出力に接続することもできますが、出力が十分な駆動能力を持つように注意する必要があります。 V_{OCM} ピンの入力インピーダンスは約 $10\text{ k}\Omega$ です。複数の ADA4927 デバイスで 1 個の ADC リファレンス出力を共用する場合は、並列入力を駆動するためにバッファが必要になります。

パワーダウン

パワーダウン機能は、特別なデバイスを使用しないで、かつアサート時に出力を高インピーダンス状態にしない場合に、消費電力を削減するために使うことができます。ADA4927 をイネーブルするときは、一般にパワーダウン・ピンを正電源レベルにします。パワーダウン機能のイネーブル/ディスエーブルに必要な電圧については、仕様の表を参照してください。

低温アプリケーションでのパワーダウン機能

パワーダウン機能は、周囲温度が 0°C 以下のアプリケーションでは使用しないでください。 0°C 以下の周囲温度でパワーダウン機能を必要とするアプリケーションについては、当社の営業にご相談ください。

レイアウト、グラウンド接続、バイパス

他の高速デバイスの場合と同様に、ADA4927 も PCB 環境に敏感です。優れた性能を実現するためには、高速 PCB デザインに細心の注意を払う必要があります。このセクションでは、ADA4927-1 に対処する詳しい例を示します。

最初の条件は、ADA4927-1 を取り囲むできるだけ多くのボード領域をカバーする優れたグラウンド・プレーンですが、帰還抵抗(R_F)、ゲイン抵抗(R_G)、入力加算ノード(ピン 2 とピン 3)の近くの領域には、グラウンド・プレーンと電源プレーンを設けないようにする必要があります(図 55 参照)。グラウンド・プレーンと電源プレーンを設けないと、これらのノードの浮遊容量が小さくなるため、高周波でのアンプ応答でのピーキングを防止することができます。理想電流帰還アンプは加算ノードの容量に無関係ですが、実際のアンプでは加算ノードの容量が大きいとピーキングが発生します。

熱抵抗 θ_{JA} は、デバイス(露出パッドを含む)を EIA/JESD 51-7 で規定される熱伝導性の高い 4 層回路ボードにハンダ付けした状態に対して規定します。

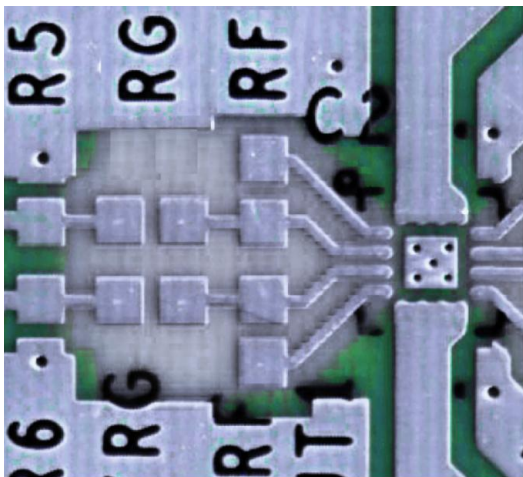


図 55.RF と RG の周囲を除くグラウンド・プレーンと電源プレーン

電源ピンは、できるだけデバイスの近くで最寄りのグラウンド・プレーンへバイパスする必要があります。高周波セラミック・チップ・コンデンサを使用してください。2 個の並列バイパス・コンデンサ(1000 pF と 0.1 μ F)を各電源に対して使用することが推奨されます。1000 μ F のコンデンサをデバイスの近くに接続する必要があります。さらに離れたところに、低周波バイパスの 10 μ F タンタル・コンデンサを各電源とグラウンドとの間に接続します。

寄生の影響を防止するため、信号パターンは短く、かつダイレクトにする必要があります。相補信号が存在する場合は、対称なレイアウトを採用して波形のバランスを維持する必要があります。差動信号を長い距離配線する場合は、PCB パターンを互いに近づけて、差動線をループ面積が最小になるように撚る必要があります。こうすることにより、放射エネルギーを減らして、回路を干渉に対して強くします。

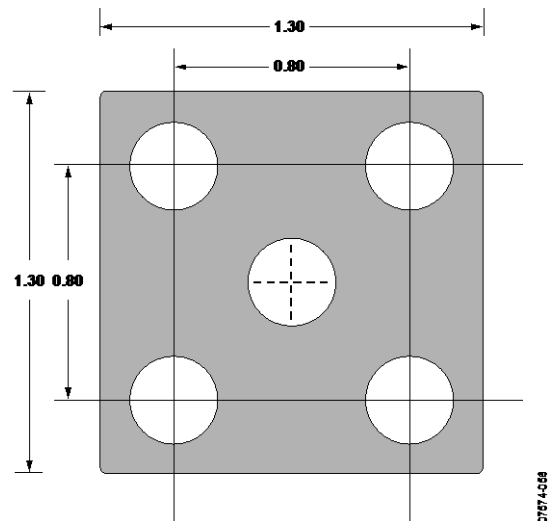


図 56.PCB サーマル・アタッチ・パッドの推奨寸法(mm)

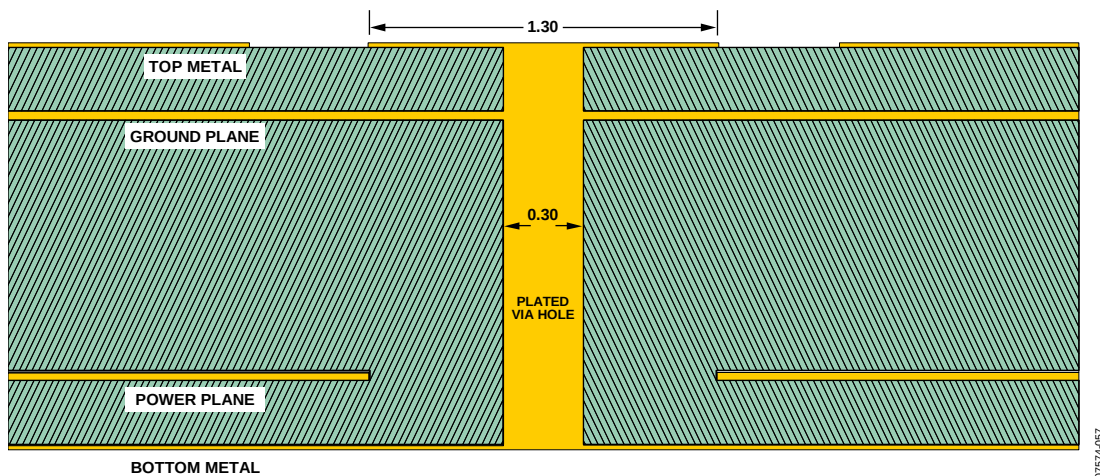


図 57.埋め込みグラウンド・プレーンへ接続したサーマル・ビア接続を示す 4 層 PCB の断面(寸法: mm)

高性能ADCの駆動

ADA4927 は、他のアプリケーションにも適していますが、単電源で動作する広帯域幅 AC 結合アプリケーションと差動/差動アプリケーションに最適です。電圧帰還アンプに比べて電流帰還アーキテクチャは、優れた歪み性能と高ゲインでの優れた帯域幅性能を提供します。これは、理想電流帰還アンプのループ・ゲインは帰還値とオープン・ループ相互インピーダンス $T(s)$ のみに依存するためです。

図 58 の回路に、ADA4927 の入力と出力に AC 結合を使用し、14 ビット 105 MSPS ADC の AD9445 を駆動する ADA4927 のフロントエンド接続を示します(AD9445 は差動で駆動したときに最適性能を実現します)。ADA4927 は、ADC を駆動し、シングルエンド/差動変換を行い、駆動信号のバッファリングを行うトランスを不要にします。

ADA4927 は、5 V 単電源、ゲイン = 10、シングルエンド入力、差動出力に構成されています。158 Ω の終端抵抗を約 73.2 Ω のシングルエンド入力インピーダンスと並列に接続して、ソースの 50 Ω 終端を行っています。さらに反転入力の 38.3 Ω により、50 Ω のソース抵抗と非反転入力を駆動する終端抵抗の並列インピーダンスに整合させます。ゲインが高いため、シングルエンド入力の終端のセクションで説明した終端技術を数回繰り返す必要があります。このデザインの 2 つの目的は、 R_F を 500 Ω に近づけて、標準の 1% 値に近い抵抗値を得ることです。

この例では、信号ジェネレータは 50 Ω 終端時にグラウンド基準の 1 V p-p の対称バイポーラ出力を持っています。

ADA4927 の V_{OCM} ピンはノイズ削減のためバイパスされて、内部デバイダにより出力コモン・モード電圧の公称電源中央値に設定されるように解放のままだにされています。入力が AC 結合されているため、帰還ループには DC コモン・モード電流がなく、電源中央値の公称 DC レベルがアンプ入力ピンに加えられます。AC 結合技術はアンプ入力を最適レベルに設定する他に、アンプ負荷を軽減するため、DC 結合入力を持つアプリケーションに比べて消費電力が小さくなります。

アンプ出力は、カットオフ周波数 100 MHz の 2 次ローパス・フィルタを介して ADC へ AC 結合されます。これにより、アンプのノイズ帯域幅が狭くなるので、ドライバ出力が ADC 入力からアイソレーションされます。

SENSE ピンを AGND に接続して、AD9445 は 2 V p-p のフル・スケール入力に設定されています(図 58 参照)。

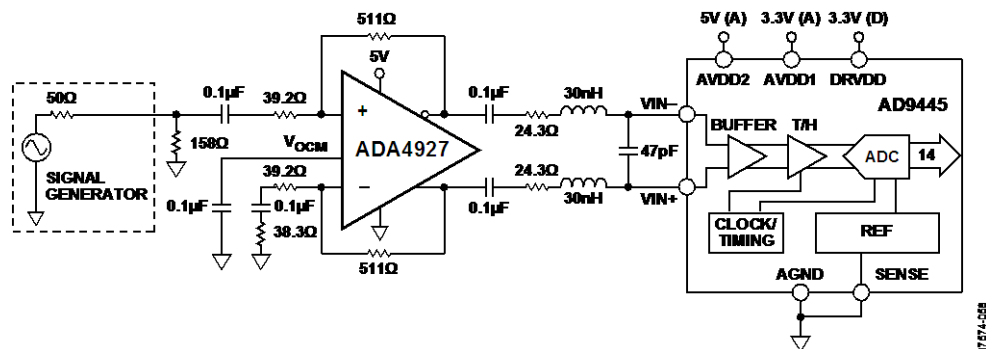


図 58. 入力と出力に AC 結合を使用して AD9445 ADC を駆動する ADA4927

外形寸法

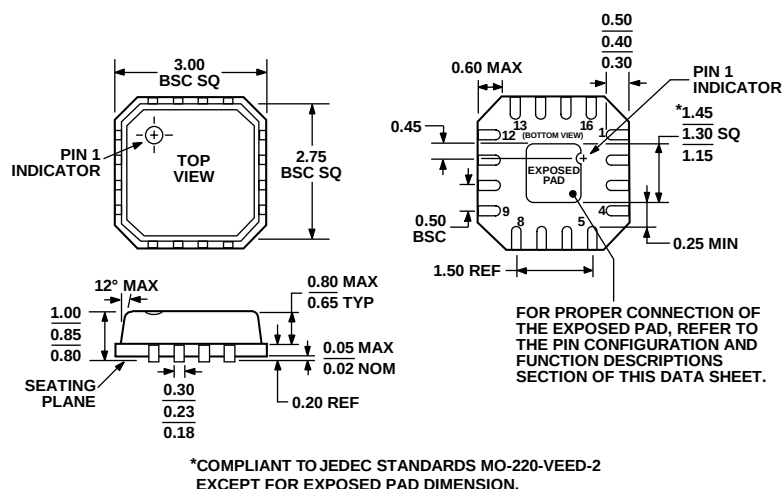


図 59.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
3 mm × 3 mm ボディ、極薄クワッド(CP-16-2)
寸法: mm

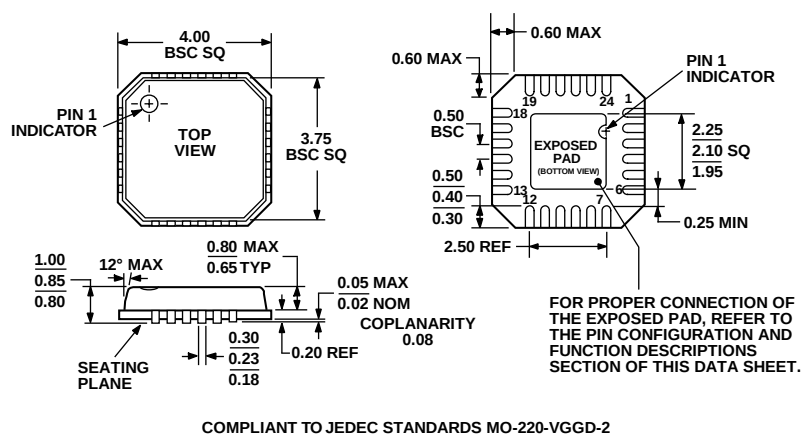


図 60.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド(CP-24-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4927-1YCPZ-R2 ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	250	H1M
ADA4927-1YCPZ-RL ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	5,000	H1M
ADA4927-1YCPZ-R7 ¹	-40°C to +105°C	16-Lead LFCSP_VQ	CP-16-2	1,500	H1M
ADA4927-2YCPZ-R2 ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	250	
ADA4927-2YCPZ-RL ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	5,000	
ADA4927-2YCPZ-R7 ¹	-40°C to +105°C	24-Lead LFCSP_VQ	CP-24-1	1,500	

¹ Z = RoHS 準拠製品

データシート 変更履歴

2009 年 2 月 20 日

アナログ・デバイセズ株式会社

型版 : ADA4927-1/ADA4927-2

以下の箇所が間違っておりましたので変更いたしました。

P1 特長の極めて低い高調波歪み

変更前 :

10 MHz で-105 dBc HD2

70 MHz で-91 dBc HD2

100 MHz で-87 dBc HD2

10 MHz で-103 dBc HD2

70 MHz で-98 dBc HD2

100 MHz で-89 dBc HD2

変更後 :

10 MHz で-105 dBc HD2

70 MHz で-91 dBc HD2

100 MHz で-87 dBc HD2

10 MHz で-103 dBc HD3

70 MHz で-98 dBc HD3

100 MHz で-89 dBc HD3