

ADA4922-1

特長

シングルエンド／差動変換

低歪み ($V_{O, dm} = 40V_{p-p}$)

−99dBc HD@100kHz

低い差動出力換算ノイズ：12nV/√Hz

高入力インピーダンス：11MΩ

固定ゲイン2

外付けゲイン設定部品は不要

低い出力換算オフセット電圧：1.1mV (max)

低入力バイアス電流：3.5μA (max)

広い電源電圧範囲

5~26V

40Vp-pを超える差動出力信号を生成可能

高速

−3dB帯域幅：38MHz (@0.2Vp-p差動出力)

高速セトリング時間

0.01%に対して200ns (±5V電源、12Vステップ)

ディセーブル機能

省スペースの熱特性強化型パッケージを採用

3mm×3mm LFCSP

8ピンSOIC_EP

低い電源電流： $I_S = 10mA$ (±12V電源)

アプリケーション

高電圧データ・アキュイジション・システム

工業用計測

スペクトラム・アナライザ

ATE

医療機器

ピン配置

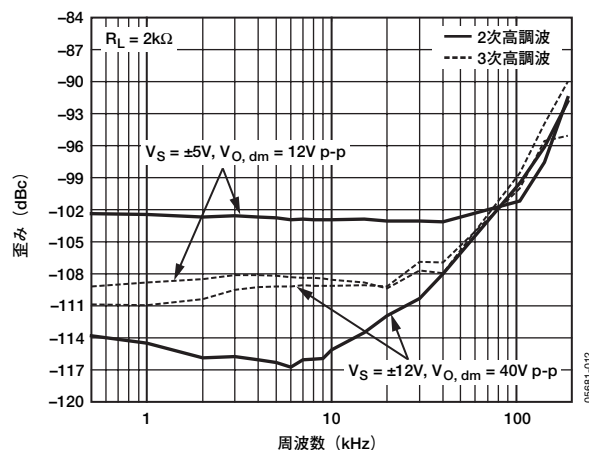
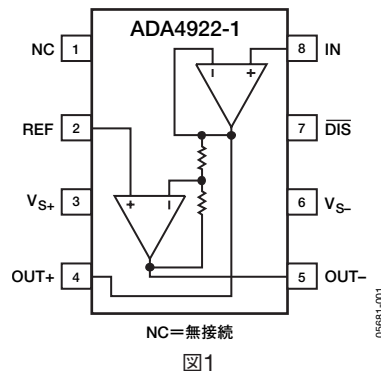


図2. さまざまな電源に対する高調波歪み

概要

ADA4922-1は、最大±20Vの差動入力範囲を持つ16/18ビットA/Dコンバータ (ADC) 駆動用の差動ドライバです。使いやすいシングルエンド／差動変換アンプとして構成されており、ADCの駆動に外付け部品を必要としません。分解能が18ビットまでのADCの駆動に必要な低歪み、高S/N比特性など、重要なメリットを提供します。

広い電源電圧範囲 (5~26V)、高入力インピーダンス、2の固定差動ゲインを備えるADA4922-1は、工業用計測機器などのさまざまなアプリケーションで利用されるADC駆動用に設計されています。

ADA4922-1はアナログ・デバイセズ独自の第2世代XFCBプロセスで製造されており、アンプは高電源電圧で優れたノイズ性能と歪み性能を発揮します。

3mm×3mmの8ピンLFCSPパッケージと、8ピンSOICパッケージがあり、いずれも効率よく放熱するための露出パドルを備えています。−40~+85°Cの拡張工業用温度範囲で動作します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

ADA4922-1

目次

特長	1	動作原理	14
アプリケーション	1	アプリケーション	16
ピン配置	1	ADA4922-1の差動出力ノイズ・モデル	16
概要	1	REFピンの使い方	16
改訂履歴	2	内部帰還回路の消費電力	17
仕様	3	デイスエーブル機能	17
絶対最大定格	5	差動入力ADCの駆動	17
熱抵抗	5	PCボードのレイアウトの考慮事項	18
ESDに関する注意	5	外形寸法	19
ピン配置と機能の説明	6	オーダー・ガイド	20
代表的な性能特性	7		

改訂履歴

10/05—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_S = \pm 12V$ 、 $T_A = 25^\circ C$ 、 $R_L = 1k\Omega$ 、 $\overline{DIS} = \text{ハイレベル}$ 、 $C_L = 3pF$ 。

表1

パラメータ	条件	Min	Typ	Max	単位
動的性能					
−3dB帯域幅	$G = +2$ 、 $V_O = 0.2V_{p-p}$ 、差動	34	38		MHz
	$G = +2$ 、 $V_O = 40V_{p-p}$ 、差動	6.5	7.2		MHz
オーバードライブ回復時間	$V_{S+} + 0.5V \sim V_{S-} - 0.5V$ ；+回復／−回復		180/330		ns
スルーレート	$V_{O, dm} = 2V$ ステップ		260		V/ μs
	$V_{O, dm} = 40V$ ステップ		730		V/ μs
0.01%までのセトリング時間	$V_{O, dm} = 40V$ ステップ		580		ns
ノイズ／歪み性能					
高調波歪み	$f_c = 5kHz$ 、 $V_O = 40V_{p-p}$ 、 $R_L = 2k\Omega$ 、HD2/HD3		−116/−109		dBc
	$f_c = 100kHz$ 、 $V_O = 40V_{p-p}$ 、 $R_L = 2k\Omega$ 、HD2/HD3		−99/−100		dBc
差動出力電圧ノイズ	$f = 100kHz$		12		nV/ $\sqrt{Hz}$
入力電流ノイズ	$f = 100kHz$		1.4		pA/ $\sqrt{Hz}$
DC性能					
差動出力オフセット電圧			0.35	1.1	mV
差動出力オフセット電圧ドリフト			14		$\mu V/^\circ C$
入力バイアス電流			1.8	3.5	μA
ゲイン			2		V/V
ゲイン誤差			−0.05		%
ゲイン誤差ドリフト			0.0002		$\%/^\circ C$
入力特性					
入力抵抗			11		M Ω
入力容量			1		pF
入力電圧範囲			± 10.7		V
出力特性					
出力電圧振幅	各シングルエンド出力、 $R_L = 1k\Omega$	± 10.65	± 10.7		V
DC出力電流			40		mA
容量性負荷の駆動	30% オーバーシュート		20		pF
電源					
動作範囲		5		26	V
無負荷時電源電流			9.4	10.1	mA
無負荷時電源電流 (デイスエーブル時)			1.5	2.0	mA
電源電圧変動除去比 (PSRR)					
−PSRR			−89	−80	dB
+PSRR			−91	−83	dB
デイスエーブル					
$\overline{DIS}$ 入力電圧スレッシュホールド	デイスエーブル イネーブル		≤ -11 ≥ -9		V V
ターンオフ時間			160		μs
ターンオン時間			78		ns
$\overline{DIS}$ バイアス電流					
イネーブル	$\overline{DIS} = -9V$		114		μA
デイスエーブル	$\overline{DIS} = -11V$		−125		μA

ADA4922-1

特に指定のない限り、 $V_S = \pm 5V$ 、 $T_A = 25^\circ C$ 、 $R_L = 1k\Omega$ 、 $\overline{DIS} = \text{ハイレベル}$ 、 $C_L = 3pF$ 。

表2

パラメータ	条件	Min	Typ	Max	単位
動的性能					
－3dB帯域幅	$G = +2$ 、 $V_O = 0.2V_{p-p}$ 、差動	36	40.5		MHz
	$G = +2$ 、 $V_O = 12V_{p-p}$ 、差動	6.5	13.5		MHz
オーバードライブ回復時間	+回復/－回復		200/670		ns
スルーレート	$V_{O, dm} = 2V$ ステップ		220		V/ μs
	$V_{O, dm} = 12V$ ステップ		350		V/ μs
0.01%までのセトリング時間	$V_{O, dm} = 12V$ ステップ		200		ns
ノイズ／歪み性能					
高調波歪み	$f_c = 5kHz$ 、 $V_O = 12V_{p-p}$ 、 $R_L = 2k\Omega$ 、HD2/HD3		－102/－108		dBc
	$f_c = 100kHz$ 、 $V_O = 12V_{p-p}$ 、 $R_L = 2k\Omega$ 、HD2/HD3		－101/－98		dBc
差動出力電圧ノイズ	$f = 100kHz$		12		nV/ $\sqrt{Hz}$
入力電流ノイズ	$f = 100kHz$		1.4		pA/ $\sqrt{Hz}$
DC性能					
差動出力オフセット電圧			0.4	1.2	mV
差動出力オフセット電圧ドリフト			12		$\mu V/^\circ C$
入力バイアス電流			2.0	3.5	μA
ゲイン			2		V/V
ゲイン誤差			－0.05		%
ゲイン誤差ドリフト			0.0002		$\%/^\circ C$
入力特性					
入力抵抗			11		M Ω
入力容量			1		pF
入力電圧範囲			± 3.6		V
出力特性					
出力電圧振幅	各シングルエンド出力、 $R_L = 1k\Omega$	± 3.55	± 3.6		V
DC出力電流			40		mA
容量性負荷の駆動	30% オーバershoot		20		pF
電源					
動作範囲		5		26	V
無負荷時電源電流			7.0	7.6	mA
無負荷時電源電流 (デイスエーブル時)			0.7	1.6	mA
電源電圧変動除去比 (PSRR)					
－PSRR			－93	－82	dB
＋PSRR			－91	－83	dB
デイスエーブル					
$\overline{DIS}$ 入力電圧スレッシュホールド	デイスエーブル		≤ -4		V
	イネーブル		≥ -2		V
ターンオフ時間			160		μs
ターンオン時間			78		ns
$\overline{DIS}$ バイアス電流					
イネーブル	$\overline{DIS} = -2V$		41		μA
デイスエーブル	$\overline{DIS} = -4V$		49		μA

絶対最大定格

表3

パラメータ	定格値
電源電圧	26V
消費電力	図3を参照
保存温度範囲	−65～＋125°C
動作温度範囲	−40～＋85°C
ピン温度範囲 (ハンダ処理、10秒)	300°C
ジャンクション温度	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードにデバイスをハンダ付けした状態で規定しており、露出パドル（EP）は、銅プレーンに熱的に接続されたPCボード表面のパッドにエアフローがない状態でハンダ付けされています。

表4. 熱抵抗

パッケージ・タイプ	θ_{JA}	θ_{JC}	単位
8ピンSOICを4層ボードにEPと共に実装した場合	79	25	°C/W
8ピンLFCSPを4層ボードにEPと共に実装した場合	81	17	°C/W

最大消費電力

ADA4922-1パッケージの最大安全消費電力は、ダイ上のジャンクション温度（ T_J ）が電力に伴って上昇することによって制限されます。ガラス遷移温度である約150°Cで、プラスチックの属性が変化します。この温度限界値を一時的に超過しても、パッケージからダイに加わる応力が変化し、ADA4922-1のパラメータ性能が恒久的に変化することがあります。長時間にわたってジャンクション温度が150°Cを超えると、シリコン・デバイスの特性が変化し、動作不良が生じる可能性が高くなります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

パッケージ内部で消費される電力（ P_D ）は、無負荷時の消費電力、およびすべての出力負荷の駆動によって消費される電力を合計したものです。無負荷時消費電力は、電源ピン間の電圧（ V_S ）と負荷時電源電流（ I_S ）を乗算した値になります。負荷駆動による消費電力は、それぞれのアプリケーションによって異なります。各出力で、負荷駆動による電力を計算するには、デバイス全体における関連の電圧降下と負荷電流を乗算します。すべての負荷の駆動による消費電力は、個々の負荷による消費電力の合計と等しくなります。これらの計算では、RMS電圧と電流を使用してください。

エアフローがあると放熱が促進されるため、実質的に θ_{JA} は減少します。さらに、金属のパターン配線、スルーホール、グラウンド、電源プレーンがパッケージのピンに直接接触する割合が高くなる場合にも、 θ_{JA} は小さくなります。パッケージの裏側の露出パドルは、PCボード表面のパッドにハンダ付けしてください。このパッドは、仕様規定された θ_{JA} を達成するために、銅プレーンに熱的に接続されています。

図3は、JEDEC規格に適合した4層ボード上に実装される8ピンSOIC（79°C/W）と8ピンLFCSP（81°C/W）について、パッケージの最大安全消費電力と周囲温度との関係を示します。それぞれの裏面パドルは、PCボードのプレーンに熱的に接続されたパッドにハンダ付けされています。 θ_{JA} 値は概算値です。

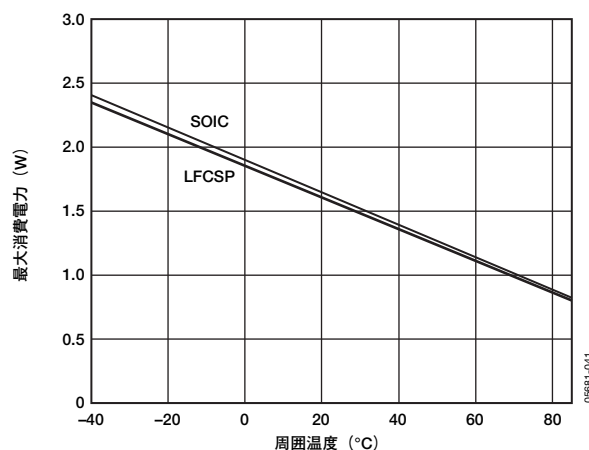


図3. 4層ボードの温度 対 最大消費電力



ADA4922-1

ピン配置と機能の説明

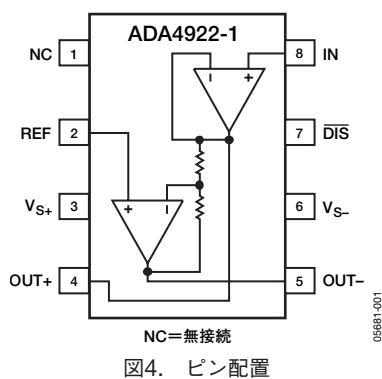


表5. ピン機能の説明

ピン番号	記号	説明
1	NC	内部接続なし
2	REF	シングルエンド入力信号のリファレンス電圧
3	V_{S+}	正側電源
4	OUT+	差動出力の非反転側
5	OUT-	差動出力の反転側
6	V_{S-}	負側電源
7	$\overline{DIS}$	デイスエーブル
8	IN	シングルエンド信号入力

代表的な性能特性

特に指定のない限り、 $V_S = \pm 12V$ 、 $R_{L, dm} = 1k\Omega$ 、 $REF = 0V$ 、 $\overline{DIS} = \text{ハイレベル}$ 、 $T_A = 25^\circ C$ 。

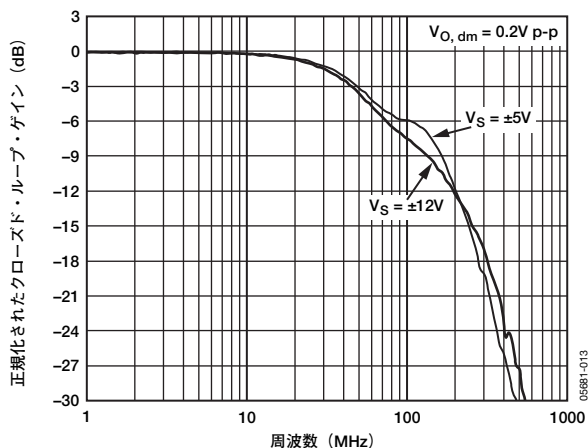


図5. さまざまな電源電圧に対する小信号周波数応答

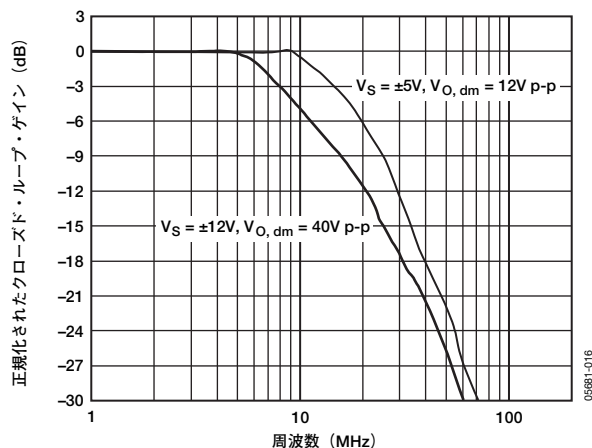


図8. さまざまな電源電圧に対する大信号周波数応答

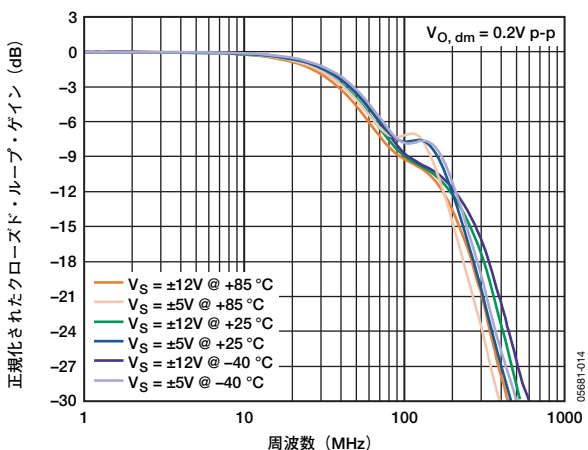


図6. さまざまな温度と電源電圧に対する小信号周波数応答

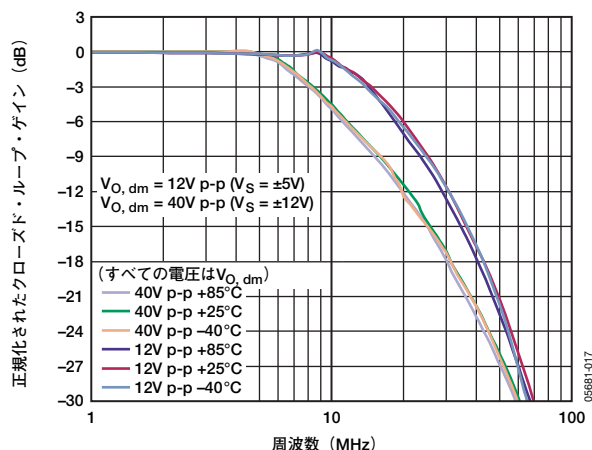


図9. さまざまな温度と電源電圧に対する大信号周波数応答

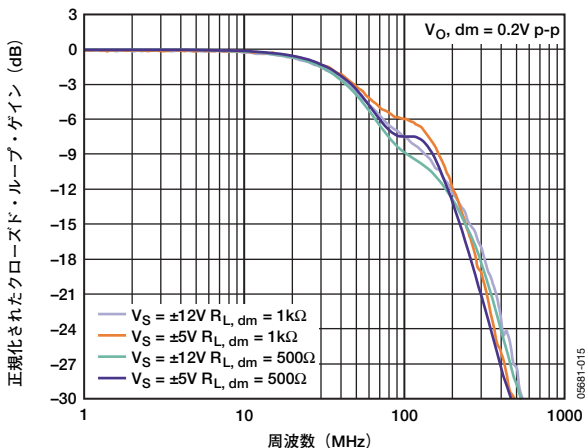


図7. さまざまな抵抗性負荷と電源電圧に対する小信号周波数応答

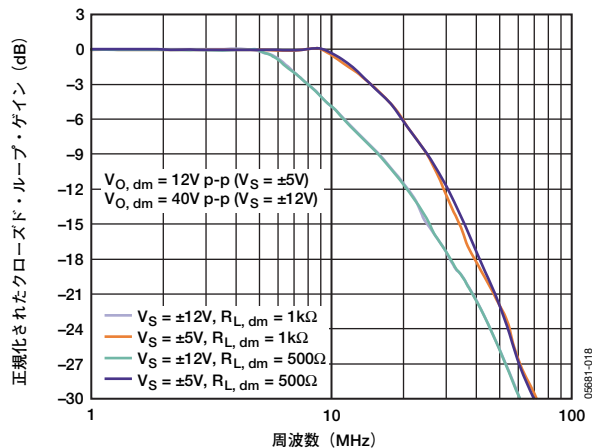


図10. さまざまな抵抗性負荷と電源電圧に対する大信号周波数応答

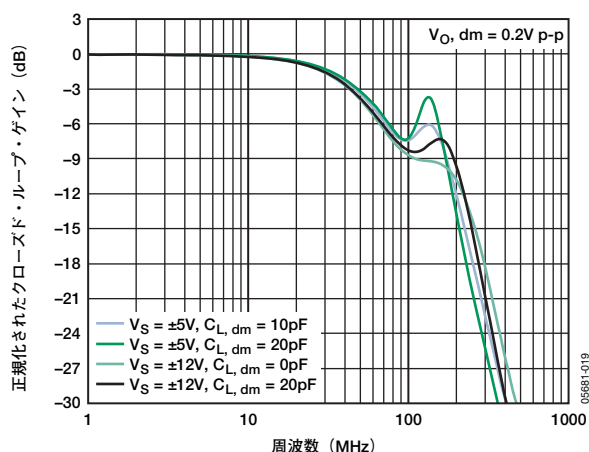


図11. さまざまな容量性負荷に対する小信号周波数応答

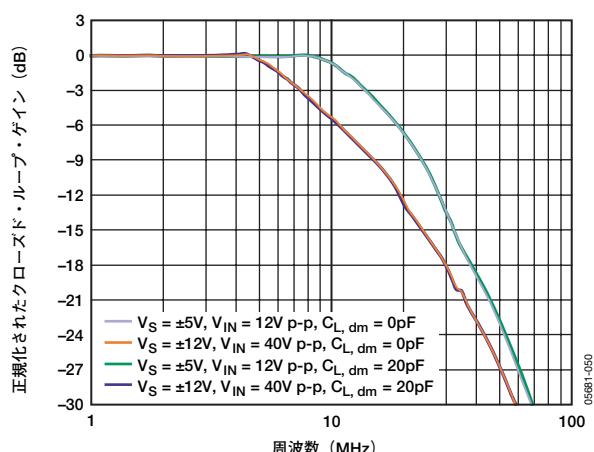


図14. さまざまな容量性負荷に対する大信号周波数応答

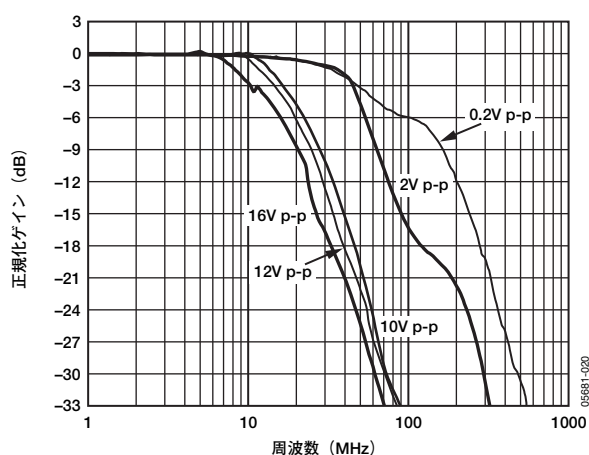


図12. さまざまな出力振幅に対する周波数応答 ($V_S = \pm 5V$)

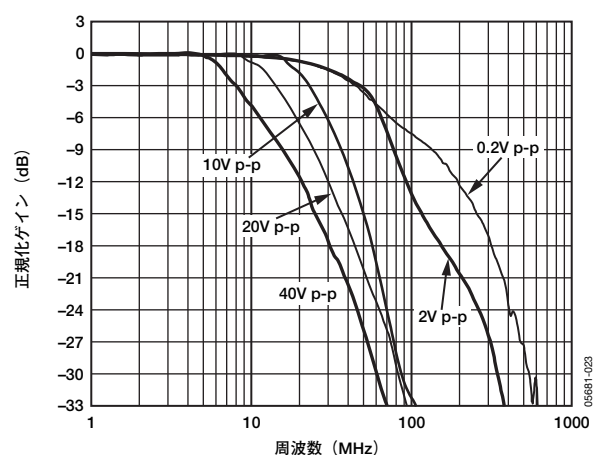


図15. さまざまな出力振幅に対する周波数応答 ($V_S = \pm 12V$)

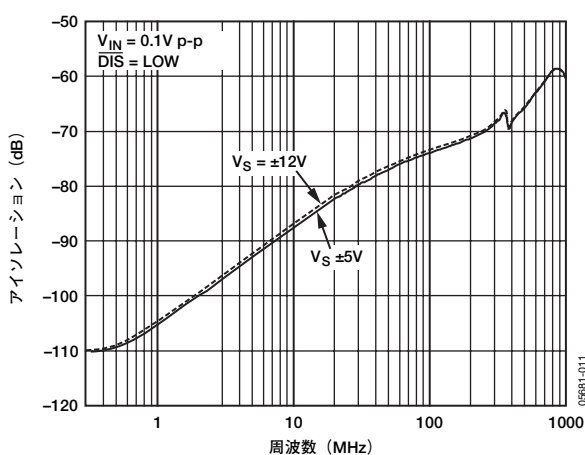


図13. アイソレーションの周波数特性 (ディスエーブル)

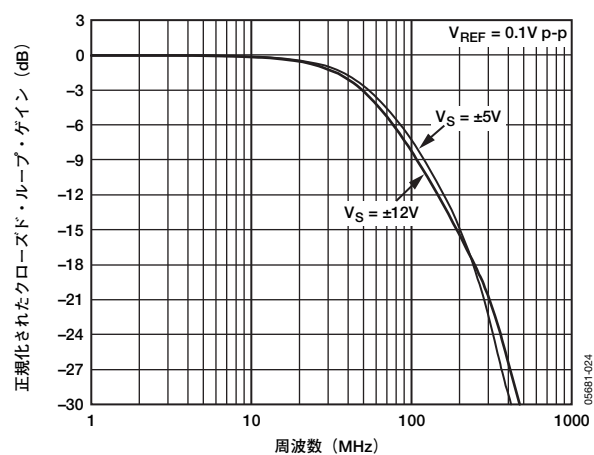


図16. さまざまな電源に対するREF小信号周波数応答

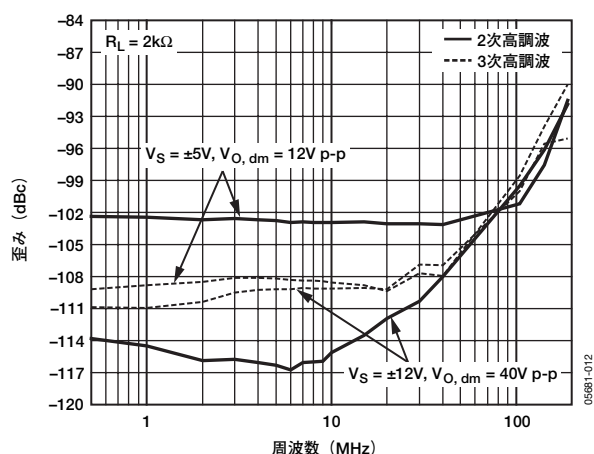


図17. さまざまな電源に対する高調波歪み

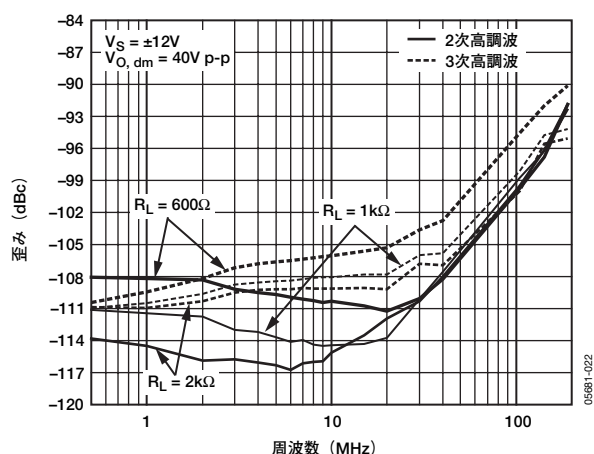


図20. さまざまな負荷に対する高調波歪み

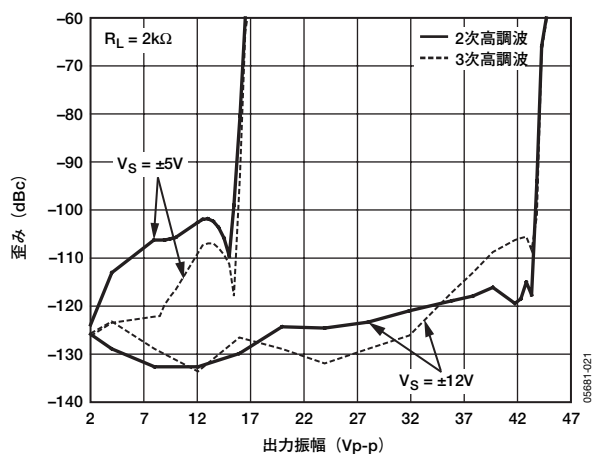


図18. 出力振幅と電源電圧 対 高調波歪み
($f=10kHz$)

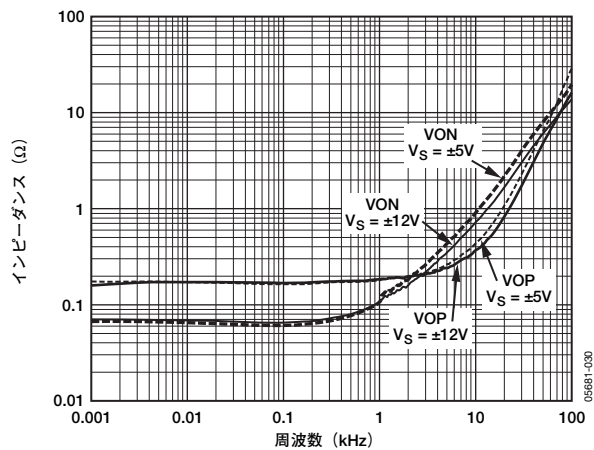


図21. 周波数と電源 対 シングルエンド
出力インピーダンス

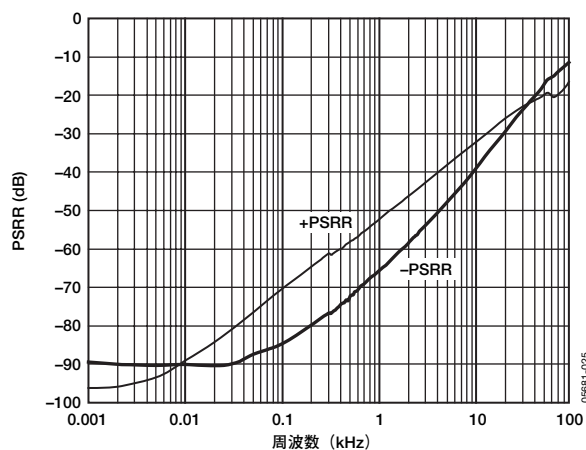


図19. PSRRの周波数特性

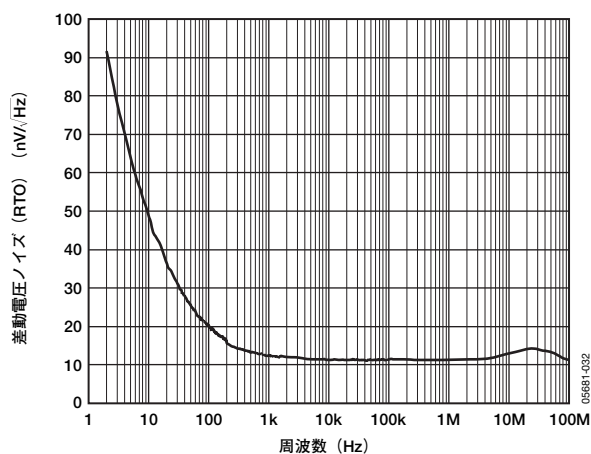


図22. 差動出力ノイズの周波数特性

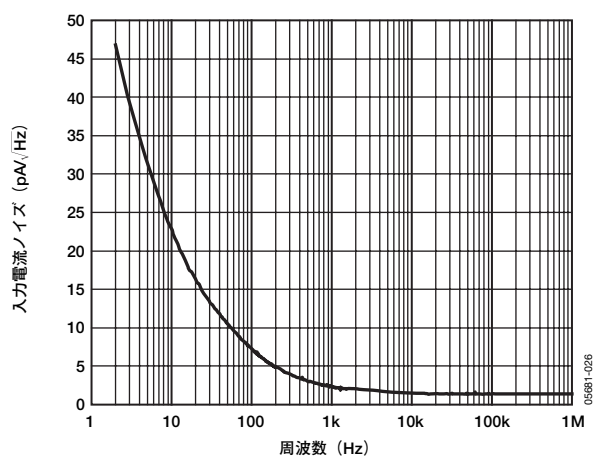


図25. 入力電流ノイズの周波数特性

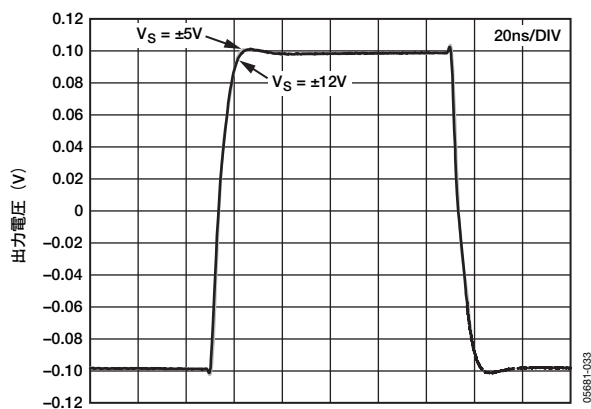


図23. さまざまな電源に対する小信号過渡応答

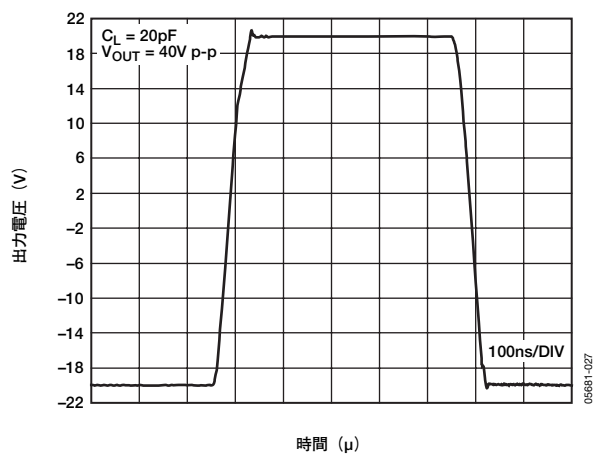


図26. さまざまな電源に対する大信号過渡応答

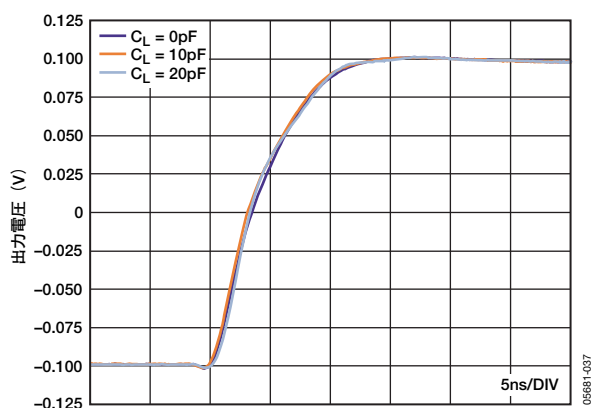


図24. さまざまな容量性負荷に対する小信号過渡応答

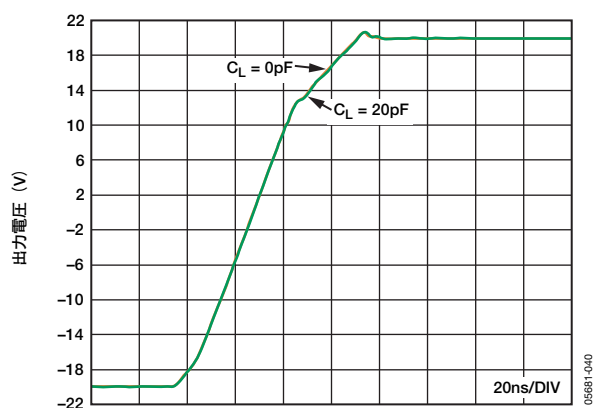


図27. さまざまな容量性負荷に対する大信号過渡応答

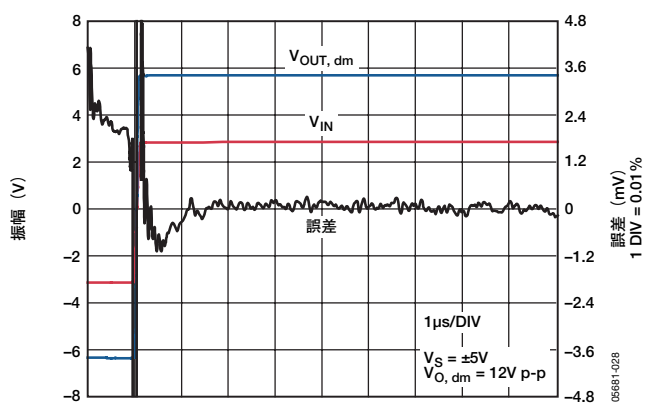


図28. セトリング時間 ($V_S = \pm 5V$)

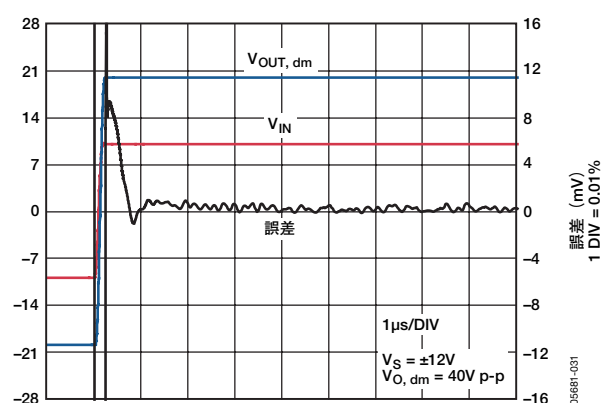


図31. セトリング時間 ($V_S = \pm 12V$)

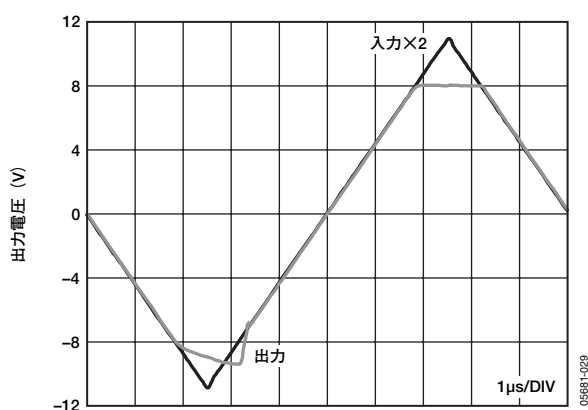


図29. 入力オーバードライブ回復 ($V_S = \pm 5V$)

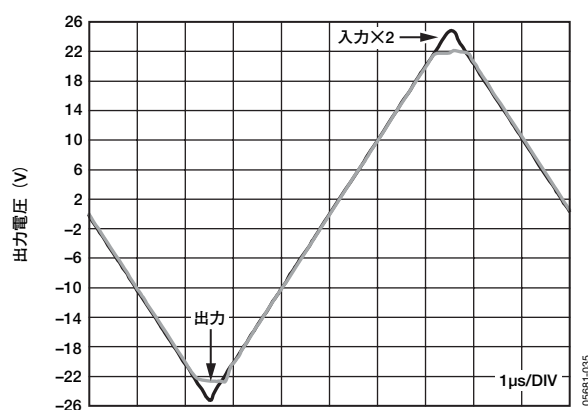


図32. 入力オーバードライブ回復 ($V_S = \pm 12V$)

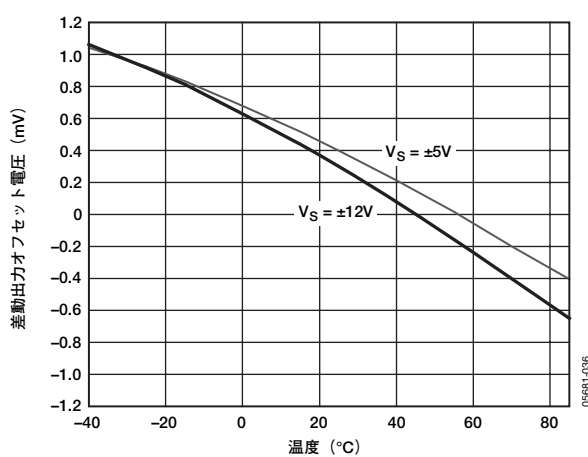


図30. 差動出力オフセット電圧の温度特性

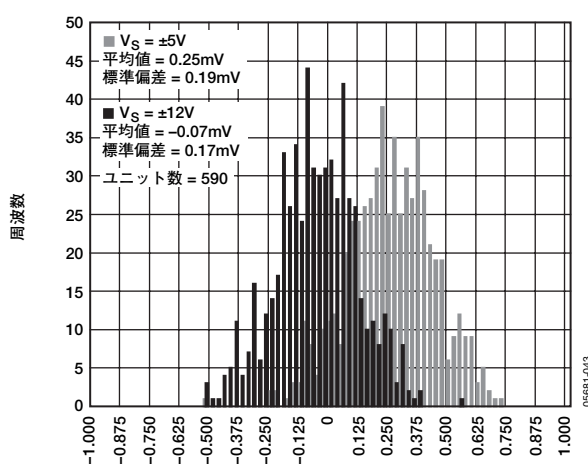


図33. 差動出力オフセット電圧の分布

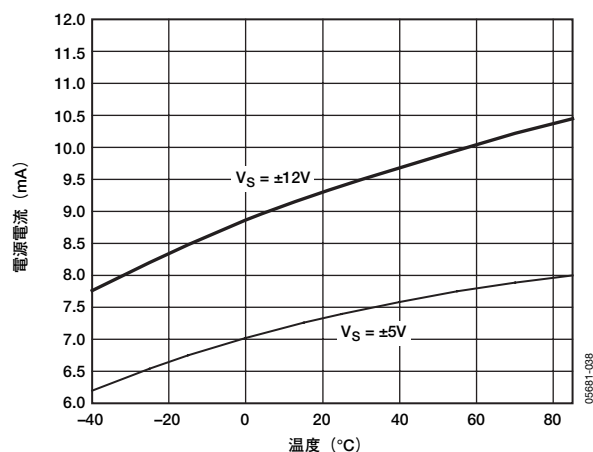


図34. 電源電流の温度特性

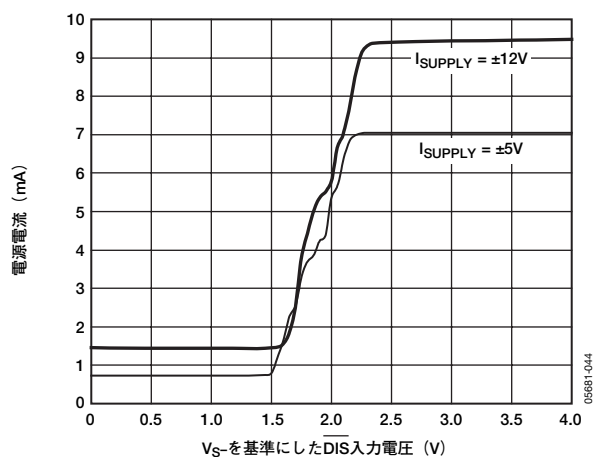


図37. ディスエーブル入力電圧 対 電源電流

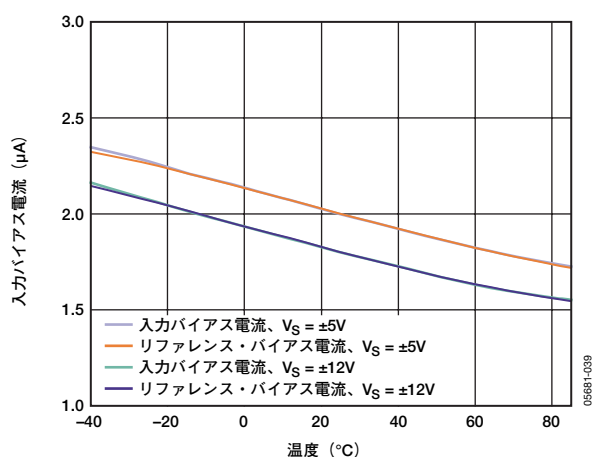


図35. 入力バイアス電流の温度特性

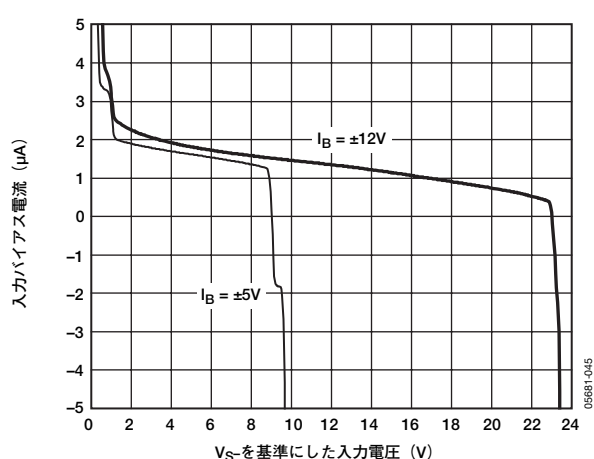


図38. 入力電圧 対 入力バイアス電流

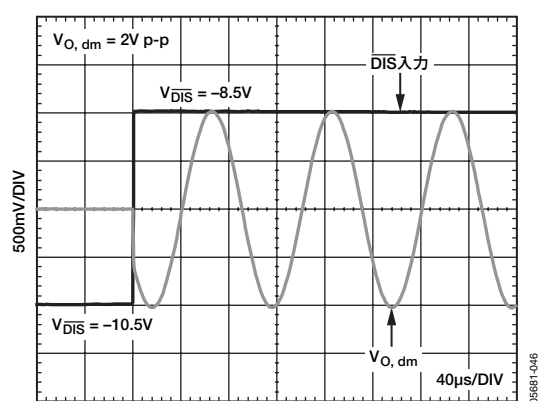


図36. ディスエーブル・ターンオン時間

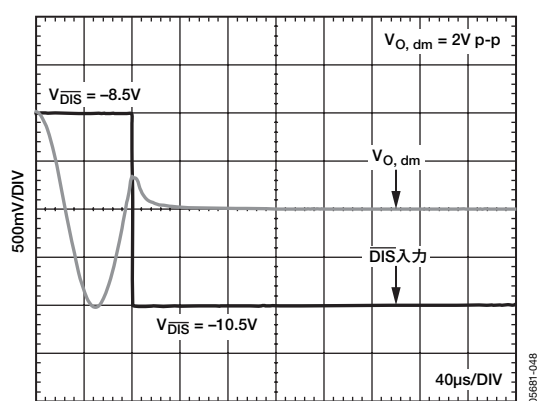


図39. ディスエーブル・ターンオフ時間

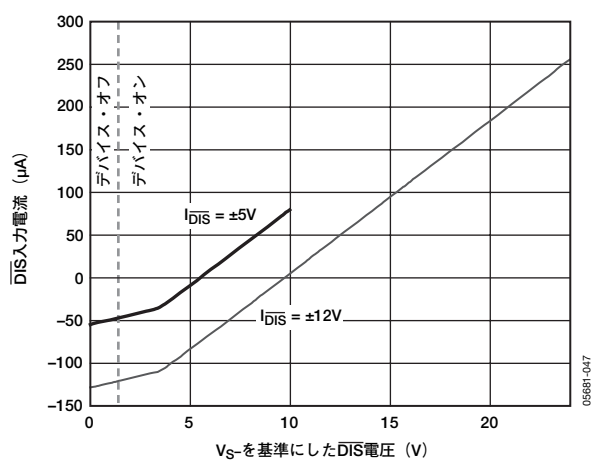


図40. ディスエーブル電圧 対 ディスエーブル電流

動作原理

ADA4922-1はデュアル・アンプで構成されており、最小の外付け部品数でシングルエンド入力信号源から差動ADCを駆動するように最適化されています（図41を参照）。

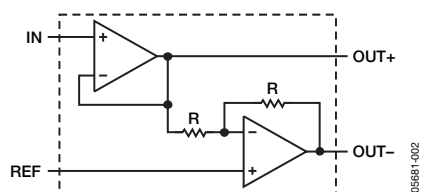


図41. 機能図

差動出力電圧は、次のように定義されます。

$$V_{O, dm} = V_{OUT+} - V_{OUT-} \quad (1)$$

図41の2個のアンプは同一アンプです。抵抗Rの値は600Ωに設定されており、出力差動ノイズ、内部消費電力、全体的なシステムの直線性の間で最適なトレードオフが得られるようになっています。基本的な動作では、REF入力は入力信号の中央振幅値レベルに接続されます（通常、電源電圧の1/2）。入力信号（REFを基準）は、+2の全ゲインを持つ差動出力信号を生成します。図42に、信号源が0Vを基準とし、REFピンが0Vに接続された±12V電源での代表的な動作を示します。

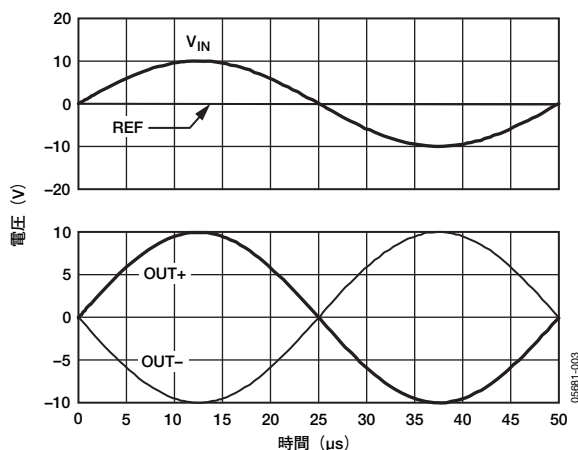


図42. 代表的な入出力応答 — 中心リファレンス

アプリケーションで電源電圧の1/2以外の入力中央振幅値電圧を使用する場合は、差動オフセットを発生しない出力を得るために、REFピンを入力中央振幅値レベルまでオフセットする必要があります（図43を参照）。REFピンに印加された電圧が入力信号の中央振幅値レベルと異なる場合は、出力 V_{OUT+} と V_{OUT-} の間にDCオフセットが生成されます。この条件を図44に示します（入力信号は正レベルを基準とし、REFピンは0Vに接続されています）。

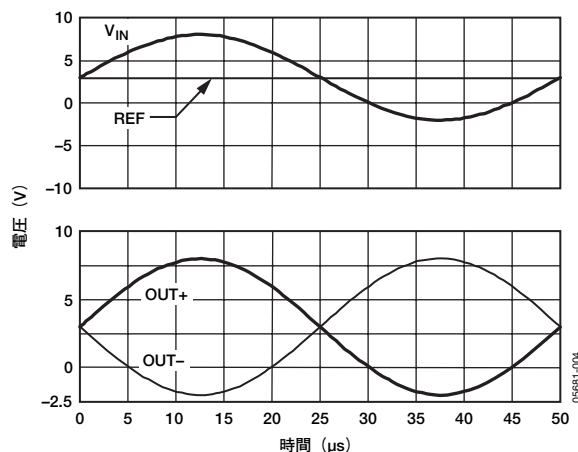


図43. 代表的な入出力応答 — 等しい入力／リファレンス

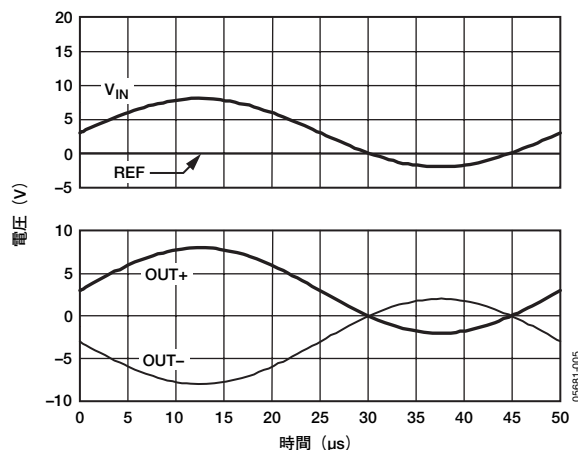


図44. 代表的な入出力応答 — 等しくない入力／リファレンス

図45にアンプの詳細図を示します。各アンプは2段設計になっており、入力Hブリッジに続いてレールtoレール出力段があります（図46を参照）。

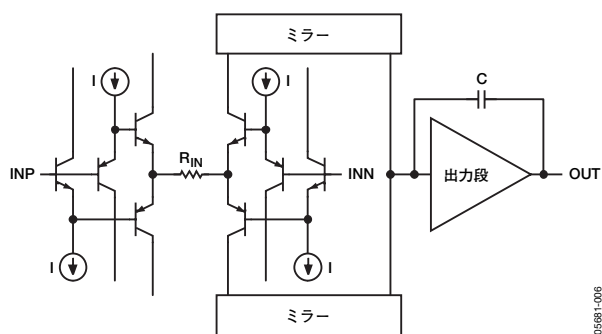


図45. 内部アンプ・アーキテクチャ

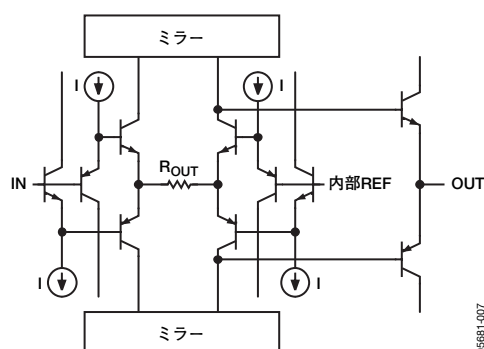


図46. 出力段アーキテクチャ

図47は、ADA4922-1内の各アンプのオープン・ループ・ゲインと位相の関係を示します。

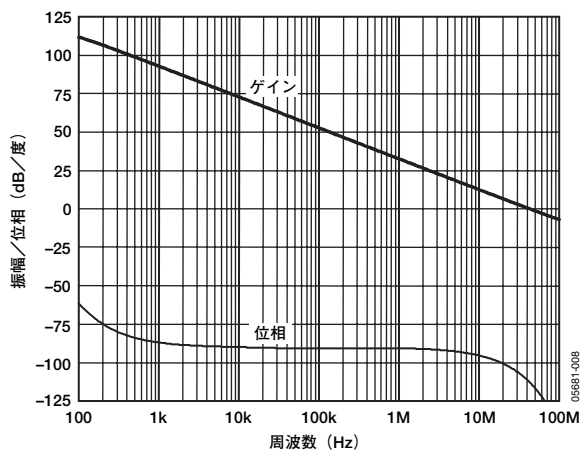


図47. アンプのゲイン／位相関係

ADA4922-1で使用したアーキテクチャによって、他の差動アンプに比べて優れたS/N比性能と歪み性能が得られます。

2つのアンプを使用して差動出力を生成する場合、動作上さらに微妙な問題が生じます。差動出力はフォロア・アンプと反転アンプから得られるため、ノイズ・ゲインが異なり、それゆえクロード・ループ帯域幅も異なります。1MHzまでの周波数では、出力間の帯域幅の相違による全体的な差動出力性能の違いはさほど大きくありません。しかし、帯域幅は2つのアンプの合計であるため、反転アンプの3dBポイントが差動アンプ全体の3dBコーナを規定することになります（図48を参照）。

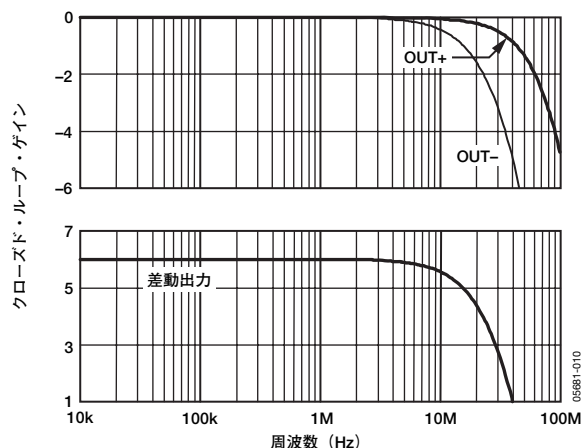


図48. クロード・ループACゲイン（差動出力）

非反転出力を反転することで反転出力が得られているため、2つの出力間には小さな遅延誤差とゲイン誤差が存在します。図48（広帯域）で現れているゲイン誤差は、反転アンプ・ゲインと帰還抵抗との不完全なマッチング、および2つのアンプの伝達関数の差異が原因となっています。遅延誤差の原因は、非反転アンプ出力を基準にした、反転アンプを通じての遅延です。2つの出力は位相が正確に180度ずれてはいないため、この遅延によって差動ゲインが減少します。出力は完全に平衡しているため、この2つの誤差が結合して、全体的なゲイン誤差となります。ほとんどのADA4922-1アプリケーションに関係する周波数では、この誤差は非常に小さいものです。

アプリケーション

ADA4922-1は、固定ゲインのシングルエンド／差動変換電圧アンプであり、高電圧アプリケーションで高分解能ADCを駆動するように最適化されています。ユーザはゲインを調整できません。

ADA4922-1の差動出力ノイズ・モデル

図49に、ADA4922-1の代表的なアプリケーション回路における主なノイズ源を示します。

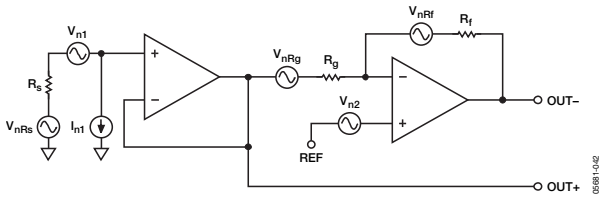


図49. ADA4922-1の差動出力ノイズ・モデル

従来の方式を使用し、ノイズ源を各オペアンプの入力の1つと直列に接続して、入力換算電圧ノイズをモデル化します。最も重要な入力電流ノイズは、入力ピンに存在します。このノイズ電流によって発生する出力電圧ノイズは、入力を提供するソース抵抗に加えて、アンプのダウストリーム・ゲインにも依存します。抵抗ノイズをモデル化するには、ノイズ電圧源とノイズのない抵抗と直列に配置します。 R_f と R_g は両方とも 600Ω であるため、同じノイズ電圧密度を持っています。

室温では、

$$V_{nRg} = V_{nRf} = \sqrt{4KT(600\Omega)} \approx 3.2\text{nV}/\sqrt{\text{Hz}} \quad (2)$$

OUT+でのノイズは、非反転アンプの入力換算電流／電圧ノイズ源とソース抵抗のノイズとなり、すべてノイズ・ゲイン1で出力ノイズが得られ、次の値に等しくなります。

$$\text{電圧ノイズ @OUT+} : V_{n1} + R_S(I_{n1}) + V_{nRs} \quad (3)$$

ここで、 R_S は入力を提供するソース抵抗値であり、 V_{nRs} はソース抵抗ノイズです。

OUT-でのノイズは、複数の信号源から生じます。

V_{n1} によって発生する電圧ノイズ@OUT-：

$$V_{n1} \left(\frac{-R_f}{R_g} \right) = -V_{n1} \quad (4)$$

I_{n1} によって発生する電圧ノイズ@OUT-：

$$R_S(I_{n1}) \left(\frac{-R_f}{R_g} \right) = -R_S(I_{n1}) \quad (5)$$

R_S によって発生する電圧ノイズ@OUT-：

$$V_{nRs} \left(\frac{-R_f}{R_g} \right) = -V_{nRs} \quad (6)$$

V_{nRg} によって発生する電圧ノイズ@OUT-：

$$V_{nRg} \left(\frac{-R_f}{R_g} \right) = -V_{nRg} \quad (7)$$

$$V_{nRf} \text{によって発生する電圧ノイズ@OUT-} : V_{nRf} \quad (8)$$

V_{n2} によって発生する電圧ノイズ@OUT-：

$$V_{n2} \left(1 + \frac{R_f}{R_g} \right) = 2V_{n2} \quad (9)$$

OUT-を単独で見ると、寄与するノイズ源は無相関であるため、合計出力ノイズは、個々の要因の2乗和の平方根（rss）として計算されます。差動出力ノイズを見ると、両方の出力に共通のノイズ源である V_{n1} 、 $R_S(I_{n1})$ 、 V_{nRs} を除いて、ノイズ要因は無相関です。これまでの結果から、 V_{n1} 、 $R_S(I_{n1})$ 、 V_{nRs} によって発生する出力ノイズは、それぞれOUT+では+1のゲインで、OUT-では-1のゲインで出現することがわかります。これにより、差動出力ではこれら3つのソースごとに2のゲインが発生します。

合計の差動出力ノイズ密度は、次のように計算されます。

$$V_{on, dm} = \sqrt{(2(V_{n1} + R_S(1.4\text{pA}/\sqrt{\text{Hz}}) + V_{nRs}))^2 + 2(3.2\text{nV}/\sqrt{\text{Hz}})^2 + 4V_{n2}^2} \quad (10)$$

ここで、 $V_{n1} = V_{n2} = V_n = 3.9\text{nV}/\sqrt{\text{Hz}}$ であり、各アンプの入力換算電圧ノイズは同じです。

アンプのみによって発生する出力ノイズを計算するには、 R_S と V_{nRs} をゼロに設定します。この場合は、次のようになります。

$$V_{on, dm} = 12\text{nV}/\sqrt{\text{Hz}} \quad (11)$$

出力ノイズは明らかに出力間で平衡していませんが、これは多くのアプリケーションで問題になりません。

REFピンの使い方

REFピンは、反転パスでの出力ベースラインを設定し、入力信号のリファレンスとして使用されます。多くのアプリケーションでは、REFピンは入力信号の中央振幅レベルに設定されます（通常、電源電圧の1/2）。バイポーラ信号と両電源の使用では、REFは一般にグラウンドに設定されます。単電源アプリケーションでは、REFを入力信号の中央振幅レベルに設定すると、最小の差動オフセットで最適な出力ダイナミック・レンジ性能が得られます。なお、REF入力は、反転信号パス（つまり、OUT-）だけに影響を与えます。

多くのアプリケーションでは、各出力に同じDC共通・モード・レベルを持つ差動出力信号を必要とします。OUT+とOUT-にまたがって信号を測定し、両方の出力において、希望するレベルであってもDCレベルの異なる同相電圧を持つことができます。しかしこの場合、アンプの出力ダイナミック・レンジが無駄になるため、一般には行われません。

V_{IN} を入力ピンに印加される電圧として定義すると、2つの信号パスを規定する式は、式12と式13で与えられます。

$$V_{OUT+} = +V_{IN} \quad (12)$$

$$V_{OUT-} = -V_{IN} + 2(REF) \quad (13)$$

REF電圧が入力信号の中央振幅値レベルに設定されると、2つの出力信号は互いに最小のオフセットで得られることになります。REF電圧をそれ以外に設定すると、オフセットは2つの出力の間になります。この効果については、「動作原理」を参照してください。

REFピンの最も良い使い方を示すために、10VのDC電源を使用し、2～7Vの間で変動する入力信号を持つ単電源の例を考えてみます。これは、入力信号の中央振幅値レベルが電源電圧の1/2ではなく、4.5Vの場合です。REF入力を4.5Vに設定し、オフセットを無視すれば、式12と式13を用いて結果が計算できます。入力信号が4.5Vというミッドポイントにあるとき、 V_{OUT+} は、 V_{OUT-} と同様に4.5Vにあります。これは、差動出力電圧がゼロである、一種のベースライン状態と考えることができます。入力が7Vに増えると、 V_{OUT+} は7Vまで入力をトラッキングし、 V_{OUT-} は2Vまで減少します。これは、差動出力電圧が5Vに等しい正のピーク信号とみなすことができます。入力信号が2Vまで減少すると、 V_{OUT+} は再び2Vまでトラッキングし、 V_{OUT-} は7Vまで増大します。これは、差動出力電圧が-5Vに等しい負のピーク信号とみなすことができます。結果として得られる差動出力電圧は10Vp-pです。

以上の説明により、2のシングルエンド／差動ゲインが得られることがわかります。

内部帰還回路の消費電力

従来のオペアンプにはフィードバック素子が内蔵されていませんが、ADA4922-1には内部帰還ループを構成する2本の600Ω抵抗が内蔵されています。これらの抵抗の消費電力は、デバイス全体の消費電力計算に含める必要があります。特定の状況のもとでは、これらの抵抗の消費電力は、デバイスの無負荷時電流を大きく上回ることがあります。たとえば、REFピンをグラウンドに接続し、OUT-を9V DCに接続した±12V電源では、各600Ω抵抗は15mAを流し、135mWを消費します。これはかなりの電力量であるため、デバイス全体の消費電力計算に含める必要があります。AC信号の場合は、rms解析が必要です。

ディスエーブル機能

ADA4922-1のディスエーブル機能をアサートすれば、特定の時間に必要のないデバイスで、消費電力を最小限に抑えることができます。ディスエーブル機能がアサートされると、デバイス出力は高インピーダンス状態やスリーステート状態でなくなります。ディスエーブル機能は、アクティブ・ローであり、DISピンに制御電圧を印加することでアサートされます。ハイレベル／ローレベル電圧の仕様については「仕様」を参照してください。

差動入力ADCの駆動

ADA4922-1は、多くの高分解能ADCの駆動に必要なシングルエンド／差動変換を提供します。図50に、ADA4922-1を使用してADCの駆動を簡素化する方法を示します。

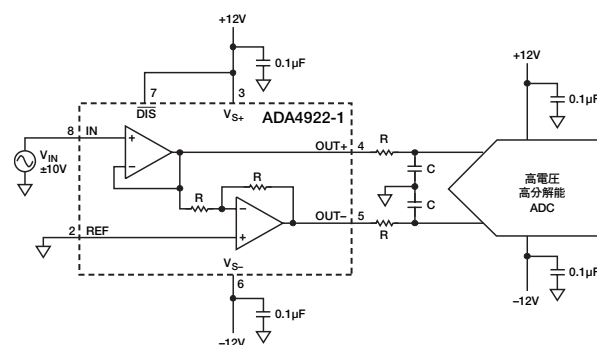


図50. 差動入力ADCの駆動

たとえば、入力信号帯域幅が100kHzで、図50に示した $R = 41.2\Omega$ 、 $C = 3.9\text{nF}$ とすると、約1MHzの-3dB帯域幅を持つ単極フィルタを形成することになります。この帯域幅で積分されたADA4922-1の出力ノイズ（ゼロ・ソース抵抗）は、ADC入力に出現し、次のように計算されます。

$$V_{n,ADC,dm}(rms) = (12\text{nV}/\sqrt{\text{Hz}}) \sqrt{\frac{\pi}{2}} (1\text{MHz}) = 15\mu\text{Vrms} \quad (14)$$

ADC入力での20Vp-p信号のrms値は7V rmsであり、ADC入力においてS/N比は113dBとなります。

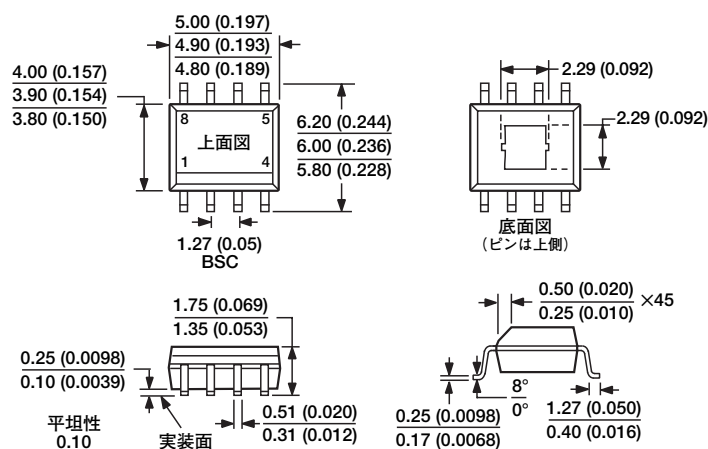
ADA4922-1

PCボードのレイアウトの考慮事項

ADA4922-1は、多くのアプリケーションにおいて1MHzより十分低い周波数で使用されますが、高速アンプを用いているため、一般的な高速レイアウト手法に準拠しなければなりません。信号の立上がり時間が相互接続の電気遅延の約5倍以上遅い場合、低周波信号には制御されたインピーダンス送信ラインは必要ありません。参考までに、FR-4材質の代表的な50Ω送信ラインでは、外層で約140ps/in、内層で180ps/inの遅延を示します。ADA4922-1とADCの間の大部分の接続は、ごく短くなります。

広帯域電源デカップリング・ネットワークは、電源ピンのできるだけ近くに配置してください。これらのネットワークには小さな表面実装セラミック・コンデンサを推奨します。バルク電源のデカップリングにはタンタル・コンデンサを推奨します。

外形寸法



JEDEC規格MS-012-AAに準拠

管理寸法はミリメートルの単位で表記しています。
 カッコ内に示すインチ単位の寸法は、ミリメートル値に基づく概数で、
 参考のためにのみ記載しています。設計ではこの値を使用しないでください。

図51. 8ピン標準スモール・アウトライン・パッケージ（露出パッド付き）[SOIC_N_EP]

ナローボディ（RD-8-1）

寸法単位：mm（インチ）

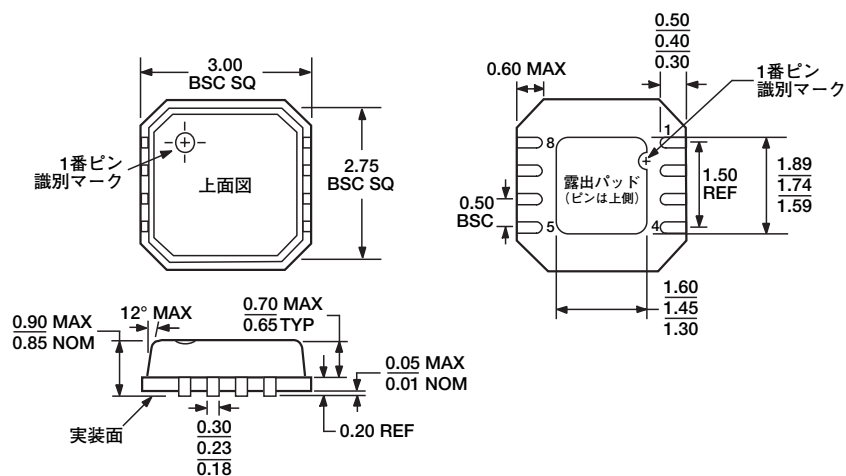


図52. 8ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VD]

3mm_3mmボディ、極薄、デュアル・ピン（CP-8-2）

寸法単位：mm

ADA4922-1

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション	マーキング
ADA4922-1ARDZ ¹	−40〜+85℃	8ピン・スモール・アウトライン・パッケージ (SOIC_N_EP)	RD-8-1	
ADA4922-1ARDZ-RL ¹	−40〜+85℃	8ピン・スモール・アウトライン・パッケージ (SOIC_N_EP)	RD-8-1	
ADA4922-1ARDZ-R7 ¹	−40〜+85℃	8ピン・スモール・アウトライン・パッケージ (SOIC_N_EP)	RD-8-1	
ADA4922-1ACPZ-R2 ¹	−40〜+85℃	8ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP_VD)	CP-8-2	HUB
ADA4922-1ACPZ-RL ¹	−40〜+85℃	8ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP_VD)	CP-8-2	HUB
ADA4922-1ACPZ-RL7 ¹	−40〜+85℃	8ピン・リード・フレーム・チップ・スケール・パッケージ (LFCSP_VD)	CP-8-2	HUB

¹ Z=鉛フリー製品

D05681-0-10/05(0)-J