



低消費電力、1 nV/√Hz、G ≥ 10安定 レールtoレール出力アンプ

データシート

ADA4895-1/ADA4895-2

特長

低い広帯域ノイズ

1 nV/√Hz

1.6 pA/√Hz

低い 1/f ノイズ: 10 Hz で 2 nV/√Hz

低歪み (SFDR): 100 kHz、V_{OUT} = 2 V p-p で -96 dBc

低消費電力: アンプあたり 3 mA

低入力オフセット電圧: 最大 350 μV

高速動作

-3 dB 帯域幅: 236 MHz (G = +10)

スルーレート: 943 V/μs

0.1%へのセトリング・タイム: 22 ns

レール to レール出力

広い電源範囲: 3 V~10 V

ディスエーブル機能を装備

アプリケーション

低ノイズ・プリアンプ

超音波アンプ

PLL ループ・フィルタ

高性能 A/D コンバータ (ADC) 用ドライバ

D/A コンバータ (DAC) 用バッファ

概要

ADA4895-1 (シングル) と ADA4895-2 (デュアル) は、ゲイン ≥ 10 で安定、低入力ノイズ、レール to レール出力で、無信号時の消費電流は アンプあたり 3 mA の高速電圧帰還アンプです。ADA4895-1/ ADA4895-2 は、10 Hz で 2 nV/√Hz の 1/f ノイズおよび 2 MHz で -72 dBc のスプリアスフリー・ダイナミックレンジ (SFDR) を持つため、超音波、低ノイズ・プリアンプ、高性能 ADC ドライバなどの様々なアプリケーションに最適なソリューションになっています。アナログ・デバイセス社独自の次世代 SiGe バイポーラ・プロセスと革新的なアーキテクチャにより、このような高性能のアンプが実現しました。

ADA4895-1/ADA4895-2 は、ゲイン = +10 で 236 MHz の信号帯域幅、943 V/μs のスルーレートを持ち、0.1% へのセトリング時間は 22 ns です。ADA4895-1/ADA4895-2 は広い電源電圧範囲 (3 V ~ 10V) で動作するため、広いダイナミックレンジ、高ゲイン、高精度、高速を必要とするシステムに対して最適です。

ADA4895-1 は 8 ピン SOIC または 6 ピン SOT-23 パッケージを、ADA4895-2 は 10 ピン MSOP パッケージを、それぞれ採用しています。すべてのパッケージ製品は、-40°C ~ +125°C の拡張工業温度範囲で動作します。

機能ブロック図

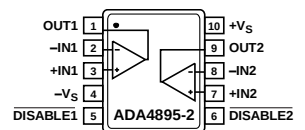
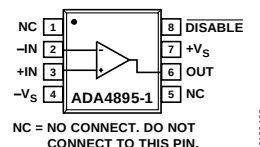


図 1. ADA4895-1 シングル・アンプ (8 ピン SOIC)

図 2. ADA4895-2 デュアル・アンプ (10 ピン MSOP)

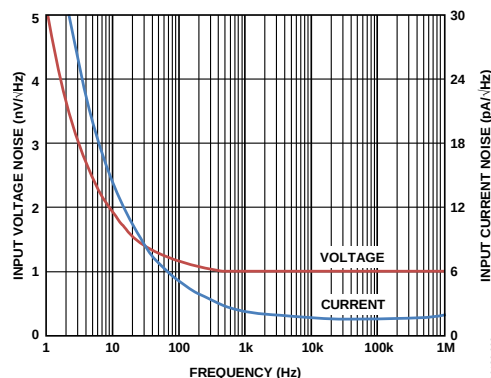


図 3. 入力電圧および電流ノイズの周波数特性

表 1. その他の低ノイズ・アンプ¹

Part Number(s)	ven at 100 kHz (nV/√Hz)	Bandwidth (MHz)	Supply Voltage (V)
AD8021	2.1	490	5 to 24
AD8045	3	1000	3.3 to 12
AD8099	0.95	510	5 to 12
ADA4841-1/ADA4841-2	2.1	80	2.7 to 12
ADA4896-2	1	230	3 to 10
ADA4897-1/ADA4897-2	1	230	3 to 10
ADA4898-1/ADA4898-2	0.9	65	10 to 32
ADA4899-1	1	600	5 to 12

¹ 最新の低ノイズ・アンプ・セレクションについては www.analog.com/jp をご覧ください。

関連製品

ADC: [AD7944](#) (14 ビット)、[AD7985](#) (16 ビット)、[AD7986](#) (18 ビット)

その他の関連製品は ADA4895-1/ADA4895-2 の製品ページに記載

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. A

©2012 Analog Devices, Inc. All rights reserved.

アナログ・デバイセス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	動作原理	16
アプリケーション	1	アンプ説明	16
概要	1	入力保護	16
機能ブロック図	1	ディスエーブル動作	16
関連製品	1	DC 誤差	17
改訂履歴	2	バイアス電流の相殺	17
仕様	3	ノイズに対する注意事項	18
$\pm 5\text{ V}$ (または $+10\text{ V}$) 電源	3	アプリケーション情報	19
$\pm 2.5\text{ V}$ (または $+5\text{ V}$) 電源	4	ゲイン $< +10$ での ADA4895-1/ADA4895-2 の使用	19
$\pm 1.5\text{ V}$ (または $+3\text{ V}$) 電源	5	ゲイン帯域幅の広いアプリケーション	20
絶対最大定格	7	帰還コンデンサの使用	20
熱抵抗	7	広帯域フォトマルチプライア・プリアンプ	21
最大消費電力	7	レイアウト時の考慮事項	22
ESD の注意	7	外形寸法	23
ピン配置およびピン機能説明	8	オーダー・ガイド	24
代表的な性能特性	10		

改訂履歴

12/12—Rev. 0 to Rev. A

Added ADA4895-1	Universal
Changes to Features Section, General Description Section, and Table 1	1
Added Figure 1; Renumbered Sequentially	1
Changes to Table 2	3
Changes to Table 3	4
Changes to Table 4	5
Changes to Figure 4	7
Added Figure 5, Table 7, Figure 6, and Table 8	8
Added Figure 14 and Figure 17	11
Changes to Figure 24	12
Added Figure 26 and Figure 29	13
Changes to Amplifier Description Section	16
Changes to Noise Considerations Section	18
Added Feedback Capacitor Applications Section and Figure 54	20
Updated Outline Dimensions	23
Changes to Ordering Guide	24

9/12—Revision 0: Initial Version

仕様

±5 V (または+10 V) 電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +10$ 、 $R_F = 249\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ (R_L は電源電圧の 1/2 に接続)。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
–3 dB Bandwidth	$V_{OUT} = 0.2\ \text{V p-p}$		236		MHz
	$V_{OUT} = 2\ \text{V p-p}$		146		MHz
	$V_{OUT} = 0.2\ \text{V p-p}$, $G = +20$, $R_F = 1\ \text{k}\Omega$		115		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT} = 2\ \text{V p-p}$, $R_L = 100\ \Omega$		8.9		MHz
Slew Rate	$V_{OUT} = 6\ \text{V step}$		943		V/ μs
Settling Time to 0.1%	$V_{OUT} = 2\ \text{V step}$		22		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$f_C = 100\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		–96		dBc
	$f_C = 1\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		–78		dBc
	$f_C = 2\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		–72		dBc
	$f_C = 5\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		–64		dBc
Input Voltage Noise	$f = 10\ \text{Hz}$, $G = +25.9$		2		nV/ $\sqrt{\text{Hz}}$
	$f = 100\ \text{kHz}$, $G = +25.9$		1		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10\ \text{Hz}$, $R_F = 10\ \text{k}\Omega$, $R_G = 1.1\ \text{k}\Omega$, $R_S = 1\ \text{k}\Omega$		14		pA/ $\sqrt{\text{Hz}}$
	$f = 100\ \text{kHz}$, $R_F = 10\ \text{k}\Omega$, $R_G = 1.1\ \text{k}\Omega$, $R_S = 1\ \text{k}\Omega$		1.6		pA/ $\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz Noise	$G = +101$, $R_F = 1\ \text{k}\Omega$, $R_G = 10\ \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		–350	+53	+350	μV
Input Offset Voltage Drift			0.15		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		–16	–11	–6	μA
Input Bias Current Drift			1.2		nA/ $^\circ\text{C}$
Input Bias Offset Current		–0.6	–0.02	+0.6	μA
Open-Loop Gain	$V_{OUT} = -4\ \text{V to } +4\ \text{V}$	100	110		dB
INPUT CHARACTERISTICS					
Input Resistance	Common mode/differential mode		10 M/10 k		Ω
Input Capacitance	Common mode/differential mode		3/11		pF
Input Common-Mode Voltage Range			–4.9 to +4.1		V
Common-Mode Rejection	$V_{CM} = -2\ \text{V to } +2\ \text{V}$	–100	–109		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = -0.55\ \text{V to } +0.55\ \text{V}$		80		ns
Positive Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	4.85	4.96		V
	$R_L = 100\ \Omega$	4.5	4.77		V
Negative Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	–4.85	–4.97		V
	$R_L = 100\ \Omega$	–4.5	–4.85		V
Linear Output Current	SFDR = –45 dBc		80		mA rms
Short-Circuit Current	Sinking/sourcing		116/111		mA
Capacitive Load Drive	30% overshoot		6		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier		2.8	3	3.2	mA
	$\overline{\text{DISABLEx}} = -5\ \text{V}$		0.1		mA
Positive Power Supply Rejection	$+V_S = 4\ \text{V to } 6\ \text{V}$, $-V_S = -5\ \text{V}$	–98	–136		dB
Negative Power Supply Rejection	$+V_S = 5\ \text{V}$, $-V_S = -4\ \text{V to } -6\ \text{V}$	–98	–135		dB
DISABLEx PIN					
$\overline{\text{DISABLEx}}$ Voltage	Device enabled		$>+V_S - 0.5$		V
	Device disabled		$<+V_S - 2$		V
Input Current per Amplifier					
	Device Enabled		–1.1		μA
Device Disabled	$\overline{\text{DISABLEx}} = -5\ \text{V}$		–40		μA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Switching Speed					
Device Enabled			0.25		μs
Device Disabled			6		μs

±2.5 V (または+5 V) 電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +10$ 、 $R_F = 249\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ (R_L は電源電圧の 1/2 に接続)。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
−3 dB Bandwidth	$V_{OUT} = 0.2\ \text{V p-p}$		216		MHz
	$V_{OUT} = 2\ \text{V p-p}$		131		MHz
	$V_{OUT} = 0.2\ \text{V p-p}$, $G = +20$, $R_F = 1\ \text{k}\Omega$		113		MHz
Bandwidth for 0.1 dB Flatness	$V_{OUT} = 2\ \text{V p-p}$, $R_L = 100\ \Omega$		7.9		MHz
Slew Rate	$V_{OUT} = 3\ \text{V step}$		706		V/μs
Settling Time to 0.1%	$V_{OUT} = 2\ \text{V step}$		21		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$f_C = 100\ \text{kHz}$, $V_{OUT} = 2\ \text{V p-p}$		−94		dBc
	$f_C = 1\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		−75		dBc
	$f_C = 2\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		−69		dBc
	$f_C = 5\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$		−61		dBc
Input Voltage Noise	$f = 10\ \text{Hz}$, $G = +25.9$		1.8		nV/√Hz
	$f = 100\ \text{kHz}$, $G = +25.9$		1		nV/√Hz
Input Current Noise	$f = 10\ \text{Hz}$, $R_F = 10\ \text{k}\Omega$, $R_G = 1.1\ \text{k}\Omega$, $R_S = 1\ \text{k}\Omega$		14		pA/√Hz
	$f = 100\ \text{kHz}$, $R_F = 10\ \text{k}\Omega$, $R_G = 1.1\ \text{k}\Omega$, $R_S = 1\ \text{k}\Omega$		1.7		pA/√Hz
0.1 Hz to 10 Hz Noise	$G = +101$, $R_F = 1\ \text{k}\Omega$, $R_G = 10\ \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		−350	+53	+350	μV
Input Offset Voltage Drift			0.15		μV/°C
Input Bias Current		−16	−11	−6	μA
Input Bias Current Drift			1.2		nA/°C
Input Bias Offset Current		−0.6	−0.02	+0.6	μA
Open-Loop Gain	$V_{OUT} = -2\ \text{V to } +2\ \text{V}$	97	108		dB
INPUT CHARACTERISTICS					
Input Resistance	Common mode/differential mode		10 M/10 k		Ω
Input Capacitance	Common mode/differential mode		3/11		pF
Input Common-Mode Voltage Range			−2.4 to +1.6		V
Common-Mode Rejection	$V_{CM} = -1.5\ \text{V to } +1.5\ \text{V}$	−98	−110		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = -0.275\ \text{V to } +0.275\ \text{V}$		90		ns
Positive Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	2.35	2.48		V
	$R_L = 100\ \Omega$	2.3	2.38		V
Negative Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	−2.35	−2.48		V
	$R_L = 100\ \Omega$	−2.3	−2.38		V
Linear Output Current	SFDR = −45 dBc		64		mA rms
Short-Circuit Current	Sinking/sourcing		111/98		mA
Capacitive Load Drive	30% overshoot		6		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier		2.6	2.8	3	mA
	$\overline{\text{DISABLEx}} = -2.5\ \text{V}$		0.05		mA
Positive Power Supply Rejection	$+V_S = 2\ \text{V to } 3\ \text{V}$, $-V_S = -2.5\ \text{V}$	−98	−137		dB
Negative Power Supply Rejection	$+V_S = 2.5\ \text{V}$, $-V_S = -3\ \text{V to } -2\ \text{V}$	−98	−141		dB
DISABLEx PIN					
$\overline{\text{DISABLEx}}$ Voltage	Device enabled		$>+V_S - 0.5$		V

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Input Current per Amplifier	Device disabled		$<+V_S - 2$		V
Device Enabled	$\overline{\text{DISABLEx}} = +2.5 \text{ V}$		-1.1		μA
Device Disabled	$\overline{\text{DISABLEx}} = -2.5 \text{ V}$		-20		μA
Switching Speed					
Device Enabled			0.25		μs
Device Disabled			6		μs

±1.5 V (または+3 V) 電源

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +10$ 、 $R_F = 249 \Omega$ 、 $R_L = 1 \text{ k}\Omega$ (R_L は電源電圧の 1/2 に接続)。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$V_{\text{OUT}} = 0.2 \text{ V p-p}$		205		MHz
	$V_{\text{OUT}} = 1 \text{ V p-p}$		131		MHz
	$V_{\text{OUT}} = 0.2 \text{ V p-p}$, $G = +20$, $R_F = 1 \text{ k}\Omega$		111		MHz
Bandwidth for 0.1 dB Flatness	$V_{\text{OUT}} = 2 \text{ V p-p}$, $R_L = 100 \Omega$		7.5		MHz
Slew Rate	$V_{\text{OUT}} = 1 \text{ V step}$		384		V/ μs
Settling Time to 0.1%	$V_{\text{OUT}} = 2 \text{ V step}$		20		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (SFDR)	$f_C = 100 \text{ kHz}$, $V_{\text{OUT}} = 2 \text{ V p-p}$		-92		dBc
	$f_C = 1 \text{ MHz}$, $V_{\text{OUT}} = 2 \text{ V p-p}$		-73		dBc
	$f_C = 2 \text{ MHz}$, $V_{\text{OUT}} = 2 \text{ V p-p}$		-67		dBc
	$f_C = 5 \text{ MHz}$, $V_{\text{OUT}} = 2 \text{ V p-p}$		-59		dBc
Input Voltage Noise	$f = 10 \text{ Hz}$, $G = +25.9$		1.9		nV/ $\sqrt{\text{Hz}}$
	$f = 100 \text{ kHz}$, $G = +25.9$		1		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 10 \text{ Hz}$, $R_F = 10 \text{ k}\Omega$, $R_G = 1.1 \text{ k}\Omega$, $R_S = 1 \text{ k}\Omega$		14		pA/ $\sqrt{\text{Hz}}$
	$f = 100 \text{ kHz}$, $R_F = 10 \text{ k}\Omega$, $R_G = 1.1 \text{ k}\Omega$, $R_S = 1 \text{ k}\Omega$		1.7		pA/ $\sqrt{\text{Hz}}$
0.1 Hz to 10 Hz Noise	$G = +101$, $R_F = 1 \text{ k}\Omega$, $R_G = 10 \Omega$		99		nV p-p
DC PERFORMANCE					
Input Offset Voltage		-350	+55	+350	μV
Input Offset Voltage Drift			0.15		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-16	-11	-6	μA
Input Bias Current Drift			1.2		nA/ $^\circ\text{C}$
Input Bias Offset Current		-0.6	-0.02	+0.6	μA
Open-Loop Gain	$V_{\text{OUT}} = -1 \text{ V to } +1 \text{ V}$	95	106		dB
INPUT CHARACTERISTICS					
Input Resistance	Common mode/differential mode		10 M/10 k		Ω
Input Capacitance	Common mode/differential mode		3/11		pF
Input Common-Mode Voltage Range			-1.4 to +0.6		V
Common-Mode Rejection	$V_{\text{CM}} = -0.4 \text{ V to } +0.4 \text{ V}$	-93	-110		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{\text{IN}} = -0.165 \text{ V to } +0.165 \text{ V}$		80		ns
Positive Output Voltage Swing	$R_L = 1 \text{ k}\Omega$	1.35	1.48		V
	$R_L = 100 \Omega$	1.3	1.43		V
Negative Output Voltage Swing	$R_L = 1 \text{ k}\Omega$	-1.35	-1.49		V
	$R_L = 100 \Omega$	-1.3	-1.45		V
Linear Output Current	SFDR = -45 dBc		46		mA rms
Short-Circuit Current	Sinking/sourcing		99/83		mA
Capacitive Load Drive	30% overshoot		6		pF
POWER SUPPLY					
Operating Range			3 to 10		V
Quiescent Current per Amplifier	$\overline{\text{DISABLEx}} = -1.5 \text{ V}$	2.5	2.7	2.9	mA
			0.03		mA

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Positive Power Supply Rejection	$+V_S = 1.2\text{ V to }2.2\text{ V}, -V_S = -1.5\text{ V}$	-98	-133		dB
Negative Power Supply Rejection	$+V_S = 1.5\text{ V}, -V_S = -2.2\text{ V to }-1.2\text{ V}$	-98	-146		dB
<u>DISABLEx PIN</u>					
<u>DISABLEx Voltage</u>	Device enabled		$>+V_S - 0.5$		V
	Device disabled		$<+V_S - 2$		V
Input Current per Amplifier					
Device Enabled	<u>DISABLEx</u> = +1.5 V		-1.2		μA
Device Disabled	<u>DISABLEx</u> = -1.5 V		-10		μA
Switching Speed					
Device Enabled			0.25		μs
Device Disabled			6		μs

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	図 4 参照
Common-Mode Input Voltage	$-V_S - 0.7 \text{ V}$ to $+V_S + 0.7 \text{ V}$
Differential Input Voltage	$\pm 0.7 \text{ V}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定します。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA} を規定します。表 6 に ADA4895-1/ADA4895-2 の θ_{JA} を示します。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
8-Lead Single SOIC	133	$^\circ\text{C}/\text{W}$
6-Lead Single SOT-23	150	$^\circ\text{C}/\text{W}$
10-Lead Dual MSOP	210	$^\circ\text{C}/\text{W}$

最大消費電力

ADA4895-1/ ADA4895-2 の安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス転移温度で、プラスチック・パッケージの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4895-1/ ADA4895-2 のパラメータ性能が永久的にシフトしてしまうことがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と ADA4895-1/ADA4895-2 出力での負荷駆動に起因するパッケージ内の消費電力との和になります。

$$P_D = \text{静止消費電力} + (\text{合計駆動電力} - \text{負荷消費電力})$$

静止消費電力は、電源ピン($\pm V_S$)間の電圧に静止電流(I_S)を乗算して計算されます。

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

rms 出力電圧を考慮してください。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。 $-V_S$ を基準とする R_L を使う単電源動作では、ワーストケースは $V_{OUT} = V_S/2$ となります。

rms 信号レベルが不定の場合は、最悪時を考慮に入れます。

すなわち、電源電圧の 1/2 に接続された R_L に対して $V_{OUT} = V_S/4$ の場合です。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

空気の流れがあると放熱効果がよくなり、 θ_{JA} が小さくなります。また、パッケージに直接接触するメタルが大きくなると θ_{JA} が減少します。

図 4 に、JEDEC 規格の 4 層ボードを使った場合のパッケージ内の最大安全消費電力と周囲温度との関係を示します。 θ_{JA} の値は近似値です。

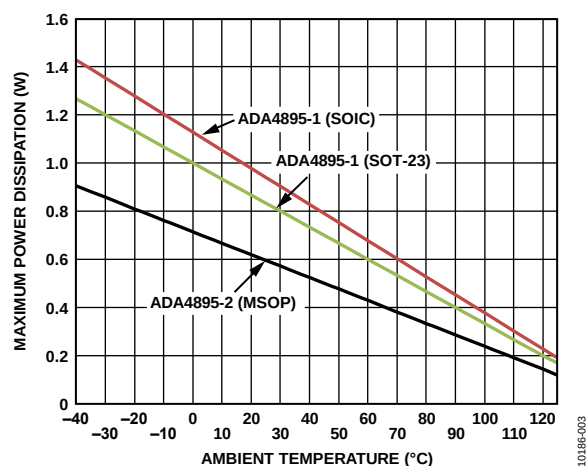


図 4. 最大消費電力の温度特性、4 層ボード

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

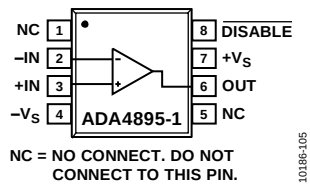


図 5.ADA4895-1 の 8 ピン SOIC ピン構成

表 7.8 ピン SOIC ADA4895-1 のピン機能説明

Pin No.	Mnemonic	Description
1, 5	NC	No Connect. Do not connect to these pins.
2	-IN	Inverting Input.
3	+IN	Noninverting Input.
4	-Vs	Negative Supply.
6	OUT	Output.
7	+Vs	Positive Supply.
8	DISABLE	Disable.

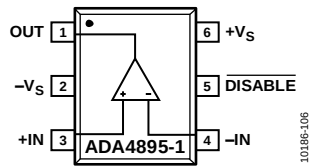


図 6.6 ピン SOT-23 ADA4895-1 のピン構成

表 8.6 ピン SOT-23 ADA4895-1 のピン機能説明

Pin No.	Mnemonic	Description
1	OUT	Output
2	-Vs	Negative Supply
3	+IN	Noninverting Input
4	-IN	Inverting Input
5	DISABLE	Disable
6	+Vs	Positive Supply

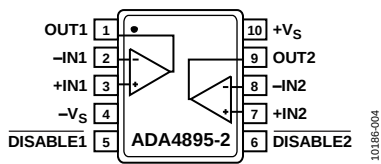


図 7.10 ピン MSOP ADA4895-2 のピン構成

表 9.10 ピン MSOP ADA4895-2 のピン機能説明

Pin Number	Mnemonic	Description
1	OUT1	Output 1
2	-IN1	Inverting Input 1
3	+IN1	Noninverting Input 1
4	-Vs	Negative Supply
5	<u>DISABLE1</u>	Disable 1
6	<u>DISABLE2</u>	Disable 2
7	+IN2	Noninverting Input 2
8	-IN2	Inverting Input 2
9	OUT2	Output 2
10	+Vs	Positive Supply

代表的な性能特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.5\text{ V}$ 、 $G = +10$ 、 $R_F = 249\ \Omega$ 、 $R_L = 1\text{ k}\Omega$ (R_L は電源電圧の 1/2 に接続)。

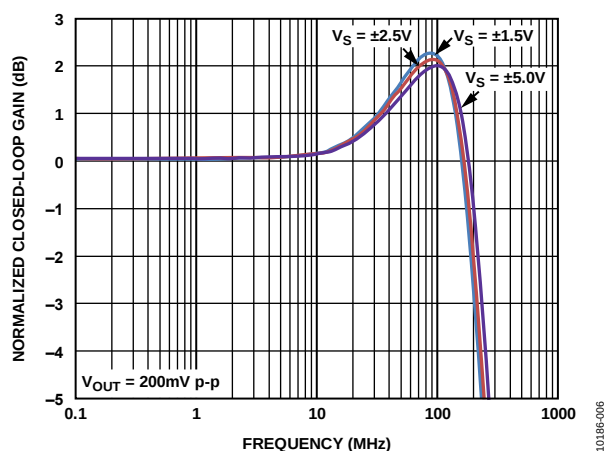


図 8. 電源電圧対小信号周波数応答

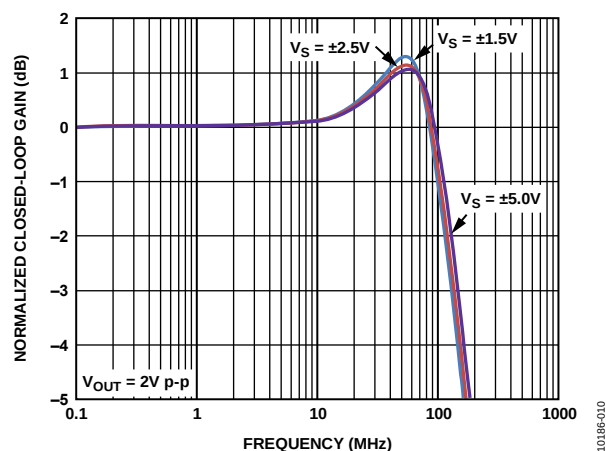


図 11. 電源電圧対大信号周波数応答

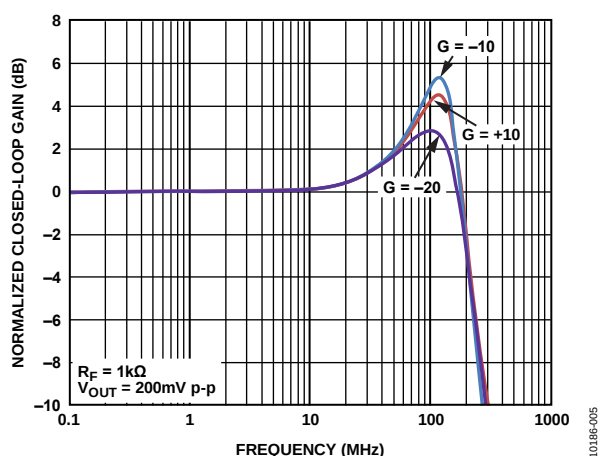


図 9. ゲイン対小信号周波数応答

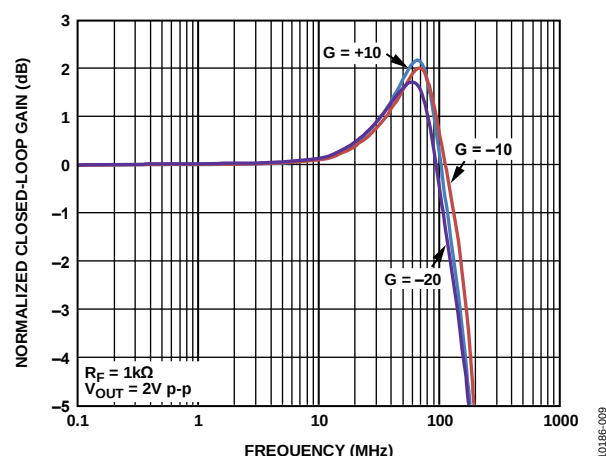


図 12. ゲイン対大信号周波数応答

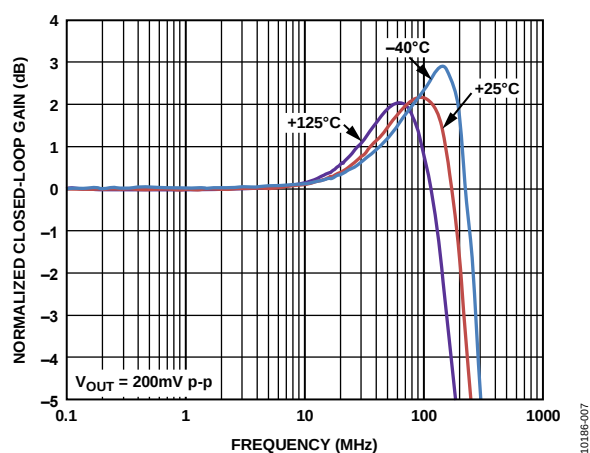


図 10. 小信号周波数応答の温度特性

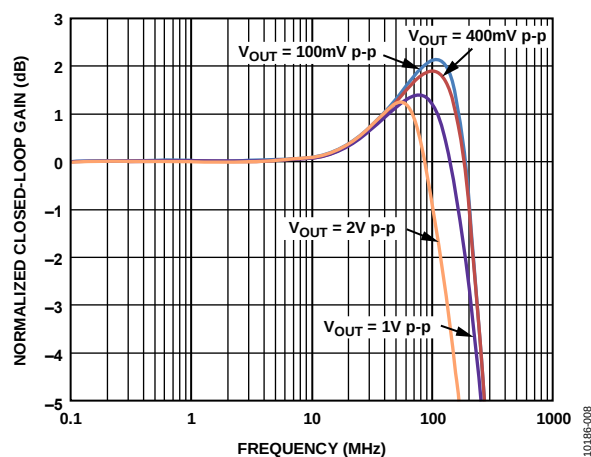


図 13. 様々な出力電圧での周波数応答

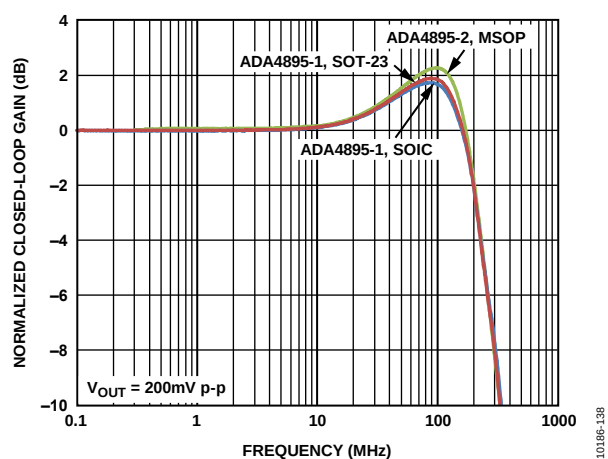


図 14.パッケージ対小信号周波数応答

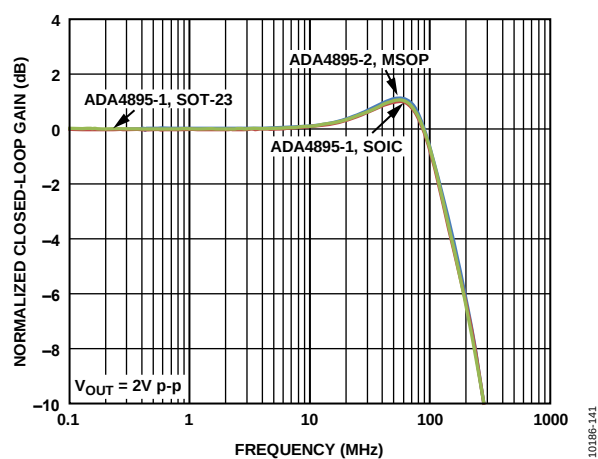


図 17.パッケージ対大信号周波数応答

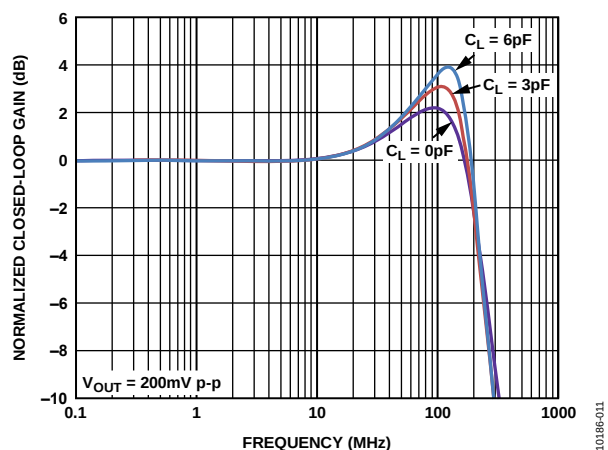


図 15.容量負荷対小信号周波数応答

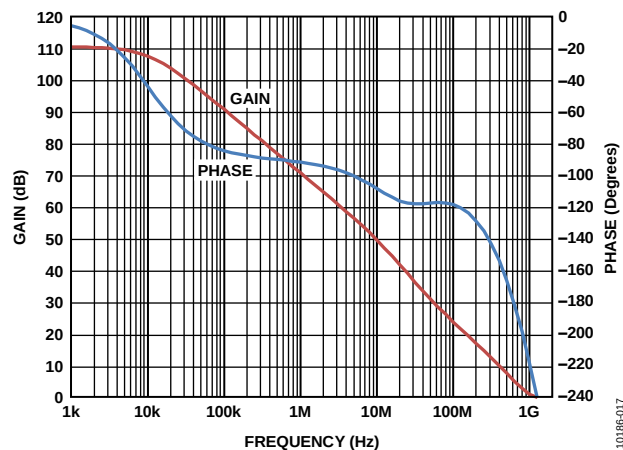


図 18.オープン・ループ・ゲインおよび位相の周波数特性

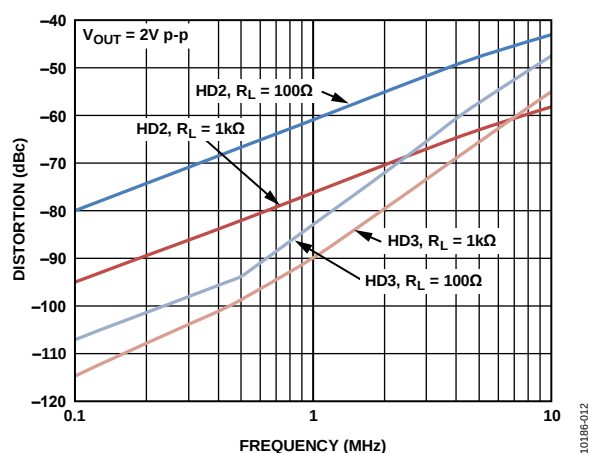


図 16.様々な負荷での高調波歪みの周波数特性

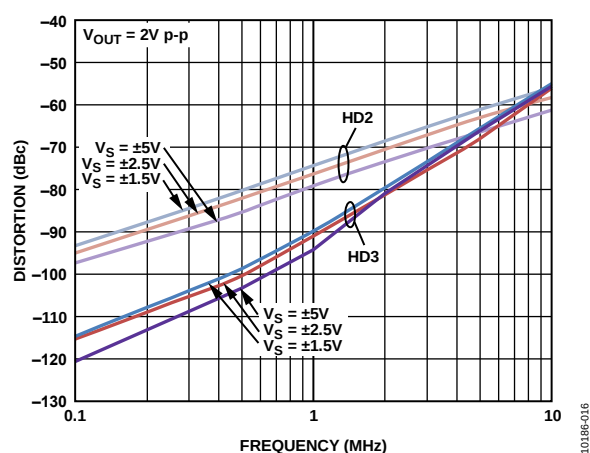


図 19.様々な電源での高調波歪みの周波数特性

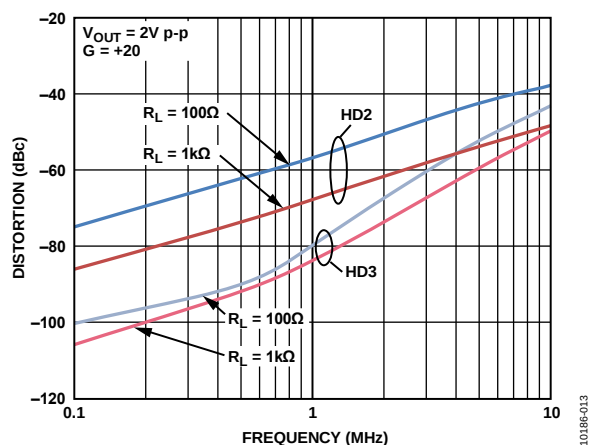


図 20.高調波歪みの周波数特性、G = +20

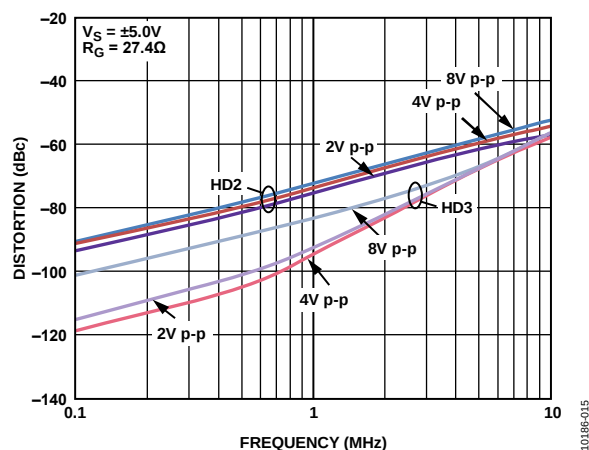


図 23.様々な出力電圧での高調波歪みの周波数特性

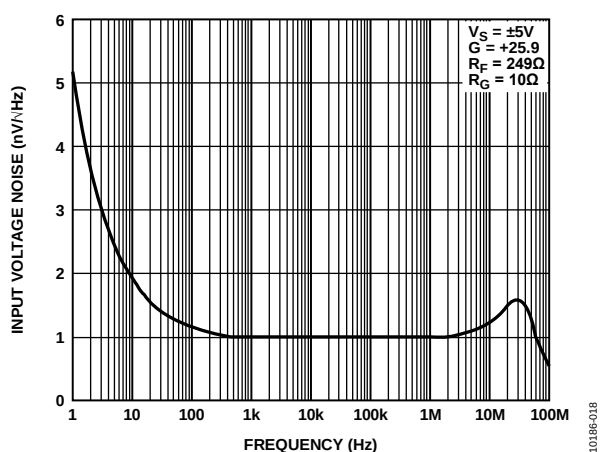


図 21.入力電圧ノイズの周波数特性

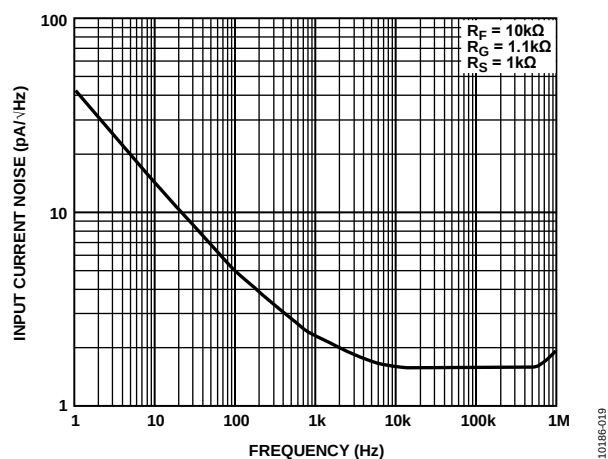


図 24.入力電流ノイズの周波数特性

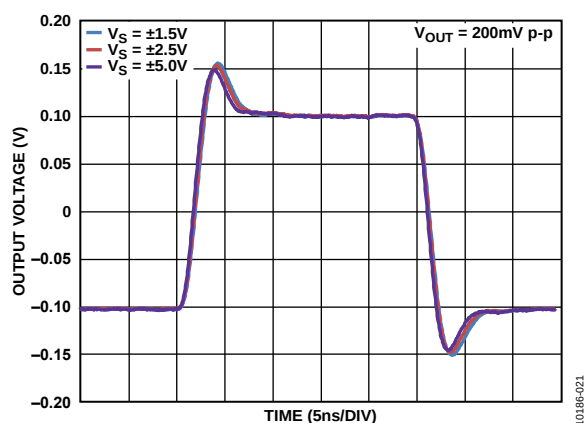


図 22.様々な電源での小信号過渡応答

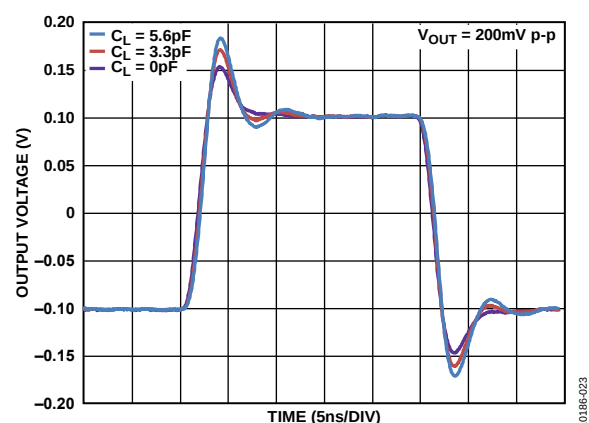


図 25.様々な容量負荷での小信号過渡応答

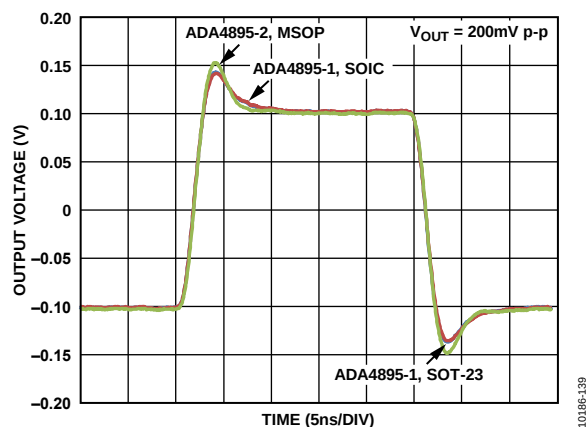


図 26. パッケージ対小信号過渡応答

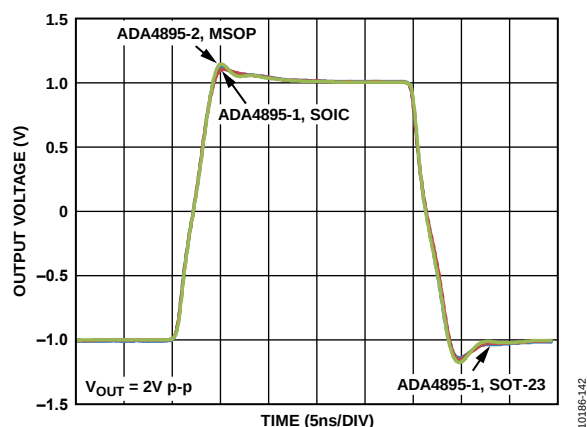


図 29. パッケージ対大信号過渡応答

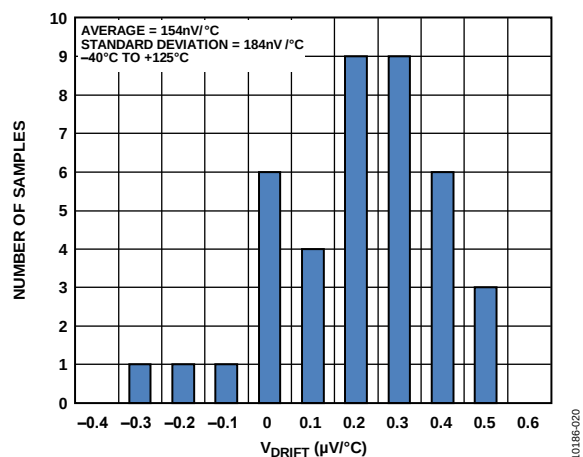


図 27. 入力オフセット電圧ドリフトの分布

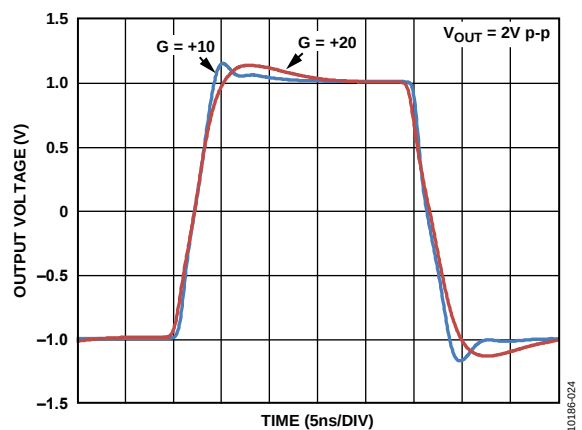


図 30. 様々なゲインでの大信号過渡応答

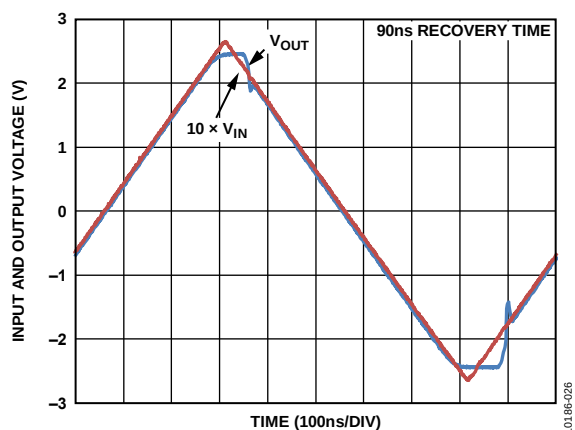


図 28. 出力オーバードライブ回復時間

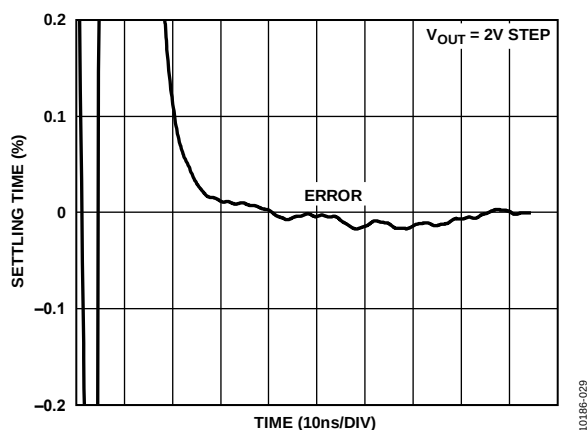


図 31. 0.1%へのセトリング・タイム

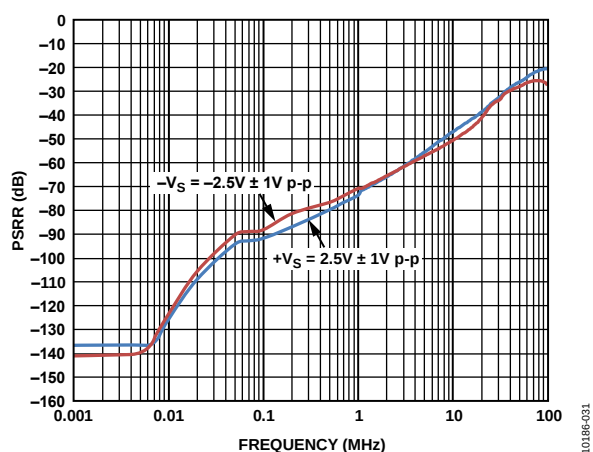


図 32. PSRR の周波数特性

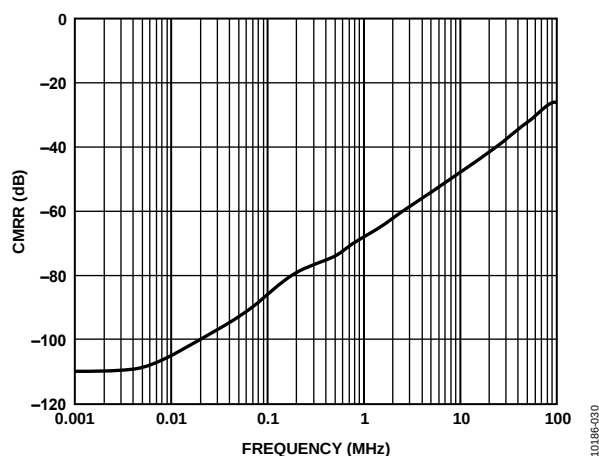


図 35. CMRR の周波数特性

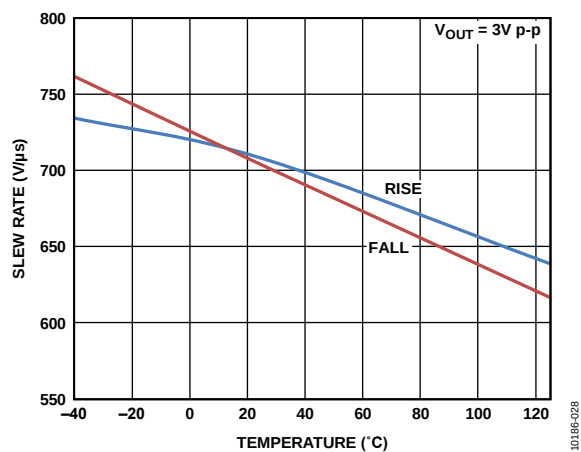


図 33. スルーレートの温度特性

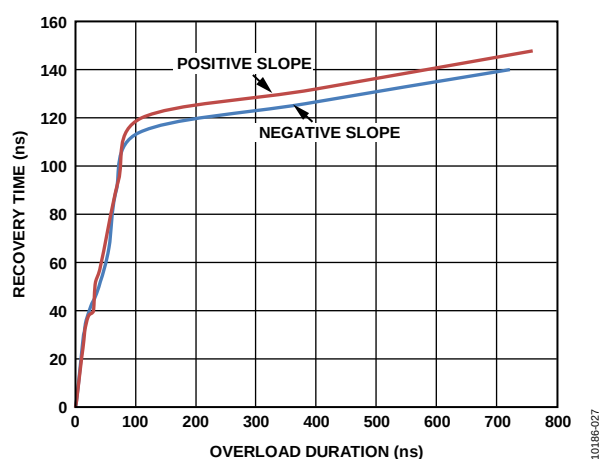


図 36. 過負荷継続時間対出力過負荷回復時間

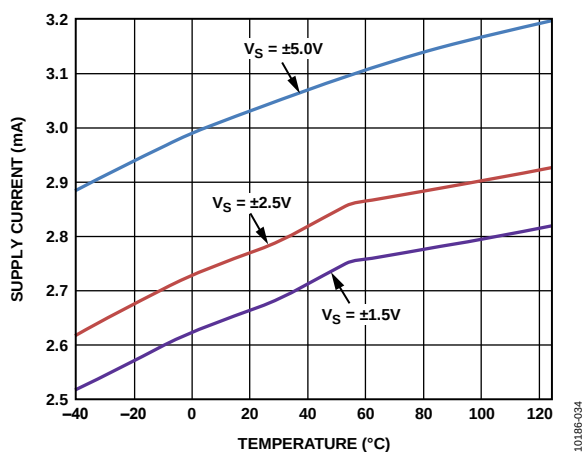


図 34. 様々な電源での電源電流の温度特性

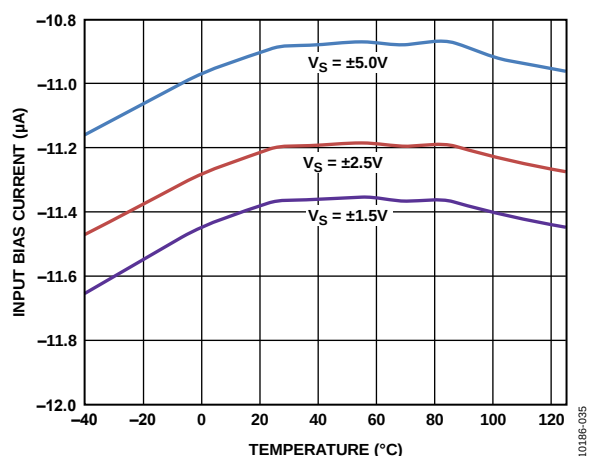


図 37. 様々な電源での入力バイアス電流の温度特性

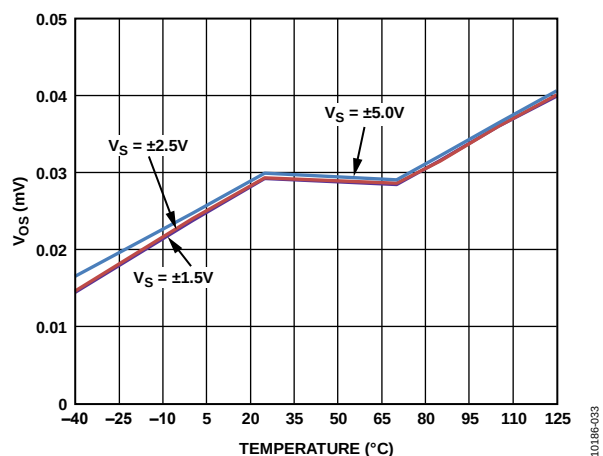


図 38.様々な電源での入力オフセット電圧の温度特性

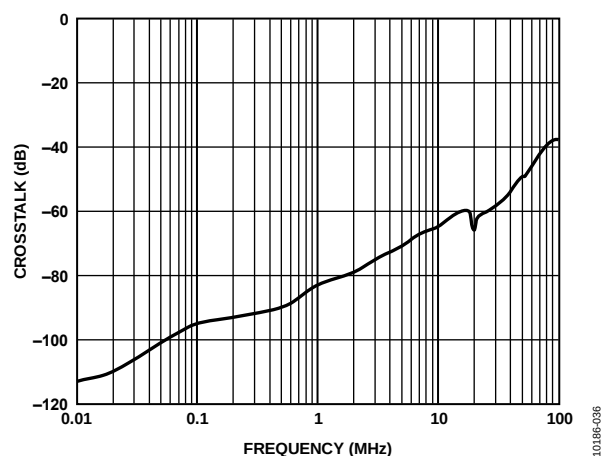


図 41.クロストーク、OUT1→OUT2

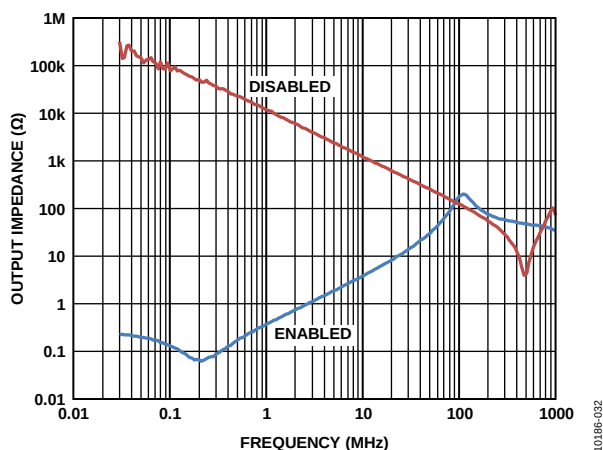


図 39.出力インピーダンスの周波数特性

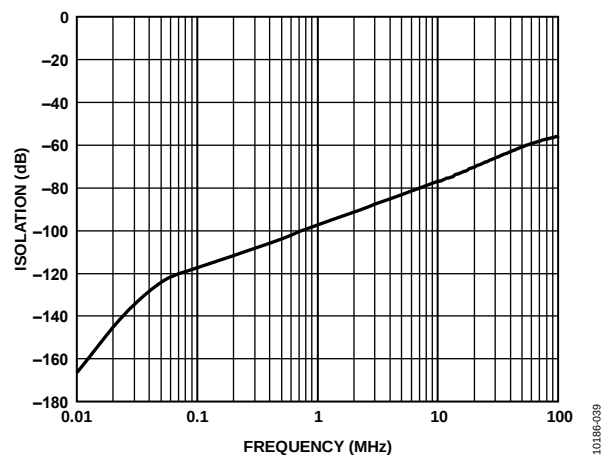


図 42.順方向アイソレーションの周波数特性

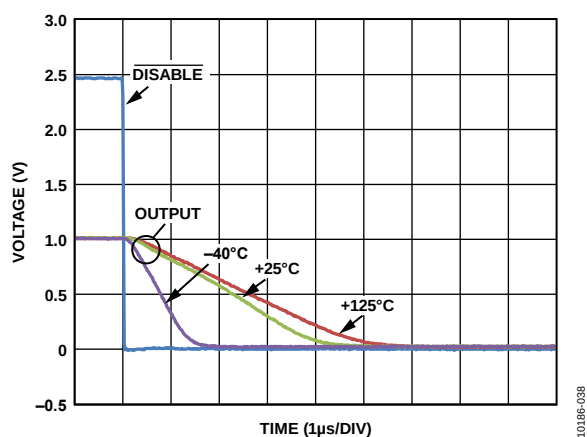


図 40.出力ターンオフ時間の温度特性

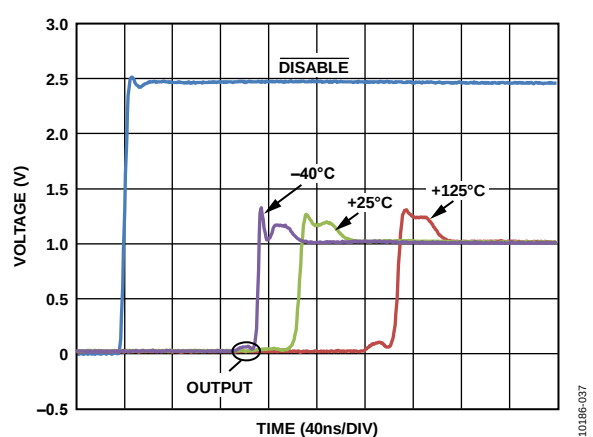


図 43.出力ターンオン時間の温度特性

動作原理

アンプ説明

ADA4895-1/ADA4895-2 アンプの入力ノイズは $1\text{ nV}/\sqrt{\text{Hz}}$ で、電源電圧 $3\text{ V}\sim 10\text{ V}$ でのアンプあたりの消費電流は 3 mA です。ADA4895-1/ADA4895-2 はアナログ・デバイセズの XFCB3 プロセスにより製造され、 1.5 GHz を超えるゲイン帯域幅を持ち、ゲイン ≥ 10 で安定、比較的高速なアンプとしては極めて低い入力 $1/\text{f}$ ノイズを提供する入力構造を持っています。

レール to レール出力ステージは、低い出力換算ノイズを実現するために必要な重い帰還負荷を駆動できるようにデザインされています。ADA4895-1/ ADA4895-2 の低い入力ノイズと広い帯域幅は、最小の消費電力で実現されています。このため、ADA4895-1/ADA4895-2 は 350 μV の最大オフセット電圧と 0.15 $\mu\text{V}/^\circ\text{C}$ の電圧ドリフトを持っているので、低ノイズ性能がそれほど必要ではない場合でも選定候補として検討に値するアンプです。

10 より大きいゲインの場合、基本非反転構成のクロズド・ループ周波数応答は次式で近似できます。

$$\text{クローズド・ループ-3 dB 周波数} = (\text{GBP}) \times \frac{R_G}{(R_F + R_G)}$$

反転ゲイン構成の場合、最小安定ゲインを維持する R_G を決める
ときソース・インピーダンスを考慮する必要があります。ゲインが
10 より小さい場合は、“ゲイン < +10 の ADA4895-1/ADA4895-2 の
使用” セクションを参照してください。あるいは、230 MHz の帯域幅
を持ちユニティ・ゲイン安定なアンプ ADA4895-2 を使用してくださ
い。

入力保護

ADA4895-1/ADA4895-2 は ESD からフルに保護されているため、測定可能な性能低下なしに、人体モデル ESD では 2.5 kV に、電荷デバイス・モデルでは 1 kV に、それぞれ耐えることができます。高精度入力は、電源と入力デバイス間の対のダイオード・クランプで構成された ESD 回路で保護されています(図 44 参照)。

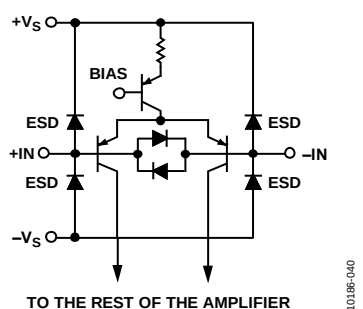


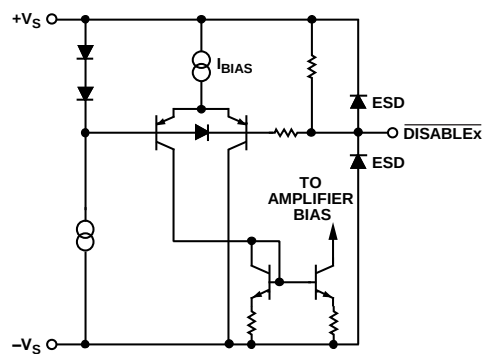
図 44. 入力ステージと保護ダイオード

約 0.7 V を超える差動電圧で、クランプ・ダイオードの導通が開始されます。電流が大きすぎると、発熱のために損傷することがあります。入力ピン間で大きな差動電圧が続く場合には、入力クランプを流れる電流を 10 mA 以下に制限することが推奨されます。予想される差動過電圧に対して適切なサイズの直列入力抵抗を接続すると、必要な保護を実現することができます。

正電源より 0.7 V 高い入力電圧と負電源より 0.7 V 低い入力電圧で、ESD クランプが導通を開始します。過電圧状態が予想される場合は、故障電流を 10 mA 以下に制限することが推奨されます。

ディスプレイ動作

図 45 に、ADA4895-1/ADA4895-2 のパワーダウン回路を示します。DISABLEx ピンを未接続のままにすると、入力 PNP トランジスタのベースが正電源へ接続された内部プルアップ抵抗によりハイ・レベルにされるため、デバイスがターンオンします。DISABLEx ピンを正電源より 2 V 以上低くすると、デバイスがターンオフして、5 V 電源電圧での電源電流が約 50 μ A に減少します。

图 45. $\overline{\text{DISABLE}}_x$ 回路

DISABLEx ピンは、ESD クランプにより保護されています(図 45 参照)。電圧が電源を超えると、これらのダイオードが導通します。**DISABLEx** ピンを保護するため、これらのピン電圧を電源電圧より 0.7 V 以上高くしないでください、また入力電流を直列抵抗を使って 10 mA より小さく維持してください。

DC 誤差

図 46 に、一般的な接続図と主な DC 誤差原因を示します。

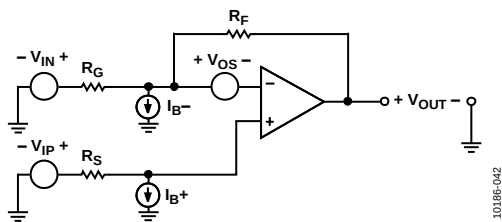


図 46.一般的な接続図と DC 誤差原因

理論上の伝達関数 (すべての誤差原因が 0 で DC ゲインが無有限大) は次のように表すことができます。

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} - \left(\frac{R_F}{R_G}\right) \times V_{IN} \quad (1)$$

この式は、次の非反転オペアンプと反転オペアンプのゲイン式に簡素化できます。

非反転ゲイン ($V_{IN} = 0$ V) の場合、

$$V_{OUT} = \left(1 + \frac{R_F}{R_G}\right) \times V_{IP} \quad (2)$$

反転ゲイン ($V_{IP} = 0$ V) の場合、

$$V_{OUT} = \left(\frac{-R_F}{R_G}\right) \times V_{IN} \quad (3)$$

出力電圧誤差の合計は、アンプ・オフセット電圧と入力電流に起因する誤差の和になります。オフセット電圧に起因する出力誤差は、次のように表すことができます。

$$V_{OUT_ERROR} = \quad (4)$$

$$\left(V_{OFFSET_NOM} + \frac{V_{CM}}{CMRR} + \frac{V_P - V_{PNOM}}{PSRR} + \frac{V_{OUT}}{A} \right) \times \left(1 + \frac{R_F}{R_G} \right)$$

ここで、

V_{OFFSET_NOM} は規定の電源電圧でのオフセット電圧で、入力と出力を電源中心に設定して測定されます。

V_{CM} は同相モード電圧。

$CMRR$ は同相モード除去比。

V_P は電源電圧。

V_{PNOM} は規定の電源電圧。

$PSRR$ は電源除去比。

A は DC オープン・ループ・ゲイン。

入力電流に起因する出力誤差は、次のように表すことができます。

$$V_{OUT_ERROR} = (R_F || R_G) \times \left(1 + \frac{R_F}{R_G} \right) \times I_{B-} - R_S \times \left(1 + \frac{R_F}{R_G} \right) \times I_{B+} \quad (5)$$

バイアス電流の相殺

入力でのバイアス電流不一致に起因する出力電圧誤差を相殺させるときは、抵抗 R_{BP} と R_{BN} を使うことができます (図 47 参照)。

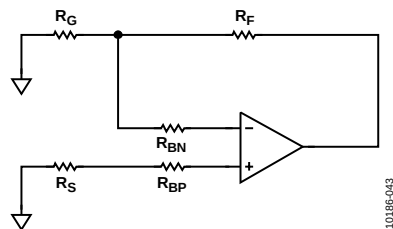


図 47. R_{BP} と R_{BN} を使用するバイアス電流誤差の相殺

2 つの入力でのバイアス電流不一致を補償するときは、抵抗 R_{BP} と R_{BN} を表 10 のように設定します。

表 10.バイアス電流誤差を相殺するための R_{BP} と R_{BN} の設定

Value of $R_F R_G$	Value of R_{BP} (Ω)	Value of R_{BN} (Ω)
Greater Than R_S	$R_F R_G - R_S$	0
Less Than R_S	0	$R_S - R_F R_G$

ノイズに対する注意事項

図 48 に、一般的なゲイン設定に対する主なノイズ成分を示します。rms 出力ノイズの合計は、すべてのノイズ成分の 2 乗平均になります。

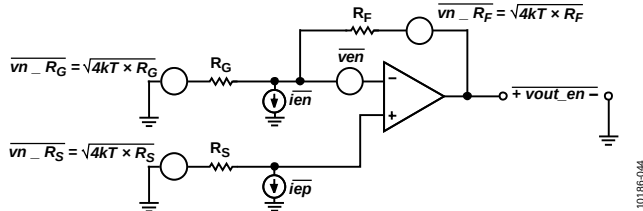


図 48. 一般的なゲイン構成でのノイズ源

出力ノイズ・スペクトル密度は次式で計算することができます。

$$\overline{v_{out_en}} = \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 \left[4kTR_S + \overline{i_{ep}}^2 R_S^2 + \overline{v_{en}}^2\right] + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + \overline{i_{en}}^2 R_F^2} \quad (6)$$

ここで、

k はボルツマン定数。

T はケルビン単位の絶対温度。

R_F と R_G は図 48 に示す帰還回路抵抗。

R_S は図 48 に示すソース抵抗。

$\overline{i_{ep}}$ と $\overline{i_{en}}$ はアンプ入力電流ノイズ・スペクトル密度 (pA/√Hz)。

$\overline{v_{en}}$ はアンプ入力電圧ノイズ・スペクトル密度 (nV/√Hz)。

ソース抵抗ノイズ、アンプの電圧ノイズ ($\overline{v_{en}}$)、アンプの電流ノイズからの電圧ノイズ ($\overline{i_{ep}} \times R_S$) はすべて、ノイズ・ゲインの項 ($1 + R_F/R_G$) に依存します。入力電圧ノイズ = 1 nV/√Hz および入力電流ノイズ = 1.7 pA/√Hz では、アンプのノイズ成分は約 50 Ω ~ 700 Ω のソース抵抗に対して比較的小さくなります。

図 49 に、アンプの総合 RTI ノイズ対ソース抵抗を示します。さらに、使用する帰還抵抗値もノイズに影響を与えます。総合ノイズを低く維持するためには、帰還抵抗値を 250 Ω ~ 1 kΩ に維持することが推奨されます。

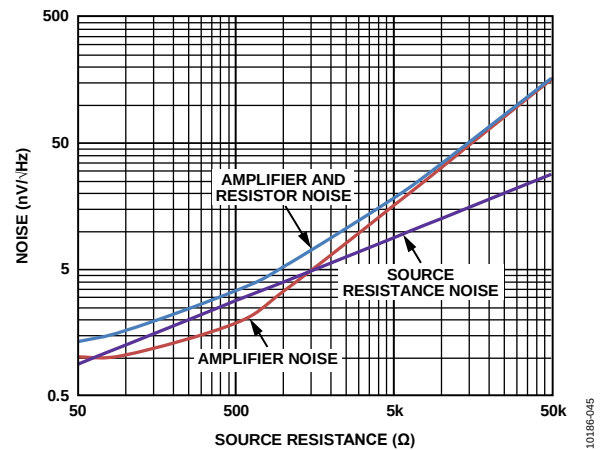


図 49. ソース抵抗対 RTI ノイズ

アプリケーション情報

ゲイン < +10 での ADA4895-1/ADA4895-2 の使用

ADA4895-1/ADA4895-2 は、通常のゲイン設定で使用した場合に最小ゲイン 10 で安定ですが、ADA4895-1/ADA4895-2 は最小ゲイン = +5 までの低いゲインで動作するように設定することもできます。図 50 に、ADA4895-1/ADA4895-2 をゲイン = +5 で動作させるためにシンプルな RC 回路 ($R_1 = 49.9 \Omega$ および $C_1 = 60 \text{ pF}$) を追加する方法を示します。

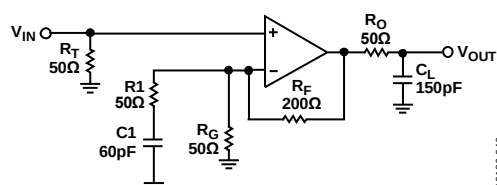


図 50. ADA4895-1/ADA4895-2 をゲイン = +5 で安定にする構成

この回路は高い周波数でゲイン = +9 を持ち、共振周波数 53 MHz ($1/2\pi R_1 C_1$) より低い周波数でゲイン = +5 を持ちます。高い周波数でノイズ・ゲイン = +9 を持つため、アンチ・エイリアス・フィルタを使って高周波成分を除去しないかぎり、総合出力ノイズが大きくなります。

図 51 に、図 50 に示す回路の、 50Ω アナライザ ($G = +5 \text{ V/V}$ すなわち 14 dB) を使用した小信号および大信号周波数応答を示します。図 51 に示すように、回路は非常に安定で、ピーキングは小さく 2 dB 強です。この構成は、表 11 に示すようにゲイン = +5 ~ +10 に対しても使用することができます。

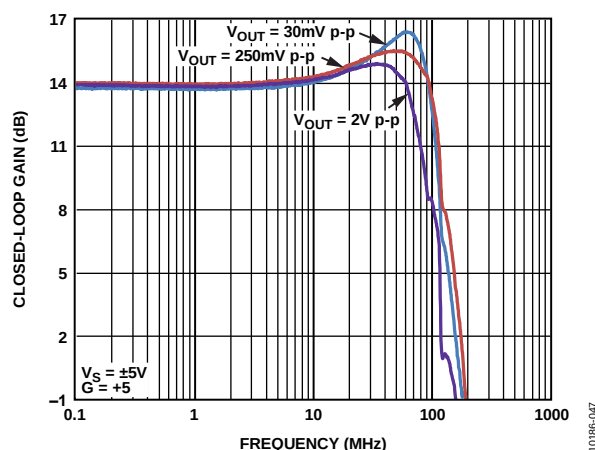


図 51. $G = +5$ での周波数応答

表 11. ゲイン < +10 で ADA4895-1/ADA4895-2 に使用する部品値

Gain	$R_T (\Omega)$	$R_1 (\Omega)$	$C_1 (\text{pF})$	$R_G (\Omega)$	$R_F (\Omega)$	$R_O (\Omega)$	$C_L (\text{pF})$
+5	49.9	49.9	60	49.9	200	49.9	150
+6	49.9	66.5	45	40.2	200	49.9	150
+7	49.9	110	27	37.4	226	49.9	150
+8	49.9	205	15	32.4	226	49.9	120
+9	49.9	Not applicable	Not applicable	30.9	249	49.9	100

ゲイン帯域幅の広いアプリケーション

図 52 に、ADA4895-1/ADA4895-2 を使用したカスケード接続デュアル・アンプ・ステージの回路を示します。各ステージのゲインは+10 (20 dB)で、出力は入力 の 100 倍 (40 dB)になります。6 mA の静止電流 (アンプあたり 3 mA)でデバイスが動作する場合の総合ゲイン帯域幅積 (GB 積) は約 9 GHz です。

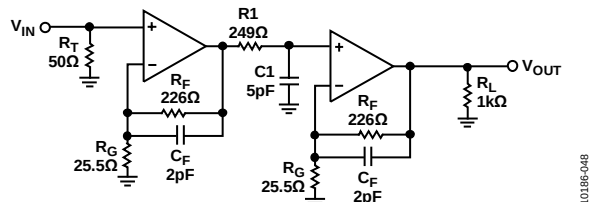


図 52.高ゲイン・アプリケーション (G = +100)向けのカスケード接続アンプ・ステージ

図 53 に、2 つのケースに対する大信号周波数応答を示します。最初のケースは帰還コンデンサ ($C_F = 2\text{ pF}$)を実装した場合で、2 つ目のケースはこれらのコンデンサを実装しない場合です。この回路から 2 pF の帰還コンデンサを取り外すと、帯域幅が増えますが、ピーキングが約 0.5 dB 大きくなります。

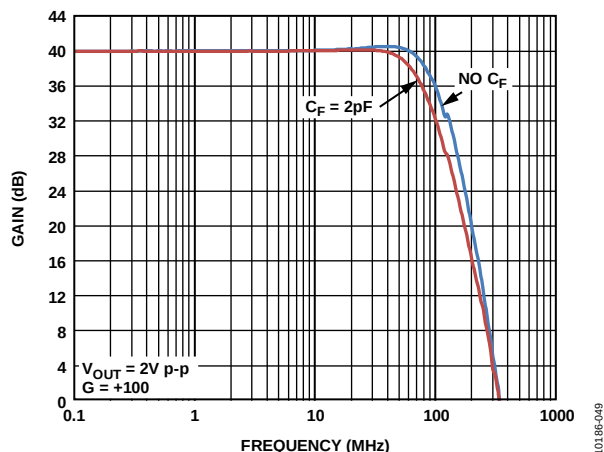


図 53.大信号周波数応答、G = +100、 $V_S = \pm 5\text{ V}$

2 番目のステージの平衡度を改善して電流オフセット成分を除去するため、ソース・インピーダンスと入力アンプの帰還回路インピーダンスとの間の不一致を補正するように R1C1 回路の部品値を決めることができます(図 52 の例では、 $R1 = 249\ \Omega$ および $C1 = 5\text{ pF}$)。各アンプのオフセットは、統計的に同一の範囲内にあります。設定したように、出力アンプのオフセットは、システムの全体オフセットに対して統計的には大きくはありません。

図 53 は $\pm 5\text{ V}$ 電源を使用して得た図ですが、入力と出力のヘッドルームを満たす限りこの回路は $\pm 1.5\text{ V} \sim \pm 5\text{ V}$ の電源でも動作します。

帰還コンデンサの使用

アプリケーションで周波数応答の平坦性、または大きな値の帰還抵抗が必要な場合、小さい帰還コンデンサを帰還抵抗と並列に接続すると、ピーキングを小さくして平坦性を改善することができます。

図 54 に、帰還コンデンサを使用した場合と使用しない場合の小信号周波数応答を示します。

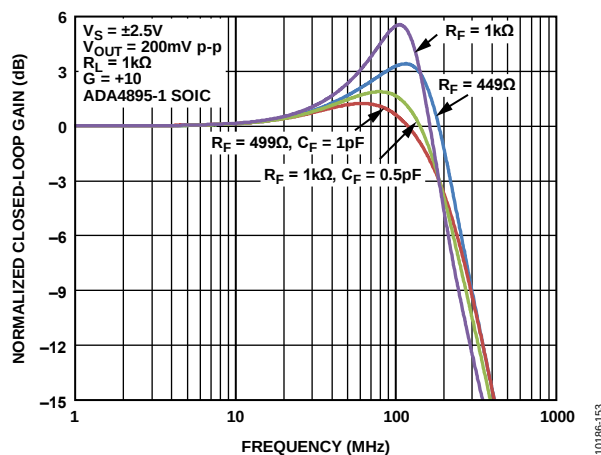


図 54.帰還コンデンサを使用した場合と使用しない場合の小信号周波数応答

広帯域フォトマルチプライア・プリアンプ

未補償アンプは、ユニティ・ゲイン安定アンプに比べてトランスインピーダンス・アプリケーションは非常に高速です。速度は、2つのアンプの帯域幅比の平方根に比例して増加します。すなわち、1 GHz GB 積のアンプは、その他の全パラメータが一定の場合、同じトランスインピーダンス・アプリケーションの 10 MHz アンプより 10 倍高速です。さらに、入力電圧ノイズは、容量ノイズ・ゲイン回路で増幅されるため、総合出力 rms ノイズ内で支配的です。

$$\frac{(C_S + C_M + C_F + C_D)}{C_F}$$

ADA4895-1/ADA4895-2 の場合、入力ノイズは小さいですが、安定性のため、容量ノイズ・ゲイン回路を 10 以上にする必要があります。

トランスインピーダンス・アプリケーションで ADA4895-1/ADA4895-2 を使用する 1つの欠点は、大きすぎる帰還抵抗で結合すると、入力電流と入力電流ノイズにより大きなオフセットと出力電圧ノイズが発生する可能性があることです。こうした問題があるにしても、ADA4895-1/ADA4895-2 はノイズとゲイン帯域幅により、所定のトランスインピーダンス範囲で優れた性能を提供することができます。

図 55 に、I/V コンバータとフォトマルチプライアの電氣的モデルを示します。

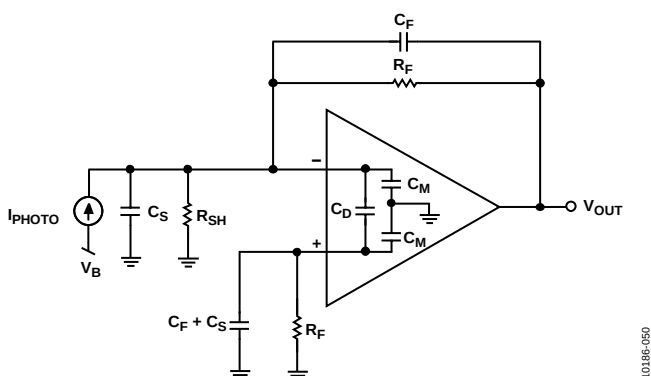


図 55.広帯域フォトマルチプライア・プリアンプ

基本伝達関数は次式で表されます。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F}$$

ここで、

I_{PHOTO} はフォトマルチプライアの出力電流で、 R_F と C_F の並列接続により信号帯域幅が設定されます。

このプリアンプで実現可能な安定帯域幅は、 R_F 、アンプのゲイン帯域幅積、 C_S とアンプ入力容量を含むアンプ加算点の合計容量の関数になります。

R_F と合計容量は、アンプのループ伝達関数内で、ピーキングと不安定性を発生させる極を形成します。 C_F を追加すると、ループ伝達関数内にゼロ点が形成され、極の影響を補償することができますが、信号帯域幅が減ってしまいます。45°の位相マージン($f_{(45)}$)を発生させる信号帯域幅は、次式で与えられます。

$$f_{(45)} = \sqrt{\frac{GBP}{2\pi \times R_F \times C_S}}$$

ここで、

GBP はゲイン帯域幅積。

R_F は帰還抵抗。

C_S はアンプ加算点での合計容量(アンプ+フォトマルチプライア+ボードの寄生容量)。

$f_{(45)}$ を決める C_F の値は次式で表されます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times GBP}}$$

このケースの周波数応答では、約 2 dB のピーキングと 15% のオーバーシュートが発生しています。 C_F を 2 倍にして、帯域幅を半分にすると、平坦な周波数応答が得られ、過渡オーバーシュートは約 5% になります。

周波数に対するプリアンプ出力ノイズを図 56 に示します。

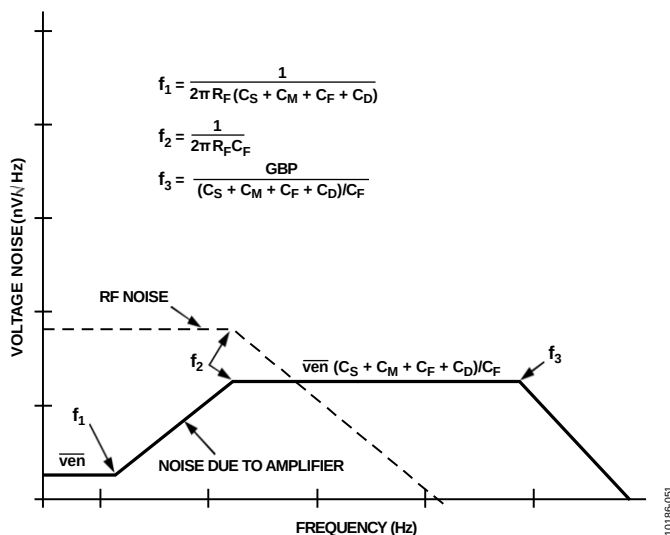


図 56.フォトマルチプライアの電圧ノイズ成分

表 12.フォトマルチプライア・プリアンプの RMS ノイズ成分

Contributor	Expression
R_F	$\sqrt{4kT \times R_F \times f_2 \times 1.57}$
Amplifier $\overline{ven}$	$\overline{ven} \times \frac{(C_S + C_M + C_F + C_D)}{C_F} \times \sqrt{f_3 \times 1.57}$
Amplifier $\overline{ien}$	$\overline{ien} \times R_F \times \sqrt{f_2 \times 1.57}$

レイアウト時の考慮事項

最適性能を得るためには、ボード・レイアウト、信号線の引き回し、電源バイパス、グラウンド接続に注意する必要があります。

グラウンド・プレーン

ADA4895-1/ADA4895-2 の入力と出力の下と周囲の領域にはグラウンドを設けないことが重要です。グラウンド・プレーンとデバイスの入力パッドおよび出力パッドとの間に形成される浮遊容量が、高速アンプ性能を決定します。反転入力 of 浮遊容量とアンプ入力容量により、位相マージンが低下して、安定性が損なわれます。出力の浮遊容量により帰還ループ内に極が形成されて、位相マージンが低下し、回路が不安定になります。

電源のバイパス

電源のバイパスは ADA4895-1/ADA4895-2 の性能に影響するため重要です。各電源ピンからグラウンドへのコンデンサの並列接続が最適です。小さい値の電解コンデンサほど優れた高周波応答を提供します。大きな値の電解コンデンサほど優れた低周波性能を提供します。

異なる値とサイズのコンデンサの並列接続は、広い周波数帯域で電源ピンの AC インピーダンスを小さくことに役立ちます。これは、アンプへのノイズ混入を小さくするために重要です。特にアンプの PSRR がロールオフし始める場合には重要です。これは、バイパス・コンデンサが PSRR の性能低下を小さくすることに役立つためです。

最小値のコンデンサはアンプと同じ側のボード面に、かつアンプの電源ピンの近くに配置する必要があります。コンデンサのグラウンド・ピンは直接グラウンド・プレーンに接続してください。

0508 サイズの 0.1 μF セラミック・コンデンサを使用することが推奨されます。0508 ケース・サイズは、小さい直列インダクタンスと優れた高周波性能を提供します。10 μF の電解コンデンサと 0.1 μF のコンデンサは並列に接続してください。回路パラメータに応じて、コンデンサの追加により性能を強化することができます。各回路は異なるので、最適性能を得るためには個別に解析する必要があります。

外形寸法

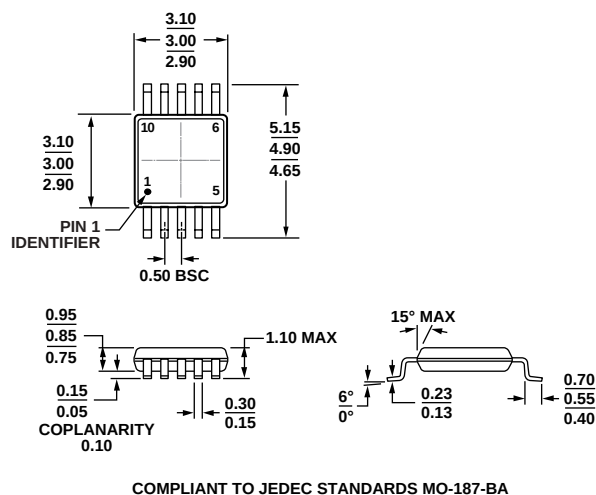


図 57.10 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-10)
寸法: mm

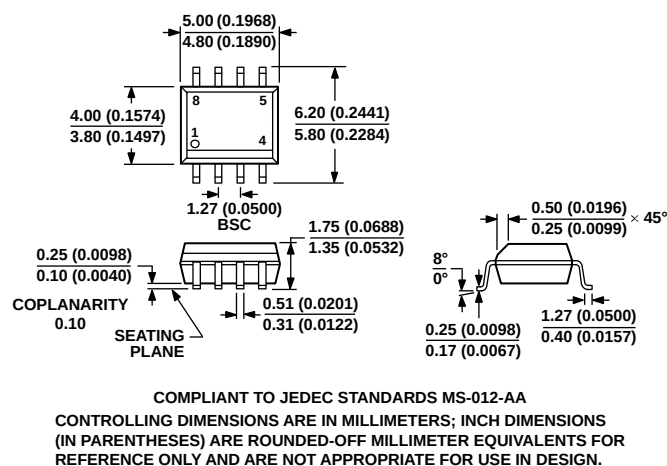
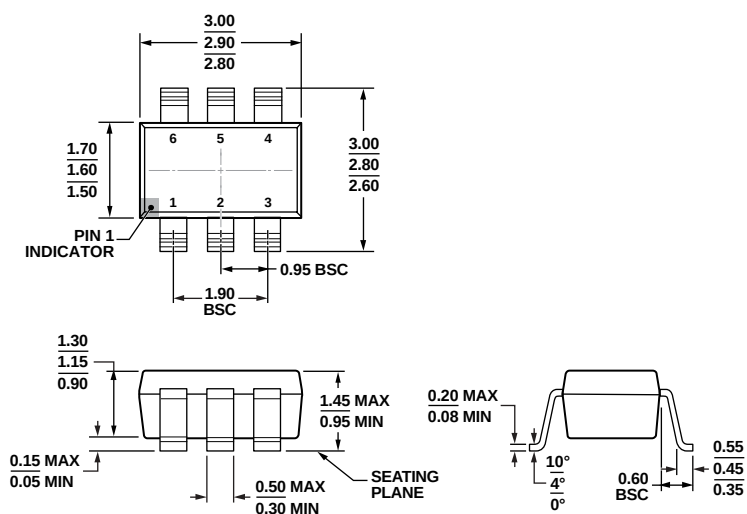


図 58.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ
(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-178-AB

12-16-2008-A

図 59.6 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]
(RJ-6)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Ordering Quantity	Branding
ADA4895-1ARZ	−40°C to +125°C	8-Lead SOIC_N	R-8	98	
ADA4895-1ARZ-R7	−40°C to +125°C	8-Lead SOIC_N	R-8	1,000	
ADA4895-1ARZ-RL	−40°C to +125°C	8-Lead SOIC_N	R-8	2,500	
ADA4895-1ARJZ-R2	−40°C to +125°C	6-Lead SOT-23	RJ-6	250	H3D
ADA4895-1ARJZ-R7	−40°C to +125°C	6-Lead SOT-23	RJ-6	3,000	H3D
ADA4895-1ARJZ-RL	−40°C to +125°C	6-Lead SOT-23	RJ-6	10,000	H3D
ADA4895-1AR-EBZ		Evaluation Board for the 8-Lead SOIC_N			
ADA4895-1ARJ-EBZ		Evaluation Board for the 6-Lead SOT-23			
ADA4895-2ARMZ	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	50	H35
ADA4895-2ARMZ-R7	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	1,000	H35
ADA4895-2ARMZ-RL	−40°C to +125°C	10-Lead Mini Small Outline Package [MSOP]	RM-10	3,000	H35
ADA4895-2ARM-EBZ		Evaluation Board			

¹ Z = RoHS 準拠製品。