日本語参考資料
最新英語データシートはこちら

高電圧、高精度オペアンプ

データシート

ADA4700-1

特長

低入力オフセット電圧: 0.2 mV (Typ)
高出力電流駆動: 30 mA
広い範囲の動作電圧: ±5 V～±50 V
高スルーレート: 20 V/µs (typ)
大きいゲイン帯域幅積: 3.5 MHz (typ)
145°C 以上でのジャンクション温度によるサーマル・レギュレーション:
周囲温度範囲: −40°C～+85°C
低い入力バイアス電流: 15 nA (typ)以下

ピン配置

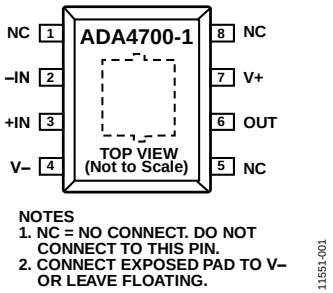

図 1.

アプリケーション

自動テスト装置およびベンチトップ・テスト装置
高電圧レギュレータおよびパワー・アンプ
データ・アクイジションおよびシグナル・コンディショニング
圧電ドライバおよびプリドライバ
汎用電流検出

概要

ADA4700-1 は、広い動作電圧範囲 (±5 V～±50 V)と比較的高い出力電流駆動能力を持つ高電圧、高精度、シングル・チャンネルのオペアンプです。最新のデザインにより、低消費電力 (±50 V 電源で 170 mW)、広い帯域幅 (3.5 MHz)、高いスルーレートをユニティ・ゲイン安定性と位相反転なしの性能と組み合わせています。出力のレール to レールに近い振幅能力を使うと、信号対ノイズ比(SNR)を大きくすることができます。

ADA4700-1 は AC と DC の高精度性能を必要とするアプリケーション向けにデザインされているため、ADA4700-1 は高電圧テスト装置、計装装置、高電圧レギュレータ、パワー・アンプ、電源の制御と保護、広い出力範囲を持つトランスジューサのアンプまたはバッファなどの、多様なアプリケーションで役立ちます。このデバイスは正確な電圧と電流の帰還、被テスト LED ストリングに正確な電圧および／または電流を供給するプリドライバを提供するため、特に高輝度 LED のテスト・アプリケーションに最適です。

ADA4700-1 の仕様は−40°C～+85°C の工業用温度範囲で規定され、145°C より高いジャンクション温度でのサーマル・レギュレーションと電流制限値を内蔵しています。ADA4700-1 はエクスポーズド・パッド付の熱強化型 8 ピン SOIC パッケージを採用しています。

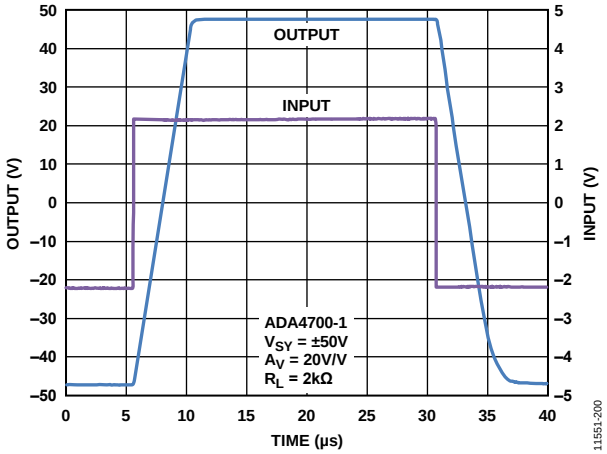

図 2.スルーレート

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪トラストタワー
電話 06（6350）6868

目次

特長 1
アプリケーション 1
ピン配置 1
概要 1
改訂履歴 2
仕様 3
V_{SY} = ±50 V 電気的特性 3
V_{SY} = ±24 V 電気的特性 5
V_{SY} = ±5 V 電気的特性 7
絶対最大定格 8
熱抵抗 8
ESD の注意 8
ピン配置およびピン機能説明 9
代表的な性能特性 10
テスト回路 20
動作原理 21
サーマル・レギュレーション 21
アプリケーション情報 22
サーマル・マネジメント 22
安全動作領域 22
容量負荷の駆動 23
電流駆動能力の強化 24
定電流アプリケーション 24
外形寸法 25
オーダー・ガイド 25

改訂履歴

8/13—Revision 0: Initial Version

仕様

V_{SY} = ±50 V 電気的特性

特に指定がない限り、V_{SY} = ±50 V、V_{CM} = 0 V、T_A = 25°C。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}			0.2	2	mV
		−40°C ≤ T_A ≤ +85°C			2.5	mV
Offset Voltage Drift[1]	$\Delta V_{OS}/\Delta T$	−40°C ≤ T_A ≤ +85°C		2	13	µV/°C
Input Bias Current	I_B			15	30	nA
		−40°C ≤ T_A ≤ +85°C			50	nA
Input Offset Current	I_{OS}			2	25	nA
		−40°C ≤ T_A ≤ +85°C			30	nA
Input Voltage Range	IVR	−40°C ≤ T_A ≤ +85°C	(V−) + 3		(V+) − 3	V
Common-Mode Rejection Ratio	CMRR	(V−) + 3 V ≤ V_{CM} ≤ (V+) − 3 V	103	108		dB
		−40°C ≤ T_A ≤ +85°C	103			dB
Large Signal Voltage Gain	A_{VO}	−47 V ≤ V_{OUT} ≤ +47 V, R_L = 2 kΩ	103	106		dB
		−40°C ≤ T_A ≤ +85°C	100			dB
Input Impedance						
Common-Mode	$R_{IN}\|\|C_{INCM}$			2.3||5.3		MΩ||pF
Differential	$R_{IN}\|\|C_{INDM}$			2.3||0.5		MΩ||pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	R_L = 10 kΩ to GND	48.0	48.5		V
		−40°C ≤ T_A ≤ +85°C	47.8			V
		R_L = 2 kΩ to GND	47.5	48.0		V
		−40°C ≤ T_A ≤ +85°C	47.3			V
Output Voltage Low	V_{OL}	R_L = 10 kΩ to GND		−48.5	−48.0	V
		−40°C ≤ T_A ≤ +85°C			−47.8	V
		R_L = 2 kΩ to GND		−48.0	−47.5	V
		−40°C ≤ T_A ≤ +85°C			−47.3	V
Capacitive Load Drive[2]	C_L	A_V = +1		1		nF
Output Current Drive[3]	I_{OUT}			30		mA
Short-Circuit Limit	I_{SC}	Sourcing/Sinking		+72/−65		mA
Closed-Loop Impedance	Z_{OUT}	f = 100 Hz, A_V = +1		0.001		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V_{SY} = ±4.5 V to ±55 V	110	130		dB
		−40°C ≤ T_A ≤ +85°C	110			dB
Supply Current per Amplifier	I_{SY}			1.7	2.2	mA
		−40°C ≤ T_A ≤ +85°C			2.4	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	V_{IN} = ±45 V p-p, A_V = +1, R_L = 2 kΩ, C_L = 300 pF		20		V/µs
Gain Bandwidth Product	GBP	V_{IN} = 5 mV p-p, A_V = +100		3.5		MHz
Unity-Gain Crossover	UGC	V_{IN} = 5 mV p-p, A_V = +1		2.6		MHz
−3 dB Bandwidth	−3 dB	V_{IN} = 5 mV p-p, A_V = −1		4.8		MHz
Phase Margin	ΦM	V_{IN} = 5 mV p-p, R_L = 1 MΩ, C_L = 35 pF, A_V = −1		70		Degrees
Settling Time to 0.1%	t_S	V_{IN} = 30 V p-p, R_L = 10 kΩ, C_L = 5 pF, A_V = −1		4		µs
Settling Time to 0.01%	t_S	V_{IN} = 30 V p-p, R_L = 10 kΩ, C_L = 5 pF, A_V = −1		8		µs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE PERFORMANCE						
Total Harmonic Distortion + Noise	THD + N	A_V = +1, V_{IN} = 10 V p-p at 1 kHz, R_L = 10 kΩ, bandwidth = 80 kHz		0.0002		%
Peak-to-Peak Noise	$e_{n\ p-p}$	f = 0.1 Hz to 10 Hz		800		nV p-p
Voltage Noise Density	e_n	f = 1 kHz		14.7		nV/√Hz
		f = 10 Hz		27		nV/√Hz
Current Noise Density	i_n	f = 1 kHz		400		fA/√Hz

[1] 図 7～図 9 を参照してください。

[2] オーバーシュート対温度および容量負荷性能は図 27 ～図 30 に示してあります。1 nF より大きい容量負荷の駆動の推奨事項については、容量負荷駆動のセクションを参照してください。

[3] 安全動作領域のセクションを参照してください。

V_{SY} = ±24 V 電気的特性

特に指定がない限り、V_{SY} = ±24 V、V_{CM} = 0 V、T_A = 25°C。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}			0.2	2	mV
		−40°C ≤ T_A ≤ +85°C			2.5	mV
Offset Voltage Drift[1]	$\Delta V_{OS}/\Delta T$	−40°C ≤ T_A ≤ +85°C		2.5	15	µV/°C
Input Bias Current	I_B			5	30	nA
		−40°C ≤ T_A ≤ +85°C			50	nA
Input Offset Current	I_{OS}			2	25	nA
		−40°C ≤ T_A ≤ +85°C			30	nA
Input Voltage Range	IVR	−40°C ≤ T_A ≤ +85°C	(V−) + 3		(V+) − 3	V
Common-Mode Rejection Ratio	CMRR	(V−) + 3 V ≤ V_{CM} ≤ (V+) − 3 V	100	103		dB
		−40°C ≤ T_A ≤ +85°C	100			dB
Large Signal Voltage Gain	A_{VO}	−21 V ≤ V_{OUT} ≤ +21 V, R_L = 2 kΩ	103	105		dB
		−40°C ≤ T_A ≤ +85°C	100			dB
Input Impedance						
Common-Mode	$R_{IN}\|\|C_{INCM}$			2.3‖5.3		MΩ‖pF
Differential	$R_{IN}\|\|C_{INDM}$			2.3‖0.5		MΩ‖pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	R_L = 10 kΩ to GND	22.2	22.5		V
		−40°C ≤ T_A ≤ +85°C	22.0			V
		R_L = 2 kΩ to GND	22.0	22.4		V
		−40°C ≤ T_A ≤ +85°C	21.8			V
Output Voltage Low	V_{OL}	R_L = 10 kΩ to GND		−22.5	−22.2	V
		−40°C ≤ T_A ≤ +85°C			−22.0	V
		R_L = 2 kΩ to GND		−22.4	−22.0	V
		−40°C ≤ T_A ≤ +85°C			−21.8	V
Capacitive Load Drive[2]	C_L	A_V = +1		1		nF
Output Current Drive	I_{OUT}			30		mA
Short-Circuit Limit[3]	I_{SC}	Sourcing/Sinking		+72/−65		mA
Closed-Loop Impedance	Z_{OUT}	f = 100 Hz, A_V = +1		0.001		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V_{SY} = ±4.5 V to ±55 V	110	130		dB
		−40°C ≤ T_A ≤ +85°C	110			dB
Supply Current per Amplifier	I_{SY}			1.65	2.1	mA
		−40°C ≤ T_A ≤ +85°C			2.3	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	V_{IN} = ±20 V p-p, A_V = +1, R_L = 2 kΩ, C_L = 300 pF		20		V/µs
Gain Bandwidth Product	GBP	V_{IN} = 5 mV p-p, A_V = +100		3.5		MHz
Unity-Gain Crossover	UGC	V_{IN} = 5 mV p-p, A_V = +1		2.6		MHz
−3 dB Bandwidth	−3 dB	V_{IN} = 5 mV p-p, A_V = −1		4.8		MHz
Phase Margin	ΦM	V_{IN} = 5 mV p-p, R_L = 1 MΩ, C_L = 35 pF, A_V = −1		70		Degrees
Settling Time to 0.1%	t_S	V_{IN} = 20 V p-p, R_L = 10 kΩ, C_L = 5 pF, A_V = −1		4		µs
Settling Time to 0.01%	t_S	V_{IN} = 20 V p-p, R_L = 10 kΩ, C_L = 5 pF, A_V = −1		9		µs

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE PERFORMANCE						
Total Harmonic Distortion + Noise	THD + N	A_V = +1, V_{IN} = 10 V p-p at 1 kHz, R_L = 10 kΩ, bandwidth = 80 kHz		0.0002		%
Peak-to-Peak Noise	$e_{n\ p-p}$	f = 0.1 Hz to 10 Hz		800		nV p-p
Voltage Noise Density	e_n	f = 1 kHz		14.7		nV/√Hz
		f = 10 Hz		27		nV/√Hz
Current Noise Density	i_n	f = 1 kHz		400		fA/√Hz

[1] 図 7～図 9 を参照してください。.

[2] オーバーシュート対温度および容量負荷性能は図 27 ～図 30 に示してあります。1 nF より大きい容量負荷の駆動の推奨事項については、容量負荷駆動のセクションを参照してください。

[3]安全動作領域のセクションを参照してください。

V_{SY} = ±5 V 電気的特性

特に指定がない限り、V_{SY} = ±5 V、V_{CM} = 0 V、T_A = 25°C。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}			0.2	2	mV
		−40°C ≤ T_A ≤ +85°C			2.5	mV
Offset Voltage Drift[1]	$\Delta V_{OS}/\Delta T$	−40°C ≤ T_A ≤ +85°C		3		µV/°C
Input Bias Current	I_B			5	30	nA
		−40°C ≤ T_A ≤ +85°C			50	nA
Input Offset Current	I_{OS}			2	25	nA
		−40°C ≤ T_A ≤ +85°C			30	nA
Input Voltage Range	IVR	−40°C ≤ T_A ≤ +85°C	−2		+2	V
Common-Mode Rejection Ratio	CMRR	−2 V ≤ V_{CM} ≤ +2 V	86	89		dB
		−40°C ≤ T_A ≤ +85°C	86			dB
Large Signal Voltage Gain	A_{VO}	−2 V ≤ V_{OUT} ≤ +2 V, R_L = 2 kΩ	97	99		dB
		−40°C ≤ T_A ≤ +85°C	95			dB
Input Impedance						
Common-Mode	$R_{IN}\|\|C_{INCM}$			2.3||5.3		MΩ||pF
Differential	$R_{IN}\|\|C_{INDM}$			2.3||0.5		MΩ||pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	R_L = 2 kΩ to GND	3.4	3.6		V
		−40°C ≤ T_A ≤ +85°C	3.2			V
Output Voltage Low	V_{OL}	R_L = 2 kΩ to GND		−3.6	−3.4	V
		−40°C ≤ T_A ≤ +85°C			−3.2	V
Capacitive Load Drive[2]	C_L	A_V = +1		1		nF
Output Current Drive	I_{OUT}			30		mA
Short Circuit Limit[3]	I_{SC}	Sourcing/Sinking		+72/−65		mA
Closed-Loop Impedance	Z_{OUT}	f = 100 Hz, A_V = +1		0.003		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V_{SY} = ±4.5 V to ±55 V	110	130		dB
		−40°C ≤ T_A ≤ +85°C	110			dB
Supply Current per Amplifier	I_{SY}			1.5	2	mA
		−40°C ≤ T_A ≤ +85°C			2.2	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	V_{IN} = ±2 V p-p, A_V = +1, R_L = 2 kΩ, C_L = 300 pF		18		V/µs
Gain Bandwidth Product	GBP	V_{IN} = 5 mV p-p, A_V = +100		3.5		MHz
Unity-Gain Crossover	UGC	V_{IN} = 5 mV p-p, A_V = +1		2.6		MHz
−3 dB Bandwidth	−3 dB	V_{IN} = 5 mV p-p, A_V = −1		4.8		MHz
Phase Margin	ΦM	V_{IN} = 5 mV p-p, R_L = 1 MΩ, C_L = 35 pF, A_V = −1		70		Degrees
Settling Time to 0.1%	t_S	V_{IN} = 6 V p-p, R_L = 10 kΩ, C_L = 5 pF, A_V = −1		1.5		µs
NOISE PERFORMANCE						
Total Harmonic Distortion + Noise	THD + N	A_V = +1, V_{IN} = 2 V p-p at 1 kHz, R_L = 10 kΩ, bandwidth = 80 kHz		0.0005		%
Peak-to-Peak Noise	$e_{n\ p-p}$	f = 0.1 Hz to 10 Hz		800		nV p-p
Voltage Noise Density	e_n	f = 1 kHz		14.7		nV/√Hz
Current Noise Density	i_n	f = 1 kHz		400		fA/√Hz

[1] 図 7～図 9 を参照してください。

[2] オーバーシュート対温度および容量負荷性能は図 27 ～図 30 に示してあります。1 nF より大きい容量負荷の駆動の推奨事項については、容量負荷駆動のセクションを参照してください。

[3] 安全動作領域のセクションを参照してください。

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	110 V
Input Voltage	$V- \le V_{IN} \le V+$
Input Current	±10 mA
Differential Input Voltage	$V- \le V_{IN} \le V+$
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range[1]	−40°C to +85°C
Junction Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD	
Charged Device Model (CDM)	1250 V
Human Body Model (HBM)	4500 V
Machine Model (MM)	200 V

[1] サーマル・マネジメントのセクションを参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。表 5 の値は、 JEDEC 規格 JESD51 から求めたものです。

表 5.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC_N_EP	45	30	°C/W

ボード・レイアウトは、θ_{JA} などの熱特性に影響を与えます。正しいサーマル・マネジメント技術を使うと、優れた θ_{JA} を実現することができます。詳細については、サーマル・マネジメントのセクションを参照してください。

エクスポーズド・パッドをフローティングのままにできますが、正しいサーマル・マネジメントのためには外部 V− プレーンに接続する必要があります。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

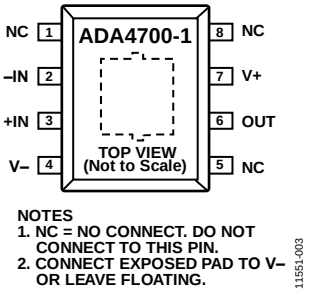

図 3.ピン配置

表 6.ピン機能の説明

ピン番号	記号	説明
1、5、8	NC	未接続。これらのピンは接続しないでください。
2	−IN	反転入力。
3	+IN	非反転入力。
4	V−	負の電源電圧。
6	OUT	出力。
7	V+	正の電源電圧。
9	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは V–へ接続するか、フローティングのままにしてください。エクスポーズド・パッドは電気的にデバイスに接続されています。

代表的な性能特性

特に指定のない限り、T_A = 25 °C。

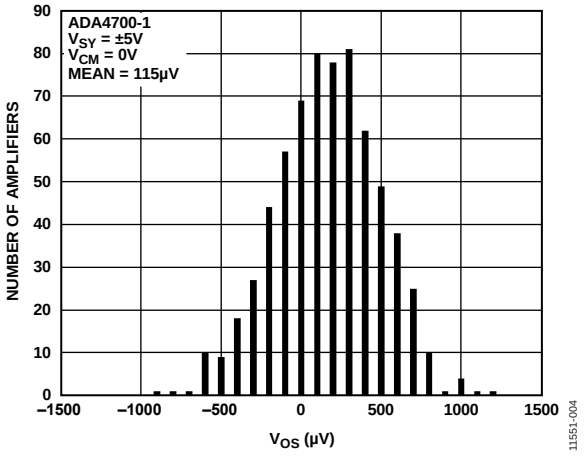

図 4.入力オフセット電圧分布、V_{SY} = ±5 V

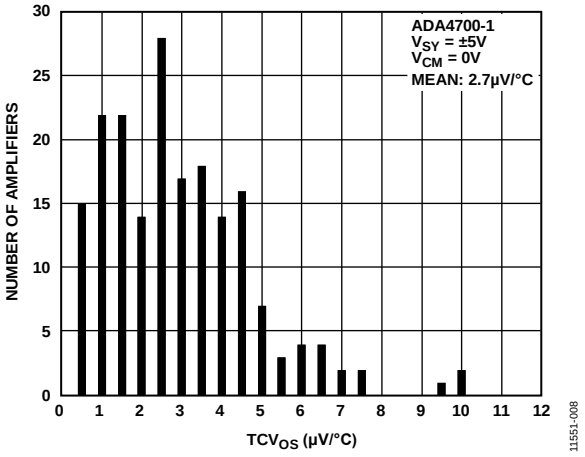

図 7.入力オフセット電圧ドリフト分布、V_{SY} = ±5 V

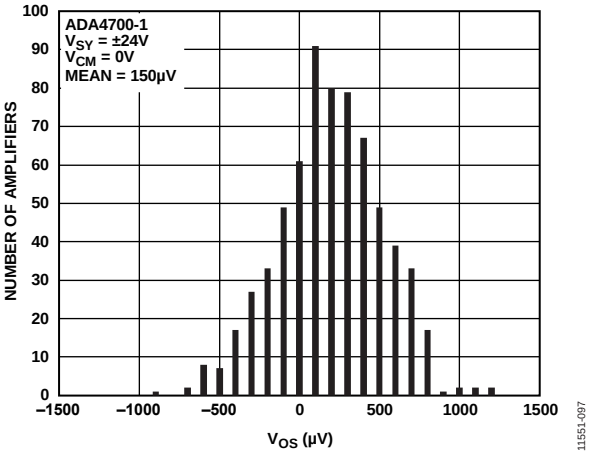

図 5.入力オフセット電圧分布、V_{SY} = ±24 V

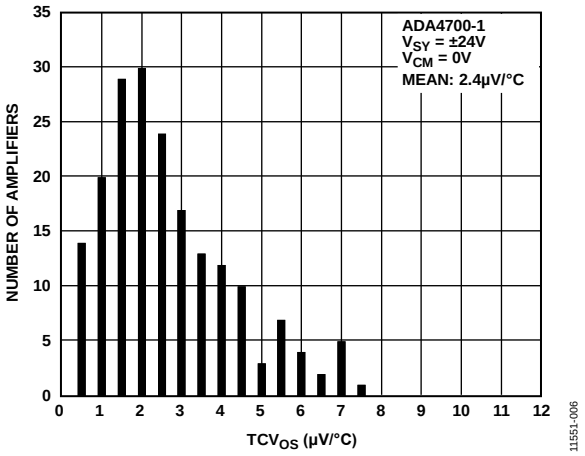

図 8.入力オフセット電圧ドリフト分布、V_{SY} = ±24 V

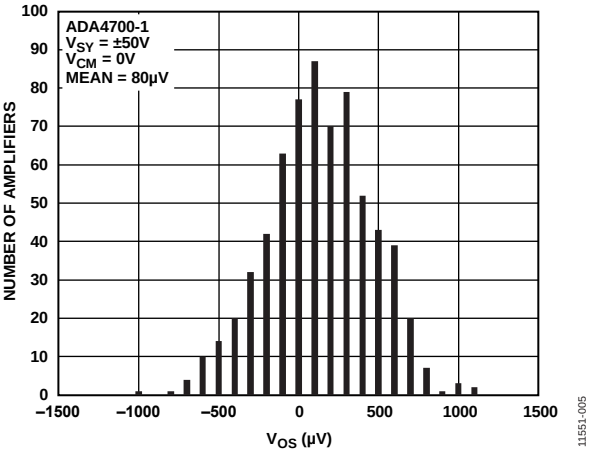

図 6.入力オフセット電圧分布、V_{SY} = ±50 V

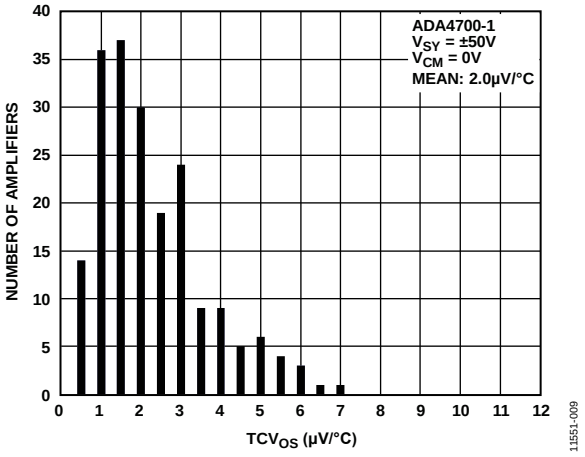

図 9.入力オフセット電圧ドリフト分布、V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

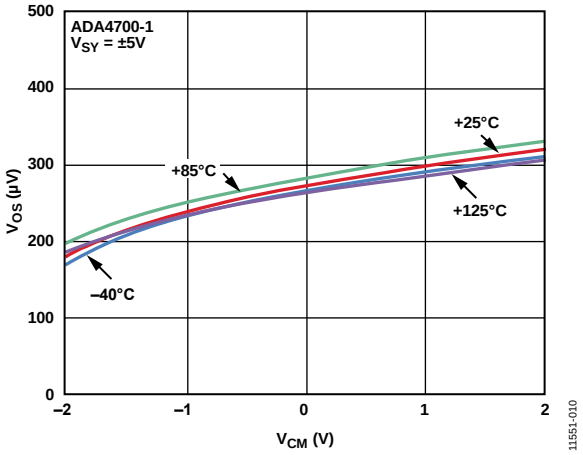

図 10.同相モード電圧(V_{CM})対
入力オフセット電圧(V_{OS})、V_{SY} = ±5 V

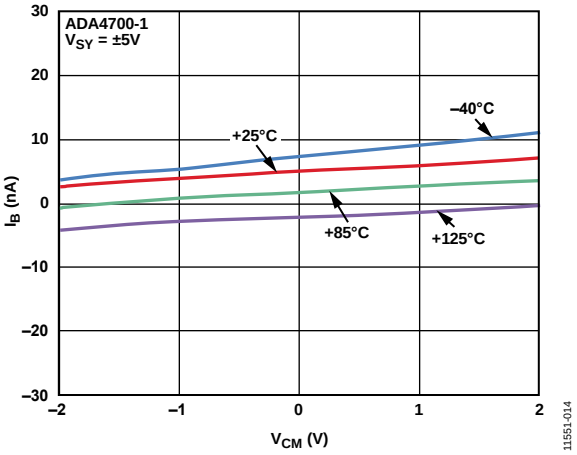

図 13.様々な温度での同相モード電圧(V_{CM})対
入力バイアス電流(I_B)、V_{SY} = ±5 V

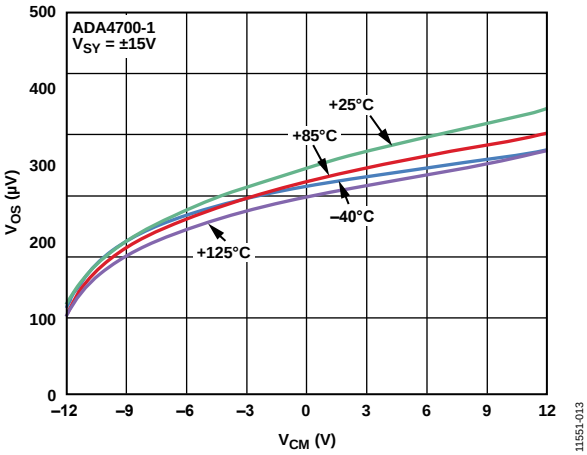

図 11.同相モード電圧(V_{CM})対入力オフセット電圧(V_{OS})
V_{SY} = ±15 V

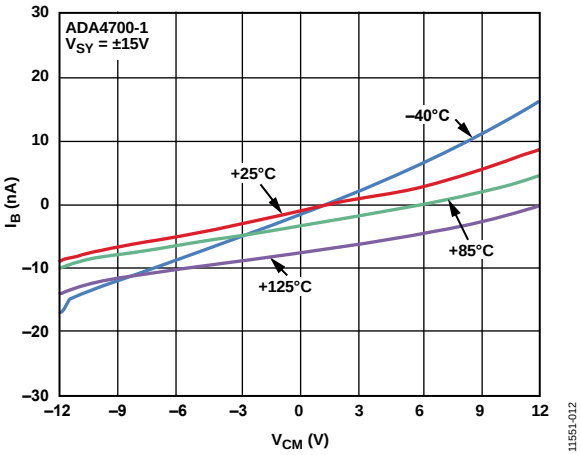

図 14.様々な温度での同相モード電圧(V_{CM})対
入力バイアス電流(I_B)、V_{SY} = ±15 V

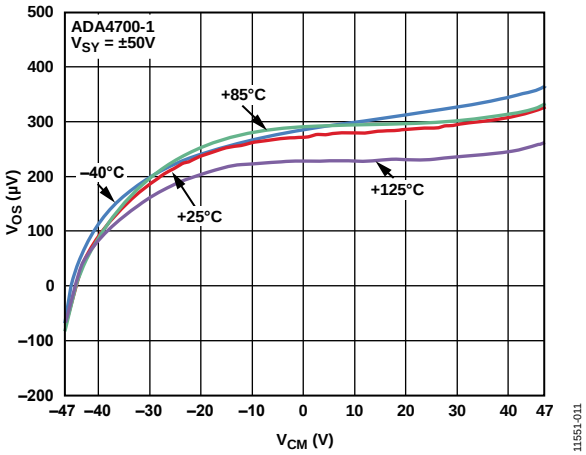

図 12.同相モード電圧(V_{CM})対入力オフセット電圧(V_{OS})
V_{SY} = ±50 V

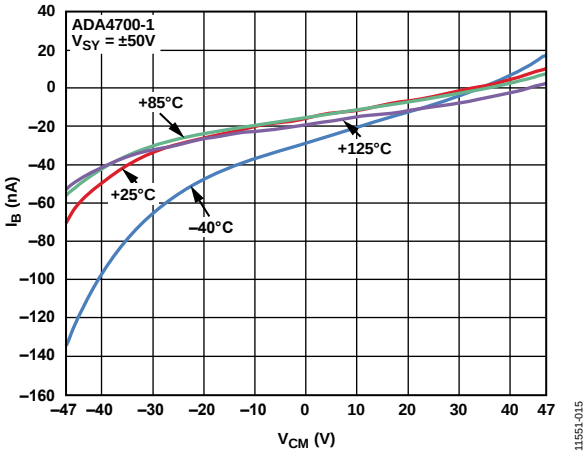

図 15.様々な温度での同相モード電圧(V_{CM})対
入力バイアス電流(I_B)、V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

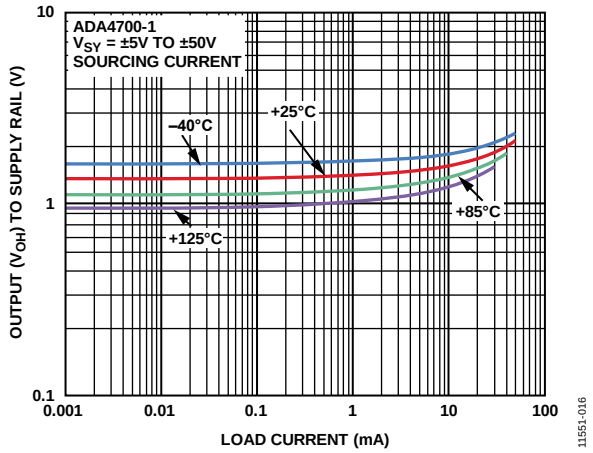

図 16.負荷電流対電源レールまで近付く出力電圧(V_{OH})、
V_{SY} = ±5 V～±50 V

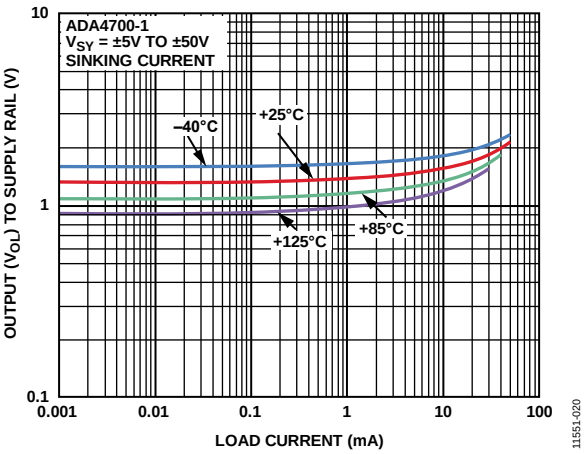

図 19.負荷電流対電源レールまで近付く出力電圧(V_{OL})、
V_{SY} = ±5 V～±50 V

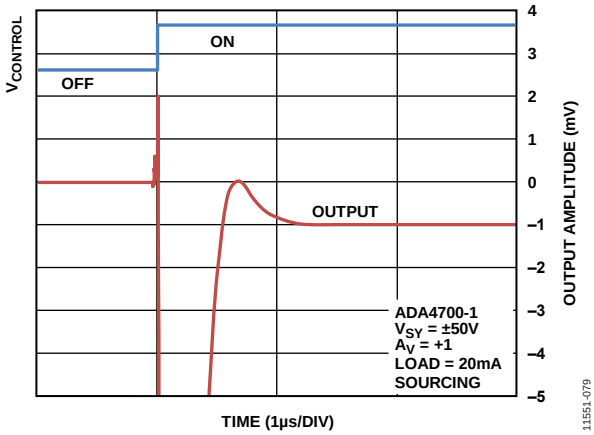

図 17.出力電流過渡セトリング・タイム (ソーシング)、
V_{SY} = ±50 V、
テスト回路については 図 56 を参照

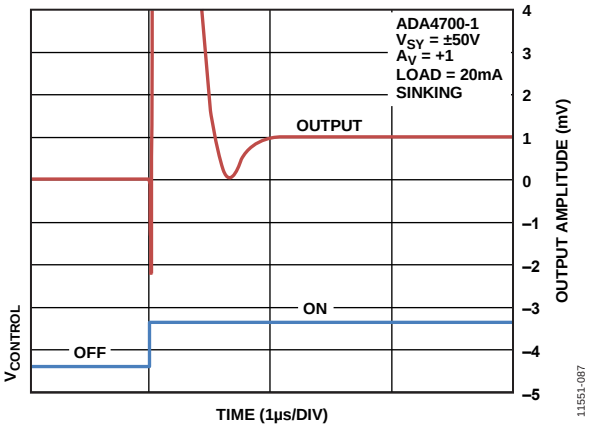

図 20.出力電流過渡セトリング・タイム (シンキング)、
V_{SY} = ±50 V、
テスト回路については 図 57 を参照

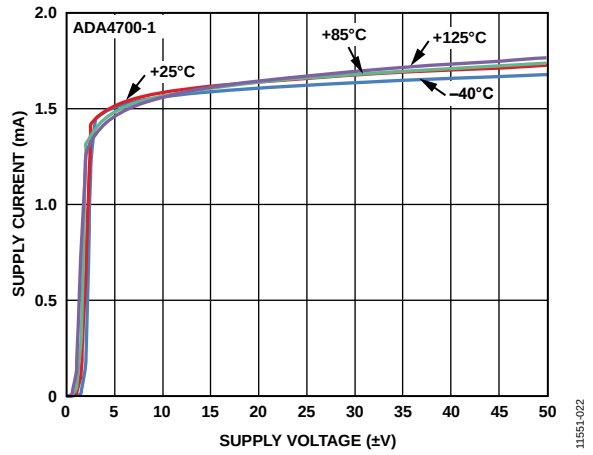

図 18.電源電圧対電源電流

特に指定のない限り、T_A = 25 °C。

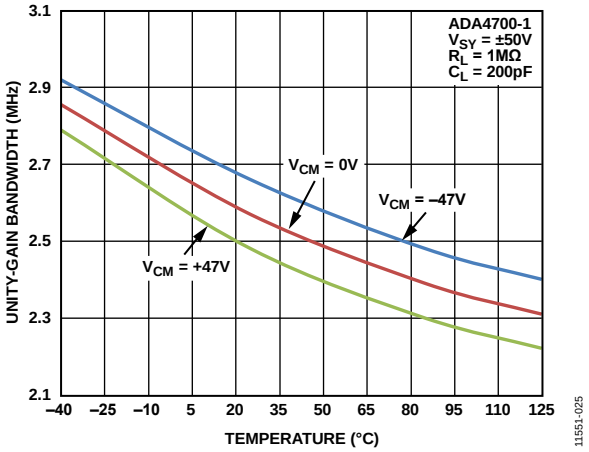

図 21.ユニティ・ゲイン帯域幅の温度特性、V_{SY} = ±50 V

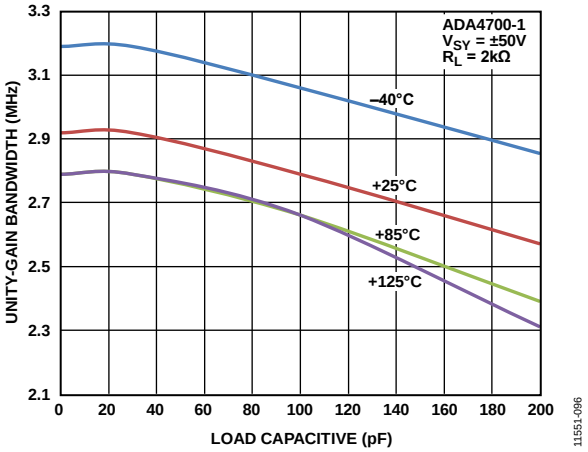

図 24.様々な温度での負荷容量対ユニティ・ゲイン帯域幅、V_{SY} = ±50 V

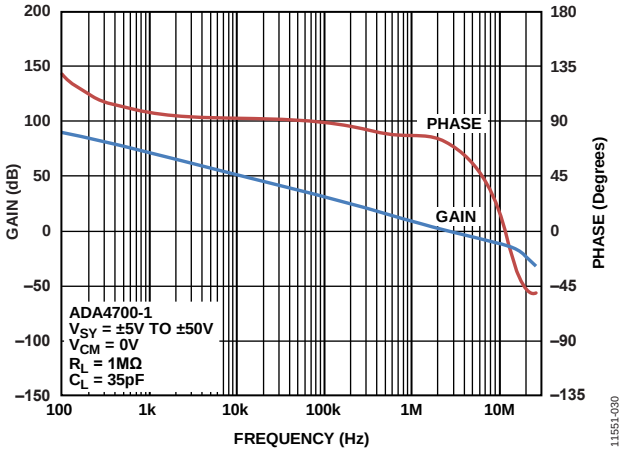

図 22.オープン・ループ・ゲインおよび位相の周波数特性、
V_{SY} = ±5 V～±50 V

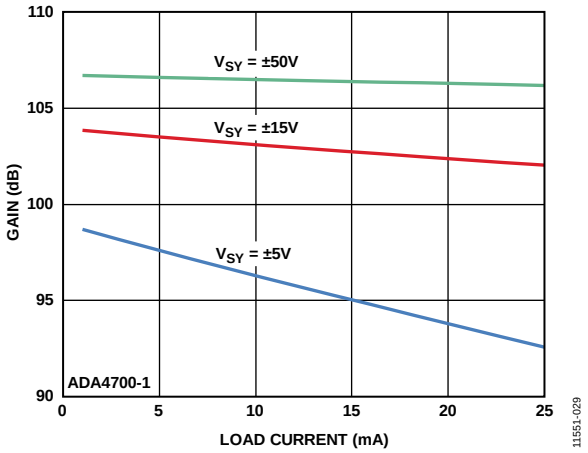

図 25.様々な電源電圧での負荷電流対
オープン・ループ・ゲイン

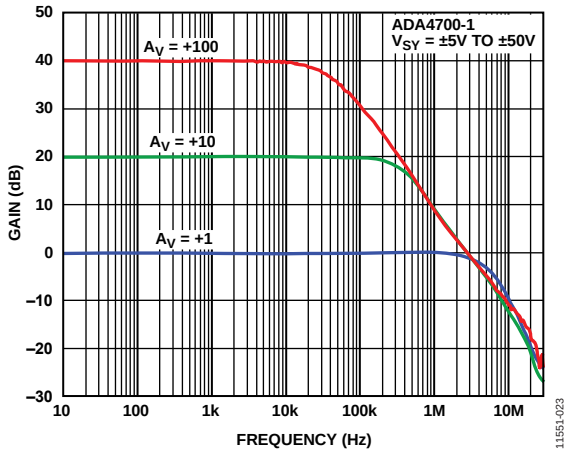

図 23.クローズド・ループ・ゲインの周波数特性
V_{SY} = ±5 V～±50 V

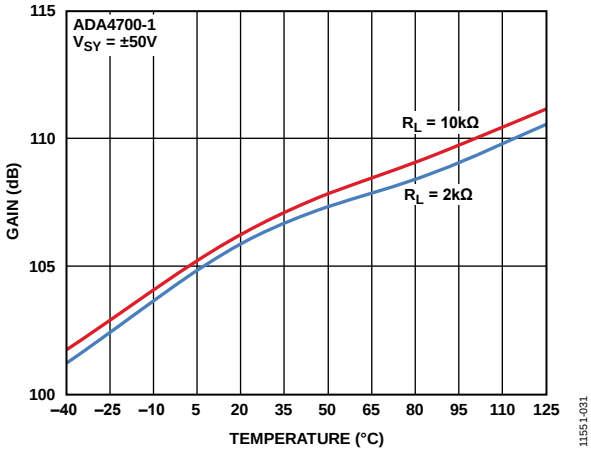

図 26.様々な負荷抵抗でのオープン・ループ・ゲインの
温度特性、
V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

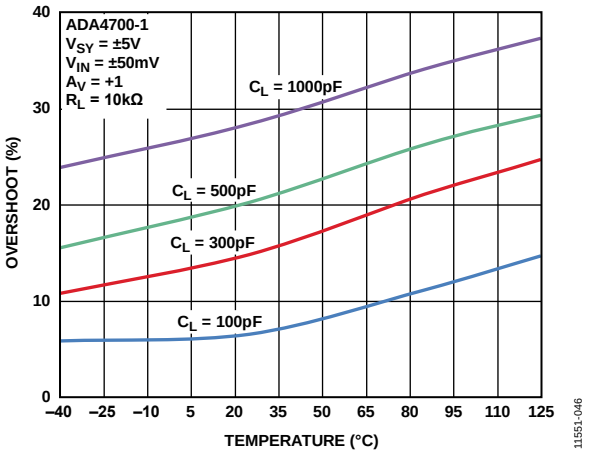

図 27.様々な容量負荷での小信号オーバーシュートの温度特性
V_{SY} = ±5 V

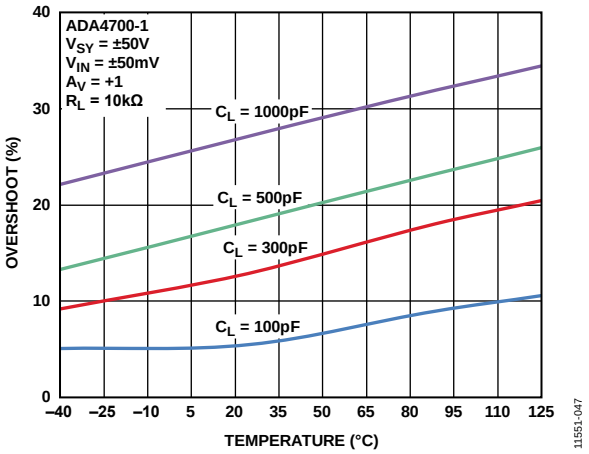

図 28.様々な容量負荷での小信号オーバーシュートの温度特性
V_{SY} = ±50 V

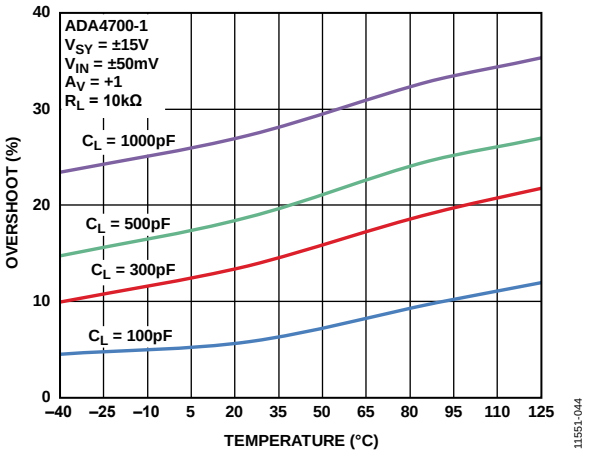

図 29.様々な容量負荷での小信号オーバーシュートの温度特性
V_{SY} = ±15 V

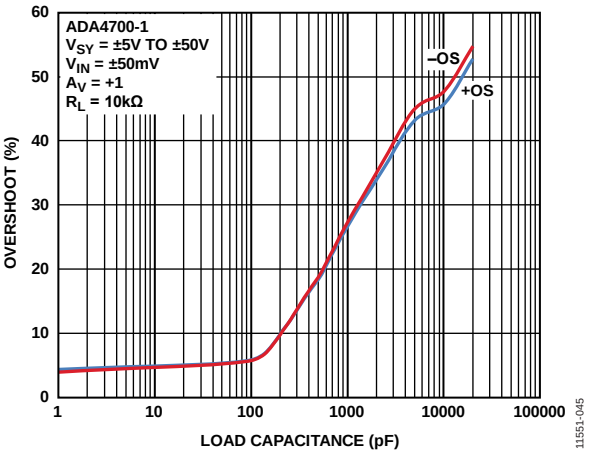

図 30.負荷容量対小信号オーバーシュート
V_{SY} =±5 V～±50 V

特に指定のない限り、T_A = 25 °C。

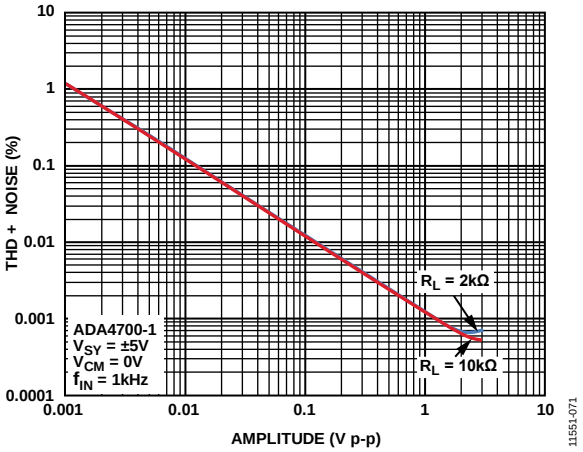

図 31.振幅対総合高調波歪み + ノイズ (THD + ノイズ)
V_{SY} = ±5 V

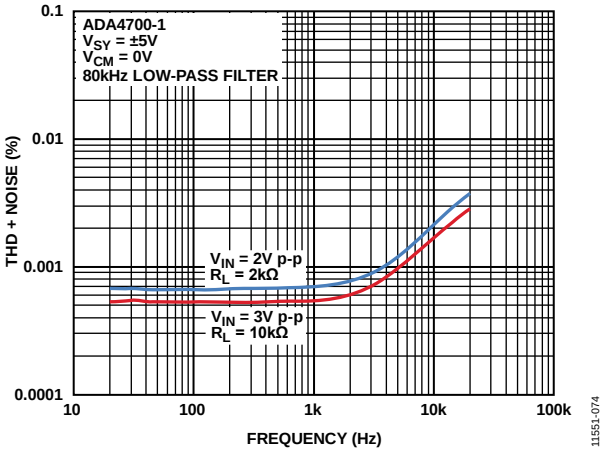

図 34.総合高調波歪み + ノイズ (THD + ノイズ)の周波数特性
V_{SY} = ±5 V

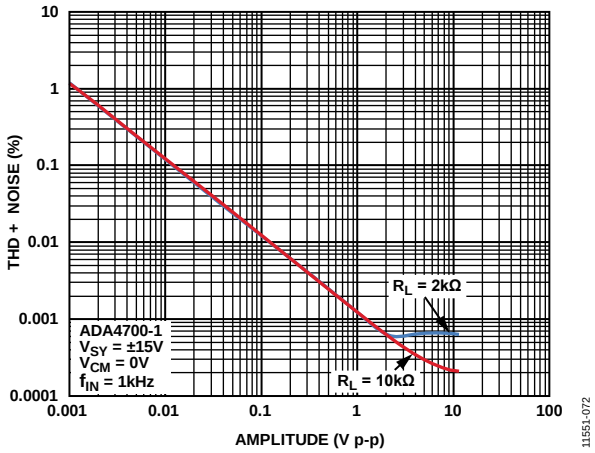

図 32.振幅対総合高調波歪み + ノイズ (THD + ノイズ)
V_{SY} = ±15 V

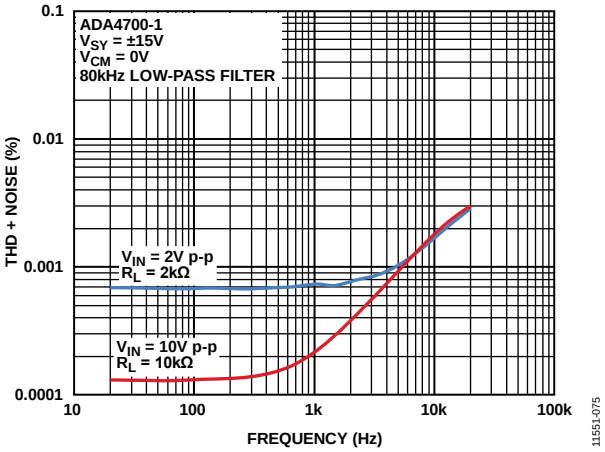

図 35.総合高調波歪み + ノイズ (THD + ノイズ)の周波数特性
V_{SY} = ±15 V

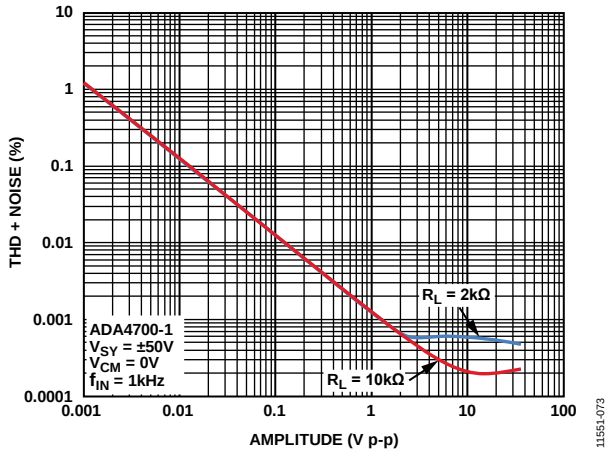

図 33.振幅対総合高調波歪み + ノイズ (THD + ノイズ)
V_{SY} = ±50 V

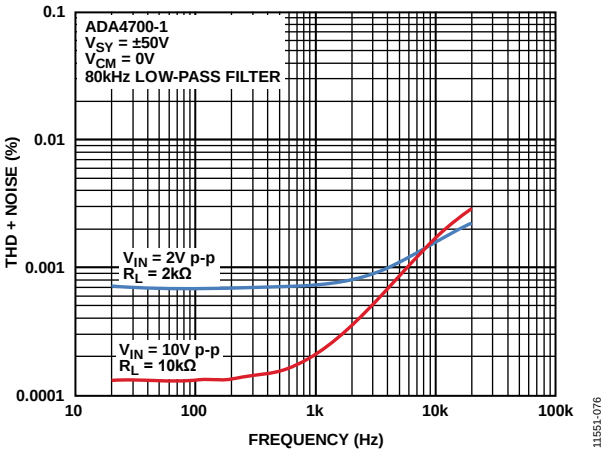

図 36.総合高調波歪み + ノイズ (THD + ノイズ)の周波数特性
V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

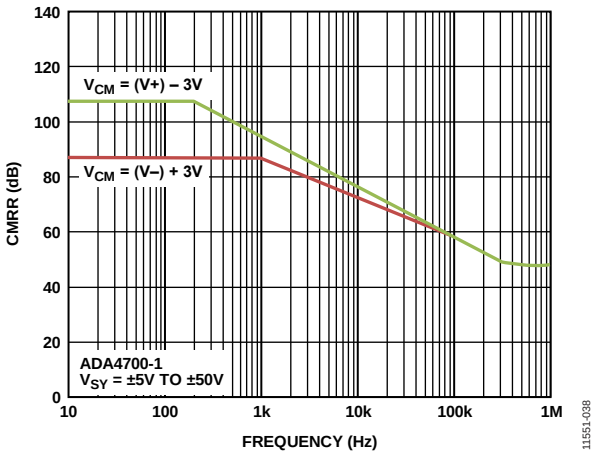

図 37.同相モード除去比 (CMRR)の周波数特性
V_{SY} = ±5 V～±50 V

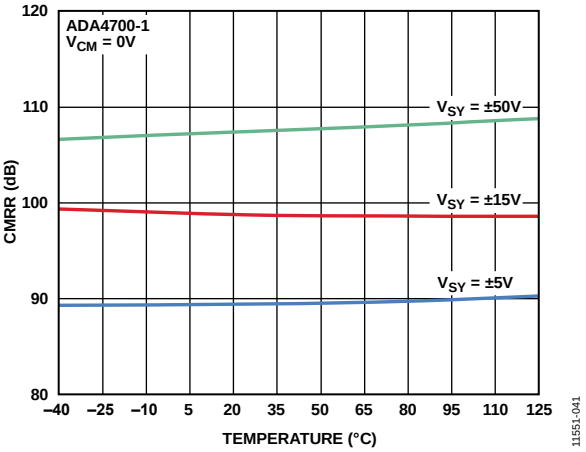

図 39.様々な電源電圧での同相モード除去比 (CMRR)の温度特性

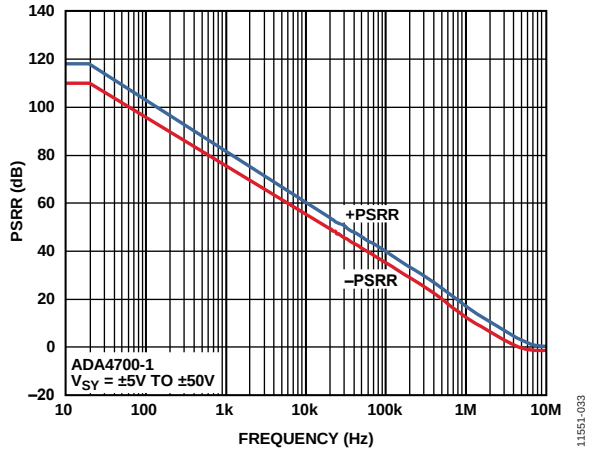

図 38.電源除去比 (PSRR)の周波数特性
V_{SY} = ±5 V～±50 V

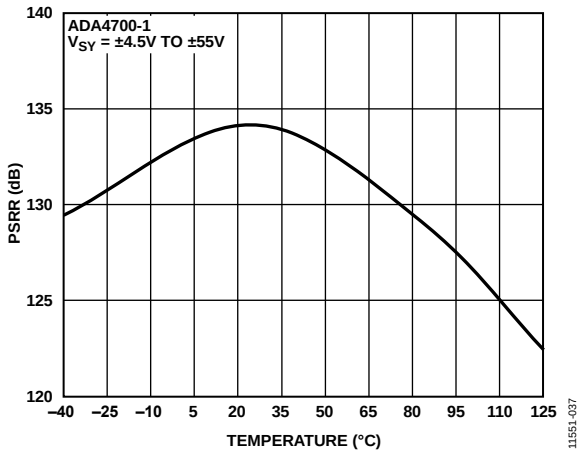

図 40.電源除去比 (PSRR)の温度特性

特に指定のない限り、T_A = 25 °C。

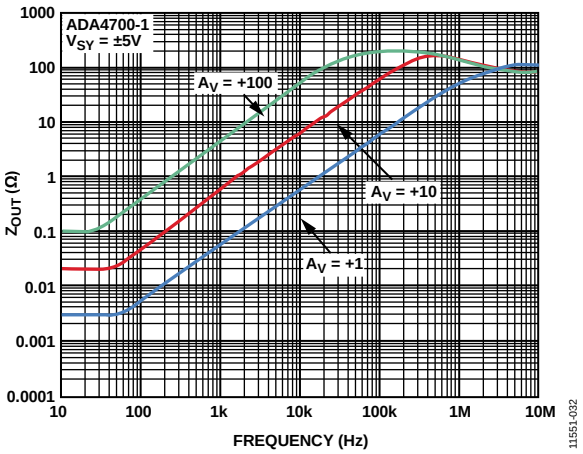

図 41.クローズド・ループ出力インピーダンス(Z_{OUT})の周波数特性、V_{SY} = ±5 V

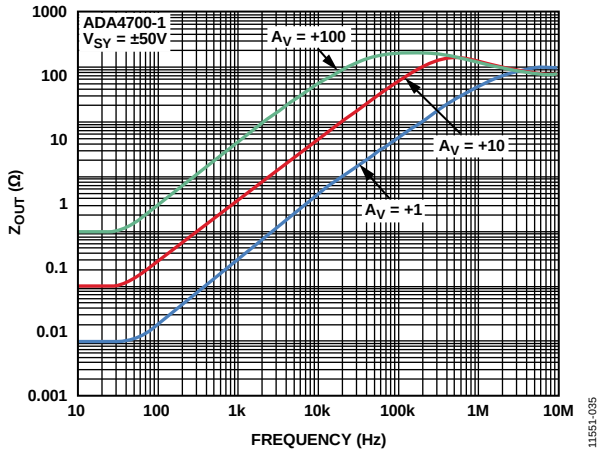

図 44.クローズド・ループ出力インピーダンス(Z_{OUT})の周波数特性、V_{SY} = ±50 V

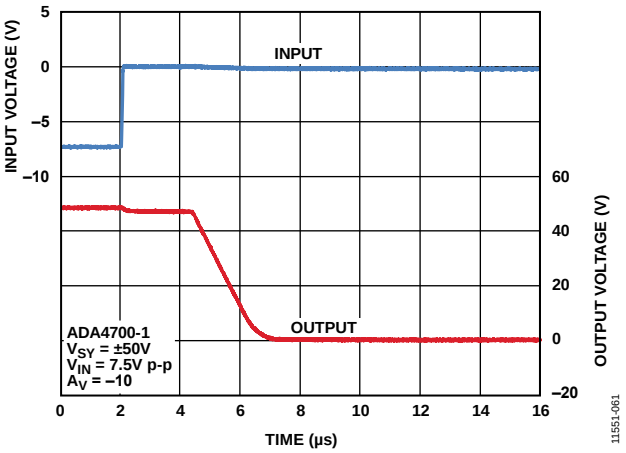

図 42.正側過負荷回復、V_{SY} = ±50 V

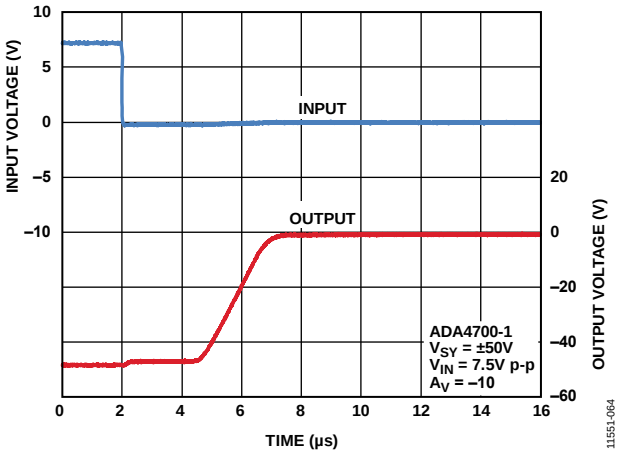

図 45.負側過負荷回復、V_{SY} = ±50 V

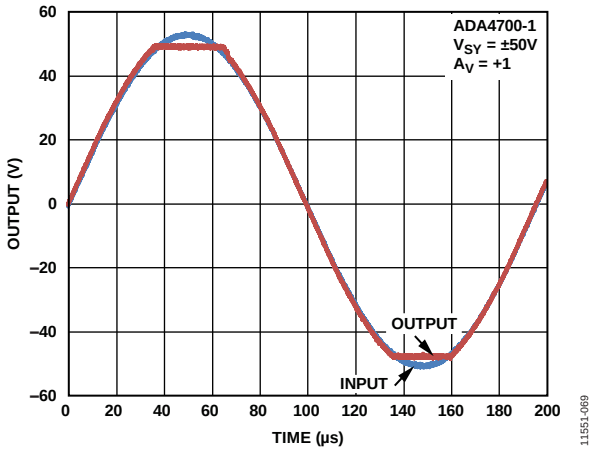

図 43.位相反転なし、V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

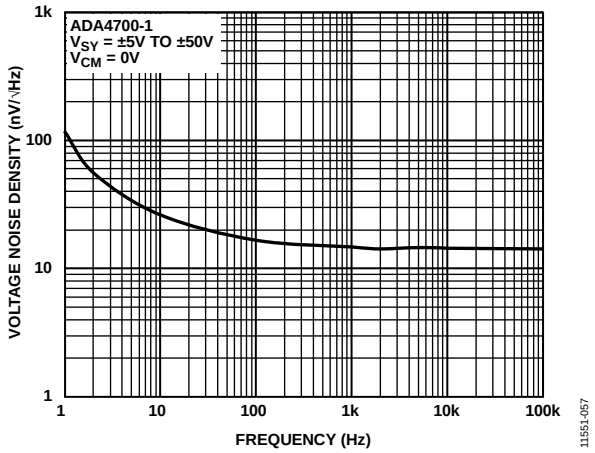

図 46.入力電圧ノイズ密度の周波数特性

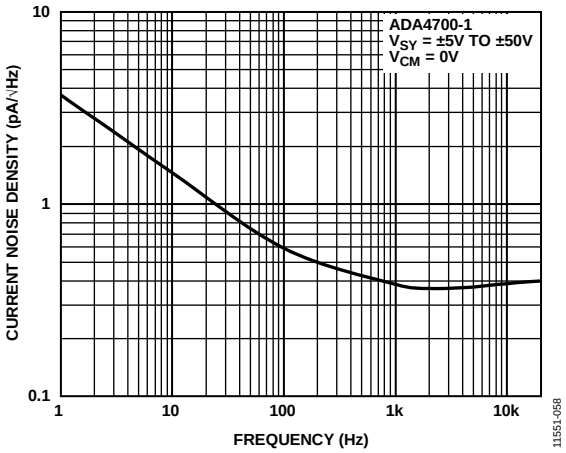

図 48.入力電流ノイズ密度の周波数特性

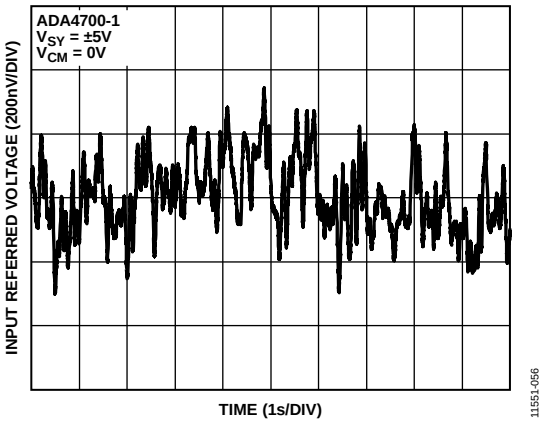

図 47.0.1 Hz～10 Hz のノイズ、V_{SY} = ±5 V

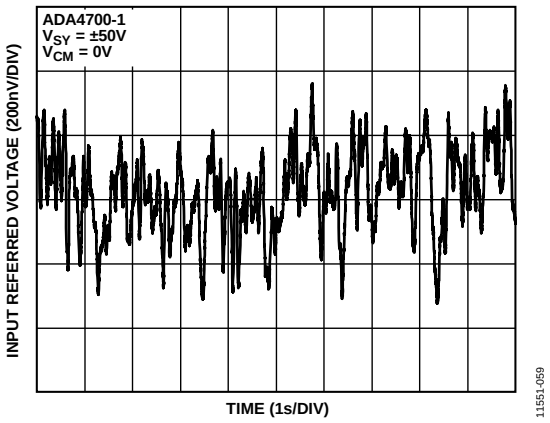

図 49.0.1 Hz～10 Hz のノイズ、V_{SY} = ±50 V

特に指定のない限り、T_A = 25 °C。

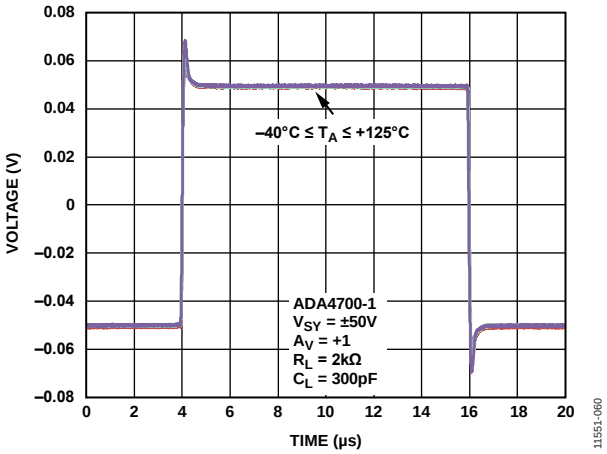

図 50.小信号過渡応答、V_{SY} = ±50 V

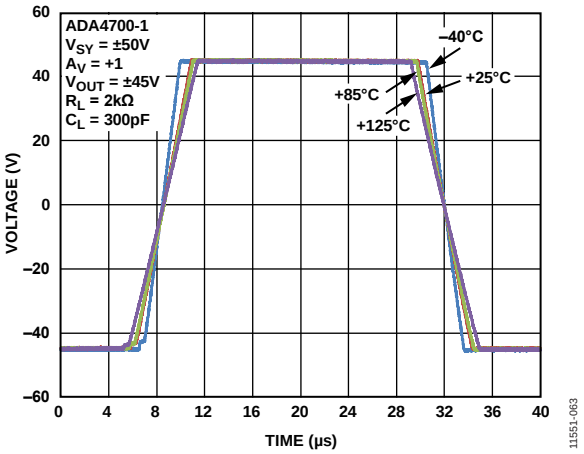

図 53.大信号過渡応答、V_{SY} = ±50 V

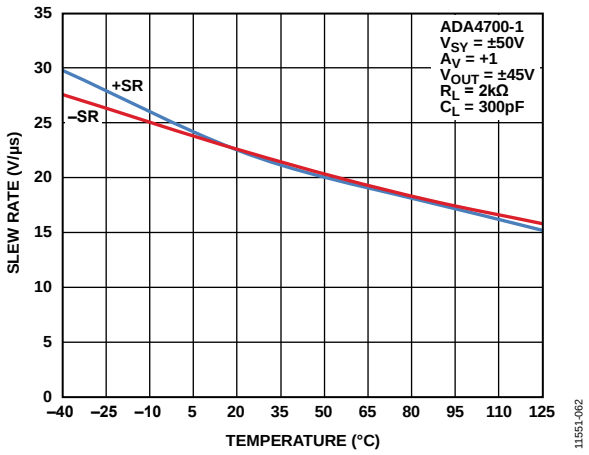

図 51.スルーレート (SR)の温度特性、V_{SY} = ±50 V

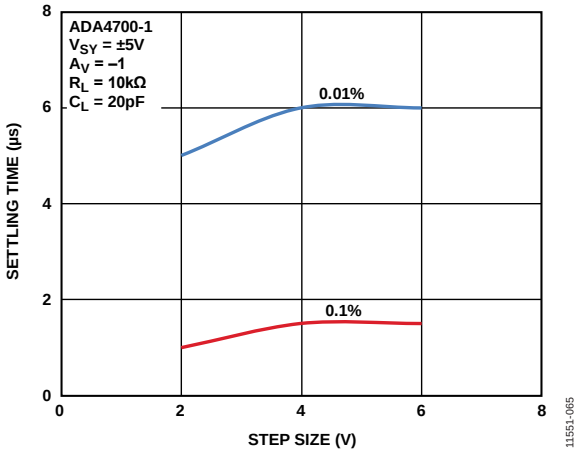

図 54.ステップ・サイズ対 0.01%および 0.1% のセトリング・タイム、V_{SY} = ±5 V

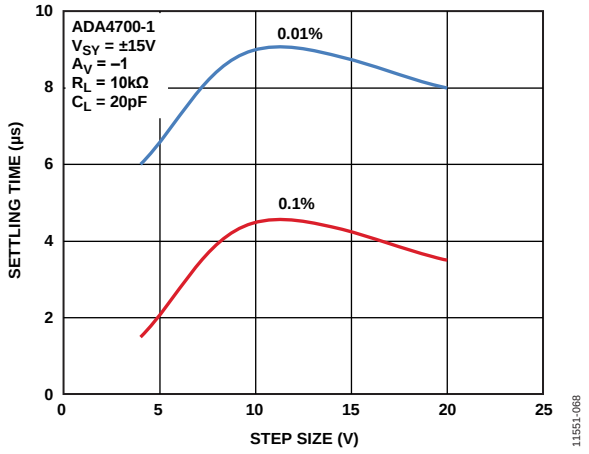

図 52.ステップ・サイズ対 0.01%および 0.1% のセトリング・タイム、V_{SY} = ±15 V

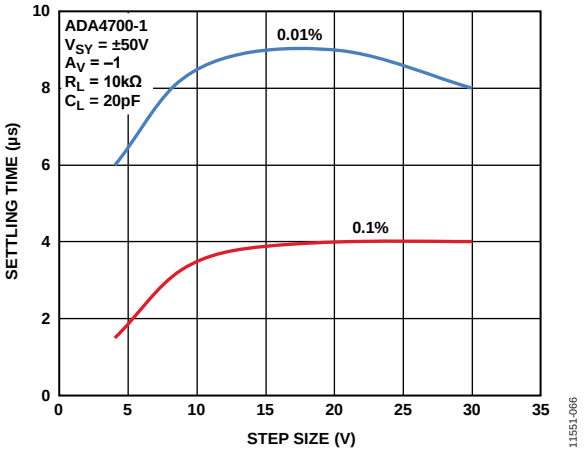

図 55.ステップ・サイズ対 0.01%および 0.1% のセトリング・タイム、V_{SY} = ±50 V

テスト回路

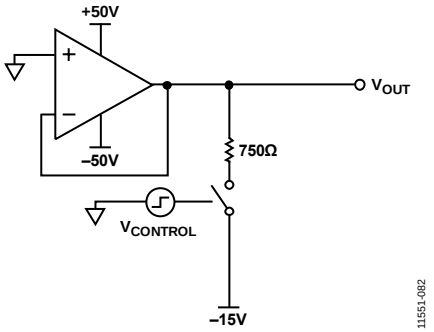

図 56. **図 17** に示す出力電流過渡セトリング・タイム (ソーシング)のテスト回路

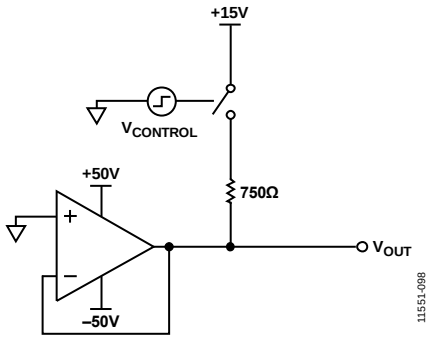

図 57. **図 20** に示す出力電流過渡セトリング・タイム (シンキング)のテスト回路

動作原理

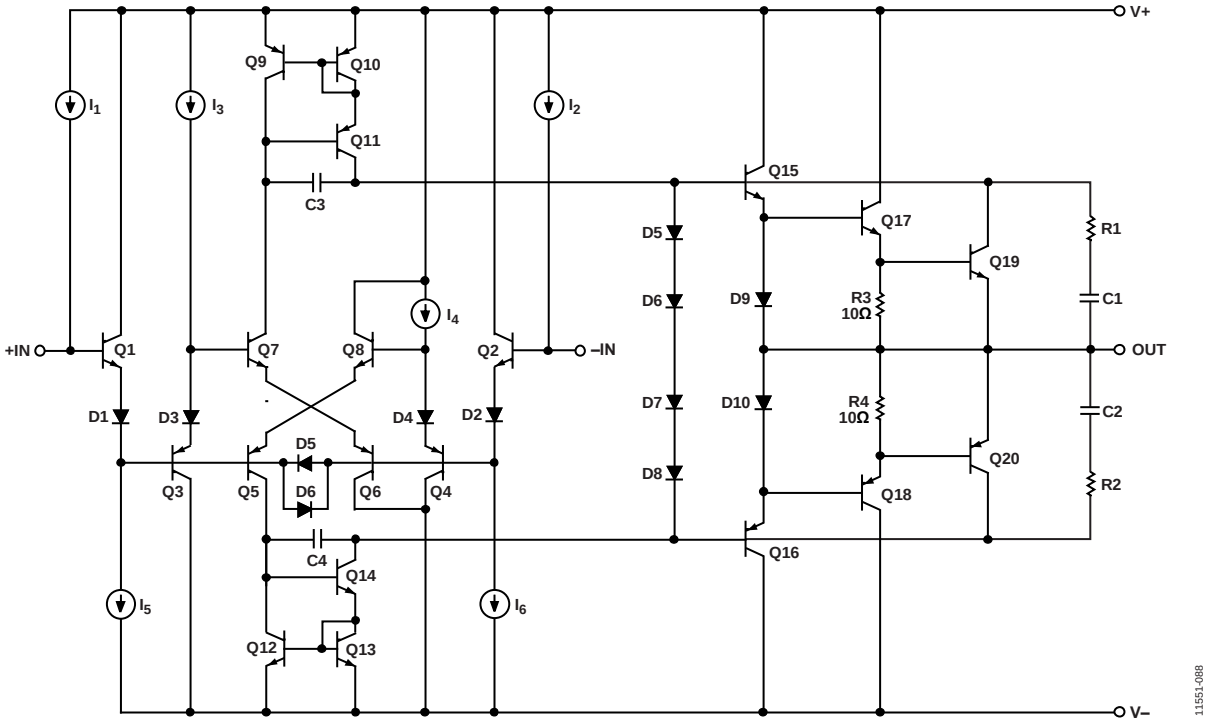

図 58.ADA4700-1 の簡略化した回路図

ADA4700-1 は、スルーレートを強化したバイポーラ入力ステージ(すべての電圧ゲインを提供)を内蔵する高電圧オペアンプです。シングル・ステージ・アンプは、優れた安定性を持つがオープン・ループ・ゲインが貧弱なことで知られています。最新の ADA4700-1 デザインでは、マルチステージ・アンプに相当するゲインを提供するため、両方の利点を組み合わせています。

図 58 では、入力ステージは Q5～Q8 で構成され、電流ミラーQ9～Q14 が負荷になっています。出力ステージは、Q15～Q18 で構成される相補ダーリントンタイプになっています。他のバイポーラ・アンプと同様に、入力ステージは内部でクランプされて、大きな差動入力での性能低下を防止しますが、高電圧ダイオード D1 および D2 と Q1 および Q2 の追加との組み合わせにより、入力間の電圧が電源電圧に一致するときでも高差動入力インピーダンスを維持します。 この構成を持つため ADA4700-1 は、整流器、ピーク検出器、コンパレータなどのような大きな差動電圧を回避できないアプリケーションに適しています。

ADA4700-1 は、C3 と C4 で設定される 1 極補償を採用しています。内蔵スナバ回路 R1/C1 と R2/C2 は、さらに安定性を強化します。このデザインでは、発振の危険なしで大きな容量負荷の駆動が可能になります。

Q19 および Q20 のトランジスタは、R3 および R4 の抵抗との組み合わせにより、出力短絡保護機能を提供します。さらに、サーマル・レギュレーション回路 (図 58 には表示してありません)により、チップ温度を 145°C 以上に制限して消費電力が大きくなることを防止します。

最大 ±50 V までのほぼ等しい電源分割により、出力を無条件にグラウンドへ短絡できますが、この方法で動作させることは推奨されません。

出力といずれかの電源との間の電圧が 60 V を超える場合、電源への短絡は回避してください。出力トランジスタの過渡消費電力は安全な動作領域を超えることができるため、後で破壊することがあります。

サーマル・レギュレーション

ADA4700-1 のサーマル・レギュレーション回路は、周囲温度と電流駆動の継続時間に依存します。ADA4700-1 のサーマル・レギュレーションがアクティブの場合、電源電流 I_{SY} が 1.7 mA から 300 µA へ減少します。出力ステージは、出力デバイスの寄生容量とチップ温度上昇との組み合わせによりサーマル・レギュレーション中バイアスされたままになります。例えば、電流駆動 I_{OUT} = 30 mA (180 sec 間)で、周囲温度が 85°C の場合、ジャンクション温度 = 145°C かつ出力電流レベル = 22 mA でサーマル・レギュレーションが開始されます。詳細については、サーマル・マネジメント のセクションと安全動作領域のセクションを参照してください。

アプリケーション情報

サーマル・マネジメント

ADA4700-1 のような高電力アンプのサーマル・マネジメントは、システム・デザインで不可欠の考慮事項です。デバイスの消費電力 (P_D) とパッケージの周囲温度 (T_A) の 2 つの条件がジャンクション温度 (T_J)に影響を与えます。この関係を式 1 で示します。

$$T_J = P_D \times \theta_{JA} + T_A \quad (1)$$

ここで、θ_{JA} はチップと周囲環境との間の熱抵抗。消費電力は、デバイスの静止電力と負荷駆動に必要な電力の和です。ソーシング電流の消費電力は式 2 で表されます。

$$P_D = ((V+) - (V-)) \times I_{SY} + ((V+) - V_{OUT}) \times I_{OUT} \quad (2)$$

電流シンクの場合、式 2 の ((V+) − V_{OUT}) に((V−) − V_{OUT})を代入します。

ADA4700-1 の規定熱抵抗は 45°C/W です。プリント回路ボード (PCB) レイアウトと外付けヒート・シンクにより、θ_{JA} を小さくして熱性能を向上させることができます。

ジャンクションと周囲環境との間の熱抵抗を小さくするため、ADA4700-1 のエクスポーズド・パッドをヒート・シンクとして機能する PCB の V− プレーン層にハンダ付けすることができます。図 60 に示す PCB レイアウトを使用すると、θ_{JA}は 26°C/W に減少します。

ADA4700-1 はチップが絶対最大温度を超えるのを防止します。チップのジャンクション温度が 145°C より高くなると、サーマル・レギュレーションが開始されて、電源電流が減少し、出力負荷電流が制限されます。

安全動作領域

図 59 の安全動作領域 (SOA)とは、アンプが故障しないで安全に動作できる電圧、電流、温度の範囲です。これは周囲温度と熱抵抗に直接依存します。 図 59 に、図 60 に示す PCB を使用した静止状態の ADA4700-1 の SOA を示します。30 mA 負荷駆動の継続時間は 180 sec です。様々な時間間隔により、別のセットのカーブが得られます。ADA4700-1 の保証周囲温度範囲は−40°C～+85°C です。図 59 の 125°C は参考用です。通常動作を維持するためには、ADA4700-1 は周囲温度 85°C まで SOA (各カーブの下の領域)内にある必要があります。

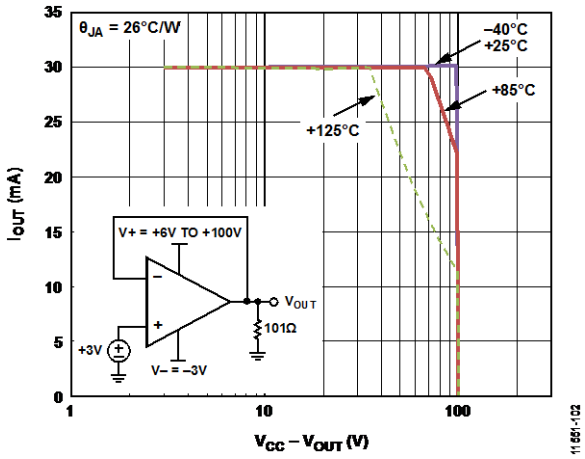

図 59.安全動作領域、θ_{JA} = 26°C/W

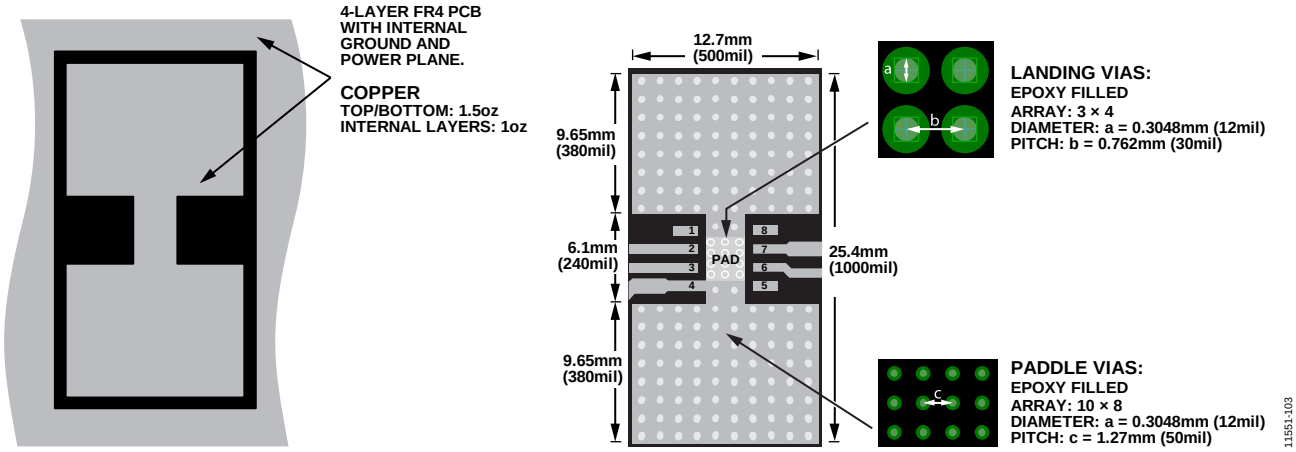

図 60.θ_{JA} = 26°C/W を実現するためのサーマル・ランドと PCB 材料

容量負荷の駆動

ADA4700-1 は良好に容量負荷を駆動しますが、図 27～図 30 に示す C_L による追加補償を行うと、大きな容量に対応するとき応答を改善することができます。これを実現するシンプルな方法は、図 61 に示すスナバ回路の使用です。

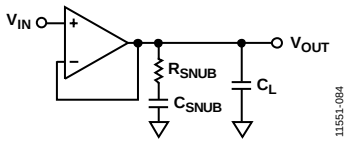

図 61.スナバ回路

ユニティ・ゲインアプリケーションと 1 nF までの容量負荷に対しては、R_{SNUB} = 150 Ω と C_{SNUB} = 10 nF がよく機能します。この回路の結果を図 64 に示します。クローズド・ループ・ゲインが高いほど、軽いスナバ回路を使うことができます。10 nF までの容量負荷に対しては、スナバは大きくする必要があります。 図 65 に、R_{SNUB} = 22 Ω、C_{SNUB} = 100 nF、C_L = 10 nF、ADA4700-1 のゲイン = 10 の場合の結果を示します。スナバ回路はアンプに AC 負荷を加えるので、大きな容量負荷を使用する場合、または大きな過渡電圧が存在する場合、スナバ回路はよく機能しません。帰還パスにバイパス回路を使用することは良い方法です(図 62 参照)。

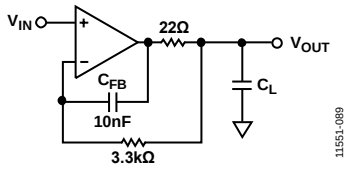

図 62.バイパス回路によるユニティ・ゲイン構成

図 62 のバイパス回路は、100 nF までの負荷に対してよく機能します。種々の出力振幅で得られた波形を図 66 に示します。負荷が大きい場合、容量帰還 C_{FB} を大きくする必要があります。図 62 の構成はゲイン > 1 で動作するように変更することができます。 図 63 にゲイン 10 のシステムでのバイパス回路を、図 67 に種々の出力振幅で得られた結果を、それぞれ示します。

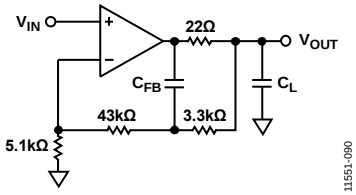

図 63. ゲイン 10 のシステムでのバイパス回路

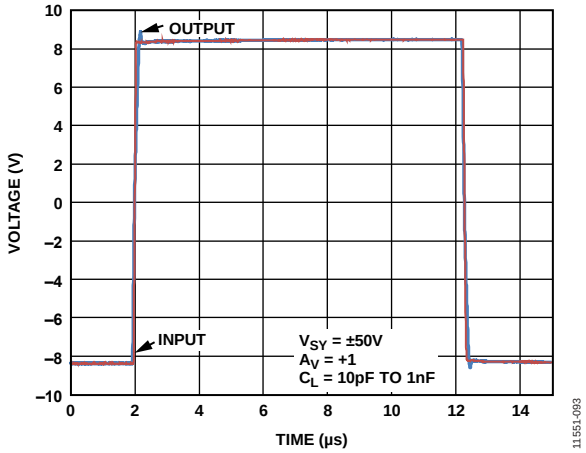

図 64.スナバ回路から得られた結果、A_V = +1、C_L = 10 pF～1 nF

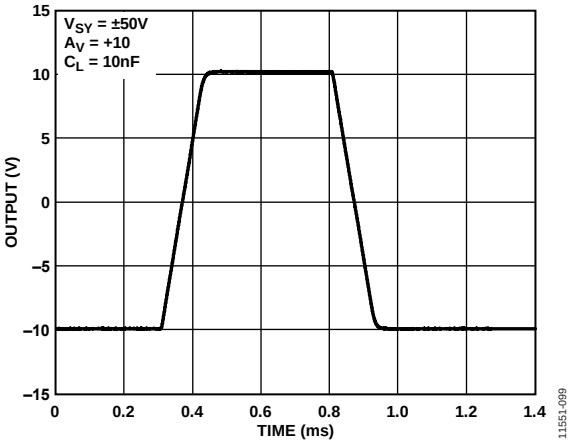

図 65.スナバ回路から得られた結果、高ゲイン、C_L = 10 nF

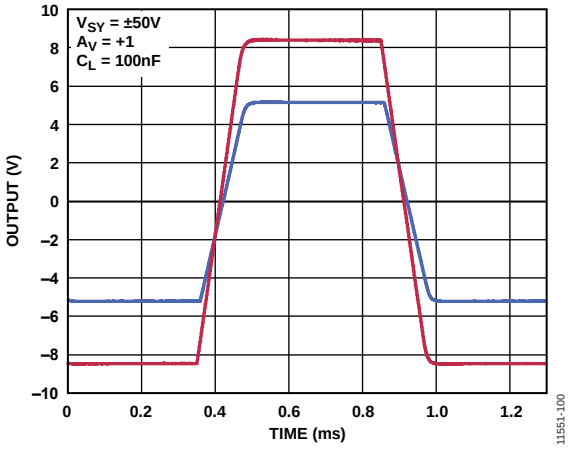

図 66.様々な出力振幅でバイパス回路から得られた結果
ユニティ・ゲイン、C_L = 100 nF

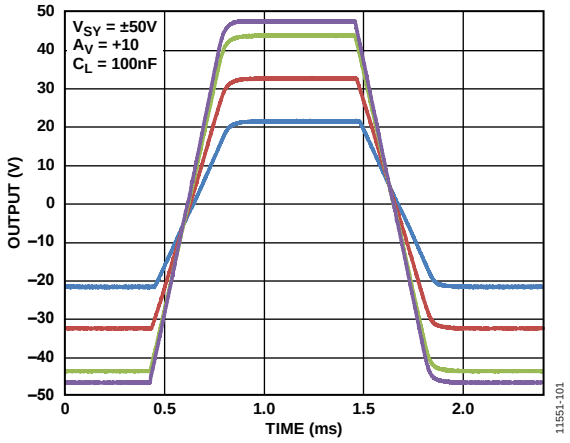

図 67.バイパス回路から得られた結果、A_V = +10、C_L = 100 nF

電流駆動能力の強化

外付けドライバ・トランジスタを接続することにより、大きな出力電流を得ることができます。アンプからバイパス抵抗を介して小さい電流を直接駆動させることにより、クロスオーバー歪みが小さくなります(図 68 参照)。この回路は数百 mA を駆動できますが、ドライバ・トランジスタを安全動作領域内に維持してください。重い負荷 (最大 5 A)に対しては、パワー・ダーリントンを使うことができます(図 69 参照)。

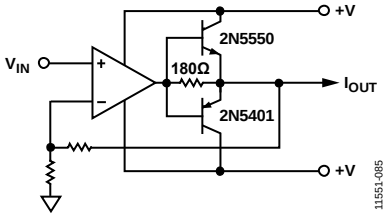

図 68.ディスクリート・トランジスタを使用した電流駆動能力の強化

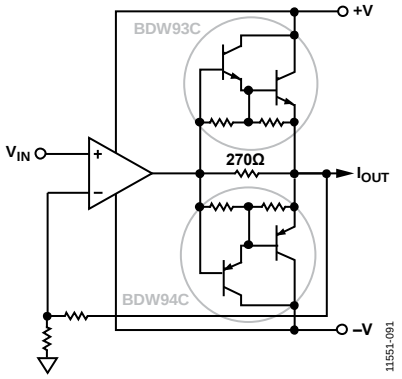

図 69.伝達関数 1 mA/V のバイラテラル電流源

定電流アプリケーション

高コンプライアンスの一定電流が必要な場合、ADA4700-1 を改良型 Howland 電流ポンプとして使うことができます。図 70 に示す値から伝達関数 1 mA/V が得られます。この解析を図 71 に示す改良型 Howland 電流ポンプに適用すると、 1 A/V の出力能力が得られます。

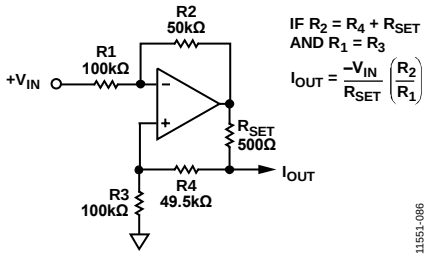

図 70.1 mA/V の伝達関数

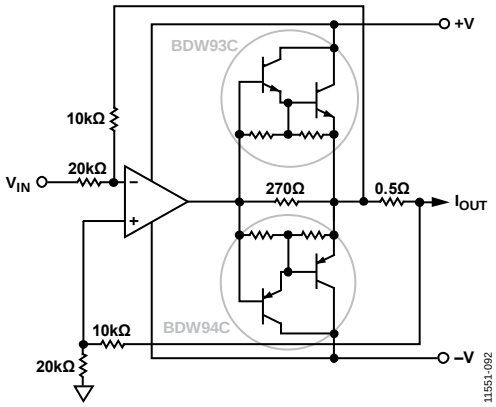

図 71.改良型 Howland 電流ポンプ

外形寸法

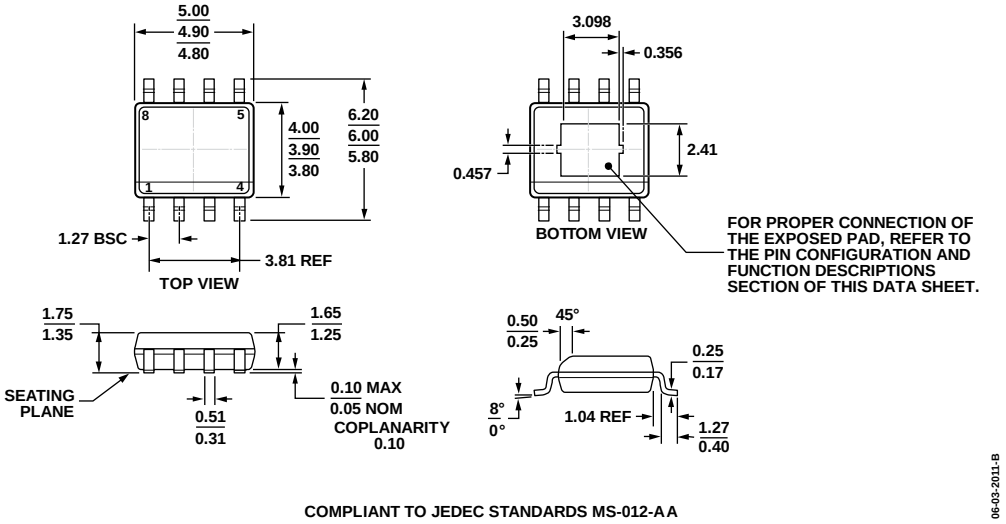

図 72.8 ピン標準スモール・アウトライン・パッケージ、エクスポーズド・パッド付き[SOIC_N_EP]
ナロー・ボディ
(RD-8-2)
寸法: mm

オーダー・ガイド

Model[1]	Temperature Range	Package Description	Package Option
ADA4700-1ARDZ	−40°C to +85°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-2
ADA4700-1ARDZ-R7	−40°C to +85°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-2
ADA4700-1ARDZ-RL	−40°C to +85°C	8-Lead Standard Small Outline Package with Exposed Pad [SOIC_N_EP]	RD-8-2

[1] Z = RoHS 準拠製品。