



18 V、高精度、725 μ A、4 MHz CMOS RRIOオペアンプ

データシート

ADA4661-2

特長

高電圧 (18 V) で低消費電力: 最大 725 μ A

低オフセット電圧

$V_{SY}/2$ で最大 150 μ V

全同相モード範囲で最大 300 μ V

低入力バイアス電流: 15 pA 最大

ゲイン帯域幅積: $A_V = 100$ で 4 MHz (typ)

ユニティ・ゲイン・クロスオーバー: 4 MHz (typ)

-3 dB クローズ・ループ帯域幅: 2.1 MHz (typ)

単電源動作: 3 V~18 V

両電源動作: ± 1.5 V~ ± 9 V

ユニティ・ゲイン安定

アプリケーション

電流シャント・モニタ

アクティブ・フィルタ

携帯型医用機器

バッファ/レベル・シフト

高インピーダンス・センサーのインターフェース

バッテリー駆動の計装機器

概要

ADA4661-2 は、低消費電力、広帯域、広い動作電源電圧範囲のアプリケーションに対して最適化された、レール to レール入力/出力の高精度デュアル・アンプです。

ADA4661-2 の性能は、3.0 V、10 V、18 V の電源に対して保証されています。このデバイスは、3.3 V、5 V、10 V、12 V、15 V の単電源と ± 2.5 V、 ± 3.3 V、 ± 5 V の両電源を使うアプリケーションに対する優れた選択肢になっています。このデバイスは、低オフセット電圧を実現する、アナログ・デバイセズの特許取得済み DigiTrim® トリミング技術を採用しています。さらに、ADA4661-2 の独自のデザイン・アーキテクチャにより、 $-V_{SY} + 1.5$ V~ $+V_{SY} - 1.5$ V の同相モード電圧範囲で動作する場合、優れた電源除去比、同相モード除去比、オフセット電圧が可能になっています。

ADA4661-2 は -40°C ~ $+125^{\circ}\text{C}$ の拡張工業用温度範囲の動作仕様で、8 ピン MSOP パッケージまたは 8 ピン LFCSP (3 mm $\times$ 3 mm) パッケージを採用しています。

ピン接続図

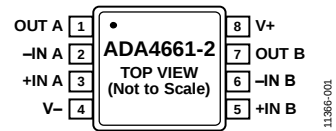
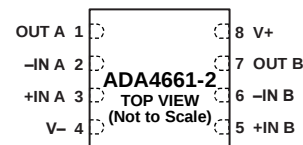


図 1.8 ピン MSOP



NOTES
1. CONNECT THE EXPOSED PAD TO V- OR LEAVE IT UNCONNECTED.

図 2.8 ピン LFCSP

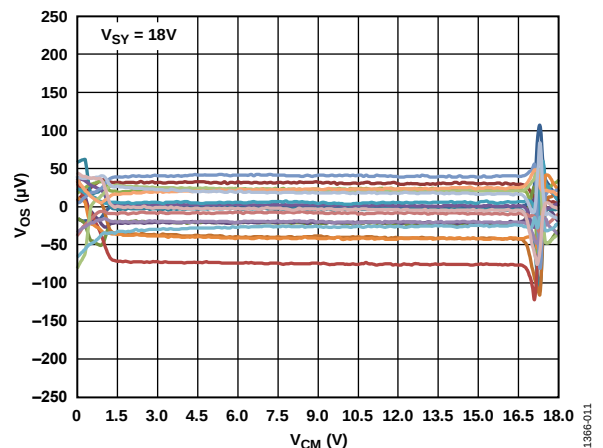


図 3.同相モード電圧対入力オフセット電圧

表 1.高精度低消費電力オペアンプ (1 mA 以下)

Supply Voltage	5 V	12 V to 16 V	30 V
Single	ADA4505-1 AD8500	OP196	OP777
Dual	ADA4505-2 AD8502 AD8506	AD8657 OP296 ADA4661-2 ADA4666-2	ADA4096-2 OP727 AD8682 AD8622
Quad	ADA4505-4 AD8504 AD8508	AD8659 OP496	ADA4096-4 OP747 AD8684 AD8624

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	入力ステージ.....	22
アプリケーション.....	1	ゲイン・ステージ.....	23
概要.....	1	出力ステージ.....	23
ピン接続図.....	1	最大消費電力.....	23
改訂履歴.....	2	レール to レールの入力と出力.....	23
仕様.....	3	コンパレータ動作.....	24
電気的特性—18 V 動作.....	3	EMI 除去比.....	25
電気的特性—10 V 動作.....	5	電流シャント・モニタ.....	25
電気的特性—3.0 V 動作.....	7	アクティブ・フィルタ.....	25
絶対最大定格.....	9	容量負荷の駆動.....	26
熱抵抗.....	9	高インピーダンス・ソースでのノイズ考慮事項.....	28
ESD の注意.....	9	外形寸法.....	29
ピン配置およびピン機能説明.....	10	オーダー・ガイド.....	29
代表的な性能特性.....	11		
アプリケーション情報.....	22		

改訂履歴

7/13—Revision 0: Initial Version

仕様

電気的特性—18 V 動作

特に指定がない限り、 $V_{SY} = 18\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$V_{CM} = 1.5\text{ V to }16.5\text{ V}$		30	150	μV
		$V_{CM} = 1.5\text{ V to }16.5\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			150	μV
		$V_{CM} = 0\text{ V to }18\text{ V}$			500	μV
		$V_{CM} = 0\text{ V to }18\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			300	μV
					600	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.6	3.1	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B			0.5	15	pA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			100	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			900	pA
Input Offset Current	I_{OS}				11	pA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$			30	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			300	pA
Input Voltage Range			0		18	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = 1.5\text{ V to }16.5\text{ V}$	115	135		dB
		$V_{CM} = 1.5\text{ V to }16.5\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	110			dB
		$V_{CM} = 0\text{ V to }18\text{ V}$	100	118		dB
		$V_{CM} = 0\text{ V to }18\text{ V}; -40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	91			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100\text{ k}\Omega$, $V_{OUT} = 0.5\text{ V to }17.5\text{ V}$	120	147		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	120			dB
Input Resistance						
Differential Mode	R_{INDM}			>10		$\text{G}\Omega$
Common Mode	R_{INCM}			>10		$\text{G}\Omega$
Input Capacitance						
Differential Mode	C_{INDM}			8.5		pF
Common Mode	C_{INCM}			3		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 10\text{ k}\Omega$ to V_{CM}	17.95	17.97		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	17.94			V
		$R_L = 1\text{ k}\Omega$ to V_{CM}	17.6	17.79		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	17.58			V
Output Voltage Low	V_{OL}	$R_L = 10\text{ k}\Omega$ to V_{CM}		14	25	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			40	mV
		$R_L = 1\text{ k}\Omega$ to V_{CM}		120	200	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			300	mV
Continuous Output Current	I_{OUT}	Dropout voltage = 1 V		40		mA
Short-Circuit Current	I_{SC}	Pulse width = 10 ms; refer to the Maximum Power Dissipation section		± 220		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 100\text{ kHz}$, $A_V = 1$		0.2		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 3.0\text{ V to }18\text{ V}$	120	145		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	120			dB
Supply Current per Amplifier	I_{SY}	$I_{OUT} = 0\text{ mA}$		630	725	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			975	μA

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE						
Slew Rate	SR	R _S = 1 kΩ, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		2		V/μs
Gain Bandwidth Product	GBP	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 100		4		MHz
Unity-Gain Crossover	UGC	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		4		MHz
−3 dB Closed-Loop Bandwidth	f _{−3 dB}	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		2.1		MHz
Phase Margin	Φ _M	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		60		Degrees
Settling Time to 0.1%	t _S	V _{IN} = 1 V step, R _L = 10 kΩ, C _L = 10 pF		1.3		μs
Channel Separation	CS	V _{IN} = 17.9 V p-p, f = 10 kHz, R _L = 10 kΩ		80		dB
EMI Rejection Ratio of +IN x f = 400 MHz	EMIRR	V _{IN} = 100 mV peak (200 mV p-p)		34		dB
f = 900 MHz				42		dB
f = 1800 MHz				50		dB
f = 2400 MHz				60		dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise Bandwidth = 80 kHz	THD + N	A _V = 1, V _{IN} = 5.4 V rms at 1 kHz		0.0004		%
Bandwidth = 500 kHz				0.0008		%
Peak-to-Peak Noise	e _n p-p	f = 0.1 Hz to 10 Hz		3		μV p-p
Voltage Noise Density	e _n	f = 1 kHz		18		nV/√Hz
		f = 10 kHz		14		nV/√Hz
Current Noise Density	i _n	f = 1 kHz		360		fA/√Hz

電氣的特性—10 V 動作

特に指定がない限り、 $V_{SY} = 10\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V _{OS}			30	150	μV
		V _{CM} = 1.5 V to 8.5 V			150	μV
		V _{CM} = 1.5 V to 8.5 V; −40°C ≤ T _A ≤ +125°C			450	μV
		V _{CM} = 0 V to 10 V			300	μV
		V _{CM} = 0 V to 10 V; −40°C ≤ T _A ≤ +125°C			600	μV
Offset Voltage Drift	ΔV _{OS} /ΔT	−40°C ≤ T _A ≤ +125°C		0.6	3.1	μV/°C
Input Bias Current	I _B			0.25	15	pA
		−40°C ≤ T _A ≤ +85°C			80	pA
		−40°C ≤ T _A ≤ +125°C			750	pA
Input Offset Current	I _{OS}				11	pA
		−40°C ≤ T _A ≤ +85°C			30	pA
		−40°C ≤ T _A ≤ +125°C			270	pA
Input Voltage Range			0		10	V
Common-Mode Rejection Ratio	CMRR	V _{CM} = 1.5 V to 8.5 V	115	140		dB
		V _{CM} = 1.5 V to 8.5 V; −40°C ≤ T _A ≤ +125°C	115			dB
		V _{CM} = 0 V to 10 V	95	114		dB
		V _{CM} = 0 V to 10 V; −40°C ≤ T _A ≤ +125°C	86			dB
Large Signal Voltage Gain	A _{VO}	R _L = 100 kΩ, V _{OUT} = 0.5 V to 9.5 V	120	145		dB
		−40°C ≤ T _A ≤ +125°C	120			dB
Input Resistance						
Differential Mode	R _{INDM}			>10		GΩ
Common Mode	R _{INCM}			>10		GΩ
Input Capacitance						
Differential Mode	C _{INDM}			8.5		pF
Common Mode	C _{INCM}			3		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V _{OH}	R _L = 10 kΩ to V _{CM}	9.96	9.98		V
		−40°C ≤ T _A ≤ +125°C	9.96			V
		R _L = 1 kΩ to V _{CM}	9.7	9.88		V
		−40°C ≤ T _A ≤ +125°C	9.7			V
Output Voltage Low	V _{OL}	R _L = 10 kΩ to V _{CM}		10	15	mV
		−40°C ≤ T _A ≤ +125°C			30	mV
		R _L = 1 kΩ to V _{CM}		77	110	mV
		−40°C ≤ T _A ≤ +125°C			200	mV
Continuous Output Current	I _{OUT}	Dropout voltage = 1 V		40		mA
Short-Circuit Current	I _{SC}	Pulse width = 10 ms; refer to the Maximum Power Dissipation section		±220		mA
Closed-Loop Output Impedance	Z _{OUT}	f = 100 kHz, A _V = 1		0.2		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V _{SY} = 3.0 V to 18 V	120	145		dB
		−40°C ≤ T _A ≤ +125°C	120			dB
Supply Current per Amplifier	I _{SY}	I _{OUT} = 0 mA		620	725	μA
		−40°C ≤ T _A ≤ +125°C			975	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	R _S = 1 kΩ, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		1.8		V/μs
Gain Bandwidth Product	GBP	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 100		4		MHz
Unity-Gain Crossover	UGC	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		4		MHz
−3 dB Closed-Loop Bandwidth	f _{−3 dB}	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		2.1		MHz
Phase Margin	Φ _M	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		60		Degrees
Settling Time to 0.1%	t _s	V _{IN} = 1 V step, R _L = 10 kΩ, C _L = 10 pF		1.3		μs
Channel Separation	CS	V _{IN} = 9.9 V p-p, f = 10 kHz, R _L = 10 kΩ		85		dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
EMI Rejection Ratio of +IN x f = 400 MHz f = 900 MHz f = 1800 MHz f = 2400 MHz	EMIRR	$V_{IN} = 100 \text{ mV peak (200 mV p-p)}$		34 42 50 60		dB dB dB dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise Bandwidth = 80 kHz	THD + N	$A_V = 1, V_{IN} = 2.2 \text{ V rms at 1 kHz}$		0.0004		%
Bandwidth = 500 kHz				0.0008		%
Peak-to-Peak Noise	$e_n \text{ p-p}$	f = 0.1 Hz to 10 Hz		3		$\mu\text{V p-p}$
Voltage Noise Density	e_n	f = 1 kHz		18		$\text{nV}/\sqrt{\text{Hz}}$
		f = 10 kHz		14		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	f = 1 kHz		360		$\text{fA}/\sqrt{\text{Hz}}$

電気的特性—3.0 V 動作

特に指定がない限り、 $V_{SY} = 3.0\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V _{OS}			30	150	μV
		V _{CM} = V _{SY} /2; −40°C ≤ T _A ≤ +125°C			450	μV
		V _{CM} = 0 V to 3.0 V			300	μV
		V _{CM} = 0 V to 3.0 V; −40°C ≤ T _A ≤ +125°C			600	μV
Offset Voltage Drift	ΔV _{OS} /ΔT	−40°C ≤ T _A ≤ +125°C		0.6	3.1	μV/°C
Input Bias Current	I _B			0.15	8	pA
		−40°C ≤ T _A ≤ +85°C			45	pA
		−40°C ≤ T _A ≤ +125°C			650	pA
Input Offset Current	I _{OS}				11	pA
		−40°C ≤ T _A ≤ +85°C			30	pA
		−40°C ≤ T _A ≤ +125°C			270	pA
Input Voltage Range			0		3	V
Common-Mode Rejection Ratio	CMRR	V _{CM} = 0 V to 3.0 V	85	100		dB
		V _{CM} = 0 V to 3.0 V; −40°C ≤ T _A ≤ +125°C	75			dB
Large Signal Voltage Gain	A _{VO}	R _L = 100 kΩ, V _{OUT} = 0.5 V to 2.5 V	105	130		dB
		−40°C ≤ T _A ≤ +125°C	105			dB
Input Resistance						
Differential Mode	R _{INDM}			>10		GΩ
Common Mode	R _{INCM}			>10		GΩ
Input Capacitance						
Differential Mode	C _{INDM}			8.5		pF
Common Mode	C _{INCM}			3		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V _{OH}	R _L = 10 kΩ to V _{CM}	2.98	2.99		V
		−40°C ≤ T _A ≤ +125°C	2.98			V
		R _L = 1 kΩ to V _{CM}	2.9	2.96		V
		−40°C ≤ T _A ≤ +125°C	2.9			V
Output Voltage Low	V _{OL}	R _L = 10 kΩ to V _{CM}		4	8	mV
		−40°C ≤ T _A ≤ +125°C			15	mV
		R _L = 1 kΩ to V _{CM}		25	40	mV
		−40°C ≤ T _A ≤ +125°C			65	mV
Continuous Output Current	I _{OUT}	Dropout voltage = 1 V		30		mA
Short-Circuit Current	I _{SC}	Pulse width = 10 ms; refer to the Maximum Power Dissipation section		±220		mA
Closed-Loop Output Impedance	Z _{OUT}	f = 100 kHz, A _V = 1		0.2		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V _{SY} = 3.0 V to 18 V	120	145		dB
		−40°C ≤ T _A ≤ +125°C	120			dB
Supply Current per Amplifier	I _{SY}	I _{OUT} = 0 mA		615	725	μA
		−40°C ≤ T _A ≤ +125°C			975	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	R _S = 1 kΩ, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		1.7		V/μs
Gain Bandwidth Product	GBP	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 100		4		MHz
Unity-Gain Crossover	UGC	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		4		MHz
−3 dB Closed-Loop Bandwidth	f _{−3 dB}	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _V = 1		1.7		MHz
Phase Margin	Φ _M	V _{IN} = 10 mV p-p, R _L = 10 kΩ, C _L = 10 pF, A _{VO} = 1		60		Degrees
Settling Time to 0.1%	t _s	V _{IN} = 1 V step, R _L = 10 kΩ, C _L = 10 pF		1.3		μs
Channel Separation	CS	V _{IN} = 2.9 V p-p, f = 10 kHz, R _L = 10 kΩ		90		dB

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
EMI Rejection Ratio of +IN x f = 400 MHz f = 900 MHz f = 1800 MHz f = 2400 MHz	EMIRR	$V_{IN} = 100 \text{ mV peak (200 mV p-p)}$		34 42 50 60		dB dB dB dB
NOISE PERFORMANCE						
Total Harmonic Distortion Plus Noise Bandwidth = 80 kHz	THD + N	$A_V = 1, V_{IN} = 0.44 \text{ V rms at 1 kHz}$		0.002		%
Bandwidth = 500 kHz				0.003		%
Peak-to-Peak Noise	$e_n \text{ p-p}$	f = 0.1 Hz to 10 Hz		3		$\mu\text{V p-p}$
Voltage Noise Density	e_n	f = 1 kHz		18		$\text{nV}/\sqrt{\text{Hz}}$
		f = 10 kHz		14		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	f = 1 kHz		360		$\text{fA}/\sqrt{\text{Hz}}$

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	20.5 V
Input Voltage	(V-) – 300 mV to (V+) + 300 mV
Input Current ¹	±10 mA
Differential Input Voltage	Limited by maximum input current
Output Short-Circuit Duration to GND	Refer to the Maximum Power Dissipation section
Temperature Range	
Storage	–65°C to +150°C
Operating	–40°C to +125°C
Junction	–65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD	
Human Body Model ²	4 kV
Machine Model ³	400 V
Field-Induced Charged-Device Model (FICDM) ⁴	1.25 kV

¹入力ピンでは、電源ピンおよび各ピン間にクランプ・ダイオードが接続されています。入力信号が電源レールを 0.3 V 以上超えるときは、入力電流を 10 mA 以下に制限する必要があります。

²適用規格: MIL-STD-883、Method 3015.7。

³適用規格: JESD22-A115-A (JEDEC の ESD マシン・モデル規格)。

⁴適用規格 JESD22-C101C (JEDEC の ESD FICDM 規格)。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを標準 4 層 JEDEC 回路ボードにハンダ付けした状態で規定。LFCSP パッケージのエクスポーズド・パッドはボードにハンダ付けされています。

表 6.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP	142	45	°C/W
8-Lead LFCSP	83.5	48.5 ¹	°C/W

¹ θ_{JC} はパッケージの上面で測定。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

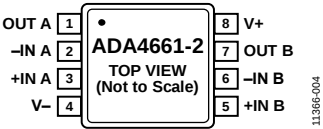


図 4.8 ピン MSOP のピン配置

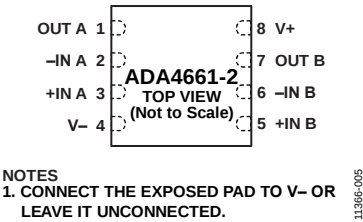


図 5.8 ピン LFCSP のピン配置

表 7.ピン機能の説明

ピン番号 ¹		記号	説明
8-Lead MSOP	8-Lead LFCSP		
1	1	OUT A	出力、チャンネル A。
2	2	-IN A	負の入力、チャンネル A。
3	3	+IN A	正の入力、チャンネル A。
4	4	V-	負電源電圧。
5	5	+IN B	正の入力、チャンネル B。
6	6	-IN B	負の入力、チャンネル B。
7	7	OUT B	出力、チャンネル B。
8	8	V+	正電源電圧
N/A	9 ²	EPAD	エクスポーズド・パッド。8 ピン LFCSP パッケージの場合、エクスポーズド・パッドを V- に接続するか、または未接続のままにしてください。

¹ N/A は該当なし。
² エクスポーズド・パッドは、ピン配置図(図 5) に表示してありません。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

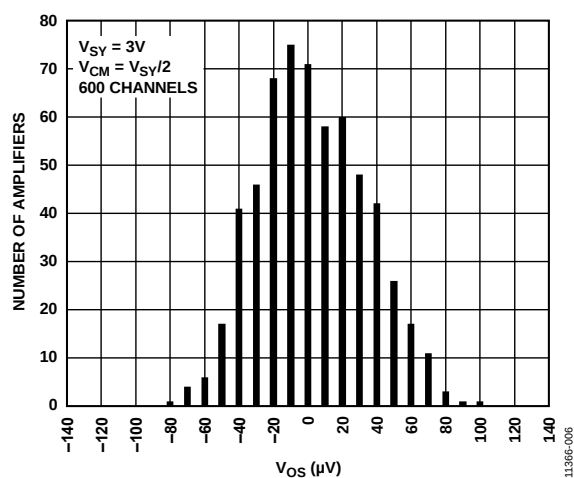


図 6.入力オフセット電圧の分布

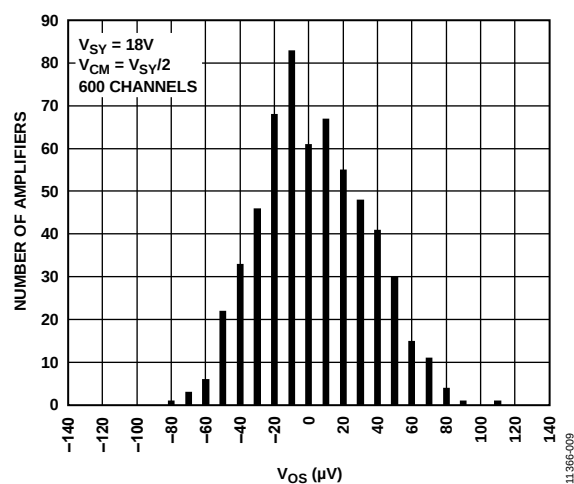


図 9.入力オフセット電圧の分布

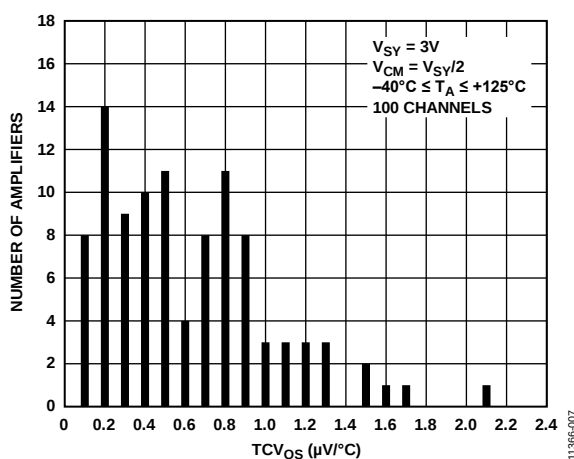


図 7.入力オフセット電圧ドリフトの分布

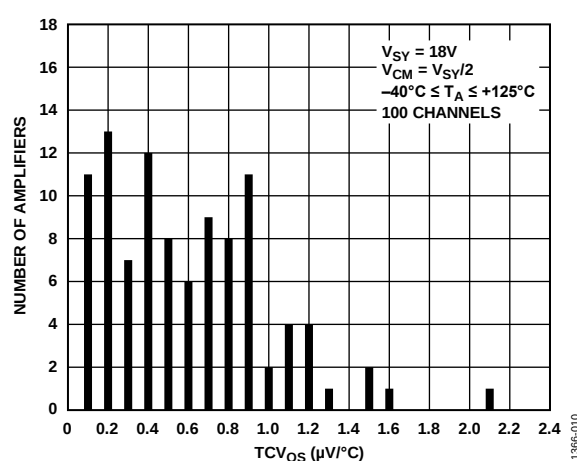


図 10.入力オフセット電圧ドリフトの分布

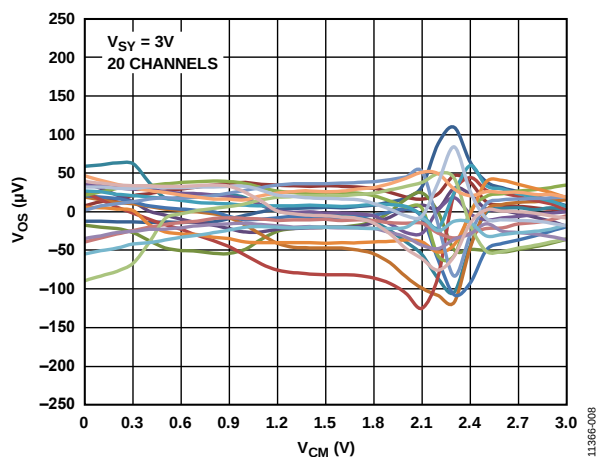


図 8.同相モード電圧対入力オフセット電圧

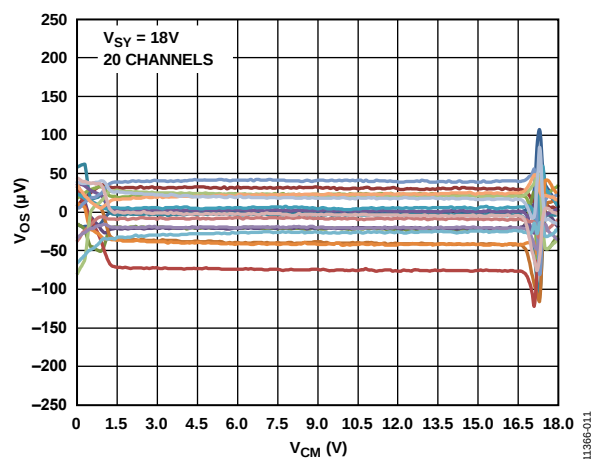


図 11.同相モード電圧対入力オフセット電圧

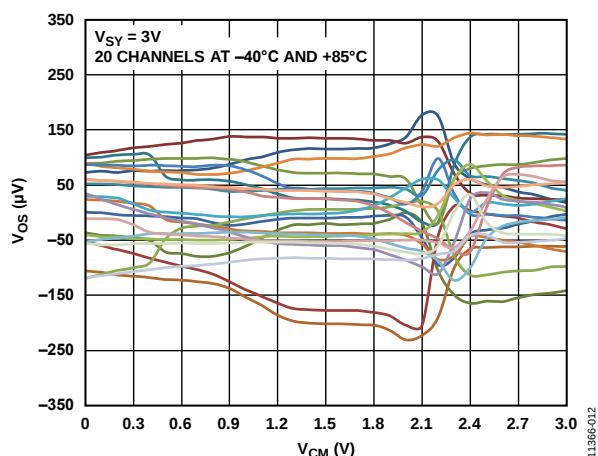


図 12. 同相モード電圧対入力オフセット電圧

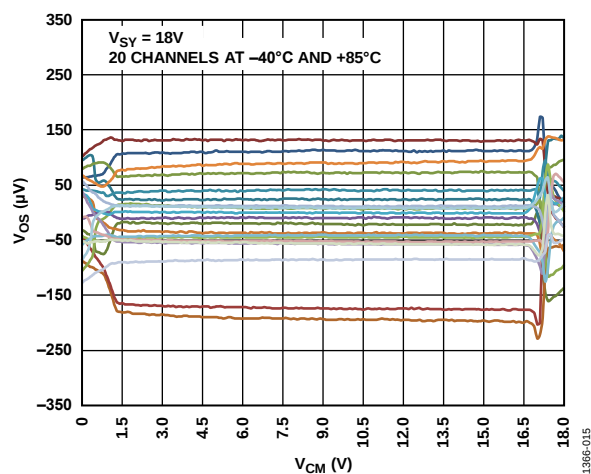


図 15. 同相モード電圧対入力オフセット電圧

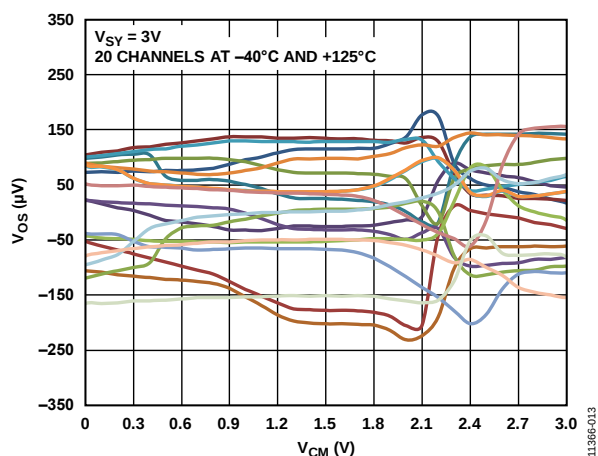


図 13. 同相モード電圧対入力オフセット電圧

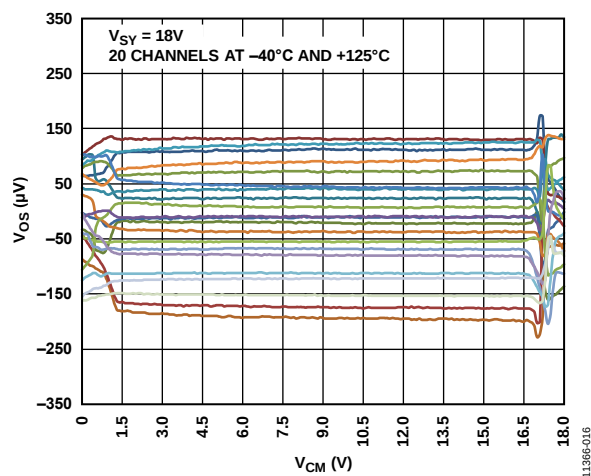


図 16. 同相モード電圧対入力オフセット電圧

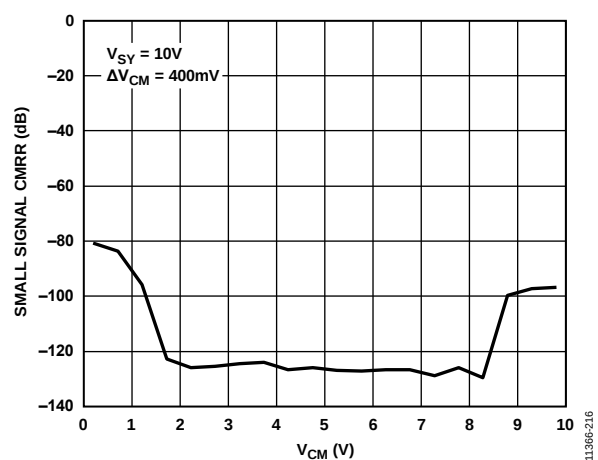


図 14. 同相モード電圧対小信号 CMRR

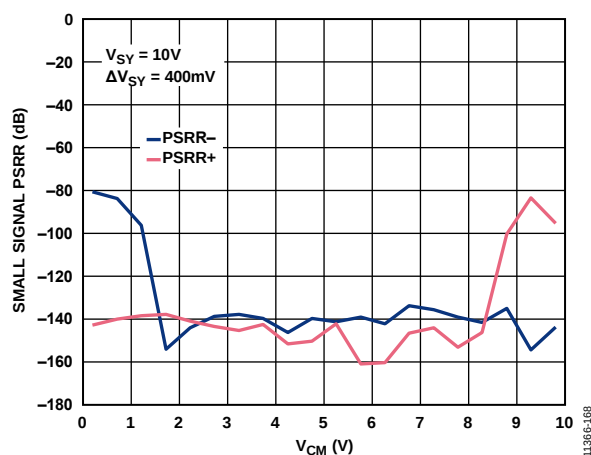


図 17. 同相モード電圧対小信号 PSRR

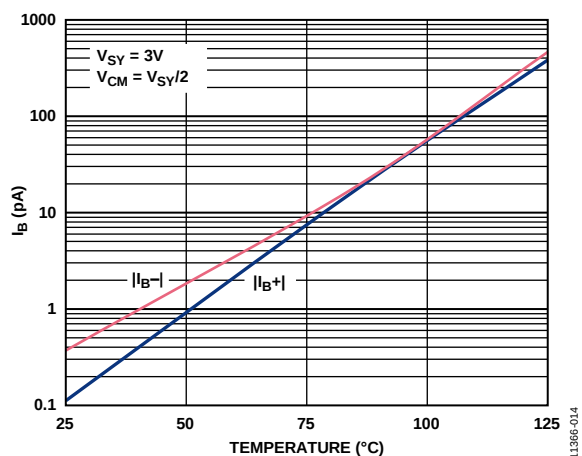


図 18.入力バイアス電流の温度特性

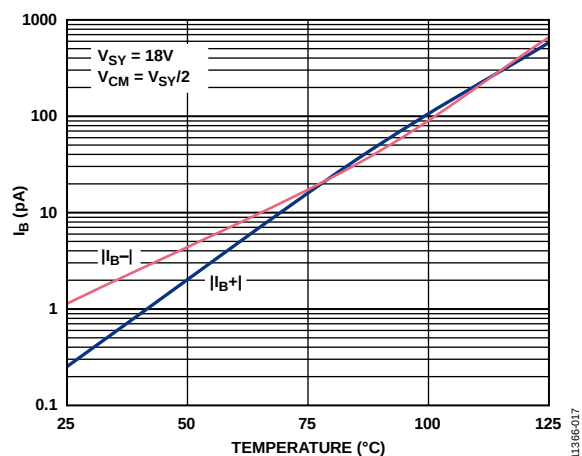


図 21.入力バイアス電流の温度特性

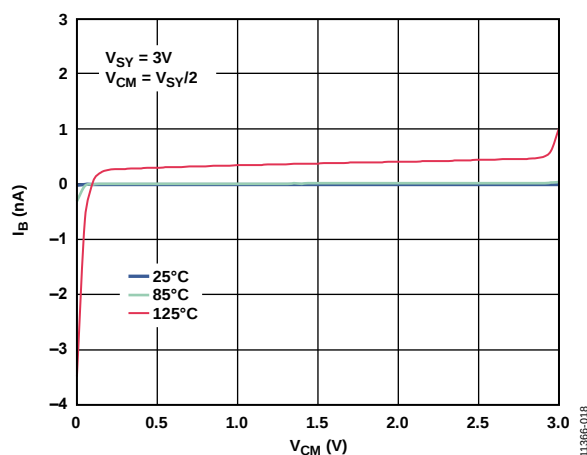


図 19.同相モード電圧対入力バイアス電流

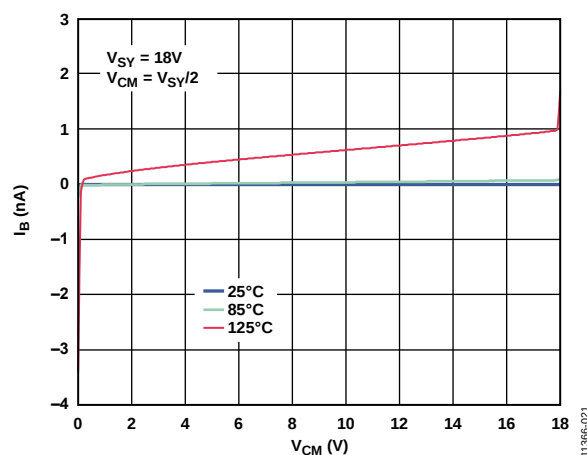


図 22.同相モード電圧対入力バイアス電流

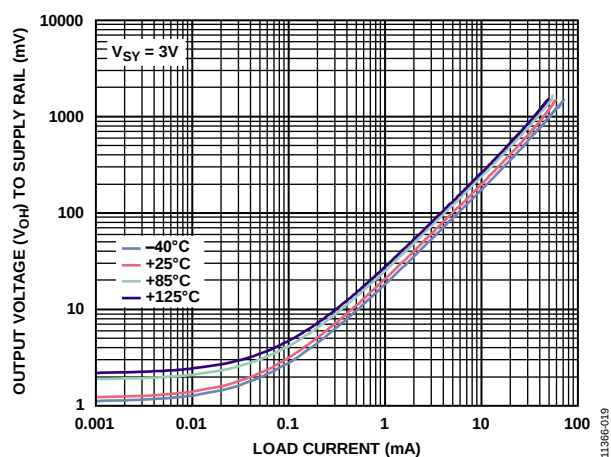


図 20.負荷電流対電源レールまで近づく出力電圧(V_{OH})

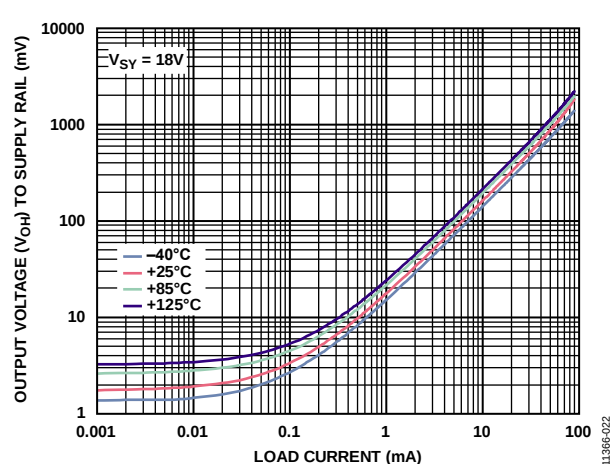


図 23.負荷電流対電源レールまで近づく出力電圧(V_{OH})

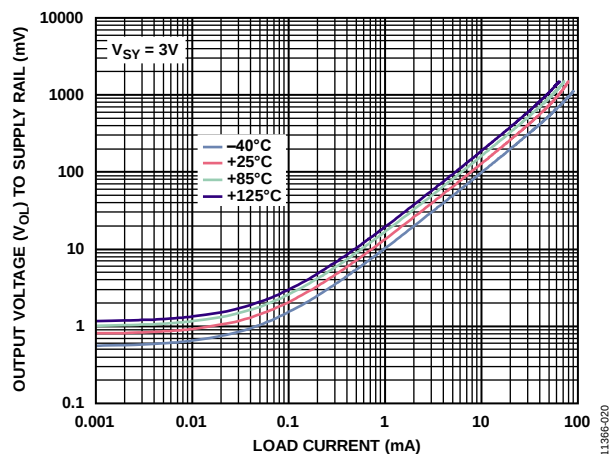


図 24. 負荷電流対電源レールまで近づく出力電圧(V_{OL})

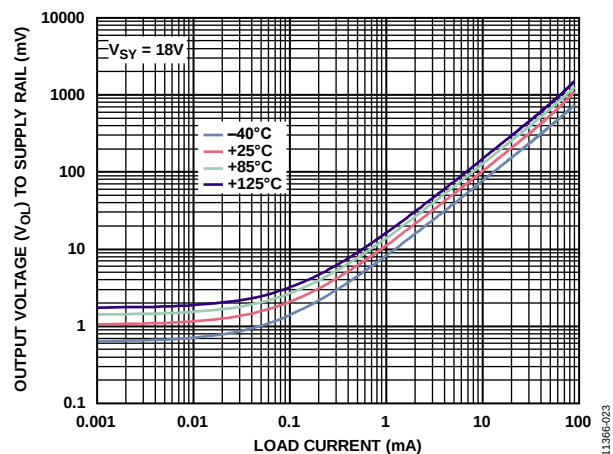


図 27. 負荷電流対電源レールまで近づく出力電圧(V_{OL})

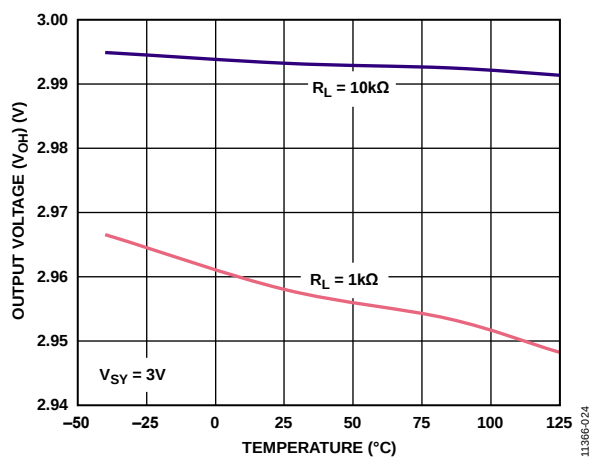


図 25. 出力電圧(V_{OH})の温度特性

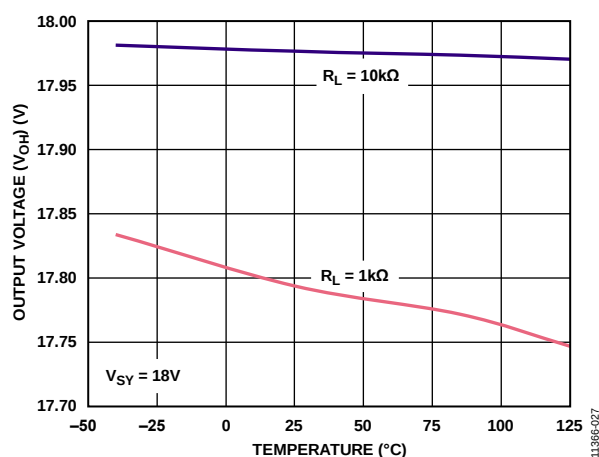


図 28. 出力電圧(V_{OH})の温度特性

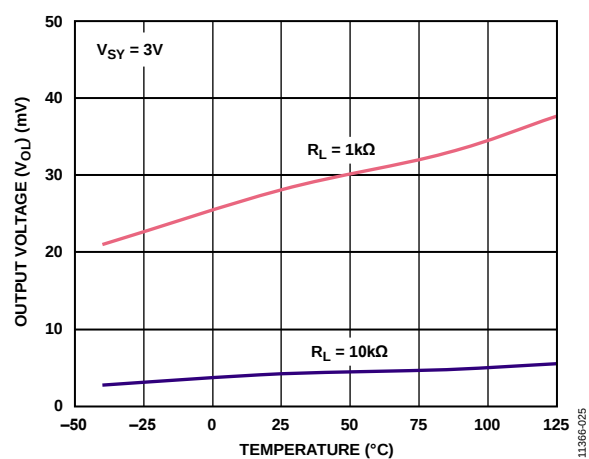


図 26. 出力電圧(V_{OL})の温度特性

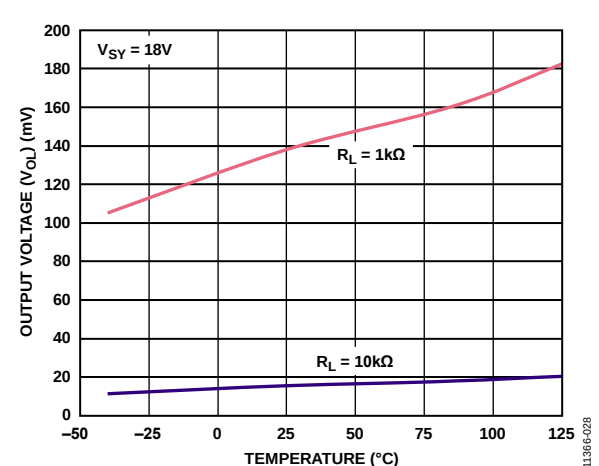


図 29. 出力電圧(V_{OL})の温度特性

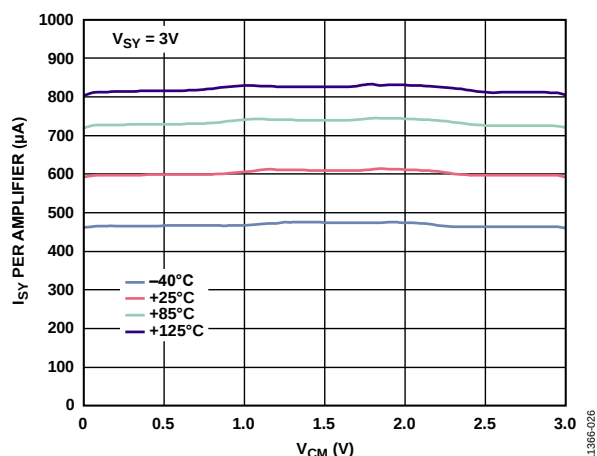


図 30.同相モード電圧対電源電流

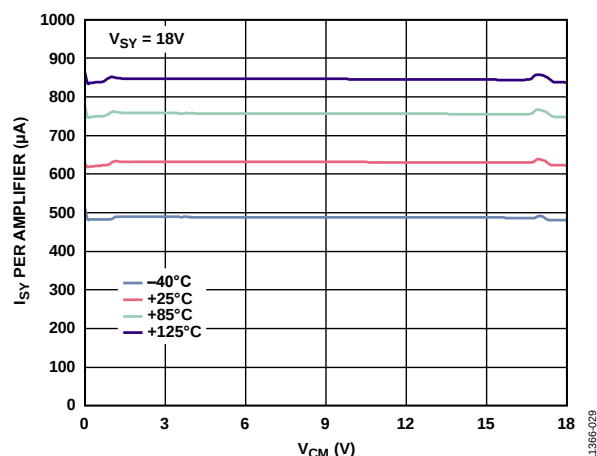


図 33.同相モード電圧対電源電流

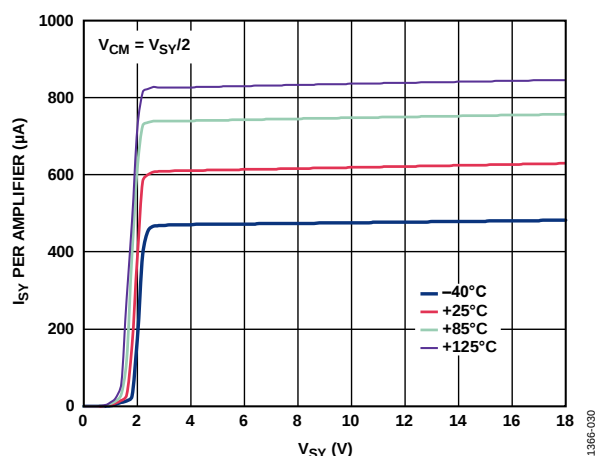


図 31.電源電圧対電源電流

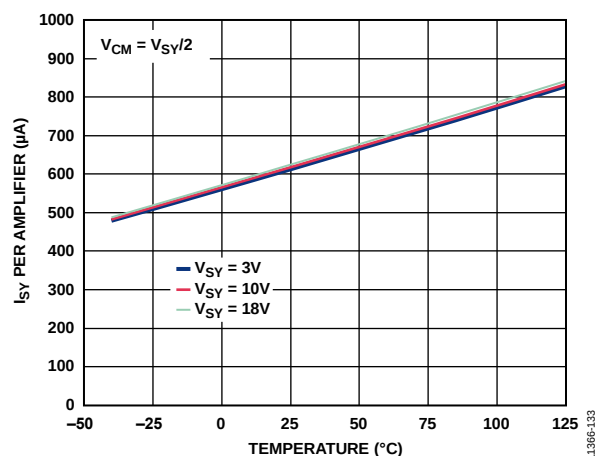


図 34.電源電流の温度特性

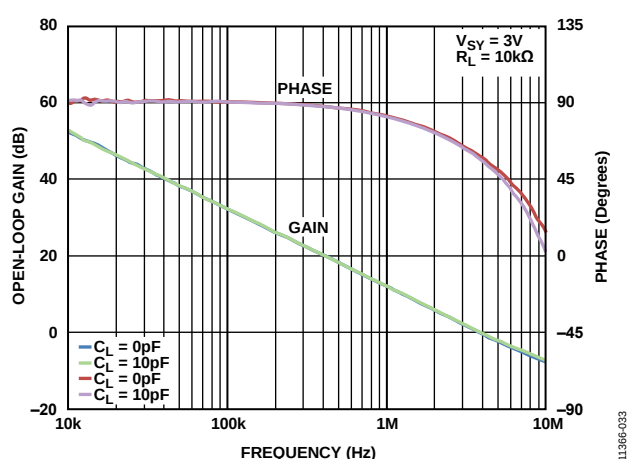


図 32.オープン・ループ・ゲインおよび位相の周波数特性

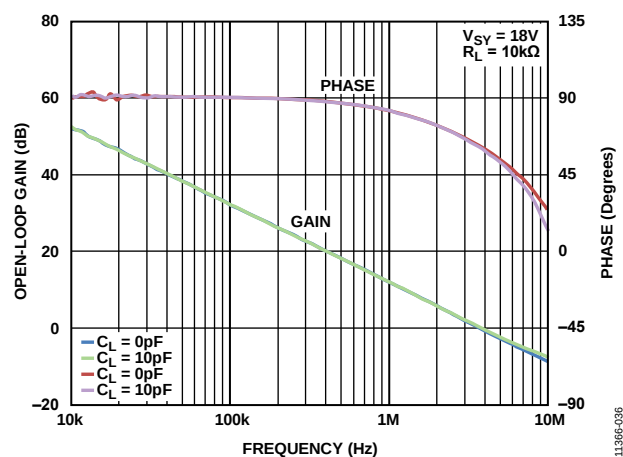


図 35.オープン・ループ・ゲインおよび位相の周波数特性

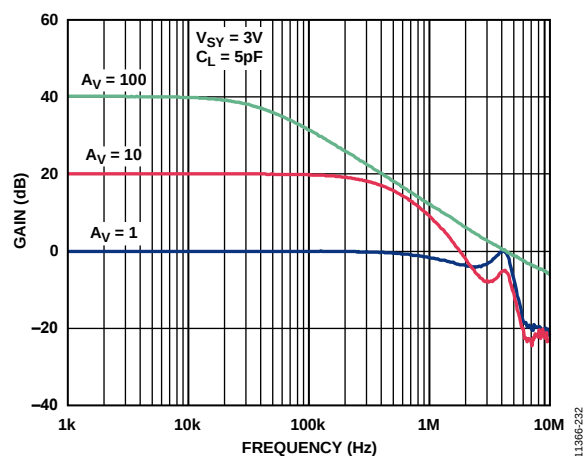


図 36. クローズド・ループ・ゲインの周波数特性

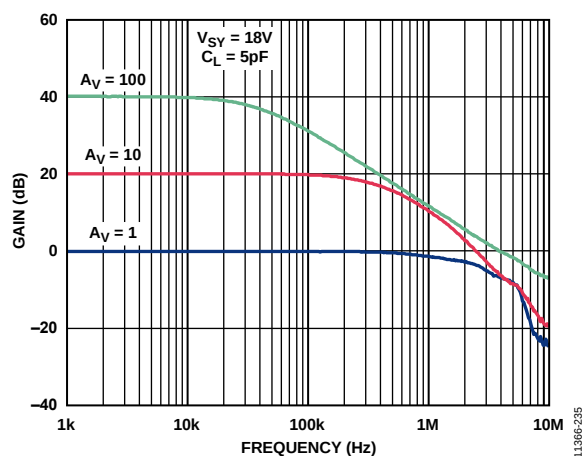


図 39. クローズド・ループ・ゲインの周波数特性

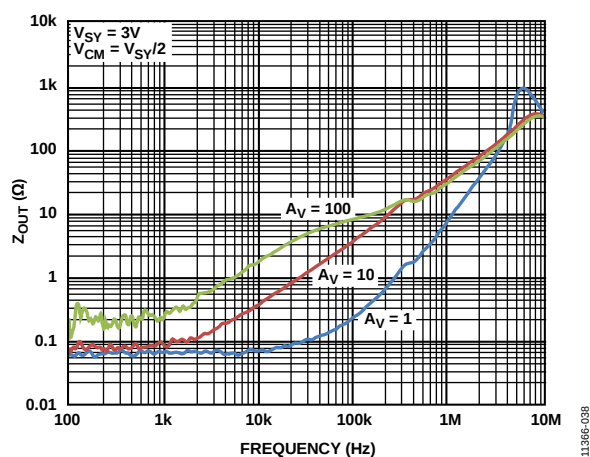


図 37. 出力インピーダンスの周波数特性

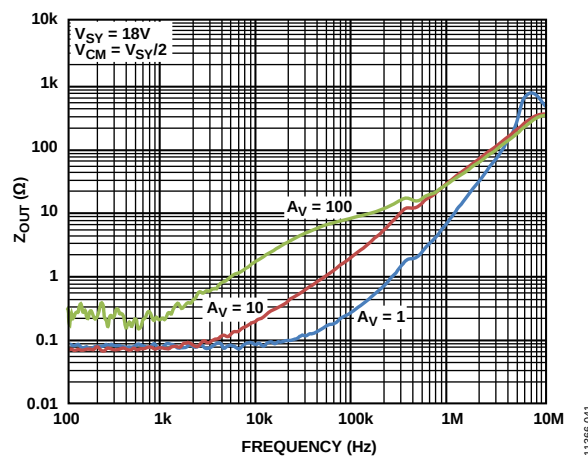


図 40. 出力インピーダンスの周波数特性

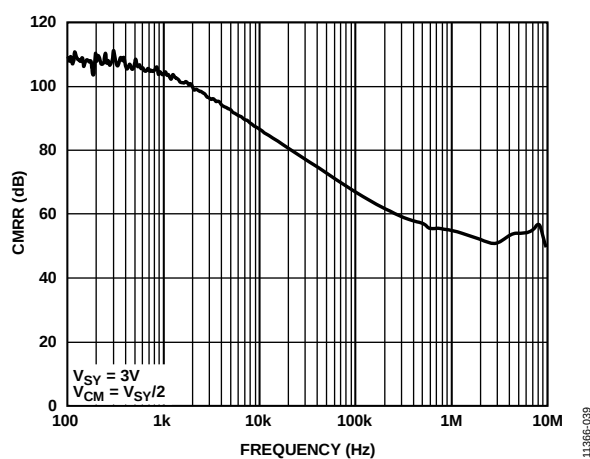


図 38. CMRR の周波数特性

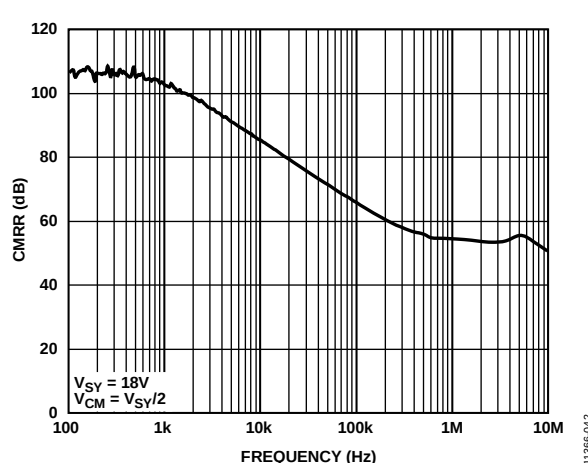


図 41. CMRR の周波数特性

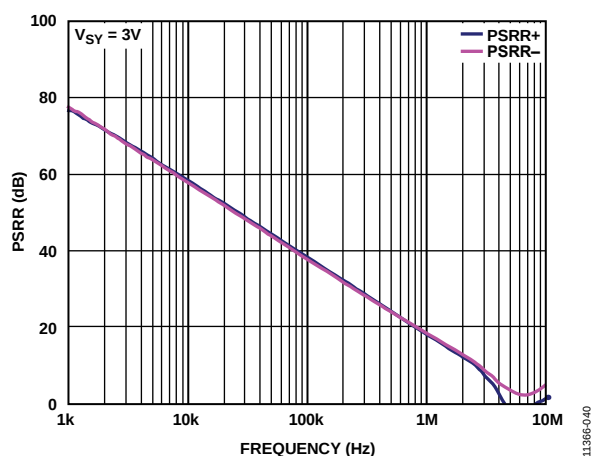


図 42.PSRR の周波数特性

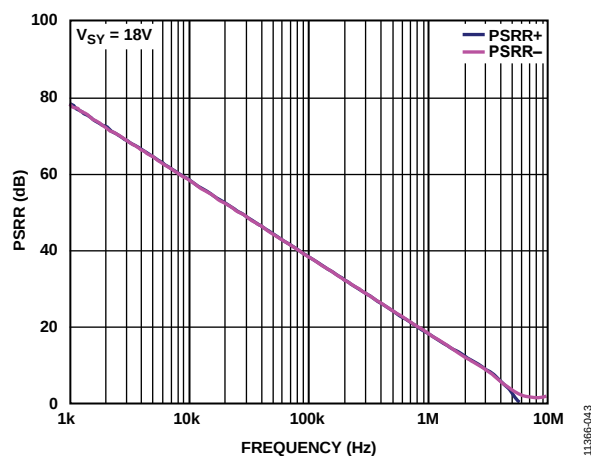


図 45.PSRR の周波数特性

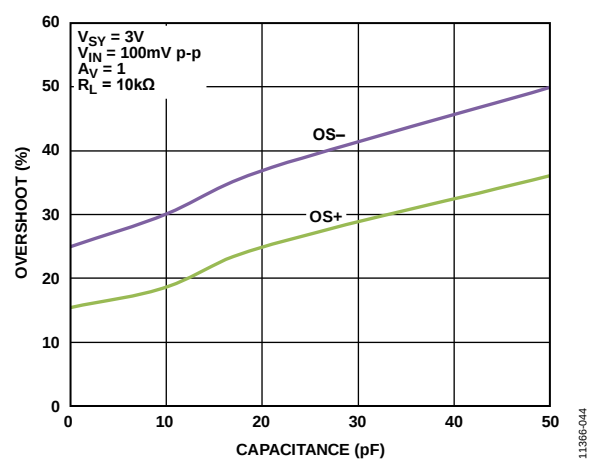


図 43.負荷容量対小信号オーバーシュート

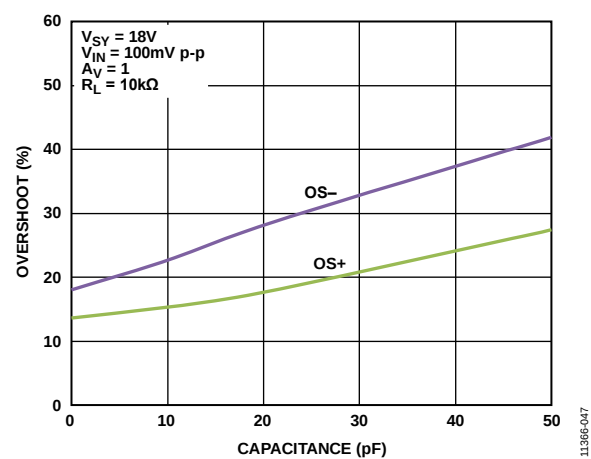


図 46.負荷容量対小信号オーバーシュート

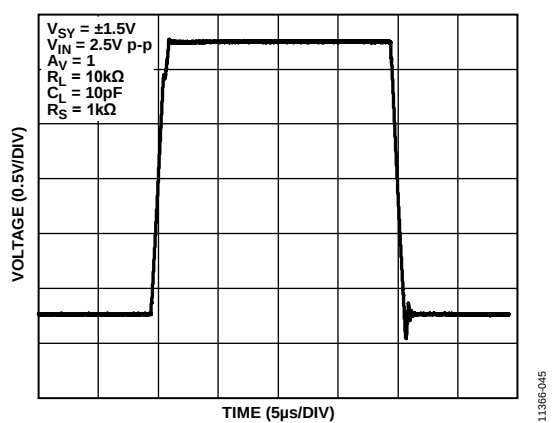


図 44.大信号過渡応答

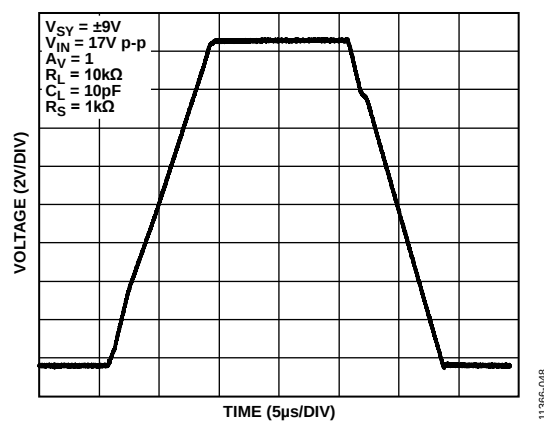


図 47.大信号過渡応答

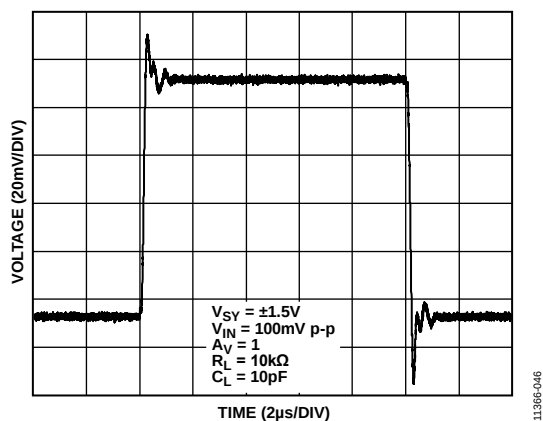


図 48.小信号過渡応答

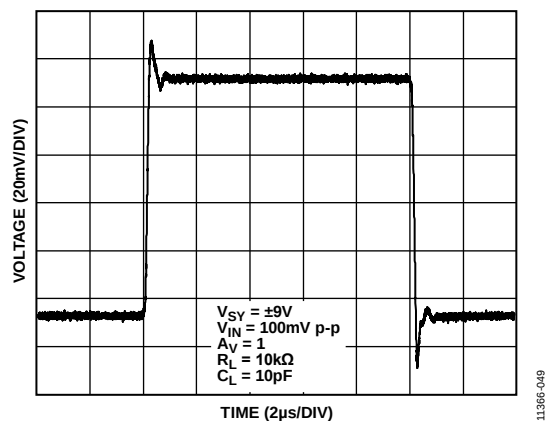


図 51.小信号過渡応答

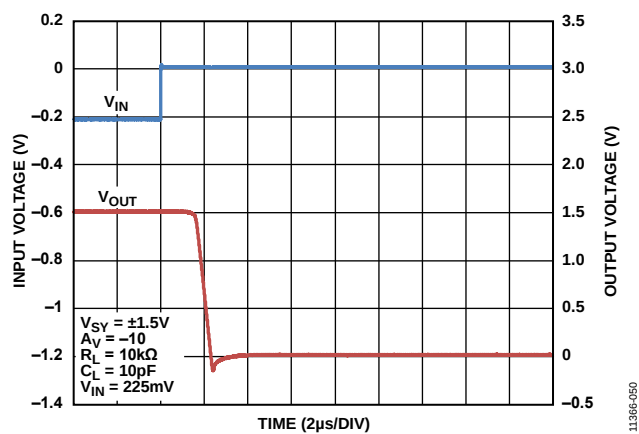


図 49.正側過負荷回復

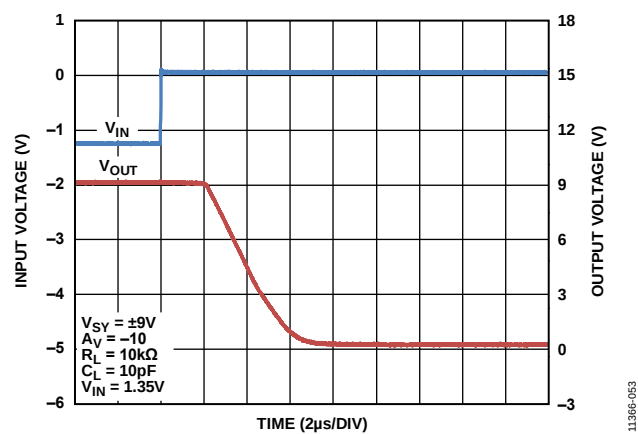


図 52.正側過負荷回復

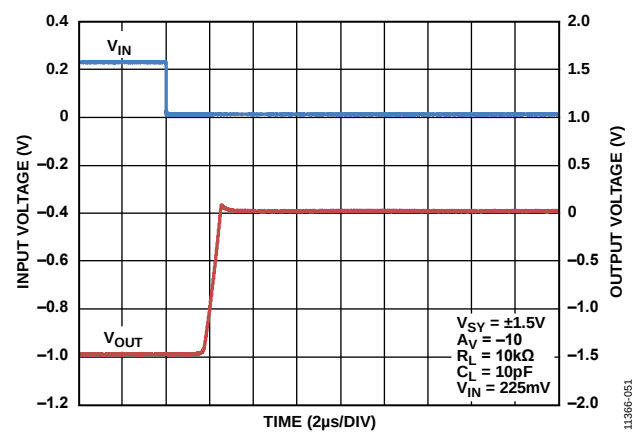


図 50.負側過負荷回復

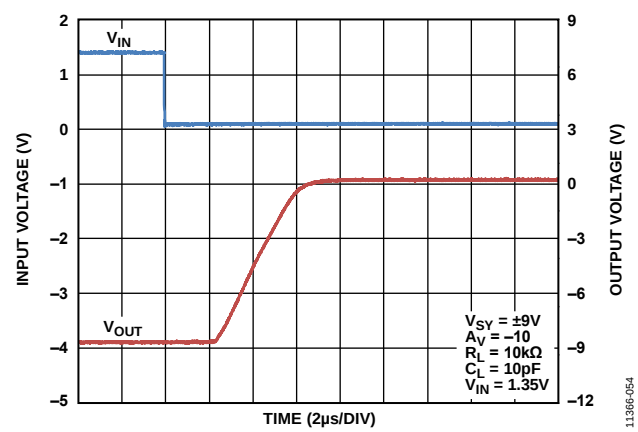


図 53.負側過負荷回復

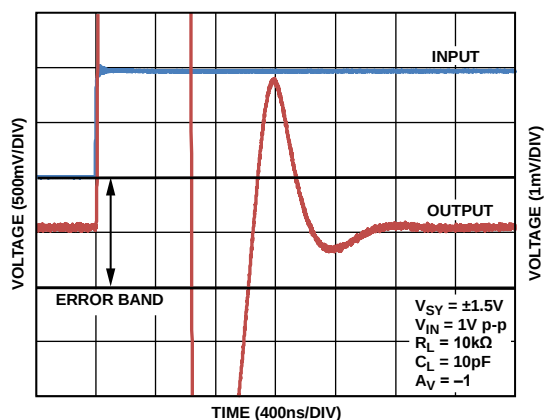


図 54.0.1%への正セトリング・タイム

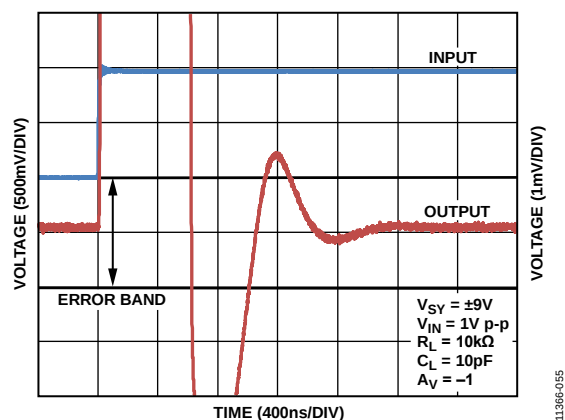


図 57.0.1%への正セトリング・タイム

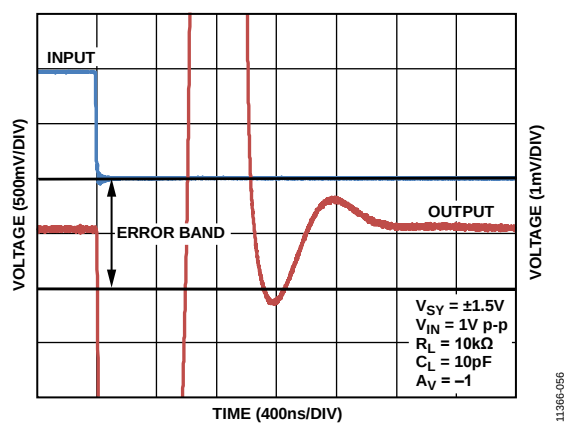


図 55.0.1%への負セトリング・タイム

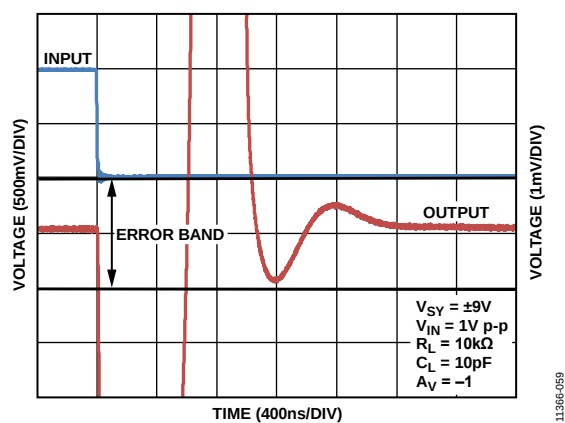


図 58.0.1%への負セトリング・タイム

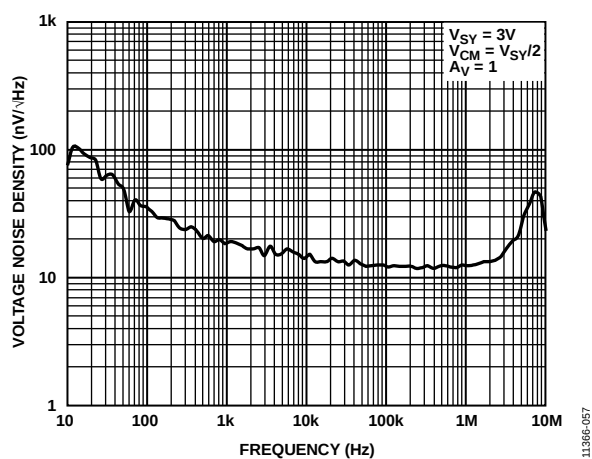


図 56.電圧ノイズ密度の周波数特性

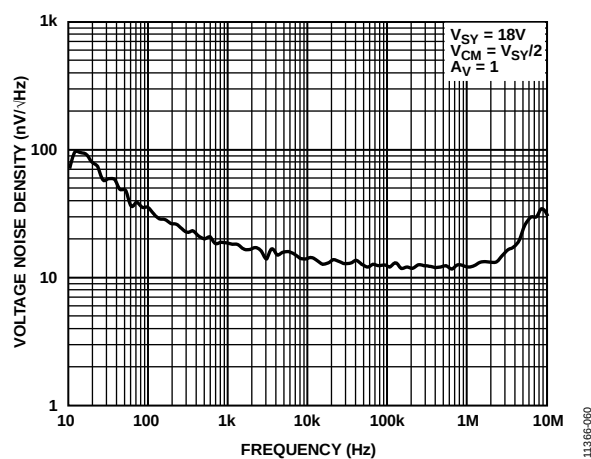


図 59.電圧ノイズ密度の周波数特性

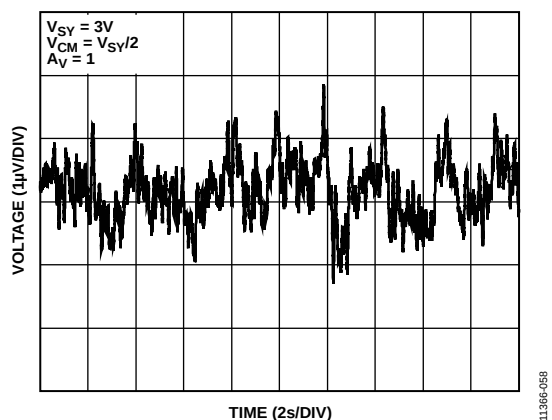


図 60. 0.1~10 Hz でのノイズ

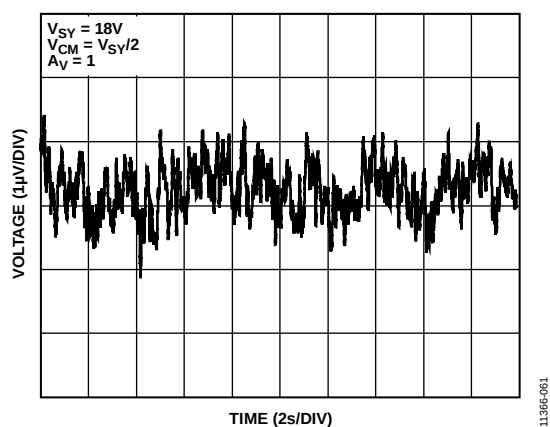


図 63. 0.1~10 Hz でのノイズ

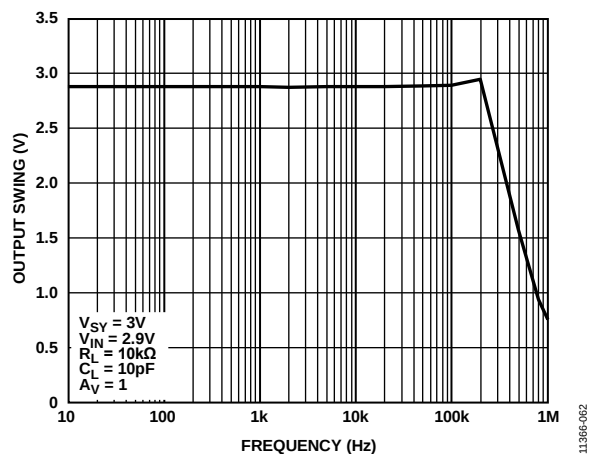


図 61. 出力振幅の周波数特性

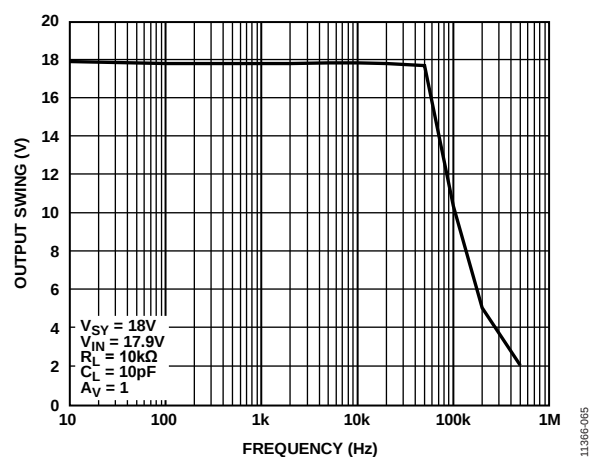


図 64. 出力振幅の周波数特性

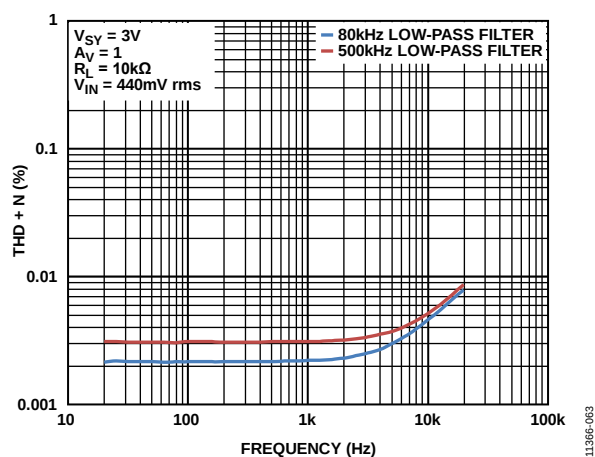


図 62. THD + N の周波数特性

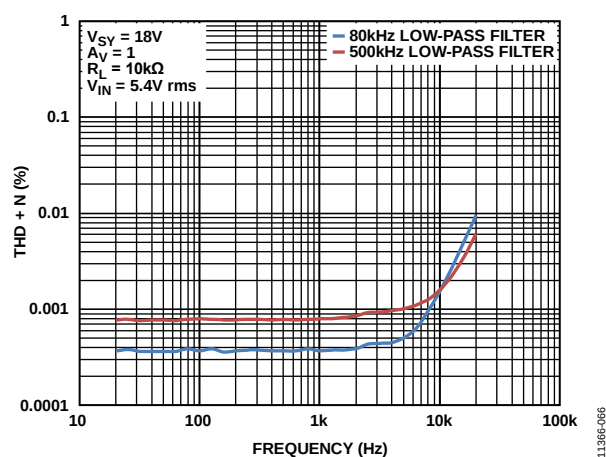


図 65. THD + N の周波数特性

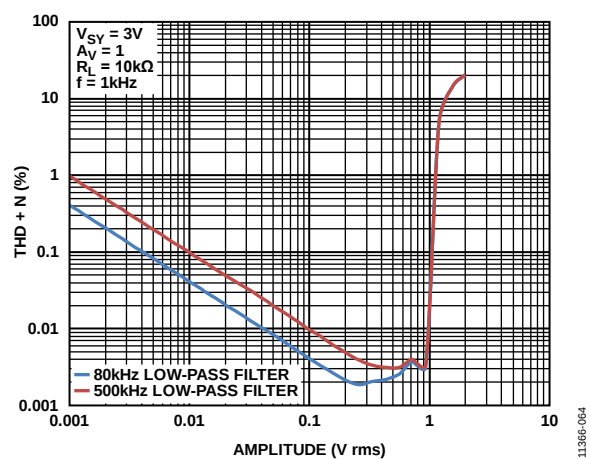


図 66. 振幅対 THD + N

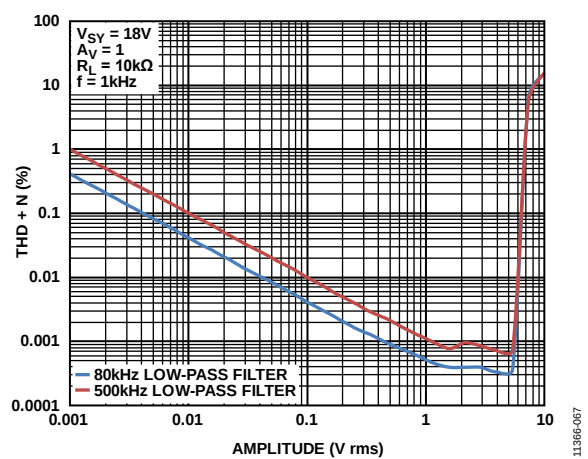


図 68. 振幅対 THD + N

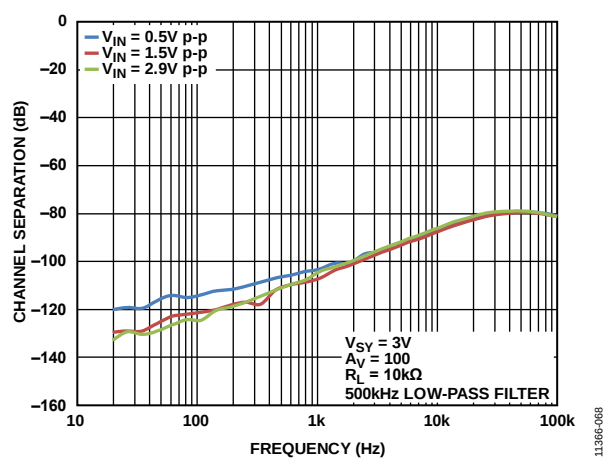


図 67. チャンネル・セパレーションの周波数特性

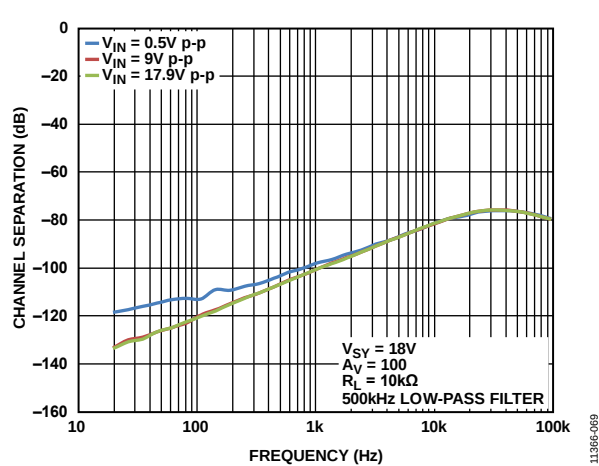


図 69. チャンネル・セパレーションの周波数特性

アプリケーション情報

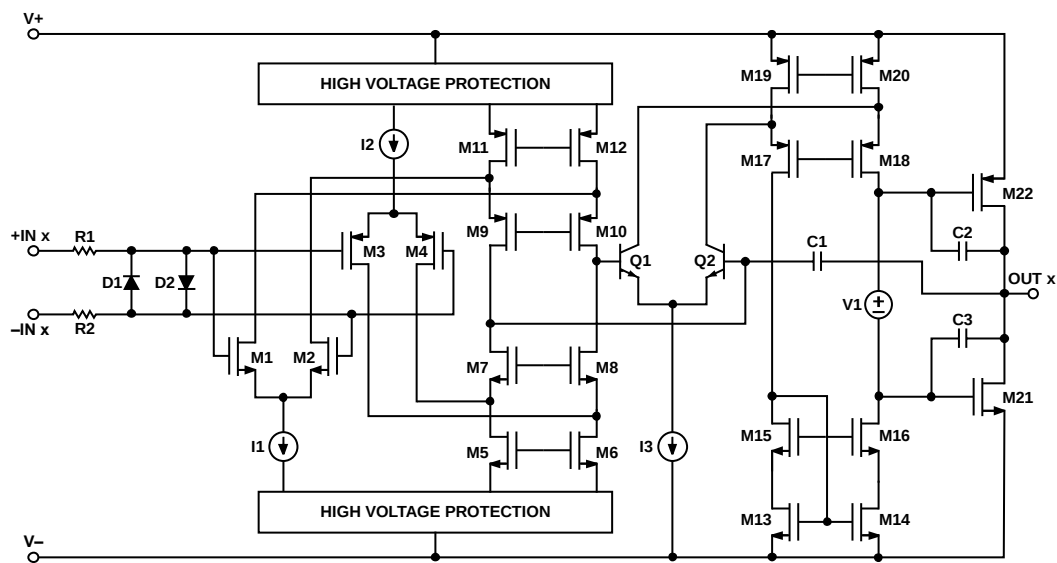


図 70.簡略化した回路図

ADA4661-2 は、3 V～18 V の広い電源電圧範囲で動作する、低消費電力、レール to レール入力/出力の高精度 CMOS アンプです。このアンプは、アナログ・デバイセズの DigiTrim 技術を採用して、他の CMOS アンプより高い精度を実現しています。DigiTrim 技術は、組立後のアンプのオフセット電圧をトリミングする方法です。パッケージ組み立て後のトリミングの利点は、組立時の機械的ストレスから発生するオフセット電圧を補正することです。非常に小さい電源電流でレール to レール入出力範囲を実現するため、ADA4661-2 では独自の入力ステージと出力ステージを使用しています。

入力ステージ

図 70 に、ADA4661-2 の簡略化した回路図を示します。このアンプでは、優れた DC 性能仕様を実現するためフル差動入力ステージを持つ 3 ステージ・アーキテクチャを採用しています。

入力ステージは、NMOS 対(M1、M2)と PMOS 対(M3、M4)からなる 2 つの差動トランジスタ対およびフォールデッド・カスコード・トランジスタ (M5～M12)で構成されています。入力同相モード電圧は、アクティブになる差動対を決定します。PMOS 差動対は、大部分の入力同相モード範囲でアクティブになります。NMOS 対は高い方の電源レールに等しいか、近い入力電圧のために必要です。この回路により、アンプが入力電圧の広いダイナミックレンジを維持して、両電源レールまで信号振幅を大きくすることができます。

ADA4661-2 内蔵の当社独自の高電圧保護回路は、大部分の入力同相モード範囲でアンプ入力ステージから見た同相モード電圧変化を小さくします。このため、必要とされる同相モード範囲で動作する際に優れた外乱除去比を持つアンプが可能になります。この要求範囲での動作の性能上の利点を、PSRR 対 V_{CM} (図 17 参照)、CMRR 対 V_{CM} (図 14 参照)、 V_{OS} 対 V_{CM} の各グラフ (図 8、図 11、図 12、図 13、図 15、図 16 参照)に示します。縮小同相モード範囲の CMRR 性能上の利点は、最終テストで保証され、電気的特性内に記載されます (表 2～表 4 参照)。

入力同相モード電圧範囲の大部分で、PMOS 差動対がアクティブになります。入力同相モード電圧が電源電圧より数ボルト内側の場合、入力トランジスタはこれらの電圧変化を直接受け取ります。同相モード電圧が正電源に近づく、と、アクティブ差動対が PMOS 対から NMOS 対へ切り替わります。差動対は一般に異なるオフセット電圧を持ちます。1 つの差動対から別の対への引き継ぎにより、 V_{OS} 対 V_{CM} のグラフに現れるステップ状の特性が発生します(図 8、図 11、図 12、図 13、図 15、図 16 を参照)。この特性は、2 つの差動対を使用するすべてのレール to レール入力アンプに固有な現象です。

同相モード電圧が負電源に近づく、と、 V_{OS} 対 V_{CM} カーブにはさらに幾つかのステップも現れます。これらの変化は、ヘッドルームが少なくなった負荷トランジスタ(M5、M6)が原因となり発生します。負荷トランジスタがトライオード動作領域に入ると、ドレイン・インピーダンスの不一致がアンプ・オフセットの大きな部分を占めるようになります。この影響は V_{OS} 対 V_{CM} のグラフにも見ることができます (図 8、図 11、図 12、図 13、図 15、図 16 参照)。

電流源 I2 は PMOS トランジスタ対を駆動します。入力同相モード電圧が上側電源に近づく、と、この電流はゼロに向かって小さくなります。同時に、複製電流源 I1 がゼロから増加して、NMOS トランジスタ対がイネーブルされます。

ADA4661-2 は、差動入力に低電圧 MOS デバイスを使用することにより高性能仕様を実現しています。これらの低電圧 MOS デバイスは、単位電流あたりの優れたノイズと帯域幅を提供します。入力ステージは、当社独自の保護回路で高システム電圧からアイソレーションされています。このレギュレーション回路は、アンプが動作できる高電源電圧から入力デバイスを保護しています。

また、入力デバイスはクランプ・ダイオード(D1 と D2)により大きな差動入力電圧からも保護されています。これらのダイオードは、2 本の 120 Ω 抵抗(R1 と R2)により入力からバッファされています。差動電圧が約 600 mV より高くなると、差動ダイオードは導通します。この状態では、差動入力抵抗が 240 k Ω まで低下します。これらの保護ダイオードには大きな電流が流れることができます。入力ピンに流入する電流は、絶対最大 10 mA に制限する必要があります。

ゲイン・ステージ

アンプの 2 段階ステージは、NPN 差動対 (Q1、Q2)とフォールデッド・カスコード・トランジスタ (M13～M20)から構成されています。アンプはネストされたミラー補償 (C1～C3)を内蔵しています。

出力ステージ

ADA4661-2 は、M21 トランジスタと M22 トランジスタで構成される相補出力ステージを内蔵しています。これらのトランジスタはクラス AB 回路として構成され、電圧源 V1 からバイアスされています。この回路の使用により、出力電圧がミリボルト以内で電源レールに近づくことができるため、レール to レールの出力振幅が可能になっています。出力電圧は、トランジスタ(低 R_{ON} の MOS デバイス)の出力インピーダンスにより制限されます。出力電圧の振幅は負荷電流の関数であるため、電源レールに対する出力電圧と負荷電流との関係を表すグラフから求めることができます(図 20、図 23、図 24、図 27 参照)。ADA4661-2 出力ステージの高電圧と高電流機能のため、熱的安全動作領域で動作させることが必要です(最大消費電力のセクション参照)。

最大消費電力

ADA4661-2 は最大 220 mA の出力電流を駆動することができますが、有効出力負荷電流は、デバイス・パッケージに許容される最大消費電力で制限されます。ADA4661-2 の絶対最大ジャンクション温度は 150°C です(表 5 参照)。ジャンクション温度は次式で計算されます。

$$T_J = P_D \times \theta_{JA} + T_A$$

パッケージ内の消費電力(P_D)は、静止消費電力と出力ステージ・トランジスタの消費電力との和になります。これは次のように計算されます。:

$$P_D = (V_{SY} \times I_{SY}) + (V_{SY} - V_{OUT}) \times I_{LOAD}$$

ここで、

V_{SY} は電源レール。

I_{SY} は静止電流。

V_{OUT} はアンプの出力。

I_{LOAD} は出力負荷。

デバイスの最大ジャンクション温度 150°C を超えないようにしてください。ジャンクション温度制限値を超えると、パラメータ性能の低下またはデバイスの破壊が生じます。

正常動作のためには、最大消費電力ディレーティング・カーブに従う必要があります。図 71 に、4 層 JEDEC 標準ボードを使った場合のパッケージ最大安全消費電力対周囲温度を示します。LFCSP パッケージのエクスポーズド・パッドはボードにハンダ付けされています。

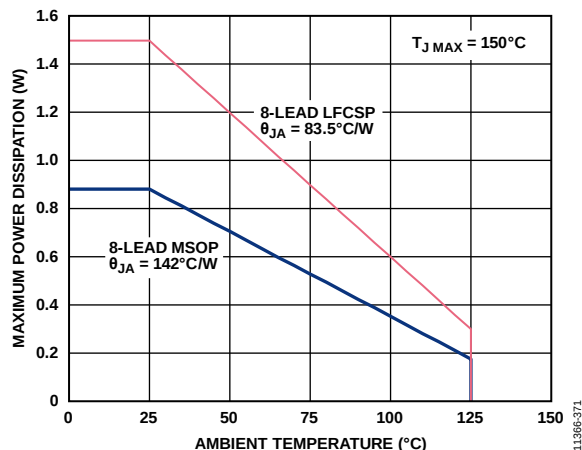


図 71.周囲温度対最大消費電力

詳細については、テクニカル・アーティクル MS-2251「Data Sheet Intricacies—Absolute Maximum Ratings and Thermal Resistances」を参照してください。

レール to レールの入力と出力

ADA4661-2 は、3 V～18 V の電源電圧でレール to レールの入力と出力を持っています。図 72 に、ADA4661-2 の入力波形と出力波形を示します(ユニティ・ゲイン・バッファとして構成、電源電圧 = ± 9 V)。ADA4661-2 は、 ± 9 V の入力電圧で、両電源レールに非常に近い振幅を出力することができます。さらに、位相反転は発生しません。

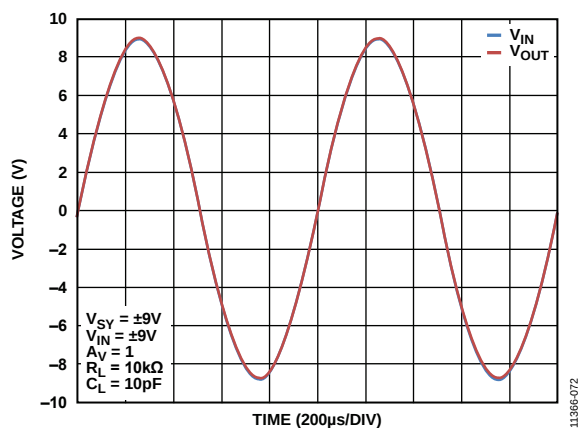


図 72.レール to レールの入力と出力

コンパレータ動作

オペアンプは、出力から反転入力への帰還によるクローズド・ループ構成で動作するようにデザインされています。図 73 に、一方の入力電圧を常に電源中点に固定した電圧フォロワとして構成した ADA4661-2 を示します。同じ構成を未使用チャンネルにも使用します。A1 と A2 は、電源電流を測定する電流計の位置を示します。I_{SY+} は上側の電源レールからオペアンプへ流れる電流を、I_{SY-} はオペアンプから下側の電源レールへ流れる電流を、それぞれ表します。図 74 に示すように、通常の動作条件では、オペアンプへ流れる合計電流は、オペアンプから流出する合計電流と等しくなります。ここで、V_{SY} = 18 V でアンプ当たり I_{SY+} = I_{SY-} = 630 μA です。

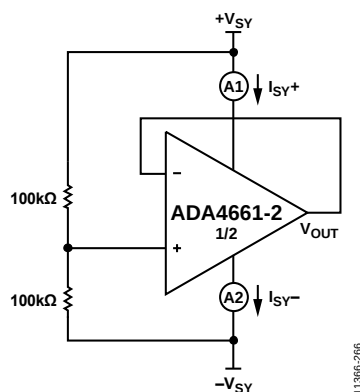


図 73. 電圧フォロワ

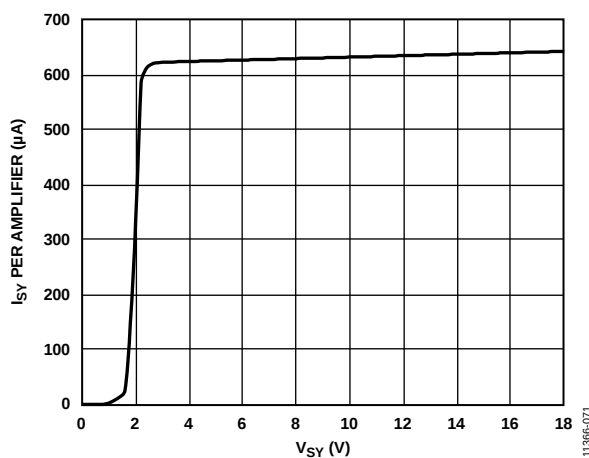


図 74. 電源電圧対電源電流(電圧フォロワ)

オペアンプとは対照的に、コンパレータはオープン・ループ構成で動作し、ロジック回路を駆動するようにデザインされています。オペアンプはコンパレータと異なりますが、ボード・スペースとコストを節約するためデュアル・オペアンプの未使用部分をコンパレータとして使用することがありますが、ADA4661-2 に対してこれは推奨できません。

図 75 と図 76 に、入力ピンに直列に 100 kΩ 抵抗を接続した、コンパレータとして構成した ADA4661-2 を示します。未使用チャンネルは、入力電圧を電源中点に接続したバッファとして構成しています。

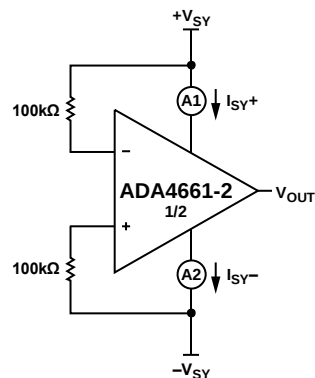


図 75. コンパレータ A

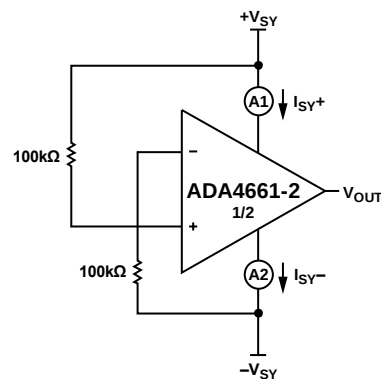


図 76. コンパレータ B

図 77 に、両コンパレータ構成の電源電流を示します。コンパレータ・モードでは、ADA4661-2 は完全にパワーアップしません。オペアンプをコンパレータとして使用することの詳細については、[AN-849 アプリケーション・ノート「オペアンプのコンパレータとしての使用」](#)を参照してください。

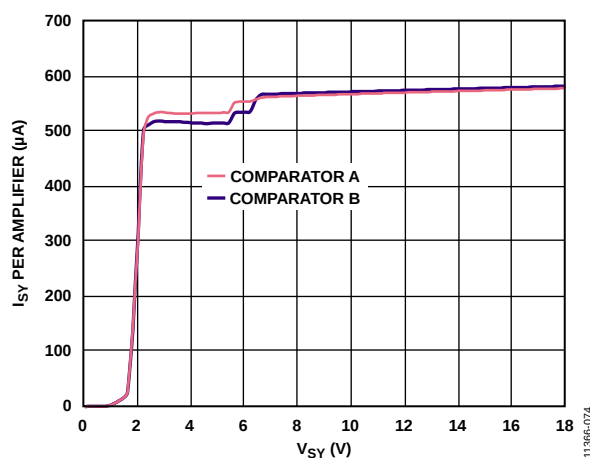


図 77. 電源電圧対電源電流
(ADA4661-2 をコンパレータとして構成)

EMI 除去比

回路性能は高周波電磁干渉(EMI)から影響を受けることがあります。信号強度が低く、伝送線が長い場合には、オペアンプは入力信号を正確に増幅する必要がありますが、すべてのオペアンプ・ピン(非反転入力、反転入力、正電源、負電源、出力の各ピン)は EMI 信号の影響を受け易くなっています。これらの高周波信号は、伝導、近距離放射、長距離放射などの種々の方法でオペアンプに混入します。例えば、配線と PCB パターンがアンテナとして機能して高周波 EMI 信号を拾います。

アンプは比較的帯域が狭いため、EMI 信号または RF 信号を増幅しません。入力デバイスの非直線性のため、オペアンプはこれらの帯域外信号を整流することがあります。これらの高周波信号が整流されると、出力に DC オフセットとして現れます。

電磁エネルギーが存在する中で ADA4661-2 が期待通りに動作する能力を規定するため、非反転ピンの電磁干渉除去比(EMIRR)が、仕様のセクションの表 2、表 3、表 4 で規定されています。

EMIRR 測定の数学的方法は、次のように定義されます。

$$EMIRR = 20 \log (V_{IN_PEAK} / \Delta V_{OS})$$

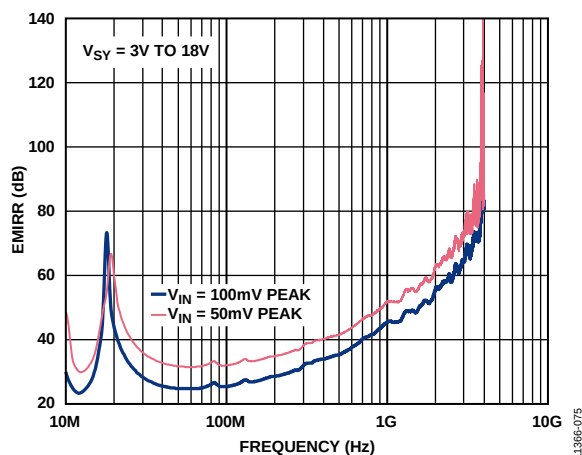


図 78. EMIRR の周波数特性

電流シャント・モニタ

正または負レール近くの信号検出を必要とするアプリケーションは多数存在します。電流シャント・モニタはこのようなアプリケーションの 1 つで、帰還制御システムに多く使われます。また、パワー計測、バッテリー燃料計測、電子パワー・ステアリングでの帰還制御などの他の様々なアプリケーションでも使用されています。このようなアプリケーションでは、直列電圧降下を小さくするために非常に小さい抵抗によるシャントが望まれます。浪費電力を小さくするだけでなく、電力を節約しながら大電流の計測も可能になります。ADA4661-2 は、低入力バイアス電流、低オフセット電圧、レール to レールであるため、高精度電流モニタ・アプリケーションに最適です。

図 79 にローサイド電流検出回路を、図 80 にハイサイド電流検出回路を、それぞれ示します。シャント抵抗を流れる電流により電圧降下が発生します。ディファレンス・アンプとして構成された ADA4661-2 は、電圧降下を $R2/R1$ 倍に増幅します。真の差

増幅のためには、抵抗比の一致($R2/R1 = R4/R3$)が重要です。ADA4661-2 はレール to レール出力であるため、オペアンプ出力はほぼ正電源に到達することができます。このため、電流シャント・モニタは約 $V_{SY}/(R2/R1 \times R_S)$ アンペアまでの電流を検出することができます。例えば、 $V_{SY} = 18\text{ V}$ 、 $R2/R1 = 100$ 、 $R_S = 100\text{ m}\Omega$ では、この電流は約 1.8 A になります。

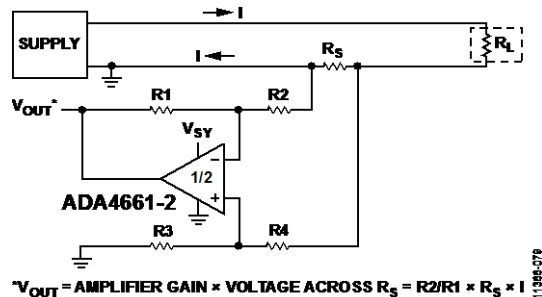


図 79. ローサイド電流検出回路

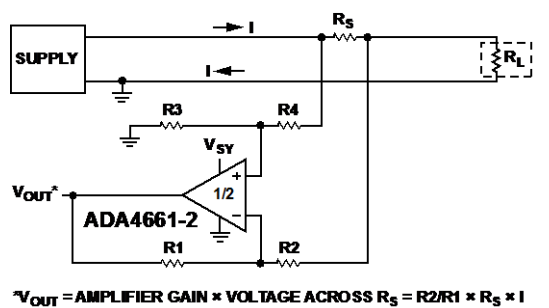


図 80. ハイサイド電流検出回路

アクティブ・フィルタ

アクティブ・フィルタは、注目する領域を通過する信号を分離し、不要な周波数の信号を減衰させるときに使います。例えば、ローパス・フィルタは、データ・アキュジション・システムで折り返し防止フィルタとして、または高周波ノイズを制限するノイズ・フィルタとして使用されます。

ADA4661-2 は、高入力インピーダンス、広帯域幅、低入力バイアス電流、高 DC 精度を持つため、アクティブ・フィルタ・アプリケーションに最適です。図 81 に、4 極 Sallen-Key バタワース・ローパス・フィルタ構成で使用した ADA4661-2 を示します。4 極ローパス・フィルタは、2 つの複素共役極対を持つため、2 つの 2 局ローパス・フィルタをカスケード接続することにより実現されます。セクション A とセクション B はユニティ・ゲインの 2 極ローパス・フィルタとして構成されています。表 8 に、バタワース・フィルタの各ステージに対応する Q 条件と極位置を示します。様々な次数のフィルタの S プレーンでの極位置と Q 条件については、www.analog.com/AnalogDialogue に掲載する「*Linear Circuit Design Handbook*」の 8 章「*Analog Filters*」を参照してください。

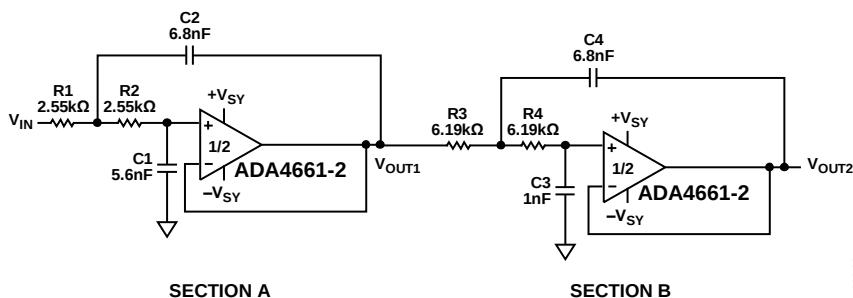


図 81.4 極ローパス・フィルタ

表 8.Q 条件と極位置

Section	Poles	Q
A	$-0.9239 \pm j0.3827$	0.5412
B	$-0.3827 \pm j0.9239$	1.3065

Sallen-Key 回路は、回路部品がすくなくデザインがシンプルなため広く使用されています。この回路は、抵抗とコンデンサを置き換えるだけでローパス・フィルタまたはハイパス・フィルタを構成できる柔軟性を提供します。ADA4661-2 はユニティ・ゲインで、コーナー周波数は 10 kHz に設定されます。アクティブ・フィルタでは、コーナー周波数 f_c と品質ファクタ Q の積の少なくとも 100 倍のユニティ・ゲイン帯域幅を持つオペアンプが必要です。製造許容誤差、時間、温度に対して性能を決定する際に抵抗とコンデンサも重要です。少なくとも 1% 以下の抵抗と 5% 以下の許容偏差のコンデンサの使用が推奨されます。

図 82 に、Sallen-Key ローパス・フィルタの周波数応答を示します。ここで、

V_{OUT1} は初段ステージの出力。

V_{OUT2} は 2 段階ステージの出力。

V_{OUT1} は 40 dB/デケード・ロールオフを、 V_{OUT2} は 80 dB/デケード・ロールオフを、それぞれ示します。遷移帯域は、フィルタ次数が高いほど急峻になります。

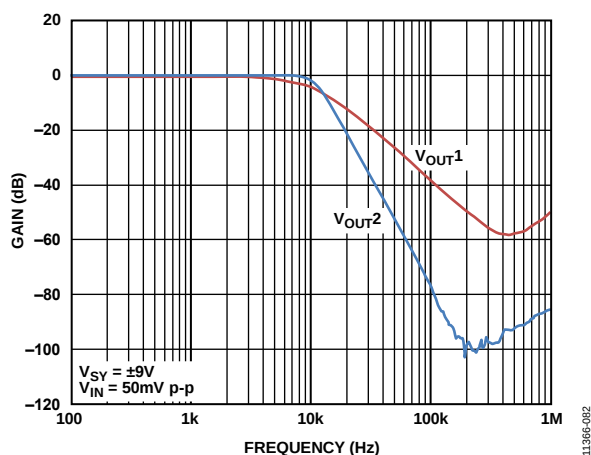


図 82.ローパス・フィルタ: ゲインの周波数特性

容量負荷の駆動

ADA4661-2 は、最大 50 pF の容量負荷を任意の構成で安全に駆動することができます。多くのアンプと同様に、規定より大きな容量負荷を駆動すると、大きなオーバーシュート、リンギング、さらに発振も生ずることがあります。重い容量負荷では位相マージンが減少して、アンプの周波数応答にピークが生じます。ピーキングは、時間領域のオーバーシュートまたはリンギングに対応します。このため、ADA4661-2 から 50 pF を超える負荷を駆動する場合は外付け補償の使用が推奨されます。この補償は安定性が最悪となるユニティ・ゲイン構成で特に重要です。

容量負荷の駆動でオペアンプを迅速かつ容易に安定させる方法は、アンプ出力と負荷容量の間に直列抵抗 R_{ISO} を接続することです(図 83 参照)。 R_{ISO} は、アンプ出力と帰還回路を容量負荷から分離しますが、この補償方式では、負荷から見た出力インピーダンスが大きくなるため、ゲイン精度が低下します。

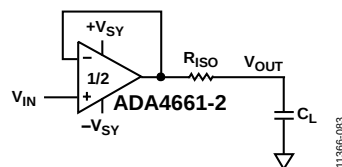
図 83.アイソレーション抵抗 R_{ISO} による安定性補償

図 84 に、ユニティ・ゲイン構成で 250 pF 負荷を駆動するアンプの周波数応答に対するこの補償方式の効果を示します。

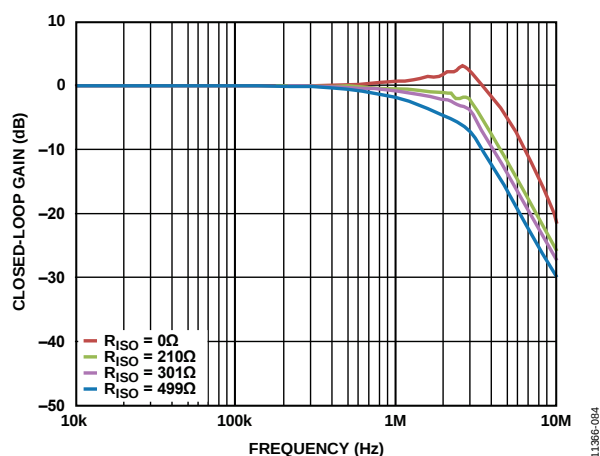


図 84.補償方式の周波数応答

図 85 に、250 pF 容量負荷を駆動するユニティ・ゲイン・アンプの出力応答を示します。補償なしでは、アンプは不安定です。図 86～図 88 に、210 Ω、301 Ω、750 Ω の R_{ISO} 補償によるアンプ出力応答を示します。 R_{ISO} 値が小さい場合、リングングが存在し、 R_{ISO} 値が大きくなると、高い周波数信号がフィルタで除去されることに注意してください。

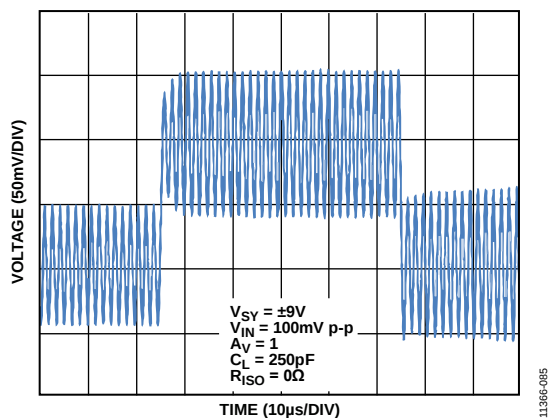


図 85.補償なしの出力応答 ($R_{ISO} = 0\Omega$)

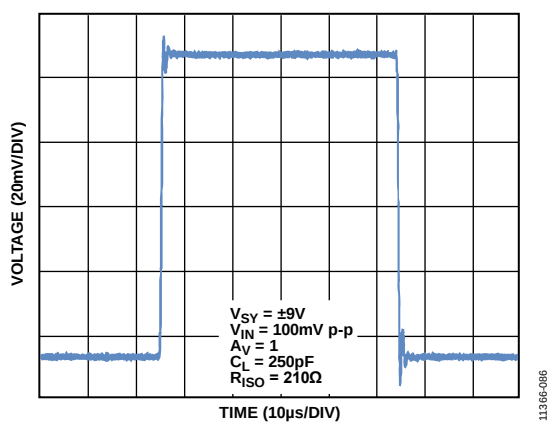


図 86.出力応答 ($R_{ISO} = 210\Omega$)

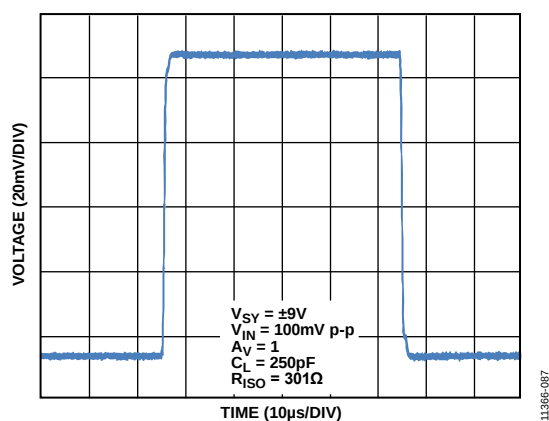


図 87.出力応答 ($R_{ISO} = 301\Omega$)

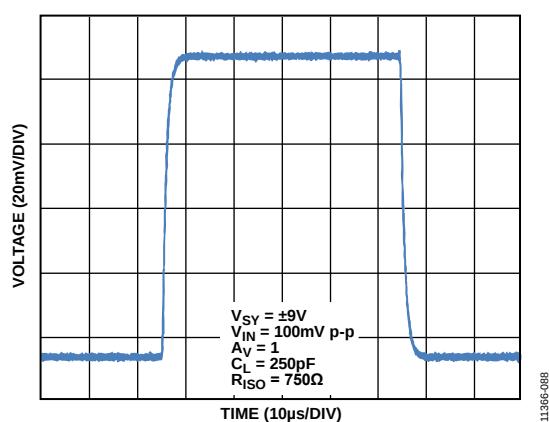


図 88.出力応答 ($R_{ISO} = 750\Omega$)

高インピーダンス・ソースでのノイズ考慮事項

高インピーダンス・ソースからアンプを駆動する場合、入力端子からの電流ノイズが回路の全ノイズで支配的になります。バイポーラ・アンプとは異なり、ADA4661-2のようなCMOSアンプでは入力端子に固有なショット・ノイズ・ソースがありません。少量のショット・ノイズが、ESD保護ダイオードの逆方向サチレーション電流から発生します。この電流ノイズは一般に $1 \text{ fA}/\sqrt{\text{Hz}} \sim 10 \text{ fA}/\sqrt{\text{Hz}}$ のオーダーです。このため、この範囲の電流ノイズを測定するときは、 $10 \text{ G}\Omega$ を超える大きなソース・インピーダンスが必要になります。

ADA4661-2 の場合、関係する議論はブローバック・ノイズと呼ばれる影響を中心に議論されます。ブローバック効果はアンプのテール電流源のノイズから発生し、入力トランジスタのゲート・ソース容量 (C_{GS}) を介してアンプ入力に混入します。このブローバック・ノイズがソース・インピーダンスで増幅され、入力端子に電圧ノイズとして現れます。ソース・インピーダンスが 10 倍になると、ブローバックから発生する電圧ノイズが 10 倍になります。

ブローバック・ノイズ・スペクトルは、 C_{GS} 結合のため低い周波数でハイパス応答を持ちます。高い周波数で、スペクトルは 2 つの極(テール電流源の寄生容量から生ずる内側極と PCB の寄生容量から生ずる外側極)によりロールオフする傾向を持ちます。

図 89 に、ソース・インピーダンス $1 \text{ M}\Omega$ と $10 \text{ M}\Omega$ の場合の ADA4661-2 の電圧ノイズ密度を示します。低い周波数 ($1 \text{ Hz} \sim 10 \text{ Hz}$ 以下)で、アンプの $1/f$ 電圧ノイズが支配的なスペクトルになります。中ほどの周波数では、ソース抵抗の熱ノイズのためにスペクトルは平坦になります。周波数が高くなると、ブローバック・ノイズが支配的になり、電圧ノイズ・スペクトルが増加します。ノイズ・スペクトルは、内側または外側の極周波数に到達するまで大きくなり続けます。これらの極が過ぎると、スペクトルは減少し始めます。

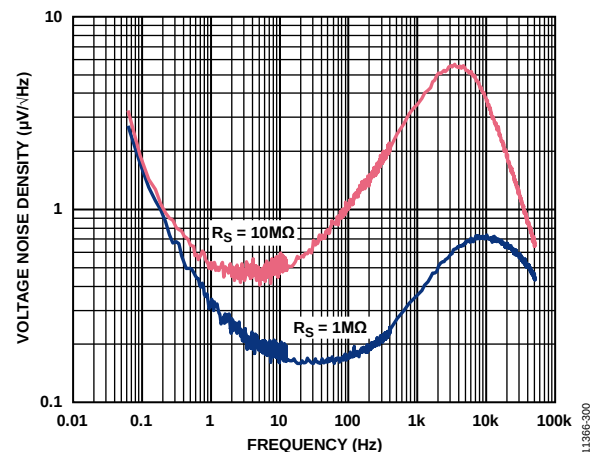


図 89. 電圧ノイズ密度の周波数特性 (入力直列抵抗 R_S あり)

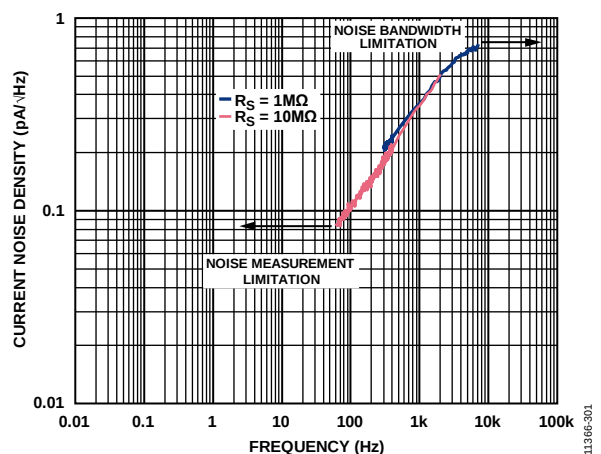


図 90. 電流ノイズ密度の周波数特性

図 90 に、ソース・インピーダンス $1 \text{ M}\Omega$ と $10 \text{ M}\Omega$ の場合の ADA4661-2 の電流ノイズ密度を示します。この電流ノイズは、ブローバック・ノイズが支配的な周波数帯域内の電圧ノイズ密度カーブから抽出したものです。低い周波数では、ノイズ測定値は抵抗熱ノイズとアンプ $1/f$ ノイズにより支配されています。高い周波数では、寄生容量がソース・インピーダンスで支配的です。このスケール・ファクタの不確定性により、全周波数範囲での正確な電流ノイズ測定が妨げられています。

ブローバック・ノイズはすべてのアンプで存在します。影響の大きさは、入力トランジスタのサイズとバイアス回路の構成に依存します。CMOS アンプでは、MOS トランジスタ・バイアスのノイズが大きいため、一般に JFET アンプよりブローバック・ノイズが大きくなります。これに対して、バイポーラ・アンプでは一般にブローバック・ノイズがありません。これは大きな電流ショット・ノイズによりブローバック・ノイズの存在がマスクされるためです。

外形寸法

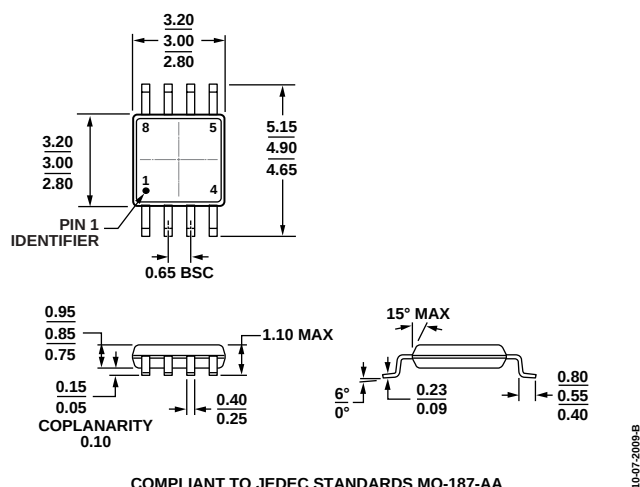


図 91.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

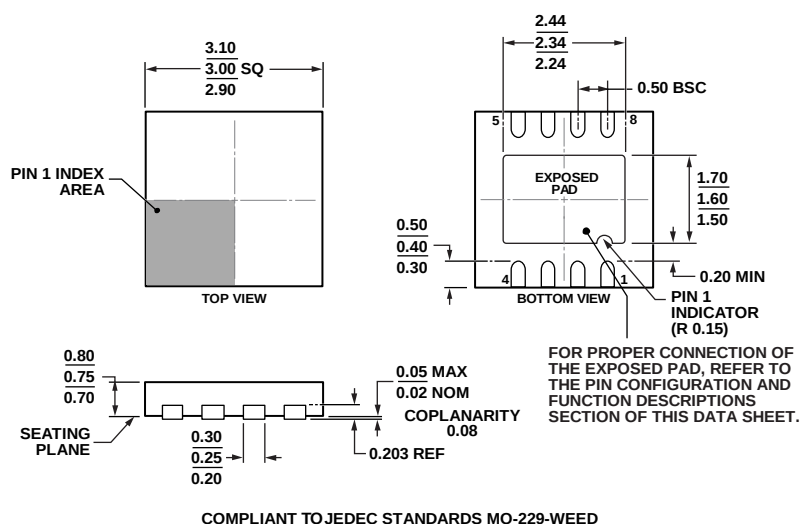


図 92.8 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WD]
3 mm × 3 mm ボディ、極薄、デュアル・リード
(CP-8-11)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4661-2ACPZ-R7	-40°C to +125°C	8-Lead LFCSP_WD	CP-8-11	A33
ADA4661-2ACPZ-RL	-40°C to +125°C	8-Lead LFCSP_WD	CP-8-11	A33
ADA4661-2ARMZ	-40°C to +125°C	8-Lead MSOP	RM-8	A33
ADA4661-2ARMZ-RL	-40°C to +125°C	8-Lead MSOP	RM-8	A33
ADA4661-2ARMZ-R7	-40°C to +125°C	8-Lead MSOP	RM-8	A33

¹ Z = RoHS 準拠製品