



高精度、低ノイズ、低入力バイアス電流 広帯域JFETオペアンプ

データシート

ADA4610-2

特長

低オフセット電圧

B グレード: 最大 0.4 mV

A グレード: 最大 1 mV

低オフセット電圧ドリフト

B グレード: 最大 4 $\mu\text{V}/^\circ\text{C}$

A グレード: 最大 8 $\mu\text{V}/^\circ\text{C}$

低入力バイアス電流: $V_{SY} = \pm 15\text{ V}$ で 5 pA (typ)

両電源動作: $\pm 4.5\text{ V} \sim \pm 15\text{ V}$

低ノイズ

$f = 1\text{ kHz}$ で 7.3 nV/ $\sqrt{\text{Hz}}$ (typ)

0.1 Hz $\sim$ 10 Hz で 0.45 $\mu\text{V p-p}$

低歪み: 0.00006%

位相反転なし

レール to レール出力

ユニティ・ゲイン安定

アプリケーション

計装機器

医用計測機器

多極フィルタ

高精度電流計測

フォトダイオード・アンプ

センサー

オーディオ

概要

ADA4610-2 は、低オフセット電圧、低入力バイアス電流、低入力電圧ノイズ、低入力電流ノイズ、レールtoレール出力の高精度デュアルJFET アンプです。

低オフセット、低ノイズ、非常に低い入力バイアス電流の組み合わせにより、このアンプは特にハイ・インピーダンス・センサーの増幅およびシャントを使う高精度電流計測に最適です。高精度DC、低ノイズ、高速セトリング・タイムの組み合わせにより、医用計装機器、電子計測機器、自動テスト装置において高精度が得られます。多くの競合アンプと異なり、**ADA4610-2** は非常に大きな容量負荷でも高速なセトリング性能を維持します。多くの旧型JFETアンプとは異なり、**ADA4610-2** では入力電圧が最大同相モード電圧範囲を超えても出力位相の逆転は発生しません。

容量負荷での高速スルーレートと優れた安定性により、**ADA4610-2** は高性能フィルタ用に最適です。低入力バイアス電流、低オフセット、低ノイズにより、フォトダイオード・アンプ回路で広いダイナミック・レンジが得られます。**ADA4610-2** は低ノイズおよび低歪み、高出力電流、優れた動作速度を持つため、オーディオ・アプリケーション向けにも最適です。

ADA4610-2 の仕様は、拡張工業温度範囲($-40^\circ\text{C} \sim +125^\circ\text{C}$)で規定されています。

ADA4610-2 は、8 ピン・ナロー SOIC、8 ピン MSOP、または 8 ピン LFCSP パッケージを採用しています。

ピン配置

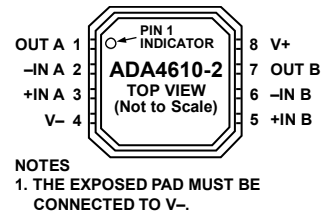


図 1.8 ピン LFCSP (CP サフィックス)

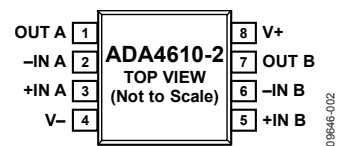


図 2.8 ピン SOIC_N (R サフィックス)および
8 ピン MSOP (RM サフィックス)

目次

特長.....	1	ESDの注意.....	6
アプリケーション.....	1	代表的な性能特性.....	7
ピン配置.....	1	同等な電圧のグラフと可変電圧のグラフ.....	12
概要.....	1	アプリケーション情報.....	14
改訂履歴.....	2	コンパレータ動作.....	14
仕様.....	3	外形寸法.....	15
電気的特性.....	4	オーダー・ガイド.....	16
絶対最大定格.....	6		

改訂履歴

12/11—Revision 0: Initial Version

仕様

特に指定がない限り、 $V_{SY} = \pm 5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.4	mV
Offset Voltage (A Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.4	0.8	mV
Offset Voltage Drift (B Grade) ²	$\Delta V_{OS}/\Delta T$			0.5	4	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Drift (A Grade) ²	$\Delta V_{OS}/\Delta T$			1	8	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		5	25	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		2	20	pA
Input Voltage Range			-2.5		0.25	nA
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -2.5\text{ V to }+2.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	94	110	+2.5	V
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_{OUT} = -3.5\text{ V to }+3.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	86	100		dB
Input Impedance, Differential		$V_{CM} = 0\text{ V}$		3.1		pF
Input Impedance, Common-Mode		$V_{CM} = 0\text{ V}$		4.8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.85	4.90		V
		$R_L = 600\text{ }\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.6	4.89		V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.6	-4.95	-4.9	V
		$R_L = 600\text{ }\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	4.05	-4.9	-4.75	V
Short-Circuit Current	I_{SC}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 63	-4.4	V
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4.5\text{ V to } \pm 18\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	106	125		dB
Supply Current/Amplifier	I_S	$I_{OUT} = 0\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	103	1.5	1.7	dB
DYNAMIC PERFORMANCE						
Gain Bandwidth Product	GBP	$V_{IN} = 5\text{ mV p-p}$, $R_L = 2\text{ k}\Omega$, $A_V = 100$		15.4		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 5\text{ mV p-p}$, $R_L = 2\text{ k}\Omega$, $A_V = -10$		9.3		MHz
Phase Margin	ϕ_M			61		Degrees
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = 1$, $V_{IN} = 5\text{ mV p-p}$		10.6		MHz
NOISE PERFORMANCE						
Voltage Noise	$e_n\text{ p-p}$	0.1 Hz to 10 Hz		0.45		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 10\text{ Hz}$		14		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 100\text{ Hz}$		8.2		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 1\text{ kHz}$		7.3		$\text{nV}/\sqrt{\text{Hz}}$
		$f = 10\text{ kHz}$		7.3		$\text{nV}/\sqrt{\text{Hz}}$

¹ オフセット電圧にはハンダ熱抵抗は含まれません。

² デザインとキャラクタライゼーションにより保証します。

電気的特性

特に指定がない限り、 $V_{SY} = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.4	mV
Offset Voltage (A Grade) ¹	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.4	0.8	mV
Offset Voltage Drift (B Grade) ²	$\Delta V_{OS}/\Delta T$			0.5	4	$\mu\text{V}/^\circ\text{C}$
Offset Voltage Drift (A Grade) ²	$\Delta V_{OS}/\Delta T$			1	8	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		5	25	pA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		2	20	pA
Input Voltage Range			-12.5		+12.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -12.5\text{ V to } +12.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	100	115		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_{OUT} = \pm 13.5\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	96	107		dB
Input Impedance, Differential		$V_{CM} = 0\text{ V}$		3.1		pF
Input Impedance, Common-Mode		$V_{CM} = 0\text{ V}$		4.8		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	14.8	14.9		V
		$R_L = 600\text{ }\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	14.65	14.47		V
Output Voltage Low	V_{OL}	$R_L = 2\text{ k}\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	13.35	-14.9	-14.85	V
		$R_L = 600\text{ }\Omega$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		-14.68	-14.75	V
Short-Circuit Current	I_{SC}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		± 79	-14.3	V
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = \pm 4.5\text{ V to } \pm 18\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	106	125		dB
Supply Current/Amplifier	I_{SY}	$I_{OUT} = 0\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	103	1.6	1.85	mA
					2.0	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$	$\pm 17^2$	+25/-61		V/ μs
Gain Bandwidth Product	GBP	$V_{IN} = 5\text{ mV p-p}$, $R_L = 2\text{ k}\Omega$, $A_V = 100$		16.3		MHz
Unity-Gain Crossover	UGC	$V_{IN} = 5\text{ mV p-p}$, $R_L = 2\text{ k}\Omega$, $A_V = -10$		9.3		MHz
Phase Margin	ϕ_M			66		Degrees
-3 dB Closed-Loop Bandwidth	-3 dB	$A_V = 1$, $V_{IN} = 5\text{ mV p-p}$		9.50		MHz
Total Harmonic Distortion (THD) + Noise	THD + N	1 kHz, $G = +1$, $R_L = 2\text{ k}\Omega$, $V_{IN} = 6\text{ V rms}$		0.00006		%

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE PERFORMANCE						
Peak-to-Peak Voltage Noise	e_n p-p	0.1 Hz to 10 Hz bandwidth		0.45		$\mu\text{V p-p}$
Voltage Noise Density	e_n	f = 10 Hz		14		$\text{nV}/\sqrt{\text{Hz}}$
		f = 100 Hz		8.5		$\text{nV}/\sqrt{\text{Hz}}$
		f = 1 kHz		7.3		$\text{nV}/\sqrt{\text{Hz}}$
		f = 10 kHz		7.3		$\text{nV}/\sqrt{\text{Hz}}$

¹ オフセット電圧にはハンダ熱抵抗は含まれません。
² デザインとキャラクタライゼーションにより保証します。

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	±18 V
Input Voltage	±V _S
Output Short-Circuit Duration to GND	Observe derating curves
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +125°C
Junction Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 10 sec)	300°C
Electrostatic Discharge (Human Body Model)	2500 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

表 4.熱抵抗

Package Type	θ _{JA} ¹	θ _{JC}	Unit
8-Lead MSOP (RM-8)	142	45	°C/W
8-Lead SOIC_N (R-8)	120	43	°C/W
8-Lead LFCSP_VD (CP-8-9)	57	12	°C/W

¹ θ_{JA}はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA}を規定。

ESDの注意

	ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。
---	---

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

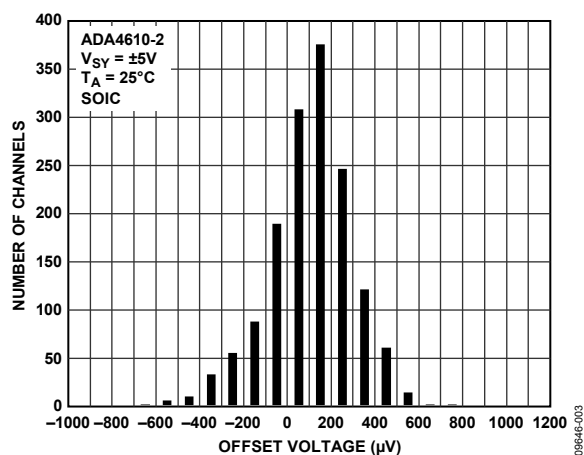


図 3.入力オフセット電圧の分布

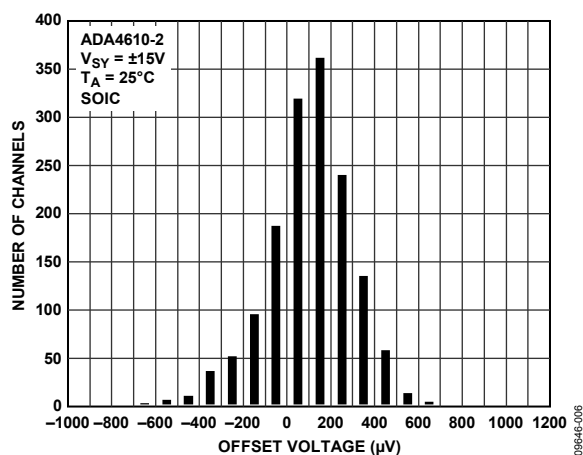


図 6.入力オフセット電圧の分布

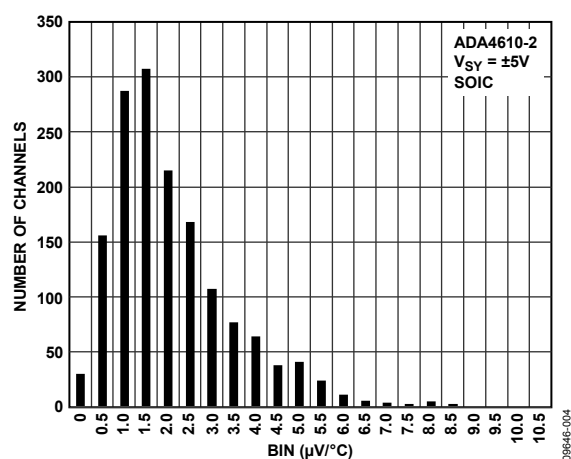


図 4. $T_C V_{OS}$ の分布

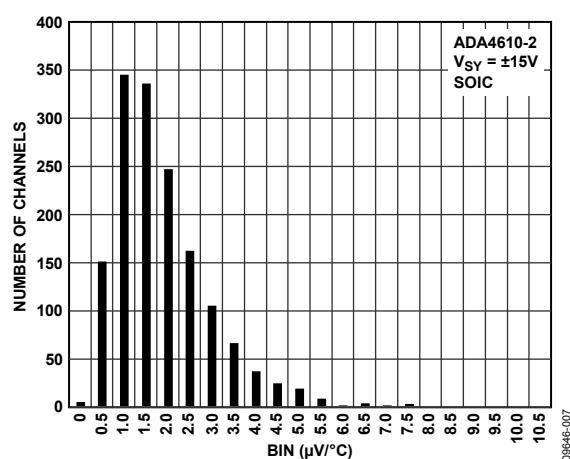


図 7. $T_C V_{OS}$ の分布

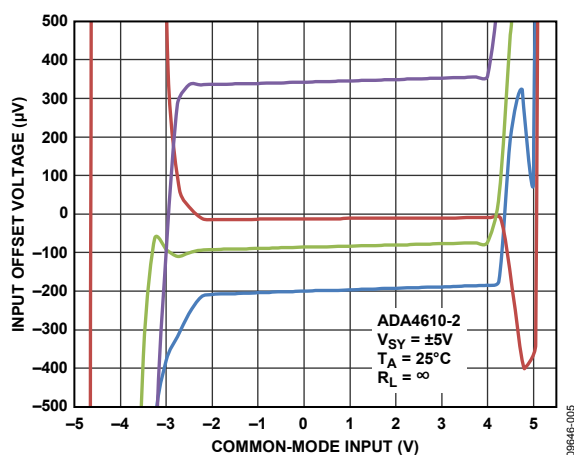


図 5.同相モード入力電圧対入力オフセット電圧

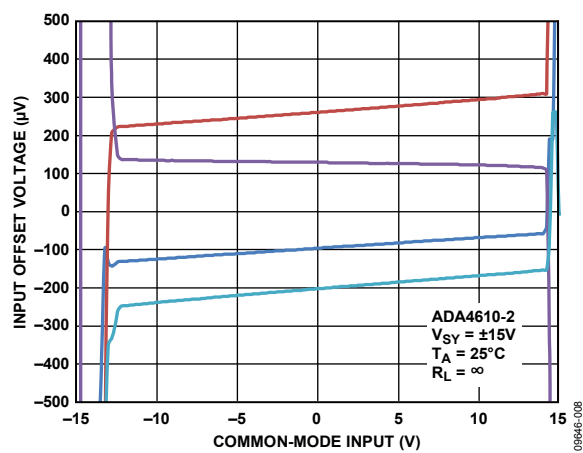


図 8.同相モード入力電圧対入力オフセット電圧

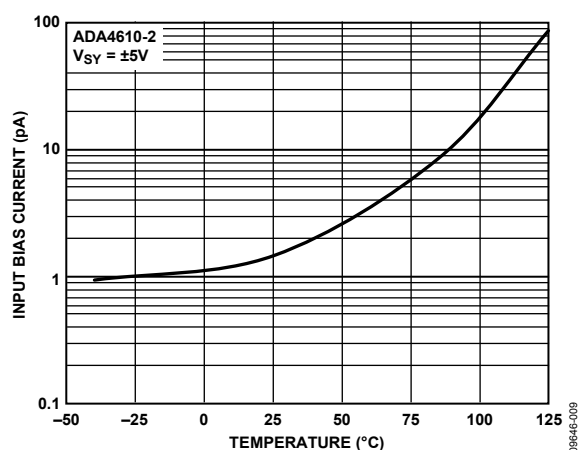


図 9.入力バイアス電流の温度特性

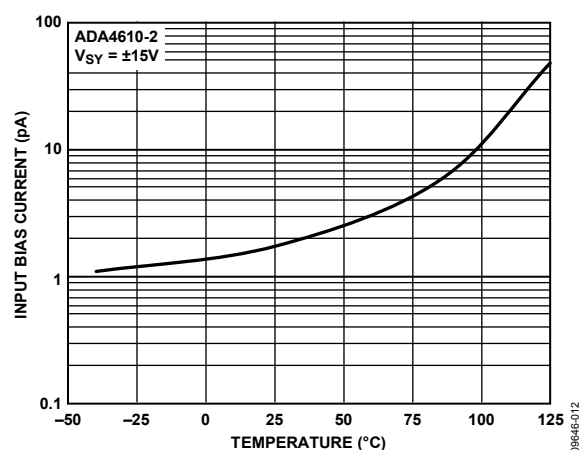


図 12.入力バイアス電流の温度特性

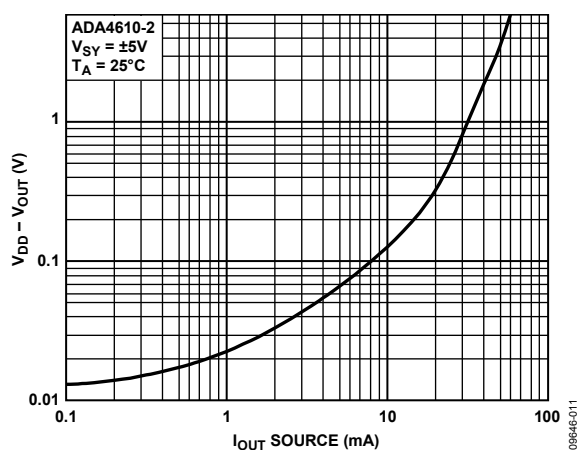


図 10.電源電流対ドロップアウト電圧

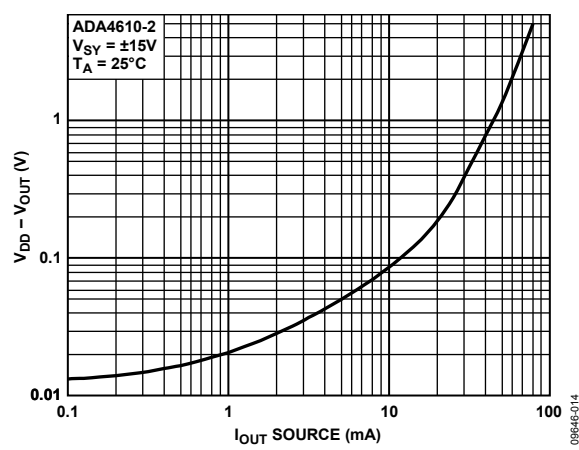


図 13.電源電流対ドロップアウト電圧

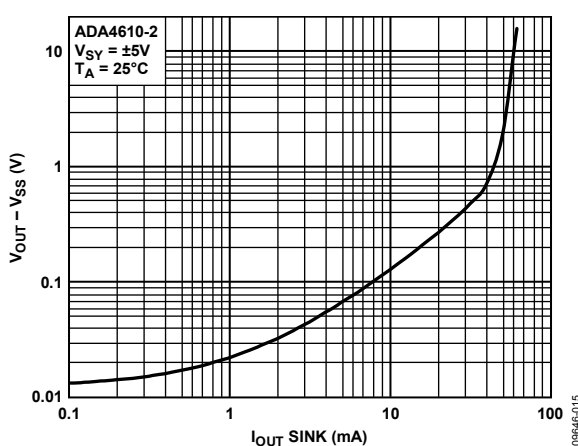


図 11.シンク電流対ドロップアウト電圧

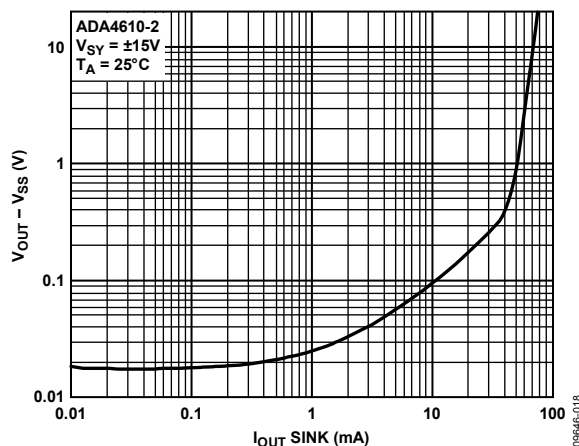


図 14.シンク電流対ドロップアウト電圧

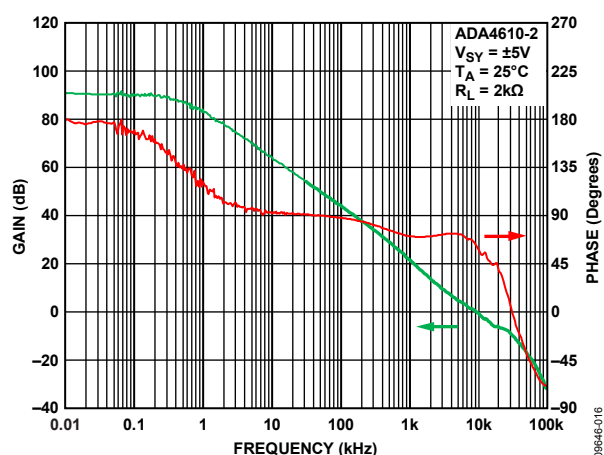


図 15.オープン・ループ・ゲインおよび位相の周波数特性

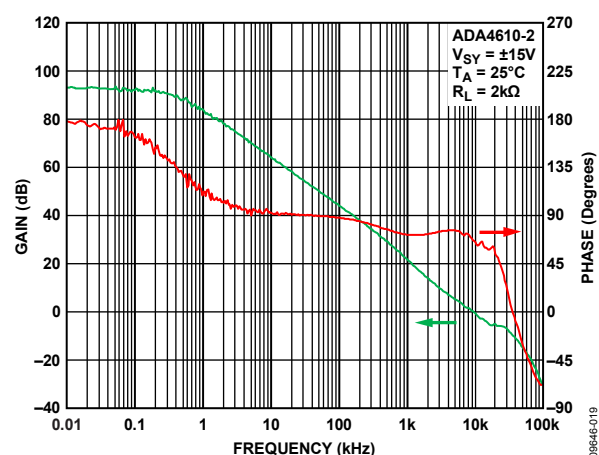


図 18.オープン・ループ・ゲインおよび位相の周波数特性

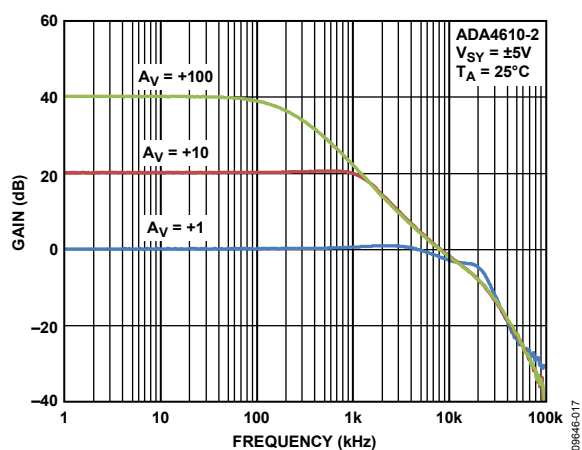


図 16.クローズド・ループ・ゲインの周波数特性

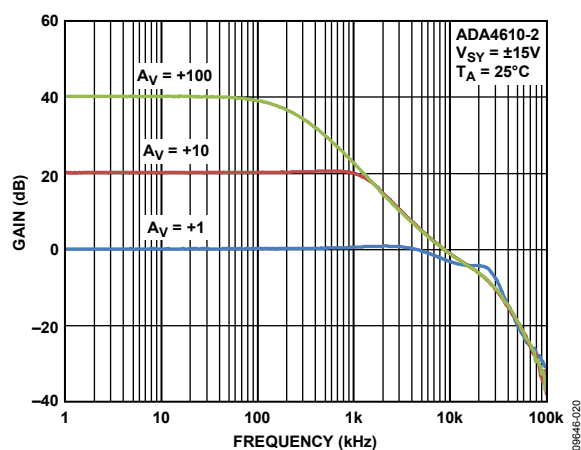


図 19.クローズド・ループ・ゲインの周波数特性

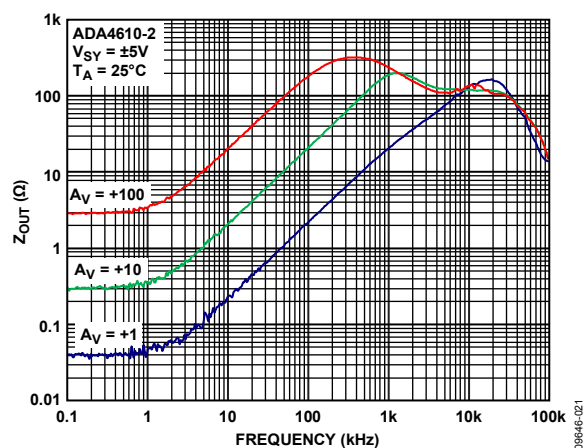


図 17.クローズド・ループ出力インピーダンスの周波数特性

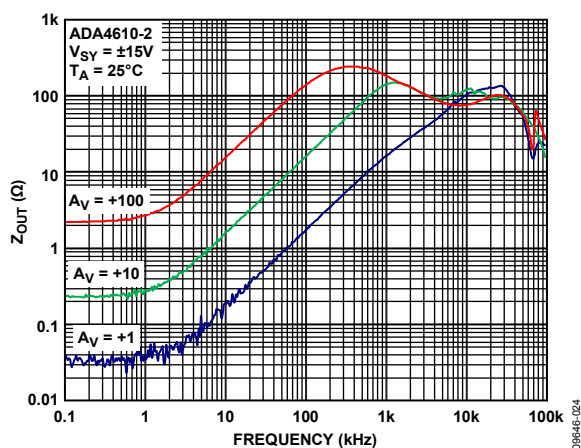


図 20.クローズド・ループ出力インピーダンスの周波数特性

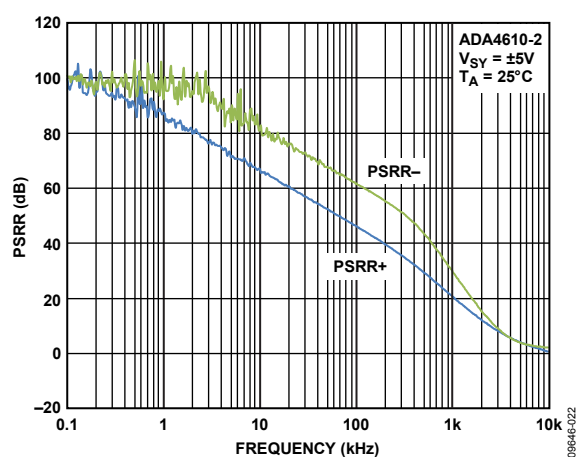


図 21.PSRR の周波数特性

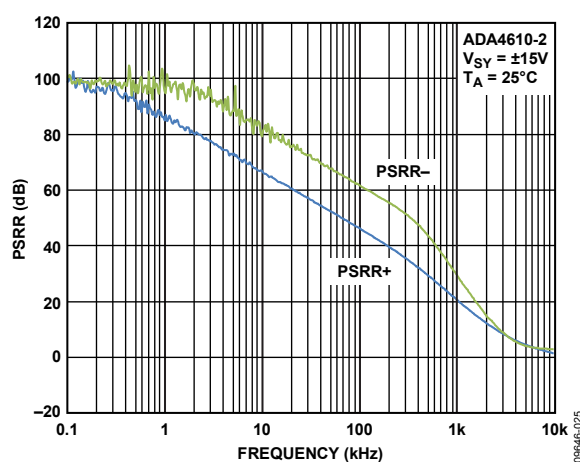


図 24.PSRR の周波数特性

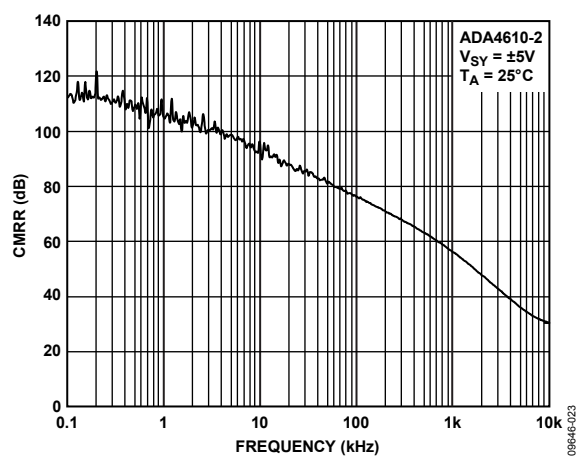


図 22.CMRR の周波数特性

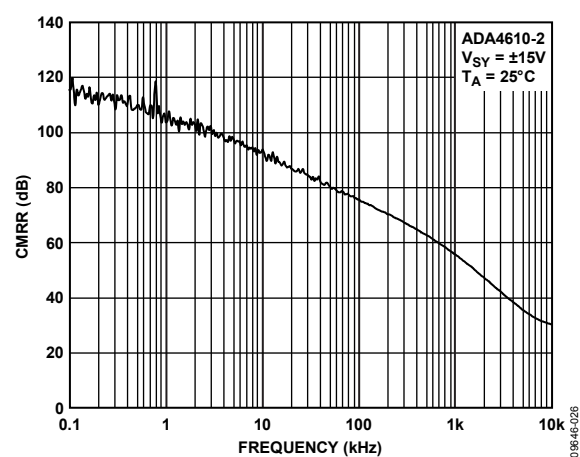


図 25.CMRR の周波数特性

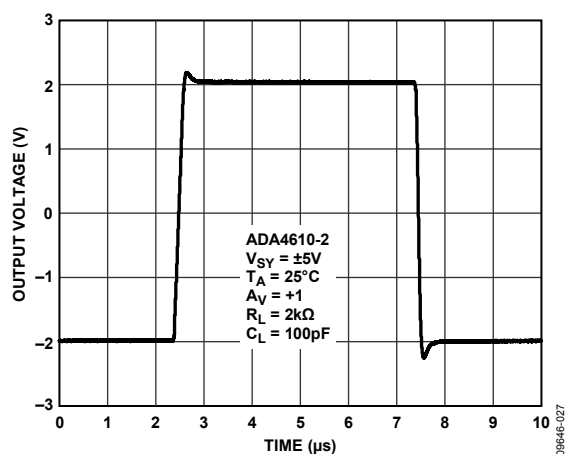


図 23.大信号過渡応答

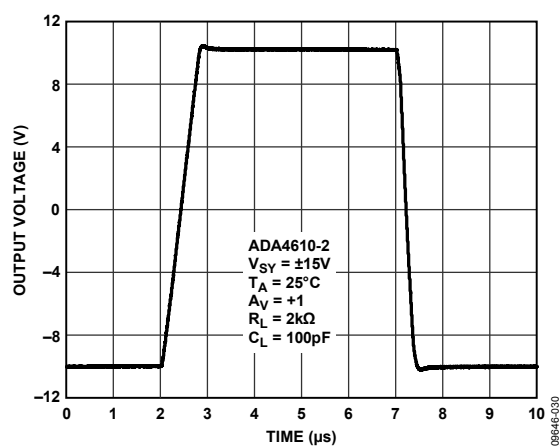


図 26.大信号過渡応答

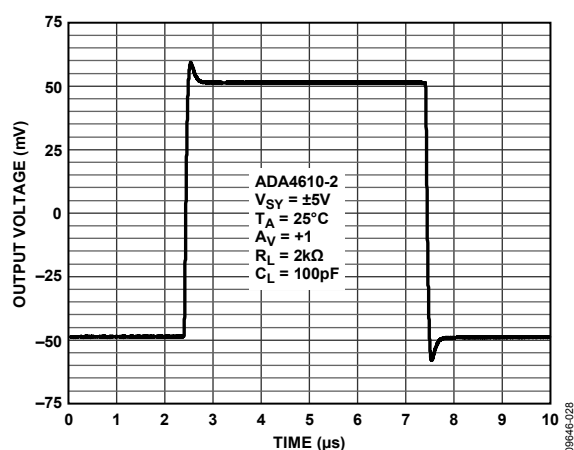


図 27.小信号過渡応答

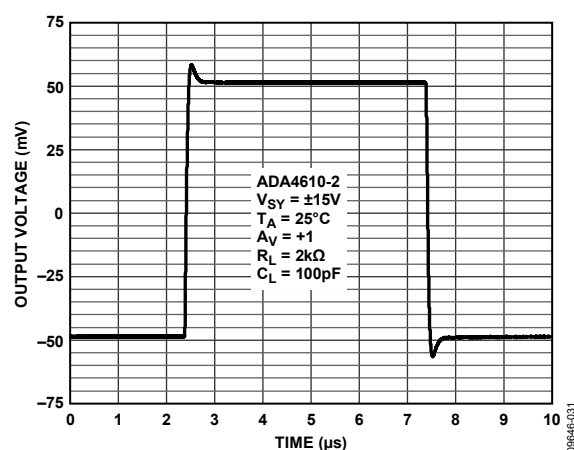


図 30.小信号過渡応答

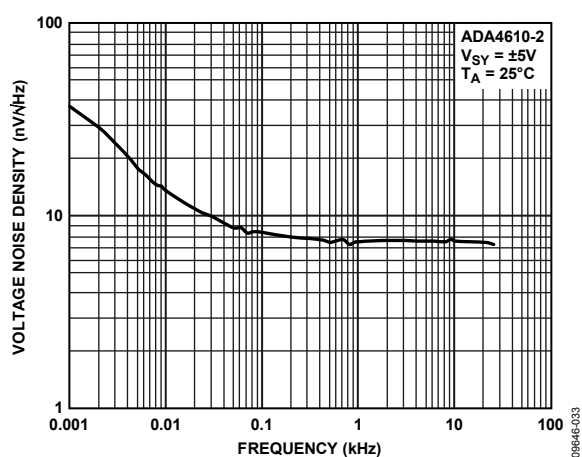


図 28.電圧ノイズ密度

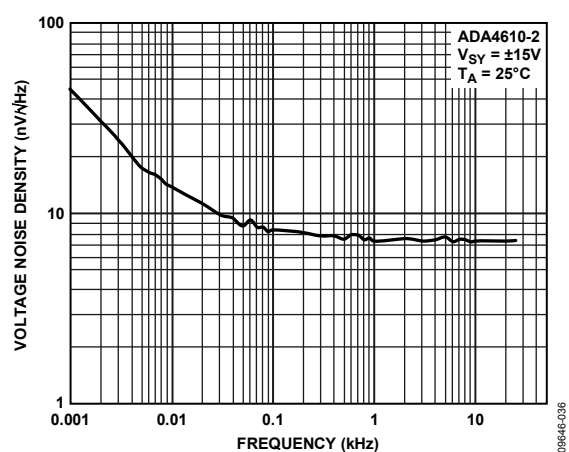


図 31.電圧ノイズ密度

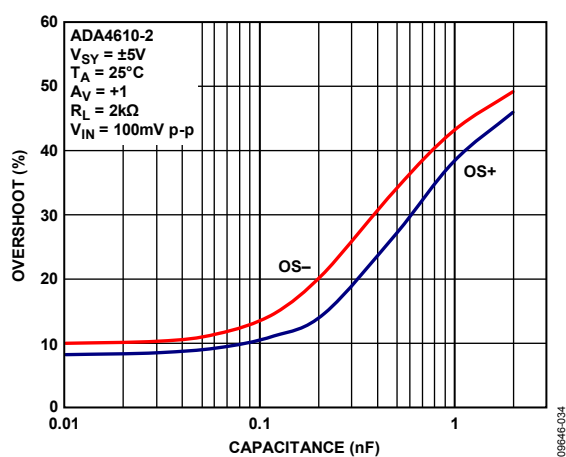


図 29.負荷容量対オーバーシュート

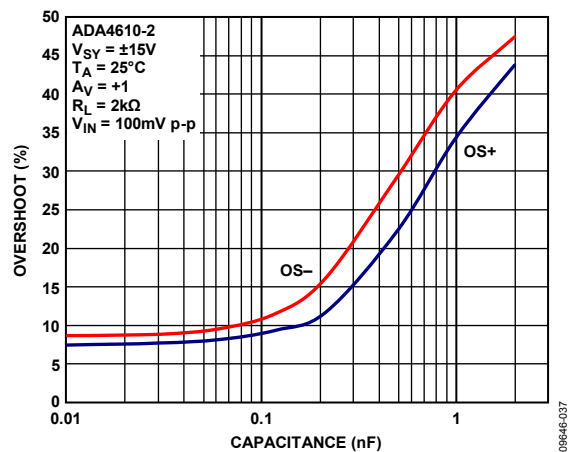


図 32.負荷容量対オーバーシュート

同等な電圧のグラフと可変電圧のグラフ

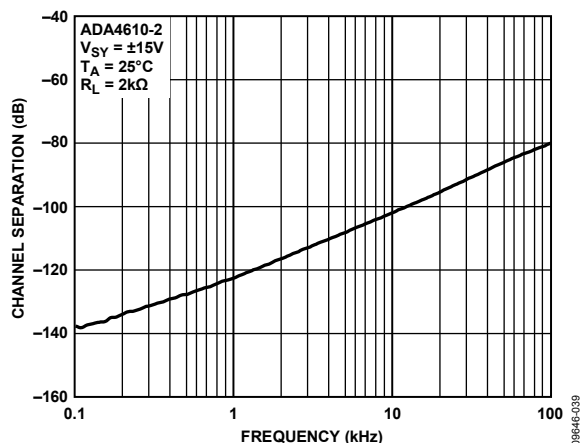


図 33.チャンネル・セパレーション

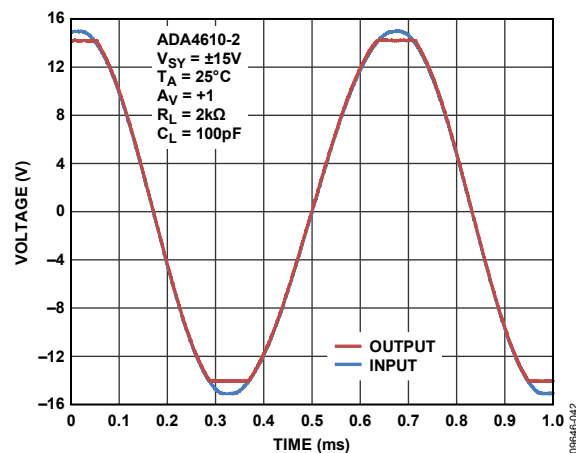


図 36.位相反転なし

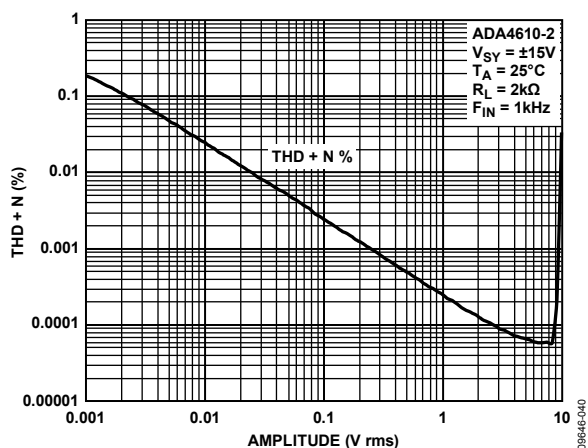


図 34.振幅対 THD + N

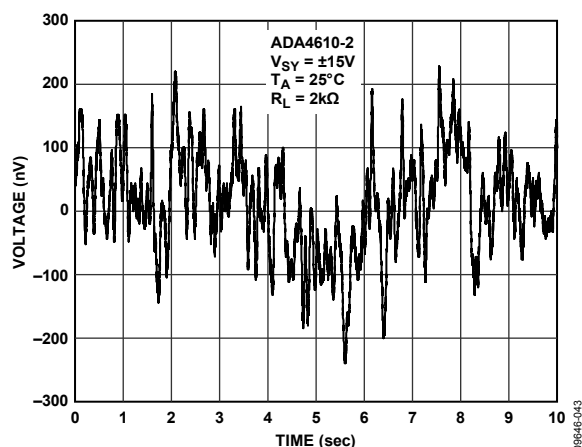


図 37.電圧ノイズ、0.1 Hz～10 Hz

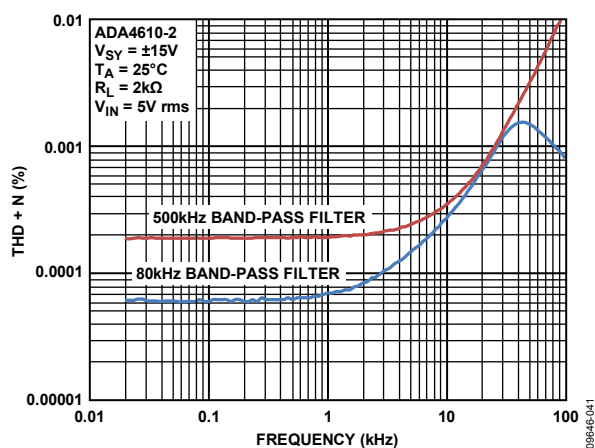


図 35.TH D + N の周波数特性

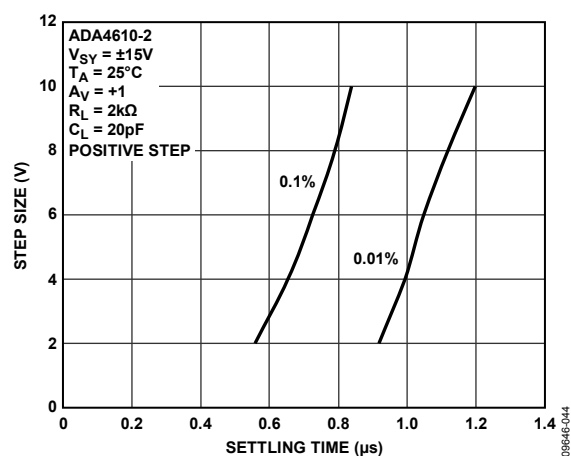


図 38.正ステップ・セトリング・タイム

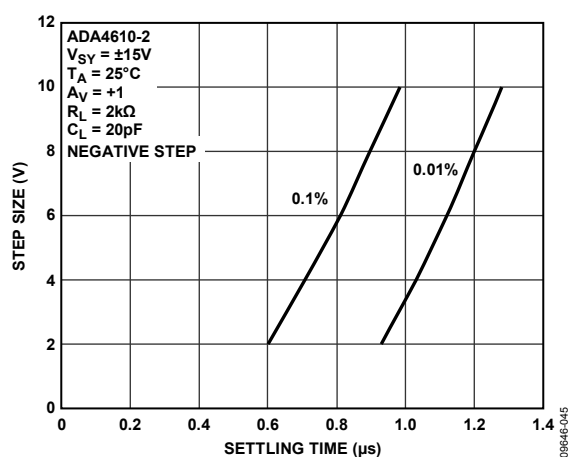


図 39 負ステップ・セトリング・タイム

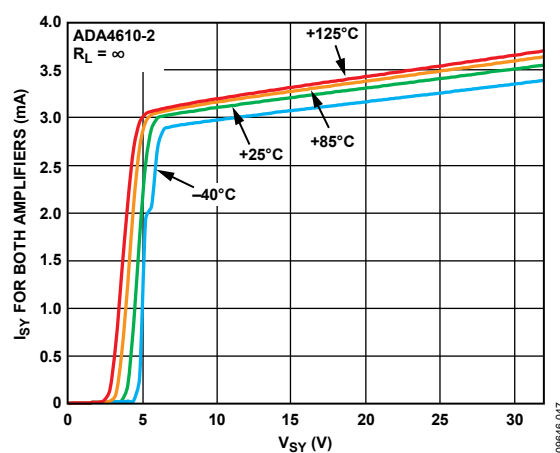


図 40.電源電圧および温度対電源電流

アプリケーション情報

コンパレータ動作

オペアンプはコンパレータとかなり異なりますが、デュアルまたはクワッドのオペアンプの未使用部分をコンパレータとして使用することがありますが、これはレールtoレール出力のオペアンプの場合推奨できません。レールtoレール出力のオペアンプの場合、一般に出力ステージはバイポーラ・トランジスタまたはMOSFET トランジスタによる比例電流ミラーになっています。デバイスをオープン・ループで動作させる場合、2 ステージ目は電流駆動を比例ミラーまで増やしてループを閉じようとしていますが、これを閉じることができないため、電源電流が増えます。オペアンプをコンパレータとして構成すると、電源電流は非常に大きくなることがあります (図 41 参照)。未使用セクションを電圧フォロワとして構成し、入力電圧範囲内で非反転入力を電圧に接続することが推奨されます。ADA4610-2 では、余分な電源電流を少なくしますが、オペアンプをオープン・ループで動作させる際にこの影響を完全になくさない独自の出力ステージ・デザインを採用しています。

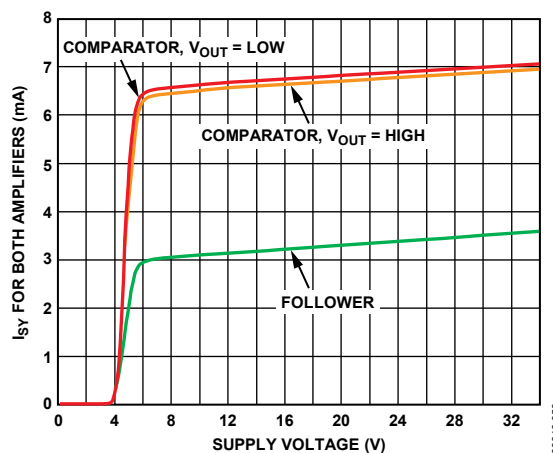


図 41. 電源電圧対電源電流

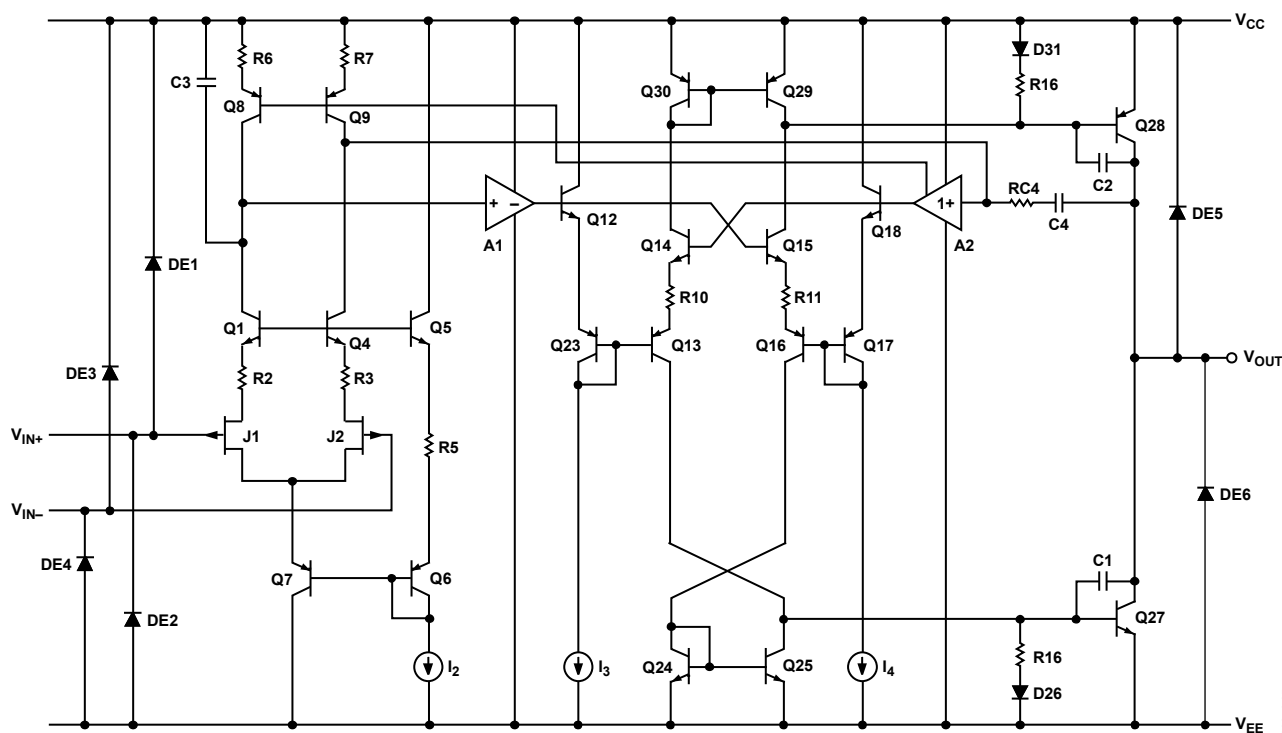
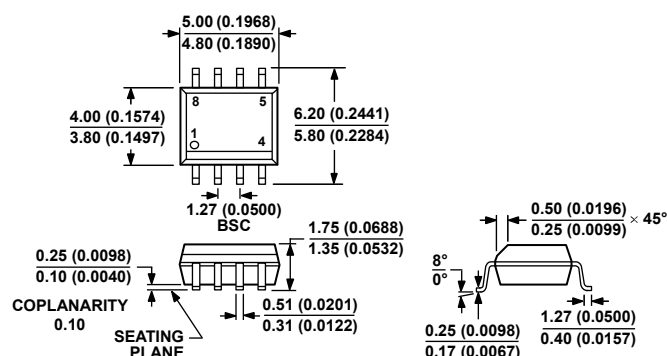


図 42. 簡略化した回路図

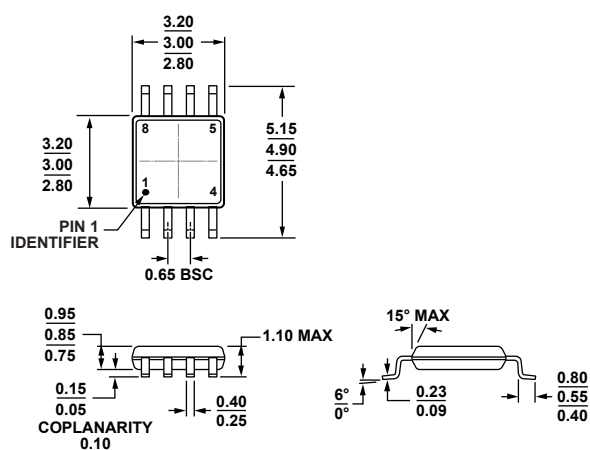
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 43.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ(R-8)
寸法: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

10-07-2009-B

図 44.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

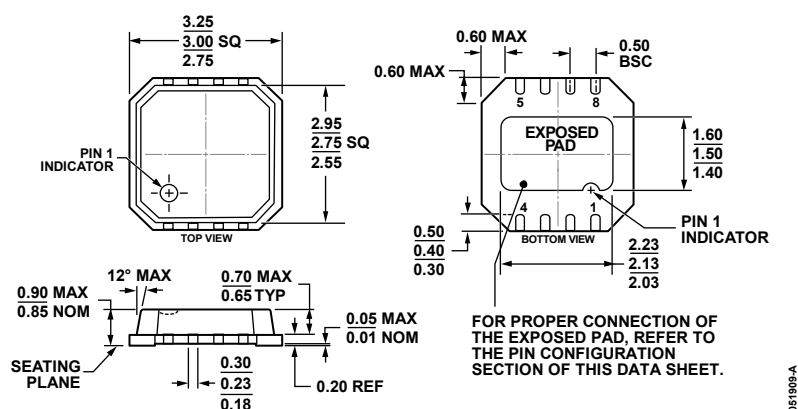


図 45.8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VD]
3 mm × 3 mm ボディ、極薄、デュアル・リード
(CP-8-9)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4610-2ACPZ-R7	−40°C to +125°C	8-Lead LFCSP_VD	CP-8-9	A2U
ADA4610-2ACPZ-RL	−40°C to +125°C	8-Lead LFCSP_VD	CP-8-9	A2U
ADA4610-2ARMZ	−40°C to +125°C	8-Lead MSOP	RM-8	A2U
ADA4610-2ARMZ-RL	−40°C to +125°C	8-Lead MSOP	RM-8	A2U
ADA4610-2ARZ	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4610-2ARZ-R7	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4610-2ARZ-RL	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4610-2BRZ	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4610-2BRZ-R7	−40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4610-2BRZ-RL	−40°C to +125°C	8-Lead SOIC_N	R-8	

¹ Z = RoHS 準拠製品。