



4 MHz、7 nV/√Hz、低オフセット 低ドリフトの高精度アンプ

データシート

ADA4077-2

特長

- 低オフセット電圧 (最大値を規定)
 - B グレード: 25 μV (SOIC)
 - A グレード: 50 μV (SOIC)、90 μV (MSOP)
- 非常に小さいオフセット電圧ドリフト
 - B グレード: 0.25 $\mu\text{V}/^\circ\text{C}$ (SOIC)
 - A グレード: 0.55 $\mu\text{V}/^\circ\text{C}$ (SOIC)および 1.2 $\mu\text{V}/^\circ\text{C}$ (MSOP)、 $-40^\circ\text{C}\sim+125^\circ\text{C}$ で規定、MSL1 定格
- 低入力バイアス電流: 最大 1.0 nA
- 低ノイズ: 7 nV/√Hz (typ)
- CMRR、PSRR、 A_{VO} : 最小 120 dB
- 低電源電流: アンプあたり 400 μA (typ)
- 広い帯域幅: 4.0 MHz
- 両電源動作: $\pm 5\text{V}\sim\pm 15\text{V}$
- ユニティ・ゲイン安定
- 位相反転なし

ピン接続図

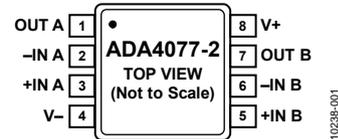


図 1.ADA4077-2 のピン配置、8 ピン MSOP

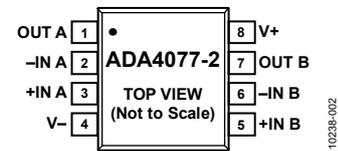


図 2.ADA4077-2 のピン配置、8 ピン SOIC_N

アプリケーション

- プロセス制御のフロントエンド・アンプ
- 無線基地局制御回路
- 光ネットワーク制御回路
- 計装機器
- センサーおよび制御: 熱電対、抵抗熱検出器 (RTD)、ストレイン・ブリッジ、シャント電流計測
- 高精度フィルタ

概要

ADA4077-2 は、極めて低いオフセット電圧およびドリフトを持ち、低入力バイアス電流、低ノイズ、低消費電力のデュアル・アンプです。出力は 1000 pF 以上の容量負荷で外部補償なしで安定しています。

このアンプのアプリケーションとしては、センサー・シグナル・コンディショニング (熱電対、RTD、ストレイン・ゲージなど)、プロセス制御フロントエンド・アンプ、光および無線伝送システムでの高精度ダイオード電力計測などがあります。ADA4077-2 は、ライン給電型およびポータブル型の計測機器、高精度フィルタ、電圧または電流計測、レベル設定に有効です。

ADA4077-2 は競合他社のアンプとは異なり、 $-40^\circ\text{C}\sim+125^\circ\text{C}$ の拡張工業用温度範囲で動作が規定され、最も厳しい動作環境に対する MSL1 定格になっています。このデバイスは 8 ピン SOIC (B グレードを含む) パッケージまたは MSOP (A グレード) パッケージを採用しています。

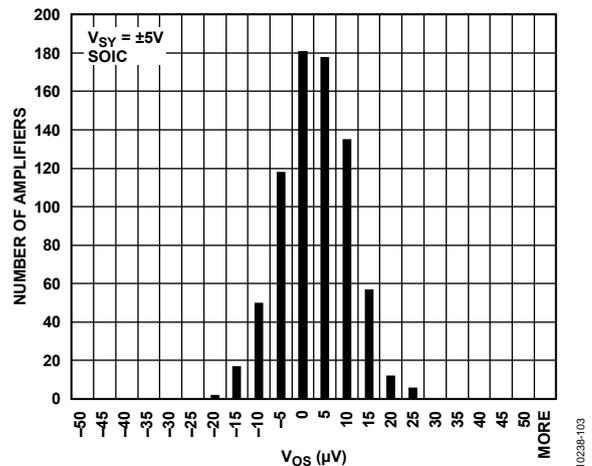


図 3.オフセット電圧の分布

表 1.各世代の高精度デバイス

Op Amp	1st	2nd	3rd	4th	5th	6th
Single	OP07	OP77	OP177	OP1177	AD8677	
Dual				OP2177		ADA4077-2
Quad				OP4177		

目次

特長.....	1	ピン配置およびピン機能説明.....	6
アプリケーション.....	1	代表的な性能特性.....	7
概要.....	1	動作原理.....	16
ピン接続図.....	1	アプリケーション情報.....	17
改訂履歴.....	2	出力位相の反転.....	17
仕様.....	3	低消費電力の直線性 RTD.....	17
電気的特性、 $\pm 5.0\text{ V}$	3	適切なボード・レイアウト.....	18
電気的特性、 $\pm 15.0\text{ V}$	4	パッケージとオーダー情報.....	19
絶対最大定格.....	5	外形寸法.....	19
熱抵抗.....	5	オーダー・ガイド.....	20

改訂履歴

10/12—Revision 0: Initial Version

仕様

電気的特性、±5.0 V

特に指定がない限り、 $V_{SY} = \pm 5.0 \text{ V}$ 、 $V_{CM} = 0 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade, SOIC)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		10	25	μV
Offset Voltage Drift (B Grade, SOIC)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	65	$\mu\text{V}/^\circ\text{C}$
Offset Voltage (A Grade) SOIC	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		15	50	μV
MSOP				50	105	μV
Offset Voltage Drift (A Grade) SOIC	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.25	220	$\mu\text{V}/^\circ\text{C}$
MSOP				0.5	1.2	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1	-0.4	+1	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1.5	+0.1	+1.5	nA
Input Voltage Range			-3.8		+3	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -3.8 \text{ V to } +3 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	122	140		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2 \text{ k}\Omega$, $V_O = -3.0 \text{ V to } +3.0 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	121	130		dB
Input Capacitance	C_{INDM}	Differential mode		3		pF
	C_{INCM}	Common mode		5		pF
Input Resistance	R_{IN}			100		M Ω
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+4.1			V
Output Voltage Low	V_{OL}	$I_L = 1 \text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$			-3.5	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.6 \text{ V}$		± 10		mA
Short-Circuit Current	I_{SC}	$T_A = 25^\circ\text{C}$		22		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1 \text{ kHz}$, $A_V = +1$		0.05		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 2.5 \text{ V to } \pm 18 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	123	128		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0 \text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$		400	450	μA
					650	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2 \text{ k}\Omega$		1		V/ μs
Settling Time to 0.1%	t_s	$V_{IN} = 1 \text{ V step}$, $R_L = 4 \text{ k}\Omega$, $A_V = -1$		2		μs
Gain Bandwidth Product	GBP	$A_V = +1$		4.0		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.25		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1 \text{ Hz}$		13		nV/ $\sqrt{\text{Hz}}$
		$f = 100 \text{ Hz}$		7		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1 \text{ kHz}$		3		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION	C_S	$f = 1 \text{ kHz}$		-120		dB

電気的特性、±15.0 V

特に指定がない限り、 $V_{SY} = \pm 15\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage (B Grade, SOIC)	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		10	35	μV
Offset Voltage Drift (B Grade, SOIC)	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.1	65	$\mu\text{V}/^\circ\text{C}$
Offset Voltage (A Grade) SOIC	V_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		15	50	μV
MSOP					105	μV
Offset Voltage Drift (A Grade) SOIC	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$		0.2	0.55	$\mu\text{V}/^\circ\text{C}$
MSOP				0.5	1.2	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-1	-0.4	+1	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} < T_A < +125^\circ\text{C}$	-0.5	+0.1	+0.5	nA
Input Voltage Range			-13.8		+13	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -13.8\text{ V to } +13\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	132	150		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 2\text{ k}\Omega$, $V_O = -13.0\text{ V to } +13.0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	125	130		dB
Input Capacitance	C_{INDM}	Differential mode		3		pF
	C_{INCM}	Common mode		5		pF
Input Resistance	R_{IN}			100		M Ω
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$I_L = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+14.1			V
Output Voltage Low	V_{OL}	$I_L = 1\text{ mA}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	+14		-13.5	V
Output Current	I_{OUT}	$V_{DROPOUT} < 1.2\text{ V}$		± 10		mA
Short-Circuit Current	I_{SC}	$T_A = 25^\circ\text{C}$		22		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ kHz}$, $A_V = +1$		0.05		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_S = \pm 2.5\text{ V to } \pm 18\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	123	128		dB
Supply Current per Amplifier	I_{SY}	$V_O = 0\text{ V}$ $-40^\circ\text{C} < T_A < +125^\circ\text{C}$	120	400	500	μA
					650	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 2\text{ k}\Omega$		1		V/ μs
Settling Time to 0.01%	t_s	$V_{IN} = 10\text{ V p-p}$, $R_L = 4\text{ k}\Omega$, $A_V = -1$		9		μs
Settling Time to 0.1%	t_s	$V_{IN} = 10\text{ V p-p}$, $R_L = 4\text{ k}\Omega$, $A_V = -1$		8		μs
Gain Bandwidth Product	GBP	$A_V = +1$		3.9		MHz
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.25		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ Hz}$		13		nV/ $\sqrt{\text{Hz}}$
		$f = 100\text{ Hz}$		7		nV/ $\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		3		pA/ $\sqrt{\text{Hz}}$
MULTIPLE AMPLIFIERS CHANNEL SEPARATION	C_S	$f = 1\text{ kHz}$		-120		dB

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	$\pm V_{SY}$
Differential Input Voltage	$\pm V_{SY}$
Storage Temperature Range	
MSOP and SOIC_N Packages	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	
R and RM Packages	-65°C to +150°C
Lead Temperature, Soldering (10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 5.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead MSOP	190	44	°C/W
8-Lead SOIC_N	158	43	°C/W

ピン配置およびピン機能説明

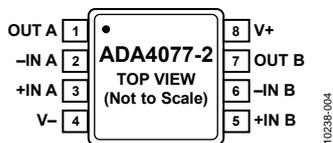


図 4.ピン配置、8 ピン MSOP (RM サフィックス)

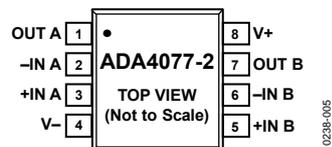


図 5.ピン配置、8 ピン SOIC_N (R サフィックス)

表 6.ADA4077-2 のピン機能説明、MSOP および SOIC

ピン番号	記号	説明
1	OUT A	出力、チャンネル A。
2	-IN A	反転入力、チャンネル A。
3	+IN A	非反転入力、チャンネル A。
4	V-	負電源電圧。
5	+IN B	非反転入力、チャンネル B。
6	-IN B	反転入力、チャンネル B。
7	OUT B	出力、チャンネル B。
8	V+	正電源電圧

代表的な性能特性

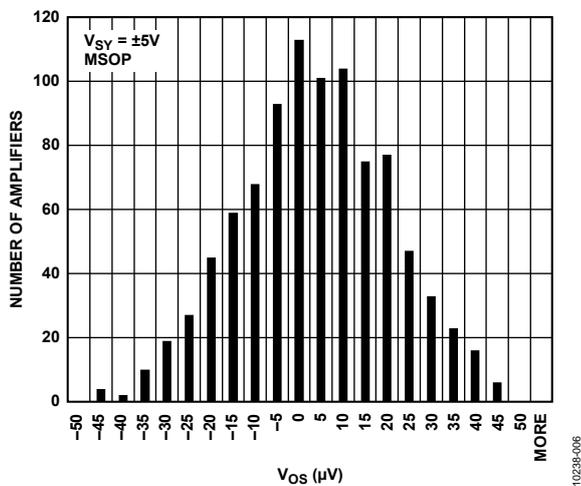


図 6. オフセット電圧の分布

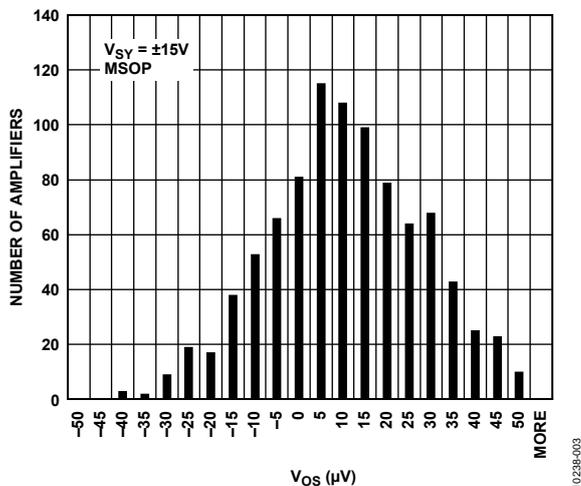


図 9. オフセット電圧の分布

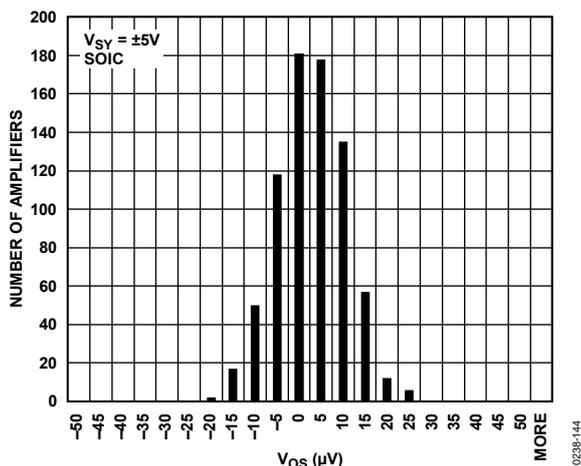


図 7. オフセット電圧の分布

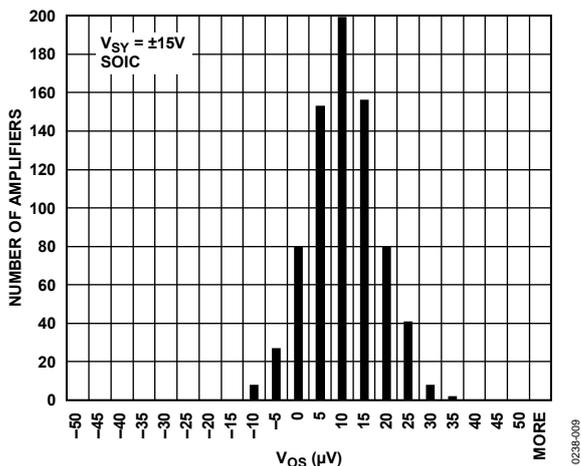


図 10. オフセット電圧の分布

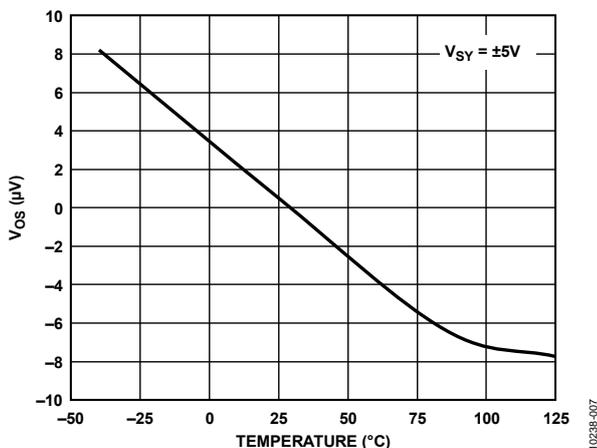


図 8. オフセット電圧の温度特性

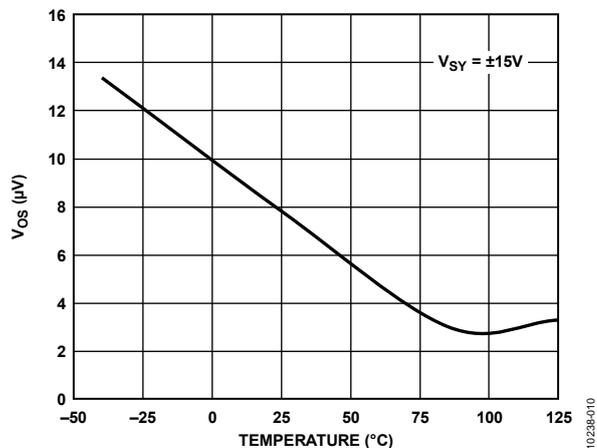
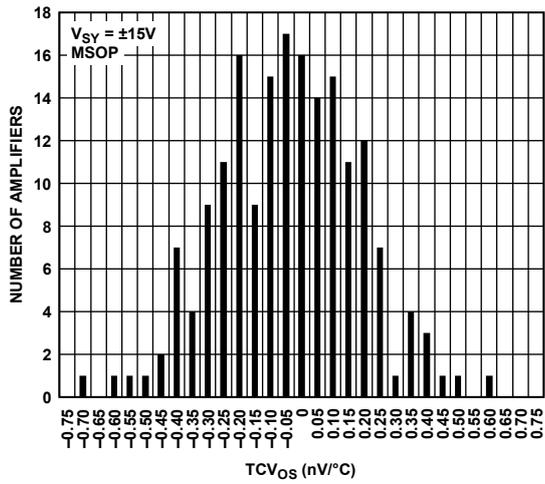
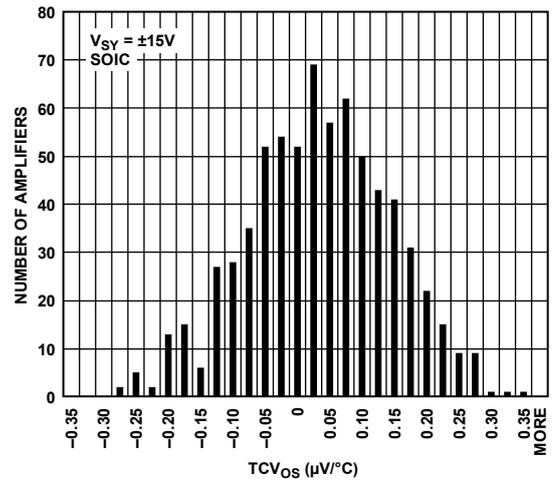


図 11. オフセット電圧の温度特性



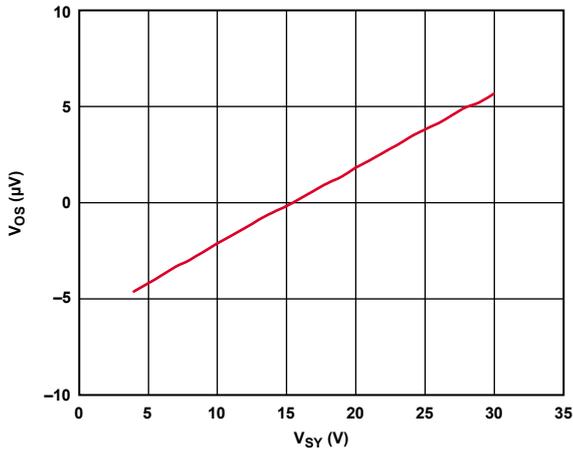
10238-130

図 12. TCV_{Os} 、MSOP



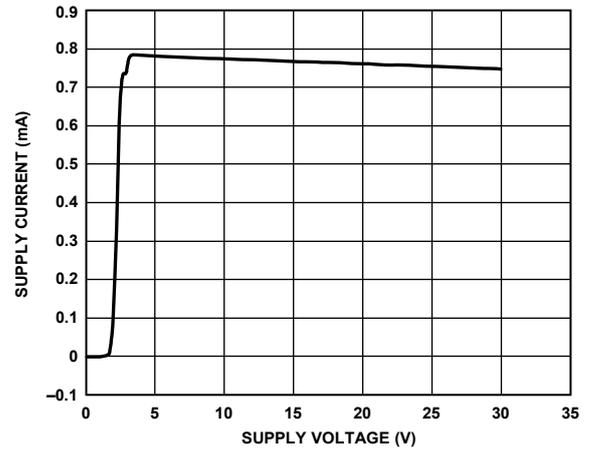
10238-008

図 15. TCV_{Os} 、SOIC



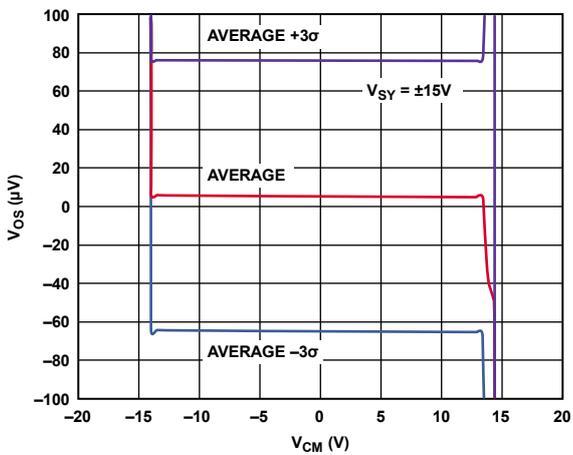
10238-134

図 13. 電源電圧対 V_{Os}



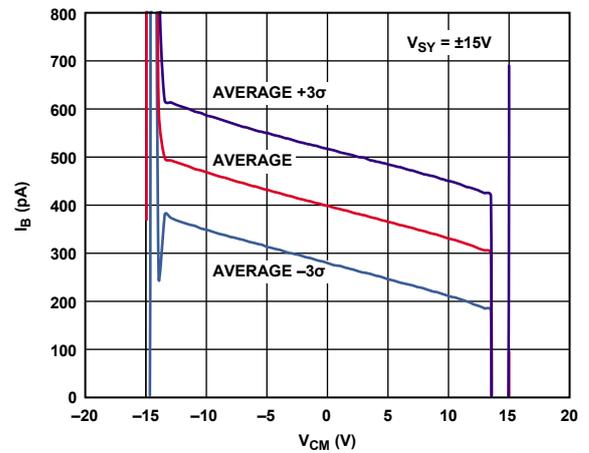
10238-126

図 16. V_{Sy} 対 I_{Sy}



10238-112

図 14. V_{CM} 対 V_{Os}



10238-115

図 17. V_{CM} 対入力バイアス電流

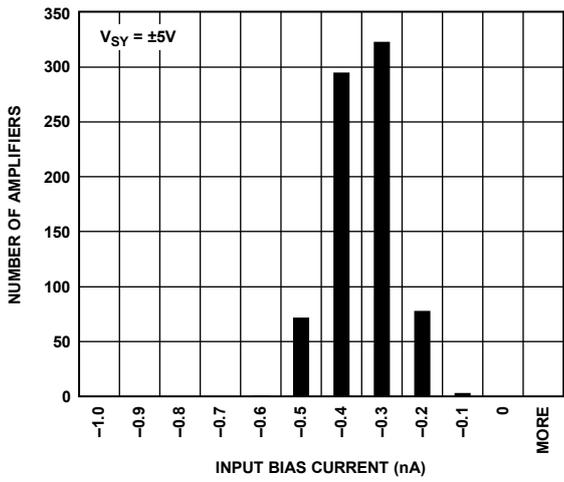


図 18.入力バイアス電流

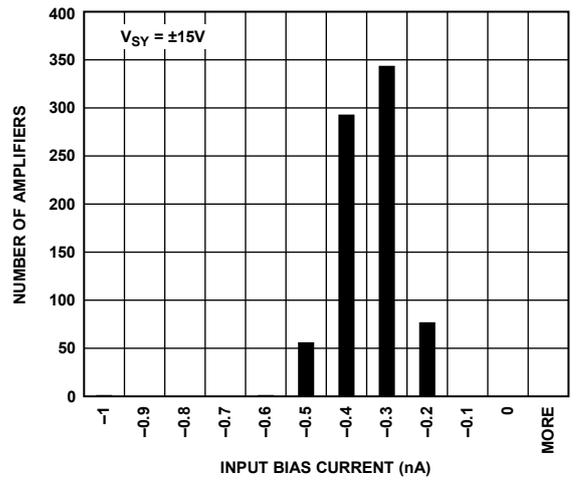


図 21.入力バイアス電流

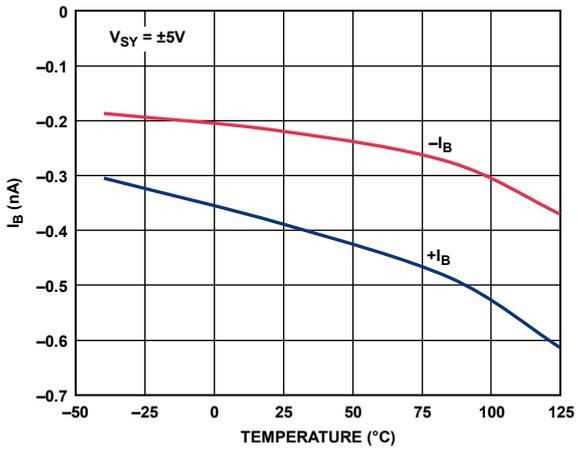


図 19.入力バイアス電流の温度特性

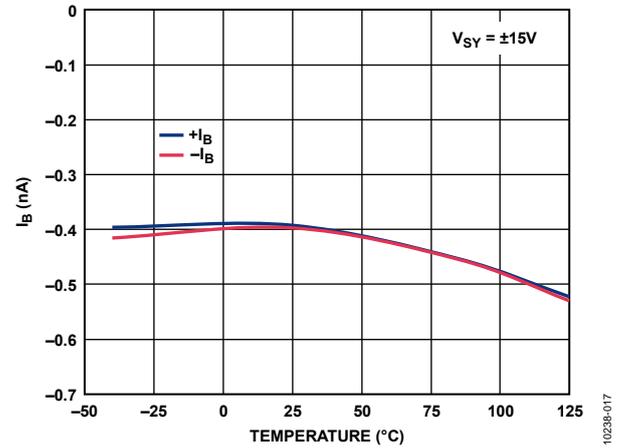


図 22.入力バイアス電流の温度特性

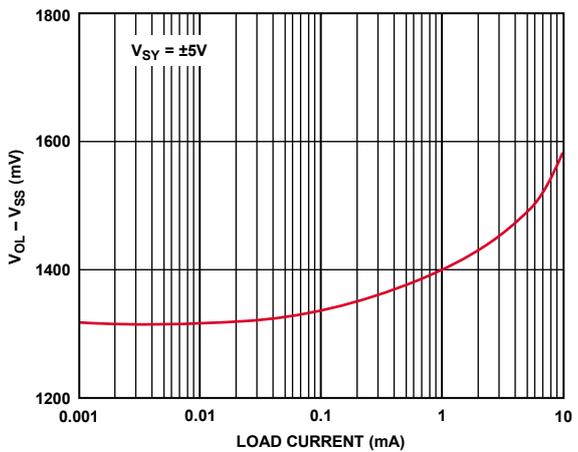


図 20.負荷電流対 V_{OL}

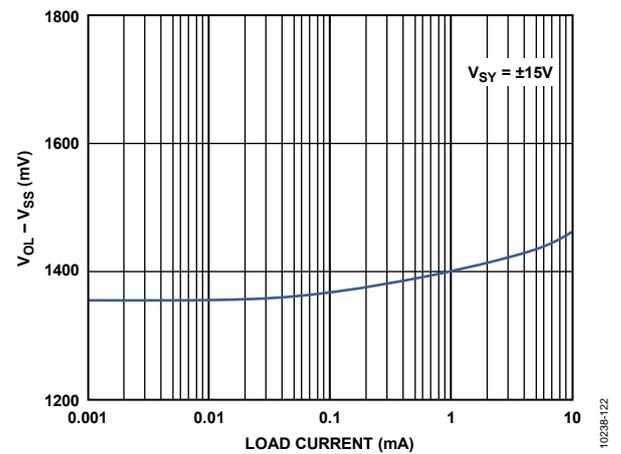


図 23.負荷電流対 V_{OL}

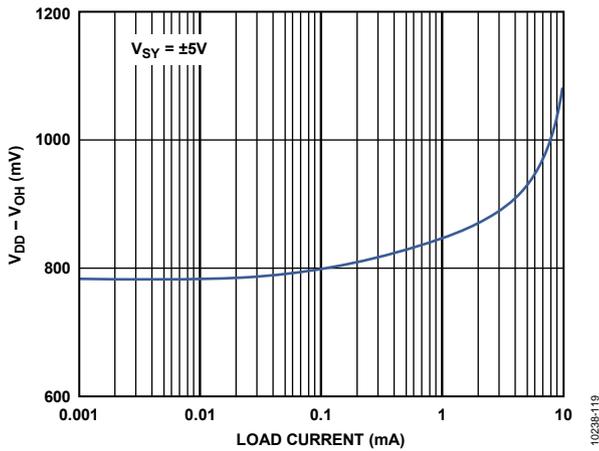


図 24. 負荷電流対出カドロップアウト電圧

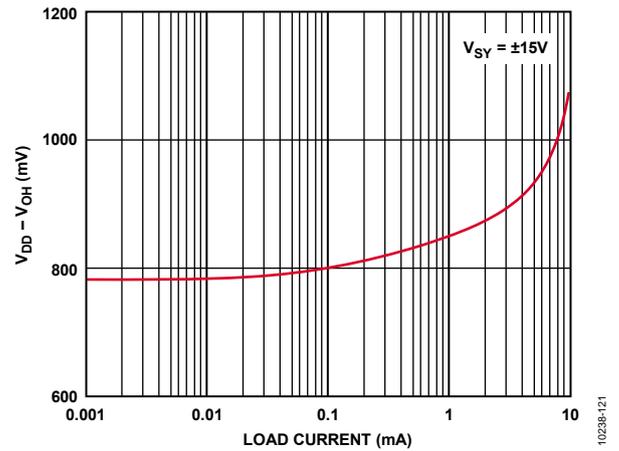


図 27. 負荷電流対出カドロップアウト電圧

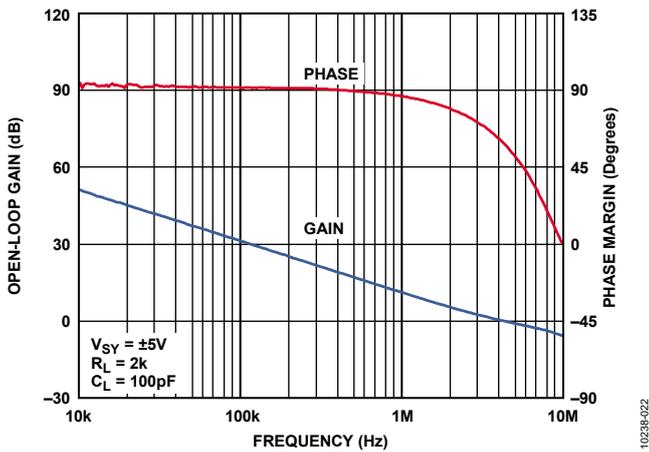


図 25. オープン・ループ・ゲインおよび位相の周波数特性

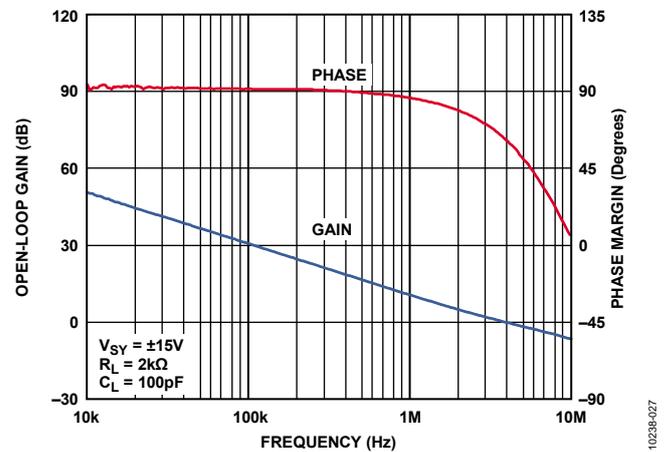


図 28. オープン・ループ・ゲインおよび位相の周波数特性

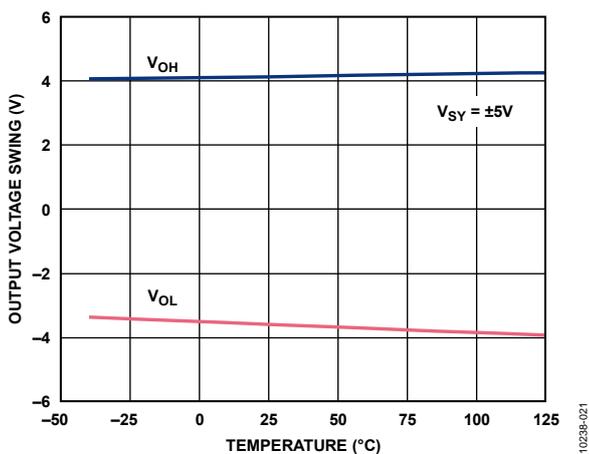


図 26. 出力電圧振幅の温度特性

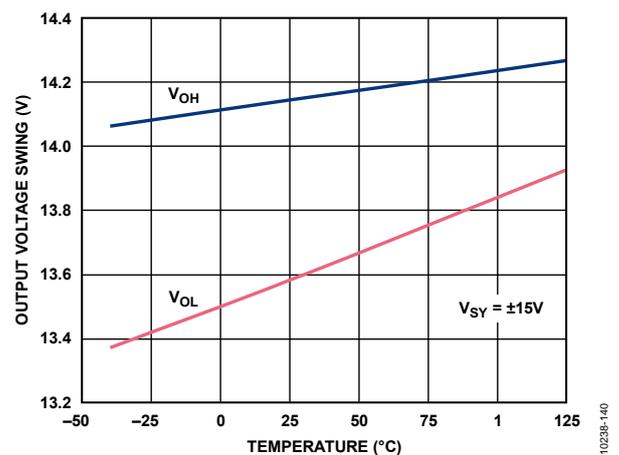


図 29. 出力電圧振幅の温度特性

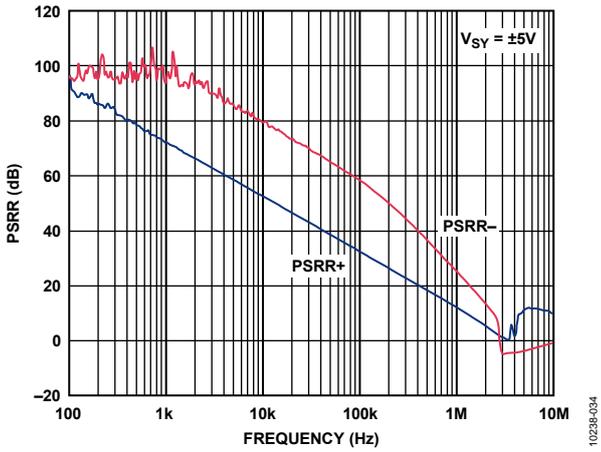


図 30.PSRR の周波数特性、±5 V

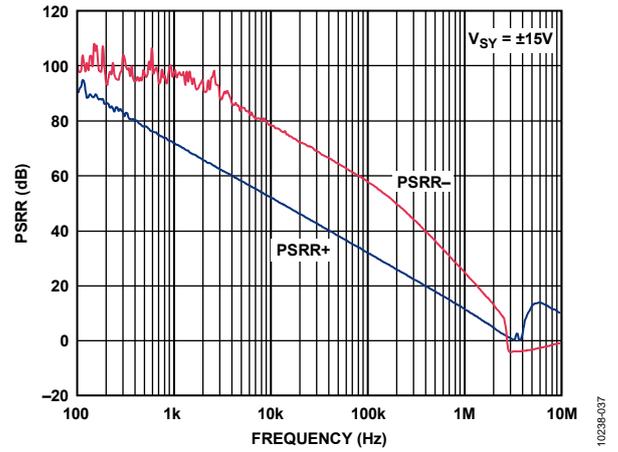


図 33.PSRR の周波数特性、±15 V

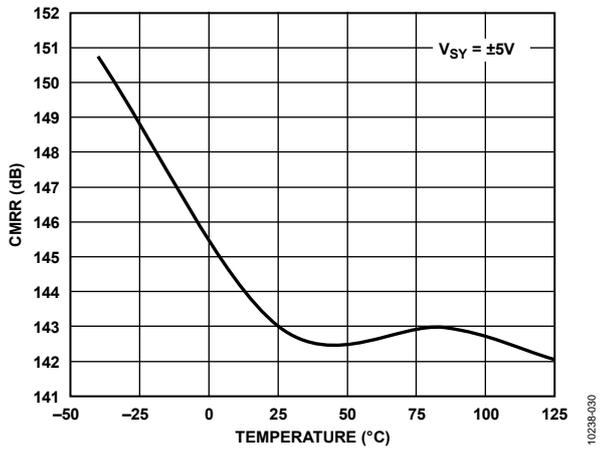


図 31.CMRR の温度特性

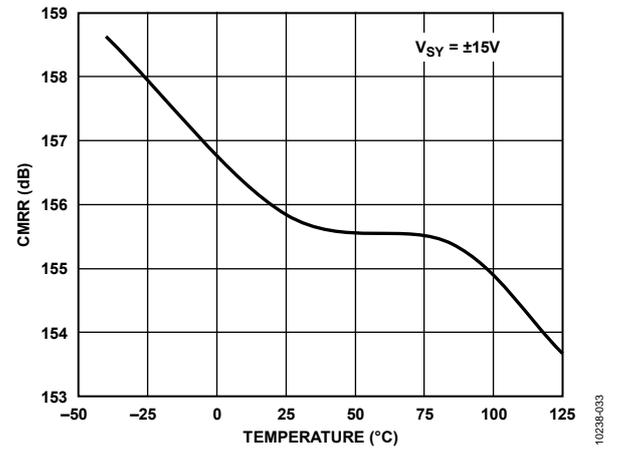


図 34.CMRR の温度特性

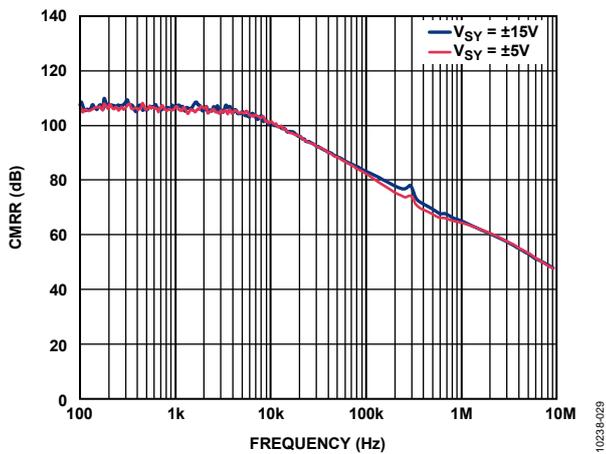


図 32.CMRR の周波数特性

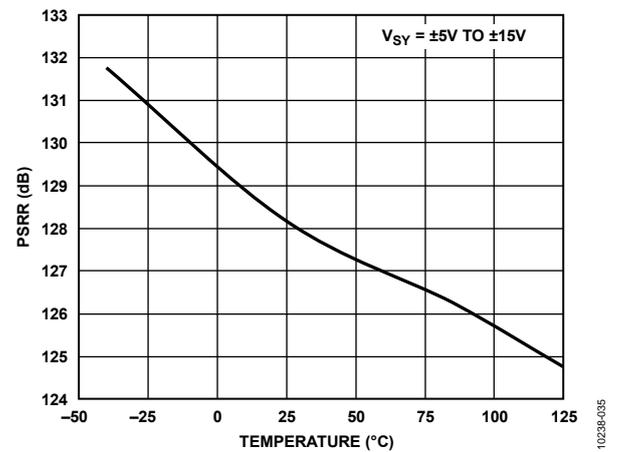


図 35.PSRR の温度特性

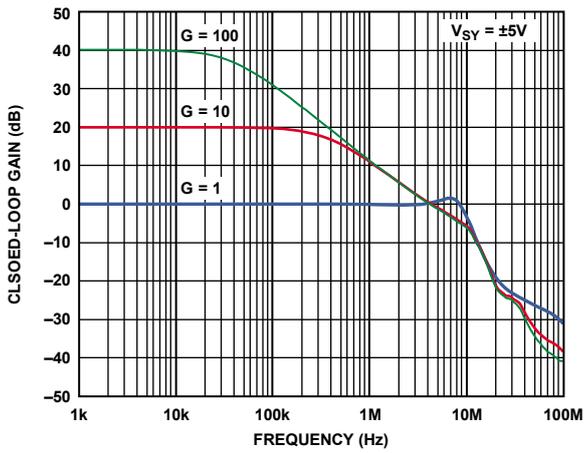


図 36. クローズド・ループ・ゲインの周波数特性

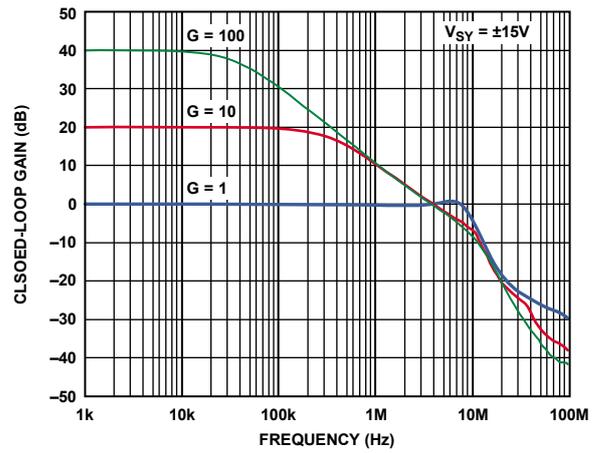


図 39. クローズド・ループ・ゲインの周波数特性

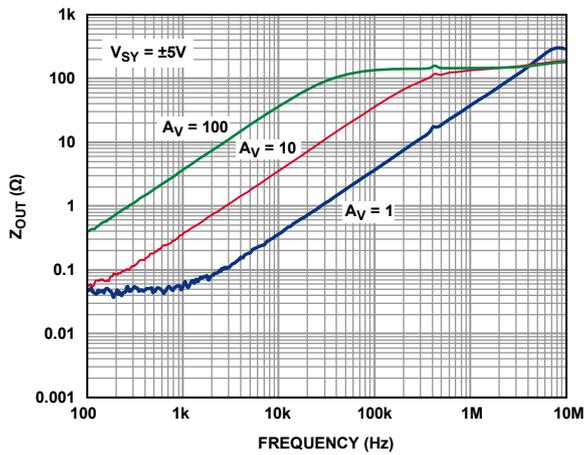


図 37. 出力インピーダンスの周波数特性

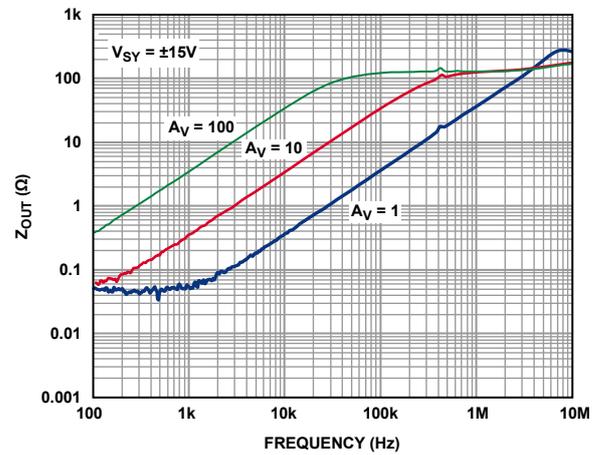


図 40. 出力インピーダンスの周波数特性

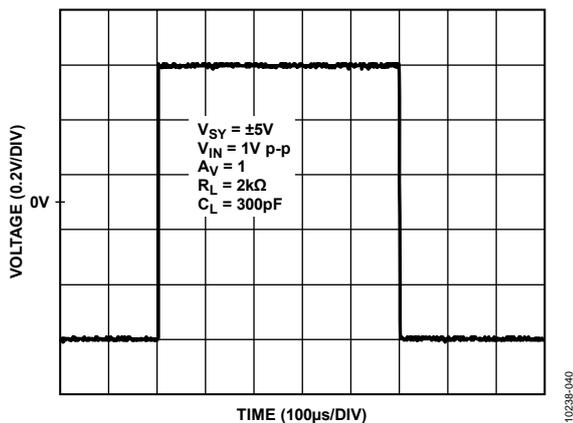


図 38. 大信号過渡応答

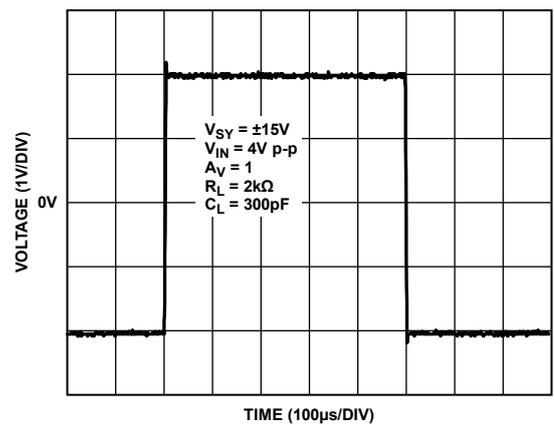


図 41. 大信号過渡応答

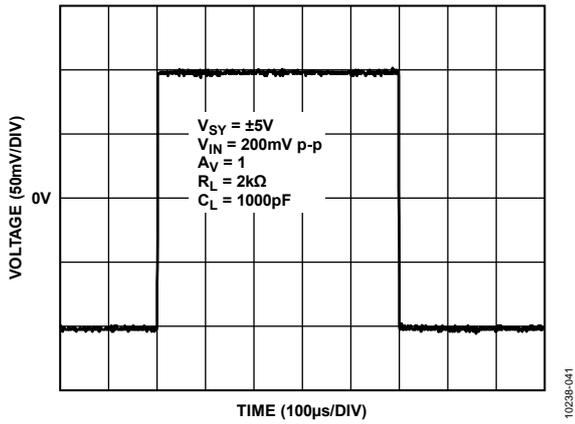


図 42. 小信号過渡応答

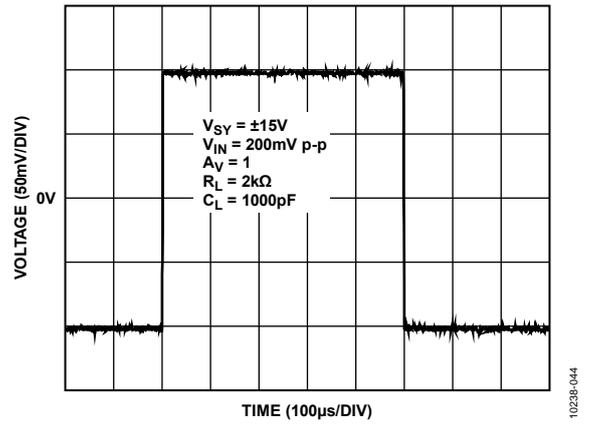


図 45. 小信号過渡応答

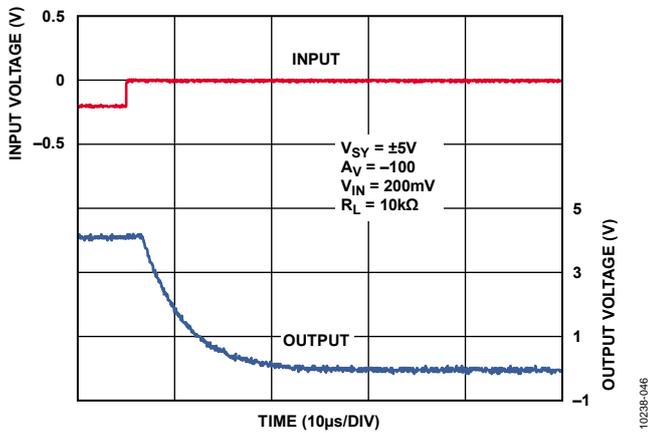


図 43. 正側過負荷回復

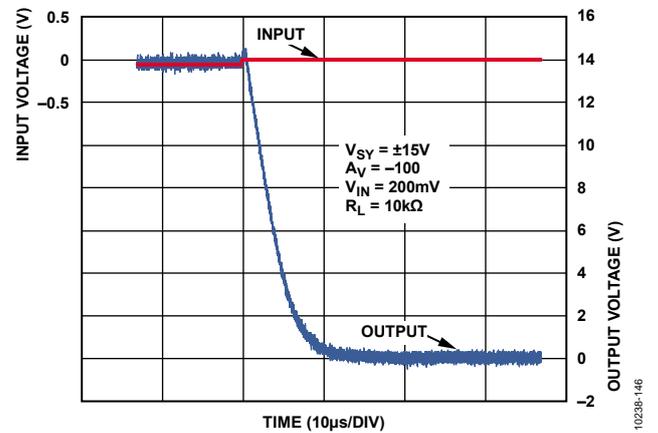


図 46. 正側過負荷回復

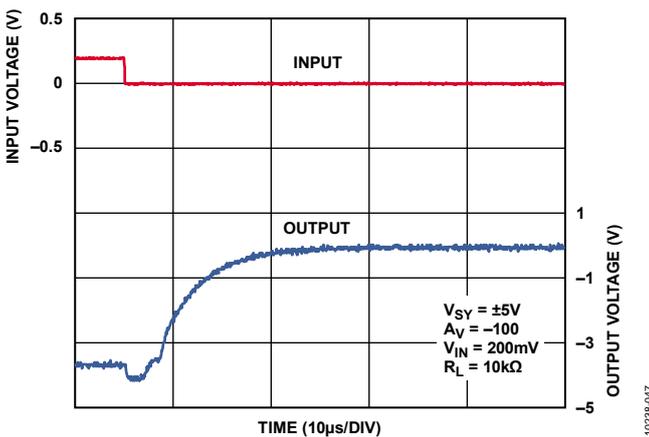


図 44. 負側過負荷回復

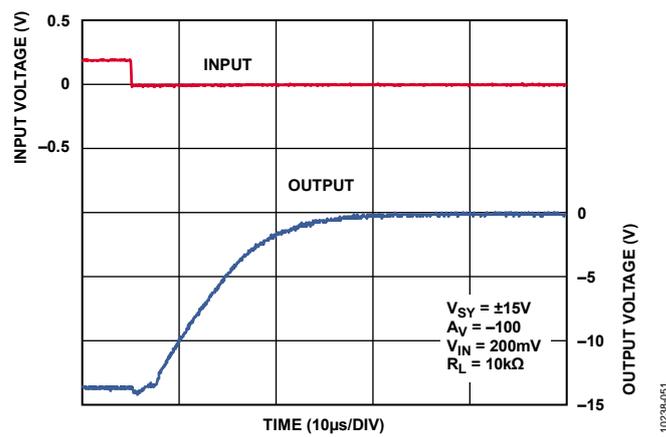


図 47. 負側過負荷回復

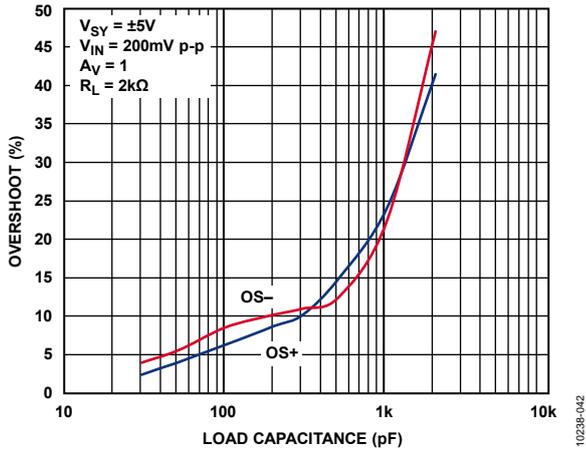


図 48. 負荷容量対小信号オーバーシュート

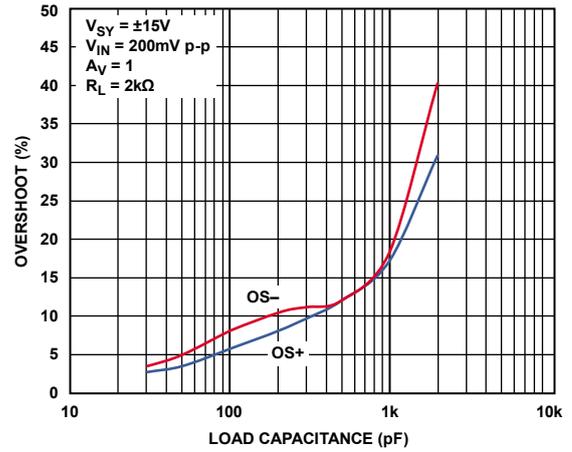


図 51. 負荷容量対小信号オーバーシュート

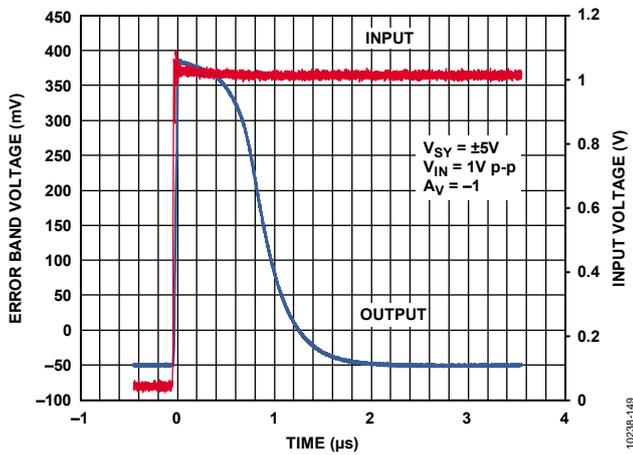


図 49. 正のセtring・タイム

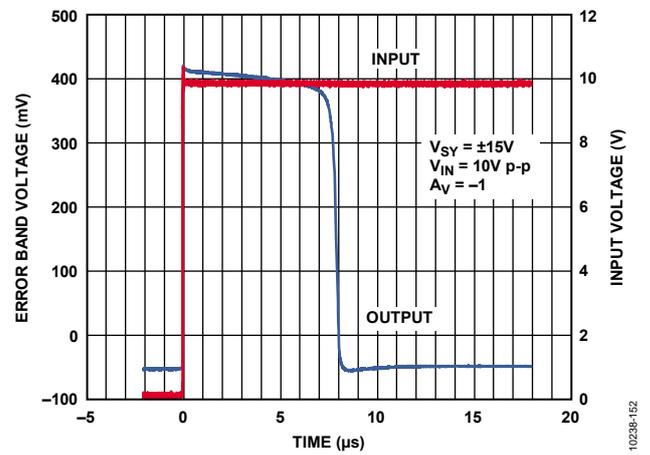


図 52. 正のセtring・タイム

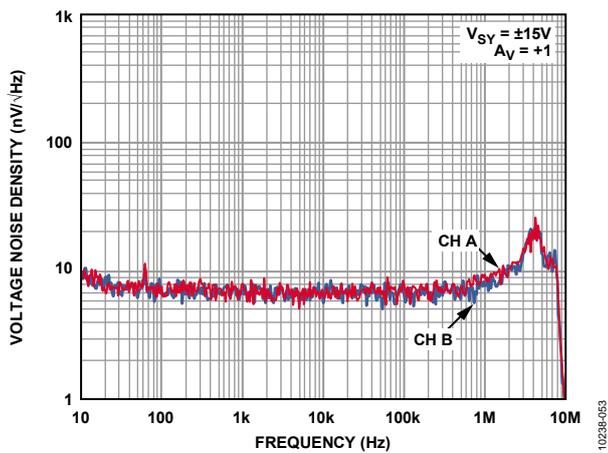


図 50. 電圧ノイズ密度の周波数特性

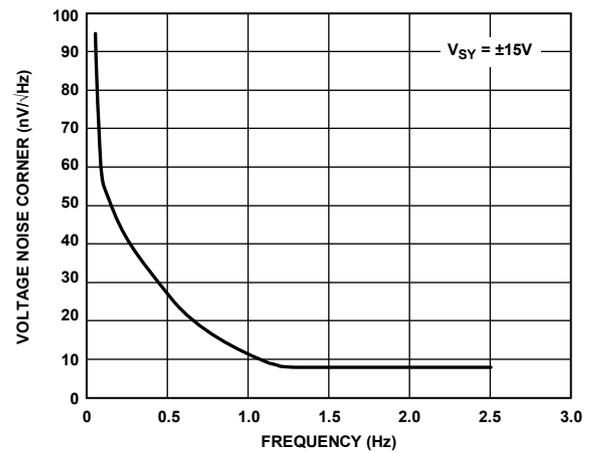


図 53. 電圧ノイズのコーナー周波数

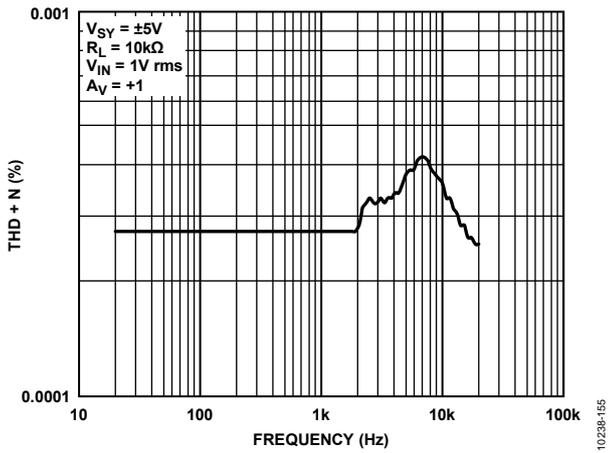


図 54. THD + N の周波数特性

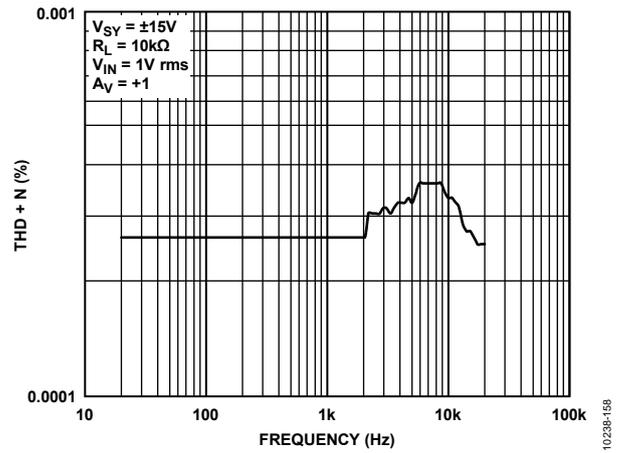


図 56. THD + N の周波数特性

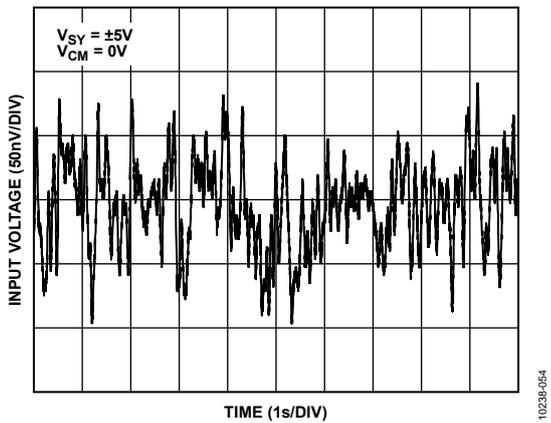


図 55. 0.1~10 Hz でのノイズ

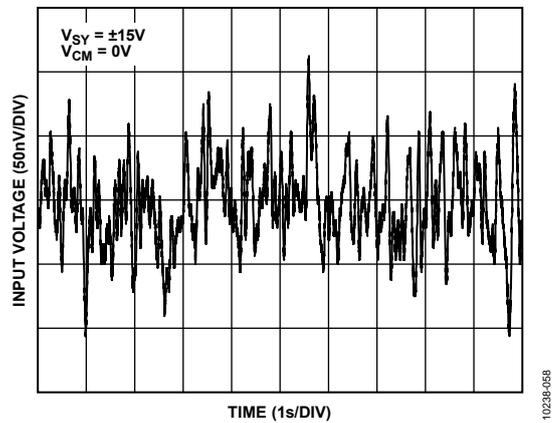


図 57. 0.1~10 Hz でのノイズ

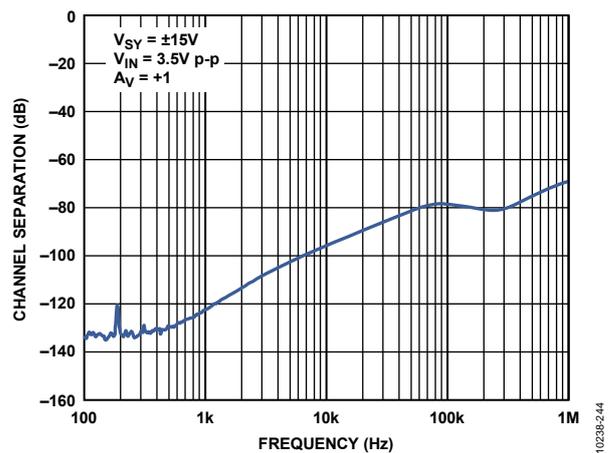


図 58. チャンネル・セパレーション

動作原理

ADA4077-2 は、アナログ・デバイセズの第六世代の業界標準 OP07 アンプ・ファミリーです。ADA4077-2 は、極めて小さいオフセット電圧と非常に小さい入力バイアス電流の組み合わせを持つ、高精度低ノイズのオペアンプです。JFET アンプとは異なり、低いバイアス電流と低いオフセット電流は 125°C までの周囲温度に対して比較的安定です。

アナログ・デバイセズは独自のプロセス技術とリニア・デザイン技術により、OP07、OP77、OP177、OP1177 より優れた性能を持つ、8 ピンの小型 SOIC パッケージまたは 8 ピンの小型 MSOP パッケージを採用した高電圧アンプを製造しています。ADA4077-2 は小型にもかかわらず、低い広帯域ノイズ、広い帯域、低いオフセットおよびオフセット・ドリフト、小さい入力バイアス電流、完全に位相反転なしなど、多くの改善が行われています。

ADA4077-2 は、プラスチック表面実装パッケージの同様なデバイスと同等の MSL1 定格で動作仕様温度範囲-40°C~+125°C を持っています。これは、PCB とシステム全体のサイズの小型化が進むと内部システム温度が上昇するため、ますます重要になります。

ADA4077-2 の消費電力は OP177 の 1/4 に減少し、帯域幅とスルーレートは 6 倍になりました。低消費電力と温度に対して非常に安定な性能も、ウォームアップ・ドリフト誤差を小さいレベルにすることに役立っています。

入力は、両電源レールを超える過電圧状態から内部で保護されています。すべての高性能アンプと同様に、最大性能は適切な回路と PCB のガイドラインに従うことにより実現されます。

アプリケーション情報

出力位相の反転

位相反転とは、アンプ伝達関数での極性変化のことを意味します。入力に加えられる電圧が最大同相モード電圧より大きい場合に、多くのオペアンプは位相反転を示します。場合によっては、アンプに恒久的な損傷を与えることがあります。帰還ループでは、システム・ロックアップまたは装置の損傷が発生します。**ADA4077-2** では、入力電圧が電源を超える場合でも位相反転問題は発生しません。

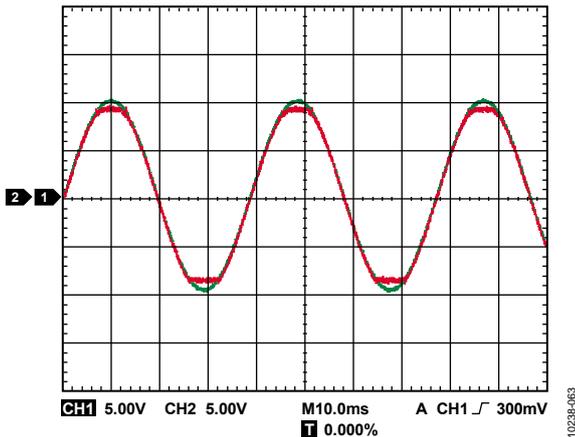


図 59.位相反転なし

低消費電力の直線性 RTD

シングル・エレメント可変ブリッジの一般的なアプリケーションは、図 60 に示す RTD 温度計用アンプです。ブリッジの励起電圧は、ブリッジの上部に加えられた 2.5 V リファレンス電圧から供給されます。

RTD は、 $0.5^{\circ}\text{C}/\text{mW} \sim 0.8^{\circ}\text{C}/\text{mW}$ の熱抵抗を持ちます。抵抗ドリフトによる誤差を小さくするため、ブリッジの各辺を流れる電流を小さくする必要があります。この回路では、アンプの電源電流がブリッジを流れますが、**ADA4077-2** の最大電源電流 = $500 \mu\text{A}$ で、最大抵抗値であっても RTD の消費電力は 0.1 mW 以下です。ブリッジの消費電力による誤差は、 0.1°C 以下に維持されています。

ブリッジのキャリブレーションは、被測定温度の最小値で、出力がゼロになるように RP を調整することにより行われます。

出力振幅をキャリブレーションするときは、フルスケール・ポテンシオメータと直線性ポテンシオメータを中心点に設定し、 500°C の温度をセンサーに加えるか、または等価 500°C RTD 抵抗に置換えます。

フルスケール・ポテンシオメータを 5 V 出力になるように調整します。最後に、 250°C または等価 RTD 抵抗を接続して、直線性ポテンシオメータを 2.5 V 出力になるように調整します。調整後、この回路は $\pm 0.5^{\circ}\text{C}$ より優れた精度を実現します。

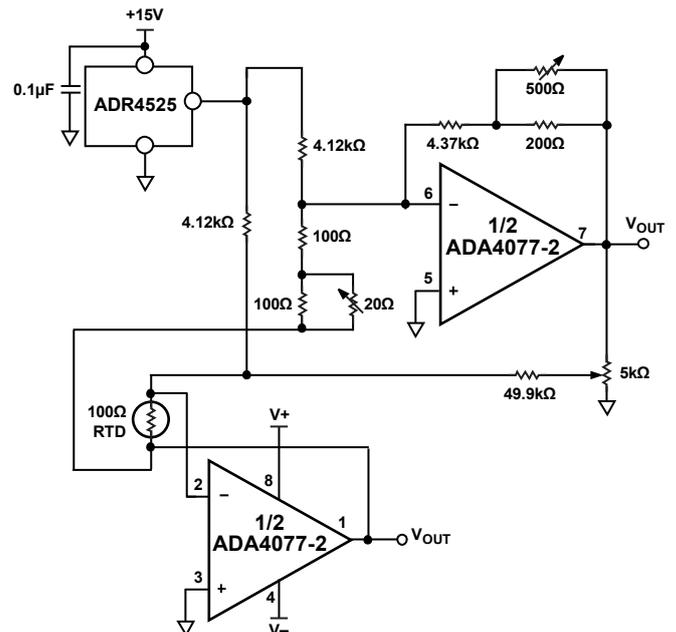


図 60.低消費電力の直線性 RTD 回路

ボード・レイアウト

ADA4077-2 は高精度デバイスです。PCB レベルで最適性能を確保するためには、ボード・レイアウトに注意が必要です。

リーク電流をなくするために、ボード表面をクリーンにして湿気をなくす必要があります。回路ボードの表面コーティングを行うと、表面の湿気の蓄積が少なくなり、湿度バリアが構成されて、ボード上の寄生抵抗の減少に役立ちます。

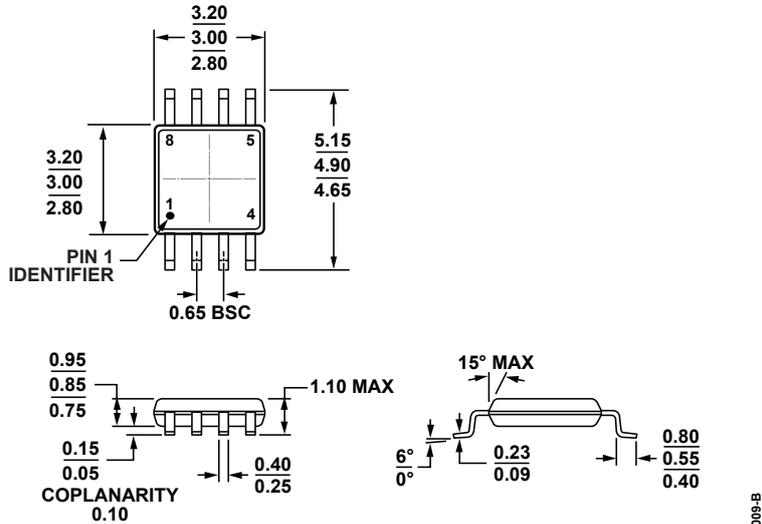
電源パターンを短くし、電源を適切にバイパスすると、重い負荷で AC 信号を駆動する場合などに、出力電流変動による電源の乱れが小さくなります。バイパス・コンデンサをデバイス電源ピンのできるだけ近くに接続します。漂遊容量は、アンプの出力と入力で問題になります。信号パターンは電源ラインから少なくとも 5 mm 離して、ノイズの混入を小さくすることが推奨されます。

PCB を跨ぐ温度変動により、異なる金属が接触するハンダ接続ポイントとその他のポイントでのジューバック電圧の不一致が発生し、熱電圧誤差が発生します。これらの熱電対効果を小さくするため、熱源により両端が等しく温度上昇するように抵抗の向きを調節してください。入力信号パスに部品番号とタイプが一致する部品を使用し、可能な場合には、熱電対の番号とタイプにも合わせる必要があります。例えば、抵抗値ゼロのようなダミー部品を使って、反対側入力パスの実抵抗に一致させます。一致する部品は互いに近づけて配置し、同じ向きに配置する必要があります。同じ長さのリードを使って、熱伝導の平衡状態を維持させます。PCB 上の発熱源をアンプ入力回路からできるだけ離します。

グラウンド・プレーンの使用も推奨されます。グラウンド・プレーンを使用すると、EMI ノイズが減り、回路ボードの一定温度の維持に役立ちます。

パッケージとオーダー情報

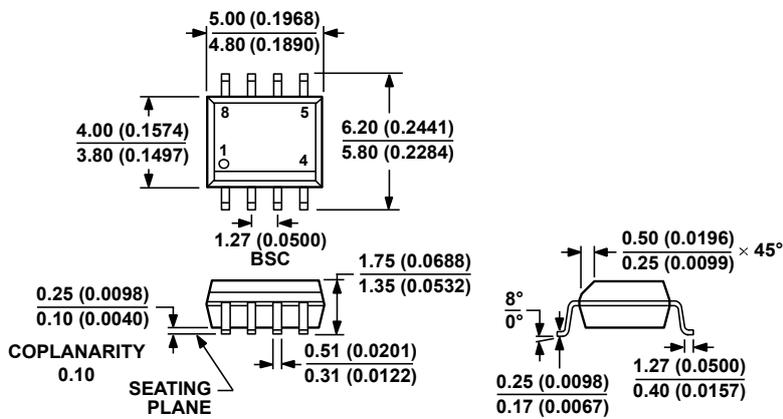
外形寸法



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 61.8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP] (RM-8)
寸法: mm

10-07-2009-B



COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 62.8 ピン標準スモール・アウトライン・パッケージ [SOIC_N] ナロー・ボデー (R-8)
寸法: mm (インチ)

012407-A

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4077-2-ARMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARMZ-R7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARMZ-RL	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	A2X
ADA4077-2ARZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2ARZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2ARZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ-R7	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	
ADA4077-2BRZ-RL	-40°C to +125°C	8-Lead Standard Small Outline Package [SOIC_N]	R-8	

¹ Z = RoHS 準拠製品