低消費電力超低ノイズアンプ

ADA4075-2

特長

超低ノイズ: 1 kHz で 2.8 nV/√Hz (typ)
超低歪み: 0.0002% (typ)
低電源電流: アンプあたり 1.8 mA (typ)
最大オフセット電圧: 1 mV
帯域幅: 6.5 MHz (typ)
スルーレート: 12 V/μs (typ)
ユニティ・ゲイン安定
拡張温度範囲
SOIC パッケージを採用

アプリケーション

高精度計装
業務用オーディオ
アクティブ・フィルタ
低ノイズ・アンプのフロントエンド
積分器

ピン配置

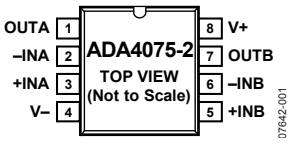


図 1.8 ピン SOIC

概要

ADA4075-2 は、アナログ・デバイセズの *i*Polar®製造プロセスを採用して優れた DC 特性と AC 特性を組み合わせた高性能低ノイズのデュアル・オペアンプです。*i*Polar 製造プロセスは、ラテラル・トレンチ・アイソレーションを使って垂直接合アイソレーションを実現した最新のバイポーラ技術です。この技術により、高速、低消費電力、かつ小型チップ・サイズで低ノイズ性能のアンプが可能になりました。ADA4075-2 は、高スルーレート、低歪み、超低ノイズを持つため、高忠実度のオーディオや高性能計装アプリケーションに最適です。また、特に低消費電力、小型筐体、高実装密度のアプリケーションに対しても適しています。ADA4075-2 の仕様は−40°C～+125°C の温度範囲で規定され、標準の SOIC パッケージを採用しています。

表 1.低ノイズ高精度オペアンプ

Supply	44 V	36 V	12 V to 16 V	5 V
Single	OP27	AD8671 AD8675 AD797	AD8665 OP162	AD8605 AD8655 AD8691
Dual	OP275	AD8672 AD8676 AD8599	AD8666 OP262	AD8606 AD8656 AD8692
Quad		ADA4004-4 AD8674	AD8668 OP462	AD8608 AD8694

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2008 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本　　社／〒105-6891　東京都港区海岸 1-16-1　ニューピア竹芝サウスタワービル
電話 03（5402）8200
大阪営業所／〒532-0003　大阪府大阪市淀川区宮原 3-5-36　新大阪 MT ビル 2 号
電話 06（6350）6868

目次

特長 1
アプリケーション 1
ピン配置 1
概要 1
改訂履歴 2
仕様 3
絶対最大定格 4
熱抵抗 4
電源シーケンス 4
ESD の注意 4
代表的な性能特性 5
アプリケーション情報 15
入力保護 15
総合高調波歪み 15
位相反転 15
DAC 出力フィルタ 16
平衡ライン・ドライバ 17
平衡ライン・レシーバ 18
低ノイズ・パラメトリック・イコライザ 19
回路図 20
外形寸法 21
オーダー・ガイド 21

改訂履歴

10/08—Revision 0: Initial Version

仕様

特に指定がない限り、V_{SY} = ±15 V、V_{CM} = 0 V、T_A = 25°C。

表 2.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}			0.2	1	mV
		−40°C ≤ T_A ≤ +125°C			1.2	mV
Input Bias Current	I_B			30	100	nA
		−40°C ≤ T_A ≤ +125°C			150	nA
Input Offset Current	I_{OS}			5	50	nA
		−40°C ≤ T_A ≤ +125°C			75	nA
Input Voltage Range		−40°C ≤ T_A ≤ +125°C	−12.5		+12.5	V
Common-Mode Rejection Ratio	CMRR	V_{CM} = −12.5 V to +12.5 V	110	118		dB
		−40°C ≤ T_A ≤ +125°C	106			dB
Large-Signal Voltage Gain	A_{VO}	R_L = 2 kΩ, V_O = −11 V to +11 V	114	117		dB
		−40°C ≤ T_A ≤ +125°C	108			dB
		R_L = 600 Ω, V_O = −10 V to +10 V	112	117		dB
		−40°C ≤ T_A ≤ +125°C	106			dB
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	−40°C ≤ T_A ≤ +125°C		0.3		µV/°C
Input Resistance	R_{IN}			40		MΩ
Input Capacitance, Differential Mode	C_{INDM}			2.4		pF
Input Capacitance, Common Mode	C_{INCM}			2.1		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	R_L = 2 kΩ to GND	12.8	13		V
		−40°C ≤ T_A ≤ +125°C	12.5			V
		R_L = 600 Ω to GND	12.4	12.8		V
		−40°C ≤ T_A ≤ +125°C	12			V
		V_{SY} = ±18 V, R_L = 600 Ω to GND	15.4	15.8		V
		−40°C ≤ T_A ≤ +125°C	15			V
Output Voltage Low	V_{OL}	R_L = 2 kΩ to GND		−14	−13.6	V
		−40°C ≤ T_A ≤ +125°C			−13	V
		R_L = 600 Ω to GND		−13.6	−13	V
		−40°C ≤ T_A ≤ +125°C			−12.5	V
		V_{SY} = ±18 V, R_L = 600 Ω to GND		−16.6	−16	V
		−40°C ≤ T_A ≤ +125°C			−15.5	V
Short-Circuit Current	I_{SC}			40		mA
Closed-Loop Output Impedance	Z_{OUT}	f = 100 kHz, A_V = 1		0.3		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	V_{SY} = ±4.5 V to ±18 V	106	110		dB
		−40°C ≤ T_A ≤ +125°C	100			dB
Supply Current per Amplifier	I_{SY}	V_{SY} = ±4.5 V to ±18 V, I_O = 0 mA		1.8	2.25	mA
		−40°C ≤ T_A ≤ +125°C			3.35	mA
DYNAMIC PERFORMANCE						
Slew Rate	SR	R_L = 2 kΩ, A_V = 1		12		V/µs
Settling Time	t_S	To 0.01%, V_{IN} = 10 V step, R_L = 1 kΩ		3		µs
Gain Bandwidth Product	GBP	R_L = 1 MΩ, C_L = 35 pF, A_V = 1		6.5		MHz
Phase Margin	Φ_M	R_L = 1 MΩ, C_L = 35 pF, A_V = 1		60		Degrees
THD + NOISE						
Total Harmonic Distortion and Noise	THD + N	R_L = 2 kΩ, A_V = 1, V_{IN} = 3 V rms, f = 20 Hz to 20 kHz		0.0002		%
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	f = 0.1 Hz to 10 Hz		60		nV p-p
Voltage Noise Density	e_n	f = 1 kHz		2.8		nV/√Hz
Current Noise Density	i_n	f = 1 kHz		1.2		pA/√Hz

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage	±20 V
Input Voltage	$\pm V_{SY}$
Input Current[1]	±10 mA
Differential Input Voltage	±1 V
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +125°C
Junction Temperature Range	−65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

[1] 入力ピンには、電源ピンへのクランプ・ダイオードが付いています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。標準の 2 層ボードを使用して測定。

表 3.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
8-Lead SOIC	158	43	°C/W

電源シーケンス

オペアンプの電源は、入力信号と同時またはそれ以前に安定している必要があります。これが不可能な場合には、入力電流を 10 mA に制限する必要があります。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定のない限り、$T_A = 25℃$。

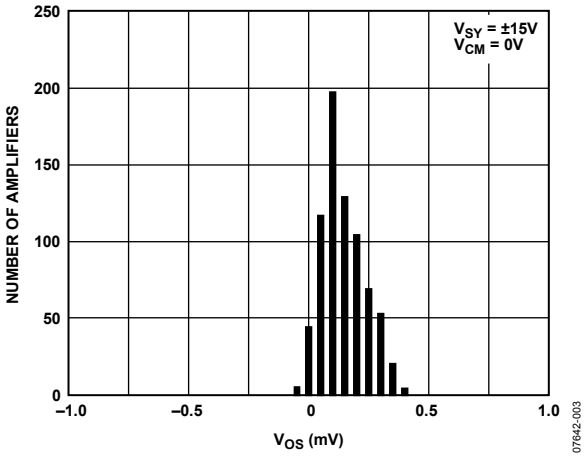


図 2.入力オフセット電圧の分布

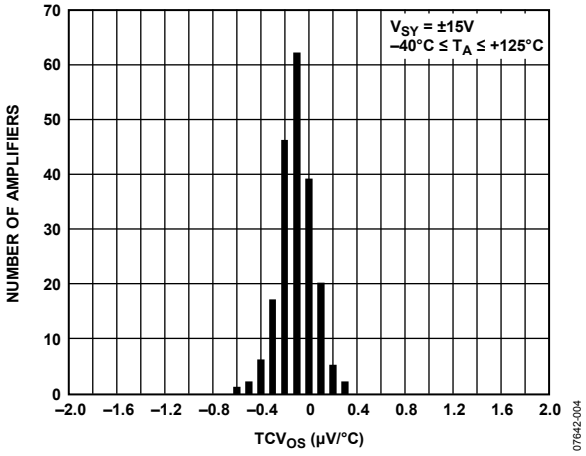


図 3.入力オフセット電圧ドリフトの分布

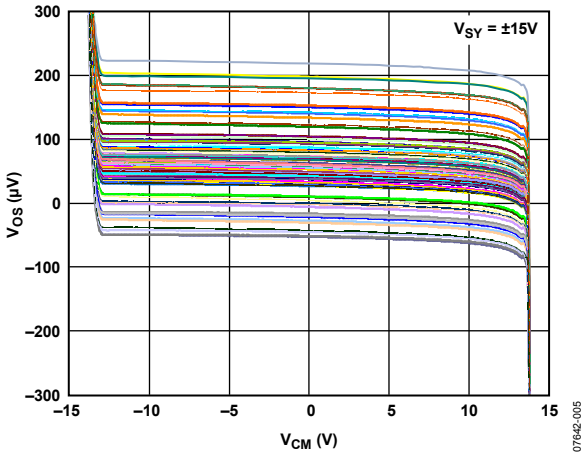


図 4.入力オフセット電圧対同相モード電圧

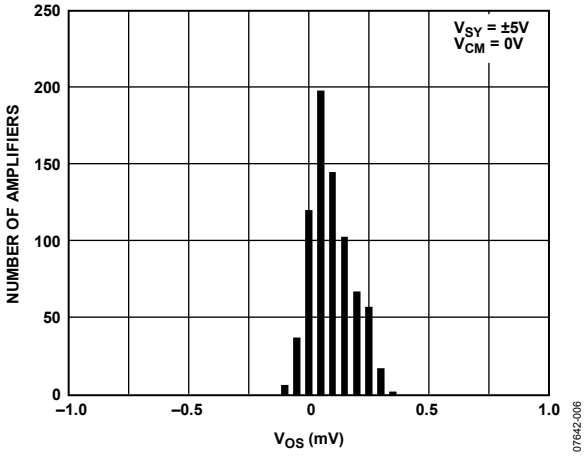


図 5.入力オフセット電圧の分布

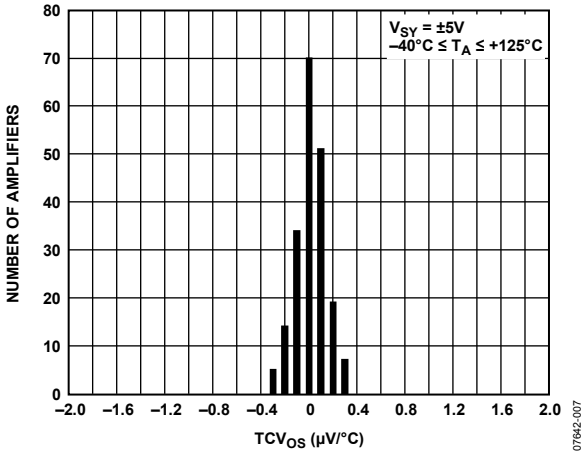


図 6.入力オフセット電圧ドリフトの分布

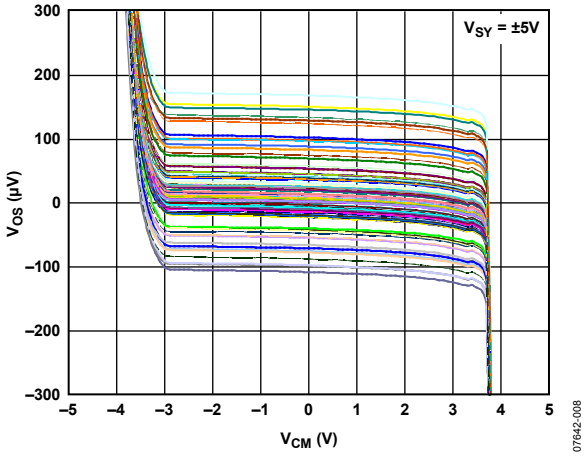


図 7.入力オフセット電圧対同相モード電圧

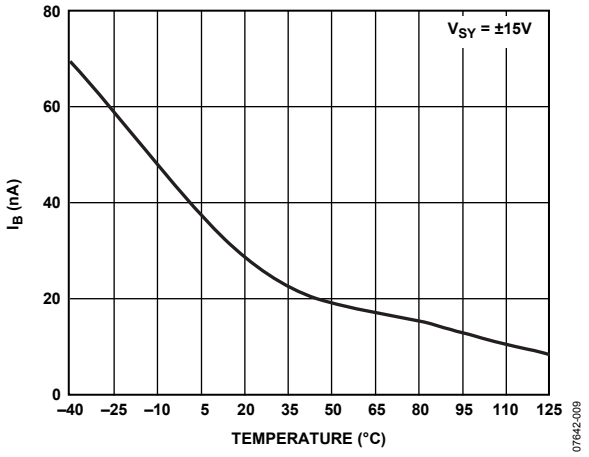


図 8.入力バイアス電流の温度特性

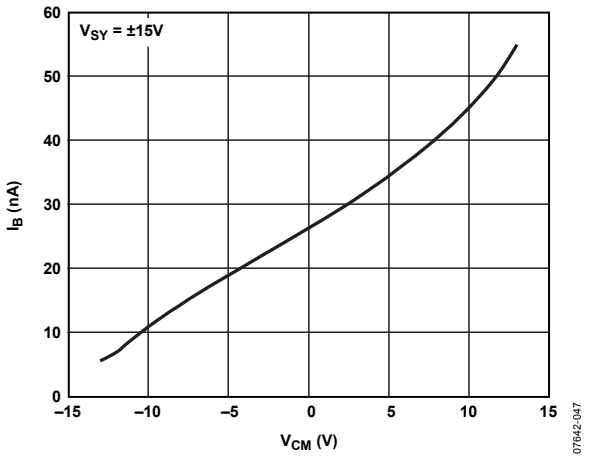


図 9.入力バイアス電流対入力コモン・モード電圧

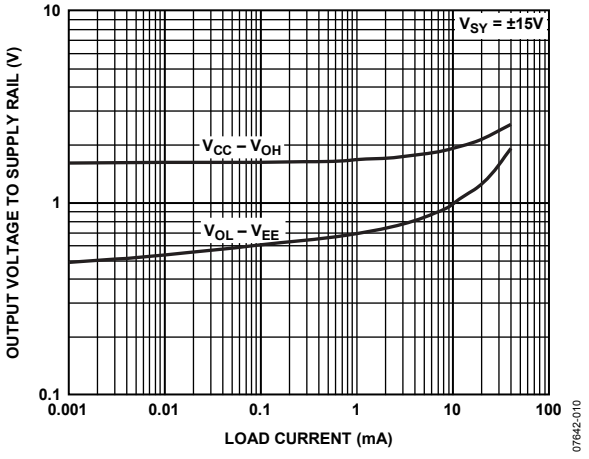


図 10.電源レールに対する出力電圧対負荷電流

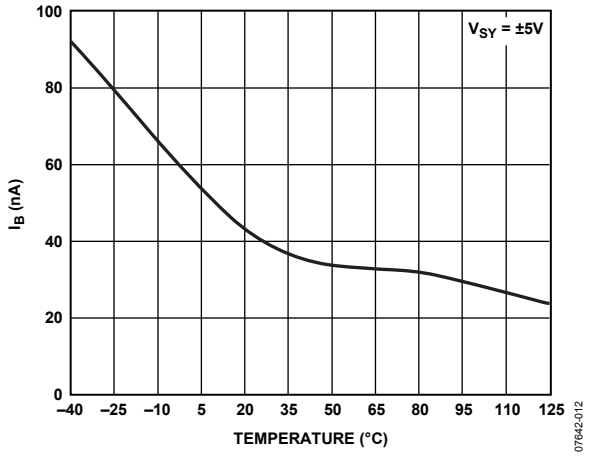


図 11.入力バイアス電流の温度特性

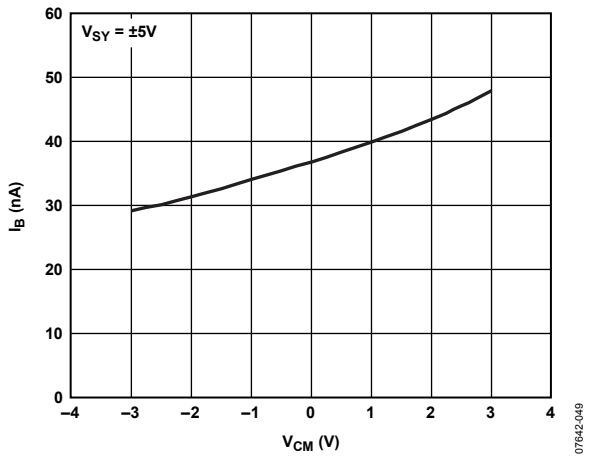


図 12.入力バイアス電流対入力コモン・モード電圧

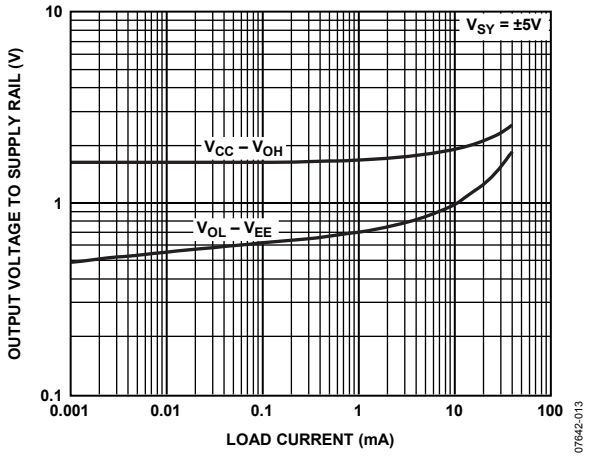


図 13.電源レールに対する出力電圧対負荷電流

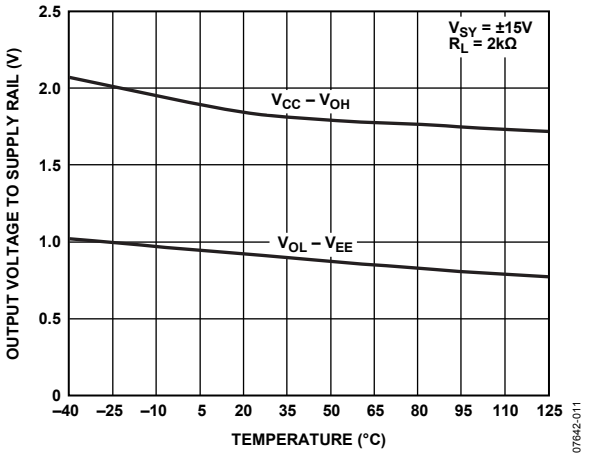


図 14.出力電圧/電源レール電圧比の温度特性

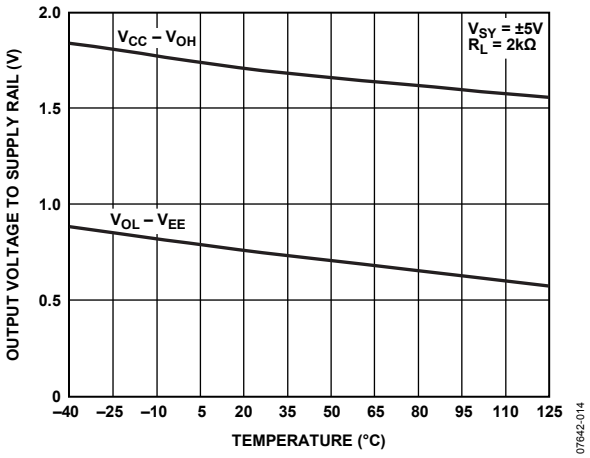


図 17.出力電圧/電源レール電圧比の温度特性

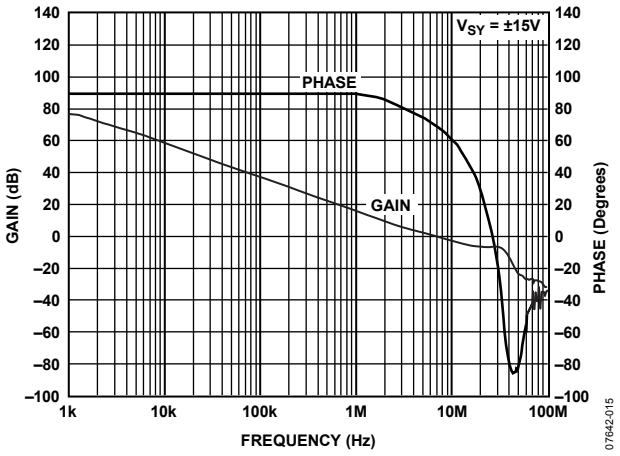


図 15.オープン・ループ・ゲインおよび位相の周波数特性

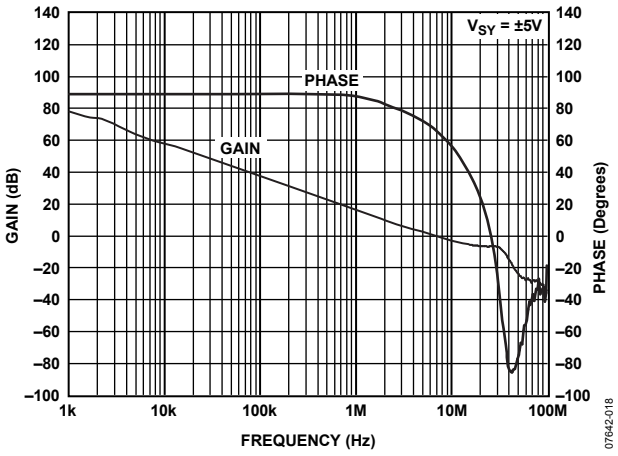


図 18.オープン・ループ・ゲインおよび位相の周波数特性

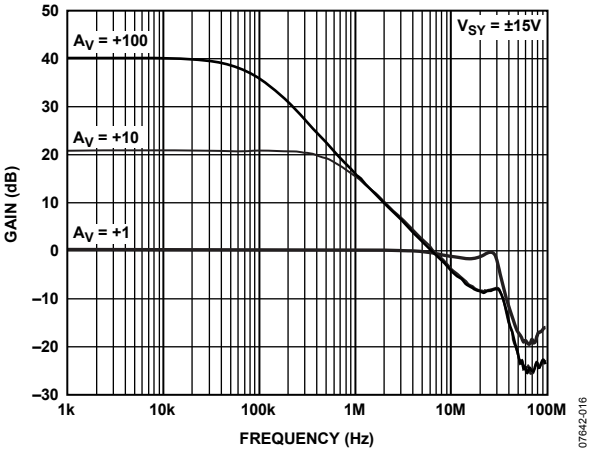


図 16.クローズド・ループ・ゲインの周波数特性

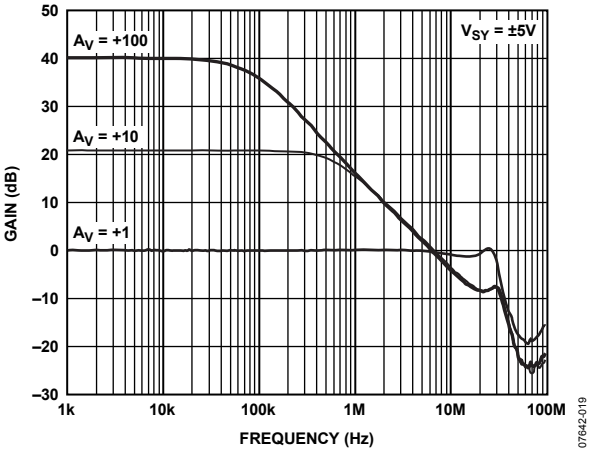


図 19.クローズド・ループ・ゲインの周波数特性

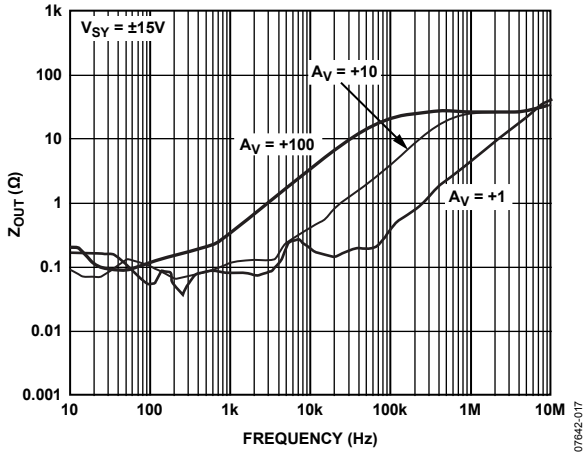


図 20.出力インピーダンスの周波数特性

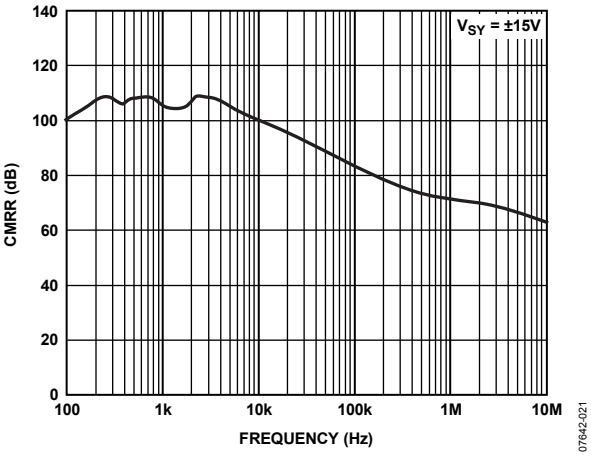


図 21.CMRR の周波数特性

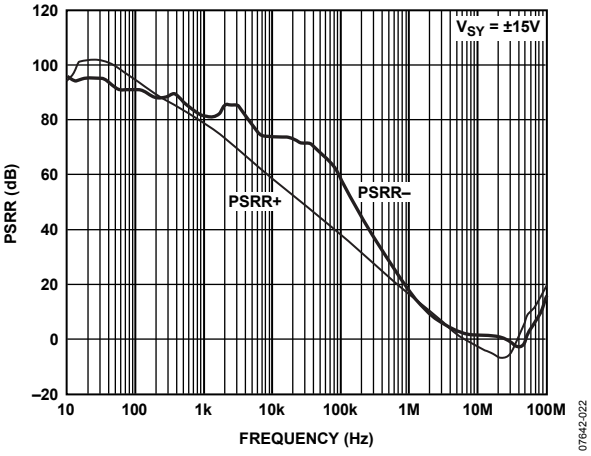


図 22.PSRR の周波数特性

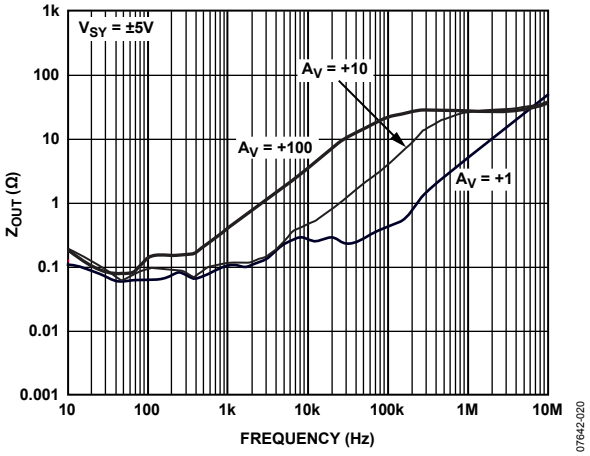


図 23.出力インピーダンスの周波数特性

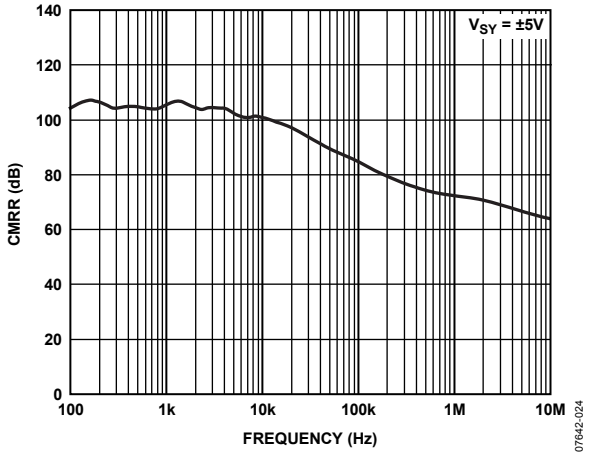


図 24.CMRR の周波数特性

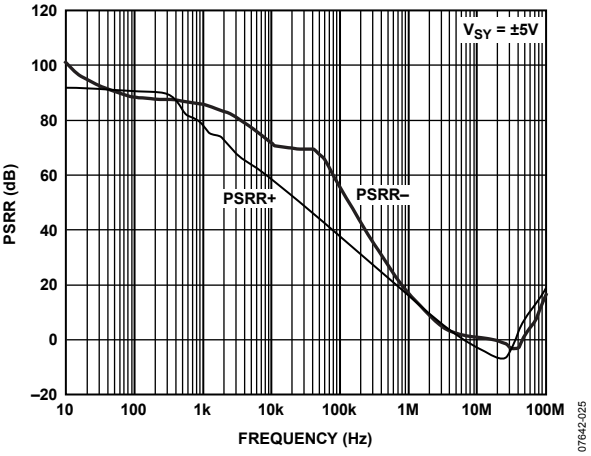


図 25.PSRR の周波数特性

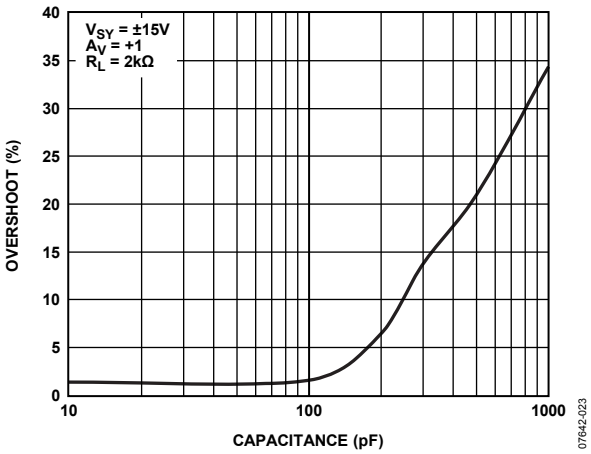


図 26.小信号オーバーシュート対負荷容量

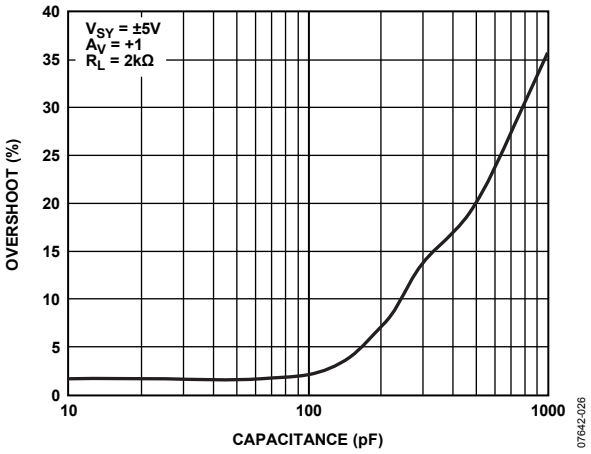


図 29.小信号オーバーシュート対負荷容量

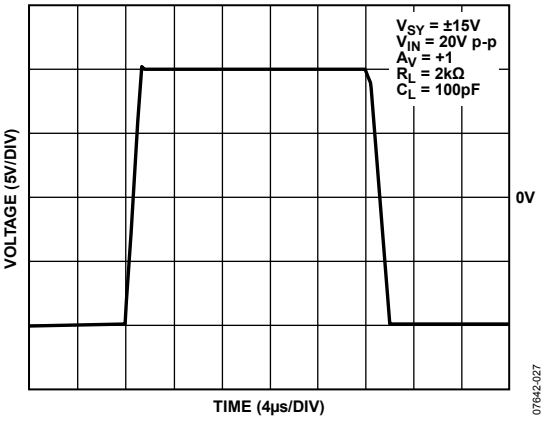


図 27.大信号過渡応答

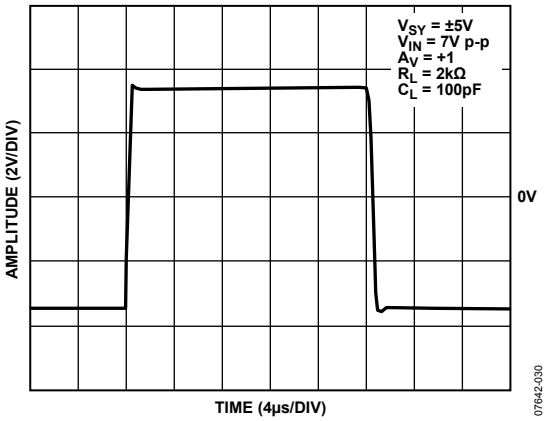


図 30.大信号過渡応答

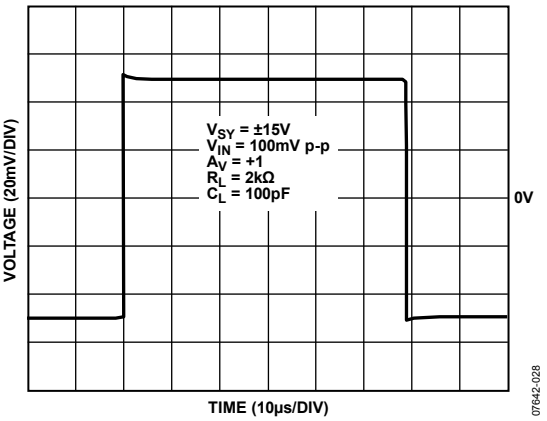


図 28.小信号過渡応答

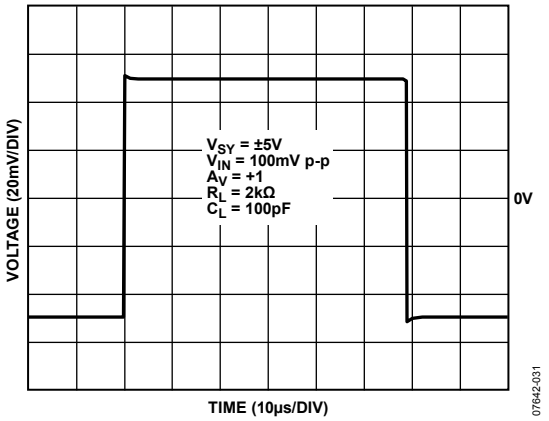


図 31.小信号過渡応答

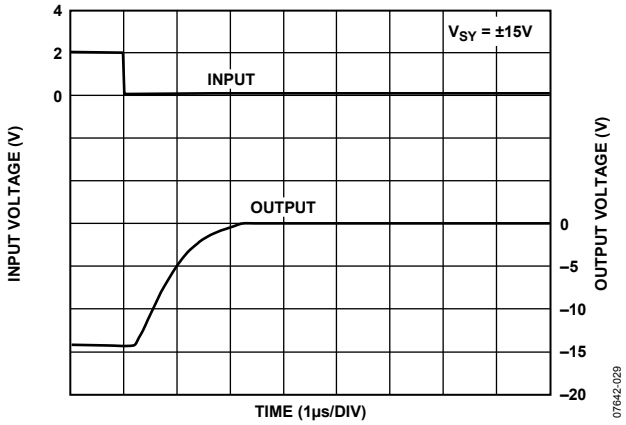


図 32.負側過負荷回復

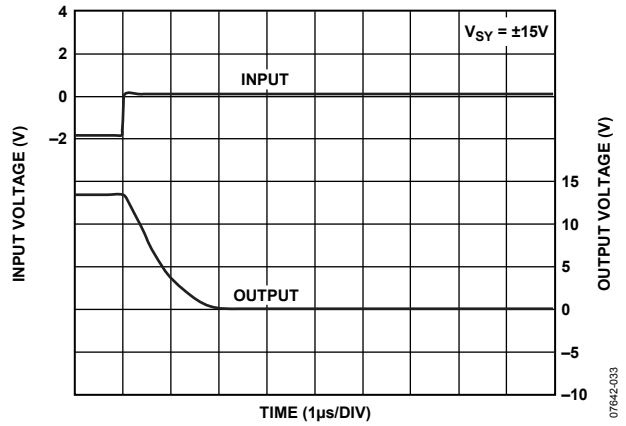


図 33.正側過負荷回復

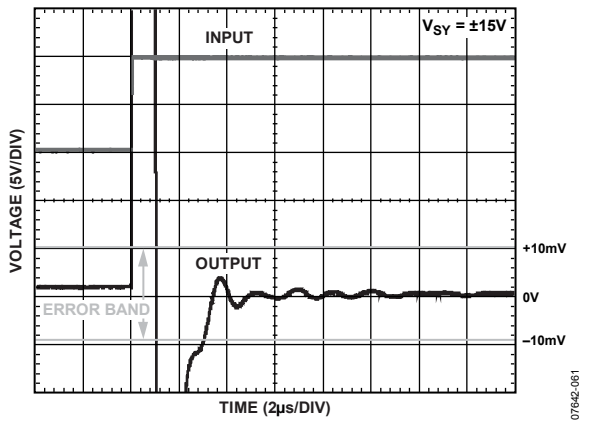


図 34.0.01%への正セトリング・タイム

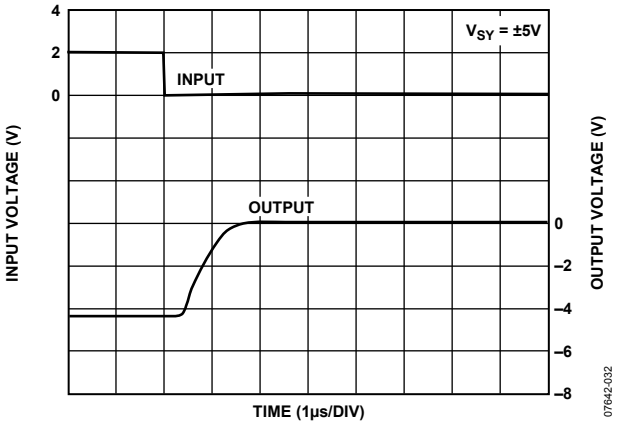


図 35.負側過負荷回復

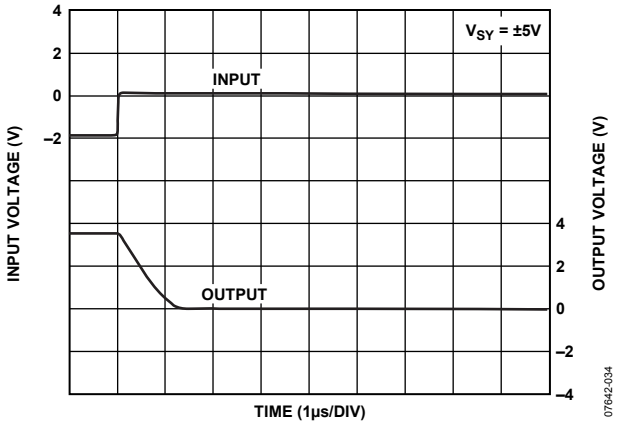


図 36.正側過負荷回復

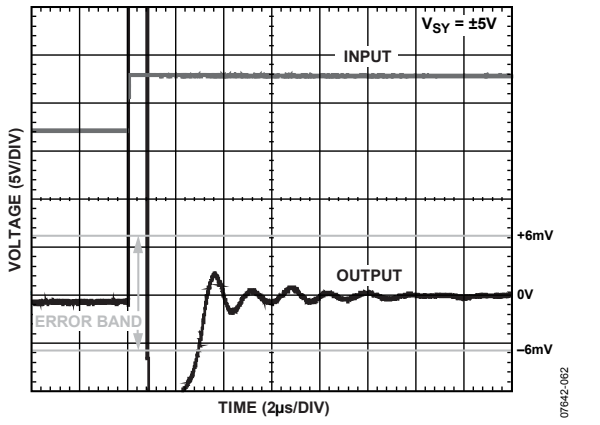


図 37.0.01%への正セトリング・タイム

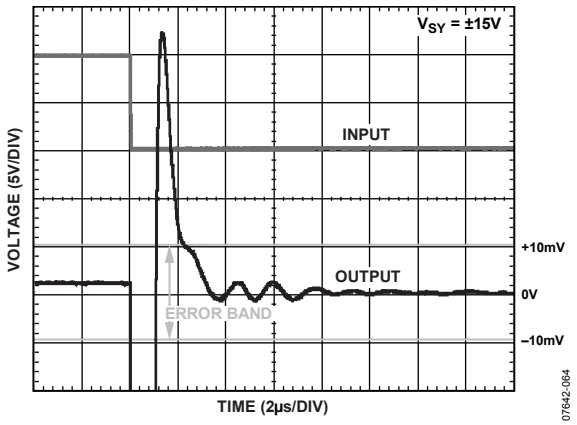


図 38.0.01%への負セトリング・タイム

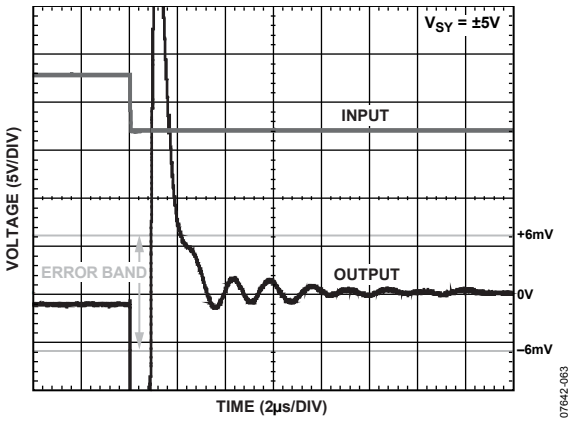


図 41.0.01%への負セトリング・タイム

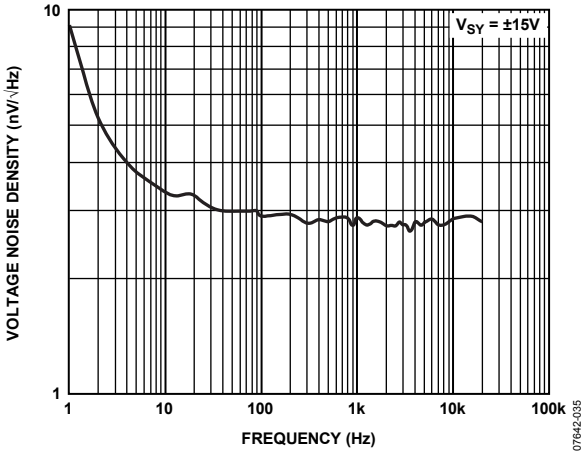


図 39.電圧ノイズ密度

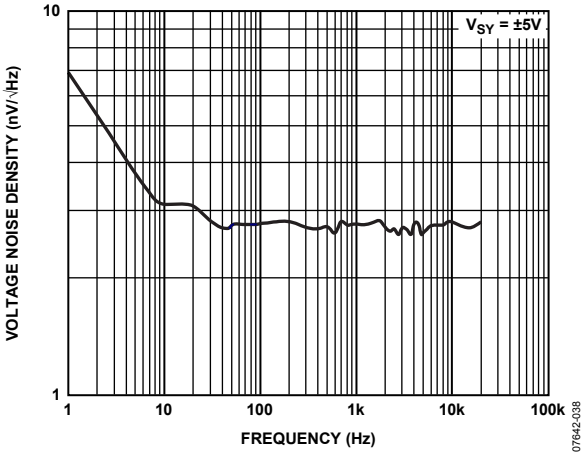


図 42.電圧ノイズ密度

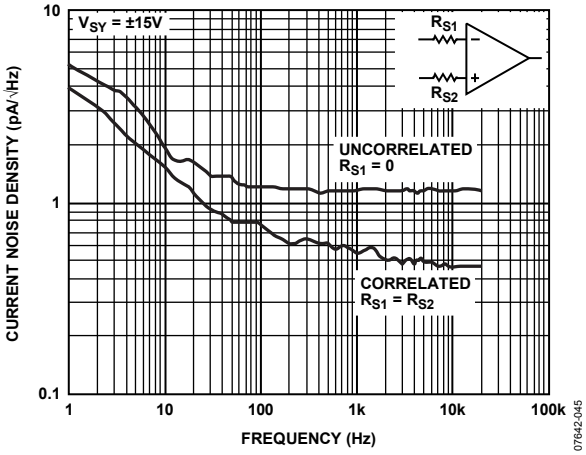


図 40.電流ノイズ密度

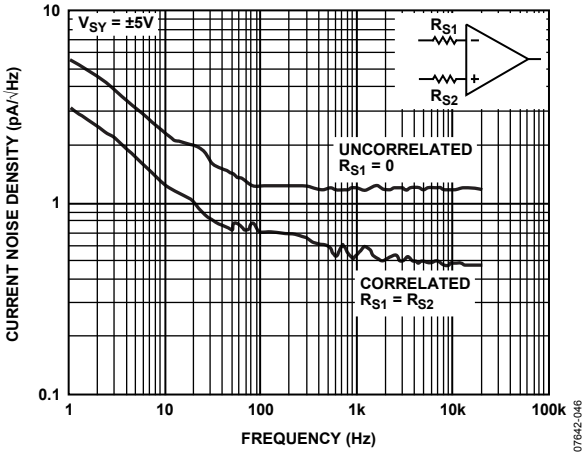


図 43.電流ノイズ密度

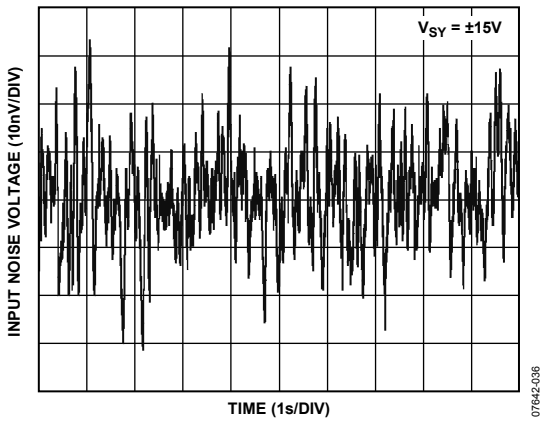


図 44.0.1～10 Hz のノイズ

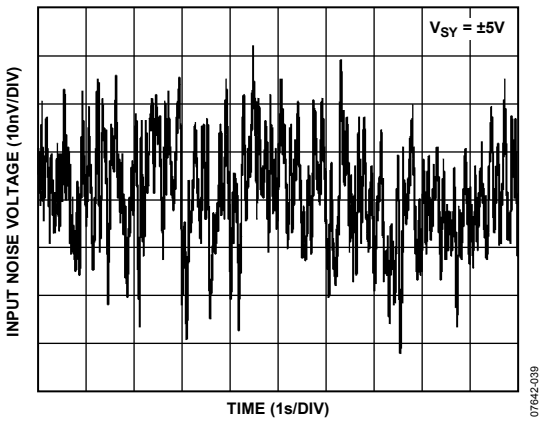


図 47.0.1～10 Hz のノイズ

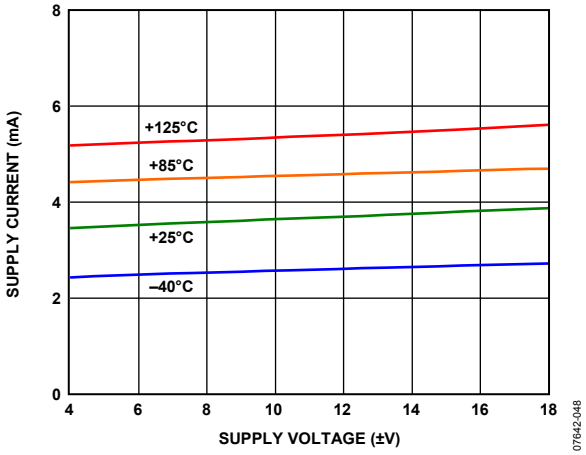


図 45.電源電流対電源電圧

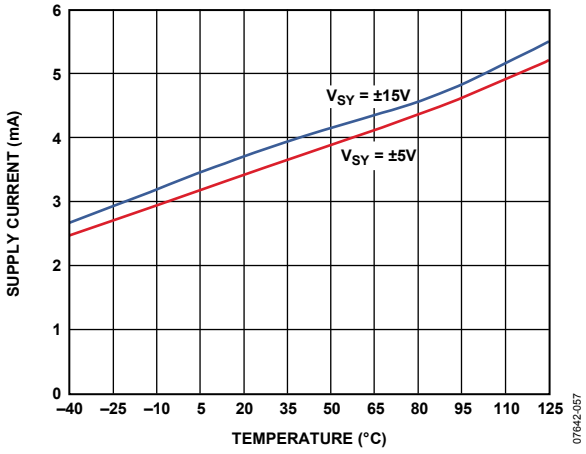


図 48.電源電流の温度特性

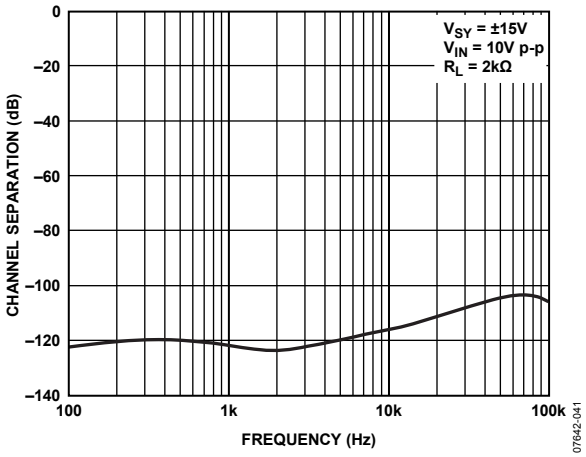


図 46.チャンネル・セパレーションの周波数特性

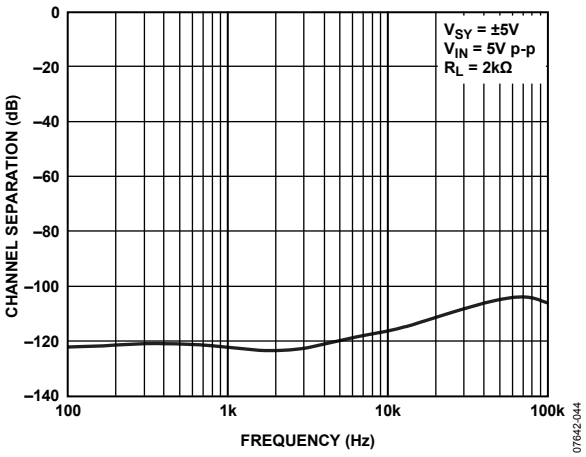


図 49.チャンネル・セパレーションの周波数特性

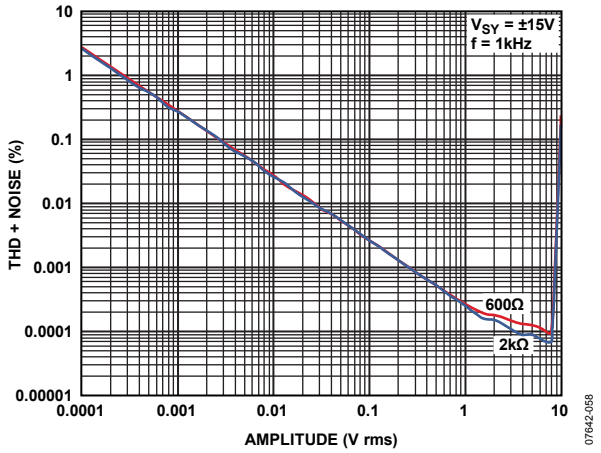


図 50.THD +ノイズ対振幅

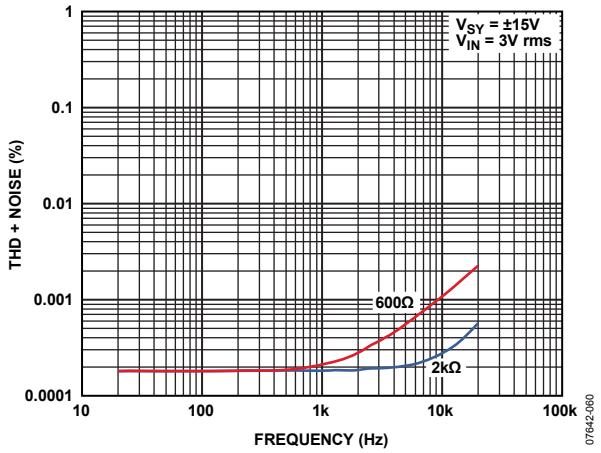


図 51.THD +ノイズの周波数特性

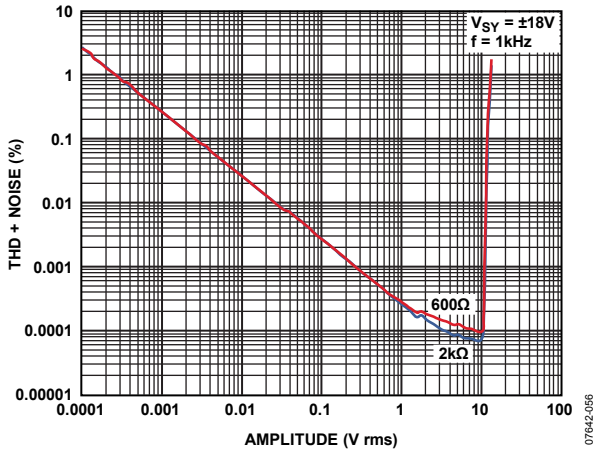


図 52.THD +ノイズ対振幅

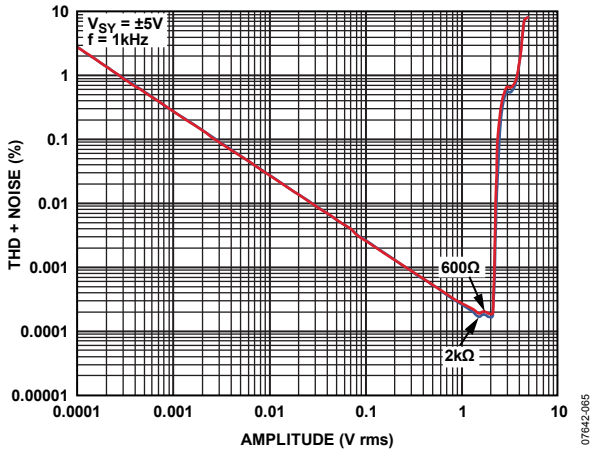


図 53.THD +ノイズ対振幅

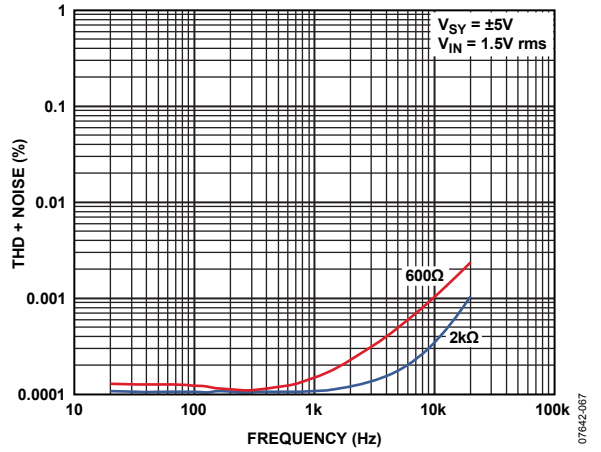


図 54.THD +ノイズの周波数特性

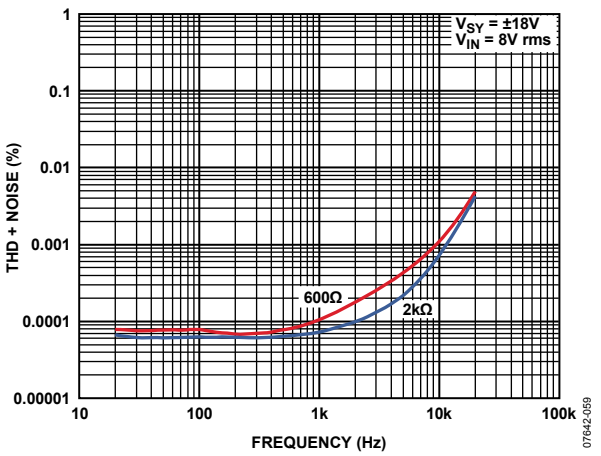


図 55.THD +ノイズの周波数特性

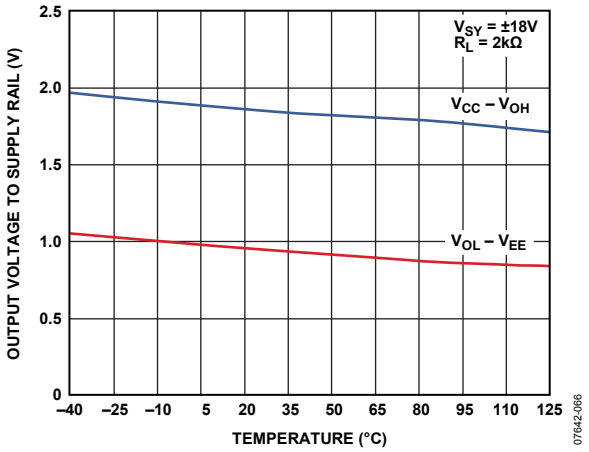


図 56.出力電圧/電源レール電圧比の温度特性

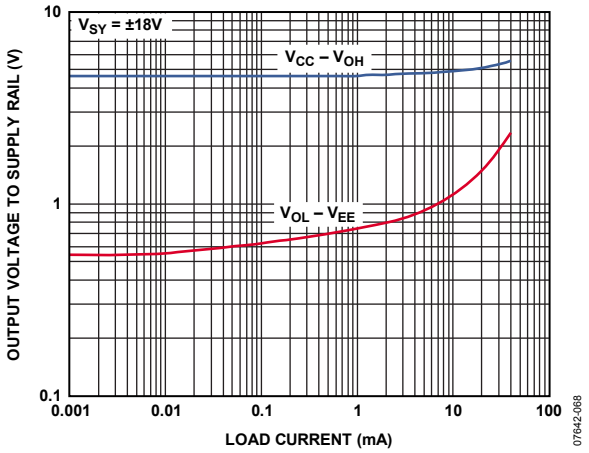


図 57.電源レールに対する出力電圧対負荷電流

アプリケーション情報

入力保護

ADA4075-2 に入力できる最大差動入力電圧は、入力に接続された内部ダイオードによって決定されます。これらのダイオードは最大差動入力電圧を±1 V に制限するため、非常に大きな差動電圧が入力されたとき ADA4075-2 の入力ステージでベース—エミッタ間接合ブレークダウンの発生を防止するために必要です。ADA4075-2 の超低電圧ノイズ機能を確実にするため、一般に使用されている、ダイオード電流を制限する入力直列内部抵抗を使用していません。

これは小信号アプリケーションで問題になることはありませんが、デバイスに大きな差動電圧が加わってしまうようなアプリケーションでは、大きな電流がこれらのダイオードに流れます。ADA4075-2 の差動電圧が±1 V を超える場合には、オペアンプの両入力に外付け抵抗を使って入力電流を±10 mA 以下に制限する必要があります(図 58 参照)。ただし、直列抵抗を接続すると、抵抗がオペアンプ自体の電圧ノイズより大きいサーマル・ノイズを持つことがあるため、総合電圧ノイズ性能が低下します。たとえば、1 kΩ の抵抗は室温で 4 nV/√Hz のサーマル・ノイズを持ち、これに対して ADA4075-2 は 2.8 nV/√Hz (typ)の極めて低い電圧ノイズを持っています。

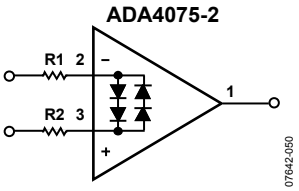


図 58.入力保護

総合高調波歪み

ADA4075-2 の総合高調波歪み+ノイズ(THD + N)は、2 kΩ の負荷抵抗で 0.0002% (typ)です。図 59 に、±4 V と±15 V の電源電圧で 2 kΩ の負荷を駆動する ADA4075-2 の性能を示します。電源電圧±15 V に比べて電源電圧±4 V の方が歪みが大きいことに注意してください。このため、最適歪みのためには、±5 V より高い電源電圧で ADA4075-2 を動作させることが非常に重要です。電源電圧±5 V と±18 V での THD +ノイズのグラフは、図 54 と図 55 に示します。

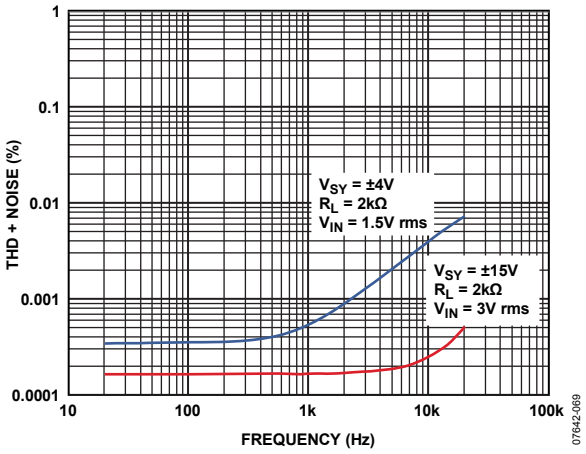


図 59.THD +ノイズの周波数特性

位相反転

位相の反転は、入力コモン・モード電圧が範囲を超えるとある種のアンプで発生します。これらのアンプ入力を駆動する電圧が最大入力コモン・モード電圧範囲を超えると、アンプ出力の極性が変化します。位相反転が発生すると、デバイスに永久的な損傷を与えたり、帰還ループ内でロックアップが発生してしまうことがあります。

ADA4075-2 アンプは、両入力が規定入力電圧範囲内に維持されている限り、出力位相の反転が発生しないように注意深くデザインされています。片方または両方の入力が入力電圧範囲を超えても、電源レールの内側にある場合には、出力は最大出力に留まります。電源電圧±15 V で負荷抵抗 2 kΩ の場合、入力電圧が入力電圧範囲を超えても電源レールの内側にあれば、出力は 13 V (typ)に留まります。図 60 に、電源電圧±15 V でユニティ・ゲイン・バッファとして構成された AD4075-2 の出力電圧を示します。

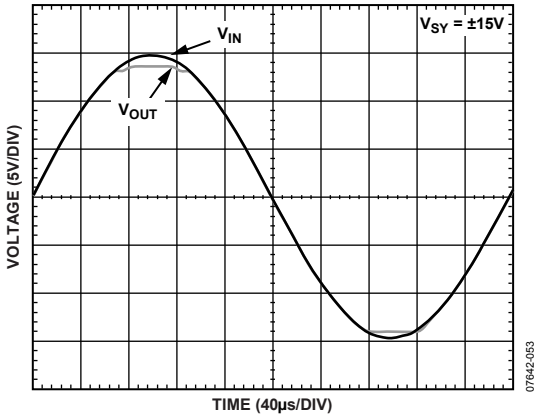


図 60.位相反転なし

DAC 出力フィルタ

ADA4075-2 は、超低電圧ノイズ、低歪み、高スルーレートを持つため、業務用オーディオ信号処理に最適です。図 61 に、一般的なオーディオ DAC 出力フィルタ構成で使用した ADA4075-2 を示します。DAC の差動出力を ADA4075-2 に入力します。ADA4075-2 は Sallen-key 差動フィルタとして構成します。このフィルタは、DAC 出力ピンの高周波ノイズを除去する外付けローパス・フィルタとして動作します。また、差動出力 DAC に対して差動/シングルエンド変換機能も提供します。

DAC 出力フィルタの場合、適切なスルーレートと帯域幅を持つオペアンプが必要です。ADA4075-2 のスルーレートは 12 V/µs と高く、帯域幅は 6.5 MHz です。このローパス・フィルタのカットオフ周波数は約 167 kHz です。さらに、100 kΩ と 47 µF の RC 回路は AC 結合として機能するため、出力の DC 成分を阻止します。

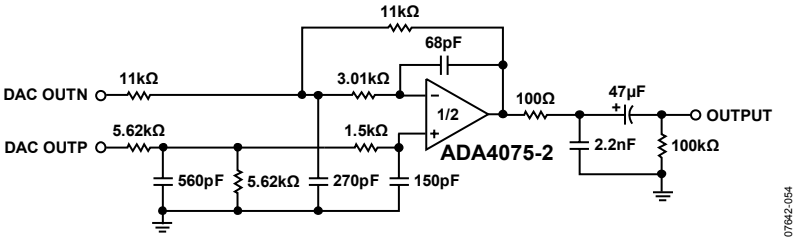


図 61.代表的な DAC 出力フィルタ回路(差動)

平衡ライン・ドライバ

図 62 の回路に、オーディオ用にデザインされた平衡ライン・ドライバを示します。このようなドライバは、負荷からコモン・モード電圧が加わることがある出力トランスの動作を模倣するようにデザインされます。さらに、全体動作に影響を与えることなく、シングルエンド・アプリケーションで片方の出力をグラウンドへ短絡することができます。

このタイプの回路では、正帰還と負帰還を使って高いコモン・モード出力インピーダンスを実現するため、部品に敏感であり、ラッチアップに弱いことで知られています。この回路では、スプリアス動作を防止するためいくつかの技術を使っています。

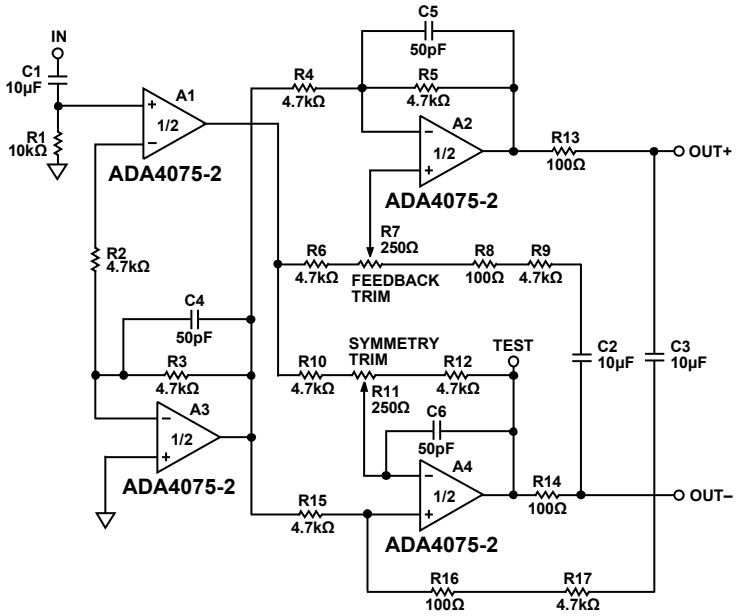
1 つ目は、4 オペアンプ構成です。これにより入力インピーダンスを負荷に依存しないようにしています(構成によっては入力インピーダンスが負になることがあります)。出力オペアンプは、駆動能力を大きくするため入力オペアンプと同じパッケージに内蔵されていることに注意してください。

2 つ目は、正帰還が C2 と C3 により AC 結合されていることです。これによりオフセット調整が不要になっています。回路入力は AC 結合であるため、これらのコンデンサの DC 電圧は大きくないので、タンタル・タイプのコンデンサを使うことができます。

最後は、これらの注意を行ったとしても、正帰還を正確に制御することが不可欠なことです。これは、部分的には 1%の抵抗を使って実現できます。さらに、次のセットアップ手順を使って、正帰還が過剰にならないようにする必要があります。

1. R11 を中間位置に設定(または両端を短絡、いずれか容易な方)して、負出力をグラウンドへ一時的に短絡します。
2. 約 1 kHz の 10 V p-p 正弦波を入力に接続し、R7 を調節して“test”と表示したポイントの電圧が 930 mV p-p になるようにします。
3. 負出力(使用した場合には R11)の短絡を除去し、R11 を調節して、出力波形が対称になるようにします。

ドライバの総合ゲインは 2 であるため、平衡差動モードでのヘッドルームが 6 dB 増えます。出力ノイズは 20 kHz 帯域幅で約−109 dBV です。



NOTES
1. ALL RESISTORS SHOULD HAVE 1% TOLERANCE.
2. A1/A2 IN SAME PACKAGE; A3/A4 IN SAME PACKAGE.

図 62.平衡ライン・ドライバ

平衡ライン・レシーバ

図 63 に、ユニティ・ゲインの高いハム除去比を持つ平衡ライン・レシーバを示します。CMRR は、次式で近似されます。

$$20 \log_{10}\left(\frac{R1R4}{R2R3}\right)$$

したがって、調整なしで最適 CMRR を得るためには、R1 と R4 の部品精度を一致させる必要があります。A2 があるため、2 つの入力のインピーダンスが対称になり(他のデザインとは異なります)、そのうえ A2 は相補出力も提供します。A3 により、コモン・モード入力インピーダンスが約 7.5 kΩ から約 70 kΩ に増えて、ソース・インピーダンスの不一致による CMRR の性能低下が少なくなっています。A3 は信号パス内(大部分のオペアンプはここで動作)にないことに注意してください。反転出力は非反転出力よりノイズが多いように見えますが、実際にはこれらは−111 dBV を中心として対称です(20 kHz 帯域幅)。

6 dB の差動入力ヘッドルームを追加するために、総合ゲイン½が必要になることがあります。これは、R3 と R4 を 5 kΩ に減少させて、R9 を 22 kΩ に増加させることにより実現することができます。

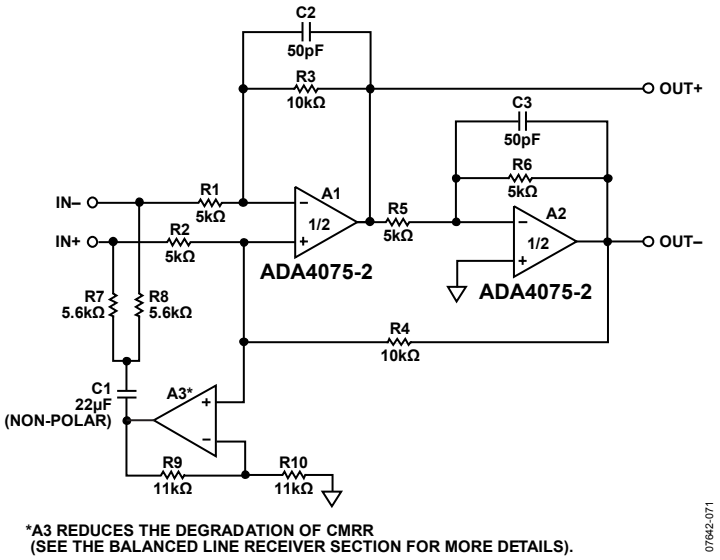


図 63.平衡ライン・レシーバ

低ノイズ・パラメトリック・イコライザ

図 64 に、可変帯域幅と周波数で±20 dB のカットまたはブーストを発生するパラメトリック逆イコライザの回路を示します。周波数制御範囲は 6.9: 1 で、形状中心周波数は設定ポテンショメータの中点に一致しています。中心周波数は 48 Hz/Ct であり、ここで Ct は C1 と C2 の値(μF)です。帯域幅制御では Q を 0.9 ～約 11 で調節します。総合ノイズは設定に依存しますが、すべての制御は 20 kHz 帯域幅で約−104 dBV を中心とします。このような低ノイズ・レベルを使用すると、多くのアプリケーションでバイパス・スイッチが不要になります。

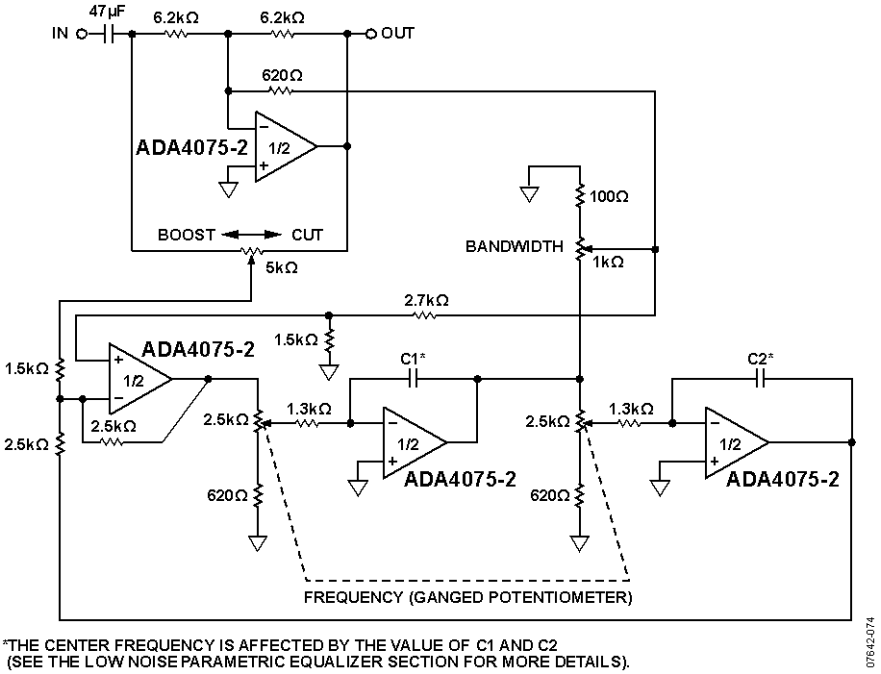


図 64.低ノイズ・パラメトリック・イコライザ

回路図

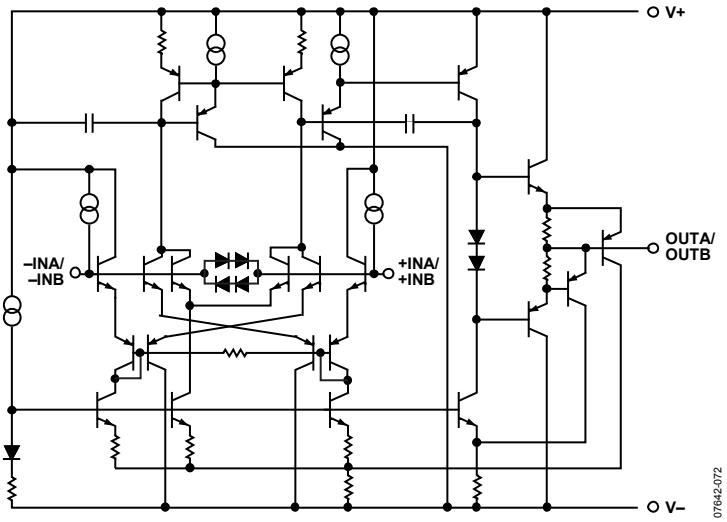


図 65.簡略化した回路図

外形寸法

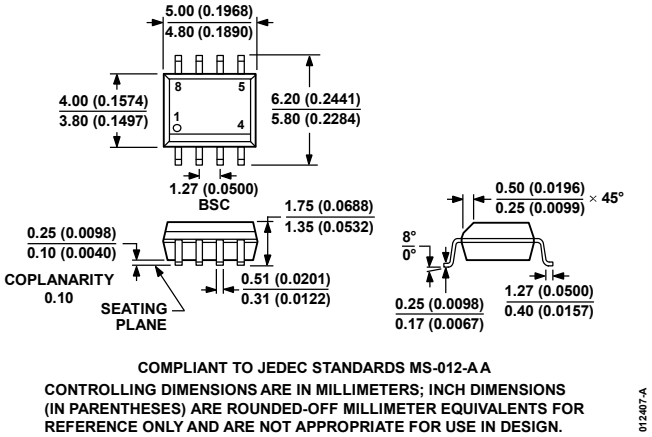


図 66.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロウ・ボディ
(R-8)
寸法: mm　(インチ)

D07642-0-10/08(0)-J

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADA4075-2ARZ[1]	−40°C to +125°C	8-Lead SOIC_N	R-8
ADA4075-2ARZ-R7[1]	−40°C to +125°C	8-Lead SOIC_N	R-8
ADA4075-2ARZ-RL[1]	−40°C to +125°C	8-Lead SOIC_N	R-8

[1] Z = RoHS 準拠製品