

特長

500 MSPS の同期 DDS チャンネル×4
 チャンネル間で独立な周波数/位相/振幅制御
 周波数/位相/振幅変化に対して遅延が一致
 優れたチャンネル間アイソレーション(>65 dB)
 周波数/位相/振幅のリニア・スweep機能
 最大 16 レベルの周波数/位相/振幅変調(ピン設定可能)
 10 ビット D/A コンバータ(DAC)×4
 個別に設定可能な DAC フル・スケール電流
 周波数チューニング分解能: 0.12 Hz 以下
 位相オフセット分解能: 14 ビット
 出力振幅スケール分解能: 10 ビット
 データ・スループットを強化したシリアル I/O ポート・インターフェース(SPI)

ソフトウェア/ハードウェア制御によるパワーダウン
 両電源動作(DDS コア 1.8 V/シリアル I/O 3.3 V)
 複数デバイスの同期
 4~20 倍の REFCLK 通倍器(PLL)
 選択可能な REFCLK 水晶発振器
 56 ピン LFCSP パッケージを採用

アプリケーション

即応性の優れた局部発振器
 フェーズド・アレイ・レーダ/ソナー
 計装機器
 クロック同期
 AOTF の RF ソース

機能ブロック図

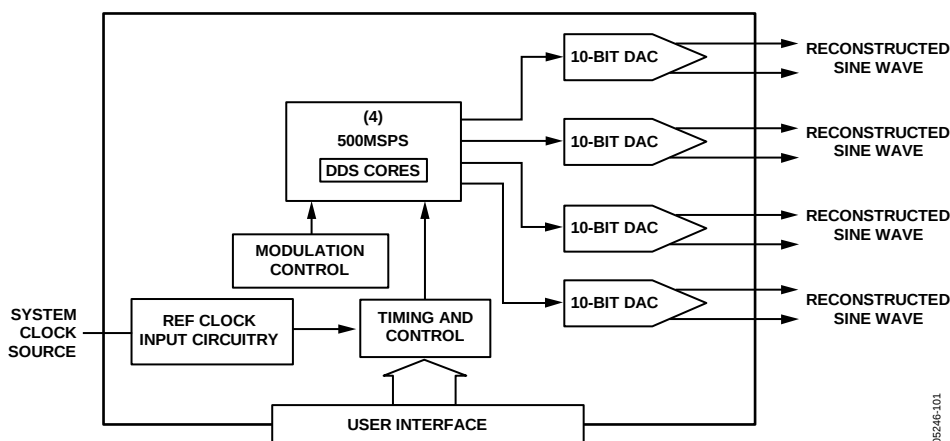


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2005–2008 Analog Devices, Inc. All rights reserved.

Rev. B

目次

特長	1
アプリケーション	1
機能ブロック図	1
改訂履歴	2
概要	3
仕様	4
絶対最大定格	8
ESD の注意	8
ピン配置およびピン機能説明	9
代表的な性能特性	11
アプリケーション回路	14
等価入力回路と等価出力回路	17
動作原理	18
DDS コア	18
D/A コンバータ	18
動作モード	19
チャンネル制約ガイドライン	19
電源	19
シングル・トーン・モード	19
基準クロック・モード	20
スケラブル DAC 基準電流制御モード	21
パワーダウン機能	21
変調モード	21
SDIO_x ピンを RU/RD に使用する変調	24

改訂履歴

7/08—Rev. A to Rev. B

Added Pin Profile Toggle Rate Parameter in Table 1	6
Changes to Figure 24	14
Changes to Figure 31	17
Changes to Reference Clock Input Circuitry Section	20
Changes to Operation Section	29
Changes to Figure 40	30
Changes to Serial Data I/O (SDIO_0, SDIO_1, SDIO_3) Section	32
Changes to Table 38	43
Added Exposed Pad Notation to Outline Dimensions	44

3/08—Rev. 0 to Rev. A

Changes to Features	1
Inserted Figure 1	1
Changes to Input Level Specification	4
Changes to Layout	8
Changes to Table 3	9

リニア・スイープ・モード	25
リニア・スイープ非ドウェル・モード	26
スイープおよび位相アキュムレータのクリア機能	27
出力振幅制御モード	28
複数の AD9959 デバイスの同期化	29
自動モード同期	29
手動ソフトウェア・モード同期	29
手動ハードウェア・モード同期	29
I/O_UPDATE、SYNC_CLK、システム・クロックの関係	30
シリアル I/O ポート	31
概要	31
命令バイトの説明	32
シリアル I/O ポートのピン説明	32
シリアル I/O ポート機能の説明	32
MSB/LSB ファースト転送の指定	32
シリアル I/O 動作モード	33
レジスタ・マップとビットの説明	36
レジスタ・マップ	36
コントロール・レジスタの説明	39
チャンネル・レジスタの説明	41
外形寸法	44
オーダー・ガイド	44

Added Equivalent Input and Output Circuits Section	17
Changes to Figure 35	21
Changes to Setting the Slope of the Linear Sweep Section	25
Changes to Frequency Linear Sweep Example: AFP Bits = 10 Section	26
Changes to Figure 37	26
Changes to Figure 38 and Figure 39	27
Added Table 25	31
Changes to Figure 41	31
Changes to Figure 42	32
Added Example Instruction Byte Section	32
Added Table 27	33
Changes to Figure 46, Figure 47, Figure 48, and Figure 49	35
Changes to Register Maps and Bit Descriptions Section	36
Added Endnote 1 to Table 30	38
Changes to Ordering Guide	44

7/05—Revision 0: Initial Version

概要

AD9959は、各チャンネルで周波数、位相、振幅を独立に制御できる4個のダイレクト・デジタル・シンセサイザ(DDS)コアから構成されています。この柔軟性は、フィルタ、増幅、PCBレイアウト関連の不一致などのようなアナログ処理に起因する信号間の不均衡を補正する際に使うことができます。すべてのチャンネルが共通のシステム・クロックを使うため、チャンネルは元々同期しています。複数デバイスの同期をサポートしています。

AD9959は、周波数、位相、振幅の最大16レベルの変調を行うことができます(FSK、PSK、ASK)。変調は、プロファイル・ピンヘータを入力することにより行われます。さらに、AD9959はレーダや計装機器などのアプリケーションを対象に、周波数、位相、振幅のリニア・スイープもサポートします。

AD9959のシリアル I/O ポートでは、優れた柔軟性を提供する多くの構成を提供します。シリアル I/O ポートは、アナログ・デバイセズの初期 DDS 製品で採用された SPI 動作と実質的に同じである SPI 互換動作モードを提供します。シリアル I/O 動作の4つのプログラマブルなモードを可能にする4本のデータ・ピン(SDIO_0/SDIO_1/SDIO_2/SDIO_3)により柔軟性が提供されています。

AD9959は、高性能で低消費電力を提供する最新 DDS 技術を採用しています。このデバイスは、優れた広帯域および狭帯域の SFDR を持つ高速 10 ビット DAC を 4 個内蔵しています。各チャンネルは専用の 32 ビット周波数チューニング・ワー

ド、14 ビットの位相オフセット、10 ビット出力スケール通倍器を持っています。

DAC 出力は電源基準であるため、抵抗で AVDD に終端するか、または AVDD センター・タップ付きトランスで終端する必要があります。各 DAC は、各チャンネルごとに異なるフル・スケール電流を可能にする専用のプログラマブルなリファレンス電圧を持っています。

DDS は、REFCLK を入力とし、DAC が出力となる高分解能の周波数分周器として機能します。REFCLK 入力ソースはすべてのチャンネルに対して共通で、直接駆動するか、または最大 500 MSPS の内蔵 REFCLK 通倍器(PLL)と組み合わせて使用することができます。PLL の倍率は、4~20 の範囲で整数ステップで設定可能です。また、REFCLK 入力には発振器回路があり、外付け水晶を REFCLK ソースとして使用することができます。水晶は、20 MHz~30 MHz である必要があります。水晶は、REFCLK 通倍器と組み合わせて使用することができます。

AD9959は省スペースの56ピンLFCSPパッケージを採用しています。DDSコア(AVDDピンとDVDDピン)は1.8V電源を使用しています。デジタルI/Oインターフェース(SPI)は3.3Vで動作し、DVDD_I/O(ピン49)を3.3Vに接続する必要があります。

AD9959は工業用温度範囲-40°C ~+85°Cで動作します。

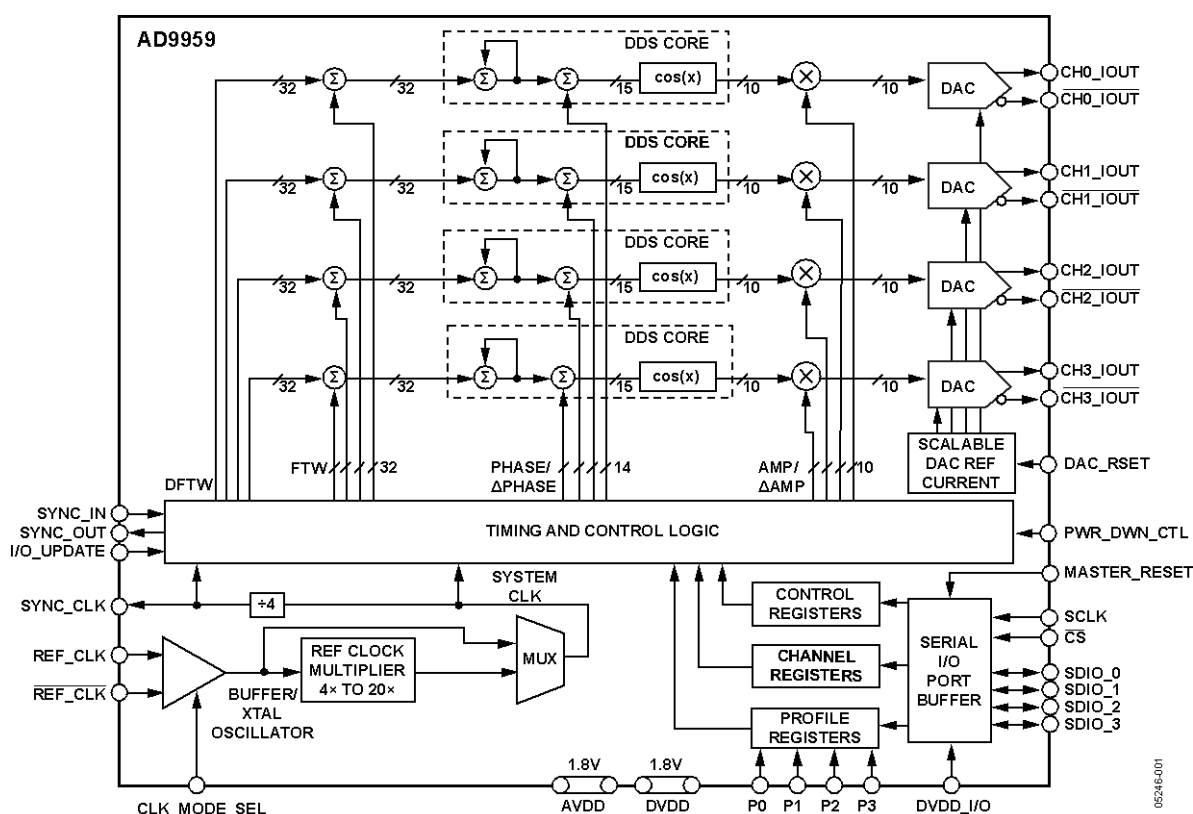


図2.詳細ブロック図

仕様

特に指定がない限り、AVDD および DVDD = 1.8 V $\pm$ 5%; DVDD_I/O = 3.3 V $\pm$ 5%; T = 25°C; R_{SET} = 1.91 k Ω ; 外部基準クロック
周波数= 500 MSPS (REFCLK 通倍器をバイパス)。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE CLOCK INPUT CHARACTERISTICS					See Figure 34 and Figure 35
Frequency Range					
REFCLK Multiplier Bypassed	1		500	MHz	
REFCLK Multiplier Enabled	10		125	MHz	
Internal VCO Output Frequency Range					
VCO Gain Control Bit Set High ¹	255		500	MHz	
VCO Gain Control Bit Set Low ¹	100		160	MHz	
Crystal REFCLK Source Range	20		30	MHz	
Input Level	200		1000	mV	Measured at each pin (single-ended)
Input Voltage Bias Level		1.15		V	
Input Capacitance		2		pF	
Input Impedance		1500		Ω	
Duty Cycle with REFCLK Multiplier Bypassed	45		55	%	
Duty Cycle with REFCLK Multiplier Enabled	35		65	%	
CLK Mode Select (Pin 24) Logic 1 Voltage	1.25		1.8	V	1.8 V digital input logic
CLK Mode Select (Pin 24) Logic 0 Voltage			0.5	V	1.8 V digital input logic
DAC OUTPUT CHARACTERISTICS					Must be referenced to AVDD
Resolution			10	Bits	
Full-Scale Output Current	1.25		10	mA	
Gain Error	-10		+10	%FS	
Channel-to-Channel Output Amplitude Matching Error	-2.5		+2.5	%	
Output Current Offset		1	25	μ A	
Differential Nonlinearity		± 0.5		LSB	
Integral Nonlinearity		± 1.0		LSB	
Output Capacitance		3		pF	
Voltage Compliance Range	AVDD - 0.50		AVDD + 0.50	V	
Channel-to-Channel Isolation	65			dB	DAC supplies tied together (see Figure 19)
WIDEBAND SFDR					The frequency range for wideband SFDR is defined as dc to Nyquist
1 MHz to 20 MHz Analog Output		-65		dBc	
20 MHz to 60 MHz Analog Output		-62		dBc	
60 MHz to 100 MHz Analog Output		-59		dBc	
100 MHz to 150 MHz Analog Output		-56		dBc	
150 MHz to 200 MHz Analog Output		-53		dBc	
NARROW-BAND SFDR					
1.1 MHz Analog Output (± 10 kHz)		-90		dBc	
1.1 MHz Analog Output (± 50 kHz)		-88		dBc	
1.1 MHz Analog Output (± 250 kHz)		-86		dBc	
1.1 MHz Analog Output (± 1 MHz)		-85		dBc	
15.1 MHz Analog Output (± 10 kHz)		-90		dBc	
15.1 MHz Analog Output (± 50 kHz)		-87		dBc	
15.1 MHz Analog Output (± 250 kHz)		-85		dBc	
15.1 MHz Analog Output (± 1 MHz)		-83		dBc	
40.1 MHz Analog Output (± 10 kHz)		-90		dBc	
40.1 MHz Analog Output (± 50 kHz)		-87		dBc	
40.1 MHz Analog Output (± 250 kHz)		-84		dBc	
40.1 MHz Analog Output (± 1 MHz)		-82		dBc	
75.1 MHz Analog Output (± 10 kHz)		-87		dBc	
75.1 MHz Analog Output (± 50 kHz)		-85		dBc	
75.1 MHz Analog Output (± 250 kHz)		-83		dBc	
75.1 MHz Analog Output (± 1 MHz)		-82		dBc	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
100.3 MHz Analog Output (± 10 kHz)		-87		dBc	
100.3 MHz Analog Output (± 50 kHz)		-85		dBc	
100.3 MHz Analog Output (± 250 kHz)		-83		dBc	
100.3 MHz Analog Output (± 1 MHz)		-81		dBc	
200.3 MHz Analog Output (± 10 kHz)		-87		dBc	
200.3 MHz Analog Output (± 50 kHz)		-85		dBc	
200.3 MHz Analog Output (± 250 kHz)		-83		dBc	
200.3 MHz Analog Output (± 1 MHz)		-81		dBc	
PHASE NOISE CHARACTERISTICS					
Residual Phase Noise @ 15.1 MHz (f_{OUT})					
@ 1 kHz Offset		-150		dBc/Hz	
@ 10 kHz Offset		-159		dBc/Hz	
@ 100 kHz Offset		-165		dBc/Hz	
@ 1 MHz Offset		-165		dBc/Hz	
Residual Phase Noise @ 40.1 MHz (f_{OUT})					
@ 1 kHz Offset		-142		dBc/Hz	
@ 10 kHz Offset		-151		dBc/Hz	
@ 100 kHz Offset		-160		dBc/Hz	
@ 1 MHz Offset		-162		dBc/Hz	
Residual Phase Noise @ 75.1 MHz (f_{OUT})					
@ 1 kHz Offset		-135		dBc/Hz	
@ 10 kHz Offset		-146		dBc/Hz	
@ 100 kHz Offset		-154		dBc/Hz	
@ 1 MHz Offset		-157		dBc/Hz	
Residual Phase Noise @ 100.3 MHz (f_{OUT})					
@ 1 kHz Offset		-134		dBc/Hz	
@ 10 kHz Offset		-144		dBc/Hz	
@ 100 kHz Offset		-152		dBc/Hz	
@ 1 MHz Offset		-154		dBc/Hz	
Residual Phase Noise @ 15.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled $5\times$					
@ 1 kHz Offset		-139		dBc/Hz	
@ 10 kHz Offset		-149		dBc/Hz	
@ 100 kHz Offset		-153		dBc/Hz	
@ 1 MHz Offset		-148		dBc/Hz	
Residual Phase Noise @ 40.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled $5\times$					
@ 1 kHz Offset		-130		dBc/Hz	
@ 10 kHz Offset		-140		dBc/Hz	
@ 100 kHz Offset		-145		dBc/Hz	
@ 1 MHz Offset		-139		dBc/Hz	
Residual Phase Noise @ 75.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled $5\times$					
@ 1 kHz Offset		-123		dBc/Hz	
@ 10 kHz Offset		-134		dBc/Hz	
@ 100 kHz Offset		-138		dBc/Hz	
@ 1 MHz Offset		-132		dBc/Hz	
Residual Phase Noise @ 100.3 MHz (f_{OUT}) with REFCLK Multiplier Enabled $5\times$					
@ 1 kHz Offset		-120		dBc/Hz	
@ 10 kHz Offset		-130		dBc/Hz	
@ 100 kHz Offset		-135		dBc/Hz	
@ 1 MHz Offset		-129		dBc/Hz	
Residual Phase Noise @ 15.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled $20\times$					
@ 1 kHz Offset		-127		dBc/Hz	
@ 10 kHz Offset		-136		dBc/Hz	
@ 100 kHz Offset		-139		dBc/Hz	
@ 1 MHz Offset		-138		dBc/Hz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Residual Phase Noise @ 40.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled 20×					
@ 1 kHz Offset		−117		dBc/Hz	
@ 10 kHz Offset		−128		dBc/Hz	
@ 100 kHz Offset		−132		dBc/Hz	
@ 1 MHz Offset		−130		dBc/Hz	
Residual Phase Noise @ 75.1 MHz (f_{OUT}) with REFCLK Multiplier Enabled 20×					
@ 1 kHz Offset		−110		dBc/Hz	
@ 10 kHz Offset		−121		dBc/Hz	
@ 100 kHz Offset		−125		dBc/Hz	
@ 1 MHz Offset		−123		dBc/Hz	
Residual Phase Noise @ 100.3 MHz (f_{OUT}) with REFCLK Multiplier Enabled 20×					
@ 1 kHz Offset		−107		dBc/Hz	
@ 10 kHz Offset		−119		dBc/Hz	
@ 100 kHz Offset		−121		dBc/Hz	
@ 1 MHz Offset		−119		dBc/Hz	
SERIAL PORT TIMING CHARACTERISTICS					
Maximum Frequency Serial Clock (SCLK)			200	MHz	
Minimum SCLK Pulse Width Low (t_{PWL})	1.6			ns	
Minimum SCLK Pulse Width High (t_{PWH})	2.2			ns	
Minimum Data Setup Time (t_{DS})	2.2			ns	
Minimum Data Hold Time	0			ns	
Minimum $\overline{CS}$ Setup Time (t_{PRE})	1.0			ns	
Minimum Data Valid Time for Read Operation	12			ns	
MISCELLANEOUS TIMING CHARACTERISTICS					
MASTER_RESET Minimum Pulse Width	1				Min pulse width = 1 sync clock period
I/O_UPDATE Minimum Pulse Width	1				Min pulse width = 1 sync clock period
Minimum Setup Time (I/O_UPDATE to SYNC_CLK)	4.8			ns	Rising edge to rising edge
Minimum Hold Time (I/O_UPDATE to SYNC_CLK)	0			ns	Rising edge to rising edge
Minimum Setup Time (Profile Inputs to SYNC_CLK)	5.4			ns	
Minimum Hold Time (Profile Inputs to SYNC_CLK)	0			ns	
Minimum Setup Time (SDIO Inputs to SYNC_CLK)	2.5			ns	
Minimum Hold Time (SDIO Inputs to SYNC_CLK)	0			ns	
Propagation Time Between REF_CLK and SYNC_CLK	2.25	3.5	5.5	ns	
Profile Pin Toggle Rate			2	Sync clocks	
CMOS LOGIC INPUTS					
V_{IH}	2.0			V	
V_{IL}			0.8	V	
Logic 1 Current		3	12	μA	
Logic 0 Current		−12		μA	
Input Capacitance		2		pF	
CMOS LOGIC OUTPUTS					
V_{OH}	2.7			V	1 mA load
V_{OL}			0.4	V	
POWER SUPPLY					
Total Power Dissipation—All Channels On, Single-Tone Mode		540	635	mW	Dominated by supply variation
Total Power Dissipation—All Channels On, with Sweep Accumulator		580	680	mW	Dominated by supply variation
Total Power Dissipation—Full Power-Down		13		mW	
I_{AVDD} —All Channels On, Single-Tone Mode		155	180	mA	
I_{AVDD} —All Channels On, Sweep Accumulator, REFCLK Multiplier and 10-Bit Output Scalar Enabled		160	185	mA	
I_{DVDD} —All Channels On, Single-Tone Mode		105	125	mA	
I_{DVDD} —All Channels On, Sweep Accumulator, REFCLK Multiplier and 10-Bit Output Scalar Enabled		125	145	mA	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$I_{DVDD_I/O}$			40	mA	I_{DVDD} = read
I_{AVDD} Power-Down Mode		0.7	30	mA	I_{DVDD} = write
I_{DVDD} Power-Down Mode		1.1		mA	
DATA LATENCY (PIPELINE DELAY) SINGLE-TONE MODE ^{2,3}					
Frequency, Phase, and Amplitude Words to DAC Output with Matched Latency Enabled	29			SYSCLK s	
Frequency Word to DAC Output with Matched Latency Disabled	29			SYSCLK s	
Phase Offset Word to DAC Output with Matched Latency Disabled	25			SYSCLK s	
Amplitude Word to DAC Output with Matched Latency Disabled	17			SYSCLK s	
DATA LATENCY (PIPELINE DELAY) MODULATION MODE ^{3,4}					
Frequency Word to DAC Output	34			SYSCLK s	
Phase Offset Word to DAC Output	29			SYSCLK s	
Amplitude Word to DAC Output	21			SYSCLK s	
DATA LATENCY (PIPELINE DELAY) LINEAR SWEEP MODE ^{3,4}					
Frequency Rising/Falling Delta Tuning Word to DAC Output	41			SYSCLK s	
Phase Offset Rising/Falling Delta Tuning Word to DAC Output	37			SYSCLK s	
Amplitude Rising/Falling Delta Tuning Word to DAC Output	29			SYSCLK s	

¹ VCO 周波数範囲 160 MHz～255 MHz に対して、動作は保証しません。

² データ遅延は I/O_UPDATE を基準とします。

³ データ遅延は固定です。

⁴ データ遅延はプロファイル変更を基準とします。

絶対最大定格

表 2.

Parameter	Rating
Maximum Junction Temperature	150°C
DVDD_I/O (Pin 49)	4 V
AVDD, DVDD	2 V
Digital Input Voltage (DVDD_I/O = 3.3 V)	−0.7 V to +4 V
Digital Output Current	5 mA
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (10 sec Soldering)	300°C
θ_{JA}	21°C/W
θ_{JC}	2°C/W

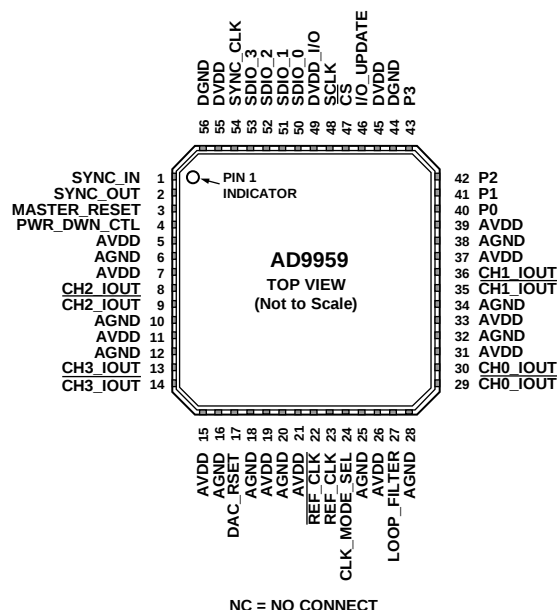
上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. THE EXPOSED EPAD ON BOTTOM SIDE OF PACKAGE IS AN ELECTRICAL CONNECTION AND MUST BE SOLDERED TO GROUND.
2. PIN 49 IS DVDD_I/O AND IS TIED TO 3.3V.

05246-003

図 3. ピン配置

表 3. ピン機能の説明

ピン番号	記号	I/O ¹	説明
1	SYNC_IN	I	複数の AD9959 を同期化するとき使用する信号。マスター AD9959 デバイスの SYNC_OUT ピンに接続します。
2	SYNC_OUT	O	複数の AD9959 を同期化するとき使用する信号。スレーブ AD9959 デバイスの SYNC_IN ピンに接続します。
3	MASTER_RESET	I	アクティブ・ハイのリセット・ピン。MASTER_RESET ピンをアサートすると、AD9959 内部レジスタはデフォルト状態に設定されます(レジスタ・マップとビットの説明のセクション参照)。
4	PWR_DWN_CTL	I	外部パワーダウンの制御。
5, 7, 11, 15, 19, 21, 26, 31, 33, 37, 39	AVDD	I	アナログ電源ピン(1.8 V)。
6, 10, 12, 16, 18, 20, 25, 28, 32, 34, 38	AGND	I	アナログ・グラウンド・ピン。
45, 55	DVDD	I	デジタル電源ピン(1.8 V)。
44, 56	DGND	I	デジタル電源グラウンド・ピン。
8	CH2_IOUT	O	DAC 出力(真)。AVDD へ終端。
9	CH2_IOUT	O	相補 DAC 出力。AVDD へ終端。
13	CH3_IOUT	O	DAC 出力(真)。AVDD へ終端。
14	CH3_IOUT	O	相補 DAC 出力。AVDD へ終端。
17	DAC_RSET	I	すべての DAC に対して基準電流を設定します。1.91 kΩ(公称)の抵抗をピン 17 と AGND の間に接続します。
22	REF_CLK	I	相補基準クロック/発振器入力。REF_CLK がシングルエンド・モードで動作する場合、このピンを 0.1 μF のコンデンサで AVDD または AGND へデカップリングする必要があります。
23	REF_CLK	I	基準クロック/発振器入力。REF_CLK がシングルエンド・モードで動作する場合、このピンが入力になります。基準クロックの設定については、動作モードのセクションを参照してください。
24	CLK_MODE_SEL	I	発振器セクションのコントロール・ピン。注意:このピンを 1.8 V より高く駆動しないでください。ハイ・レベル(1.8 V)のとき、発振器セクションがイネーブルされて、水晶が REF_CLK ソースとして接続されます。ロー・レベルのとき、発振器セクションはバイパスされます。

ピン番号	記号	I/O ¹	説明
27	LOOP_FILTER	I	PLL ループ・フィルタの外部ゼロ補償回路に接続します。回路は $0\ \Omega$ の抵抗と AVDD に接続した 680 pF のコンデンサとの直列接続で構成されます。
29	$\overline{\text{CH0_IOUT}}$	O	相補 DAC 出力。AVDD へ終端。
30	CH0_IOUT	O	DAC 出力(真)。AVDD へ終端。
35	$\overline{\text{CH1_IOUT}}$	O	相補 DAC 出力。AVDD へ終端。
36	CH1_IOUT	O	DAC 出力(真)。AVDD へ終端。
40～43	P0 to P3	I	変調(FSK、PSK、ASK)で使用するデータ・ピン。スイープ・アキュムレータの開始/停止または出力振幅のランプ・アップ/ランプ・ダウンに使用。データは SYNC_CLK (ピン 54)に同期しています。データ入力は、SYNC_CLK のセットアップ・タイムとホールド・タイムの条件を満たす必要があります。これらのピンの機能は、プロファイル・ピン設定(PPC)ビット(FR1[14:12])から制御されます。
46	I/O_UPDATE	I	立ち上がりエッジで、データがシリアル I/O ポート・バッファからアクティブ・レジスタへ転送されます。I/O_UPDATE は SYNC_CLK (ピン 54)に同期しています。I/O_UPDATE は、SYNC_CLK のセットアップ・タイムとホールド・タイムの条件を満たす必要があります。これは、データの DAC 出力までの固定のパイプライン遅延を保証するために、そうしないと ± 1 SYNC_CLK 周期のパイプライン不確定性が発生します。最小パルス幅は 1 SYNC_CLK 周期です。
47	$\overline{\text{CS}}$	I	アクティブ・ローのチップ・セレクト。複数のデバイスで I/O バス(SPI)の共用を可能にします。
48	SCLK	I	I/O 動作のシリアル・データ・クロック。データ・ビットは SCLK の立ち上がりエッジで書き込まれ、SCLK の立ち下がりエッジで読み出されます。
49	DVDD_I/O	I	SPI ポートとデジタル I/O の 3.3 V デジタル電源。
50	SDIO_0	I/O	データ・ピン SDIO_0 はシリアル・ポート I/O 専用です。
51, 52	SDIO_1, SDIO_2	I/O	データ・ピン SDIO_1 とデータ・ピン SDIO_2 は、シリアル I/O ポートに使用するか、または DAC 出力振幅のランプ・アップ/ランプ・ダウン(RU/RD)の開始に使うことができます。
53	SDIO_3	I/O	データ・ピン SDIO_3 は、シリアル I/O ポートに使用するか、または DAC 出力振幅のランプ・アップ/ランプ・ダウン(RU/RD)の開始に使うことができます。シングル・ビット・モードまたは 2 ビット・モードで、SDIO_3 は SYNC_I/O に使います。SYNC_I/O 機能を使用しない場合は、グラウンドまたはロジック 0 に接続します。シングルビット・モードまたは 2 ビット・モードで、SDIO_3 をフローティングのままにしないでください。
54	SYNC_CLK	O	SYNC_CLK はシステム・クロック・レートの 1/4 で動作します。これはディスエーブルすることができます。I/O_UPDATE またはデータ(ピン 40～ピン 43)は SYNC_CLK に同期しています。データから DAC 出力までで固定のパイプライン遅延を保証するために、I/O_UPDATE またはデータ(ピン 40～ピン 43)は、SYNC_CLK の立ち上がりエッジまでのセットアップ・タイムとホールド・タイムの条件を満たす必要があります。そうしないと ± 1 SYNC_CLK 周期の不確定性が発生します。

¹ I = 入力、O = 出力。

代表的な性能特性

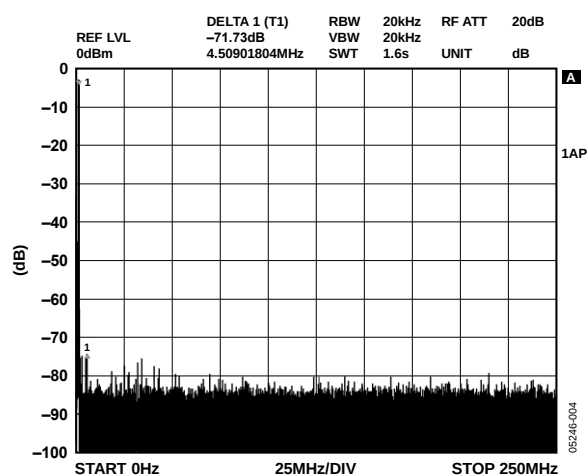


図 4. 広帯域 SFDR、 $f_{OUT} = 1.1$ MHz、 $f_{CLK} = 500$ MSPS

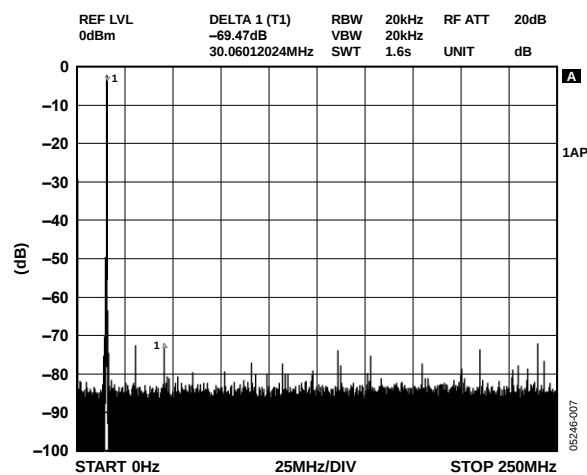


図 7. 広帯域 SFDR、 $f_{OUT} = 15.1$ MHz、 $f_{CLK} = 500$ MSPS

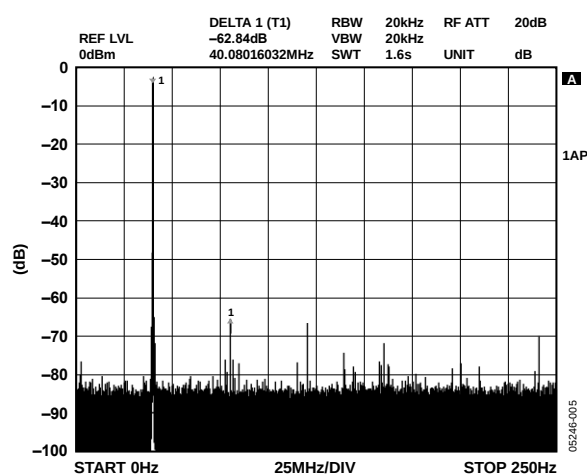


図 5. 広帯域 SFDR、 $f_{OUT} = 40.1$ MHz、 $f_{CLK} = 500$ MSPS

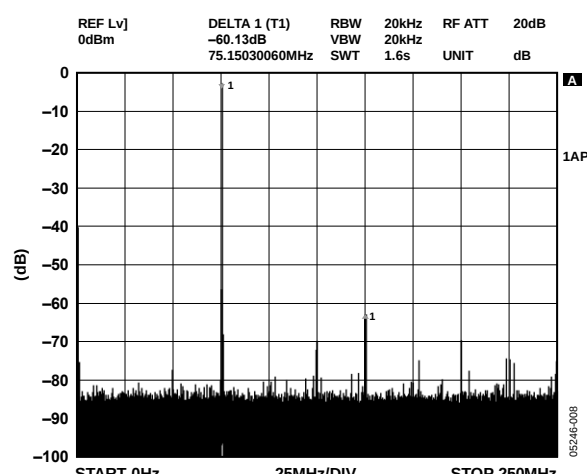


図 8. 広帯域 SFDR、 $f_{OUT} = 75.1$ MHz、 $f_{CLK} = 500$ MSPS

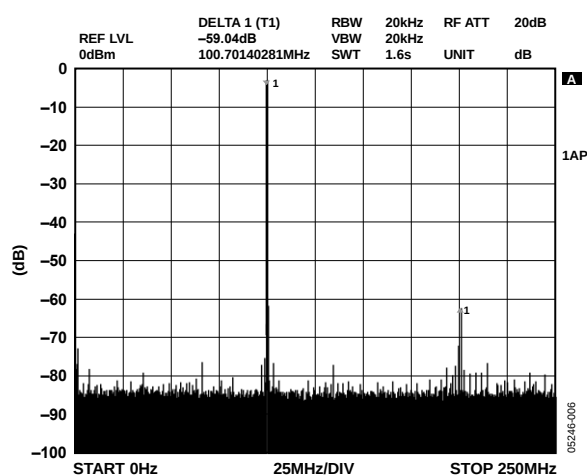


図 6. 広帯域 SFDR、 $f_{OUT} = 100.3$ MHz、 $f_{CLK} = 500$ MSPS

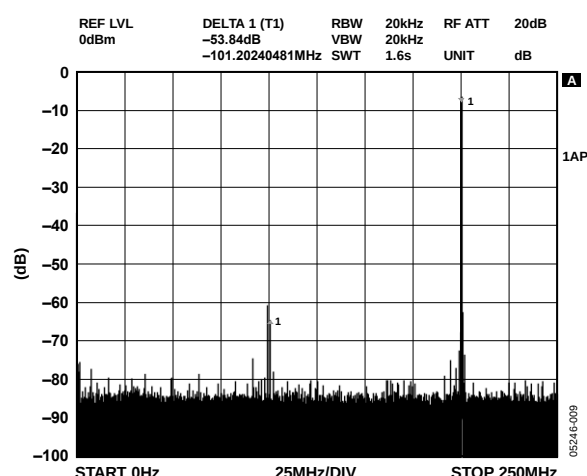
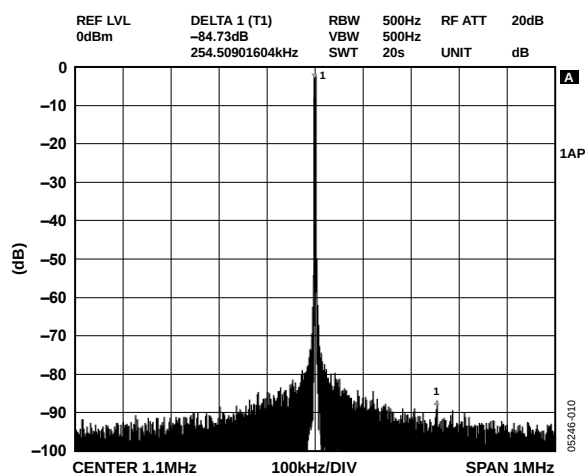
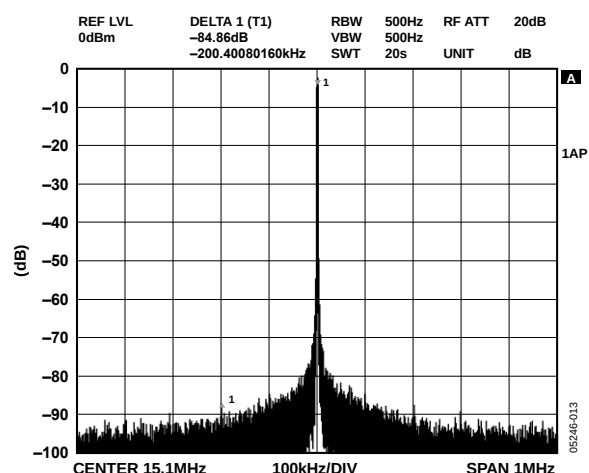


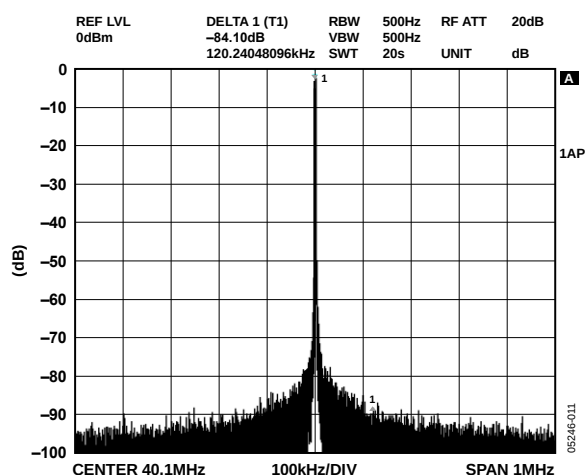
図 9. 広帯域 SFDR、 $f_{OUT} = 200.3$ MHz、 $f_{CLK} = 500$ MSPS



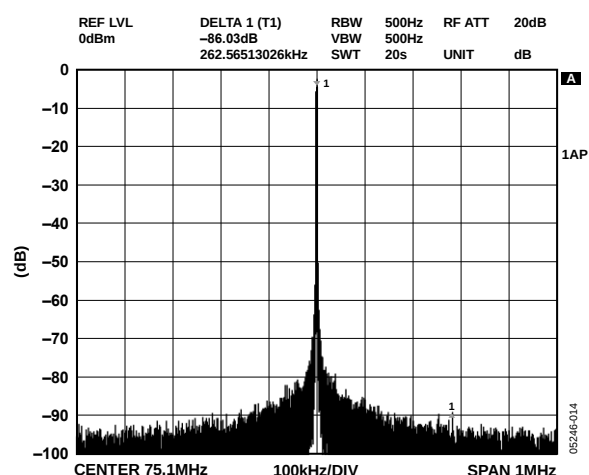
10.NBSFDR, ± 1 MHz, $f_{OUT} = 1.1$ MHz, $f_{CLK} = 500$ MSPS



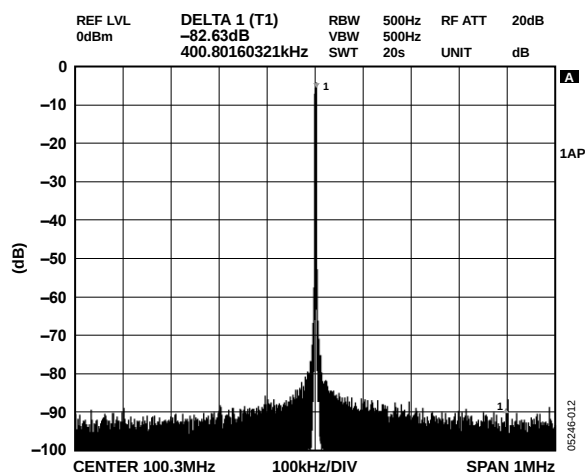
13.NBSFDR, ± 1 MHz, $f_{OUT} = 15.1$ MHz, $f_{CLK} = 500$ MSPS



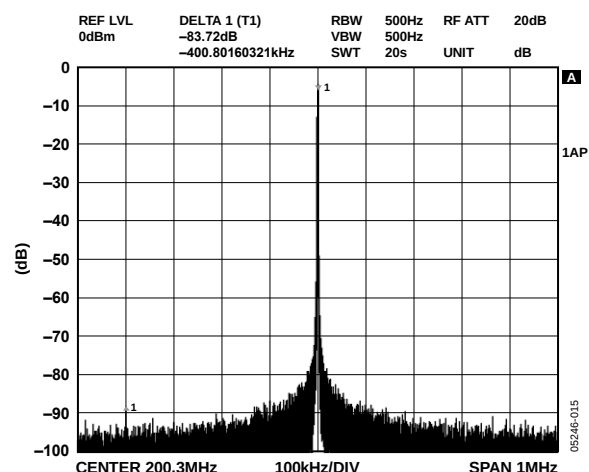
11.NBSFDR, ± 1 MHz, $f_{OUT} = 40.1$ MHz, $f_{CLK} = 500$ MSPS



14.NBSFDR, ± 1 MHz, $f_{OUT} = 75.1$ MHz, $f_{CLK} = 500$ MSPS



12.NBSFDR, ± 1 MHz, $f_{OUT} = 100.3$ MHz, $f_{CLK} = 500$ MSPS



15.NBSFDR, ± 1 MHz, $f_{OUT} = 200.3$ MHz, $f_{CLK} = 500$ MSPS

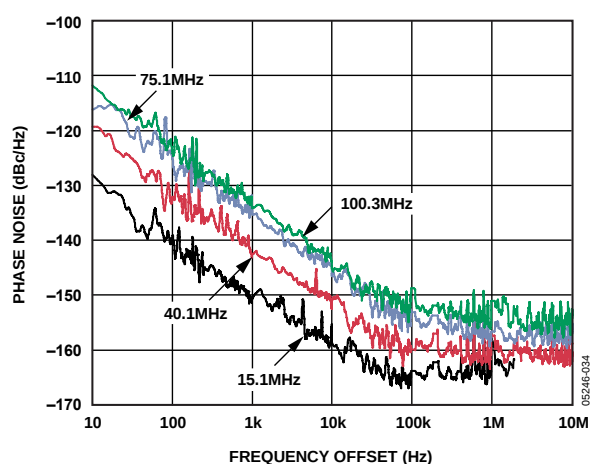


図 16. 残留位相ノイズ(SSB), $f_{OUT} = 15.1$ MHz、40.1 MHz、75.1 MHz、100.3 MHz; $f_{CLK} = 500$ MHz、REFCLK 通倍器をバイパス

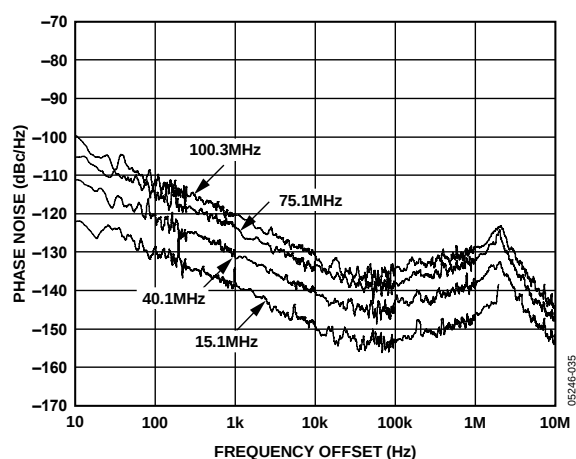


図 17. 残留位相ノイズ(SSB), $f_{OUT} = 15.1$ MHz、40.1 MHz、75.1 MHz、100.3 MHz; $f_{CLK} = 500$ MHz、REFCLK 通倍器 = 5×

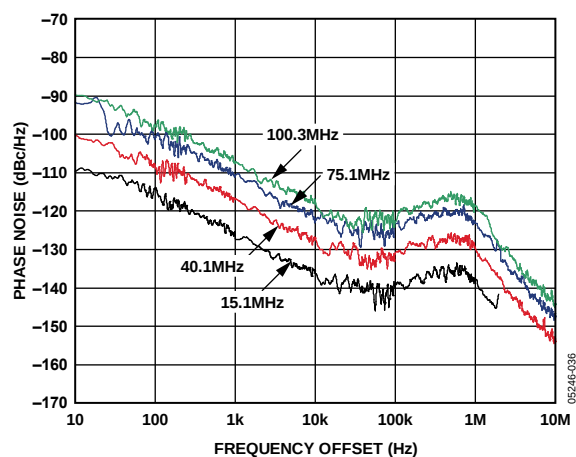


図 18. 残留位相ノイズ(SSB), $f_{OUT} = 15.1$ MHz、40.1 MHz、75.1 MHz、100.3 MHz; $f_{CLK} = 500$ MHz、REFCLK 通倍器 = 20×

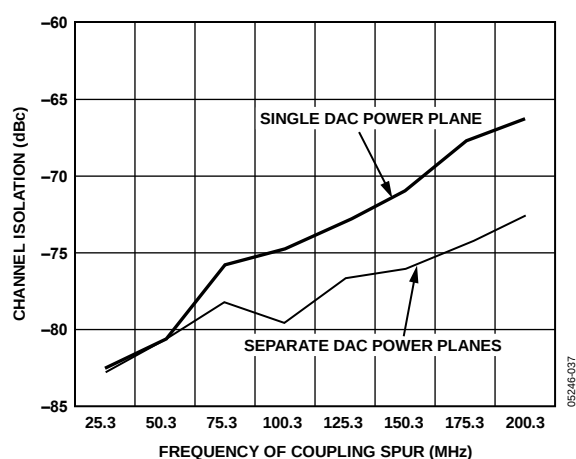


図 19. チャンネル・アイソレーション、500 MSPS 動作
注目のチャンネルは 110.3 MHz、他のチャンネルは周波数スイープ

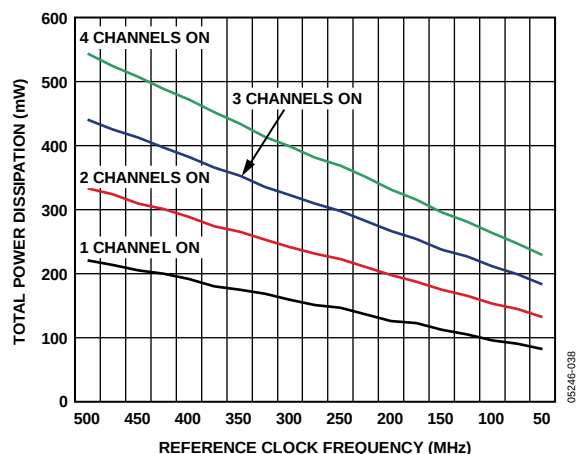


図 20. 消費電力対基準クロック周波数対チャンネル電源オン/オフ

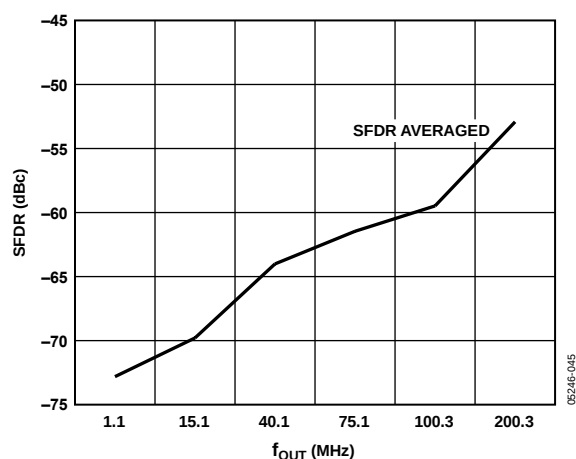


図 21. 平均チャンネル SFDR 対 f_{OUT}

アプリケーション回路

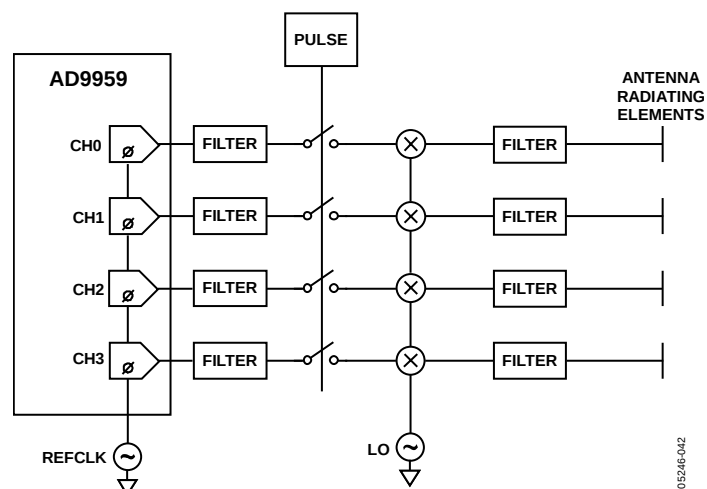


図 22.FMCW の DDS から制御する高精度周波数/位相を使ったフェーズ・アレイ・レーダ
またはパルス・レーダー・アプリケーション
DDS が連続波形または周波数スイープを提供

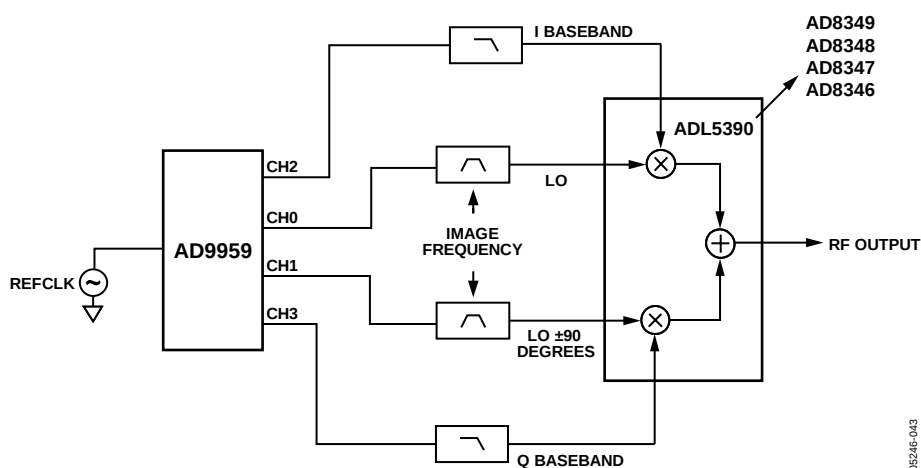


図 23.シングル・サイドバンド抑圧のキャリア・アップコンバージョン

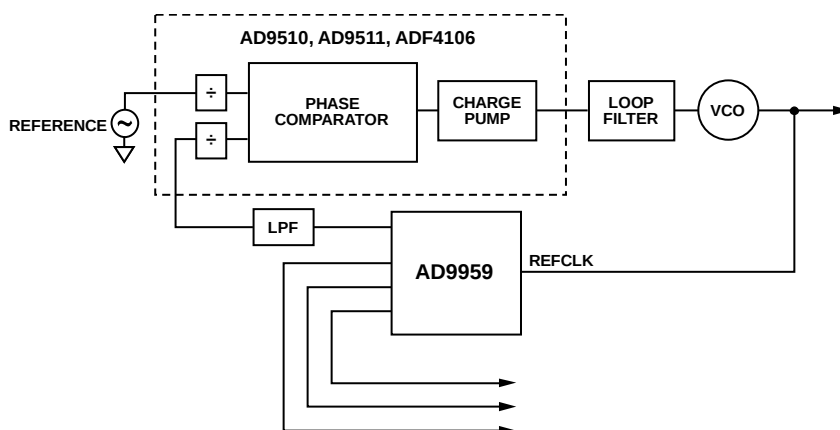


図 24.基準周波数にロックする PLL 内の DDS、
周波数微調整と遅延調節チューニングにより分布を提供



リファレンス・クロックと SYNC_CLK の分配に AD9510 を使用



図 26.音響光チューナブル・フィルタにステイミュラスを提供する DDS



コンパレータへの DC 電圧を変更するために
DDS 内の位相オフセット値を使ってデューティ・サイクルを制御

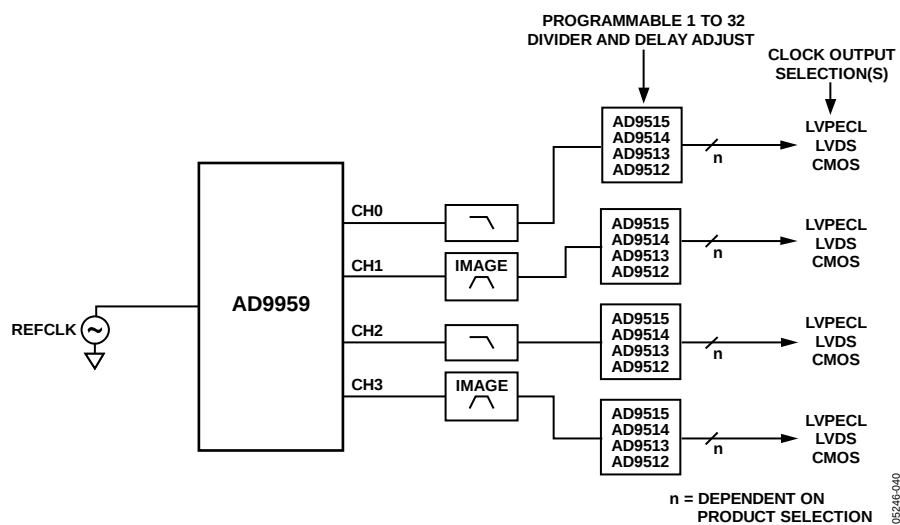
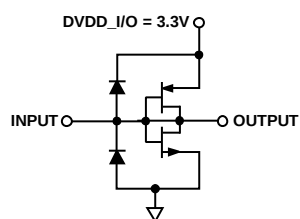


図 28. AD9512/AD9513/AD9514/AD9515 シリーズのクロック分配チップを使ったクロック発生回路

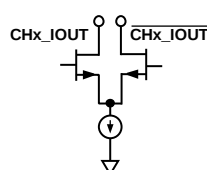
等価入力回路と等価出力回路



AVOID OVERDRIVING
DIGITAL INPUTS.
FORWARD BIASING
DIODES MAY COUPLE
DIGITAL NOISE ON
POWER PINS.

05246-002

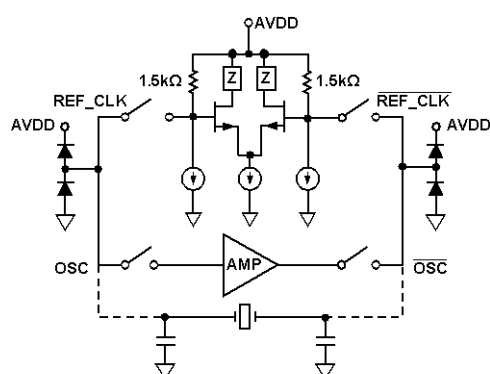
図 29.CMOS デジタル入力



TERMINATE OUTPUTS
INTO AVDD. DO NOT
EXCEED VOLTAGE
COMPLIANCE OF
OUTPUTS.

05246-032

図 30.DAC 出力



REF_CLK INPUTS ARE
INTERNALLY BIASED AND
NEED TO BE AC-COUPLED.
OSC INPUTS ARE DC-COUPLED.

05246-033

図 31.REF_CLK/REF_CLK入力

動作原理

DDS コア

AD9959 は 4 個の DDS コアを内蔵し、各々は 32 ビットの位相アキュムレータと位相/振幅コンバータから構成されています。位相アキュムレータにクロックが入力され、かつ位相インクリメント値(周波数チューニング・ワード)が 0 より大きい場合に、これらのデジタル・ブロックの組み合わせがデジタル正弦波を発生します。位相/振幅コンバータは同時に、 $\cos(\theta)$ 演算により位相情報を振幅情報へ変換します。

各 DDS チャンネルの出力周波数(f_{OUT})は、各位相アキュムレータのロールオーバー・レート関数になります。関係は次式で表されます。

$$f_{OUT} = \frac{(FTW)(f_s)}{2^{32}}$$

ここで

f_s はシステム・クロック・レート。

FTW は周波数チューニング・ワードで、 $0 \leq FTW \leq 2^{31}$ 。

2^{32} は位相アキュムレータの容量を表します。

4 チャンネルすべてが共通のシステム・クロックを使うため、チャンネルは元々同期しています。

DDS コアのアーキテクチャでは、出力信号に位相オフセットを与える機能もサポートしています。この機能は、チャンネル位相オフセット・ワード(CPOW)により実行されます。

CPOW は、位相オフセット値を格納する 14 ビット・レジスタです。このオフセット値が位相アキュムレータ出力に加算されて、出力信号の現在の位相にオフセットが与えられます。各チャンネルは専用の位相オフセット・ワード・レジスタを持っています。この機能を使って、すべてのチャンネルの相対的位相関係を既知にすることができます。位相オフセットの実際の値は次式で表されます。

$$\Phi = \left(\frac{POW}{2^{14}} \right) \times 360^\circ$$

D/A コンバータ

AD9959 は 10 ビットの電流出力 DAC を内蔵しています。DAC はデジタル・コード(振幅)を離散的なアナログ量に変換します。DAC 電流出力は、 $100 \text{ k}\Omega(\text{typ})$ の高出力インピーダンスを持つ電流源でモデル化することができます。多くの DAC とは異なり、これらの電流出力には抵抗による $AVDD$ への終端または電流が流れるセンター・タップ付きトランスが必要です。

各 DAC には合算フル・スケール出力電流($I_{OUT} + I_{\overline{OUT}}$)を出力する相補出力があります。出力は常に電流をシンクし、電流和は何時でもフル・スケール電流に一致します。フル・スケール電流は、外付け抵抗(R_{SET})および動作モードのセクションで説明するスケラブル DAC 電流コントロール・ビットを使って制御します。抵抗 R_{SET} は、DAC_RSET ピンとアナログ・グラウンド(AGND)との間に接続します。フル・スケール電流は次のように抵抗値に反比例します。

$$R_{SET} = \frac{18.91}{I_{OUT}(\text{max})}$$

合算 DAC 出力の最大フル・スケール出力電流は 15 mA ですが、出力を 10 mA に制限すると、最適なスプリアス・フリー・ダイナミック・レンジ(SFDR)性能が得られます。DAC 出力電圧のコンプライアンス・レンジは $AVDD + 0.5 \text{ V} \sim AVDD - 0.5 \text{ V}$ です。この範囲を超えて電圧を発生させると、大きな高調波歪みが発生します。出力電圧をこのコンプライアンス・レンジ内に維持するために負荷終端に注意する必要があります。この範囲を超えると、DAC 出力回路が壊れる危険性があります。

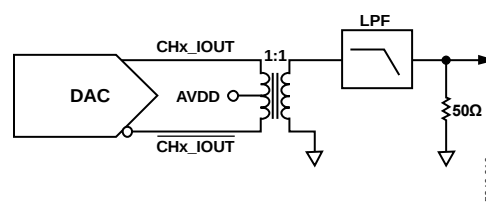


図 32. 一般的な DAC 出力終端構成

動作モード

多くのモードの組み合わせがあり(たとえば、シングル・トーン、変調、リニア・スイープ)、AD9959 はこれらを同時に実行することができます。ただし、モードによっては複数のデータ・ピンが必要となり、これが制約になります。モードの特定の組み合わせを同時に AD9959 で実行する場合、次のガイドラインが役立ちます。

チャンネル制約ガイドライン

- シングル・トーン・モード、2 レベル変調モード、リニア・スイープ・モードは、任意のチャンネルでイネーブルでき、同時に任意の組み合わせでイネーブルできます。
- 任意の組み合わせ内の任意の 1 または 2 チャンネルで、4 レベル変調を実行することができます。残りのチャンネルはシングル・トーン・モードにすることができます。
- 任意のチャンネルで 8 レベル変調を実行することができます。残りの 3 チャンネルはシングル・トーン・モードにすることができます。
- 任意のチャンネルで 16 レベル・ダイレクト変調を実行することができます。残りの 3 チャンネルはシングル・トーン・モードにすることができます。
- シングル・トーン・モードにある 4 チャンネルすべてで RU/RD 機能を使うことができます。RU/RD 機能については出力振幅制御モードのセクションを参照してください。
- RU/RD でプロファイル・ピン P2 とプロファイル・ピン P3 を使う場合は、任意の 2 チャンネルで、RU/RD による 2 レベル変調を行うか、または任意の 2 チャンネルで、RU/RD によるリニア周波数または位相スイープを実行することができます。他の 2 チャンネルはシングル・トーン・モードにすることができます。
- RU/RD でプロファイル・ピン P3 を使う場合は、任意のチャンネルを RU/RD による 8 レベル変調で使うことができます。その他の 3 チャンネルはシングル・トーン・モードにすることができます。
- RU/RD で SDIO_1、SDIO_2、SDIO_3 ピンを使う場合、任意の 1 または 2 チャンネル、任意の 3 チャンネル、または 4 チャンネルすべてで、RU/RD による 2 レベル変調を実行することができます。2 レベル変調に使わない任意のチャンネルはシングル・トーン・モードにすることができます。
- RU/RD で SDIO_1、SDIO_2、SDIO_3 ピンを使う場合、任意の 1 または 2 チャンネルで RU/RD による 4 レベル変調を実行することができます。4 レベル変調に使わない任意のチャンネルはシングル・トーン・モードにすることができます。
- RU/RD で、SDIO_1、SDIO_2、SDIO_3 ピンを使う場合は、任意のチャンネルで RU/RD による 16 レベル変調を実行することができます。他の 3 チャンネルはシングル・トーン・モードにすることができます。
- 振幅変調、リニア振幅スイープ・モード、RU/RD 機能は同時に動作できませんが、周波数と位相変調は RU/RD 機能として同時に動作できます。

電源

AVDD 電源ピンと DVDD 電源ピンは DDS コアの電源を供給し、アナログ回路をサポートします。これらのピンは公称 1.8 V の電源に接続します。

DVDD_I/O ピンは公称 3.3 V の電源に接続します。

CLK_MODE_SEL 入力以外のすべてのデジタル入力は 3.3 V ロジックです。CLK_MODE_SEL (ピン 24) はアナログ入力であるため、1.8 V ロジックで動作する必要があります。

シングル・トーン・モード

シングル・トーン・モードはマスター・リセット信号後のデフォルトの動作モードです。このモードでは、DDS 4 チャンネルすべてが周波数チューニング・ワード(レジスタ 0x04)と位相オフセット・ワード(レジスタ 0x05)に対して共通のアドレス・ロケーションを使います。チャンネル・イネーブル・ビットが、これらの共用アドレスに対応して設けてあります。このため、周波数チューニング・ワードおよび/または位相オフセット・ワードは、チャンネル間で独立に設定することができます(次のステップ 1～ステップ 5 参照)。チャンネル・イネーブル・ビットは、チャンネルのイネーブルまたはディスエーブルのために I/O 更新を必要としません。

チャンネル・セレクト・レジスタ(CSR、レジスタ 0x00)のチャンネル・イネーブル・ビットについては、レジスタ・マップとビットの説明のセクションを参照してください。CSR データ・バイトが書き込まれると直ちにチャンネル・イネーブル・ビットがイネーブルまたはディスエーブルされます。

アドレスの共用により、必要に応じて、チャンネルを同時に書き込むことができます。デフォルト状態では、すべてのチャンネル・イネーブル・ビットがイネーブルされます。このため、周波数チューニング・ワードおよび/または位相オフセット・ワードはすべてのチャンネルで共通ですが、シリアル I/O ポートを使って 1 回だけ書き込むことができます。

次の各ステップに、チャンネル・イネーブル・ビットを使ってさまざまな周波数チューニング・ワードおよび/または位相オフセット・ワードを各チャンネルに設定する基本プロトコルを示します。

1. DUT をパワーアップさせて、マスター・リセットを発行します。マスター・リセットにより、デバイス はシングル・トーン・モードとシリアル・プログラミング動作のシングルビット・モードになります(シリアル I/O 動作モードのセクション参照)。周波数チューニング・ワードと位相オフセット・ワードは、このポイントでデフォルトの 0 になります。
2. 1 つのチャンネル・イネーブル・ビット(レジスタ 0x00)のみをイネーブルし、他のチャンネル・イネーブル・ビットはディスエーブルします。
3. シリアル I/O ポートを使って、イネーブルされたチャンネルの周波数チューニング・ワード(レジスタ 0x04)および/または位相オフセット・ワード(レジスタ 0x05)を設定します。
4. 各チャンネルに対してステップ 2 とステップ 3 を繰り返します。
5. I/O 更新信号を送信します。I/O 更新の後、すべてのチャンネルは、それぞれ設定された周波数値および/または位相オフセット値を出力します。

シングル・トーン・モードパイプライン遅延の一致

シングル・トーン・モードでは、すべての周波数、位相、振幅変化に対して、DAC入力までのパイプライン遅延が一致します。これにより、このようなアプリケーションに対して3つの入力ポート間で異なるパイプライン遅延を扱う必要をなくしています。チャンネル・ファンクション・レジスタ(CFR、レジスタ 0x03)のマッチド・パイプ遅延アクティブ・ビットをアサートすると、この機能がイネーブルされます。この機能はシングル・トーン・モードでのみ使用可能です。

基準クロック・モード

AD9959 は、内部システム・クロックを発生する複数の基準クロック構成をサポートしています。高周波クロック・ソースから直接デバイスをクロック駆動する代わりに、内蔵 PLL による基準クロック通倍器を使ってシステム・クロックを発生することができます。内蔵発振器回路も、水晶をクロック入力ピンに接続することにより、低周波リファレンス信号の発生に使用することができます。これらの機能をイネーブルすると、デバイスは低周波クロック・ソースで動作し、DDS と DAC の高い更新レートを提供することができます。ただし、クロック通倍器を使うと、出力位相ノイズ特性が変わります。最適位相ノイズ性能を得るためには、高いスループートを持つクリーンで安定なクロックが必要です(図 17 と図 18 参照)。

PLL をイネーブルすると、4~20 倍の範囲で、整数ステップで基準クロック周波数の通倍が可能になります。PLL 通倍値は 5 ビットの乗算値で表されます。これらのビットはファンクション・レジスタ 1(FR1、レジスタ 0x01)、ビット[22:18]にあります(レジスタ・マップとビットの説明参照)。

FR1[22:18]に 4~20 の値(10 進)を設定すると、クロック通倍器がイネーブルされます。レジスタ内の整数値は倍率を表します。クロック通倍器をイネーブルしたときのシステム・クロック・レートは、基準クロック・レートと倍率の積に一致します。FR1[22:18]に 4 より小さい値または 20 より大きい値を設定すると、クロック通倍器がディスエーブルされて、倍率が 1 になります。

PLL クロック通倍器がイネーブルされるごとに、または通倍値が変更されるごとに、PLL がロックする時間(1 ms typ)が必要になります。

PLL の出力周波数は 100 MHz~500 MHz の周波数範囲に制限されていることに注意してください。ただし、必要に応じて使用する VCO ゲイン・コントロール・ビットが設けてあります。VCO ゲイン・コントロール・ビットは、周波数出力の 2 つの範囲(低/高)を指定します。VCO ゲイン・コントロール・ビットはデフォルトで低になっています(詳細については、表 1 を参照)。

表 4. クロックの設定

CLK_MODE_SEL, Pin 24	FR1[22:18] PLL Divider Ratio = M	Crystal Oscillator Enabled	System Clock (f_{SYSCLK})	Min/Max Freq. Range (MHz)
High = 1.8 V Logic	$4 \leq M \leq 20$	Yes	$f_{\text{SYSCLK}} = f_{\text{OSC}} \times M$	$100 < f_{\text{SYSCLK}} < 500$
High = 1.8 V Logic	$M < 4$ or $M > 20$	Yes	$f_{\text{SYSCLK}} = f_{\text{OSC}}$	$20 < f_{\text{SYSCLK}} < 30$
Low	$4 \leq M \leq 20$	No	$f_{\text{SYSCLK}} = f_{\text{REFCLK}} \times M$	$100 < f_{\text{SYSCLK}} < 500$
Low	$M < 4$ or $M > 20$	No	$f_{\text{SYSCLK}} = f_{\text{REFCLK}}$	$0 < f_{\text{SYSCLK}} < 500$

PLL 内のチャージ・ポンプ電流のデフォルトは 75 μA です。この設定値は、最適な位相ノイズ特性を実現します。チャージ・ポンプ電流を大きくすると、位相ノイズ性能が低下しますが、ロック時間が短くなり、ループ帯域幅が変わります。

内蔵発振器を水晶動作用にイネーブルするときは、CLK_MODE_SEL (ピン 24)をロジック・ハイにします(1.8 V ロジック)。内蔵発振器をイネーブルして、外付け水晶を REF_CLK 入力と REF_CLK 入力との間に接続すると、低周波基準クロックが発生します。水晶の周波数は、20 MHz~30 MHz の範囲である必要があります。

表 4 に、クロックの動作モードを示します。詳細については、表 7 を参照。

基準クロック入力回路

基準クロック入力回路には、ピン 24 (CLK_MODE_SEL) のロジック状態で制御される 2 つの動作モードがあります。1 つ目のモード(ロジック・ロー)は、入力バッファとして構成されます。このモードでは、内部 DC バイアスがあるため、基準クロックを入力に AC 結合する必要があります。このモードでは、差動構成またはシングルエンド構成をサポートしています。シングルエンド・モードを選択すると、相補基準クロック入力(ピン 22)を 0.1 μF のコンデンサで AVDD または AGND ヘデカップリングする必要があります。図 33~図 35 に、AD9959 の一般的な基準クロック構成の例を示します。

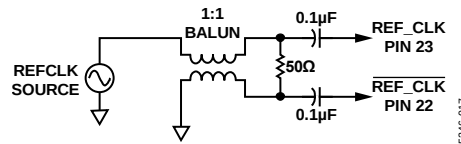


図 33. シングルエンド・ソースからの差動結合

基準クロック入力では、基準クロック・ソースとして LVPECL ドライバまたは PECL ドライバもサポートしています。

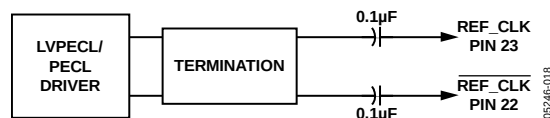


図 34. 差動クロック・ソースの接続

2 つ目の動作モード(ピン 24 = ロジック・ハイ = 1.8 V)では、水晶動作用の内蔵発振器を提供します。このモードでは、両クロック入力が水晶のピンを使って DC 結合され、バイパスされます。サポートする水晶周波数範囲は 20 MHz~30 MHz です。図 35 に、水晶を使用する構成を示します。

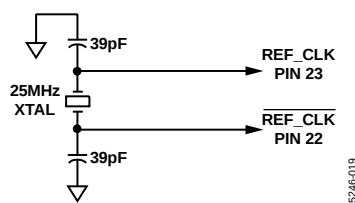


図 35. 推奨入力構成

スケーラブル DAC 基準電流制御モード

R_{SET} は、4 個のすべての DAC に共通です。このため、フル・スケール電流はデフォルトで同じ値になっています。このスケーラブルな DAC 基準電流を使って、各 DAC のフル・スケール電流を互いに独立に設定することができます。これはレジスタ・ビット CFR[9:8]を使って行います。表 5 に、独立なチャンネル制御に対して各 DAC を個別にスケールする方法を示します。このスケール機能は、バイナリ減衰を提供します。

表 5. DAC フル・スケール電流の制御

CFR[9:8]	LSB Current State
11	Full scale
01	Half scale
10	Quarter scale
00	Eighth scale

パワーダウン機能

AD9959 は、外部制御のパワーダウン機能すなわちハードウェア・パワーダウン機能、および従来の ADI DDS 製品で採用されていた、さらに一般的なソフトウェア・プログラマブルなパワーダウン・ビットをサポートしています。

ソフトウェア制御のパワーダウンを使うと、入力クロック回路、DAC、デジタル・ロジック (各チャンネルに対して) を独自のコントロール・ビット (CFR[7:6]) を使って個別にパワーダウンすることができます。外部制御のパワーダウン・ピン (PWR_DWN_CTL) がハイ・レベルのとき、これらのビットはアクティブになりません。PWR_DWN_CTL 入力ピンがハイ・レベルになると、FR1[6] ビットに基づいて AD9959 はパワーダウン・モードになります。PWR_DWN_CTL 入力ピンがロー・レベルになると、外部パワーダウン制御が非アクティブになります。

FR1[6] = 0 で、かつ PWR_DWN_CTL 入力ピンがハイ・レベルのとき、AD9959 は高速回復パワーダウン・モードになります。このモードでは、デジタル・ロジックと DAC デジタル・ロジックがパワーダウンします。DAC バイアス回路、PLL、発振器、クロック入力回路は、パワーダウンしません。

FR1[6] = 1 で、かつ PWR_DWN_CTL 入力ピンがハイ・レベルのとき、AD9959 はフル・パワーダウン・モードになります。このモードでは、すべての機能がパワーダウンします。これには、パワーアップに長い時間が必要な DAC と PLL が含まれます。PLL がバイパスされると、PLL はシャットダウンして消費電力を節約します。

PWR_DWN_CTL 入力ピンがハイ・レベルになると、個別パワーダウン・ビット (CFR[7:6] と FR1[7]) は無効になって使用されません。PWR_DWN_CTL 入力ピンがロー・レベルになると、個別パワーダウン・ビットによりパワーダウン動作モードが制御されます。

ロジック 1 が低消費電力モードを、ロジック 0 がパワーアップ・モードを、それぞれ指定するように、すべてのパワーダウン信号がデザインされていることに注意してください。

変調モード

AD9959 は、周波数、位相、振幅の 2/4/8/16 レベルの変調を行うことができます。変調は、プロファイル・ピンヘデータを入力することにより行われます。各チャンネルは個別に設定できますが、複数のチャンネルを同時に変調する機能は、プロファイル・ピンの数により制約されます。たとえば、16 レベル変調では、4 本のすべてのプロファイル・ピンを使います。このために、変調は 3 チャンネルに制限されます。

さらに、AD9959 には、変調 (FSK、PSK の場合) シーケンスの前、間、後に、出力振幅をランプ・アップまたはランプ・ダウンする機能があります。これは、10 ビット出力スケラを使って実行されます。RU/RD 機能が必要な場合、未使用のプロファイル・ピンまたは未使用の SDIO_1/SDIO_2/SDIO_3 ピンを設定して動作を開始することができます。RU/RD 機能の詳細については、出力振幅制御モードのセクションを参照してください。

変調モードでは、各チャンネルは変調のタイプ (周波数、位相、振幅) を決定する専用のコントロール・ビットのセットを持っています。各チャンネルには、16 個のプロファイル (チャンネル・ワード) レジスタがあるため柔軟性があります。レジスタ 0x0A ~ レジスタ 0x18 は、周波数、位相、振幅の各変調用プロファイル・レジスタです。レジスタ 0x04、レジスタ 0x05、レジスタ 0x06 は、それぞれ周波数、位相、振幅に専用のレジスタです。これらのレジスタは最初の周波数、位相オフセット、振幅ワードを格納します。

周波数変調は 32 ビットの分解能を、位相変調は 14 ビットの分解能を、振幅変調は 10 ビットの分解能を、それぞれ持っています。位相または振幅を変調する場合は、プロファイル (チャンネル・ワード) レジスタ内でワード値は MSB 詰めである必要があり、未使用ビットは無視されます。

変調モードでは、振幅周波數位相(AFP)セレクト・ビット(CFR[23:22])と変調レベル・ビット(FR1[9:8])を設定して、変調タイプとレベルを指定する必要があります(表 6 と表 7 参照)。ダイレクト変調モードでは、リニア・スイープ・イネーブル・ビットをロジック 0 に設定する必要があることに注意してください。

表 6. 変調タイプの設定

AFP Select (CFR[23:22])	Linear Sweep Enable (CFR[14])	Description
00	X	Modulation disabled
01	0	Amplitude Modulation
10	0	Frequency modulation
11	0	Phase modulation

表 7. 変調レベルの選択

Modulation Level (FR1[9:8])	Description
00	Two-level modulation
01	Four-level modulation
10	Eight-level modulation
11	16-level modulation

変調の場合、RU/RD 機能は、この機能に使用できるコントロール・ピン数により制限されます。SDIO_x ピンは RU/RD 専用で、変調には使えません。

表 8. RU/RD プロファイル・ピンの割り当て

Ramp-Up/Ramp-Down (RU/RD) (FR1[11:10])	Description
00	RU/RD disabled
01	Only Profile Pin P2 and Profile Pin P3 available for RU/RD operation
10	Only Profile Pin P3 available for RU/RD operation
11	Only SDIO_1, SDIO_2, and SDIO_3 pins available for RU/RD operation; this forces the serial I/O to be used only in 1-bit mode

プロファイル・ピンを RU/RD に使う場合、ランプ・アップはロジック 0 に、ランプ・ダウンはロジック 1 に、それぞれなります。

表 9. プロファイル・ピンのチャンネル割り当て

Profile Pin Configuration (PPC) (FR1[14:12])	P0	P1	P2	P3	Description
XXX	CH0	CH1	CH2	CH3	Two-level modulation, all channels, no RU/RD

表 10. プロファイル・ピンとチャンネルの割り当て

Profile Pin Configuration (PPC) (FR1[14:12])	P0	P1	P2	P3	Description
000	CH0	CH0	CH1	CH1	Four-level modulation on CH0 and CH1, no RU/RD
001	CH0	CH0	CH2	CH2	Four-level modulation on CH0 and CH2, no RU/RD
010	CH0	CH0	CH3	CH3	Four-level modulation on CH0 and CH3, no RU/RD
011	CH1	CH1	CH2	CH2	Four-level modulation on CH1 and CH2, no RU/RD
100	CH1	CH1	CH3	CH3	Four-level modulation on CH1 and CH3, no RU/RD
101	CH2	CH2	CH3	CH3	Four-level modulation on CH2 and CH3, no RU/RD

使用可能なチャンネル数と限定されたデータ・ピン数のため、プロファイル・ピンおよび/または SDIO_1、SDIO_2、SDIO_3 ピンを専用チャンネルに割り当てる必要があります。これらのピンの機能は、プロファイル・ピン設定(PPC)ビット(FR1[14:12])から制御されます。次の各変調の説明で、データ・ピンの割り当ても説明します。

2 レベル変調—RU/RD なし

変調レベル・ビット(FR1[9:8])には 00 (2 レベル)が設定されます。AFP セレクト・ビット(CFR[23:22])には変調タイプが設定されます。RU/RD ビット(FR1[11:10])とリニア・スイープ・イネーブル・ビット(CFR[14])はディスエーブルされます。表 9 に、プロファイル・ピンとチャンネルの割り当てを示します。

表 9 に示すように、プロファイル・ピン P0 だけがチャンネル 0 の変調に使用できます。周波数変調を選択し、かつプロファイル・ピン P0 がロジック 0 の場合、チャンネル周波数チューニング・ワード 0 (レジスタ 0x04)が選択されます。プロファイル・ピン P0 がロジック 1 の場合は、チャンネル・ワード 1 (レジスタ 0x0A)が選択されます。

4 レベル変調—RU/RD なし

変調レベル・ビットには 01 (4 レベル)が設定されます。AFP セレクト・ビット(CFR[23:22])には変調タイプが設定されます。RU/RD ビット(FR1[11:10])とリニア・スイープ・イネーブル・ビット(CFR[14])はディスエーブルされます。プロファイル・ピンが足りないため、使用されない他の 2 チャンネルの AFP セレクト・ビットには 00 が設定される必要があることに注意してください。表 10 に、プロファイル・ピンとチャンネルの割り当てを示します。

表 10 の条件の場合、プロファイル(チャンネル・ワード)レジスタの選択は、プロファイル・ピン[P0:P1]またはプロファイル・ピン[P2:P3]に指定された 2 ビット値に基づいて行われます。

たとえば、PPC = 010、かつ[P0:P1] = 11、かつ[P2:P3] = 01 の場合、チャンネル 0 のチャンネル・ワード 3 レジスタの値がチャンネル 0 に出力され、チャンネル 3 のチャンネル・ワード 1 レジスタの値がチャンネル 3 に出力されます。

8 レベル変調—RU/RD なし

変調レベル・ビット(FR1[9:8])には 10 (8 レベル)が設定されます。AFP セレクト・ビット(CFR[23:22])には非ゼロ値が設定されます。RU/RD ビット(FR1[11:10])とリニア・スweep・イネーブル・ビット(CFR[14])はディスエーブルされます。使用されない 3 チャンネルの AFP セレクト・ビットには 00 を設定する必要があります。表 11 に、プロファイル・ピンとチャンネルの割り当てを示します。

表 11 の条件の場合、チャンネル・ワード・レジスタの選択は、プロファイル・ピン[P0:P2]で指定された 3 ビット値に基づいて行われます。たとえば、PPC = X10 で[P0:P2] = 111 の場合、チャンネル 2 のチャンネル・ワード 7 レジスタの値がチャンネル 2 に出力されます。

16 レベル変調—RU/RD なし

変調レベル・ビット(FR1[9:8])には 11 (16 レベル)が設定されます。AFP セレクト・ビット(CFR[23:22])には変調タイプが設定されます。RU/RD ビット(FR1[11:10])とリニア・スweep・イネーブル・ビット(CFR[14])はディスエーブルされます。使用されない 3 チャンネルの AFP セレクト・ビットには 00 を設定する必要があります。表 12 に、プロファイル・ピンとチャンネルの割り当てを示します。

表 11.8 レベル変調でのプロファイル・ピンとチャンネルの割り当て(RU/RD なし)

Profile Pin Config.(PPC) (FR1[14:12])	P0	P1	P2	P3	Description
X00	CH0	CH0	CH0	X	Eight-level modulation on CH0, no RU/RD
X01	CH1	CH1	CH1	X	Eight-level modulation on CH1, no RU/RD
X10	CH2	CH2	CH2	X	Eight-level modulation on CH2, no RU/RD
X11	CH3	CH3	CH3	X	Eight-level modulation on CH3, no RU/RD

表 12.16 レベル変調でのプロファイル・ピンとチャンネルの割り当て(RU/RD なし)

Profile Pin Config.(PPC) (FR1[14:12])	P0	P1	P2	P3	Description
X00	CH0	CH0	CH0	CH0	16-level modulation on CH0, no RU/RD
X01	CH1	CH1	CH1	CH1	16-level modulation on CH1, no RU/RD
X10	CH2	CH2	CH2	CH2	16-level modulation on CH2, no RU/RD
X11	CH3	CH3	CH3	CH3	16-level modulation on CH3, no RU/RD

表 13.2 レベル変調でのプロファイル・ピンとチャンネルの割り当て(RU/RD をイネーブル)

Profile Pin Config.(PPC) (FR1[14:12])	P0	P1	P2	P3	Description
000	CH0	CH1	CH0 RU/RD	CH1 RU/RD	Two-level modulation on CH0 and CH1 with RU/RD
001	CH0	CH2	CH0 RU/RD	CH2 RU/RD	Two-level modulation on CH0 and CH2 with RU/RD
010	CH0	CH3	CH0 RU/RD	CH3 RU/RD	Two-level modulation on CH0 and CH3 with RU/RD
011	CH1	CH2	CH1 RU/RD	CH2 RU/RD	Two-level modulation on CH1 and CH2 with RU/RD
100	CH1	CH3	CH1 RU/RD	CH3 RU/RD	Two-level modulation on CH1 and CH3 with RU/RD
101	CH2	CH3	CH2 RU/RD	CH3 RU/RD	Two-level modulation on CH2 and CH3 with RU/RD

表 14.8 レベル変調でのプロファイル・ピンとチャンネルの割り当て(RU/RD をイネーブル)

Profile Pin Config.(PPC) (FR1[14:12])	P0	P1	P2	P3	Description
X00	CH0	CH0	CH0	CH0 RU/RD	Eight-level modulation on CH0 with RU/RD
X01	CH1	CH1	CH1	CH1 RU/RD	Eight-level modulation on CH1 with RU/RD
X10	CH2	CH2	CH2	CH2 RU/RD	Eight-level modulation on CH2 with RU/RD
X11	CH3	CH3	CH3	CH3 RU/RD	Eight-level modulation on CH3 with RU/RD

表 12 の条件の場合、プロファイル・レジスタの選択は、プロファイル・ピン[P0:P3]で指定された 4 ビット値に基づいて行われます。たとえば、PPC = X11 で[P0:P3] = 1110 の場合、チャンネル 3 のチャンネル・ワード 14 レジスタの値がチャンネル 3 に出力されます。

2 レベル変調—プロファイル・ピンを RU/RD に使用

RU/RD ビット= 01 のとき、プロファイル・ピン P2 とプロファイル・ピン P3 が RU/RD に使用することができます。変調レベル 2 のみがこのモードで使用可能です。使用可能なピン割り当てについては、表 13 を参照してください。

8 レベル変調—プロファイル・ピンを RU/RD に使用

RU/RD ビット= 10 のとき、プロファイル・ピン P3 が RU/RD に使用することができます。変調レベル 8 のみがこのモードで使用可能です。使用可能なピン割り当てについては、表 14 を参照してください。

SDIO_x ピンを RU/RD に使用する変調

RU/RD ビット=11 の場合、SDIO_1、SDIO_2、SDIO_3 の各ピンは、RU/RD に使用することができます。このモードでは、変調レベル 2、4、16 が使用可能です。シリアル I/O ポートは 1 ビット・シリアル・モードでのみ使用可能なことに注意してください。

2 レベル変調—SDIO ピンを RU/RD に使用

表 15.2 レベル変調でのプロファイル・ピンとチャンネルの割り当て(RU/RD をイネーブル)

Profile Pin Config.(PPC) (FR1[14:12])	P0	P1	P2	P3
XXX	CH0	CH1	CH2	CH3

表 15 の設定では、各プロファイル・ピンは特定のチャンネルに専用となります。この場合、SDIO_x ピンを RU/RD 機能に使うことができます(表 16 参照)。

4 レベル変調—SDIO ピンを RU/RD に使用

RU/RD ビット=11 の場合(SDIO_1 ピンと SDIO_2 ピンが RU/RD に使用可能)、変調レベルには 4 が設定されます。SDIO_x ピンの割り当てを含むピン割り当てについては、表 17 を参照してください。

表 16.RU/RD 動作に対するチャンネルと SDIO_1/SDIO_2/SDIO_3 ピンの割り当て

SDIO_1	SDIO_2	SDIO_3	Description
0	0	0	Triggers the ramp-up function for CH0
0	0	1	Triggers the ramp-down function for CH0
0	1	0	Triggers the ramp-up function for CH1
0	1	1	Triggers the ramp-down function for CH1
1	0	0	Triggers the ramp-up function for CH2
1	0	1	Triggers the ramp-down function for CH2
1	1	0	Triggers the ramp-up function for CH3
1	1	1	Triggers the ramp-down function for CH3

表 17.RU/RD 動作に対する SDIO_1/SDIO_2/SDIO_3 ピンの割り当てを含む、チャンネルとプロファイル・ピンの割り当て

Profile Pin Configuration (PPC) (FR1[14:12])	P0	P1	P2	P3	SDIO_1	SDIO_2	SDIO_3
000	CH0	CH0	CH1	CH1	CH0 RU/RD	CH1 RU/RD	—
001	CH0	CH0	CH2	CH2	CH0 RU/RD	CH2 RU/RD	—
010	CH0	CH0	CH3	CH3	CH0 RU/RD	CH3 RU/RD	—
011	CH1	CH1	CH2	CH2	CH1 RU/RD	CH2 RU/RD	—
100	CH1	CH1	CH3	CH3	CH1 RU/RD	CH3 RU/RD	—
101	CH2	CH2	CH3	CH3	CH2 RU/RD	CH3 RU/RD	—

表 18.RU/RD 動作に対する SDIO_1 ピンの割り当てを含む、チャンネルとプロファイル・ピンの割り当て

Profile Pin Configuration (PPC) (FR1[14:12])	P0	P1	P2	P3	SDIO_1	SDIO_2	SDIO_3
X00	CH0	CH0	CH0	CH0	CH0 RU/RD	—	—
X01	CH1	CH1	CH1	CH1	CH1 RU/RD	—	—
X10	CH2	CH2	CH2	CH2	CH2 RU/RD	—	—
X11	CH3	CH3	CH3	CH3	CH3 RU/RD	—	—

表 17 の設定の場合、プロファイル(チャンネル・ワード)レジスタの選択は、プロファイル・ピン[P1:P2]またはプロファイル・ピン[P3:P4]に指定された 2 ビット値に基づいて行われます。

たとえば、PPC = 011、かつ[P0:P1] = 11、かつ[P2:P3] = 01 の場合、チャンネル 1 のチャンネル・ワード 3 レジスタの値がチャンネル 1 に出力され、チャンネル 2 のチャンネル・ワード 1 レジスタの値がチャンネル 2 に出力されます。SDIO_1 と SDIO_2 が RU/RD 機能を提供します。

16 レベル変調—SDIO ピンを RU/RD に使用

RU/RD ビット=11 の場合(SDIO_1 ピンが RU/RD に使用可能)、変調レベルには 16 が設定されます。ピン割り当てについては、表 18 を参照してください。

表 18 の設定の場合、プロファイル(チャンネル・ワード)レジスタの選択は、プロファイル・ピン[P0:P3]で指定された 4 ビット値に基づいて行われます。たとえば、PPC = X10 で[P0:P3] = 1101 の場合、チャンネル 2 のチャンネル・ワード 13 レジスタの値がチャンネル 2 に出力されます。SDIO_1 ピンが RU/RD 機能を提供します。

リニア・スイープ・モード

リニア・スイープ・モードを使うと、開始点(S0)から終了点(E0)までの周波数、位相、または振幅のスイープを行うことができます。リニア・スイープ・モードの目的は、S0とE0の間での、ユーザ定義のより穏やかな変化により、大きな勾配を持つ瞬時的な変化を置き換えることにより、ダイレクト・スイッチ・モードに比べて広い帯域幅を提供することです。

リニア・スイープ・モードでは、S0がチャンネル・ワード0レジスタにロードされ(スイープ・タイプに応じて、S0はレジスタ0x04、レジスタ0x05、レジスタ0x06の3個のレジスタの内の1つで表されます)、E0は常にチャンネル・ワード1(レジスタ0x0A)にロードされます。E0が周波数スイープに設定された場合は、分解能は32ビットになります。位相スイープ分解能は14ビットに、振幅スイープ分解能は10ビットに、それぞれなります。位相または振幅スイープの場合、ワード値はチャンネル・ワード1レジスタ内でMSB詰めである必要があります。未使用ビットは無視されます。プロファイル・ピンを使って、周波数、位相、振幅のリニア・スイープの向きを制御します。すべてのチャンネルを個別にリニア・スイープに設定することができます。リニア・スイープ・モードでは、プロファイル・ピンP0がチャンネル0専用になり、プロファイル・ピンP1がチャンネル1専用になり、以後同様になります。

AD9959は、リニア・スイープの前後に出力振幅をランプ・アップまたはランプ・ダウン(RU/RD)させる機能を持っています(10ビット出力スケラを使用)。RU/RD機能が必要な場合、未使用のプロファイル・ピンまたは未使用のSDIO_1/SDIO_2/SDIO_3ピンをRU/RD動作用に設定することができます。

特定のチャンネルに対してリニア・スイープ・モードをイネーブルするときは、AFPセレクト・ビット(CFR[23:22])、変調レベル・ビット(FR1[9:8])、リニア・スイープ・イネーブル・ビット(CFR[14])を設定します。

AFPセレクト・ビットは、実行するリニア・スイープのタイプを指定します。その特定のチャンネルの変調レベル・ビットには00(2レベル)を設定する必要があります(表19と表20参照)。

表 19.スイープ動作のリニア・スイープ・パラメータ

AFP Select(CFR[23:22])	Linear Sweep Enable (CFR[14])	Description
00	1	N/A
01	1	Amplitude sweep
10	1	Frequency sweep
11	1	Phase sweep

表 20.変調レベルの割り当て

Modulation Level (FR1[9:8])	Description
00 (Required in Linear Sweep)	Two-level modulation
01	Four-level modulation
10	Eight-level modulation
11	16-level modulation

リニア・スイープ・スロープの設定

リニア・スイープのスロープは、S0とE0の間のステップ・サイズ(差分チューニング・ワード)と各ステップでの所要時間(スイープ・ランプ・レート・ワード)により設定されます。差分チューニング・ワードの分解能は、周波数に対して32ビットで、位相に対して14ビット、振幅に対して10ビットです。差分ランプ・レート・ワードの分解能は8ビットです。

リニア・スイープでは、上昇差分ワード(RDW、レジスタ0x08)と上昇スイープ・ランプ・レート・ワード(RSRR、レジスタ0x07)が各チャンネルに割り当てられます。これらの設定は、E0へ向かってスイープアップするときに使われます。下降差分ワード(FDW、レジスタ0x09)と下降スイープ・ランプ・レート(FSRR、レジスタ0x07)は、S0までのスイープダウンに使用されます。図36に、リニア・スイープアップした後にスイープダウンする例を示します。リニア・スイープ非ドウエル・ビットがディスエーブルされていることに注意してください。その他の場合には、スイープ・アキュムレータがE0に到達すると、0に戻ります。

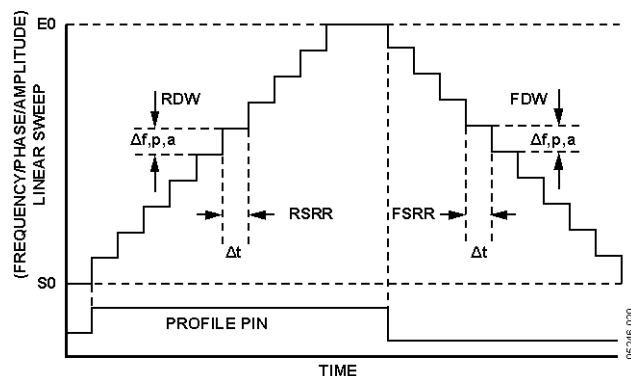


図 36.リニア・スイープ・パラメータ

S0とE0の間の非直線的な変化に対しては、差分チューニング・ワードとランプ・レート・ワードを変化中に再設定して、所望の応答を発生させることができます。

差分周波数、差分位相、または差分振幅に対するRDWまたはFDWのステップ・サイズを計算する式は次のようになります。

$$\Delta f = \left(\frac{RDW}{2^{32}} \right) \times \text{SYSCLK (Hz)}$$

$$\Delta \Phi = \left(\frac{RDW}{2^{14}} \right) \times 360^\circ$$

$$\Delta a = \left(\frac{RDW}{2^{10}} \right) \times 1024 \text{ (DAC フル・スケール電流)}$$

RSRRまたはFSRRから差分時間を計算する式は次のようになります。

$$t = (RSRR) \times 1 / \text{SYNC_CLK}$$

500 MSPS 動作(SYNC_CLK = 125 MHz)で、ステップ間の最大間隔は $1/125 \text{ MHz} \times 256 = 2.048 \mu\text{s}$ になります。最小間隔は、 $(1/125 \text{ MHz}) \times 1 = 8.0 \text{ ns}$ です。

スイープ・ランプ・レート・ブロック(タイマ)は、ロードされた値から1へ連続カウントダウンするローダブル8ビット・ダウン・カウンタから構成されています。ランプ・レート・タイマが1になると、正しいランプ・レート値がロードされて、カウントダウンが1に向かって再開されます。このロードおよびカウントダウン動作は、タイマがイネーブルされているかぎり続きますが、次の2つの方法のいずれかによって、1に到達する前にカウンタを再ロードすることができます。

- 方法1はプロファイル・ピンを変更する方法です。プロファイル・ピンがロジック0からロジック1へ変わるとき、上昇スイープ・ランプ・レート(RSRR)レジスタ値がランプ・レート・タイマにロードされ、カウント・ダウンが通常通りに進みます。プロファイル・ピンがロジック1からロジック0へ変わるとき、下降スイープ・ランプ・レート(FSRR)レジスタ値がランプ・レート・タイマにロードされ、カウント・ダウンが通常通りに進みます。
- 方法2はCFR[14]ビットをセットしてI/O更新を発行する方法です。スイープがイネーブルされ、CFR[14]がセットされると、ランプ・レート・タイマはプロファイル・ピンで指定された値をロードします。プロファイル・ピンがハイ・レベルの場合、ランプ・レート・タイマはRSRRをロードします。プロファイル・ピンがロー・レベルの場合、ランプ・レート・タイマはFSRRをロードします。

周波数リニア・スイープの例: AFP ビット = 10

次の例では、変調レベル・ビット(FR1[9:8])=00、リニア・スイープ・イネーブル・ビット(CFR[14])=1、リニア・スイープ非ドウェル・ビット(CFR[15])=0です。

リニア・スイープ・モードでは、プロファイル・ピンがロー・レベルからハイ・レベルへ変化するとき、RDWがスイープ・アキュムレータに入力され、RSRRレジスタ値がスイープ・レート・タイマにロードされます。

出力がCW1レジスタ値に一致するまで、RDWは上昇スイープ・ランプ・レート(RSRR)ビットで指定されるレートでアキュムレートされます。スイープが完了すると、出力は一定の周波数に維持されます。

プロファイル・ピンがハイ・レベルからロー・レベルへ変化するとき、FDWがスイープ・アキュムレータに入力され、FSRRレジスタ値がスイープ・レート・タイマにロードされます。

出力がCFTW0レジスタ(レジスタ0x04)値に一致するまで、FDWは下降スイープ・ランプ・レート(FSRR)で指定されるレートでアキュムレートされます。スイープが完了すると、出力は一定の周波数に維持されます。

リニア・スイープ・ブロック図については、図37を参照してください。図39に、非ドウェル・モードをデイスエーブルした周波数スイープを示します。このモードでは、出力はプロファイル・ピンの状態に従います。位相または振幅のスイープも同じ方法で動作します。

リニア・スイープ非ドウェル・モード

リニア・スイープ非ドウェル・ビットがセットされると(CFR[15])、上昇スイープがドウェル・リニア・スイープ・モードと同じ方法で開始されます。すなわち、プロファイル入力ピンでロジック1が検出されると、上昇スイープ動作が開始されます。スイープアップは、上昇スイープ・ランプ・レートで設定されたレートで、かつ上昇差分ワードで設定された分解能で、ピン値に一致するまで続きます。ピン値に到達すると、出力は直ちに開始点に戻り、プロファイル・ピンでロジック1が検出されるまで、その状態を維持します。

図38に、非ドウェル・モードの例を示します。Aとラベル表示された点はプロファイル・ピンで立ち上がりエッジが検出された位置を示し、Bとラベル表示された点は出力がE0に到達しS0へ戻ることをAD9959が決定した位置を示します。下降スイープ・ランプ・レート・ビット(LSRR[15:8])と下降差分ワード・ビット(FDW[31:0])はこのモードで使用されません。

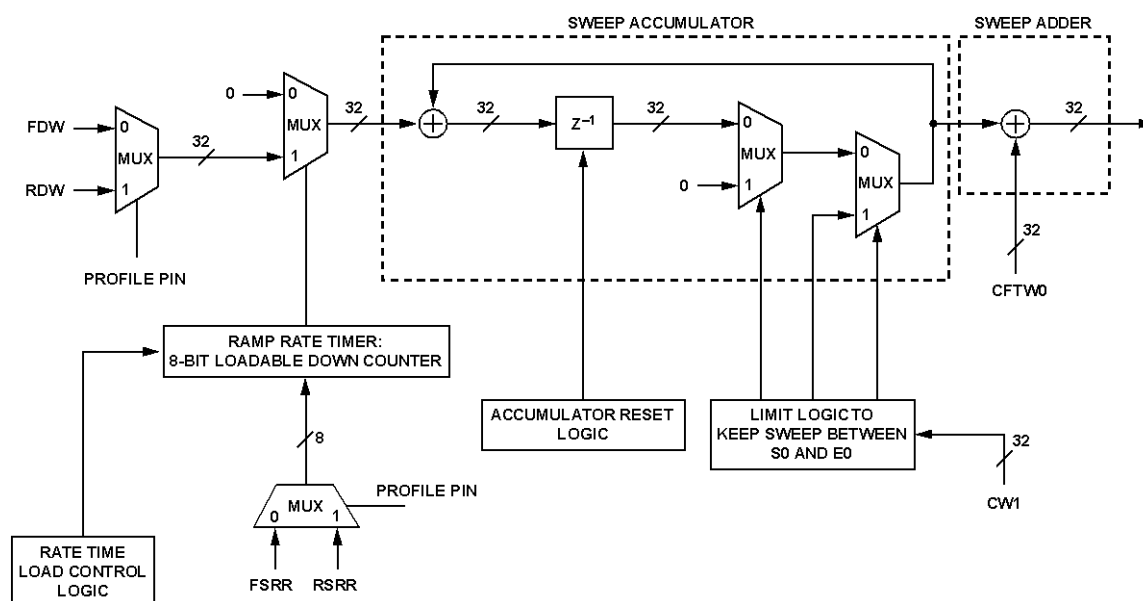


図 37. リニア・スイープのブロック図

05246-021

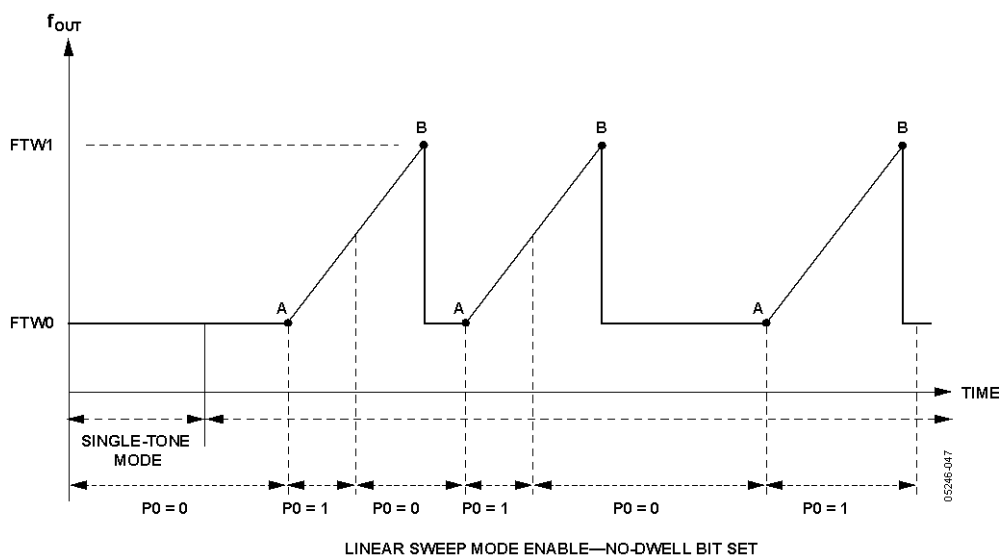


図 38. リニア・スイープ・モード(非ドウェルをイネーブル)

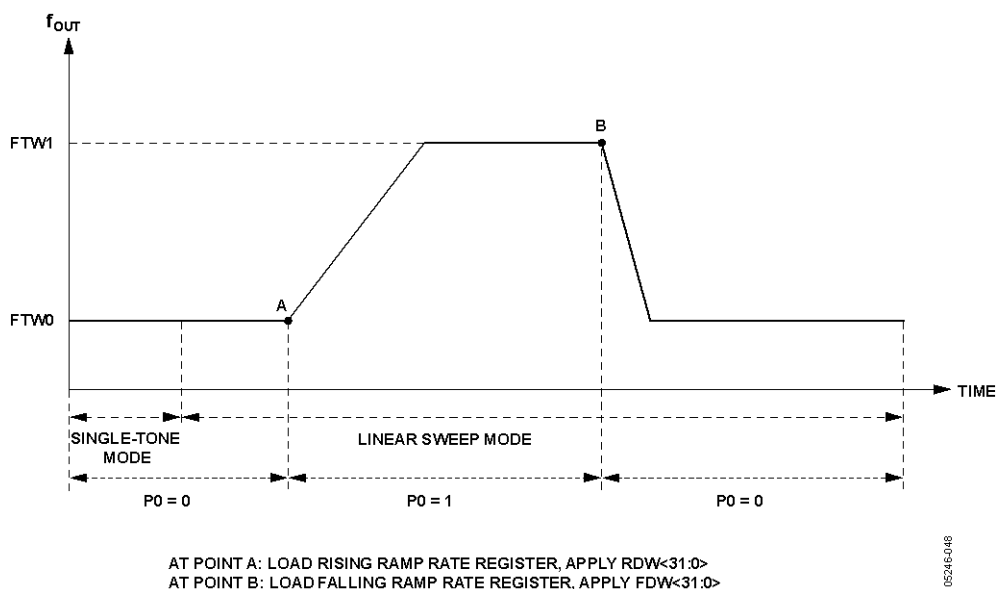


図 39. リニア・スイープ・モード(非ドウェルをディスエーブル)

スイープおよび位相アキュムレータのクリア機能

AD9959 には 2 種類のクリア機能があります。1 つ目は、スイープ・ロジックおよび位相アキュムレータの連続ゼロ機能です(クリアおよびホールド)。2 つ目は、クリアおよびリリースすなわち自動ゼロ機能です。CFR[4]が、自動クリア・スイープ・アキュムレータ・ビットで、CFR[2]が自動クリア位相アキュムレータ・ビットです。連続クリア・ビットは CFR 内にあり、ここで CFR[3]がスイープ・アキュムレータをクリアし、CFR[1]が位相アキュムレータをクリアします。

連続クリア・ビット

連続クリア・ビットは、スタティックな制御信号であり、アクティブ・ハイのとき、ビットがアクティブの間、それぞれのアキュムレータを 0 に維持します。ビットがロー・レベルになると、それぞれのアキュムレータが動作可能になります。

クリアおよびリリース・ビット

自動クリア・スイープ・アキュムレータ・ビットがセットされると、I/O 更新時またはプロファイル入力ピンに変化があるとき、スイープ・アキュムレータがクリアされてリリースされます。自動クリア位相アキュムレータ・ビットがセットされると、I/O 更新時またはプロファイル・ピンに変化があるとき、位相アキュムレータがクリアされてリリースされます。自動クリア機能は後続の各 I/O 更新またはプロファイル・ピンの変化ごとに繰り返され、シリアル・ポート経由でクリアおよびリリース・ビットがリセットされるまで続きます。

出力振幅制御モード

10 ビットのスケール・ファクタ(通倍器)により、DAC からのオン/オフ・エミッションのランプ・アップとランプ・ダウン(RU/RD)時間が制御されます。この機能はデジタル・データのバースト送信で、短い突然のデータ・バーストのスペクトルへの悪影響を軽減します。振幅通倍器イネーブル・ビット(ACR[12] = 0)をクリアして、通倍器をバイパスすることができます。

自動および手動の RU/RD モードもサポートしています。自動モードでは、ACR (レジスタ 0x06)で指定されるレートでゼロ・スケールからフル・スケールまでの(10 ビット)リニア・ランプを発生します。ランプの開始と向きは、プロファイル・ピンまたは SDIO_1/SDIO_2/SDIO_3 ピンから制御することができます。

手動モードを使うと、ACR (レジスタ 0x06)に振幅スケール・ファクタ値を手動で書き込むことにより、出力振幅を直接制御することができます。手動モードは、ACR[12] = 1 と ACR[11] = 0 の設定によりイネーブルされます。

自動 RU/RD モード動作

自動 RU/RD モードは、ACR[12]と ACR[11]を共にセットするとアクティブになります。自動 RU/RD をイネーブルすると、スケール・ファクタが内部で発生されて、出力をスケールングするために通倍器入力ポートに使用されます。スケール・ファクタは 10 ビット・カウンタからの出力であり、このカウンタは、8 ビット出力ランプ・レート・レジスタ値により指定されるレートでインクリメント/デクリメントされます。スケール・ファクタは外部ピンがハイ・レベルのときインクリメントされ、このピンがロー・レベルのときデクリメントされます。内部で発生されるスケール・ファクタのステップ・サイズは、ACR[15:14]により制御されます。表 21 に、内部発生スケール・ファクタのインクリメント/デクリメント・ステップ・サイズと ACR[15:14]の対応を示します。

表 21.インクリメント/デクリメント・ステップ・サイズの割り当て

Increment/Decrement Step Size (ACR [15:14])	Size
00	1
01	2
10	4
11	8

このモードの特別な機能は、許容最大出力振幅が、振幅スケール・ファクタ・レジスタ値(ACR[9:0])により制限されることです。この機能を使うと、フル・スケールより小さい値へランプすることができます。

ランプ・レート・タイマ

ランプ・レート・タイマはローダブル・ダウンカウンタであり、このカウンタは内部スケール・ファクタを発生する 10 ビット・カウンタに対するクロック信号を発生します。ランプ・レート・タイマには、カウンタが 1 (10 進)に到達するごとに LSRR 値(レジスタ 0x07)がロードされます。このロードとカウントダウン動作は、カウント 1 に到達する前にタイマがロードされないかぎり、タイマがイネーブルされている間続きます。

I/O_UPDATE 時に ARR をロード・ビット(ACR[10])がセットされると、I/O 更新時、プロファイル入力の変化時、または値が 1 に到達したときにランプ・レート・タイマがロードされます。ランプ・タイマはカウントが 1 に到達する前に次の 3 つの方法でロードすることができます。

- 1 つ目の方法では、プロファイル・ピンまたは SDIO_1/ SDIO_2/SDIO_3 ピンを変化させます。制御信号入力ピンの状態が変わると、ACR 値がランプ・レート・タイマにロードされ、通常のカウントダウンが続きます。
- 2 つ目の方法では、"I/O_UPDATE で ARR をロード・ビット(ACR[10])"をセットして、I/O 更新を発行します。
- 3 つ目の方法では、非アクティブ自動 RU/RD モードからアクティブ自動 RU/RD モードへ切り替えます。

RU/RD ピンとチャンネルの対応

4 チャンネルすべてがシングル・トーン・モードのとき、プロファイル・ピンが RU/RD 動作に使用されます。

リニア・スイープと RU/RD がアクティブのときは、SDIO_1/ SDIO_2/SDIO_3 ピンが RU/RD 動作に使用されます。

変調モードの場合、ピン割り当てについては変調モードのセクションを参照してください。

表 22.RU/RD 動作に対するプロファイル・ピンの割り当て

Profile Pin	RU/RD Operation
P0	CH0
P1	CH1
P2	CH2
P3	CH3

表 23.RU/RD 動作に対する SDIO_1/SDIO_2/SDIO_3 ピンのチャンネル割り当て

Linear Sweep and RU/RD Modes Enabled Simultaneously	SDIO_1	SDIO_2	SDIO_3	Ramp-Up/Ramp-Down Control Signal Assignment
Enable for CH0	0	0	0	Ramp-up function for CH0
Enable for CH0	0	0	1	Ramp-down function for CH0
Enable for CH1	0	1	0	Ramp-up function for CH1
Enable for CH1	0	1	1	Ramp-down function for CH1
Enable for CH2	1	0	0	Ramp-up function for CH2
Enable for CH2	1	0	1	Ramp-down function for CH2
Enable for CH3	1	1	0	Ramp-up function for CH3
Enable for CH3	1	1	1	Ramp-down function for CH3

複数の AD9959 デバイスの同期化

AD9959 では、複数の AD9959 デバイスを容易に同期化することができます。パワーアップ時、SYNC_CLK の位相を複数のデバイス間でオフセットさせることができます。オフセットを補正して SYNC_CLK エッジを揃えるために、SYNC_CLK エッジを同期化する 3 つの方法(1 つは自動モード、2 つは手動モード)があります。これらのモードは、複数のデバイスの内部ステート・マシンを SYNC_CLK エッジが揃った既知状態にします。

さらに、同時に I/O_UPDATE を複数デバイスに送信して、同期を維持する必要があります。デバイス間で REF_CLK 位相に不一致があると、SYNC_CLK エッジに対応する位相不一致が発生します。

自動モード同期

自動モードでは、複数デバイスの同期は、マスター・デバイスの SYNC_OUT ピンをスレーブ・デバイスの SYNC_IN ピンに接続することにより実現されます。デバイスは、プログラミング・ビットを使って、マスターまたはスレーブに設定され、シリアル・ポートからアクセスされます。

自動モードで複数の AD9959 デバイスを同期化する設定を、アプリケーション回路のセクションに示します。この設定では、AD99510 が同時に REF_CLK 信号と SYNC_OUT 信号をすべてのデバイスへ出力します。

動作

最初のステップでは、マスターとスレーブ・デバイスをそれぞれの役割に設定して、自動同期イネーブル・ビットを設定します((FR2[7])=1)。ファンクション・レジスタ 2 の複数デバイス同期マスター・イネーブル・ビットを書き込むと((FR2[6])=1)、マスター・デバイスがイネーブルされます。これにより、マスター・デバイスの SYNC_OUT からパルスが出力されます。このパルスの幅はシステム・クロック周期に一致し、周波数はシステム・クロック周波数の 1/4 です。FR2[6]=0 を書き込むと、デバイスはスレーブとしてイネーブルされます。

自動同期モードでは、スレーブ・デバイスがマスター・デバイスからの SYNC_OUT パルスをスレーブ・デバイスの SYNC_IN でサンプルし、すべてのステート・マシンの比較は自動同期回路により行われます。スレーブ・デバイスのステート・マシンがマスターと異なる場合は、スレーブ・デバイスのステート・マシンがシステム・クロックの 1 サイクル間停止します。この手順により、SYNC_CLK の 3 周期以内でスレーブ・デバイスが同期します。

SYNC_OUT と SYNC_IN との間の遅延

SYNC_OUT と SYNC_IN との間の遅延がシステム・クロックの 1 周期を超えると、システム・クロック・オフセット・ビット(FR2[1:0])を使って補正します。これらのビットのデフォルト状態は 00 であり、これはマスターの SYNC_OUT とスレーブの SYNC_IN がシステム・クロックの 1 周期より短い伝搬遅延を持つことを意味します。伝搬時間がシステム・クロックの 1 周期より大きい場合、時間を測定して適切なオフセットを設定する必要があります。表 24 に、システム・クロック・オフセット値に必要な遅延を示します。

表 24. システム・クロック・オフセット(遅延)の割り当て

System Clock Offset (FR2[1:0])	SYNC_OUT/SYNC_IN Propagation Delay
00	0 ≤ delay ≤ 1
01	1 ≤ delay ≤ 2
10	2 ≤ delay ≤ 3
11	3 ≤ delay ≤ 4

自動同期ステータス・ビット

スレーブ・デバイスが同期外れになると、同期ステータス・ビットがハイ・レベルに設定されます。複数デバイス同期ステータス・ビット(FR2[5])は、シリアル・ポートから読み出すことができます。このビットは読み出すと、自動クリアされます。

同期ルーチンは、FR2[5]の状態に無関係に動作を続けます。複数デバイス同期マスク・ビット(FR2[4])にロジック 1 を書き込んで、FR2[5]をマスクすることができます。FR2[5]がマスクされると、ロー・レベルに維持されます。

手動ソフトウェア・モード同期

デバイスの手動ソフトウェア同期ビット(FR1[0])にロジック 1 を設定すると、手動ソフトウェア・モードがイネーブルされます。このモードでは、手動ソフトウェア同期ビットにロジック 0 を書き込む I/O 更新により、クロック・ジェネレータのステート・マシンがシステム・クロックの 1 サイクル間停止させられます。クロック発生 of the ステート・マシンを 1 サイクルだけ停止させると、デバイス間の SYNC_CLK の位相関係がシステム・クロックの 1 周期(90°)だけ変わります。

この手順をデバイスの SYNC_CLK 信号が同相になるまで繰り返す必要があることに注意してください。

SYNC_IN 入力は、内部プルアップを持っているためフローティングのままにすることができます。SYNC_OUT ピンは使用しません。

マスター・デバイスとスレーブ・デバイスの SYNC_CLK 信号が同相になったとき同期が完了します。

手動ハードウェア・モード同期

デバイスの手動ハードウェア同期ビット(FR1[1])にロジック 1 を設定すると、手動ハードウェア・モードがイネーブルされます。手動ハードウェア同期モードでは、SYNC_CLK は SYNC_IN 入力で立ち上がりエッジが検出されるごとにシステム・クロックの 1 サイクル間、停止します。SYNC_CLK ステート・マシンを 1 サイクルだけ停止させると、デバイス間の SYNC_CLK の位相関係がシステム・クロックの 1 周期(90°)だけ変わります。

この手順をデバイスの SYNC_CLK 信号が同相になるまで繰り返す必要があることに注意してください。

SYNC_IN 入力は、内部プルアップを持っているためフローティングのままにすることができます。SYNC_OUT ピンは使用しません。

マスター・デバイスとスレーブ・デバイスの SYNC_CLK 信号が同相になったとき同期が完了します。

I/O_UPDATE、SYNC_CLK、システム・クロックの関係

I/O_UPDATE と SYNC_CLK の組み合わせは、シリアル I/O バッファからデバイス内のアクティブ・レジスタへデータを転送するときに使います。バッファ内のデータは非アクティブです。

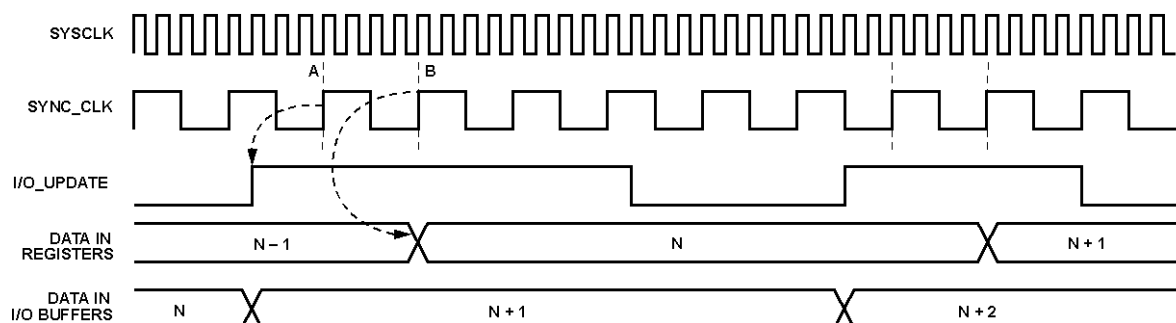
SYNC_CLK は、立ち上がりエッジがアクティブの信号です。システム・クロック周波数の 4 分周により発生されます。外部発生の SYNC_CLK を使って、外部ハードウェアを AD9959 の内部クロックに同期化することができます。

I/O_UPDATE により、バッファ転送が開始されます。この信号は、SYNC_CLK に対して同期または非同期で送信することができます。これらの信号間のセットアップ・タイムを満たす場合、DAC 出力まで一定の遅延(パイプライン)が存在しま

す。たとえば、SPI ポートを経由して位相オフセットに対して変更を繰り返すことが必要な場合、DAC 出力までのこれらの変更の遅延は一定になります。その他の場合は、SYNC_CLK の 1 周期の時間不確定性が発生します。

I/O_UPDATE は、SYNC_CLK によりオーバーサンプルされます。このため、I/O_UPDATE は、SYNC_CLK の 1 周期より大きい最小パルス幅を持つ必要があります。

図 40 のタイミング図に、バッファ内のデータがアクティブ・レジスタへ転送されるタイミングを示します。



THE DEVICE REGISTERS AN I/O UPDATE AT POINT A. THE DATA IS TRANSFERRED FROM THE ASYNCHRONOUSLY LOADED I/O BUFFERS AT POINT B.

図 40. I/O バッファからアクティブ・レジスタへデータを転送する I/O_UPDATE

シリアル I/O ポート

概要

AD9959 のシリアル I/O ポートでは、優れた柔軟性を提供する多くの構成を提供します。シリアル I/O ポートは、アナログ・デバイセズの初期 DDS 製品で採用された SPI 動作と実質的に同じである SPI 互換動作モードを提供します。シリアル I/O 動作の 4 つのプログラマブルなモードを可能にする 4 本のデータ・ピン(SDIO_0/SDIO_1/SDIO_2/SDIO_3)により柔軟性が提供されています。

4 本の内の 3 本のデータ・ピン(SDIO_1、SDIO_2、SDIO_3)は、シリアル I/O ポート動作以外の機能に使うことができます。これらのピンは、10 ビット振幅出力スケーラのランプ・アップまたはランプ・ダウン(RU/RD)の開始に使うこともできます。さらに、SDIO_3 を使って SYNC_I/O 機能を提供することもできます。この SYNC_I/O 機能は、正しいシーケンスから外れたときにシリアル I/O ポート・コントローラを再同期させます。

シリアル I/O ポート SCLK の最大速度は 200 MHz ですが、4 本のデータ・ピン(SDIO_0、SDIO_1、SDIO_2、SDIO_3)を使って、さらにデータ・スループットを大きくすることができます。すべての SDIO ピン(SDIO_0、SDIO_1、SDIO_2、SDIO_3)を使ったときの最大データ・スループットは 800 Mbps です。

すべてのチャンネルがレジスタ 0x03～レジスタ 0x18 を共用していることに注意してください。これは、レジスタ・マップとビットの説明のセクションで説明します。このアドレスの共用により、DDS 4 チャンネルすべてを同時に書き込むことができます。たとえば、4 チャンネルすべてに対して共通の周波数チューニング・ワードが必要な場合、シリアル I/O ポートを使って 4 チャンネルすべてを 1 回で書き込むことができます。これはデフォルトの動作モードになっています(すべてのチャンネルをイネーブル)。各チャンネルを独立にイネーブルするときは、チャンネル・セレクト・レジスタ(CSR、レジスタ 0x00)の 4 個のチャンネル・イネーブル・ビットを使う必要があります。

チャンネルの独立性を提供するために、チャンネル・イネーブル・ビットがアクセスできる 4 セットすなわち 4 コピーのアドレス(レジスタ 0x03～レジスタ 0x18)があります。共通または相互に独立なチャンネルの設定の詳細については、コントロール・レジスタの説明のセクションを参照してください。レジスタ 0x03～レジスタ 0x18 を読み出すときは、1 回に 1 個のチャンネル・イネーブル・ビットをイネーブルする必要があります。

AD9959 のシリアル動作は、バイト・レベルではなくレジスタ・レベルで発生します。すなわち、コントローラはレジスタ・アドレス内に格納されているすべてのバイトがアクセスされるものと見なします。SYNC_I/O 機能は I/O 動作を中止するときに使うことができるため、全バイト数より小さいバイト数をアクセスすることができます。この機能を使って、アドレス指定されたレジスタの一部を書き込むことができます。完了したバイトだけが影響を受けることに注意してください。

シリアル通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、AD9959 に対する命令バイトが書き込まれます。命令バイトの各ビットは、SCLK の各対応する立ち上がりエッジでレジスタに入力されます。命令バイトによって、到着するデータ転送が書き込み動作または読み出し動作のいずれであるかが指定されます。命令バイトには、アドレス・レジスタのシリアル・アドレスが含まれます。

I/O サイクルのフェーズ 2 は、シリアル・ポート・コントローラとシリアル・ポート・バッファとの間の実際のデータ転送(書き込み/読み出し)で構成されます。通信サイクルのこのフェーズで転送されるバイト数は、アクセス対象レジスタの関数です。データ転送と命令バイトに必要な SCLK 立ち上がりエッジの実際数は、レジスタ内のバイト数とシリアル I/O 動作モードに依存します。

たとえば、3 バイト幅のコントロール・ファンクション・レジスタ 1(FR1)をアクセスする場合、フェーズ 2 での I/O サイクル数は 3 バイトの転送に必要な数になります。命令バイトによるすべてのデータ・バイトを転送した後に、レジスタに対する通信サイクルが完了します。

通信サイクルの終わりで、AD9959 のシリアル・ポート・コントローラは、次のセットの SCLK 立ち上がりエッジは次の通信サイクルの命令バイトであるものと予測します。AD9959 へのすべてのデータ書き込みは、SCLK の立ち上がりエッジでレジスタに入力されます。データは SCLK の立ち下がりエッジで読み出されます(図 43～図 49 参照)。図 41 と図 42 のタイミング仕様を表 25 に示します。

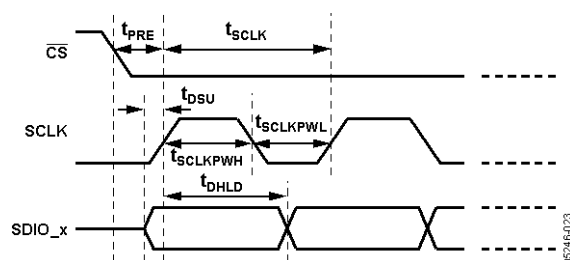


図 41.シリアル I/O ポートのセットアップとホールド・タイミング

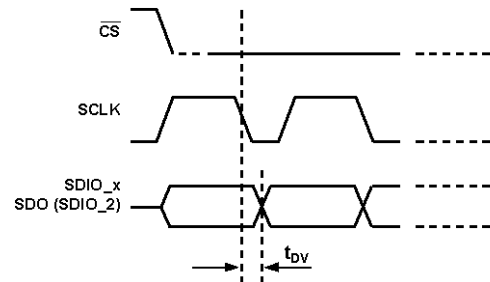


図 42.シリアル I/O ポートのデータ読み出しのタイミング図

表 25.タイミング仕様

Parameter	Min	Unit	Description
t_{PRE}	1.0	ns min	CS setup time
t_{SCLK}	5.0	ns min	Period of serial data clock
t_{DSU}	2.2	ns min	Serial data setup time
$t_{SCLKPWH}$	2.2	ns min	Serial data clock pulse width high
$t_{SCLKPWL}$	1.6	ns min	Serial data clock pulse width low
t_{DHL}	0	ns min	Serial data hold time
t_{DV}	12	ns min	Data valid time

通信サイクルの各セットでは、I/O 更新の発行は不要です。I/O 更新によって、I/O ポート・バッファからアクティ

ブ・レジスタヘデータが転送されます。I/O 更新は各通信サイクルに対して送信することができます。あるいは、すべてのシリアル動作が完了したとき送信することができます。ただし、I/O 更新が送信されるまで、データはアクティブになりません。チャンネル・セレクト・レジスタ(CSR)のチャンネル・イネーブル・ビットは例外です。これらのビットは、I/O 更新のイネーブルを必要としません。

命令バイトの説明

命令バイトは次に示す情報から構成されています。

MSB							LSB
D7	D6	D5	D4	D3	D2	D1	D0
R/W	x ¹	x ¹	A4	A3	A2	A1	A0

¹x = don't care ビット。

命令バイトの D7(R/W)は、命令バイトの書き込み後に、読出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック・ハイ・レベルは読み出し動作を指定します。ロジック・ロー・レベルは書き込み動作を指定します。

命令バイトのビット D4～ビット D0 は、通信サイクルのデータ転送部分でアクセスするレジスタを指定します。内部バイト・アドレスは AD9959 によって発生されます。

シリアル I/O ポートのピン説明

シリアル・データ・クロック(SCLK)

シリアル・クロック・ピンは、AD9959 の内部ステート・マシンに入出力するデータの同期に使われます。SCLK の最大トグル周波数は 200 MHz です。

チップ・セレクト(CS)

チップ・セレクト・ピンを使うと、複数の AD9959 デバイスを同じセットのシリアル通信ラインに接続することができます。チップ・セレクトは、アクティブ・ローのイネーブル・ピンです。CS がハイ・レベルのとき、SDIO_x 入力が高インピーダンス状態になります。任意の通信サイクルで CS がハイ・レベルに駆動されると、そのサイクルは CS が再度ロー・レベルになるまで中断されます。SCLK の制御を維持するシステムでは、CS ピンをロー・レベルに固定することができます。

シリアル・データ I/O (SDIO_0、SDIO_1、SDIO_3)

4 本の SDIO ピンの内 SDIO_0 ピンだけが専用 SDIO ピンです。SDIO_1、SDIO_2、SDIO_3 は、出力振幅のランプ・アップ/ランプ・ダウンにも使うことができます。チャンネル・セレクト・レジスタ(CSR、レジスタ 0x00)のビット[2:1]が、これらのピン構成を制御します。詳細については、シリアル I/O 動作モードを参照してください。

シリアル I/O ポート機能の説明

シリアル・データ出力(SDO)

SDO 機能はシングルビット(3 線式)モードでのみ使用できます。SDO モードでは、データの送受信に別々のラインを使うプロトコルでは、SDIO_2 ピンからデータが読み出されます(ピン設定オプションについては、表 26 参照)。チャンネル・

セレクト・レジスタ(CSR、レジスタ 0x00)のビット[2:1]が、このピン構成を制御します。SDO 機能は 2 ビットまたは 4 ビットのシリアル I/O モードでは使用できません。

SYNC_I/O

SYNC_I/O 機能は、1 ビット・モードと 2 ビット・モードで使用できます。SDIO_3 は、この機能がアクティブのとき SYNC_I/O ピンとして機能します。ビット CSR[2:1]は、このピンの構成を制御します。その他の場合は、SYNC_I/O 機能を使ってアドレス指定可能なレジスタ値に影響を与えることなく I/O ポート・ステート・マシンを同期化します。SYNC_I/O (SDIO_3)ピンにアクティブ・ハイを入力すると、現在の通信サイクルが中止されます。SDIO_3 がロー・レベル(ロジック 0)に戻ると、次の通信サイクルが開始され、命令バイトの書き込みから始まります。SYNC_I/O 機能は 4 ビット・シリアル I/O モードでは使用できません。

MSB/LSB ファースト転送の指定

AD9959 シリアル・ポートでは、最上位ビット(MSB)先頭または最下位ビット(LSB)先頭の両データ・フォーマットをサポートすることができます。この機能は、CSR[0]から制御されます。MSB ファーストはデフォルトのモードです。CSR[0]がハイ・レベルに設定されると、AD9959 シリアル・ポートは LSB ファースト・フォーマットになります。命令バイトは CSR[0]で指定されるフォーマットで書き込む必要があります。すなわち、AD9959 が LSB ファースト・モードのとき、命令バイトは LSB から MSB への順で書き込む必要があります。AD9959 が MSB ファースト・モード(デフォルト)の場合、命令バイトは MSB から LSB への順で書き込む必要があります。

動作例

MSB ファースト・フォーマットでファンクション・レジスタ 1 (FR1、レジスタ 0x01)に書き込みを行うときは、MSB から開始される 00000001 の命令バイトを使用します(次の命令バイト例では、MSB は D7)。この命令から、内部コントローラは、MSB の FR1[23]から開始される 3 バイトの書き込み転送を認識します。バイトは連続する SCLK の各立ち上がりエッジで書き込まれ、ビット 0 が転送されると終了します。最終データ・ビットが書き込まれると、I/O 通信サイクルが完了し、次のバイトが命令バイトと見なされます。

命令バイトの例¹

MSB							LSB
D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	1

¹ビット値は一例として表示してあることに注意してください。

LSB ファースト・フォーマットでファンクション・レジスタ 1 (FR1)に書き込みを行うときは、LSB から開始される 00000001 の命令バイトを使用します(次の命令バイト例では、LSB は D0)。この命令から、内部コントローラは、LSB の FR1[0]から開始される 3 バイトの書き込み転送を認識します。バイトは連続する SCLK の各立ち上がりエッジで書き込まれ、ビット 23 が転送されると終了します。最終データ・ビットが書き込まれると、I/O 通信サイクルが完了して、次のバイトが命令バイトと見なされます。

シリアル I/O 動作モード

シリアル I/O ポート動作の 4 種類のプログラマブルなモードは次の通りです。

- シングルビット・シリアル 2 線式モード(デフォルト・モード)
- シングルビット・シリアル 3 線式モード
- 2 ビット・シリアル・モード
- 4 ビット・シリアル・モード(SYNC_I/O はなし)

表 26 に、設定されるシリアル I/O 動作モードに応じて、6 本のすべてのシリアル I/O インターフェース・ピンの機能を示します。

表 26. シリアル I/O ポートのピン機能対シリアル I/O モード

Pin	Single-Bit Serial 2-Wire Mode	Single-Bit Serial 3-Wire Mode	2-Bit Serial Mode	4-Bit Serial Mode
SCLK	Serial clock	Serial clock	Serial clock	Serial clock
$\overline{\text{CS}}$	Chip select	Chip select	Chip select	Chip select
SDIO_0	Serial data I/O	Serial data in	Serial data I/O	Serial data I/O
SDIO_1	Not used for SDIO ¹	Not used for SDIO ¹	Serial data I/O	Serial data I/O
SDIO_2	Not used for SDIO ¹	Serial data out (SDO)	Not used for SDIO ¹	Serial data I/O
SDIO_3	SYNC_I/O	SYNC_I/O	SYNC_I/O	Serial data I/O

¹ シリアル・モードでは、これらのピン(SDIO_0/SDIO_1/SDIO_2/SDIO_3)を RU/RD 動作に使用することができます。

チャンネル・セレクト・レジスタの 2 ビット CSR[2:1]により、シリアル I/O 動作モードが指定されます(表 27 参照)。

表 27. シリアル I/O 動作モード

Serial I/O Mode Select (CSR[2:1])	Mode of Operation
00	Single-bit serial mode (2-wire mode)
01	Single-bit serial mode (3-wire mode)
10	2-bit serial mode
11	4-bit serial mode

シングルビット・シリアル(2 線式および 3 線式)モード

シングルビット・シリアル・モード・インターフェースを使うと、AD9959 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。さらに、シングルビット・シリアル・モード・インターフェース・ポートは、シングル・ピン I/O(2 線式インターフェースが可能)、または入力/出力用の 2 本の単方向ピン(3 線式インターフェースが可能)に設定することができます。シングルビット・モードでは SYNC_I/O 機能を使うことができます。

シングルビット・シリアル・モードでは(2 線式インターフェース動作)、SDIO_0 ピンがシングル・シリアル・データ I/O ピンになります。シングルビット・シリアル・モード(3 線式インターフェース動作)では、SDIO_0 ピンがシリアル・データ入力ピンに、SDIO_2 ピンが出力データ・ピンに、それぞれなります。インターフェースで使用する線数に関係なく、SDIO_3 ピンは入力に設定され、シングルビット・シリアル・モードと 2 ビット・シリアル・モードで SYNC_I/O ピンとして動作します。このモードでは SDIO_1 ピンは使用されません(表 26 参照)。

2 ビット・シリアル・モード

2 ビット・シリアル・モードでの SPI ポート動作は、シングルビット・シリアル・モードでの SPI ポート動作と同じですが、2 ビットのデータが SCLK の各立ち上がりエッジでレジスタに入力されます。このため、8 ビットの情報転送に 4 クロック・サイクルを使うだけで済みます。SDIO_0 ピンには偶数番号のデータ・ビット(D[7:0]と表示)が、SDIO_1 ピンには、奇数番号のデータ・ビットが、それぞれ含まれます。この偶数番号と奇数番号のピン/データ整理は、MSB ファーストと LSB ファーストの両フォーマットで有効です(図 44 参照)。

4 ビット・シリアル・モード

4 ビット・シリアル・モードでの SPI ポートは、シングルビット・シリアル・モードでの SPI ポートと同じですが、4 ビットのデータが SCLK の各立ち上がりエッジでレジスタに入力されます。このため、8 ビットの情報転送に 2 クロック・サイクルを使うだけで済みます。

SDIO_0 ピンと SDIO_2 ピンには偶数番号のデータ・ビット(D[7:0]と表示)が含まれ、SDIO_0 ピンにはニブルの LSB が含まれます。SDIO_1 ピンと SDIO_3 ピンには奇数番号のデータ・ビットが含まれ、SDIO_1 ピンにはニブルの LSB が含まれます。

デバイスを 4 ビット・シリアル・モードに設定するとき、SDIO_3 ピンをロジック 0 に設定し、デバイスをシングルビット・シリアル・モードから抜け出させるまでこの状態を維持することが重要なことに注意してください。そうしないと、シリアル I/O ポート・コントローラがシーケンスから抜け出してしまいます。

図 43～図 45 に、使用可能な各シリアル I/O モードの書き込みタイミング図を示します。MSB ファーストと LSB ファーストの両モードを示します。LSB ファースト・ビットは括弧内に示します。表示してあるクロック・ストローク・ロー/ハイ機能は不要です。これは、データ(SDIO)が SCLK の立ち上がりエッジに対して正しいセットアップ・タイムを持つ必要があることを示すために使っています。

図 46～図 49 に、使用可能な各シリアル I/O モードの読み出しタイミング図を示します。MSB ファーストと LSB ファーストの両モードを示します。LSB ファースト・ビットは括弧内に示します。表示されているクロック・ストローク・ロー/ハイ機能は不要です。これは、命令バイトと SCLK の立ち下がりエッジに続く読み出しデータについて、データ(SDIO)が SCLK の立ち上がりエッジに対して正しいセットアップ・タイムを持つ必要があることを示すために使っています。

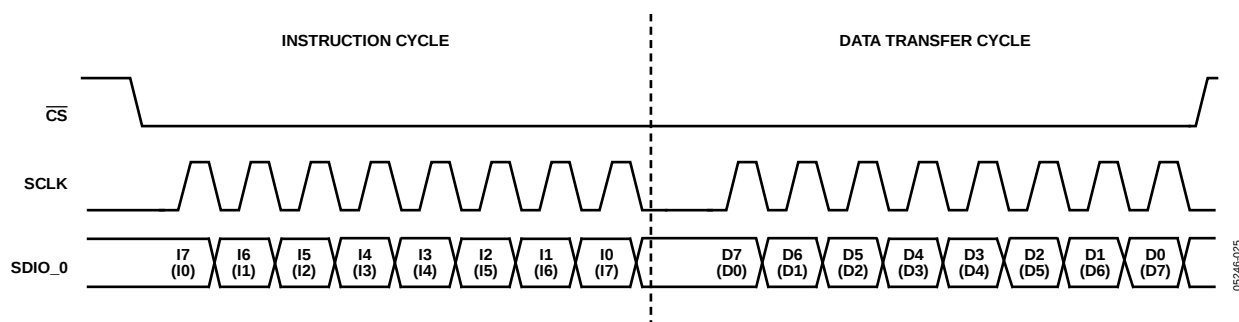


図 43. シングルビット・シリアル・モード書き込みタイミングークロック・ストール・ロー

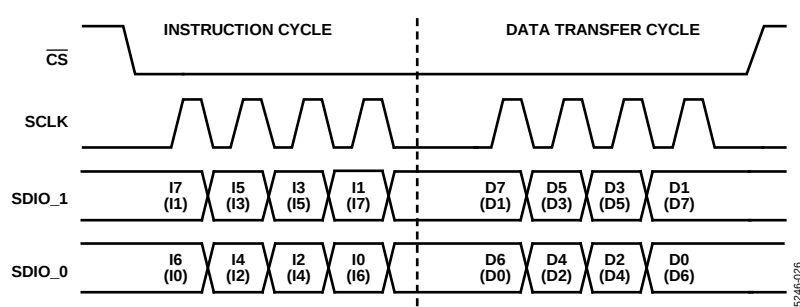


図 44.2 ビット・シリアル・モード書き込みタイミングークロック・ストール・ロー

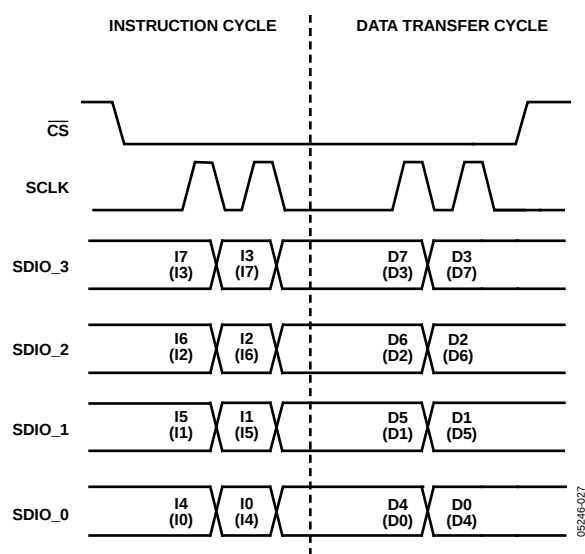


図 45.4 ビット・シリアル・モード書き込みタイミングークロック・ストール・ロー

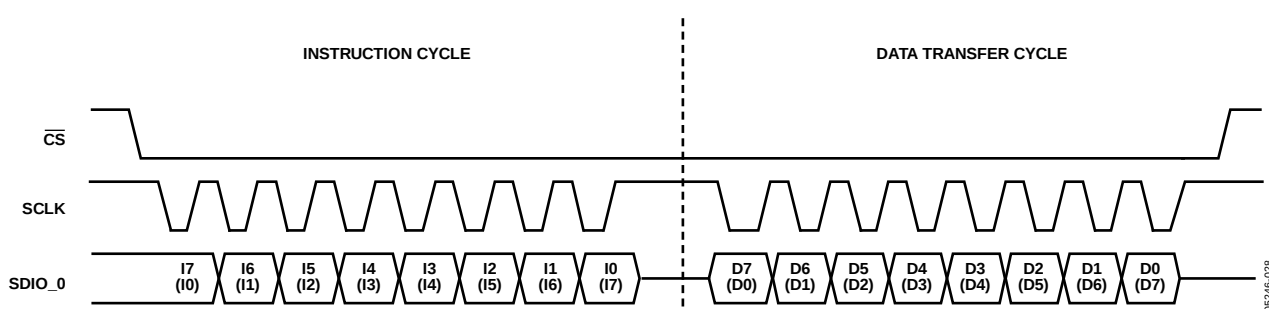


図 46. シングルビット・シリアル・モード(2 線式)読み出しタイミングークロック・ストール・ハイ

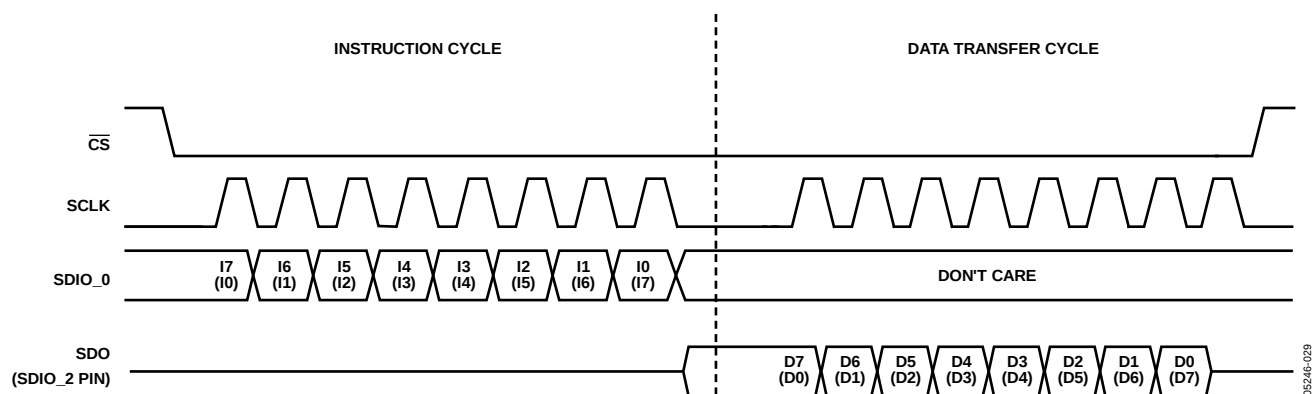


図 47. シングルビット・シリアル・モード(3 線式)読み出しタイミングクロック・ストール・ロー

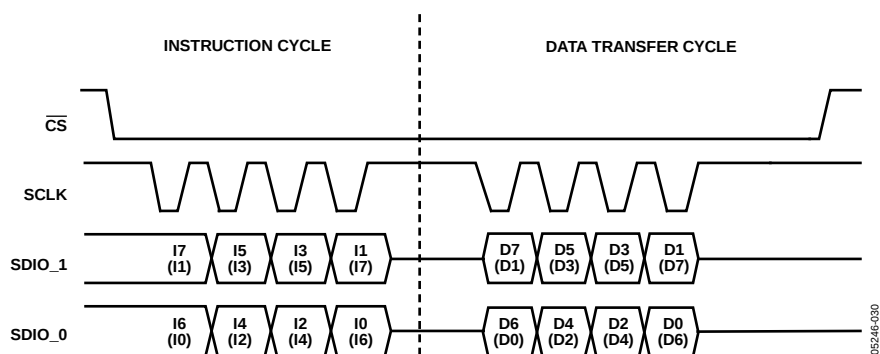


図 48.2 ビット・シリアル・モード読み出しタイミングクロック・ストール・ハイ

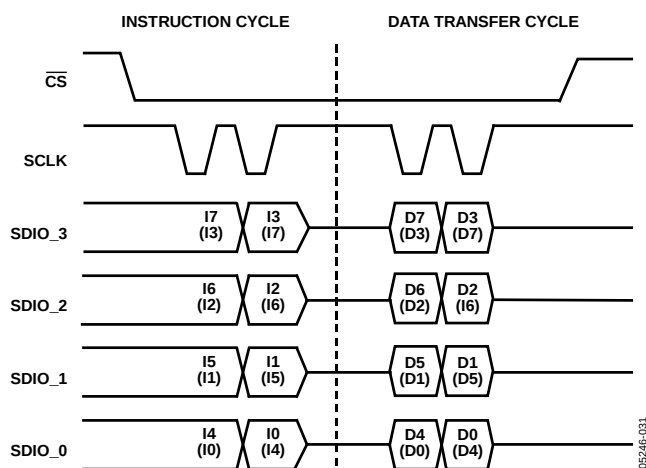


図 49.4 ビット・シリアル・モード読み出しタイミングクロック・ストール・ハイ

レジスタ・マップとビットの説明

レジスタ・マップ

表 28. コントロール・レジスタ・マップ

Register Name (Serial Address)	Bit Range	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Channel Select Register (CSR) (0x00)	[7:0]	Channel 3 enable ¹	Channel 2 enable ¹	Channel 1 enable ¹	Channel 0 enable ¹	Must be 0	Serial I/O mode select[2:1]		LSB first	0xF0
Function Register 1 (FR1) (0x01)	[23:16]	VCO gain control	PLL divider ratio[22:18]					Charge pump control[17:16]		0x00
	[15:8]	Open	Profile pin configuration (PPC)[14:12]			Ramp-up/ ramp-down (RU/RD)[11:10]	Modulation level[9:8]		0x00	
	[7:0]	Reference clock input power-down	External power-down mode	SYNC_CLK disable	DAC reference power-down	Open[3:2]	Manual hardware sync	Manual software sync	0x00	
Function Register 2 (FR2) (0x02)	[15:8]	All channels autoclear sweep accumulator	All channels clear sweep accumulator	All channels autoclear phase accumulator	All channels clear phase accumulator	Open[11:10]	Open[9:8]		0x00	
	[7:0]	Auto sync enable	Multidevice sync master enable	Multidevice sync status	Multidevice sync mask	Open[3:2]	System clock offset[1:0]		0x00	

¹ チャンネル・イネーブル・ビットは、I/O 更新の起動を必要としません。これらのビットは、ビットを含むバイトが書き込まれると直ちにアクティブになります。他のすべてのビットは、I/O 更新の起動を必要とします。表 28 に示す 4 ビットのチャンネル・イネーブル・ビットは、4 チャンネルの任意の組み合わせのイネーブル/ディスエーブルに使用されます。デフォルトでは 4 チャンネルすべてがイネーブルされています。

チャンネル・セレクト・レジスタでは、DDS 4 チャンネルで 4 種類の周波数を使う場合は、次のプロトコルを使ってください。

1. チャンネル・セレクト・レジスタ内で、チャンネル 0 イネーブル・ビットをイネーブル(ロジック 1)し、他の 3 チャンネルをディスエーブル(ロジック 0)します。
2. ステップ 1 に説明したチャンネル 0 に対して周波数チューニング・ワードを書き込み、次にチャンネル 0 イネーブル・ビットをディスエーブル(ロジック 0)します。

3. チャンネル・セレクト・レジスタ内にあるチャンネル 1 イネーブル・ビットのみをイネーブルし、他の 3 チャンネルをディスエーブルします。
4. ステップ 3 に説明したチャンネル 1 に対して周波数チューニング・ワードを書き込み、次にチャンネル 1 イネーブル・ビットをディスエーブルします。

表 29. チャンネル・レジスタ・マップ

Register Name (Serial Address)	Bit Range	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Channel Function Register ¹ (CFR) (0x03)	[23:16]	Amplitude freq. phase (AFP) select[23:22]		Open[21:16]						0x00
	[15:8]	Linear sweep no-dwell	Linear sweep enable	Load SRR at I/O_UPDATE	Open[12:11]		Must be 0	DAC full-scale current control[9:8]		0x03
	[7:0]	Digital power-down	DAC power-down	Matched pipe delays active	Autoclear sweep accumulator	Clear sweep accumulator	Autoclear phase accumulator	Clear phase accumulator ²	Sine wave output enable	0x02
Channel Frequency Tuning Word 0 ¹ (CFTW0) (0x04)	[31:24]	Frequency Tuning Word 0[31:24]								0x00
	[23:16]	Frequency Tuning Word 0[23:16]								N/A
	[15:8]	Frequency Tuning Word 0[15:8]								N/A
	[7:0]	Frequency Tuning Word 0[7:0]								N/A
Channel Phase Offset Word 0 ¹ (CPOW0) (0x05)	[15:8]	Open[15:14]		Phase Offset Word 0[13:8]						0x00
	[7:0]	Phase Offset Word 0[7:0]								0x00
Amplitude Control Register (ACR) (0x06)	[23:16]	Amplitude ramp rate[23:16]								N/A
	[15:8]	Increment/decrement step size[15:14]		Open	Amplitude multiplier enable	Ramp-up/ramp-down enable	Load ARR at I/O_UPDATE	Amplitude scale factor[9:8]		0x00
	[7:0]	Amplitude scale factor[7:0]								0x00
Linear Sweep Ramp Rate ¹ (LSRR) (0x07)	[15:8]	Falling sweep ramp rate (FSRR)[15:8]								N/A
	[7:0]	Rising sweep ramp rate (RSRR)[7:0]								N/A
LSR Rising Delta Word ¹ (RDW) (0x08)	[31:24]	Rising delta word[31:24]								N/A
	[23:16]	Rising delta word[23:16]								N/A
	[15:8]	Rising delta word[15:8]								N/A
	[7:0]	Rising delta word[7:0]								N/A
LSR Falling Delta Word ¹ (FDW) (0x09)	[31:24]	Falling delta word[31:24]								N/A
	[23:16]	Falling delta word[23:16]								N/A
	[15:8]	Falling delta word[15:8]								N/A
	[7:0]	Falling delta word[7:0]								N/A

¹ チャンネルごとに1セット、4セットのチャンネル・レジスタとプロファイル・レジスタがあります。チャンネル・レジスタとプロファイル・レジスタのアドレスは各チャンネルに対して同じであるため、表 29 または表 30 に示してありません。したがって、チャンネル・イネーブル・ビット (CSR[7:4]) が、各チャンネルのチャンネル・レジスタおよび/またはプロファイル・レジスタに書き込みを行うか否かを指定します。

² マスター・リセット後に、クリア位相アキュムレータ・ビット 1 がロジック 1 に設定されます。このビットはセルフ・クリアされるか、または I/O 更新がアサートされたときにロジック 0 に設定されます。

表 30. プロファイル・レジスタ・マップ¹

Register Name (Address)	Bit Range	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Channel Word 1 (CW1) (0x0A)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 2 (CW2) (0x0B)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 3 (CW3) (0x0C)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 3 (CW4) (0x0D)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 5 (CW5) (0x0E)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 6 (CW6) (0x0F)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 7 (CW7) (0x10)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 8 (CW8) (0x11)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 9 (CW9) (0x12)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 10 (CW10) (0x13)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 11 (CW11) (0x14)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 12 (CW12) (0x15)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 13 (CW13) (0x16)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 14 (CW14) (0x17)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—
Channel Word 15 (CW15) (0x18)	[31:0]	Frequency tuning word[31:0] or phase word[31:18] or amplitude word[31:22]								—

¹ 各チャンネル・ワード・レジスタは 32 ビットの容量を持っています。位相または振幅がチャンネル・ワード・レジスタに格納されると、各ビット範囲でまず MSB を整列させる必要があります。各チャンネル・ワード・レジスタについて、MSB バイトのみ表示してあります。

コントロール・レジスタの説明

チャンネル・セレクト・レジスタ(CSR)—アドレス 0x00

このレジスタには 1 バイトが割り当てられています。

CSR は、4 ビットのチャンネル・イネーブル・ビットのステータスによってチャンネルがイネーブルされるか、あるいはディスエーブルされかを指定します。デフォルト状態では、4 チャンネルすべてがイネーブルされます。また、CSR は選択されたシリアル動作モードも指定します。さらに、CSR は MSB ファースト・フォーマットまたは LSB ファースト・フォーマットの選択も可能にします。

表 31.CSR のビット説明

Bit	Mnemonic	Description
7:4	Channel [3:0] enable	Bits are active immediately after being written. They do not require an I/O update to take effect. There are four sets of channel registers and profile (channel word) registers, one per channel. This is not shown in the channel register map or the profile register map. The addresses of all channel registers and profile registers are the same for each channel. Therefore, the channel enable bits distinguish the channel registers and profile registers values of each channel. For example, 1001 = only Channel 3 and Channel 0 receive commands from the channel registers and profile registers. 0010 = only Channel 1 receives commands from the channel registers and profile registers.
3	Must be 0	Must be set to 0.
2:1	Serial I/O mode select	00 = single-bit serial (2-wire mode). 01 = single-bit serial (3-wire mode). 10 = 2-bit serial mode. 11 = 4-bit serial mode. See the Serial I/O Modes of Operation section for more details.
0	LSB first	0 = the serial interface accepts serial data in MSB first format (default). 1 = the serial interface accepts serial data in LSB first format.

ファンクション・レジスタ 1 (FR1)—アドレス 0x01

このレジスタには 3 バイトが割り当てられています。FR1 は、チップの動作モードの制御に使われます。

表 32.FR1 のビット説明

Bit	Mnemonic	Description
23	VCO gain control	0 = the low range (system clock below 160 MHz) (default). 1 = the high range (system clock above 255 MHz).
22:18	PLL divider ratio	If the value is 4 or 20 (decimal) or between 4 and 20, the PLL is enabled and the value sets the multiplication factor. If the value is outside of 4 and 20 (decimal), the PLL is disabled.
17:16	Charge pump control	00 (default) = the charge pump current is 75 μ A. 01 = charge pump current is 100 μ A. 10 = charge pump current is 125 μ A. 11 = charge pump current is 150 μ A.
15	Open	
14:12	Profile pin configuration (PPC)	The profile pin configuration bits control the configuration of the data and SDIO_x pins for the different modulation modes. See the Modulation Mode section in this document for details.
11:10	Ramp-up/ramp-down (RU/RD)	The RU/RD bits control the amplitude ramp-up/ramp-down time of a channel. See the Output Amplitude Control Mode section for more details.
9:8	Modulation level	The modulation (FSK, PSK, and ASK) level bits control the level (2/4/8/16) of modulation to be performed for a channel. See the Modulation Mode section for more details.
7	Reference clock input power-down	0 = the clock input circuitry is enabled for operation (default). 1 = the clock input circuitry is disabled and is in a low power dissipation state.
6	External power-down mode	0 = the external power-down mode is in fast recovery power-down mode (default). In this mode, when the PWR_DWN_CTL input pin is high, the digital logic and the DAC digital logic are powered down. The DAC bias circuitry, PLL, oscillator, and clock input circuitry are not powered down. 1 = the external power-down mode is in full power-down mode. In this mode, when the PWR_DWN_CTL input pin is high, all functions are powered down. This includes the DAC and PLL, which take a significant amount of time to power up.

Bit	Mnemonic	Description
5	SYNC_CLK disable	0 = the SYNC_CLK pin is active (default). 1 = the SYNC_CLK pin assumes a static Logic 0 state (disabled). In this state, the pin drive logic is shut down. However, the synchronization circuitry remains active internally to maintain normal device operation.
4	DAC reference power-down	0 = DAC reference is enabled (default). 1 = DAC reference is powered down.
3:2	Open	See the Synchronizing Multiple AD9959 Devices section for details.
1	Manual hardware sync	0 = the manual hardware synchronization feature of multiple devices is inactive (default). 1 = the manual hardware synchronization feature of multiple devices is active.
0	Manual software sync	0 = the manual software synchronization feature of multiple devices is inactive (default). 1 = the manual software synchronization feature of multiple devices is active. See the Synchronizing Multiple AD9959 Devices section for details.

ファンクション・レジスタ 2 (FR2)—アドレス 0x02

このレジスタには 2 バイトが割り当てられています。FR2 は、種々の機能と AD9959 のモードを制御するときに使います。

表 33.FR2 のビット説明

Bit	Mnemonic	Description
15	All channels autoclear sweep accumulator	0 = a new delta word is applied to the input, as in normal operation, but not loaded into the accumulator (default). 1 = this bit automatically and synchronously clears (loads 0s into) the sweep accumulator for one cycle upon reception of the I/O_UPDATE sequence indicator on all four channels.
14	All channels clear sweep accumulator	0 = the sweep accumulator functions as normal (default). 1 = the sweep accumulator memory elements for all four channels are asynchronously cleared.
13	All channels autoclear phase accumulator	0 = a new frequency tuning word is applied to the inputs of the phase accumulator, but not loaded into the accumulator (default). 1 = this bit automatically and synchronously clears (loads 0s into) the phase accumulator for one cycle upon receipt of the I/O update sequence indicator on all four channels.
12	All channels clear phase accumulator	0 = the phase accumulator functions as normal (default). 1 = the phase accumulator memory elements for all four channels are asynchronously cleared.
11:8	Open	
7	Auto sync enable	See the Synchronizing Multiple AD9959 Devices section for more details.
6	Multidevice sync master enable	See the Synchronizing Multiple AD9959 Devices section for more details.
5	Multidevice sync status	See the Synchronizing Multiple AD9959 Devices section for more details.
4	Multidevice sync mask	See the Synchronizing Multiple AD9959 Devices section for more details.
3: 2	Open	
1:0	System clock offset	See the Synchronizing Multiple AD9959 Devices section for more details.

チャンネル・レジスタの説明

チャンネル・ファンクション・レジスタ(CFR)—アドレス 0x03

このレジスタには 3 バイトが割り当てられています。

表 34.CFR のビット説明

Bit	Mnemonic	Description
23:22	Amplitude frequency phase (AFP) select	Controls what type of modulation is to be performed for that channel. See the Modulation Mode section for details.
21:16	Open	
15	Linear sweep no-dwell	0 = the linear sweep no-dwell function is inactive (default). 1 = the linear sweep no-dwell function is active. If CFR[15] is active, the linear sweep no-dwell function is activated. See the Linear Sweep Mode section for details. If CFR[14] is clear, this bit is don't care.
14	Linear sweep enable	0 = the linear sweep capability is inactive (default). 1 = the linear sweep capability is enabled. When enabled, the delta frequency tuning word is applied to the frequency accumulator at the programmed ramp rate.
13	Load SRR at I/O_UPDATE	0 = the linear sweep ramp rate timer is loaded only upon timeout (timer = 1) and is not loaded because of an I/O_UPDATE input signal (default). 1 = the linear sweep ramp rate timer is loaded upon timeout (timer = 1) or at the time of an I/O_UPDATE input signal.
12:11	Open	
10	Must be 0	Must be set to 0.
9:8	DAC full-scale current control	11 = the DAC is at the largest LSB value (default). See Table 5 for other settings.
7	Digital power-down	0 = the digital core is enabled for operation (default). 1 = the digital core is disabled and is in its lowest power dissipation state.
6	DAC power-down	0 = the DAC is enabled for operation (default). 1 = the DAC is disabled and is in its lowest power dissipation state.
5	Matched pipe delays active	0 = matched pipe delay mode is inactive (default). 1 = matched pipe delay mode is active. See the Single-Tone Mode—Matched Pipeline Delay section for details.
4	Autoclear sweep accumulator	0 = the current state of the sweep accumulator is not impacted by receipt of an I/O_UPDATE signal (default). 1 = the sweep accumulator is automatically and synchronously cleared for one cycle upon receipt of an I/O_UPDATE signal.
3	Clear sweep accumulator	0 = the sweep accumulator functions as normal (default). 1 = the sweep accumulator memory elements are asynchronously cleared.
2	Autoclear phase accumulator	0 = the current state of the phase accumulator is not impacted by receipt of an I/O_UPDATE signal (default). 1 = the phase accumulator is automatically and synchronously cleared for one cycle upon receipt of an I/O_UPDATE signal.
1	Clear phase accumulator	0 = the phase accumulator functions as normal (default). 1 = the phase accumulator memory elements are asynchronously cleared.
0	Sine wave output enable	0 = the angle-to-amplitude conversion logic employs a cosine function (default). 1 = the angle-to-amplitude conversion logic employs a sine function.

チャンネル周波数チューニング・ワード 0 (CFTW0)—アドレス 0x04

このレジスタには 4 バイトが割り当てられています。

表 35.CFTW0 の説明

Bit	Mnemonic	Description
31:0	Frequency Tuning Word 0	Frequency Tuning Word 0 for each channel.

チャンネル位相オフセット・ワード 0 (CPOW0)—アドレス 0x05

このレジスタには 2 バイトが割り当てられています。

表 36.CPOW0 の説明

Bit	Mnemonic	Description
15:14	Open	Phase Offset Word 0 for each channel
13:0	Phase Offset Word 0	

振幅コントロール・レジスタ (ACR)—アドレス 0x06

このレジスタには 3 バイトが割り当てられています。

表 37.ACR の説明

Bit	Mnemonic	Description
23:16	Amplitude ramp rate	Amplitude ramp rate value.
15:14	Increment/decrement step size	Amplitude increment/decrement step size.
13	Open	
12	Amplitude multiplier enable	0 = amplitude multiplier is disabled. The clocks to this scaling function (auto RU/RD) are stopped for power saving, and the data from the DDS core is routed around the multipliers (default). 1 = amplitude multiplier is enabled.
11	Ramp-up/ramp-down enable	This bit is valid only when ACR[12] is active high. 0 = when ACR[12] is active, Logic 0 on ACR[11] enables the manual RU/RD operation. See the Output Amplitude Control Mode section for details (default). 1 = if ACR[12] is active, a Logic 1 on ACR[11] enables the auto RU/RD operation. See the Output Amplitude Control Mode section for details.
10	Load ARR at I/O_UPDATE	0 = the amplitude ramp rate timer is loaded only upon timeout (timer = 1) and is not loaded due to an I/O_UPDATE input signal (default). 1 = the amplitude ramp rate timer is loaded upon timeout (timer = 1) or at the time of an I/O_UPDATE input signal.
9:0	Amplitude scale factor	Amplitude scale factor for each channel.

リニア・スイープ・ランプ・レート(LSRR)—アドレス 0x07

このレジスタには 2 バイトが割り当てられています。

表 38.LSRR の説明

Bit	Mnemonic	Description
15:8	Falling sweep ramp rate (FSRR)	Linear falling sweep ramp rate.
7:0	Rising sweep ramp rate (RSRR)	Linear rising sweep ramp rate.

LSR 上昇差分ワード(RDW)—アドレス 0x08

このレジスタには 4 バイトが割り当てられています。

表 39.RDW の説明

Bit	Mnemonic	Description
31:0	Rising delta word	32-bit rising delta-tuning word.

LSR 下降差分ワード(FDW)—アドレス 0x09

このレジスタには 4 バイトが割り当てられています。

表 40.FDW の説明

Bit	Mnemonic	Description
31:0	Falling delta word	32-bit falling delta-tuning word.

