



**ANALOG
DEVICES**

18ビットI/Qデータパスおよび14ビットDAC内蔵 の1GSPS直交デジタル・アップコンバータ

AD9957

特長

1GSPSの内部クロック速度（最大400MHzのアナログ出力）
1GSPSの14ビットDACを内蔵
250MHzのI/Qデータ・スループット・レート
位相ノイズ $\leq -125\text{dBc/Hz}$ （キャリア400MHz@オフセット1kHz）
優れたダイナミック性能：80dBを超える狭帯域SFDR
シフト・キーイング用の8種類のプログラマブルなプロファイルを提供
SIN(x)/(x)補正（逆SINCフィルタ）
基準クロック通倍器
水晶1個で動作する発振器を内蔵
ソフトウェア制御とハードウェア制御によるパワーダウン
RAMを内蔵
位相変調機能
マルチチップ同期
Blackfin SPORTと容易にインターフェース
4~252倍のインターポレーション係数
インターポレーションDACモード
ゲイン制御DAC
最大2GHzまでの基準クロックを可能にする内部分周器
1.8Vおよび3.3V電源
100ピンTQFP_EPパッケージを採用

アプリケーション

HFCデータ、電話機器、ビデオ用モデム
ワイヤレス基地局伝送
広帯域伝送
インターネット電話

概要

AD9957は、価格、サイズ、消費電力、動的性能が特に重要な通信システム向けのユニバーサルI/Q変調器および即応型アップコンバータです。AD9957は、高速のダイレクト・デジタル・シンセサイザ（DDS）、高性能高速の14ビットD/Aコンバータ（DAC）、クロック通倍回路、デジタル・フィルタ、その他のDSP機能をシングル・チップに集積化しています。有線または無線通信システムのデータ伝送向けにベースバンド信号を高い周波数に変換します。

AD9957は、AD9857とAD9856を含む直交デジタル・アップコンバータ（QDUC）ファミリーの3番目の製品です。動作速度、消費電力、スペクトル性能の面で性能が向上しています。先行製品と異なり、I/Qベースバンド・データの16ビット・シリアル入力モードをサポートします。そのほか、シングル・トーン正弦波信号源またはインターポレーションDACとして動作するように設定することもできます。

基準クロック入力回路には、水晶発振器、高速2分周入力、基準クロック周波数を通倍するための低ノイズPLLが内蔵されています。

コントロール機能のユーザ・インターフェースには、Blackfin® DSPのSPORTへの接続が簡単に設定できるシリアル・ポートや、任意の信号パラメータ（位相、周波数、振幅）のシフト・キーイングが高速かつ容易にできるプロファイル・ピンがあります。

機能ブロック図

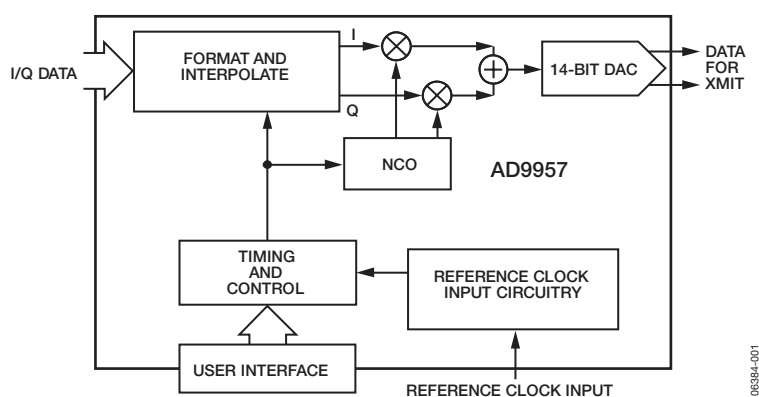


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007–2008 Analog Devices, Inc. All rights reserved.

REV. A

アナログ・デバイセズ株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

目次

特長	1	パワーダウン制御	38
アプリケーション	1	汎用I/O (GPIO) ポート	38
概要	1	複数のデバイスの同期	39
機能ブロック図	1	概要	39
改訂履歴	3	クロック・ジェネレータ	39
仕様	4	同期発生器	39
電気的仕様	4	同期受信器	40
絶対最大定格	7	セットアップ/ホールドのバリデーション	41
ESDに関する注意	7	同期の例	43
ピン配置とピン機能の説明	8	I/Qパス・レイテンシ	44
代表的な性能特性	11	例	44
動作モード	15	電源の分割	45
概要	15	3.3V電源	45
直交変調モード	16	DVDD_I/O (ピン11、ピン15、ピン21、ピン28、 ピン45、ピン56、ピン66)	45
Blackfinインターフェース (BFI) モード	17	AVDD (ピン74~77、およびピン83)	45
インターポレーションDACモード	18	1.8 V電源	45
シングル・トーン・モード	19	DVDD (ピン17、ピン23、ピン30、ピン47、ピン57、 ピン64)	45
信号処理	20	AVDD (ピン3)	45
パラレル・データ・クロック (PDCLK)	20	AVDD (ピン6)	45
送信イネーブル・ピン (TxENABLE)	20	AVDD (ピン89およびピン92)	45
入力データ・アセンブラ	21	シリアル・プログラミング	46
逆CCIフィルタ	22	制御インターフェース—シリアルI/O	46
固定インターポレータ (4倍)	22	一般的なシリアルI/O動作	46
プログラマブル・インターポレーション・フィルタ	23	命令バイト	46
直交変調器	23	命令バイト情報ビット・マップ	46
DDSコア	24	シリアルI/Oポート・ピンの説明	46
逆SINCフィルタ	24	SCLK—シリアル・クロック	46
出力スケール・ファクタ (OSF)	25	$\overline{CS}$ —チップ・セレクト	46
14ビットDAC	25	SDIO—シリアル・データ入出力	46
補助DAC	25	SDO—シリアル・データ出力	47
RAMの制御	26	I/O_RESET—入出力リセット	47
RAMの概要	26	I/O_UPDATE—入出力更新	47
RAMセグメント・レジスタ	26	シリアルI/Oのタイミング図	47
RAMステート・マシン	26	MSB/LSBの転送	47
RAMトリガ (RT) ピン	26	レジスタ・マップとビットの説明	48
RAMのロード/検索動作	27	レジスタ・マップ	48
RAMのプレイバック動作	27	レジスタ・ビットの説明	53
RAMプレイバック・モードの概要	28	コントロール機能レジスタ1 (CFR1)	53
RAMランプアップ・モード	28	コントロール機能レジスタ2 (CFR2)	54
RAM双方向ランプ・モード	29	コントロール機能レジスタ3 (CFR3)	56
RAM連続双方向ランプ・モード	31	補助DACコントロール・レジスタ	56
RAM連続繰り返しモード	32	I/O更新レート・レジスタ	56
クロック入力 (REF_CLK)	33	RAMセグメント・レジスタ0	56
REFCLKの概要	33	RAMセグメント・レジスタ1	57
水晶発振器によるREF_CLKの駆動	33	振幅スケール・ファクタ・レジスタ (ASF)	57
REF_CLKの直接駆動	33	マルチチップ同期レジスタ	57
位相ロック・ループ (PLL) 連倍器	34	プロファイル・レジスタ	58
PLLチャージ・ポンプ	35	プロファイル<0:7>レジスタ—シングル・トーン	58
外部PLLループ・フィルタ部品	35	プロファイル<0:7>レジスタ—QDUC	58
PLLロック表示	35	RAMレジスタ	58
その他の機能	36	GPIO設定レジスタ	58
出力シフト・キーイング (OSK)	36	GPIOデータ・レジスタ	58
手動OSK	36	外形寸法	59
自動OSK	36	オーダー・ガイド	59
プロファイル	37		
I/O_UPDATEピン	37		
自動I/O更新	37		

目次（続き）

改訂履歴

1/08—Rev. 0 to Rev. A

Changes to REFCLK Multiplier Specification	3
Changes to I/O_Update/Profile<2:0>/RT Timing Characteristics and I/Q Input Timing Characteristics	5
Replaced Pin Configuration and Function Descriptions Section.....	8
Changes to Figure 25 Through Figure 29	15
Deleted Table 4, Renumbered Sequentially.....	20
Changes to DDS Core Section.....	24
Changes to Figure 47 and Table 6	33
Replaced Synchronization of Multiple Devices Section	39

Added I/Q Path Latency Section	44
Added Power Supply Partitioning Section.....	45
Changes to General Serial I/O Operation Section	46
Changes to Table 13.....	48
Changes to Table 14.....	49
Changes to Table 19.....	54
Changes to Table 20.....	56
Changes to GPIO Configuration Register and GPIO Data Register Sections.....	58

5/07—Revision 0: Initial Version

仕様

電氣的仕様

特に指定のない限り、AVDD (1.8V) およびDVDD (1.8V) = $1.8V \pm 5\%$ 、AVDD (3.3V) = $3.3V \pm 5\%$ 、DVDD_I/O = $3.3V \pm 5\%$ 、 $T = 25^\circ\text{C}$ 、 $R_{\text{SET}} = 10\text{k}\Omega$ 、 $I_{\text{OUT}} = 20\text{mA}$ 、外部基準クロック周波数 = 1000MHz (REFCLK通倍器のデイスエーブル時)。

表1

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
REF_CLK INPUT CHARACTERISTICS					
Frequency Range					
REFCLK Multiplier	Disabled	60		1000 ¹	MHz
	Enabled	3.2		60	MHz
Maximum REFCLK Input Divider Frequency	Full temperature range	1500	1900		MHz
Minimum REFCLK Input Divider Frequency	Full temperature range		25	35	MHz
External Crystal			25		MHz
Input Capacitance			3		pF
Input Impedance (Differential)			2.8		k Ω
Input Impedance (Single-Ended)			1.4		k Ω
Duty Cycle	REFCLK multiplier disabled	45		55	%
	REFCLK multiplier enabled	40		60	%
REF_CLK Input Level	Single-ended	50		1000	mV p-p
	Differential	100		2000	mV p-p
REFCLK MULTIPLIER VCO GAIN CHARACTERISTICS					
VCO Gain (K_V) @ Center Frequency	VCO0 range setting		429		MHz/V
	VCO1 range setting		500		MHz/V
	VCO2 range setting		555		MHz/V
	VCO3 range setting		750		MHz/V
	VCO4 range setting		789		MHz/V
	VCO5 range setting ²		850		MHz/V
REFCLK_OUT CHARACTERISTICS					
Maximum Capacitive Load			20		pF
Maximum Frequency			25		MHz
DAC OUTPUT CHARACTERISTICS					
Full-Scale Output Current		8.6	20	31.6	mA
Gain Error		-10		+10	%FS
Output Offset				2.3	μA
Differential Nonlinearity			0.8		LSB
Integral Nonlinearity			1.5		LSB
Output Capacitance			5		pF
Residual Phase Noise	@ 1 kHz Offset, 20 MHz A_{OUT}				
REFCLK Multiplier	Disabled		-152		dBc/Hz
	Enabled @ 20×		-140		dBc/Hz
	Enabled @ 100×		-140		dBc/Hz
AC Voltage Compliance Range		-0.5		+0.5	V
SPURIOUS-FREE DYNAMIC RANGE (SFDR SINGLE TONE)					
$f_{\text{OUT}} = 20.1\text{ MHz}$			-70		dBc
$f_{\text{OUT}} = 98.6\text{ MHz}$			-69		dBc
$f_{\text{OUT}} = 201.1\text{ MHz}$			-61		dBc
$f_{\text{OUT}} = 397.8\text{ MHz}$			-54		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE SPECTRAL DENSITY (NSD)					
Single Tone					
$f_{OUT} = 20.1 \text{ MHz}$			–167		dBm/Hz
$f_{OUT} = 98.6 \text{ MHz}$			–162		dBm/Hz
$f_{OUT} = 201.1 \text{ MHz}$			–157		dBm/Hz
$f_{OUT} = 397.8 \text{ MHz}$			–151		dBm/Hz
TWO-TONE INTERMODULATION DISTORTION (IMD)					
$f_{OUT} = 25 \text{ MHz}$	I/Q rate = 62.2 MSPS; $16\times$ interpolation		–82		dBc
$f_{OUT} = 50 \text{ MHz}$			–78		dBc
$f_{OUT} = 100 \text{ MHz}$			–73		dBc
MODULATOR CHARACTERISTICS					
Input Data					
Error Vector Magnitude	2.5 Msymbols/s, QPSK, $4\times$ oversampled		0.53		%
	270.8333 ksymbols/s, GMSK, $32\times$ oversampled		0.77		%
	2.5 Msymbols/s, 256-QAM, $4\times$ oversampled		0.35		%
WCDMA—FDD (TM1), 3.84 MHz Bandwidth, 5 MHz Channel Spacing					
Adjacent Channel Leakage Ratio (ACLR)	IF = 143.88 MHz		–78		dBc
Carrier Feedthrough			–78		dBc
SERIAL PORT TIMING CHARACTERISTICS					
Maximum SCLK Frequency			70		Mbps
Minimum SCLK Pulse Width	Low	4			ns
	High	4			ns
Maximum SCLK Rise/Fall Time			2		ns
Minimum Data Setup Time to SCLK		5			ns
Minimum Data Hold Time to SCLK		0			ns
Maximum Data Valid Time in Read Mode				11	ns
I/O_UPDATE/PROFILE<2:0>/RT TIMING CHARACTERISTICS					
Minimum Pulse Width	High	1			SYNC_CLK cycle
Minimum Setup Time to SYNC_CLK		1.75			ns
Minimum Hold Time to SYNC_CLK		0			ns
I/Q INPUT TIMING CHARACTERISTICS					
Maximum PDCLK Frequency			250		MHz
Minimum I/Q Data Setup Time to PDCLK		1.75			ns
Minimum I/Q Data Hold Time to PDCLK		0			ns
Minimum TxEnable Setup Time to PDCLK		1.75			ns
Minimum TxEnable Hold Time to PDCLK		0			ns
MISCELLANEOUS TIMING CHARACTERISTICS					
Wake-Up Time ³			1		
Fast Recovery Mode			8		SYSCLK cycles ⁴
Full Sleep Mode				150	μs
Minimum Reset Pulse Width High				5	SYSCLK cycles ⁴
DATA LATENCY (PIPELINE DELAY)					
Data Latency Single Tone Mode					
Frequency, Phase, Amplitude-to-DAC Output	Matched latency enabled		91		SYSCLK cycles ⁴
Frequency, Phase-to-DAC Output	Matched latency disabled		79		SYSCLK cycles ⁴

AD9957

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS LOGIC INPUTS					
Voltage					
Logic 1		2.0			V
Logic 0				0.8	V
Current					
Logic 1			90	120	μA
Logic 0			38	50	μA
Input Capacitance			2		pF
CMOS LOGIC OUTPUTS					
	1 mA load				
Voltage					
Logic 1		2.8			V
Logic 0				0.4	V
POWER SUPPLY CURRENT					
DVDD_I/O (3.3V) Pin Current Consumption	QDUC mode		16		mA
DVDD (1.8V) Pin Current Consumption	QDUC mode		610		mA
AVDD (3.3V) Pin Current Consumption	QDUC mode		28		mA
AVDD (1.8V) Pin Current Consumption	QDUC mode		105		mA
POWER CONSUMPTION					
Single Tone Mode			800		mW
Continuous Modulation	8× interpolation		1400	1800	mW
Inverse Sinc Filter Power Consumption			150	200	mW
Full Sleep Mode			12	28	mW

¹ システム・クロックは、BFIモードで最大750MHzに制限されます。

² VCO範囲設定5のゲイン値は、1000MHzで測定しています。

³ ウェークアップ時間は、アナログ・パワーダウン・モードからの復帰時間を指します。最大所要時間は、基準クロック通倍器PLLが基準周波数に再ロックされるまでの時間です。

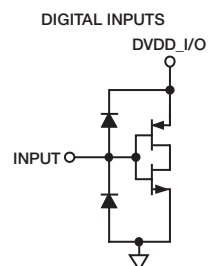
⁴ SYSCLKサイクルは、DDSによってチップ上で使用される実際のクロック周波数です。外部基準クロック周波数の通倍に基準クロック通倍器を使用する場合、SYSCLK周波数は外部周波数に基準クロックの通倍率を乗算した値になります。基準クロック通倍器と分周器を使用しない場合、SYSCLK周波数は外部基準クロック周波数と同じです。

絶対最大定格

表2

Parameter	Rating
AVDD (1.8V), DVDD (1.8V) Supplies	2 V
AVDD (3.3V), DVDD_I/O (3.3V) Supplies	4 V
Digital Input Voltage	−0.7 V to +4 V
Digital Output Current	5 mA
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +85°C
θ_{JA}	22°C/W
θ_{JC}	2.8°C/W
Maximum Junction Temperature	150°C
Lead Temperature, Soldering (10 sec)	300°C

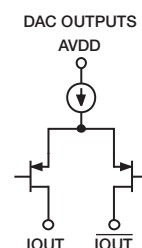
上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。



AVOID OVERDRIVING DIGITAL INPUTS. FORWARD BIASING ESD DIODES MAY COUPLE DIGITAL NOISE ONTO POWER PINS.

06384-003

図2. 入力等価回路



MUST TERMINATE OUTPUTS TO AGND FOR CURRENT FLOW. DO NOT EXCEED THE OUTPUT VOLTAGE COMPLIANCE RATING.

06384-055

図3. 出力等価回路

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。

AD9957

ピン配置とピン機能の説明

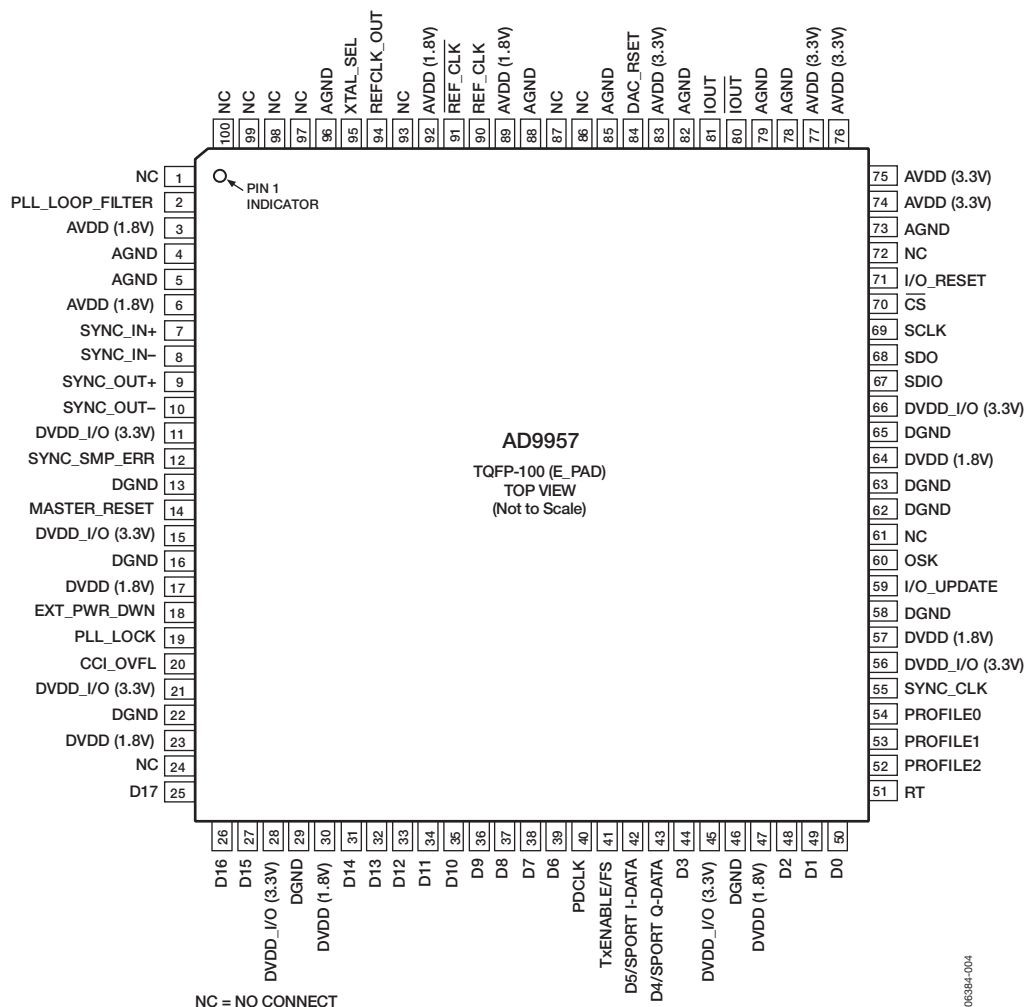


図4. ピン配置

表3. ピン機能の説明

ピン番号	記号	I/O ¹	説明
1, 24, 61, 72, 86, 87, 93, 97 to 100	NC		無接続。これらのピンは、フローティング状態にしてください。
2	PLL_LOOP_FILTER	I	PLLループ・フィルタ補正。「外部PLLループ・フィルタ部品」を参照。
3, 6, 89, 92	AVDD (1.8V)	I	アナログ・コアVDD。1.8Vのアナログ電源
74 to 77, 83	AVDD (3.3V)	I	アナログDAC VDD。3.3Vのアナログ電源
17, 23, 30, 47, 57, 64	DVDD (1.8V)	I	デジタル・コアVDD。1.8Vのデジタル電源
11, 15, 21, 28, 45, 56, 66	DVDD_I/O (3.3V)	I	デジタル入出力VDD。3.3Vのデジタル電源
4, 5, 73, 78, 79, 82, 85, 88, 96	AGND	I	アナログ・グラウンド
13, 16, 22, 29, 46, 58, 62, 63, 65	DGND	I	デジタル・グラウンド
7	SYNC_IN+	I	同期信号、デジタル入力（立上がりエッジ・アクティブ）。内部サブクロックを同期させるために外部マスターが供給する同期信号です。「複数のデバイスの同期」を参照。
8	SYNC_IN-	I	同期信号、デジタル入力（立下がりエッジ・アクティブ）。内部サブクロックを同期させるために外部マスターが供給する同期信号です。「複数のデバイスの同期」を参照。
9	SYNC_OUT+	O	同期信号、デジタル出力（立上がりエッジ・アクティブ）。外部スレーブ・デバイスを同期させるために内部デバイスのサブクロックが供給する同期信号です。「複数のデバイスの同期」を参照。
10	SYNC_OUT-	O	同期信号、デジタル出力（立下がりエッジ・アクティブ）。外部スレーブ・デバイスを同期させるために内部デバイスのサブクロックが供給する同期信号です。「複数のデバイスの同期」を参照。
12	SYNC_SMP_ERR	O	同期サンプル・エラー、デジタル出力（アクティブ・ハイ）。このピンがハイレベルのとき、AD9957がSYNC_IN+/SYNC_IN-で有効な同期信号を受信しなかったことを示します。「複数のデバイスの同期」を参照。
14	MASTER_RESET	I	マスター・リセット、デジタル入力（アクティブ・ハイ）。このピンはすべてのメモリ要素をクリアし、レジスタをデフォルト値にします。
18	EXT_PWR_DWN	I	外部パワーダウン、デジタル入力（アクティブ・ハイ）。このピンがハイレベルのとき、現在設定されているパワーダウン・モードを開始します。詳細は、「パワーダウン」を参照。使用しない場合は、グラウンドに接続してください。
19	PLL_LOCK	O	PLLロック、デジタル出力（アクティブ・ハイ）。このピンがハイレベルのとき、クロック逓倍器のPLLが基準クロック入力のロックを取得したことを示します。
20	CCI_OVFL	O	CCIオーバーフロー・デジタル出力（アクティブ・ハイ）。このピンがハイレベルのとき、CCIフィルタのオーバーフローを表示します。CCIのオーバーフロー状態が解除されるまで、このピンはハイレベルのままです。
25 to 27, 31 to 39, 42 to 44, 48 to 50	D<17:0>	I/O	パラレル・データ入力バス（アクティブ・ハイ）。変調器でアップコンバートを行うために、これらのピンからインターリーブされた18ビットのデジタルIベクトルとQベクトルが供給されます。また、Blackfinインターフェース・モードではGPIOポートとしても使用されます。
42	SPORT I-DATA	I	Blackfinインターフェース・モードのとき、このピンをIデータ・シリアル入力に使用します。
43	SPORT Q-DATA	I	Blackfinインターフェース・モードのとき、このピンをQデータ・シリアル入力に使用します。
40	PDCLK	O	パラレル・データ・クロック、デジタル出力（クロック）。詳細は、「信号処理」を参照。
41	TxENABLE	I	送信イネーブル、デジタル入力（アクティブ・ハイ）。詳細は、「信号処理」を参照。
41	FS	I	FS入力。Blackfinインターフェース・モードのとき、BlackfinからRFS出力信号を受信するFS入力にこのピンを使用します。
51	RT	I	RAMトリガ、デジタル入力（アクティブ・ハイ）。このピンで、RAM振幅スケリング機能を制御します。この機能を実行するとき、このピンがハイレベルの場合、RAMアドレスの最初から最後まで振幅が掃引されます。ローレベルの場合は、RAMアドレスの最後から最初へと振幅が掃引されます。このピンを使用しない場合は、グラウンドまたは電源に接続してください。
52 to 54	PROFILE<2:0>	I	プロファイル選択ピン、デジタル入力（アクティブ・ハイ）。これらのピンで、DDSコアの8つの位相/周波数プロファイルの1つを選択します（シングル・トーンまたはキャリア・トーン）。これらのピンの1本の状態が変化すると、すべてのI/Oバッファに格納されている最新のデータが該当レジスタに転送されます。状態の変化はSYNC_CLKピンで設定します。
55	SYNC_CLK	O	出力システム・クロック/4、デジタル出力（クロック）。この信号の立上がりエッジでI/O_UPDATEとPROFILE<2:0>ピンが設定されます。

AD9957

ピン番号	記号	I/O ¹	説明
59	I/O_UPDATE	I/O	入出力更新、内部I/O更新アクティブ・ビットの状態に応じてデジタル入力または出力（アクティブ・ハイ）。このピンがハイレベルのとき、I/Oバッファのデータが該当の内部レジスタに転送されることを示します。
60	OSK	I	出力シフト・キーイング、デジタル入力（アクティブ・ハイ）。OSK（手動または自動）を使用するとき、このピンでOSK機能を制御します。詳細は、「出力シフト・キーイング（OSK）」を参照。OSKを使用しないときは、このピンをハイレベルに設定します。
67	SDIO	I/O	シリアル・データ入出力、デジタル入出力（アクティブ・ハイ）。設定内容に応じて、このピンは単方向または双方向（デフォルト）になります。双方向のシリアル・ポート・モードのとき、このピンはシリアル・データの入力および出力に使用します。単方向モードのときは、入力専用です。
68	SDO	O	シリアル・データ出力、デジタル出力（アクティブ・ハイ）。このピンがアクティブになるのは、単方向シリアル・データ・モードの場合のみです。このモードでは、出力として機能します。双方向モードのときは、動作しないため、フローティング状態にしてください。
69	SCLK	I	シリアル・データ・クロック。デジタル・クロック（書込み時に立上がりエッジ、読出し時に立下がりエッジ）。このピンは、コントロール・データバスにシリアル・データ・クロックを供給します。AD9957への書込み動作では、立上がりエッジを使用します。AD9957からの読出し動作には、立下がりエッジを使用します。
70	$\overline{\text{CS}}$	I	チップ・セレクト、デジタル入力（アクティブ・ロー）。このピンをローレベルにすると、AD9957はシリアル・クロックの立上がり／立下がりエッジを検出できるようになります。このピンをハイレベルにすると、AD9957はシリアル・データ・ピン上の入力を無視します。
71	I/O_RESET	I	入力／出力リセット、デジタル入力（アクティブ・ハイ）。通信サイクルが失敗したときにデバイス全体をリセットしないで、このピンをハイレベルにすると、シリアル・ポート・コントローラのステート・マシンがリセットされ、I/Oの最後の更新の後に書込みが行われたI/Oバッファのデータをクリアします。このピンを使用しない場合は、誤ってリセットしないようにグラウンドに接続してください。
80	$\overline{\text{IOUT}}$	O	オープン・ソースDACの相補出力ソース。電流モードのアナログ出力。50 Ω 抵抗を介して、このピンをAGNDに接続します。
81	IOUT	O	オープン・ソースDACの出力ソース。電流モードのアナログ出力。50 Ω 抵抗を介して、このピンをAGNDに接続します。
84	DAC_RSET	O	アナログ・リファレンス・ピン。このピンで、DAC出力のフルスケール・リファレンス電流を設定します。10k Ω 抵抗をAGNDとの間に接続します。
90	REF_CLK	I	基準クロック入力。アナログ入力。詳細は、「REFCLKの概要」を参照。
91	$\overline{\text{REF_CLK}}$	I	相補基準クロック入力。アナログ入力。詳細は、「REFCLKの概要」を参照。
94	REFCLK_OUT	O	基準クロック出力。アナログ出力。詳細は、「REFCLKの概要」を参照。
95	XTAL_SEL	I	水晶発振器選択。詳細は、「REFCLKの概要」を参照。

¹ I=入力、O=出力

代表的な性能特性

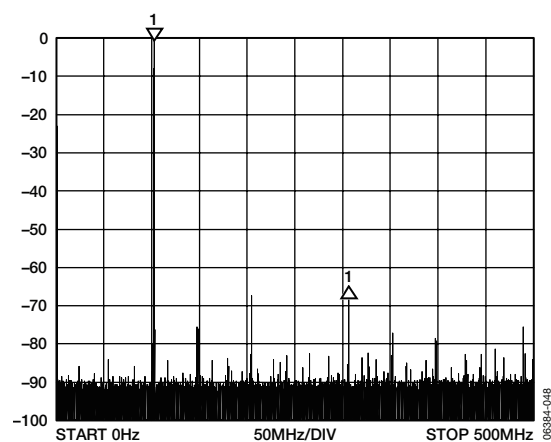


図5. 15.625kHzの直交トーン、キャリア=102MHz、CCI=16、 $f_s=1\text{GHz}$

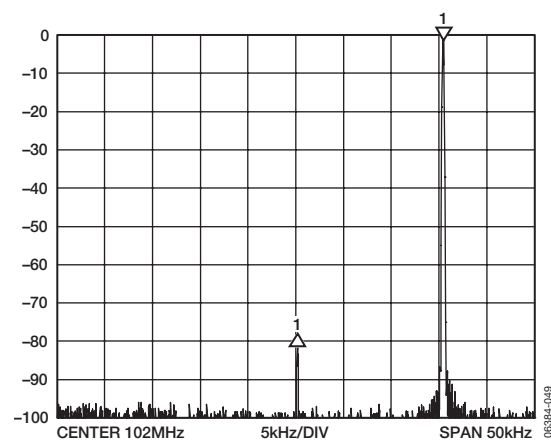


図8. 図5の狭帯域表示
(キャリアおよび下側サイドバンド抑圧時)

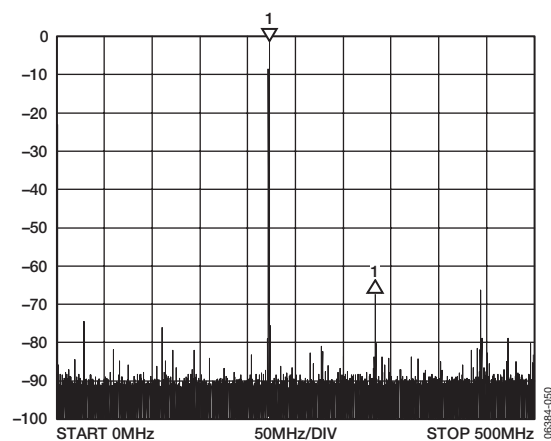


図6. 15.625kHzの直交トーン、キャリア=222MHz、CCI=16、 $f_s=1\text{GHz}$

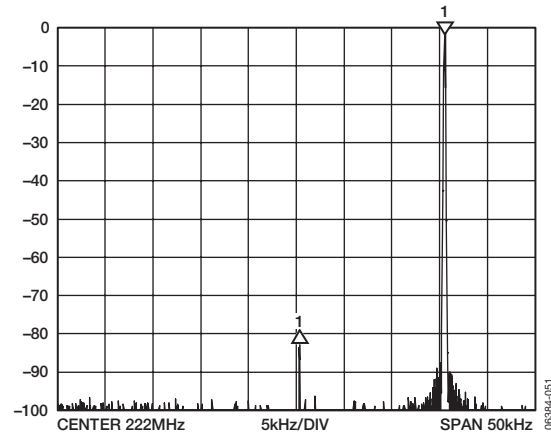


図9. 図6の狭帯域表示
(キャリアおよび下側サイドバンド抑圧時)

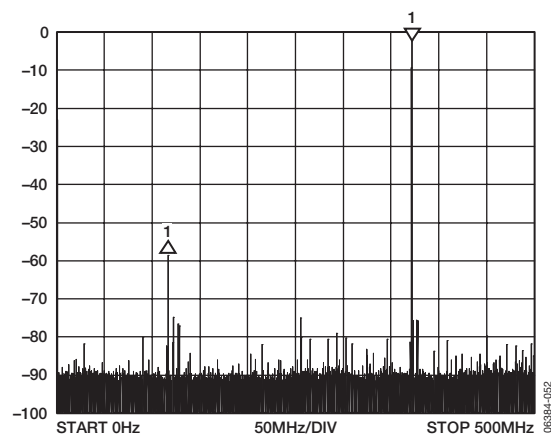


図7. 15.625kHzの直交トーン、キャリア=372MHz、CCI=16、 $f_s=1\text{GHz}$

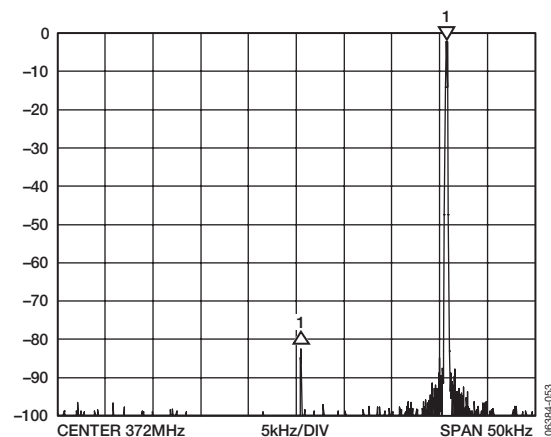


図10. 図7の狭帯域表示
(キャリアおよび下側サイドバンド抑圧時)

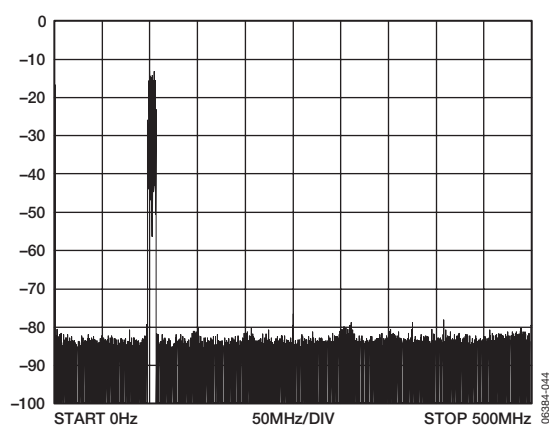


図11. QPSK、7.8125Mシンボル/秒、
4倍オーバーサンプリングの2乗余弦、 $\alpha=0.25$ 、
CCI=8、キャリア=102MHz、 $f_s=1$ GHz

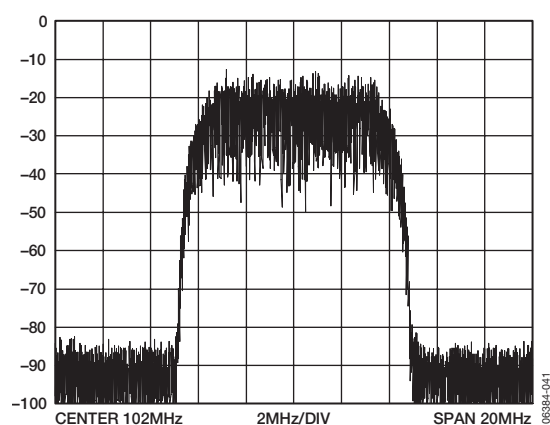


図14. 図11の狭帯域表示

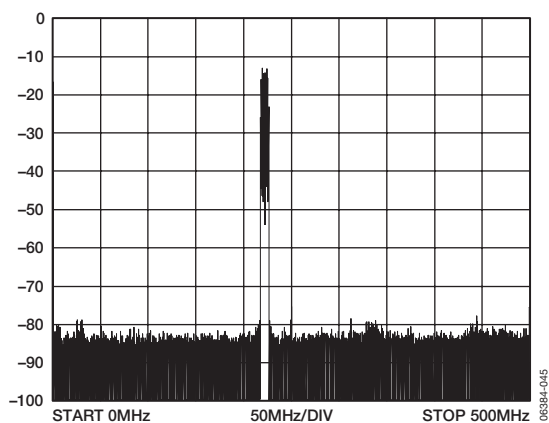


図12. QPSK、7.8125Mシンボル/秒、
4倍オーバーサンプリングの2乗余弦、 $\alpha=0.25$ 、
CCI=8、キャリア=222MHz、 $f_s=1$ GHz

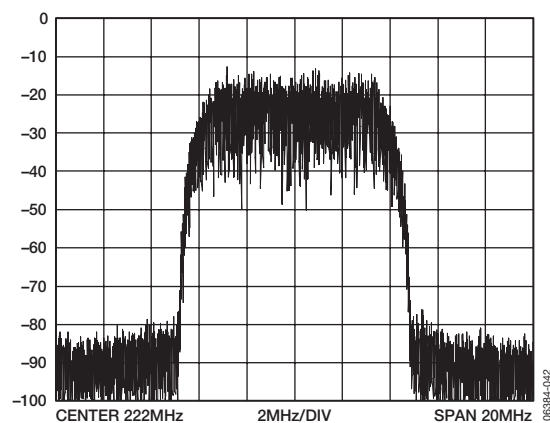


図15. 図12の狭帯域表示

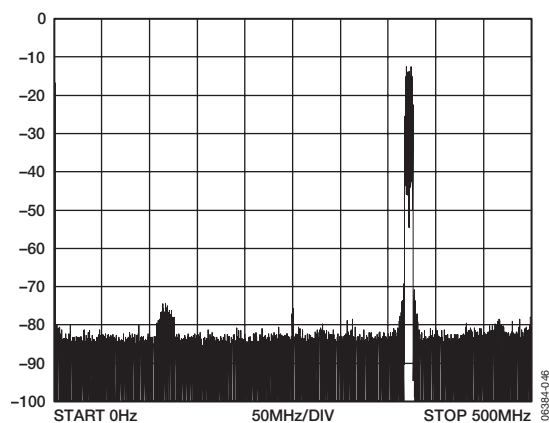


図13. QPSK、7.8125Mシンボル/秒、
4倍オーバーサンプリングの2乗余弦、 $\alpha=0.25$ 、
CCI=8、キャリア=372MHz、 $f_s=1$ GHz

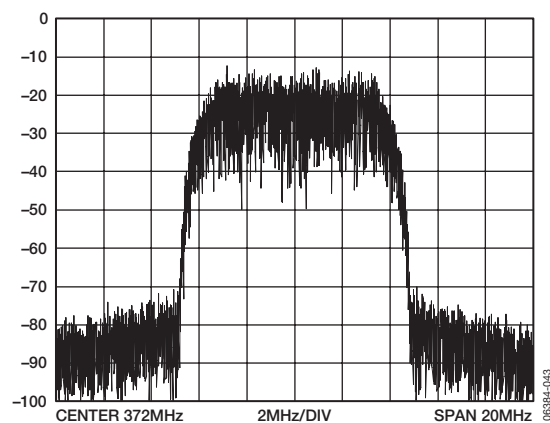


図16. 図13の狭帯域表示

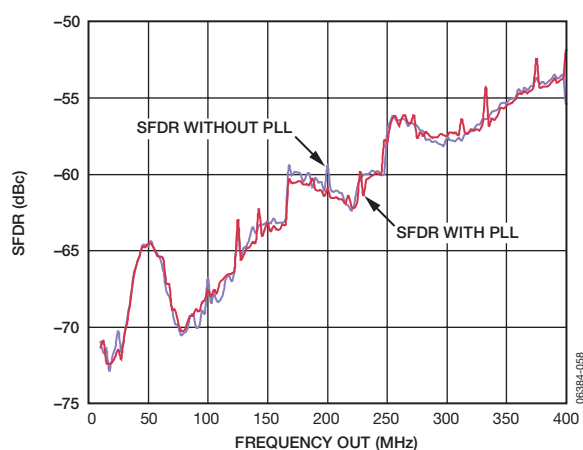


図17. シングル・トーン・モード時の出力周波数 対 広帯域 SFDR、REFCLK=15.625MHz×64のPLL動作

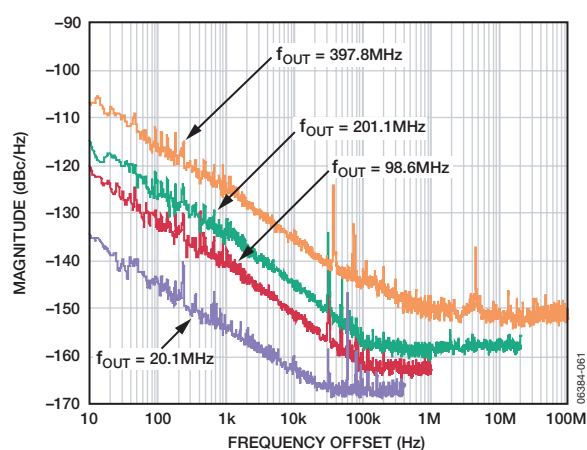


図20. 残留位相ノイズ、システム・クロック=1GHz

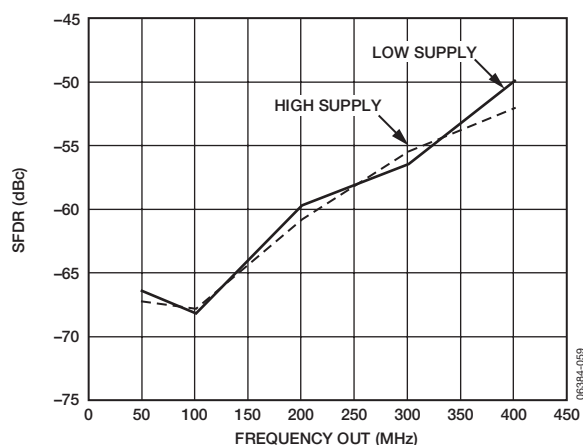


図18. シングル・トーン・モード時のSFDR 対 出力周波数 および電源 (±5%)、REFCLK = 1GHz

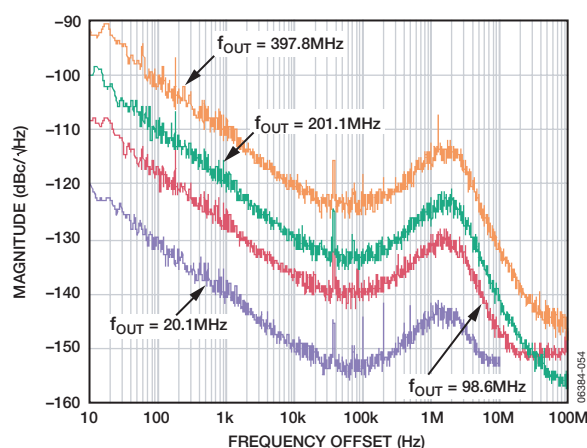


図21. REFCLK通倍器を使用する場合の残留位相ノイズ、REFCLK=20通倍による50MHz、システム・クロック=1GHz

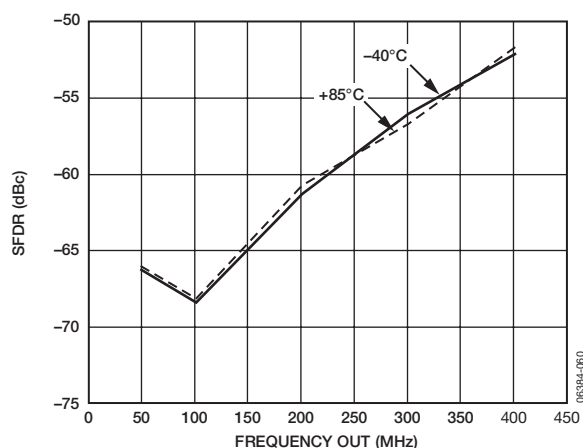


図19. シングル・トーン・モード時のSFDRの温度特性および周波数特性、REFCLK = 1GHz

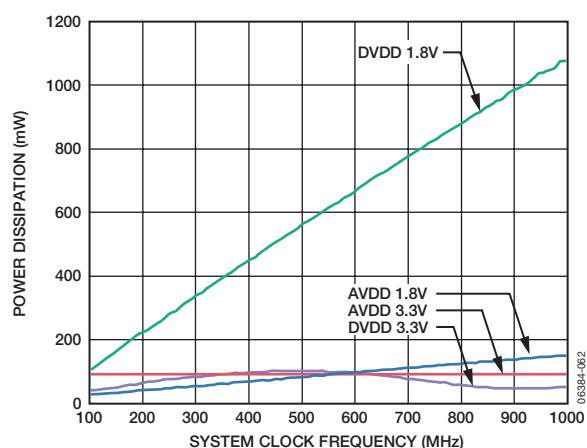


図22. システム・クロック 対 消費電力 (PLLディスエーブル時)

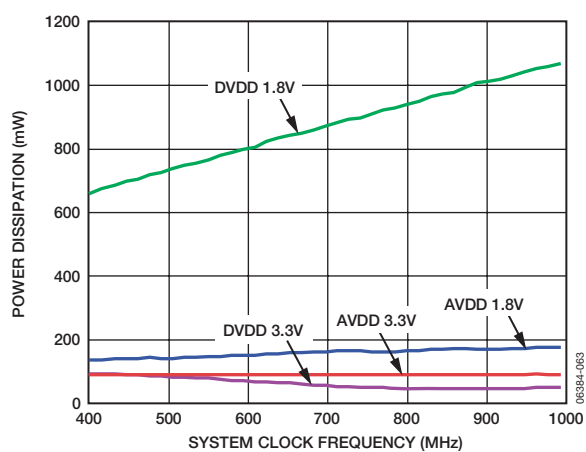
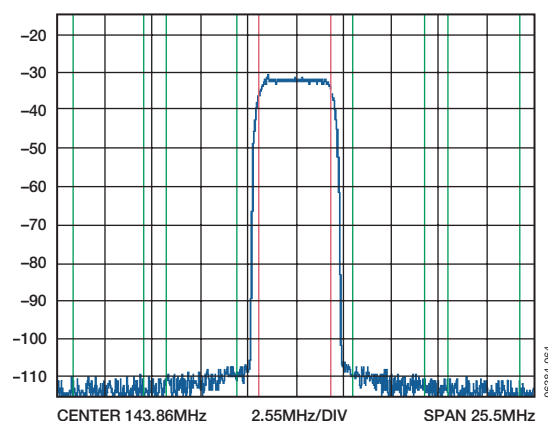


図23. システム・クロック 対 消費電力
(PLLイネーブル時)



Tx CHANNEL
BANDWIDTH: 3.84MHz
W-CDMA SGFF FWD
POWER: -11.88dBm

ADJACENT CHANNEL
BANDWIDTH: 3.84MHz
SPACING: 3MHz
LOWER: -78.27dB
UPPER: -78.50dB

ADJACENT CHANNEL
BANDWIDTH: 3.84MHz
SPACING: 10MHz
LOWER: -81.42dB
UPPER: -81.87dB

図24. 広帯域CDMAの代表的なACLR

動作モード

概要

AD9957には、次の3つの基本動作モードがあります。

- 直交変調 (QDUC) モード (デフォルト)
- インターポレーションDACモード
- シングル・トーン・モード

アクティブなモードは、コントロール機能レジスタ1 (CFR1) の動作モード・ビットを使って選択します。シングル・トーン・モードでは、AD9957は正弦波発生器として動作し、DDSが直接DACを駆動します。

インターポレーションDACモードのときはDDSをバイパスするため、DACのサンプル・レートよりも遅い速度でベースバンド・データをAD9957に転送できます。内部チェーンのレート・インターポレーション・フィルタが、ユーザのデータを

DACのサンプル・レートまでアップサンプリングします。これらのフィルタの組み合わせによって、レート・インターポレーションを設定するとともに、スペクトル・イメージを抑制し、元のベースバンド・スペクトルを保持します。

QDUCモードでは、DDSとレート・インターポレーション・フィルタの両方を使用します。このモードの場合、2つのパラレル・バンクのレート・インターポレーション・フィルタが同相信号と直交信号 (I/Q) のベースバンド処理を行い、ベースバンド信号によって変調するキャリア信号をDDSが出力します。図25に、AD9957の詳細ブロック図を示します。

これらの3つのモードのいずれでも、逆SINCフィルタを使用できます

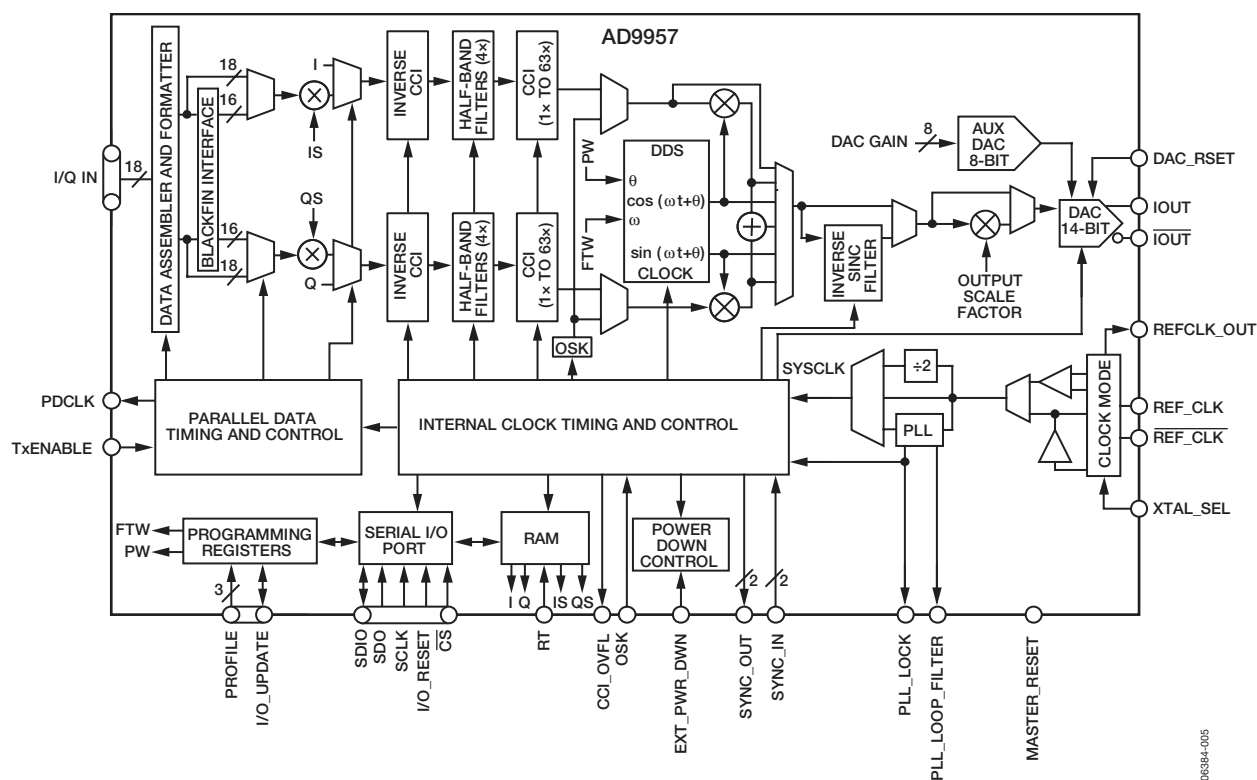


図25. 詳細ブロック図

06384-005

直交変調モード

図26に、QDUCモードで動作するAD9957のブロック図を示します。灰色で示されている部分は動作しません。パラレル入力18ビットのIワードとQワードをインターリーブ方式で受け付けます。つまり、18ビットのIワードの後に18ビットのQワード、さらにその後に次の18ビットIワードというように順に入力が行われます。1個の18ビットIワードと1個の18ビットQワードで、1つの内部サンプルを構成します。データ・アセンブラとフォーマッタがIワードとQワードのインターリーブを解除し、各サンプルがパラレルに内部データバスに送られるようにします。IとQの両方のデータバスがアクティブになり、パラレル・データ・クロック（PDCLK）によってAD9957に対するI/Qデータの入力が同期されます。

PROFILEピンとI/O_UPDATEピンも、PDCLKに同期します。

DDSコアは、直交（サインおよびコサイン）のローカル発振信号を直交変調器に供給し、ここで補間されたIサンプルとQサンプルにそれぞれのキャリア位相が乗算され、さらに加算された後、直交変調のデータ・ストリームとなります。データ・ストリームは逆SINCフィルタ（オプション）を経由して、出力スケールリング通倍器に送られます。次に14ビットDACに入力されて、直交変調のアナログ出力信号になります。

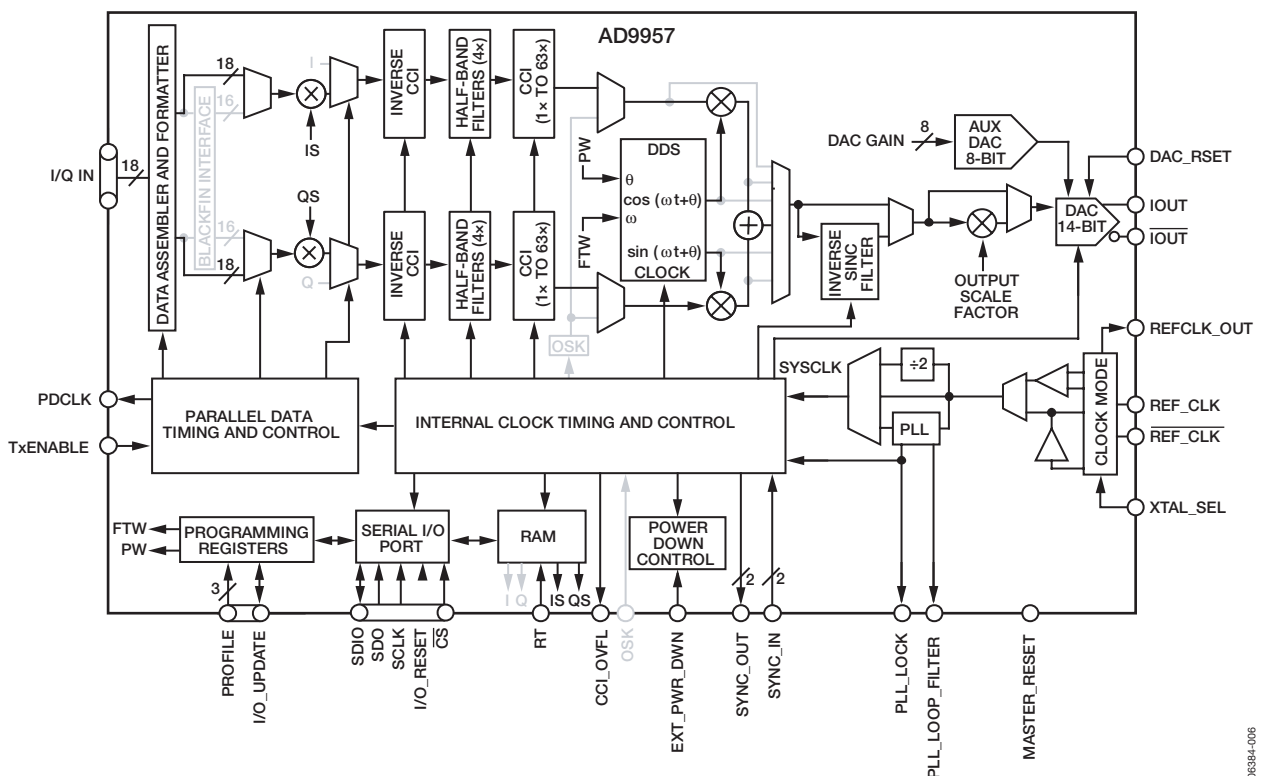


図26. 直交変調モード

Blackfinインターフェース (BFI) モード

QDUCモードの一部に、図27に示すBlackfinインターフェース (BFI) モードがあります。灰色で示されている部分は動作しません。このモードでは、パラレル・データワードではなく、IとQのシリアル・ビット・ストリームが個別にベースバンド・データ・ポートに入力されます。16ビットのIワードとQワードが2つのシリアル入力から供給されます（通常のQDUCモードでは18ビット・ワード）。シリアル・ビット・ストリームは、Blackfinインターフェースに転送されます。Blackfinインターフェースは、16ビットのシリアル・データを16ビットのパラレル・データに変換し、その信号を後段の信号処理チェーンへ送ります。

Blackfinインターフェースには、IとQの信号パスの両方にもう1対のハーフバンド・フィルタがあります（下図には明示していません）。この2個のハーフバンド・フィルタによって、ベースバンド・データのインターポレーションが通常のQDUCモードの場合より4倍多くなります。

シリアル・データの同期は、PDCLK信号によって行われます。BFIモードの場合、PDCLK信号が事実上シリアル・データのビット・クロックになります。

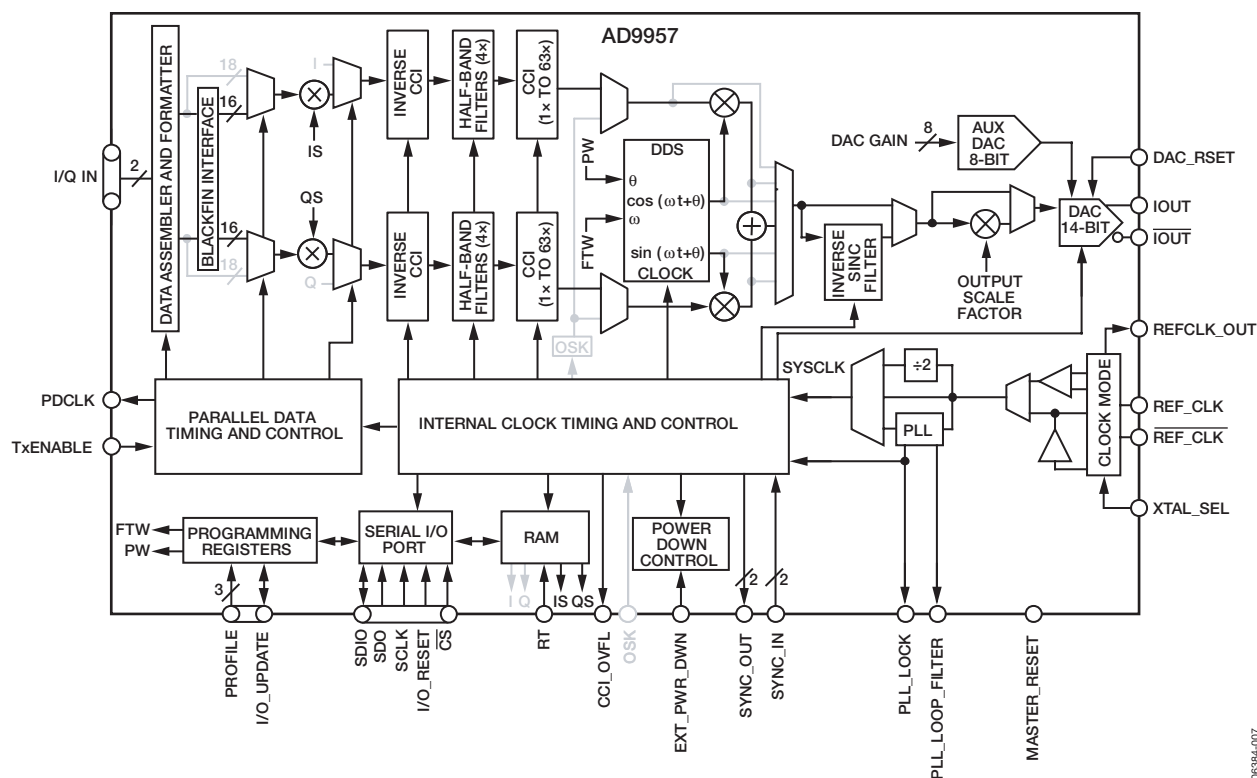


図27. 直交変調モード、Blackfinインターフェース

06384-007

AD9957

インターポレーションDACモード

図28に、インターポレーションDACモードで動作するAD9957のブロック図を示します。灰色で示されている部分は動作しません。このモードの場合、Qデータパス、DDS、変調器がすべてディスエーブルされ、Iデータパスのみがアクティブになります。

直交変調モードの場合と同じく、PDCLKピンがクロックとして機能し、AD9957に対するデータの入力を同期します。

インターポレーションDACモードのときは変調が行われないため、パラレル・ポートに入力されるデータのスペクトルはベースバンドのままです。ただし、サンプル・レート変換は、設定されたインターポレーション・レートに基づいて実行されます。インターポレーション・ハードウェアがこの信号を処理し、ゼロ詰め動作で効果的にオーバーサンプリングを行います。元の入力スペクトルはそのままですが、サンプル・レート変換から発生するイメージはインターポレーション・シグナル・チェーンで抑圧されます。

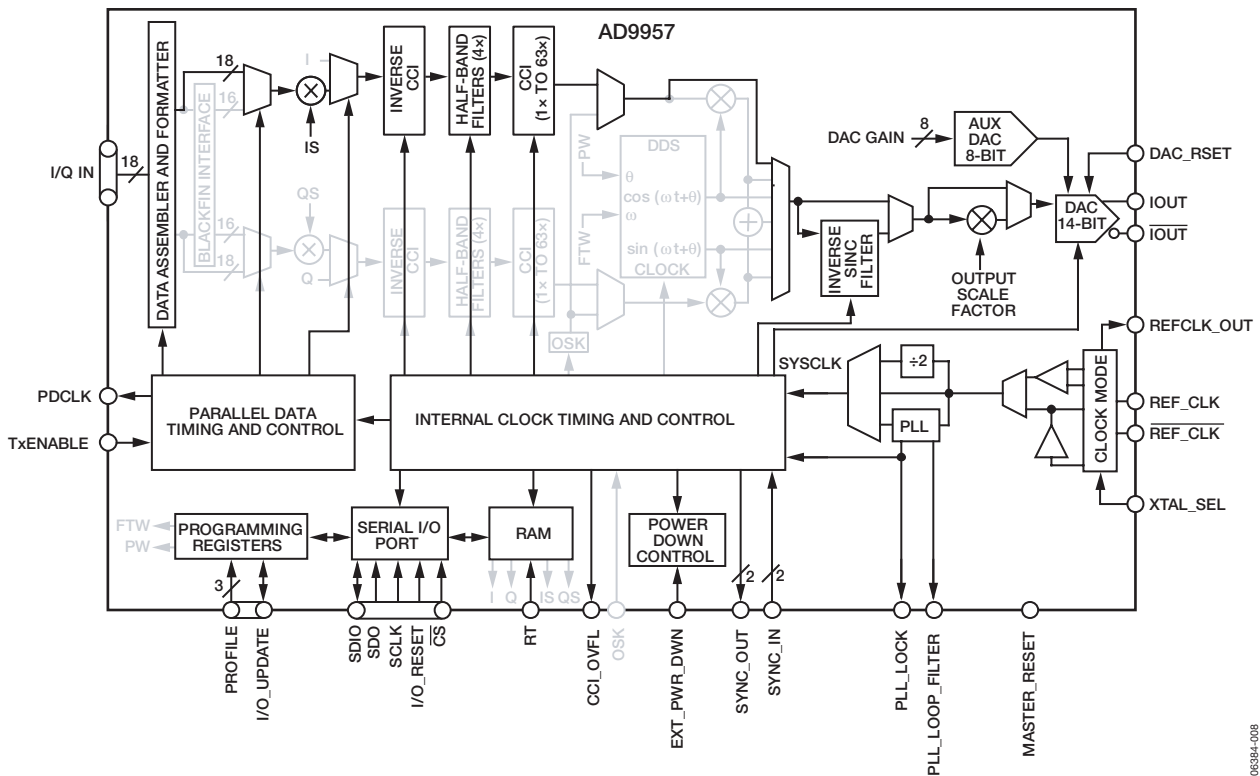


図28. インターポレーションDACモード

06394-008

シングル・トーン・モード

図29に、シングル・トーン・モードで動作するAD9957のブロック図を示します。灰色で示されている部分は動作しません。このモードの場合、18ビットの平行データ・ポートから変調器までのIとQのデータパスがディスエーブルされます。内部DDSコアが、設定された同調ワードに基づいて一つの周波数信号を発生します。、DDSの出力をコサインにするかサインにするか選べます。14ビットの振幅スケール・ファクタ（ASF）

を使用してDDSの正弦波出力をスケーリングし、場合によっては逆SINCフィルタを通過させて信号を渡すこともできます。

シングル・トーン・モードには、出力シフト・キーイング（OSK）機能があります。この機能により、設定可能な時間間隔で振幅スケール・ファクタをゼロから任意のプリセット値まで増加させることができます。

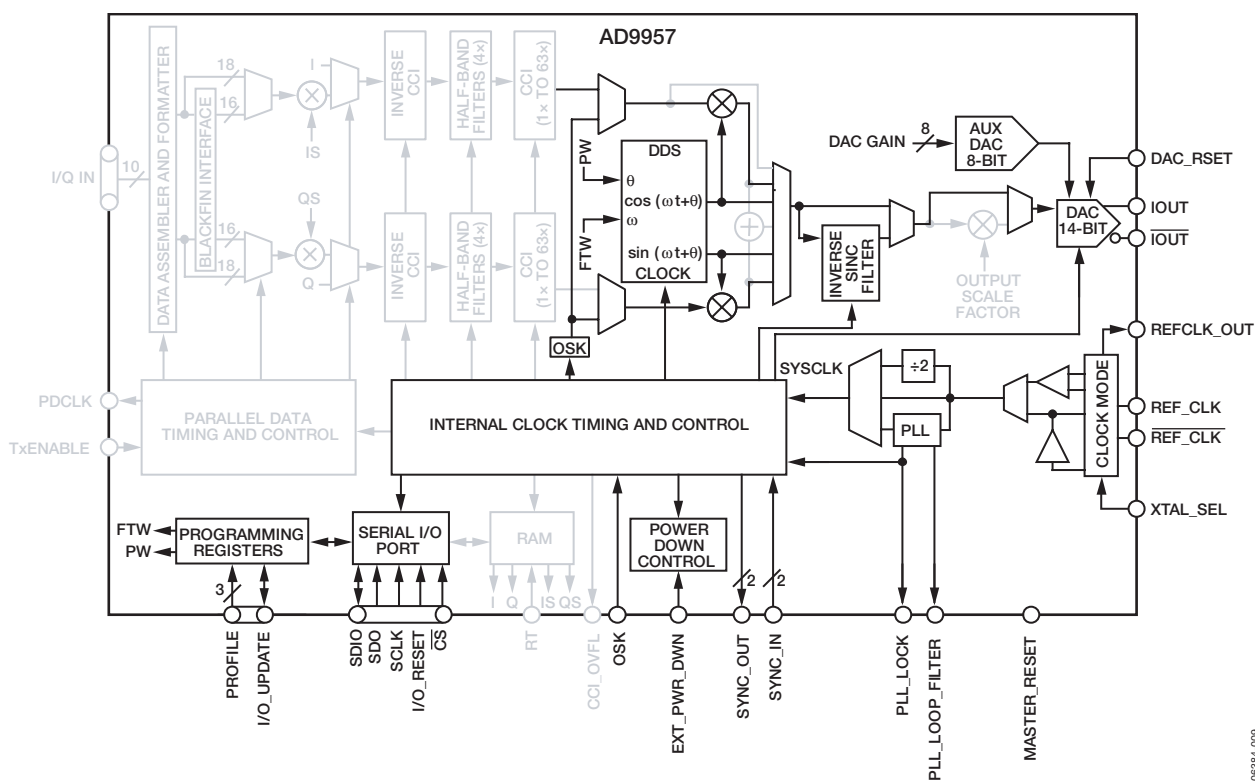


図29. シングル・トーン・モード

06384-009

信号処理

AD9957の動作をよく理解するためには、直交変調モードでパラレル・データ・ポートからDAC出力までの信号パスをたどり、各ブロックの機能を調べるのが役立ちます（図26を参照）。

タイミング・ソースからREF_CLKピンに入力される内部システム・クロック（SYSCLK）信号によって、AD9957内部のすべてのタイミングが得られます。

パラレル・データ・クロック（PDCLK）

AD9957がPDCLKピン上に発生する信号が、パラレル・データ・ポートのサンプル・レートで動作するクロック信号になります。QDUCモードとインターポレーションDACモードではPDCLKはパラレル・ポート用のデータ・クロックになり、BFIモードではビット・クロックになります。一般に、AD9957はPDCLKの立上がりエッジを使用して、ユーザが供給するデータをデータ・ポートにラッチします。PDCLK反転ビットを使用して、立下がりエッジをアクティブ・エッジに選ぶ方法もあります。さらに、PDCLKイネーブル・ビットを使用して、PDCLK信号をオフにします。出力信号がPDCLKイネーブル・ビットでオフに設定されている場合でも、PDCLKは内部で動作を続けます。AD9957は内部でPDCLKを使用して、パラレル・データを取り込みます。PDCLKは、デイスエーブル時にロジック0になります。

QDUCモードの場合、AD9957はIデータワードとQデータワードがパラレル・ポートに交互に入力されるのを待ちます（図31を参照）。PDCLKのアクティブ・エッジのたびに、18ビット・ワードが1つ取り込まれ、各I/Qペアごとに2つのPDCLKサイクルが生じます。BFIモードでは、AD9957は16ビット・ワードに分割された2つのシリアル・ビット・ストリームの入力待ちます。この場合PDCLKが新しいビットを示します。いずれの場合も、「入力データ・アセンブラ」で説明するように出力クロック・レートは f_{PDCLK} です。

内部SYSCLK信号とPDCLK信号との間に一貫したタイミング関係が求められるQDUCアプリケーションでは、PDCLKレート・コントロール・ビットを使用して、PDCLKの動作を少し変更します。このビットを設定すると、PDCLKのレートが1/2に削減します。これにより、PDCLKの立上がりエッジでI入力ワードがラッチされ、立下がりエッジでQ入力ワードがラッチされます。この場合も、PDCLK反転ビットでエッジの極性を反転させることができます。

送信イネーブル・ピン（TxENABLE）

TxENABLEピンはユーザが供給するデータをゲート制御し、AD9957はユーザが発生した信号をこのピンから受け入れます。TxENABLEピンの極性は、TxENABLE反転ビットを使用して設定します（詳細は「レジスタ・マップ」を参照）。TxENABLEが真のときは、予想されるPDCLKエッジ（PDCLK反転ビットを使用）でデータが内部にラッチされます。TxENABLEが偽のときは、PDCLKが動作を続けても、AD9957はポートに入力されたデータを無視します。さらに、TxENABLEピンを偽の状態に保持すると、AD9957は18ビットのデータワードをロジック0に強制的に設定するか、またはTxENABLEが偽になる前にデータ・ポートに入力された最後のデータを保持します（「レジスタ・マップ」のデータ・アセンブラ・ホールド最終値ビットを参照）。

TxENABLEピンをデータ・バーストのフレーミングのためのゲートとして動作させるのではなく、パラレル・ポートのデータレートで動作するクロック信号でこのピンを駆動することもできます。クロック信号で駆動する場合は、偽から真への変化が各サイクルの必要なセットアップ時間とホールド時間を満たすようにしないと正しい動作が行われません。

QDUCモードでは、TxENABLEが偽から真に変化するエッジで、AD9957が最初のIワードを受け入れる態勢が整います。PDCLKのアクティブ・エッジが発生すると同時に、最初のIワードがAD9957にラッチされます。PDCLKの次のアクティブ・エッジでQワードがラッチされ、TxENABLEがステイタックな偽の状態に戻るまでこの動作を続けます。Qファースト・データ・ペアリング・ビットを使用して、IワードとQワードの順番を反対にすることができます。また、IワードとQワードの両方を取得してからシグナル・チェーンでデータを処理するため、偶数のデータワードをAD9957に入力する必要があります。

インターポレーションDACモードのTxENABLEの動作は、QDUCモードと同じですが、I/Qデータのペアリングを行う必要はありません。この場合は、偶数のPDCLKサイクルのルールは関係ありません。

BFIモードでのTxENABLEの動作も同じですが、偽から真へのエッジ変化で最初のIワードを指定するのではなく、シリアル・フレームの最初のI/Qビットが指定する点が異なります。16ビットのI/Qワードをすべて取得してからシグナル・チェーンでデータを処理するため、シリアル・フレームの16ビットをすべてAD9957に入力する必要があります。

図30、図31、図32に、TxENABLE、PDCLK、DATA間のタイミングの関係を示します。

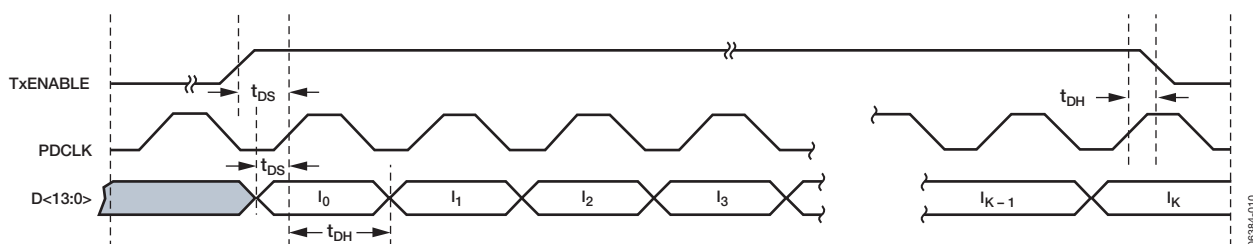


図30. 18ビット・パラレル・ポートのタイミング図—インターポレーションDACモード

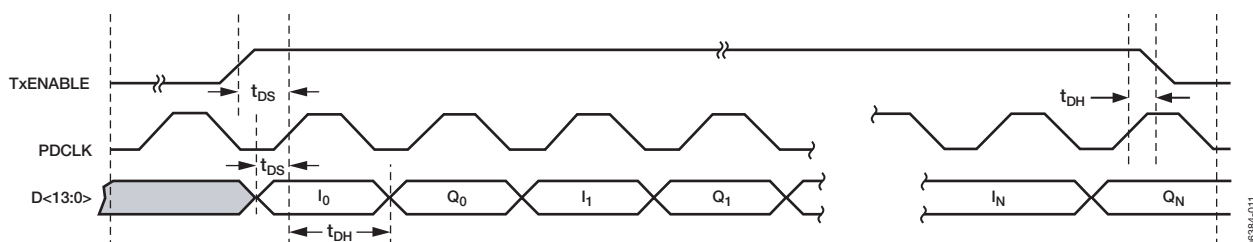


図31. 18ビット・パラレル・ポートのタイミング図—直交変調モード

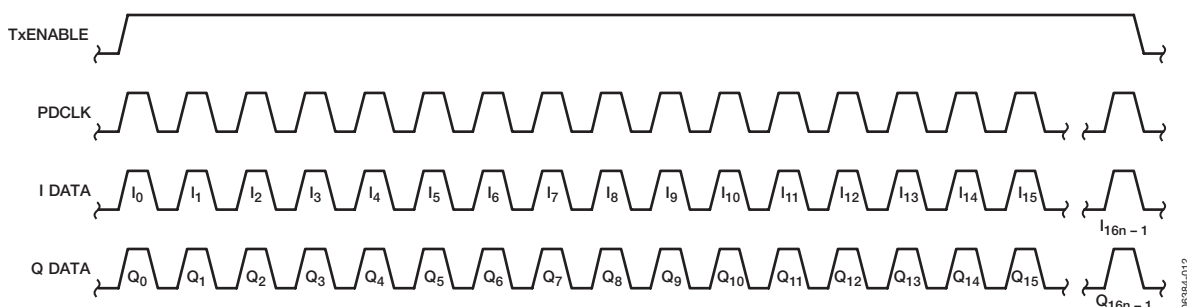


図32. デュアル・シリアルI/Qビット・ストリームのタイミング図—BFIモード

入力データ・アセンブラ

QDUCモードまたはインターポレーションDACモードでは、AD9957に対する入力18ビットの平行データ・ポートになります。BFIモードでは、デュアルのシリアルデータ・ポートとして動作します。

QDUCモードのときは、2つの連続する18ビット・ワードが複素数 $I+jQ$ の実数部 (I) と虚数部 (Q) を表すことになります。18ビット・ワードは、次のレートでAD9957に入力されます。

$$f_{PDCLK} = \frac{f_{SYSCLK}}{2R} \text{ for QDUC mode}$$

ここで、

f_{SYSCLK} (この項目に示すPDCLKのすべての式に使用) は、DACのサンプル・レートです。

R (この項目に示すPDCLKのすべての式に使用) は、プログラマブル・インターポレーション・フィルタのインターポレーション係数です。

ただし、QDUCモードでPDCLKレート・コントロール・ビットがアクティブのときは、PDCLKの周波数は次のようになります。

$$f_{PDCLK} = \frac{f_{SYSCLK}}{4R} \text{ with PDCLK rate control active}$$

インターポレーションDACモードのときは、PDCLKレート・コントロール・ビットがアクティブの場合、PDCLKのレートはQDUCモードと同じになり、次のように表すことができます。

$$f_{PDCLK} = \frac{f_{SYSCLK}}{4R} \text{ for interpolating DAC mode}$$

BFIモードでは、18ビットの平行入力がデュアルのシリアル入力に変換されます。すなわち、IワードとQワードのシリアル入力として、それぞれ1本ずつピンが割り当てられます。その他の16本のピンは使用しません。さらに、I/Qの各ワードの分解能は16ビットになります。 f_{PDCLK} はIデータ・ストリームとQデータ・ストリームのビット・レートであり、次の式で求めることができます。

$$f_{PDCLK} = \frac{f_{SYSCLK}}{R} \text{ for BFI mode}$$

AD9957にデータが入力される前に、シンボルのエンコーディングとパルス成形を実行する必要があります。AD9957に入力されるデータは、2の補数またはオフセット・バイナリのフォーマットが可能です（表13のデータ・フォーマット・ビットを参照）。BFIモードでは、ビット・シーケンスの順番をMSBファーストかLSBファーストに設定することができます（Blackfinビット順ビットを使用）。

逆CCIフィルタ

逆カスケード・コーム積分器（CCI）フィルタはデータに予め歪みを与えて、CCIフィルタで発生するわずかな勾配減衰を補正します（「プログラマブル・インターポレーション・フィルタ」を参照）。最初のハーフバンド・フィルタに入力されるデータは、ナイキスト定理によって決まる $1/2 f_{IQ}$ の最大帯域幅を占有します（ f_{IQ} は最初のハーフバンド・フィルタの入力サンプル・レートです）。図33を参照してください。

CCIフィルタを使用する場合、極度に平坦なパスバンドが求められるアプリケーションにおいて帯域内減衰勾配によって問題が生じることがあります。たとえば、AD9957に供給されたデータのスペクトルが $1/2 f_{DATA}$ 領域の大部分を占める場合、データ・スペクトルのうち高い周波数が低い周波数よりもわずかに多く減衰します（ $f=0$ から $1/2 f_{DATA}$ までの最悪時の全体の低下は0.8dB未満）。逆CCIフィルタは、 $1/2 f_{IQ}$ の領域でのCCIフィルタの応答と逆の応答特性を持っています。

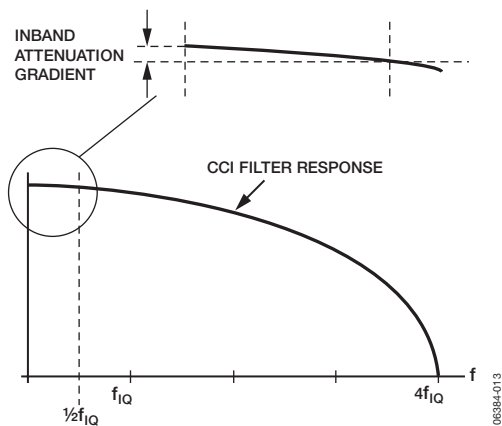


図33. CCIフィルタの応答

2つの応答の積により、きわめて平坦なパスバンド（ベースバンド・ナイキスト帯域幅で±0.05dB）が得られるため、CCIフィルタによって生じる帯域内減衰勾配が除去されます。その代償は、入力信号がわずかに減衰することです（CCIのインターポレーション・レートが2で約0.5dB、これより高いインターポレーション・レートで約0.8dB）。

逆CCIフィルタは、レジスタ・マップの該当のビットを使用してバイパスできます。CCIのインターポレーション・レートが1倍のときは、自動的にバイパスされます。バイパスすると、この回路段の電源がオフになり、消費電力が削減します。

固定インターポレータ（4倍）

このブロックは、2個のハーフバンド・フィルタのカスケード接続で構成される4倍レート固定のインターポレータです。この2個のフィルタのサンプリング・レートが4倍に増加するとともに、入力に加えられるベースバンド信号のスペクトルが維持されます。いずれのフィルタもリニア位相フィルタであるため、通過帯域内にほとんど位相歪みが生じません。2個のフィルタの挿入損失の合計は0.01dBであり、入力信号の相対的な振幅を保持します。

これらのフィルタはあわせて、入力サンプル・レートの40%の使用可能な通過帯域を提供できる性能があります。この通過帯域内のリップルは、0.002dBピークtoピークを超えることはありません。阻止帯域は入力サンプル・レートの60%から340%に拡張し、最小減衰量は85dBです。図34と図35に、この2個のハーフバンド・フィルタの合成応答を示します。

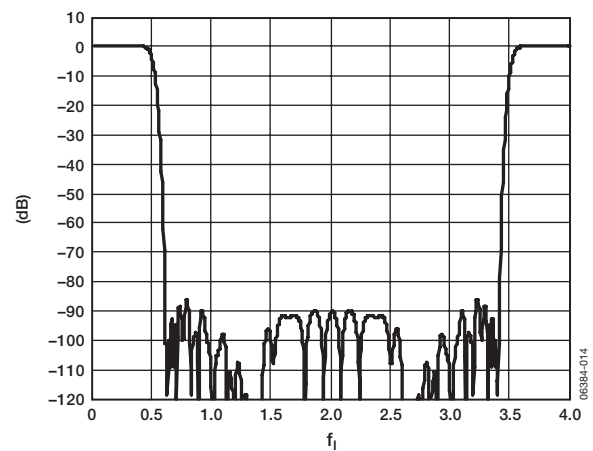


図34. ハーフバンド1とハーフバンド2の合成応答（周波数はハーフバンド1の入力サンプル・レートにスケーリング）

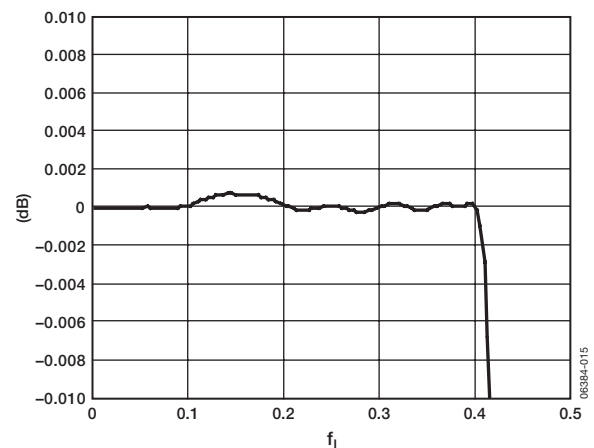


図35. 合成通過帯域の詳細（周波数はハーフバンド1の入力サンプル・レートにスケーリング）

BFIモードでは、この他に2個のハーフバンド・フィルタが存在するため、合計で16倍の固定インターポレーション係数が使用できます。追加のBFIフィルタのフィルタ・タップ係数値は、QDUCモードのハーフバンド・フィルタと同じですが、データパスは（QDUCモードのハーフバンド・フィルタの18ビットではなく）16ビットです。したがって、BFIモードではベースバンドの量子化ノイズが比較的高くなります。

ハーフバンド・フィルタが入力信号のスペクトル特性に及ぼす影響を理解するためには、ハーフバンド・フィルタの周波数応答を把握しておく必要があります。特に、直交変調器を使用して、パルス成形が行われた複素数データ・シンボルを含むベースバンドのアップコンバージョンを行う場合にはこれが当てはまります。

複素数シンボルを実数 (I) と虚数 (Q) の成分で表すものとします。この場合、 $I+jQ$ の形式の複素数サンプルを表すには2つのデジタル・ワードが必要です。複素数シンボルのシーケンスに関連するサンプル・レートを f_{SYMBOL} とします。これらのシンボルにパルス成形を適用する場合、整数係数 M を乗算してサンプル・レートを増加させる必要があります (パルス成形プロセスの結果)。この新しいサンプル・レート (f_{IQ}) は、シンボル・レートと次のような関係があります。

$$f_{\text{IQ}} = M f_{\text{SYMBOL}}$$

ここで、 f_{IQ} は、両方 (I および Q) の信号パスで最初のハーフバンド・フィルタの入力に複素数サンプルを加えるときのレートです。データを AD9957 に入力するときのレートとこのレートを混同しないでください。

一般に、ベースバンド・シンボルのパルス成形は2乗余弦応答を持つフィルタを使って行われます。この場合、帯域幅拡張係数 (α , $0 \leq \alpha \leq 1$) を使用して、データの帯域幅を変更します。 $\alpha=0$ のとき、データ帯域幅は $f_{\text{SYMBOL}}/2$ に等しくなり、 $\alpha=1$ のときは f_{SYMBOL} まで拡張されます。図36に、 α 、2乗余弦応答の帯域幅、最初のハーフバンド・フィルタ応答の関係を示します。

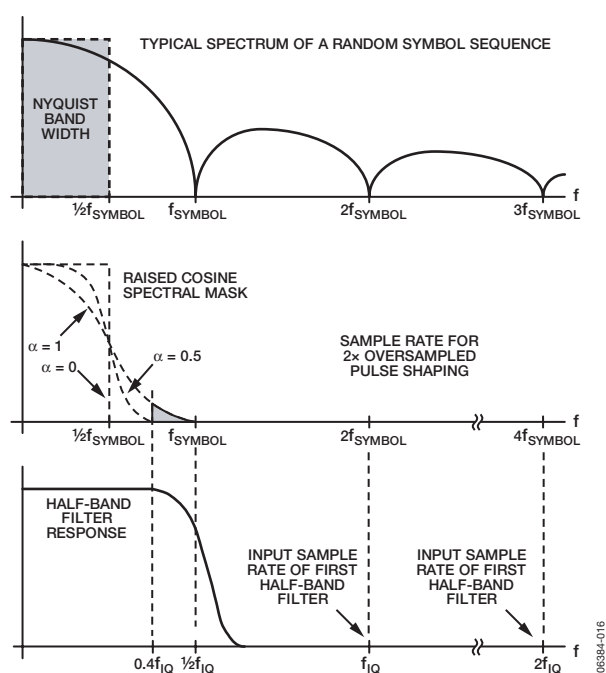


図36. 帯域幅拡張係数 (α) の効果

図36の応答は、 $M=2$ (パルス成形用のインターポレーション係数) という特定の条件を反映したものです。係数 M を大きくすると、図のハーフバンド応答部分の f_{IQ} の位置が右側に移動します。これは、2乗余弦スペクトル図の周波数軸にある対応する $M f_{\text{SYMBOL}}$ の位置と一致させておく必要があるためです。ただし、 f_{IQ} が右側に移動すると、これに比例してハーフバンド応答も右に移動します。

その結果、 $M>2$ であるかぎり、 α の値に関係なく常に、2乗余弦のスペクトル・マスクは最初のハーフバンド・フィルタの通過帯域応答の平坦部分 (DC ~ $0.4 f_{\text{IQ}}$) の領域内にあります。したがって、 $M>2$ の場合、2乗余弦のパルス成形が行われるとき、最初のハーフバンド・フィルタがベースバンド信号のスペクトルに対して悪影響を与えることはありません。 $M=2$ の場合は、問題が発生することがあります。2乗余弦のスペクトル・マスク図で $\alpha=1$ の点線の末尾の方に示した網掛け部分がこれを表しています。2乗余弦スペクトル・マスクのこの部分は、ハーフバンド応答の平坦部分を越えているため、信号が最初のハーフバンド・フィルタを通過するときに望ましくない振幅や位相歪みが発生することになります。この問題を回避するときは、 $M=2$ のときに必ず $\alpha \leq 0.6$ にするだけで十分です。

プログラマブル・インターポレーション・フィルタ

プログラマブル・インターポレータは、ローパス CCI フィルタとして実装されています。6ビットのコントロール・ワードを使用して、2~63倍の範囲でインターポレーションを設定することができます。

インターポレーション係数を1に設定すると、プログラマブル・インターポレータをバイパスします。バイパスするときは、この回路段に供給される電源が停止し、補正が不要になるため逆CCIフィルタもバイパスされます。

プログラマブル・インターポレータの出力は、4倍インターポレータからのデータで、ユーザが選んだレートに従って CCI フィルタでさらにアップサンプリングされます。これにより、入力データは4ステップで8~252倍の範囲の係数でアップサンプリングされます。

CCI インターポレーション・フィルタの伝達関数は、次のようになります。

$$H(f) = \left(\sum_{k=0}^{R-1} e^{-j(2\pi f k)} \right)^5 \quad (1)$$

ここで、 R はインターポレーション係数の設定値、 f は f_{SYSCLK} に正規化された周波数です。

直交変調器

デジタル直交変調段は、入力データ・ストリームのベースバンド・スペクトル周波数を所望のキャリア周波数までシフトします (アップコンバージョンと呼ばれるプロセス)。

ここで、 f_{IQ} の I/Q サンプル・レートで AD9957 に送信されたベースバンド・データが、 SYSCLK の周波数に等しいレートでアップサンプリングされるため、データ・サンプリング・レートがキャリア信号のサンプリング・レートと等しくなります。

キャリア信号周波数は、ダイレクト・デジタル・シンセサイザ (DDS) が制御します。DDSは、内部基準クロック (SYSCLK) から所望のキャリア周波数をきわめて高い精度で発生します。キャリアは直交形式 (90° の位相オフセット) でI通倍器とQ通倍器に送られ、加算されて、直交変調キャリアのデータ・ストリームが発生されます。

変調はデジタル処理で行われるため、一般にアナログ変調器にともなう位相オフセット、ゲインの不平衡、クロストークといった問題がありません。ここで変調された信号とは、DACのクロック・レートと同じSYSCLKレートでサンプリングされた数値ストリームのことです。

キャリアに対する変調信号の方向は、スペクトル反転ビットによって制御します。このビットは、4個のプロファイル・レジスタのそれぞれにあります。デフォルト設定では、直交変調器の時間領域の出力は次のようになります。

$$I(t) \times \cos(\omega t) - Q(t) \times \sin(\omega t) \quad (2)$$

スペクトル反転ビットをアサートすると、次のようになります。

$$I(t) \times \cos(\omega t) + Q(t) \times \sin(\omega t) \quad (3)$$

DDSコア

ダイレクト・デジタル・シンセサイザ (DDS) ブロックは、正弦波信号や余弦波信号を発生します。シングル・トーン・モードの場合、選択されたDDSサイン出力ビットに基づいて正弦波形成または余弦波形成のデジタル信号を発生します。QDUCモードでは、I/Qベースバンド信号をデジタル変調する直交のキャリア基準信号を発生します。

DDS出力周波数は、シリアルI/Oポートからアクセスするレジスタを使用して調整します。これにより、出力周波数を高い精度で調整できるとともに、キャリア周波数を瞬時に変更することも可能です。

DDSの出力周波数 (f_{OUT}) と周波数同調ワード (FTW)、システム・クロック (f_{SYSCLK}) の関係は次のとおりです。

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (4)$$

上の式で、FTWは0～2,147,483,647 ($2^{31}-1$) の範囲の10進値です。

FTWについて解くと、次のようになります。

$$FTW = \text{round} \left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (4)$$

ここで、関数round() は計算結果を最も近い整数に丸めることを意味します。たとえば、 $f_{OUT}=41\text{MHz}$ 、 $f_{SYSCLK}=122.88\text{MHz}$ とすると、 $FTW=1,433,053,867$ (0x556AAAAB) になります。

シングル・トーン・モードでは、DDSの周波数、位相、振幅をすべてシリアルI/Oポートから設定することができます。振幅は、振幅スケール・ファクタ (ASF) と呼ばれる14ビットの0次のスケール値を使用するデジタル乗算器によって制御します。LSBの重み付けが 2^{-14} であるため、通倍範囲は0～0.99993896484375 ($1-2^{-14}$) になります。ASF乗算器をバイパスするときは、該当するコントロール・レジスタ・ビットを設定します (CFR2<24>レジスタ・ビットの説明を参照)。バイパスされると、消費電力を節約するためASF乗算器クロックがディセーブルされます。位相オフセットは、位相オフセッ

ト・ワード (POW) と呼ばれる14ビットのオフセット値を使用するデジタル加算器で制御します。加算器は、DDSコアの位相アキュムレータと角度／振幅変換ロジックの間に配置されており、DDSの位相アキュムレータが発生した位相瞬時値にPOWを加算します。この加算器は位相アキュムレータとMSBアライメントが行われており、LSBの重み付けは 2^{-14} (約0.022° すなわち約0.000383ラジアン) の分解能) になります。ASFもPOWも8個のプロファイルのそれぞれで使用できます。

逆SINCフィルタ

サンプリングされたキャリア・データ・ストリームは、D/Aコンバータに入力されます。DACが発生する信号には元々ゼロ次のホールド効果があるため、DACの出力スペクトルは特性 $\text{SIN}(x)/x$ (またはSINC) エンベロープによって成形されます。このSINCエンベロープの成形はよく知られており、補正が可能です。補正には、DAC前段の逆SINCフィルタを使用します。

逆SINCフィルタは、デジタルFIRフィルタとして実装されています。その応答特性は、図37に示すSINCエンベロープの逆数とほとんど一致しています (比較用にSINCエンベロープも示します)。

逆SINCフィルタは、レジスタ・マップのビットを使用してイネーブルします。表4に、このフィルタのタップ係数を示します。このフィルタはDACにデータが入力される前にデータに予め歪みを与えて、スペクトルに歪みを引き起こすSINCエンベロープを補正します。

逆SINCフィルタのイネーブル時には、約3.0dBの挿入損失が生じます。逆SINC補正は、DACサンプル・レートの40% (公称値) までの出力周波数に有効です。

表4. 逆SINCフィルタのタップ係数

Tap No.	Tap Value	Tap No.
1	-35	7
2	+134	6
3	-562	5
4	+6729	4

図37から、ナイキスト周波数 (DACサンプル・レートの1/2) で最大4dBになる周波数に依存する減衰がSINCエンベロープによって生じていることがわかります。逆SINCフィルタを使用しなければ、DACの出力もSINCエンベロープによる周波数に依存する減衰の影響を受けます。逆SINCフィルタは、図38に示すように減衰を±0.05dB以内までに効果的に平坦化します。この図は、逆SINCフィルタ・イネーブル時の補正されたSINC応答を示しています。

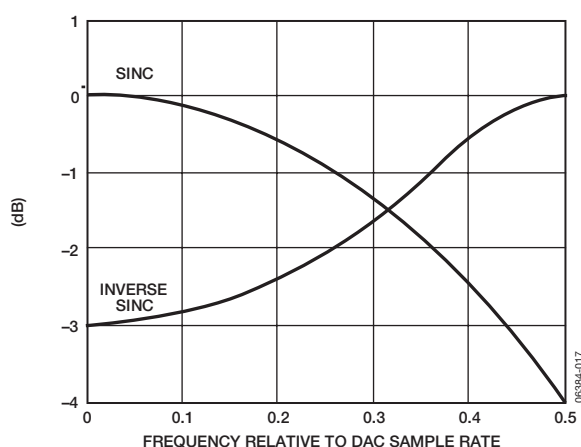


図37. SINCおよび逆SINC応答

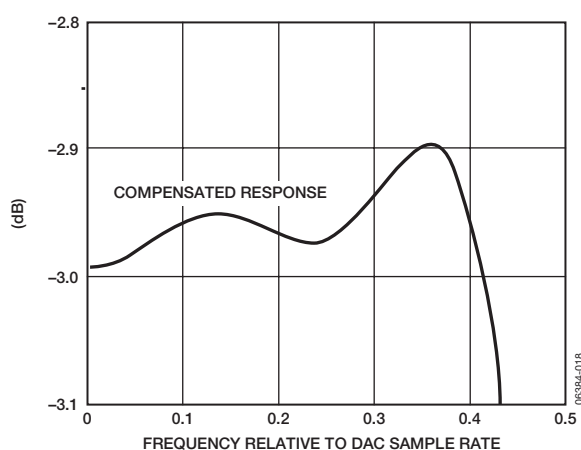


図38. 逆SINC補正を行った場合のDAC応答

14ビットDAC

AD9957は、14ビットの電流出力DACを内蔵しています。出力電流は、2つの出力を使用する平衡信号になります。平衡出力の使用により、DAC出力の同相ノイズが削減し、S/N比が向上します。DAC_RSETピンとAGNDの間に外部抵抗 (R_{SET}) を接続すると、リファレンス電流が設定されます。DACのフルスケール出力電流 (I_{OUT}) は、このリファレンス電流をスケールした値になります (次の「補助DAC」を参照)。

出力電圧が規定されたコンプライアンス範囲を超えないように、負荷の終端は十分注意して行ってください。電圧がこの範囲を超えると、過度の歪みが発生し、DAC出力回路が損傷することがあります。

補助DAC

メインDACのフルスケール出力電流 (I_{OUT}) は、8ビットの補助DACで制御します。該当するレジスタ・マップ・ロケーションに保存されている8ビットのコード・ワードを使用し、次の式に従って I_{OUT} を設定します。

$$I_{OUT} = \frac{86.4}{R_{SET}} \left(1 + \frac{CODE}{96} \right) \quad (6)$$

ここで、

R_{SET} は、 R_{SET} 抵抗の値 (Ω) です。

$CODE$ は、補助DACに入力される8ビット値です (デフォルト値は127)。

たとえば、 $R_{SET}=10,000$ 、 $CODE=127$ の場合、 $I_{OUT}=20.07\text{mA}$ になります。

出力スケール・ファクタ (OSF)

QDUCモードとインターポレーションDACモードでは、8ビットのデジタル乗算器を使用して出力振幅を制御します。8ビットの乗算値は出力スケール・ファクタ (OSF) と呼ばれ、該当するコントロール・レジスタで設定します。8個のプロファイルのそれぞれで使用できます。LSBの重み付けが 2^{-7} であるため、通倍範囲は0から1.9921875 ($2-2^{-7}$) までです。ゲインがほぼ2倍まで拡張されるため、直交変調モード動作時の変調器による損失をなくすることができます。

インターポレーションDACモードでは、クリッピングが発生することがあるため、OSFの設定でユニティを超えないようにしてください。8ビット乗算器をユニティ・ゲイン (0×80) に設定すると、この回路段がバイパスされて、消費電力が削減されます。

RAMの制御

RAMの概要

AD9957には、1024×32ビットの内蔵RAMがあります。RAMにアクセスできるのは、QDUCモードかインターポレーションDACのモードでAD9957を動作させる場合のみです。このRAMには、データ・エントリ／検索モードとプレイバック・モードの2つの基本動作モードがあります。シリアルI/Oポートを介してCFR1のRAMイネーブル・ビットを設定して、モードを選択します。

データ・エントリ／検索モードは、シリアルI/Oポートを介してRAMにデータをロードしたり、RAMのデータを読み出すときに使用します。プレイバック・モードは、ベースバンド・スケーリング乗算器（図25を参照、ISおよびQSと表記）またはベースバンド・シグナル・チェーン（図25を参照、IおよびQと表記）のいずれかの内部ディスティネーションにRAMデータを転送するときに使用します。いずれの場合も、RAMを使用して、選択したディスティネーションに任意の時間変化波形を適用することができます。図39に、RAMのブロック図とその制御要素を示します。

ベースバンド信号チェーンをRAMプレイバックのディスティネーションに使用する場合は、外部の平行データ・ポートはディスエーブルされます。

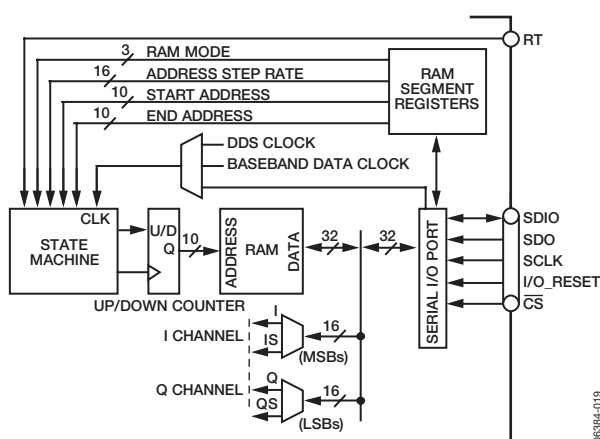


図39. RAMのブロック図

図39では、シリアルI/Oポートを介して2つのRAMセグメント・レジスタの内容を設定するとともに、RAMのデータのロードと検索を行っています。ステート・マシンは、RAMアドレス・ロケーションのインクリメントまたはデクリメントを実行し、RAMのアドレスとデータのタイミングを制御して正しい動作を実現します。プレイバック・モードでRAMを使用する場合は、IチャンネルとQチャンネルのマルチプレクサがRAMデータをベースバンド・スケーリング乗算器 (IS/QS) もしくはベースバンド信号チェーン (I/Q) に直接転送します。RAMプレイバック・ソース・ビットの状態に従って、プレイバック時のRAMデータのディスティネーションが決まります。

RAMイネーブル・ビット、RAMプレイバック・ソース・ビット、またはRAMセグメント・レジスタ・ビットいずれかの状態の変化を有効にするには、I/O更新（すなわちプロファイルの変更）が必要です。

32ビットのRAMデータバスは、16個のMSBがIチャンネル・ビット、16個のLSBがQチャンネル・ビットに指定されるように分割されています。プレイバック・モード時にデータを直接ベースバンド信号チェーンに送るとき、16ビットのデータワー

ドは符号付き（つまり、2の補数）の値とみなされます。16ビットのIワードとQワードは、18ビットのIベースバンド信号チェーンとQベースバンド信号チェーンにMSBファーストでアライメントされます。18ビットの各ベースバンド・チャンネルの残りの2個のLSBは、各チャンネルのMSBから駆動されます。これによって、RAMの16ビットのIデータとQデータがベースバンド信号チェーンの18ビットのワードに変換されるときに、正しい極性のコーディングが行われます。もう1つの方法では、プレイバック・モードでRAMがベースバンド・スケーリング乗算器を駆動する場合に、RAMデータは0～1-2⁻¹⁶の範囲の符号なしの値とみなされます。

RAMセグメント・レジスタ

2つの専用レジスタ（RAMセグメント・レジスタ0とRAMセグメント・レジスタ1）がRAMの動作を制御します。各レジスタは、次のワードを格納します。

- 10ビットの開始アドレス・ワード
- 10ビットの終了アドレス・ワード
- 16ビットのアドレス・ステップ・レート・ワード
- 3ビットのRAMプレイバック・モード・ワード

これらのレジスタを設定する場合は、終了アドレスが開始アドレスよりも大きくなるようにしてください。

RAMセグメント・レジスタを使用して、RAMを2つの独立したメモリ・セグメントに自由に分割できます。セグメントの境界は、各RAMセグメント・レジスタの開始と終了のアドレス・ワードで指定します。プレイバック・レートは、アドレス・ステップ・レート・ワード（ベースバンド・スケーリング乗算器をプレイバックのディスティネーションとする場合のみ有効）で制御します。RAMのプレイバック・モードは、RAMプレイバック・モード・ワードで制御します。

RAMステート・マシン

ステート・マシンは、RAMのアドレス発生器になります。シリアルI/Oポートを介してクロックを供給するか（RAMのロード／検索モード動作時）、またはベースバンド・データ・クロックを使用します（RAMのプレイバック・モード動作時）。ステート・マシンは、アクティブなRAMセグメント・レジスタのRAMモード・ビットを使用して、指定されたアドレス範囲で正しいシーケンスを設定します。

RAMトリガ (RT) ピン

RAMステート・マシンはRTピンを監視して、ロジック状態の変化を検出します。状態が変化すると、ステート・マシンが動作します。

RTピンのロジック状態変化の方向に基づいて、ステート・マシンがプレイバック命令に使用するRAMセグメント・レジスタが決まります。0から1への変化が検出された場合は、RAMセグメント・レジスタ0を使用し、1から0への変化が検出された場合はRAMセグメント・レジスタ1を使用します。

RAMのロード／検索動作

次の3つのステップで、RAMデータのロードまたは検索を行います。

1. RAMセグメント・レジスタを設定し、開始アドレスと終了アドレスで独立した各RAMセグメントの境界を定義します。
2. RTピンをトグルして適切な変化を発生させて、所望のRAMセグメント・レジスタを選択します。
3. シリアルI/Oポートを使用して、選択したRAMセグメント・レジスタで指定されたアドレス範囲の書き込み（または読出し）を行います。

図40に、ロードまたは検索動作にRAMを使用する場合のRAMブロック図を示します。

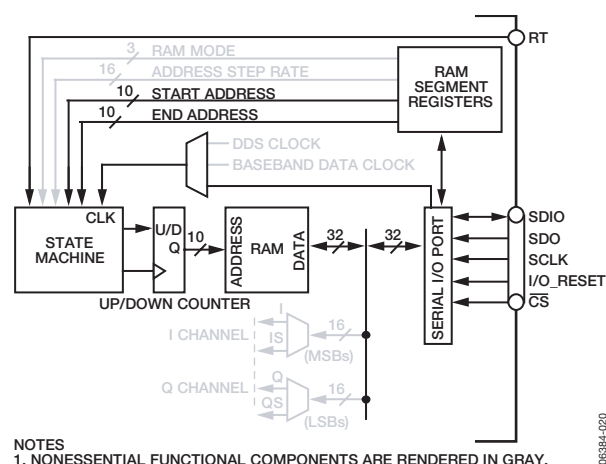


図40. RAMのロード／検索動作

ロードまたは検索中にステート・マシンがアップ／ダウン・カウンタを制御し、所望のRAMロケーションに移動します。カウンタはシリアルI/Oポートと同期しているため、32ビット・ワードのシリアル／パラレル変換と該当RAMアドレスの発生タイミングが正しく一致し、所望の読出しや書き込みが適正に実行されます。アップ／ダウン・カウンタは、シリアルI/Oポートの動作中アドレス範囲で常にインクリメントします。

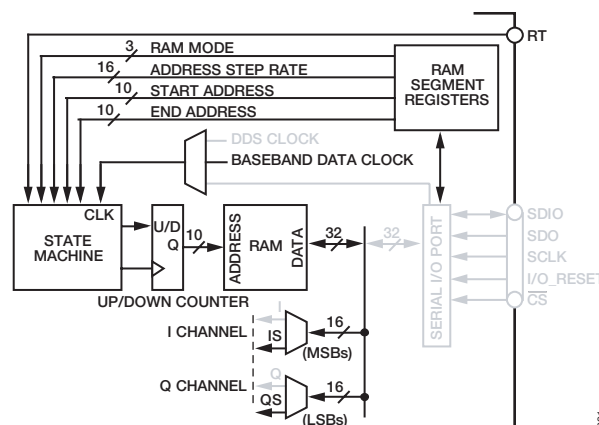
RAMセグメント・レジスタが完全に独立しているため、重複するアドレス範囲を定義できます。ただし、このようにすると、最後の書き込み動作で重複アドレス・ロケーションが上書きされてしまいます。重複するアドレス範囲を定義しないことを推奨します。

RAMのプレイバック動作

RAMにデータがロードされている場合、プレイバック動作に使用できます。プレイバック・データのディステネーションは、RAMプレイバック・ソース・ビットで選択します。アクティブにするRAMセグメント・レジスタは、RTピンの該当する変化によって選択します。アクティブなRAMセグメント・レジスタは、データに占有されているRAMアドレス範囲とRAMプレイバック・モードを指定することにより内部ステート・マシンに指示を出します。プレイバックのディステネーションがベースバンド・スケーリング乗算器の場合は、プレイバック・レートも指定します。

プレイバック動作よりもシリアルI/Oポートを介したRAMロード／検索動作の方が優先されますが、RAMイネーブル・ビットを設定した場合はシリアルI/OポートからRAMにアクセスしないようにすることを推奨します。

図41に、内部ディステネーションがベースバンド・スケーリング乗算器の場合のRAMプレイバック動作に使用する機能部品を示すブロック図を示します。



NOTES
1. NONESSENTIAL FUNCTIONAL COMPONENTS ARE RENDERED IN GRAY.

図41. ベースバンド・スケーリング乗算器に対するRAMプレイバック動作

ベースバンド・スケーリング乗算器に対するプレイバック動作では、アクティブなRAMセグメント・レジスタのアドレス・ステップ・レート・ワードがRAMデータ・サンプルが乗算器に転送されるレートを決めます。RAMサンプル・レートとサンプル・インターバル (Δt) は、次の式で定義されます。

$$RAM\ SampleRate = \frac{f_{SYSCLK}}{4RM}$$

$$\Delta t = \frac{4RM}{f_{SYSCLK}}$$

ここで、

R は、CCIフィルタのレート・インターポレーション係数です。 M は、アクティブなRAMセグメント・レジスタに保存されるアドレス・ステップ・レート・ワードの16ビット値です。

RAMイネーブル・ビットを設定し、ベースバンド・スケーリング乗算器をプレイバックのディステネーションとして選択すると、I/O更新またはプロファイル変更をアサートすることで乗算器がゼロのスタティック値で駆動されます。その後RTピンの状態が変化すると、ゼロのスタティック値ではなく、RAMからプレイバックされたデータによって乗算器が駆動されます。

図42は、内部ディステネーションがベースバンド信号チェーンの場合のRAMプレイバック動作を示すブロック図です。ベースバンド信号チェーンに対するプレイバック動作時に、ステート・マシンがベースバンドのデータレートでRAMアドレスをインクリメント／デクリメントします（ステート・マシンはアドレス・ステップ・レートを無視します）。

RAM双方向ランプ・モード

このモードでのみ、両方のRAMセグメント・レジスタのRAMセグメントプレイバック・モード・ワードをRAM双方向ランプ・モードに設定する必要があります。

双方向ランプ・モードのときは、I/O更新がアサートされると、RAMはRAMセグメント・レジスタ0で設定されたパラメータを使用するプレイバック動作の準備をします。データは、RAMプレイバック・ソース・ビットで指定されたデイスティネーションに対し、設定されたレートで転送されます。

「RAMのプレイバック動作」で詳述するように、プレイバック・レートはRAMステート・マシン内部のタイマが制御し、期間 (t) はRAMプレイバック・ソース・ビットの状態が決まります。

RTピンがロジック0から1に変化すると、プレイバックが開始します。これにより、ステート・マシンは、RAMセグメント・レジスタ0で指定された開始アドレスから始まるアドレス範囲でインクリメントするよう指示されます。RTピンがロジック1に保持されているかぎり、ステート・マシンは終了アドレスに達するまでRAMデータのプレイバックを続け、終了アドレスに達すると停止します。

RTピンがロジック1から0に変化すると、RAMセグメント・レジスタ1にスイッチし、ステート・マシンは終了アドレスから始まるアドレス範囲でデクリメントするよう指示されます。RTピンがロジック0に保持されているかぎり、ステート・マシンは開始アドレスに達するまでRAMデータのプレイバックを続け、開始アドレスに達すると停止します。

双方向ランプ・モードの場合は、RAMセグメント・レジスタ1が逆方向にプレイバックされる点に注意してください。双方向ランプをプレイバック・モードとして選択する場合、シリアルI/Oポートを介してRAMにデータをロードするときにこの点に注意する必要があります。

図44に、双方向ランプ・モードを図示します。RTピンに対応するステート・マシンの動作を示します。設定された開始アドレスまたは終了アドレスにステート・マシンが到達する前にRTピンの状態が変化すると、内部タイマが再起動し、アドレス・カウンタの方向が反転します。

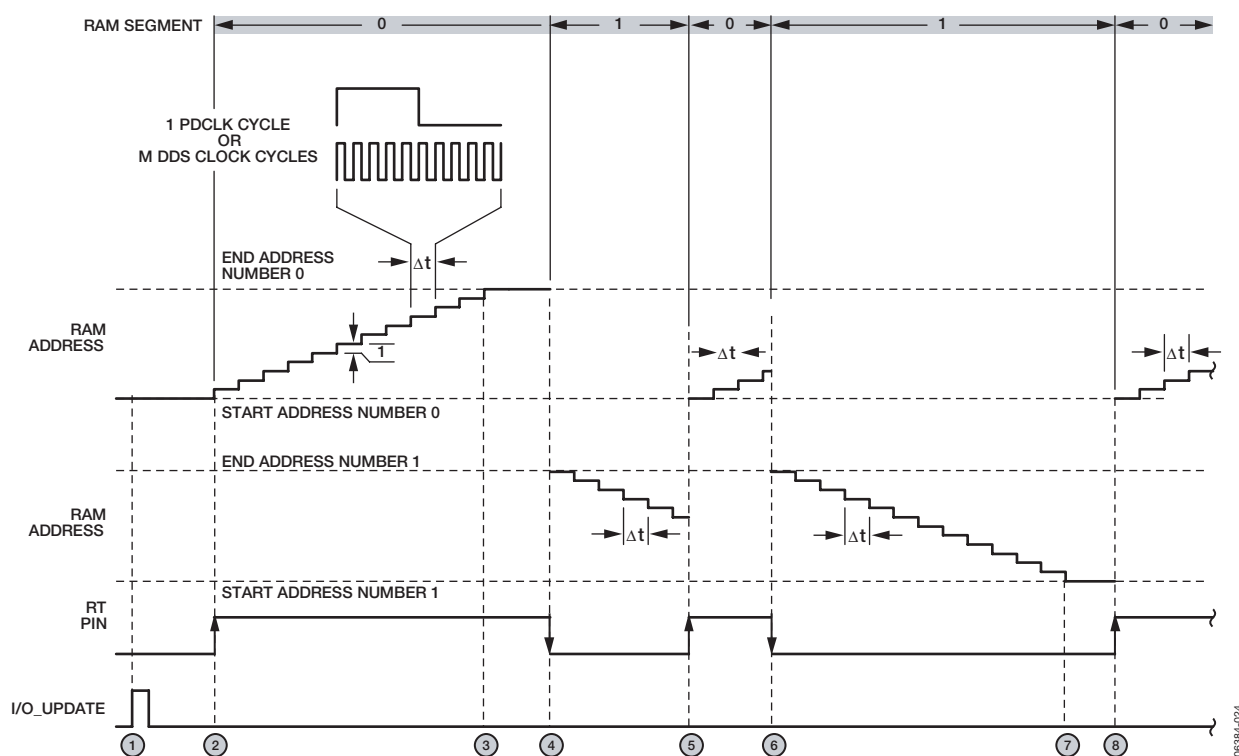


図44. 双方向ランプ・タイミング図

06384-024

AD9957

図44の丸付き数字は、次のイベントを示しています。

イベント1—I/O更新またはプロファイル変更により、RAM双方向ランプ・モードがアクティブになります。

イベント2—RTピンがロジック1にスイッチします。ステート・マシンが初期化され、RAMセグメント・レジスタ0の開始アドレスになり、RAMアドレス・カウンタのインクリメントを開始します。

イベント3—RTピンがロジック1に保持されます。ステート・マシンがRAMセグメント・レジスタ0の終了アドレスに達し、アドレス・カウンタが停止するまで、この状態を維持します。

イベント4—RTピンがロジック0にスイッチします。ステート・マシンが初期化され、RAMセグメント・レジスタ1の終了アドレスになり、内部タイマをリセットしてからRAMアドレス・カウンタのデクリメントを開始します。

イベント5—RTピンがロジック1にスイッチします。ステート・マシンが初期化され、RAMセグメント・レジスタ0の開始アドレスになり、内部タイマをリセットしてからRAMアドレス・カウンタのインクリメントを開始します。

イベント6—RTピンがロジック0にスイッチします。ステート・マシンが初期化され、RAMセグメント・レジスタ1の終了アドレスになり、内部タイマをリセットしてからRAMアドレス・カウンタのデクリメントを開始します。

イベント7—RTピンがロジック0に保持されます。ステート・マシンがRAMセグメント・レジスタ1の開始アドレスに達し、アドレス・カウンタが停止するまで、この状態を維持します。

イベント8—RTピンがロジック1にスイッチします。ステート・マシンが初期化され、RAMセグメント・レジスタ0の開始アドレスになり、内部タイマをリセットしてからRAMアドレス・カウンタのインクリメントを開始します。

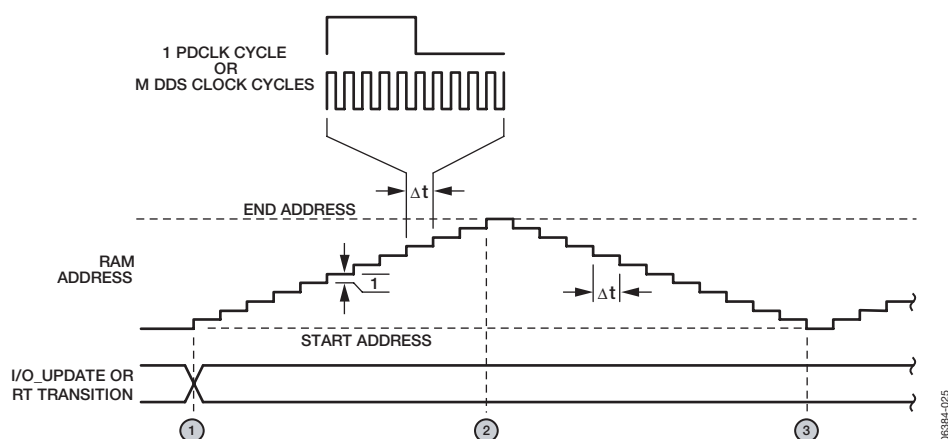


図45. 連続双方向ランプ・タイミング図

RAM連続双方向ランプ・モード

RAM連続双方向ランプ・モードの場合、I/O更新がアサートされるかRTピンの状態が変化すると、RAMは選択されたRAMセグメント・レジスタに設定されたパラメータを使用してプレイバック動作を開始します。アクティブなRAMセグメント・レジスタの開始アドレスと終了アドレスに含まれる指定のアドレス範囲で、RAMからデータが取り出されます。データは、RAMプレイバック・ソース・ビットで指定されたディステーションに対し、設定されたレートで転送されます。

「RAMのプレイバック動作」で詳述するように、プレイバック・レートはRAMステート・マシン内部のタイマが制御し、その期間 (t) はRAMプレイバック・ソース・ビットの状態が決まります。

内部ステート・マシンは、初期化の後、RAMのデータの読出しをアクティブなRAMセグメント・レジスタの開始アドレスから開始し、終了アドレスに達するまでアドレス・カウンタをインクリメントします。終了アドレスに達すると、ステート・マシンはアドレス・カウンタの方向を反転し、アドレス範囲でデクリメントを開始します。最後のアドレスまで来ると、ステート・マシンはアドレス・カウンタの方向を反転し、無限にこれを繰り返します。

RTピンの状態が変化すると、そのときの波形がアボートされ、新しく選択されたRAMセグメント・レジスタを使用して新しい波形を開始します。

図45に、連続双方向ランプ・モードを図示します。図45の丸付き数字は、次のイベントを示しています。

イベント1—I/O更新のアサートまたはRTピンの状態が変化して、RAM連続双方向ランプ・モードがアクティブになります。ステート・マシンが初期化され、アクティブなRAMセグメント・レジスタの開始アドレスになります。ステート・マシンは、指定されたアドレス範囲でインクリメントを開始します。

イベント2—ステート・マシンが、アクティブなRAMセグメント・レジスタの終了アドレスに到達します。

イベント3—ステート・マシンが、アクティブなRAMセグメント・レジスタの開始アドレスに到達します。

次のI/O更新かRTピンの状態変化まで、この動作を無限に繰り返します。

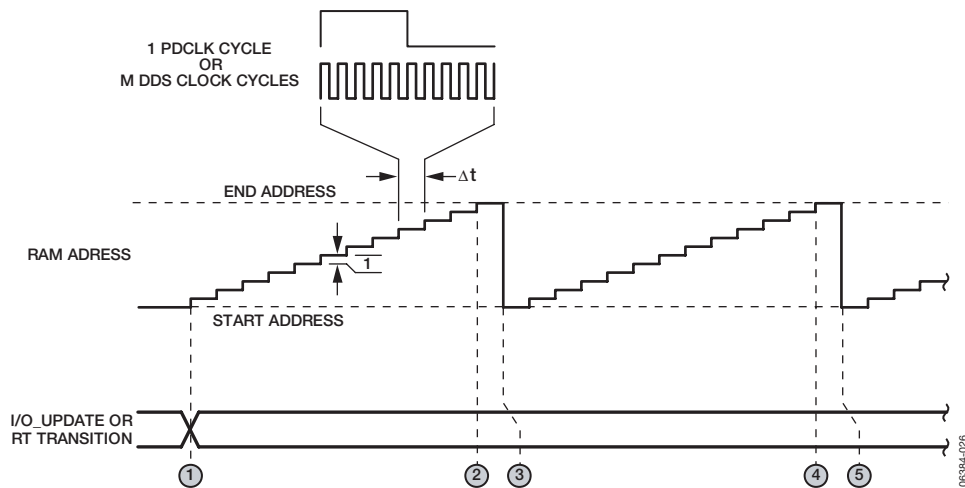


図46. 連続繰り返しタイミング図

RAM連続繰り返しモード

連続繰り返しモードはランプアップ・モードと似ていますが、ステート・マシンがアクティブなRAMセグメント・レジスタの終了アドレスに到達しても停止しないという点が異なります。その代わりに、内部タイマの次のタイムアウトで、ステート・マシンがアクティブなRAMセグメント・レジスタの開始アドレスにジャンプします。このプロセスは、I/O更新かRTピンの状態の変化まで、無限に繰り返されます。RTピンの状態が変化すると、そのときの波形がアボートされ、新しく選択されたRAMセグメント・レジスタが新しい波形を開始します。

図46に、連続繰り返しモードを図示します。

図46の丸付き数字は、次のイベントを示しています。

イベント1—I/O更新またはRTピンの状態の変化が発生します。これによってステート・マシンが初期化され、アクティブなRAMセグメント・レジスタの開始アドレスになり、適切なレートでアドレス・カウンタのインクリメントを開始します。

イベント2—ステート・マシンが、アクティブなRAMセグメント・レジスタの終了アドレスに到達します。

イベント3—ステート・マシンが、アクティブなRAMセグメント・レジスタの開始アドレスにスイッチします。ステート・マシンはアドレス・カウンタのインクリメントを続けます。

イベント4—ステート・マシンが、アクティブなRAMセグメント・レジスタの終了アドレスに再び到達します。

イベント5—ステート・マシンが、アクティブなRAMセグメント・レジスタの開始アドレスにスイッチします。ステート・マシンはアドレス・カウンタのインクリメントを続けます。

I/O更新かRTピンの状態が変化するまで、イベント4とイベント5を繰り返します。

クロック入力 (REF_CLK)

REFCLKの概要

AD9957には、REF_CLK/REF_CLK入力ピンを使用して内部SYSCLK信号（つまり、DACサンプル・クロック）を発生するさまざまなオプションがあります。REF_CLK入力を差動またはシングルエンドの信号源から直接駆動するか、またはこの2本の入力ピンの間に水晶発振器を接続することもできます。単独でイネーブルできる位相ロック・ループ（PLL）連倍器もあります。図47に、REF_CLK機能のブロック図を示します。XTAL_SELピンとCFR3レジスタのコントロール・ビットを使用して、さまざまな入力設定を制御します。図47では、CFR3のコントロール・ビットが特定の機能ブロックにどのように関連しているかもわかります。

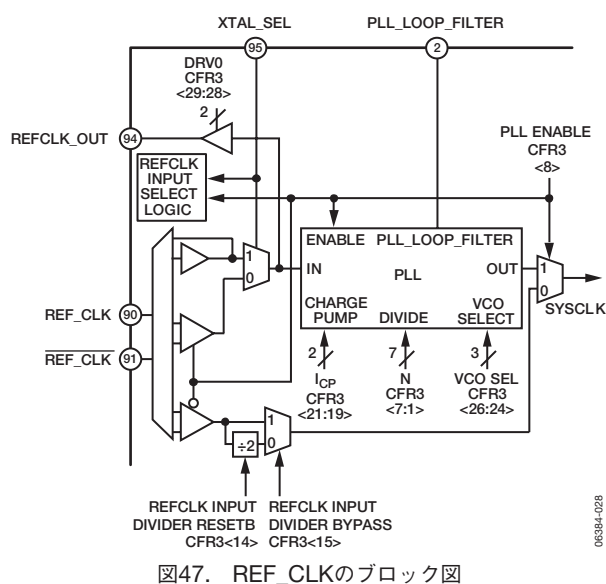


図47. REF_CLKのブロック図

PLLイネーブル・ビットを使用して、PLLパスまたはダイレクト入力パスを選択します。ダイレクト入力パスを選択する場合は、外部信号源でREF_CLK/REF_CLK入力ピンを駆動する必要があります。最大2GHzの入力周波数をサポートします。入力周波数が1GHzよりも高い場合は、デバイスの適正な動作が実現するように入力分周器をイネーブルする必要があります。

PLLをイネーブルすると、バッファされたクロック信号がREFCLK_OUTピンから出力されます。このクロック信号は、REF_CLK入力と同じ周波数です。水晶発振器を接続する場合、水晶発振クロックを複製して他の外部デバイスの駆動に使用できるため特にこれが役立ちます。REFCLK_OUTバッファは、表6に示すように2個のビットで制御します。

表6. REFCLK_OUTバッファ・コントロール

CFR3<29:28>	REFCLK_OUT Buffer
00	Disabled
01	Low output current
10	Medium output current
11	High output current

水晶発振器によるREF_CLKの駆動

REF_CLK入りに水晶発振器を使用する場合は、共振周波数を約25MHzにしてください。図48に、推奨する回路構成を示します。

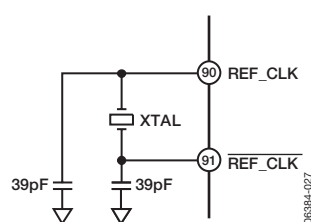


図48. 水晶発振器の接続図

REF_CLKの直接駆動

REF_CLK/REF_CLK入力を信号源から直接駆動する場合は、シングルエンドまたは差動の信号を使用できます。差動の信号源を使用するときは、REF_CLK/REF_CLKピンを相補信号で駆動し、0.1μFのコンデンサを外付けしてAC結合します。シングルエンドの信号源を使用する場合は、シングルエンド/差動変換回路にするか、シングルエンド信号でREF_CLK入力を直接駆動してください。いずれの場合も、0.1μFのコンデンサを2本のREF_CLK/REF_CLKピンに外付けしてAC結合を行い、約1.35Vの内部DCバイアス電圧に支障がないようにします。詳細については、図49を参照してください。

REF_CLK/REF_CLK入力の抵抗値は、差動で約2.5kΩです（シングルエンドで約1.2kΩ）。信号源の多くは、比較的输出インピーダンスが低くなっています。REF_CLK/REF_CLK入力の抵抗は比較的高いため、終端インピーダンスに対する影響はごくわずかであり、通常は信号源の出力インピーダンスと同じ値を選択できます。図49の下2つの例では、50Ωの出力インピーダンスの信号源を使っています。

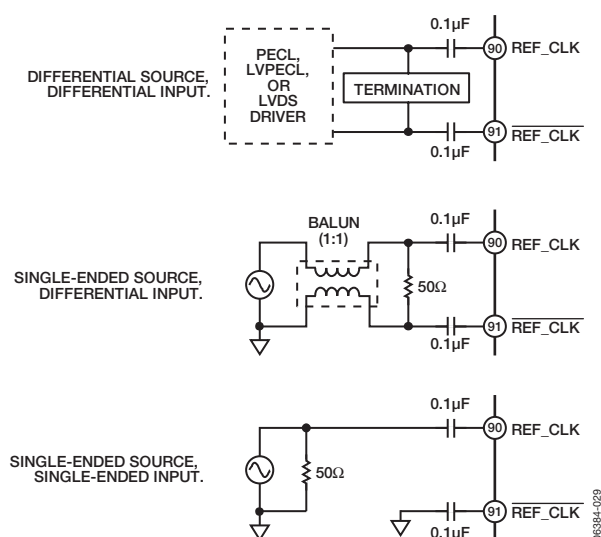


図49. ダイレクト接続図

位相ロック・ループ (PLL) 通倍器

AD9957は位相ロック・ループ (PLL) を内蔵しているため、システム・クロック周波数よりも大幅に低い基準クロック周波数を使用することができます。PLLは、広範なプログラマブルな周波数通倍係数 (12~127倍) のほか、プログラマブル・チャージ・ポンプ電流をサポートし、さらに各種フィルタ部品の外付け (PLL_LOOP_FILTERピンで接続) も可能です。これらの機能によりPLLの柔軟性が一段と向上し、位相ノイズ性能の最適化や、柔軟な周波数プランの策定が可能になります。PLLには、PLL_LOCKピンも備わっています。

PLLの出力周波数範囲 (f_{SYSCLK}) は、内部VCOにより $420\text{MHz} \leq f_{\text{SYSCLK}} \leq 1\text{GHz}$ の範囲に制限されています。また、VCOを6つの動作範囲のいずれかに設定して、 f_{SYSCLK} がその規定の範囲内に入るようにする必要があります。図50と図51に、これらのVCO範囲をまとめて示します。

図50に、有効な母集団から選択されたデバイス全数における、動作温度および電源電圧の全範囲での変動に応じたVCO周波数範囲の境界を示します。ここから、母集団から無作為に複数のデバイスを選択し、大幅に異なる条件下で動作させる場合、これらのデバイスを同じ周波数で動作させるにはCFR3<26:24>に異なる値を設定しなければならないことがわかります。たとえば、部品Aを母集団から無作為に選択し、 -10°C の周囲温度と900MHzのシステム・クロック周波数で動作させる場合、CFR3<26:24>を100bに設定する必要があります。これに対し、部品Bを母集団から無作為に選択し、 90°C の周囲温度と900MHzのシステム・クロック周波数で動作させる場合は、CFR3<26:24>を101bに設定する必要があります。システム・クロック周波数が (図51に示すように) 一連の境界範囲内で動作するように周波数プランを選択すると、CFR3<26:24>に設定しなければならない値はデバイス間で同じになります。

図51に、母集団から選択された単一のデバイスについて、動作温度および電源電圧の全範囲における変動に対応するVCO周波数範囲の境界を示します。この図では、1個のデバイスに対するVCO周波数範囲は、全範囲の条件下で動作する場合に必ず重複することがわかります。

結論的には、CFR3<26:24>のデフォルト値を1つだけ残したい場合は、図50に示す範囲のいずれかに該当する周波数を選択してください。また、任意の単一デバイスについては必ずVCO周波数範囲が重複するため、どのデバイスも全範囲の条件にわたりVCO範囲内の周波数のギャップがないことになります。

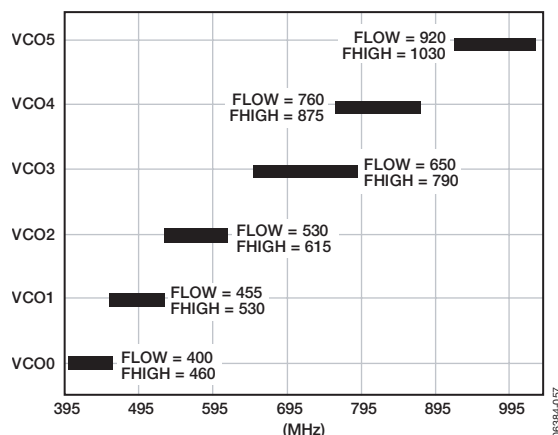


図50. 代表的なウェハー・プロセス・スキューを含むVCO範囲

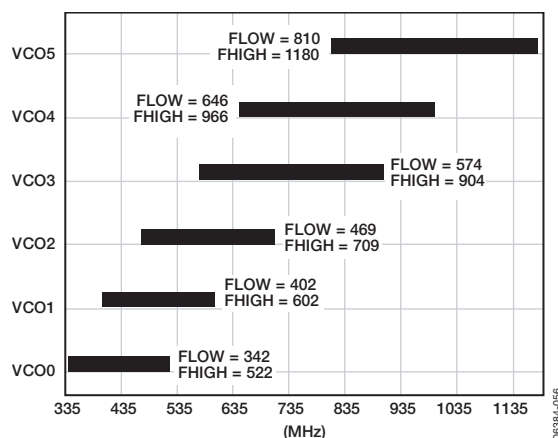


図51. 代表的なVCO範囲

表7. VCO範囲ビットの設定

VCO SEL Bits (CFR3<26:24>)	VCO Range
000	VCO0
001	VCO1
010	VCO2
011	VCO3
100	VCO4
101	VCO5
110	PLL Bypassed
111	PLL Bypassed

PLLチャージ・ポンプ

チャージ・ポンプ電流 (I_{CP}) がプログラマブルであるため、PLLの性能をさらに柔軟に最適化できます。表8に、ビット設定に対するチャージ・ポンプ電流の公称値を示します。

表8. PLLチャージ・ポンプ電流

I_{CP} (CFR3<21:19>)	Charge Pump Current, I_{CP} (μA)
000	212
001	237
010	262
011	287
100	312
101	337
110	363
111	387

外部PLLループ・フィルタ部品

PLL_LOOP_FILTERピンに、ループ・フィルタ部品を外付けできます。ループ・フィルタ用のカスタム部品を使用できるため、柔軟にPLLの性能を最適化できます。図52に、PLLと外部ループ・フィルタ部品を示します。

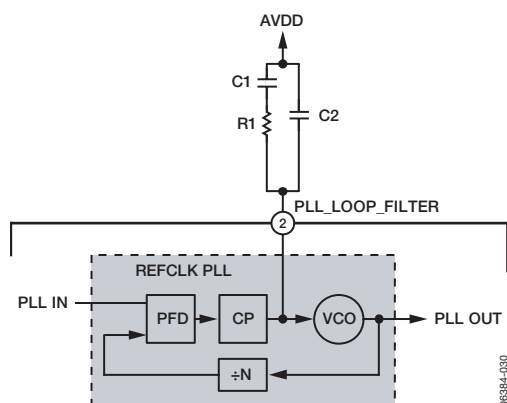


図52. REFCLK PLLの外部ループ・フィルタ部品

一般的な文献によると、この設定で3次のタイプII PLLが構成されます。ループ・フィルタの部品値を計算するときは、帰還分周比 (N)、位相検出器のゲイン (K_D)、VCO SELビットの設定値に基づくVCOのゲイン (K_V) から開始します (K_V については、表1を参照)。ループ・フィルタの部品値は次の式に示すように、所望のオープン・ループ帯域幅 (f_{OL}) と位相マージン (ϕ) によって異なります。

$$R1 = \frac{\pi N f_{OL}}{K_D K_V} \left(1 + \frac{1}{\sin(\phi)} \right) \quad (7)$$

$$C1 = \frac{K_D K_V \tan(\phi)}{2N(\pi f_{OL})^2} \quad (8)$$

$$C2 = \frac{K_D K_V}{N(2\pi f_{OL})^2} \left(\frac{1 - \sin(\phi)}{\cos(\phi)} \right) \quad (9)$$

ここで、

K_D は、 I_{CP} の設定値です。

K_V は、表1から選びます。

式7～9の変数には、必ず正しい単位を使用してください。 I_{CP} の単位は、表8に示す μA ではなく、 A です。 K_V の単位は、表1に示す MHz/V ではなく、 Hz/V です。ループ帯域幅 (f_{OL}) は Hz 、位相マージン (ϕ) はラジアン単位としてください。

たとえば、 $I_{CP}=287\mu A$ 、 $K_V=625MHz/V$ 、 $N=25$ で、PLLを設定するとします。所望のループ帯域幅と位相マージンがそれぞれ $50kHz$ 、 45° である場合、ループ・フィルタの部品値は $R1=52.85\Omega$ 、 $C1=145.4nF$ 、 $C2=30.11nF$ になります。

PLLロック表示

PLLを使用する場合は、PLL_LOCKピンがアクティブ・ハイのときに、PLLがREFCLK入力信号にロックされたことを表示します。PLLをバイパスすると、PLL_LOCKピンはデフォルトでロジック0になります。

その他の機能

出力シフト・キーイング (OSK)

OSK機能 (図53) を使用できるのは、シングル・トーン・モードのときのみです。この機能によって、DDSの出力信号振幅を制御できます。手動と自動の両方のモードを使用できます。

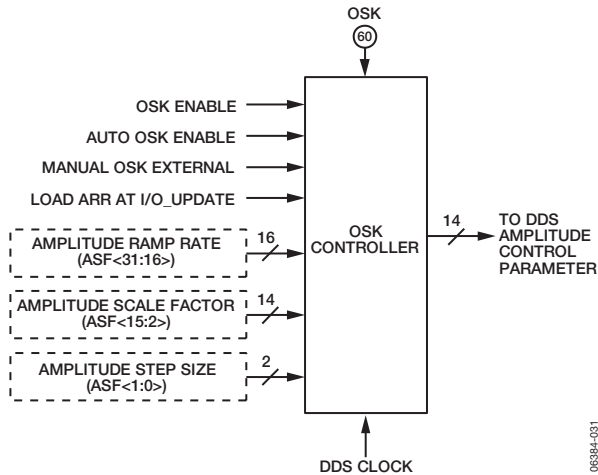


図53. OSKのブロック図

OSK機能の動作は、4個のコントロール・レジスタ・ビット、外部OSKピン、ASFレジスタの全32ビットを使用して制御します。OSKブロックの主要なコントロール・ビットは、OSKイネーブル・ビットです。このビットをセットすると、OSK機能がイネーブルされます。セットしなければ、OSK機能がディセーブルされ、他のOSK入力コントロールも無視され、内部クロックがシャットダウンして、消費電力を節約できます。

OSK機能をイネーブルした時点で、自動OSK選択ビットを使用して、自動または手動の動作を選択します。このビットをセットすると自動モードがアクティブになり、セットしなければ、手動モードがアクティブになります。

手動OSK

手動モードのときは、ASFレジスタの振幅スケール・ファクタ部分に対する連続書き込み動作によって出力振幅が変化します。振幅の変更を出力信号に適用できるレートは、シリアルI/Oポートの速度によって制限されます。手動モードでは、OSKピンの機能は手動OSK外部コントロール・ビットの状態によって異なります。このOSKピンは無動作か、または出力振幅を振幅スケール・ファクタ設定値とゼロの間で切り替えるときに使われます。OSKピンを動作させる場合は、このピンがロジック0のときは出力振幅がゼロに強制的に設定され、ロジック1のときは振幅スケール・ファクタ値によってスケールリングされます。

自動OSK

自動モードのときは、時間プロファイル (または振幅ランプ) の関数として変化するリニア振幅をOSK機能が自動的に発生します。振幅ランプは、次の3つのパラメータを使用して制御します。

- 最大振幅スケール・ファクタ
- 振幅ステップ・サイズ
- ステップ間の時間インターバル

振幅ランプ・パラメータは32ビットのASFレジスタに格納され、シリアルI/Oポートを介して設定します。振幅ステップ・インターバルは、ASFレジスタの16ビット振幅ランプ・レート部分 (ビット<31:16>) を使用して設定します。最大振幅スケール・ファクタは、ASFレジスタの14ビット振幅スケール・ファクタ (ビット<15:2>) を使用して設定します。振幅ステップ・サイズは、ASFレジスタの2ビット振幅ステップ・サイズ部分 (ビット<1:0>) を使用して設定します。ランプの方向 (正または負の勾配) は、外部OSKピンで制御します。OSKピンがロジック1のときに、勾配は正になり、ロジック0のときに負になります。

ステップ・インターバルは、 $1/4 f_{\text{SYSCLK}}$ のクロック・レートで動作する16ビットのプログラマブル・タイマで制御します。タイマの時間で、振幅ステップ間の時間インターバルを設定します。ステップ時間インターバル (Δt) は、次の式で求めることができます。

$$\Delta t = \frac{4M}{f_{\text{SYSCLK}}}$$

上の式で、 M はASFレジスタの振幅ランプ・レート部分に格納された16ビット値です。たとえば、 $f_{\text{SYSCLK}} = 750\text{MHz}$ 、 $M = 23218$ (0x5AB2) とすれば、 Δt は約123.8293 μs になります。

OSK機能の出力は14ビット符号なしデータバスであり、このバスが (DDS出力の振幅を制御します (OSKイネーブル・ビットがロジック1のとき)。OSKピンがロジック1のときは、OSKの出力値が0から始まり、最大振幅設定値に達するまで設定された振幅ステップ・サイズでインクリメントします。OSKピンがロジック0の場合は、OSKの出力は現在値から始まり、0に達するまで設定された振幅ステップ・サイズでデクリメントします。

OSK出力は、必ずしも最大振幅になるわけではありません。最大振幅に至る前に、OSKピンがロジック0にスイッチすることもあります。

OSK出力は、必ずしもゼロになるわけではありません。ゼロに至る前に、OSKピンがロジック1にスイッチすることもあります。

OSK出力は、パワーアップ時に0に初期化されます。OSKイネーブル・ビットがロジック0のとき、あるいはOSKイネーブル・ビットがロジック1でも自動OSK選択ビットがロジック0の場合、OSK出力は0に設定されます。

OSK出力の振幅ステップ・サイズは、表9に示す値に従ってASFレジスタの振幅ステップ・サイズ・ビットを使用して設定します。このステップ・サイズは、14ビットOSK出力のLSBの重みになります。

OSK出力は、ASFレジスタで設定された最大振幅値を超えることはできません。

表9. OSKの振幅ステップ・サイズ

ASF<1:0>	Amplitude Step Size
00	1
01	2
10	4
11	8

上述のように、ステップ・インターバルは16ビットのプログラマブル・タイマによって制御します。通常はこのタイマがタイムアウトするたびに、タイミングの設定値がタイマにロードされ、新しいタイミング・サイクルが開始されます。ただし、次の3つのイベントが発生するときは、タイムアウトする前にタイミング値がタイマに再ロードされます。1つは、自動OSK選択ビットがロジック0からロジック1の状態に変化し、その後でI/O更新が行われる場合です。2番目のイベントは、OSKピンの状態が変化するときです。3番目のイベントは、ロードARR@I/O更新ビットの状態に依存します。このビットがロジック0の場合は、何の動作も行われません。このビットがロジック1の場合は、I/O_UPDATEピンがアサートされるときに（またはプロファイル変更が発生するときに）、タイマがその初期開始ポイントにリセットされます。

プロファイル

AD9957の3つの動作モードのそれぞれにおいて、プロファイルを使用できます。これは、特定の動作モードに関連する動作パラメータが格納されているレジスタ・グループで構成されており、パラメータのセットを速やかに切り替えることができます。プロファイル・パラメータは、シリアルI/Oポートを介して設定します。設定した後は、3本の外部ピン（PROFILE<2:0>）を使用して特定のプロファイルをアクティブにします。表10に示す設定に従って、プロファイル制御ピンを該当するロジック・レベルにすることで特定のプロファイルがアクティブになります。

表10. プロファイル制御ピン

PROFILE<2:0>	Active Profile
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

マーク周波数（ロジック1）とスペース周波数（ロジック0）の2つの異なる周波数のいずれかを選択することでバイナリ・データを送信する、基本的なツートーンシフト・キーイング（FSK）アプリケーションを考えてみます。FSKをサポートするために、スペース用の適切な周波数同調ワードでプロファイル0レジスタを設定し、マーク用に適切な周波数同調ワードでプロファイル1レジスタを設定します。次に、PROFILE1とPROFILE2の各ピンをロジック0に設定したうえで、PROFILE0ピンを使用してデータビットを送信します。PROFILE0ピンのロジック状態に応じて、適切なマーク周波数ないしスペース周波数が発生されます。

I/O_UPDATEピン

I/O_UPDATEピンは、デフォルトでデバイスの動作パラメータの同期更新ができるストローブ信号に使用する入力に設定されます。たとえば、シリアルI/Oポートを介してDDSの周波数、位相、振幅制御ワードを設定することができます。しかし、シリアルI/Oポートは非同期のインターフェースであるため、I/Oポートを使用したデバイスの動作パラメータの設定は、内部タイミングと同期しません。I/O_UPDATEピンを使用すると、新しいパラメータをI/Oレジスタに設定する際に、特定の設定された動作パラメータの適用を外部回路と同期化させることができます。I/O_UPDATEピンの立上がりエッジで、レジスタのデータのデバイスの内部動作回路に対する転送が開始します。

プロファイル・ピンの状態を変化させて、設定したデータをプログラミング・レジスタから内部ハードウェアに転送することもできます。

自動I/O更新

AD9957には、外部信号を使用せず、I/O更新機能を自動的にアサートするオプションが用意されています。CFR2の内部I/O更新アクティブ・ビットを設定することで、この機能がイネーブルされます。

この機能がアクティブのとき、I/O_UPDATEピンが出力ピンになります。内部I/O更新が発生するたびに、アクティブ・ハイのパルスを出力します。このパルスの継続時間は、約12 SYSCLKサイクルです。このI/O更新ストローブを使用して、AD9957がI/O更新を内部で発生したことを外部のコントローラに知らせることができます。

内部I/O更新の繰返しレートは、シリアルI/Oポートを使用して設定します。2つのパラメータで繰返しレートを制御します。最初のパラメータは、CFR2の2個のI/O更新レート・コントロール・ビットです。2番目のパラメータはI/O更新レート・レジスタの32ビット・ワードで、内部カウンタの範囲を設定します。

I/O更新レート・コントロール・ビットは、 $1/4 f_{\text{SYSCLK}}$ で動作するクロック信号の1、2、4、8分周のいずれかを設定します。分周器の出力は、前述の32ビット内部カウンタに対するクロックになります。I/O更新の繰返しレートは、次のとおりです。

$$f_{\text{I/O_UPDATE}} = \frac{f_{\text{SYSCLK}}}{2^A B}$$

ここで、

Aは、I/O更新レート・コントロール・ビットを構成する2ビット・ワード値です。

Bは、I/O更新レート・レジスタに格納された32ビット・ワード値です。

Bを0x0003以下に設定すると、I/O_UPDATEピンはパルスを出力しなくなり、スタティックなロジック1の状態になります。

パワーダウン制御

AD9957は、4つのブロックを個別にパワーダウンする機能を備えています。このパワーダウン機能は、デジタル・コア、DAC、補助DAC、REFCLK入力に適用されます。

デジタル・コアのパワーダウン時には、シリアルI/Oポートを更新する機能がディセーブルされます。ただし、シリアル・ポートからデジタル・パワーダウン・ビットをクリアできるため、回復不能の状態になることはありません。

ソフトウェア・パワーダウンは、CFR1の4つの独立したパワーダウン・ビットを使用して制御します。ソフトウェア制御では、EXT_PWR_DWNピンをロジック0の状態に強制的に設定する必要があります。この場合、(シリアルI/Oポートから) 所望のパワーダウン・ビットを設定すると、関連する機能ブロックがパワーダウンします。このビットをクリアすると、その機能が回復します。

そのほか、EXT_PWR_DWNピンを用いる外部ハードウェア制御により、4つの機能すべてを同時にパワーダウンすることも可能です。このピンをロジック1に強制的に設定すると、パワーダウン・ビットの状態に関係なく、4つの回路ブロックがすべてパワーダウンします。すなわち、EXT_PWR_DWNピンがロジック1のときは、CFR1の独立したパワーダウン・ビットが無視され、無効になります。

外部パワーダウン・コントロール・ビットの状態に基づき、EXT_PWR_DWNピンは完全なパワーダウンもしくは高速回復パワーダウンを設定します。高速回復パワーダウン・モードでは、DACバイアス回路、およびREFCLK回路のPLL、VCO、入力部に供給する電源を維持します。高速回復パワーダウン・モードは、完全なパワーダウンほど消費電力を節約しませんが、デバイスをパワーダウン状態からすばやくウェークアップさせることができます。

汎用I/O (GPIO) ポート

GPIO機能は、AD9957がQDUCモードに設定されていて、Blackfinインターフェース・モードがアクティブの場合のみ使用できます。Blackfinシリアル・インターフェースは、18本のパラレル・データ・ポート・ピンのうち2本 (D<5:4>) のみを使用するため、残りの16本のピン (D<17:6>とD<3:0>) がGPIOポートになります。

16本のピンには、16ビットGPIO設定レジスタと16ビットGPIOデータ・レジスタの両方でそれぞれ異なるビットが割り当てられます。GPIO設定レジスタの各ビットの状態に従い、表11に示すように、関連するピンがGPIO入力または出力 (0=入力、1=出力) に割り当てられます。

GPIOピンが出力に設定されると、(シリアルI/Oポートを介して) GPIOデータ・レジスタの関連ビットに書き込まれたロジック状態がGPIOピン上に出力されます。GPIOピンが入力に設定されると、GPIOデータ・レジスタの関連ビット位置から (シリアルI/Oポートを介して) GPIOピンのロジック状態を読み出すことができます。GPIOデータ・レジスタはI/O更新を行う必要ないことに注意してください。

表11. GPIOピンと設定レジスタおよびデータ・レジスタ・ビットの関係

Pin Label	Configuration Bit	Data Bit
D17	15	15
D16	14	14
D15	13	13
D14	12	12
D13	11	11
D12	10	10
D11	9	9
D10	8	8
D9	7	7
D8	6	6
D7	5	5
D6	4	4
D3	3	3
D2	2	2
D1	1	1
D0	0	0

複数のデバイスの同期

概要

AD9957の内部クロックは、ベースバンド信号処理パスにデータを送るタイミングを与えます。これらの内部クロックは内部システム・クロック (SYSCLK) に基づいており、いずれもSYSCLK周波数の約数に相当する周波数です。任意のSYSCLKサイクルにおいて、これらのクロック全体のロジック状態が一意的なクロック状態を定めます。クロック状態は各SYSCLKサイクルごとに進みますが、クロック状態のシーケンスは周期的です。定義上、複数のデバイスはクロック状態が一致するとき同期し、同時に状態の変化を行います。クロックを同期化しても、複数のデバイスのプログラミングは非同期に実行できますが、すべてのデバイスに同時にI/O更新を適用することができます。QDUCモードまたはインターポレーションDACモードでパラレル・ポートを使用しているとき、またはデュアル・シリアル・ポート(BlackFinインターフェース)を使用しているときに、複数のデバイスを一緒に動作させることもできます (図59を参照)。

AD9957の同期ロジックの機能は、SYNC_INピンに外部から与えられる同期信号とタイミングを合わせて、内部クロック発生器をその定義済みの状態に強制的に設定することです。複数のデバイスが同じ外部信号と同期して同じクロック状態に強制的に設定される場合は、定義上これらのデバイスは同期します。図54に、同期機能のブロック図を示します。同期ロジックは同期発生器と同期受信器の2つの独立したブロックに分けられ、どちらのブロックでも内部タイミングにローカルSYSCLK信号を使用します。

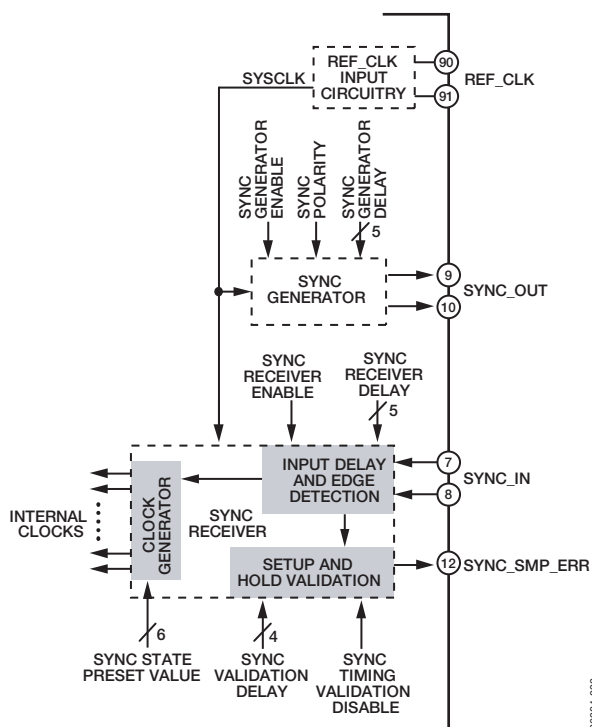


図54. 同期回路ブロック図

同期メカニズムは、各デバイスから出力されるREFCLK信号のエッジが、外部REFCLK分配システムからの他のすべてのクロックと一致していることを前提としています (図59を参照)。

クロック・ジェネレータ

クロック・ジェネレータはAD9957の内部動作に必要なタイミングを提供します。同期メカニズムの機能は、強制的にクロック・ジェネレータを外部同期信号とタイミングを合わせて既知の状態にすることです。クロック・ジェネレータは、3つのクロック・ツリーから構成されています (図55)。1つ目は共通クロック・ジェネレータで、すべての動作モード (シングル・トーン、QDUC、インターポレーションDAC) でアクティブになります。この共通クロックから、55ピンに出力されるSYNC_CLKが発生されます。2つ目のクロック・ジェネレータは、デバイスがインターポレーションDACモードまたはパラレル・データ・ポートを使用する直交変調モードのときにアクティブになります。このジェネレータでは、主タイミング・ソースとして共通クロックからのSYNC/2出力を使います。3つ目のクロック・ジェネレータは、デバイスがBlackFinインターフェースを使う直交変調モードのときにアクティブになります。

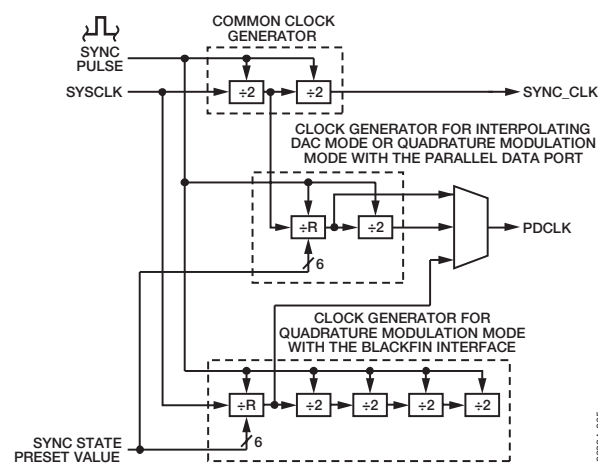


図55. クロック・ジェネレータ

同期発生器

同期発生器ブロックを図56に示します。これは、同期発生器イネーブル・ビットを使用してアクティブにします。これによって、グループ内の1個のAD9957をマスターのタイミング・ソースとし、その他のデバイスはマスターに対するスレーブとして動作させることが可能です。

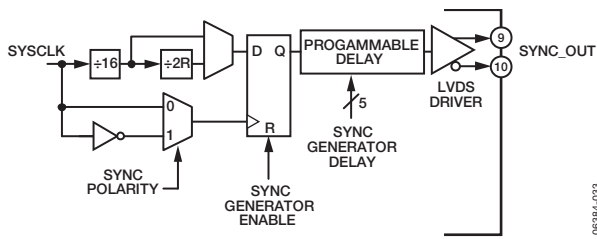


図56. 同期発生器

同期発生器は、50%のデューティ・サイクルを持つLVDS互換のクロック信号を発生してSYNC_OUTピンから出力します。SYNC_OUT信号の周波数は2種類のレートが可能です。AD9957を次のいずれかのモードに設定した場合、

- シングル・トーン・モード
- CCIフィルタをバイパスした直交変調モード（インタポレーション係数=1）
- CCIフィルタをバイパスしたインターポレーションDACモード（インタポレーション係数=1）

SYNC_OUTの周波数は次式で与えられます。

$$f_{\text{SYNC_OUT}} = \frac{f_{\text{SYSCLK}}}{16}$$

CCIフィルタをバイパスしない（ $R>1$ ）QDUCまたはインターポレーションDACモードにAD9957を設定した場合、SYNC_OUTの周波数は次式で与えられます。

$$f_{\text{SYNC_OUT}} = \frac{f_{\text{SYSCLK}}}{32R}$$

ここで、 R はCCIフィルタの設定されたインタポレーション係数です。

SYNC_OUTピンの信号エッジは、同期極性ビットに従って、内部SYSCLK信号の立上がりエッジまたは立下がりエッジと一致します。SYNC_OUT信号は、マスタ・デバイスの内部SYSCLKと同期しているため、マスタ・デバイスのSYSCLKは、すべてのスレーブ・デバイスに対して基準タイミング・ソースとして機能します。

シリアルI/Oポートを介して5ビットの同期発生器遅延ワードを設定することにより、約150psステップでSYNC_OUT信号の出力遅延を調節することができます。出力遅延が設定可能であるため、エッジ・タイミングの柔軟性が増して、すべての同期メカニズムをカバーすることができます。

同期受信器

同期受信器ブロック（図57）は、同期レシーバ・イネーブル・ビットを使ってアクティブにします。同期受信器は、入力遅延およびエッジ検出ブロック、内部クロック発生器ブロック、セットアップおよびホールド・バリデーション・ブロックの3つの部分から構成されています。

同期受信器をイネーブルしなくても、クロック発生器ブロックは動作します。

同期受信器は、SYNC_INピンからLVDS互換の信号を入力します。一般に、SYNC_INピンに入力される信号は、マスタ・タイミング・ユニットとして機能している別のAD9957のSYNC_OUTから出力されます。同期受信器は、AD9957の動作モードに基づく所定の周波数条件を満たす周期的な同期パルスの到着を待っています。シングル・トーン・モードに設定した場合、SYNC_INの周波数は次式を満たす必要があります。

$$f_{\text{SYNC_IN}} = \frac{f_{\text{SYSCLK}}}{4M}$$

ここで、 M はゼロより大きい任意の整数です。直交変調モード（パラレル・データ・ポートを使用）またはインターポレーションDACモードに設定した場合、SYNC_INの周波数は次式を満たす必要があります。

$$f_{\text{SYNC_IN}} = \frac{f_{\text{SYSCLK}}}{16(R+M)}$$

ここで、 R は設定されたCCIインタポレーション係数で、 M はゼロ以上の任意の整数です。BlackFinインターフェースを使用して直交変調モードを設定した場合、SYNC_INの周波数は次式を満たす必要があります。

$$f_{\text{SYNC_IN}} = \frac{f_{\text{SYSCLK}}}{32(R+M)}$$

ここで、 R は設定されたCCIインタポレーション係数で、 M はゼロ以上の任意の整数です。



图57. 同期受信器

別のAD9957以外のデバイスがSYNC_IN信号を出力する場合は、LVDS互換である必要があります。さらに、SYNC_INは一般に周期的なクロック信号と見なされますが、これは絶対条件ではありません。シングル同期パルスのエッジ変化が内部発生の同期パルスに要求されるセットアップ/ホールド・タイミングを満たすかぎり、シングル同期パルスでSYNC_INピンを駆動することは可能です（詳細は後述）。ただし、周期的なSYNC_IN信号を使用すると、デバイスが同期を失ったとき、次のSYNC_INエッジが到着したときに自動的に再同期するという明らかな長所があります。

マルチチップ同期レジスタ内の5ビットの同期受信器遅延ワードを使うと、SYNC_IN信号を約150psステップで遅延させることができます。この機能により、複数のデバイスへSYNC_IN信号が到着する際の、不均一な伝搬時間を補償することにより、時間を一致させることができます。

同期受信器のエッジ検出ロジックは、**SYSCCLK**の1サイクル分の継続時間と**SYNC_IN**ピンに入力された信号と等しい繰り返しレートを持つ同期パルスを発生します。同期パルスを発生するために、ストローブ・ジェネレータはローカルな**SYSCCLK**の立上がりエッジを使って**SYNC_IN**信号の遅延した立上がりエッジをサンプルします。同期メカニズムは、クロック発生器を既知状態にするタスクを実行するため、この同期パルスの発生は、同期メカニズムの動作にとって不可欠です。同期パルスは、内部クロック発生器の**R**分周器ステージをプリセットします。この**R**分周器は、プリセット可能なダウンカウンタとして動作します（図55）。マルチチップ同期レジスタ内にあるプログラマブルな6ビットの同期状態プリセット値ワードにより、プリセット状態を設定します。プリセット状態は、**SYSCCLK**の1周期間のみアクティブになります。その後、次の同期パルスが到着するまでクロック発生器は状態シーケンスを繰り返します（図55）。同期パルスは、**R**分周器のプリセットの他に、他の分周器も正しい状態に同期的にプリセットして、クロック・ツリーの同期を維持します。

クロック状態プリセット値を設定するこの機能により、デバイスを同期化する柔軟性が得られますが、グループ内にある各デバイスへ異なる同期状態プリセット値ワードを指定することにより、相対的なクロック状態オフセットを持つこととなります。同期状態プリセット値は内部タイミング条件を満たす所定の範囲内にある必要があるため、この柔軟性は制限されます。設定

された同期状態プリセット値とは無関係に、プリセット値は内部で2〜Rの範囲に制限されます。ここで、RはCCIフィルタ・インタポレーション係数です。値0または1が設定されると強制的に2にされ、Rより大きな値が設定されると強制的にRにされます。

セットアップ／ホールドのバリデーション

AD9957内部クロック発生器と他の外部デバイスとの同期は、有効な同期パルスを発生する同期受信器のエッジ検出回路の機能に依存しています。この機能では、遅延された**SYNC_IN**信号の立上がりエッジをローカル**SYSCCLK**の立上がりエッジを使って正しくサンプリングすることが必要とされます。これらの信号のエッジ・タイミングがエッジ検出回路内の内部ラッチのセットアップ・タイム条件またはホールド・タイム条件を満たさない場合、同期パルスの発生はできません。セットアップおよびホールド・バリデーション・ブロック (図58) は、2つの信号間に正しいエッジ・タイミングが存在することを確認する手段を提供します。コントロール機能レジスタ2内にある同期タイミング・バリデーション・ディスエーブル・ビットが、セットアップおよびホールド・バリデーション・ブロックをアクティブにするか否かを制御します。

バリデーション・ブロックは、指定された時間ウィンドウを使用します（このウィンドウはマルチチップ同期レジスタ内の4ビットの同期バリデーション遅延ワードを使って約150 psステップでインクリメントできます）。セットアップ・バリデーション回路とホールド・バリデーション回路では、立上がりエッジ検出器とストローブ・ジェネレータで使用されているものと同じラッチを使っています。このプログラマブルな時間ウィンドウで、ローカルSYSCLOCK信号と遅延された同期入力信号との間のタイミングを調整します。ホールド・バリデーション回路とセットアップ・バリデーション回路が同じロジック状態を発生できない場合、セットアップまたはホールドの違反を意味します。図58に示すチェック・ロジックが、セットアップ・バリデーション・ラッチとホールド・バリデーション・ラッチの状態をモニタします。両者が等しくない場合（すなわち、セットアップ/ホールド違反の場合）、ロジック1が内部バリデーション・リザルト・ラッチに格納され、その他の場合には、ロジック0が格納されます。バリデーション・リザルト・ラッチの状態は、SYNC SMP ERRピンに出力されます。

同期受信器がディスエーブルされるごとに、バリデーション・リザルト・ラッチはリセット状態になります。これにより、**SYNC_SMP_ERR**ピンはロジック0状態になります。ただし、同期受信器がアクティブになったときにバリデーション・リザルト・ラッチをリセットするときは、マルチチップ同期レジスタ内にある同期タイミング・バリデーション・ディスエーブル・ビットの使用が必要になります。セットアップ/ホールド・バリデーションの測定は2ステップで行います。まず、ロジック1を同期タイミング・バリデーション・ディスエーブル・ビットに書き込みます。次に、測定を行うために、ロジック0を書き込みます。最初の動作でバリデーション・リザルト・ラッチをリセットしてリセット状態を維持します。次の動作でリセット状態を解除して、バリデーション・リザルト・ラッチをイネーブルし、セットアップ/ホールド・バリデーション測定を開始させます。新しいセットアップ/ホールド・バリデーション・チェックが必要となるごとに、この2ステップを実行する必要があります。

同期バリデーション遅延に設定された値がセットアップ/ホールド測定の時間ウインドウを決定するため、バリデーション・ブロックの正しい動作のためには遅延の大きさが重要になります。選択する値は、**SYSCLK**周期より小さい整数値である必要があります。例えば、**SYSCLK**周波数が1GHz（1000ps周期）の場合は、妥当な同期バリデーション遅延値は2（約300ps）となります。この機能を使うと、バリデーション・ブロックはローカル**SYSCLK**エッジと遅延された**SYNC_IN**エッジが少なくとも300psのタイミング差を持つことを確認することができます。大きすぎる値を選択すると、バリデーション・ブロックはセットアップ/ホールド違反がなくとも違反を表示してしまうことがあります。小さすぎる値を選択すると、バリデーション・ブロックはセットアップ/ホールド違反があっても違反を見逃してしまうことがあります。

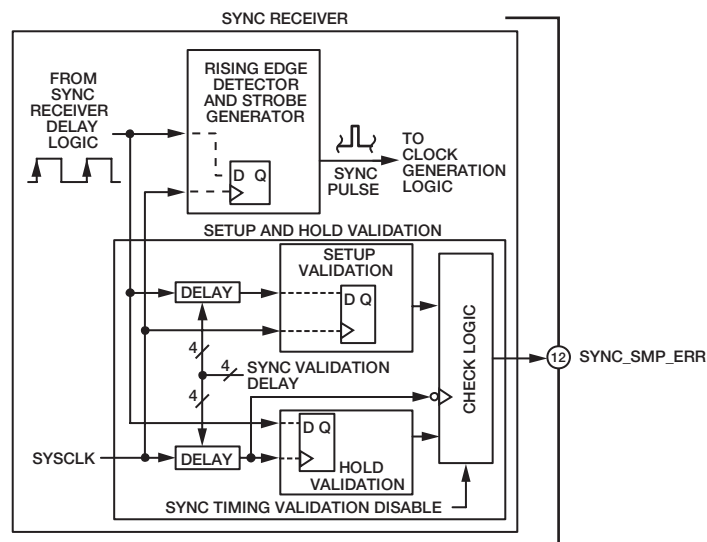


図58. 同期タイミング・バリデーション・ブロック

同期の例

複数のデバイスを同期化すると、各AD9957にすべてのデバイス間でエッジの一致したSYNC_IN信号が与えられます。SYNC_IN信号のエッジがすべてのデバイスで一致し、かつすべてのデバイスが同じ同期受信器遅延と同期状態プリセット値を持つ場合、これらすべてのデバイスは一致するクロック状態を持ちます（すなわち、すべてが同期化されます）。図59に、同期した3個のAD9957を使ってこの概念を示します。1つのデバイスがマスタ・タイミング・ユニットとして動作し、他のデバイスがマスタに同期します。

マスタ・デバイスは、同期の分配および遅延等化のメカニズムとしてSYNC_INピンを持つ必要があります。これにより、マスタは他のユニットとの同期タイミングを維持します。

同期化メカニズムは、クロック分配および遅延等化ブロックから開始されます。これにより、すべてのデバイスがエッジの一致したREFCLK信号を受信することが保証されます。ただし、すべてのデバイス間でREFCLK信号のエッジが一致していても、これだけで各内部クロック発生器のクロック状態が他と一

致していることは保証できません。これは、同期および遅延等化ブロックの役割です。このブロックは、マスタ・デバイスで発生されたSYNC_OUT信号を受信して、スレーブ・ユニットのSYNC_IN入力へ再出力します（さらにまたマスタへ戻します）。マスタ・デバイスからSYNC_OUT信号を再配分する目的は、エッジの一致したSYNC_IN信号をすべての同期受信器に分配することです。

すべてのデバイスが同じREFCLKエッジ・タイミングを共有し（クロック分布および遅延等化ブロックの機能により）、かつすべてのデバイスが同じSYNC_INエッジ・タイミングを共有するものとする（同期化および遅延等化ブロックの機能により）、すべてのデバイスは一致した内部同期パルスが発生します（ただし、すべてのデバイスが同じ値の同期受信器遅延を持つ場合）。さらに、すべてのデバイスが同じ同期状態プリセット値を持つものとする、同期化された同期パルスにより、すべてのデバイスが同時に既定の同じクロック状態を持つこととなります。すなわち、すべてのデバイスで内部クロックが完全に同期化されます。

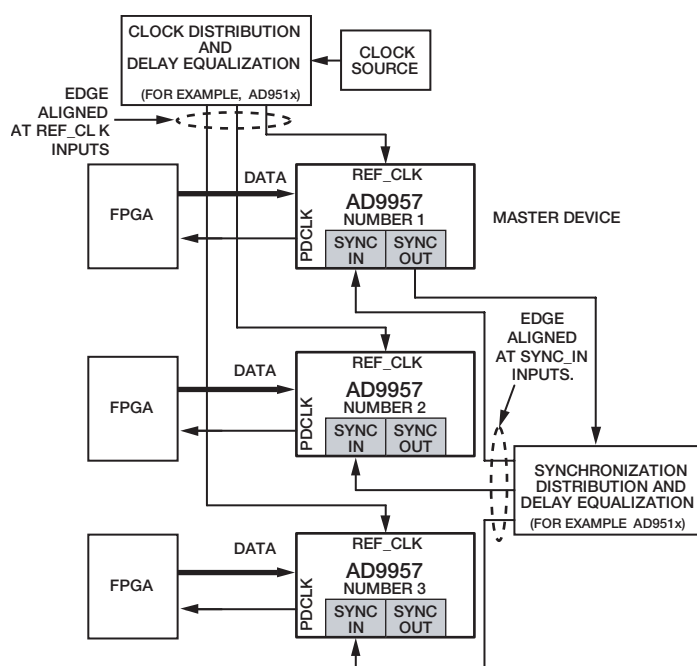


図59. マルチチップ同期の例

AD9957

I/Qパス・レイテンシ

AD9957内のI/Qレイテンシは、システム・クロック（SYSCLK）サイクル数で容易に説明でき、AD9957の設定（使用するモードとオプション機能）の関数になります。I/Qレイテンシは、主にプログラマブルなCCIレートから影響を受けます。

表12に示す値は計算値と見なす必要があります。これは、観測されるレイテンシはデータに依存するためです。レイテンシは、FIRフィルタのリニア遅延モデルを使って計算されます。N=CCIレート（プログラマブルなインタポレーション・レート、2~63、バイパス時は1）。

BFIモードでは、AD9957のレイテンシは複数の送信に対して一定になりません。これは、最初のハーフバンド・フィルタを駆動するクロック位相間とBlackfinから入力されるフレーム同期信号との間の関係によるもので、この関係は未知であり、表12ではxで示してあります。このデザインでは、正しい時間にパラレル・レジスタを更新することにより、データ・アセンブ

ラ・ロジックから信号処理バスへデータを正しく転送しています。データはパラレル・レジスタから信号処理チェーンへ転送されて、パラレル・レジスタの更新と信号処理クロックとの間の位相関係に無関係にすべてのタイミングが検証されています。

例

直交変調モード=18ビット・パラレル・データ
基準クロック通倍器=バイパス
入力スケール乗算器=オフ
逆CCI=オフ
CCIレート=20
逆SINC=オン
出力スケール=オフ

$$\begin{aligned} \text{レイテンシ} &= (16 \times 20) + (4 \times 20) + (4 \times 20) + (69 \times 20) + \\ &\quad (4 \times 20 + 8) + 22 + 8 + 2 + 8 = 1988 \text{ SYSCLKs} \end{aligned}$$

表12

Stage	Quadrature Modulation Mode—Parallel	Quadrature Modulation Mode—BFI	Interpolation DAC Mode
Input Demultiplexer	16N	$(16 + x)N$ where $x = 0$ to 15	28N
Input Scale Multiplier	Active: 8N Bypassed: 4N	Not available in BFI mode	Active: 8N Bypassed: 4N
Inverse CCI Filter	Active: 8N Bypassed: 4N	Active: 8N Bypassed: 4N	Active: 8N Bypassed: 4N
Half-Band Filters	69N	345N	69N
CCI Filter	Active: $4N + 8$ Bypass: $2N + 4$	Active: $4N + 8$ Bypass: $2N + 4$	Active: $4N + 8$ Bypass: $2N + 4$
Modulator	22	22	0
Inverse Sinc Filter	Active: 8 Bypass: 2	Active: 8 Bypass: 2	Active: 8 Bypass: 2
Output Scale Multiplier	Active: 12 Bypass: 2	Active: 12 Bypass: 2	Active: 12 Bypass: 2
DAC Interface	8	8	8

電源の分割

AD9957は複数の電源をサポートし、消費電力は構成によって変わります。このセクションでは、一緒にグループ化する電源と周波数による各ブロックの消費電力変化について説明します。

このセクションで引用する値は、比較の目的にのみ使用します。正確な値については表1を参照してください。各グループでは、1 μ Fのバイパス・キャパシタと10 μ Fのキャパシタの並列を使用してください。

ここでの推奨は一般的なアプリケーションを対象にしており、3.3Vデジタル、3.3Vアナログ、1.8Vデジタル、1.8Vアナログの4グループの電源があります。

最高性能を必要とするアプリケーションでは、さらに電源アイソレーションを強化する必要があります。

3.3V電源

DVDD_I/O (ピン11、ピン15、ピン21、ピン28、ピン45、ピン56、ピン66)

これらの3.3V電源は1つの同じグループに分けることができます。これらのピンの消費電力は、シリアル・ポートの動作によりダイナミックに変化します。

AVDD (ピン74~77、およびピン83)

これらは、約28mA (typ) を消費する3.3V DAC電源です。すくなくとも、他の3.3V電源から分離するためフェライト・ビードを使う必要があります。レギュレータごとに使うのが理想的です。これらの電源の消費電流は、主にバイアス電流であるため周波数によって変わりません。

1.8V電源

DVDD (ピン17、ピン23、ピン30、ピン47、ピン57、ピン64)

これらのピンは1つの同じグループに分けることができます。これらの消費電流はシステム・クロック周波数に比例して増加します。1GHzのシステム・クロックで、QDUCモードでは610mA (typ) の消費電流になります。また、 f_{OUT} が50MHzから400MHzへ大きくなると、少し増加します (約5%)。

AVDD (ピン3)

この1.8V電源は、REFCLK通倍器 (PLL) の電源であり、約7mAを消費します。PLLイネーブルをした最高性能を必要とするアプリケーションでは、この電源を他の1.8V AVDD電源から個別レギュレータごとに分離する必要があります。要求の厳しくないアプリケーションでは、この電源をピン89と同じレギュレータからとることができます。フェライト・ビードをピン92に使って、ピン3をピン89から分離します。

PLLのループ・フィルタは、直接ピン3に接続する必要があります。PLLをバイパスする場合には、ピン3の電源を維持したままにしますが、アイソレーションは重要ではありません。

AVDD (ピン6)

このピンは、DVDD 1.8V電源ピンと同じグループに入れることができます。最高性能を得るためにはフェライト・ビードを使ってアイソレーションし、レギュレータごとに行うことが理想的です。

AVDD (ピン89およびピン92)

この1.8V電源はREFCLK入力用で、約15mAを消費します。この電源は、ピン3と同じ電源からとることができ、ピン89とピン92からピン3を分離するためにフェライト・ビードを使います。すくなくとも、他の1.8V電源から分離するためにフェライト・ビードを使う必要があります。ただし、最高性能を必要とするアプリケーションでは、個別レギュレータの使用が推奨されます。

シリアル・プログラミング

制御インターフェース—シリアルI/O

AD9957のシリアル・ポートは、数多くの業界標準のマイクロコントローラやマイクロプロセッサと簡単に接続できる、柔軟性の高い同期式シリアル通信ポートです。シリアルI/Oは、Motorola 6905/11 SPIやIntel® 8051 SSRのプロトコルなど、大部分の同期式転送フォーマットと互換性があります。

このインターフェースを介して、AD9957の設定レジスタのすべてに対し読出し／書込みが可能です。MSBファーストまたはLSBファーストの転送フォーマットに対応しています。さらに、シリアル・インターフェース・ポートを2線式インターフェースをサポートする単一ピンの入力／出力（SDIO）にしたり、3線式インターフェースをサポートする2本の単方向ピンの入力／出力（SDIO/SDO）にすることもできます。オプションのピンが2本（I/O_RESETと $\overline{\text{CS}}$ ）があるため、AD9957を使用するシステム・デザインがさらに柔軟になります。

一般的なシリアルI/O動作

シリアル通信サイクルには、2つのフェーズがあります。フェーズ1は、命令バイトをAD9957に書き込む命令フェーズです。命令バイトにはアクセスするレジスタのアドレスが含まれるほか（「レジスタ・マップとビットの説明」を参照）、後に続くデータ転送が書込みか読出しかを指定します。

書込みサイクルの場合は、フェーズ2でシリアル・ポート・コントローラとシリアル・ポート・バッファの間でデータ転送が行われます。転送バイト数は、アクセスするレジスタによって異なります。たとえば、コントロール機能レジスタ2（アドレス0x01）にアクセスするときは、フェーズ2で4バイトの転送を要求します。各データビットは、対応するSCLKの立上がりエッジごとにレジスタに格納されます。シリアル・ポート・コントローラはレジスタのすべてのバイトがアクセスされるものと想定しており、それが行われないと次の通信サイクルに対するシーケンスを実行しません。ただし、要求されている数よりも少ないバイトを書き込む方法として、I/O_RESETピン機能を使用することができます。I/O_RESETピン機能を使用してI/O動作をアボートし、シリアル・ポート・コントローラのポインタをリセットします。I/Oリセットを行った後の次のバイトが命令バイトになります。I/Oリセットの前にすでに書込みが完了しているバイトはすべて、シリアル・ポート・バッファに保存されています。書き込み途中のバイトは保存されていません。通信サイクルが完了すると、AD9957のシリアル・ポート・コントローラは、次の通信サイクルの命令バイトとなる次の8個のSCLK立上がりエッジを待ちます。

書込みサイクルが完了すると、設定データはシリアル・ポート・バッファに残り、非アクティブ状態になります。I/O_UPDATEで、シリアル・ポート・バッファからアクティブなレジスタにデータを転送します。I/O更新は、通信サイクルが終了するたびに、あるいはすべてのシリアル動作が完了したときに送信できます。プロファイル・ピンを変更して、I/O更新を開始することも可能です。

読出しサイクルの場合、フェーズ2は書込みサイクルと同じですが、データがシリアル・ポート・バッファからではなくアクティブなレジスタから読み出され、SCLKの立下がりエッジでデータが駆動されるという点が異なります。

プロファイル・レジスタ（0x0E～0x15）を読出すときは、3本の外部プロファイル・ピンを使用する必要があります。たとえば、プロファイル・レジスタがプロファイル5（0x13）の場合、PROFILE<0:2>ピンを101にする必要があります。プロファイル・レジスタの書込みには、これは必要ありません。

命令バイト

命令バイトのビット・マップに示すように、命令バイトには次の情報が含まれます。

命令バイト情報ビット・マップ

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
R/ $\overline{\text{W}}$	X	X	A4	A3	A2	A1	A0

R/ $\overline{\text{W}}$ —命令バイトのビット7で、命令バイトの書込み後に読出しまたは書込みのいずれのデータ転送が行われるかを指定します。このビットをセットすると、読出し動作になります。このビットをクリアすると、書込み動作になります。

X、X—命令バイトのビット6とビット5は無視されます。

A4、A3、A2、A1、A0—命令バイトのビット4、3、2、1、0は、通信サイクルのデータ転送時にアクセスするレジスタを指示します。

シリアルI/Oポート・ピンの説明

SCLK—シリアル・クロック

シリアル・クロック・ピンを使用して、AD9957とのデータ転送を同期し、内部ステート・マシンを動作させます。

$\overline{\text{CS}}$ —チップ・セレクト

同じシリアル通信ライン上で複数のAD9957を使用可能にするアクティブ・ローの入力です。この入力が高レベルのとき、SDOピンとSDIOピンが高・インピーダンス状態になります。通信サイクルの実行中に $\overline{\text{CS}}$ が高レベルになると、ローレベルのアクティブ状態に復帰するまでサイクルが中断されます。SCLKをコントロールするシステムでは、チップ・セレクト（ $\overline{\text{CS}}$ ）をローレベルに固定することができます。

SDIO—シリアル・データ入出力

データは常に、このピンを通してAD9957に書き込まれます。ただし、このピンは双方向のデータラインとしても使用できます。CFR1レジスタ・アドレス0x00のビット1を使用して、このピンの設定を制御します。デフォルトではクリアされており、SDIOピンは双方向に設定されています。

SDO—シリアル・データ出力

データの送受信に別々のラインを使用するプロトコルの場合に、このピンからデータを読み出します。AD9957が1本の双方向I/Oモードで動作する場合、このピンはデータを出力せず、ハイ・インピーダンス状態に設定されます。

I/O_RESET—入出力リセット

I/O_RESETは、アドレス指定可能なレジスタに保存されているデータを変更せずに、I/Oポートのステート・マシンを同期化します。I/O_RESETピンの入力がアクティブ・ハイになると、実行中の通信サイクルがアポートされます。I/O_RESETがローレベル（ロジック0）に戻ると、新しい通信サイクルが命令バイトの書き込みから始まります。

I/O_UPDATE—入出力更新

I/O_UPDATEは、I/Oポート・バッファに書き込まれたデータのアクティブなレジスタへの転送を開始します。I/O_UPDATEは立上がりエッジでアクティブになり、パルス幅は1 SYNC_CLKサイクルよりも大きくする必要があります。内部I/O更新アクティブ・ビットの設定によって、入力ピンまたは出力ピンになります。

シリアルI/Oのタイミング図

図60～63に、シリアルI/Oポートのさまざまな制御信号の基本的なタイミング関係の例を示します。レジスタ・マップの大部分のビットはI/O更新がアサートされるまで内部ディスティネーションに送信されませんが、以下のタイミング図ではこれを示していません。

MSB/LSBの転送

AD9957のシリアル・ポートは、最上位ビット（MSB）ファーストと最下位ビット（LSB）ファーストの両方のデータ・フォーマットに対応します。この機能は、コントロール機能レジスタ1（0x00）のビット0を使用して制御します。デフォルトのフォーマットは、MSBファーストです。ビット0をハイレベルに設定すると、シリアル・ポートはLSBファーストのフォーマットになります。LSBファーストがアクティブの場合は、命令バイトを含むすべてのデータはLSBファーストの規則に従う必要があります。各レジスタのビット範囲の欄に示す最も大きい数字がMSBであり、最も小さい数字がそのレジスタのLSBです（「レジスタ・マップとビットの説明」と表12を参照）。

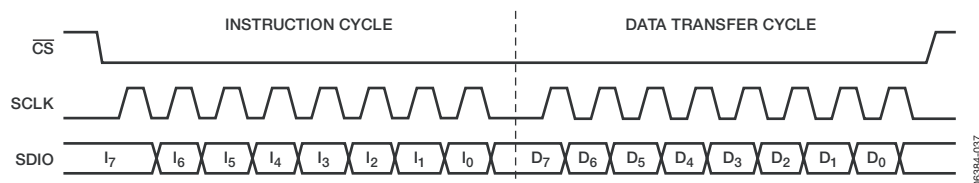


図60. シリアル・ポートの書き込みタイミング—クロックをローレベルに維持

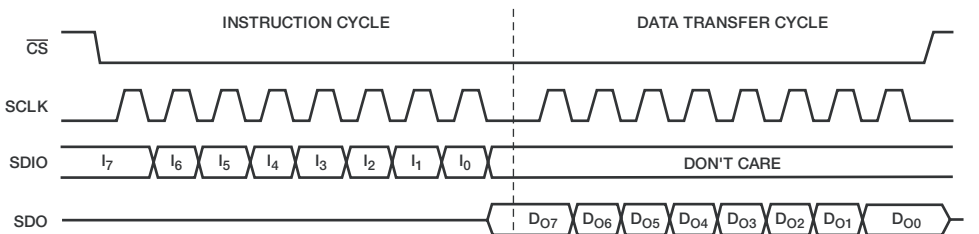


図61. 3線式シリアル・ポートの読出しタイミング—クロックをローレベルに維持

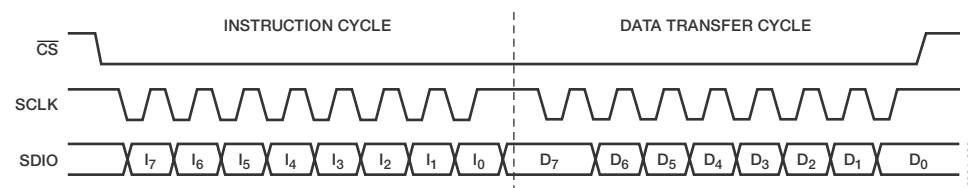


図62. シリアル・ポートの書き込みタイミング—クロックをハイレベルに維持

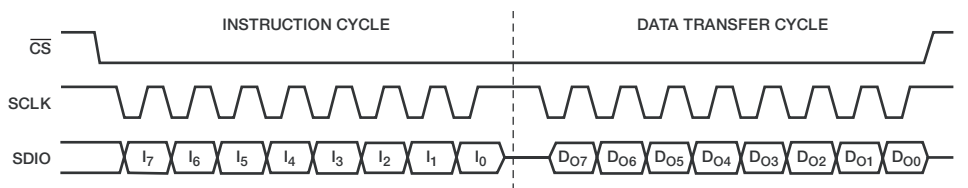


図63. 2線式シリアル・ポートの読出しタイミング—クロックをハイレベルに維持

レジスタ・マップとビットの説明

レジスタ・マップ

次の表で、各レジスタのビット範囲の欄に記載されている最も大きい数字がMSBであり、最も小さい数字がそのレジスタのLSBになります。

表13. コントロール・レジスタ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Control Function Register 1 CFR1 (0x00)	<31:24>	RAM Enable	Open		RAM Playback Destination	Open		Operating Mode		0x00
	<23:16>	Manual OSK External Control	Inverse Sinc Filter Enable	Clear CCI	Open				Select DDS Sine Output	0x00
	<15:8>	Open		Autoclear Phase Accumulator	Open	Clear Phase Accumulator	Load ARR @ I/O Update	OSK Enable	Select Auto-OSK	0x00
	<7:0>	Digital Power-Down	DAC Power-Down	REFCLK Input Power-Down	Aux DAC Power-Down	External Power-Down Control	Auto Power-Down Enable	SDIO Input Only	LSB First	0x00
Control Function Register 2 CFR2 (0x01)	<31:24>	Blackfin Interface Mode Active	Blackfin Bit Order	Blackfin Early Frame Sync Enable	Open				Enable Profile Registers as ASF Source	0x00
	<23:16>	Internal I/O Update Active	SYNC_CLK Enable	Open				Read Effective FTW	0x40	
	<15:8>	I/O Update Rate Control		PDCLK Rate Control	Data Format	PDCLK Enable	PDCLK Invert	TxEnable Invert	Q-First Data Pairing	0x08
	<7:0>	Matched Latency Enable	Data Assembler Hold Last Value	Sync Timing Validation Disable	Open					0x20
Control Function Register 3 CFR3 (0x02)	<31:24>	Open		DRV0<1:0>		Open		VCO SEL<2:0>		0x1F
	<23:16>	Open		I _{CP} <2:0>			Open			0x3F
	<15:8>	REFCLK Input Divider Bypass	REFCLK Input Divider ResetB	Open				PLL Enable	0x40	
	<7:0>	N<6:0>							Open	0x00
Auxiliary DAC Control Register (0x03)	<31:24>	Open								0x00
	<23:16>	Open								0x00
	<15:8>	Open								0x7F
	<7:0>	FSC<7:0>								0x7F
I/O Update Rate Register (0x04)	<31:24>	I/O Update Rate <31:24>								0xFF
	<23:16>	I/O Update Rate<23:16>								0xFF
	<15:8>	I/O Update Rate<15:8>								0xFF
	<7:0>	I/O Update Rate<7:0>								0xFF

表14. RAM、ASF、マルチチップ同期、プロファイル0レジスタ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
RAM Segment Register 0 (0x05)	<47:40>	RAM Address Step Rate 0<15:8>								
	<39:32>	RAM Address Step Rate 0<7:0>								
	<31:24>	RAM End Address 0<9:2>								
	<23:16>	RAM End Address 0<1:0>		Open						
	<15:8>	RAM Start Address 0<9:2>								
	<7:0>	RAM Start Address 0<1:0>		Open			RAM Playback Mode 0<2:0>			
RAM Segment Register 1 (0x06)	<47:40>	RAM Address Step Rate 1<15:8>								
	<39:32>	RAM Address Step Rate 1<7:0>								
	<31:24>	RAM End Address 1<9:2>								
	<23:16>	RAM End Address 1<1:0>		Open						
	<15:8>	RAM Start Address 1<9:2>								
	<7:0>	RAM Start Address 1<1:0>		Open			RAM Playback Mode 1<2:0>			
Amplitude Scale Factor (ASF) Register (0x09)	<31:24>	Amplitude Ramp Rate<15:8>								0x00
	<23:16>	Amplitude Ramp Rate<7:0>								0x00
	<15:8>	Amplitude Scale Factor<13:6>								0x00
	<7:0>	Amplitude Scale Factor<5:0>						Amplitude Step Size<1:0>		0x00
Multichip Sync Register (0x0A)	<31:24>	Sync Validation Delay<3:0>				Sync Receiver Enable	Sync Generator Enable	Sync Generator Polarity	Open	0x00
	<23:16>	Sync State Preset Value<5:0>						Open		0x00
	<15:8>	Sync Generator Delay<4:0>				Open				0x00
	<7:0>	Sync Receiver Delay<4:0>				Open				0x00
Profile 0 Register—Single Tone (0x0E)	<63:56>	Open	Amplitude Scale Factor<13:8>							
	<55:48>	Amplitude Scale Factor<7:0>								
	<47:40>	Phase Offset Word<15:8>								
	<39:32>	Phase Offset Word<7:0>								
	<31:24>	Frequency Tuning Word<31:24>								
	<23:16>	Frequency Tuning Word<23:16>								
	<15:8>	Frequency Tuning Word<15:8>								
	<7:0>	Frequency Tuning Word<7:0>								
Profile 0 Register—QDUC (0x0E)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	
	<55:48>	Output Scale Factor								
	<47:40>	Phase Offset Word<15:8>								
	<39:32>	Phase Offset Word<7:0>								
	<31:24>	Frequency Tuning Word<31:24>								
	<23:16>	Frequency Tuning Word<23:16>								
	<15:8>	Frequency Tuning Word<15:8>								
	<7:0>	Frequency Tuning Word<7:0>								

AD9957

表15. プロファイル1、プロファイル2、プロファイル3レジスタ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Profile 1 Register— Single Tone (0x0F)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 1 Register— QDUC (0x0F)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 2 Register— Single Tone (0x10)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 2 Register— QDUC (0x10)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 3 Register— Single Tone (0x11)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 3 Register— QDUC (0x11)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A

表16. プロファイル4、プロファイル5、プロファイル6レジスタ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Profile 4 Register— Single Tone (0x12)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		
Profile 4 Register— QDUC (0x12)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		
Profile 5 Register— Single Tone (0x13)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		
Profile 5 Register— QDUC (0x13)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		
Profile 6 Register— Single Tone (0x14)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		
Profile 6 Register— QDUC (0x14)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>						N/A		
	<47:40>	Phase Offset Word<15:8>						N/A		
	<39:32>	Phase Offset Word<7:0>						N/A		
	<31:24>	Frequency Tuning Word<31:24>						N/A		
	<23:16>	Frequency Tuning Word<23:16>						N/A		
	<15:8>	Frequency Tuning Word<15:8>						N/A		
	<7:0>	Frequency Tuning Word<7:0>						N/A		

AD9957

表17. プロファイル7、RAM、GPIO設定、GPIOデータ・レジスタ

Register Name (Serial Address)	Bit Range (Internal Address)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value
Profile 7 Register— Single Tone (0x15)	<63:56>	Open		Amplitude Scale Factor<13:8>						N/A
	<55:48>	Amplitude Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
Profile 7 Register— QDUC (0x15)	<63:56>	CCI Interpolation Rate<7:2>						Spectral Invert	Inverse CCI Bypass	N/A
	<55:48>	Output Scale Factor<7:0>								N/A
	<47:40>	Phase Offset Word<15:8>								N/A
	<39:32>	Phase Offset Word<7:0>								N/A
	<31:24>	Frequency Tuning Word<31:24>								N/A
	<23:16>	Frequency Tuning Word<23:16>								N/A
	<15:8>	Frequency Tuning Word<15:8>								N/A
	<7:0>	Frequency Tuning Word<7:0>								N/A
RAM Register (0x16)	<31:0>	RAM Word<31:0>								N/A
GPIO Configuration Register (0x18)	<15:0>	GPIO Configuration<15:0>								N/A
GPIO Data Register (0x19)	<15:0>	GPIO Data<15:0>								N/A

レジスタ・ビットの説明

シリアルI/Oポート・レジスタのアドレスは、0～25の範囲です（16進数の0x00～0x19）。合計で26個のレジスタがあります。ただし、これらのレジスタのうち6個は使用しないため、使用可能なレジスタは合計20個です。使用しないレジスタは7、8、11～13、23（0x07～0x08、0x0B～0x0D、0x17）です。

レジスタに割り当てられるバイト数は、レジスタごとに異なります。つまり、レジスタの深さは同じではなく、それぞれの機能に必要なバイト数があります。また、レジスタにはその機能に基づいて名前が付けられています。場合によっては、ニモニックの記述子が与えられていることがあります。たとえば、シリアル・アドレス0x00のレジスタ名はコントロール機能レジスタ1であり、ニモニックとしてCFR1が割り当てられています。

次に、AD9957レジスタ・マップの各ビットについて詳細に説明します。あるビット群が特定の1つの機能を持つ場合は、このビット・グループ全体を1個のバイナリ・ワードと考え、1つにまとめて説明します。

ここでは、レジスタのシリアル・アドレスの順番に説明します。各サブヘッドの後に、特定のレジスタの個々のビット説明を記載します。レジスタ中のビット位置は、<A>または<A:B>と表記し、AとBはビット番号を表します。<A:B>の表記は、最上位ビットから最下位ビットの範囲を示します。たとえば、<5:2>は5～2のビット位置を意味し、ビット0がレジスタのLSBになります。

特に指定のない限り、I/O更新のアサートまたはプロファイルの変更があるまで、設定したビットはその内部デイスティネーションに送信されることはありません。

コントロール機能レジスタ1（CFR1）

アドレス0x00、4バイトがこのレジスタに割り当てられています。

表18. CFR1レジスタのビットの説明

Bit (s)	Mnemonic	Description
31	RAM Enable	0: disables RAM playback functionality (default). 1: enables RAM playback functionality.
30:29	Open	
28	RAM Playback Destination	Ineffective unless CFR1<31> = 1. 0: RAM playback data routed to baseband scaling multipliers (default). 1: RAM playback data routed to baseband I/Q data path.
27:26	Open	
25:24	Operating Mode	00: quadrature modulation mode (default). 01: single tone mode. 1x: interpolating DAC mode.
23	Manual OSK External Control	Ineffective unless CFR1<9:8> = 10b. 0: OSK pin inoperative (default). 1: OSK pin enabled for manual OSK control (see the Output Shift Keying (OSK) section).
22	Inverse Sinc Filter Enable	0: inverse sinc filter bypassed (default). 1: inverse sinc filter active.
21	Clear CCI	This bit is automatically cleared by the serial I/O port controller. This operation requires several internal clock cycles to complete, during which time the data supplied to the CCI input by the baseband signal chain is ignored. The inputs are forced to all zeros to flush the CCI data path, after which the CCI accumulators are reset. 0: normal operation of the CCI filter (default). 1: initiates an asynchronous reset of the accumulators in the CCI filter.
20:17	Open	
16	Select DDS Sine Output	Ineffective unless CFR1<25:24> = 01b. 0: cosine output of the DDS is selected (default). 1: sine output of the DDS is selected.
15:14	Open	
13	Autoclear Phase Accumulator	0: normal operation of the DDS phase accumulator (default). 1: synchronously resets the DDS phase accumulator any time I/O_UPDATE is asserted or a profile change occurs.
12	Open	
11	Clear Phase Accumulator	0: normal operation of the DDS phase accumulator (default). 1: asynchronous, static reset of the DDS phase accumulator.
10	Load ARR @ I/O Update	0: normal operation of the OSK amplitude ramp rate timer (default). 1: OSK amplitude ramp rate timer reloaded any time I/O_UPDATE is asserted or a profile change occurs.

AD9957

Bit (s)	Mnemonic	Description
9	OSK (Output Shift Keying) Enable	0: OSK disabled (default). 1: OSK enabled.
8	Select Auto-OSK	Ineffective unless CFR1<9> = 1. 0: manual OSK enabled (default). 1: automatic OSK enabled.
7	Digital Power-Down	This bit is effective without the need for an I/O update. 0: clock signals to the digital core are active (default). 1: clock signals to the digital core are disabled.
6	DAC Power-Down	0: DAC clock signals and bias circuits are active (default). 1: DAC clock signals and bias circuits are disabled.
5	REFCLK Input Power-Down	This bit is effective without the need for an I/O update. 0: REFCLK input circuits and PLL are active (default). 1: REFCLK input circuits and PLL are disabled.
4	Auxiliary DAC Power-Down	0: auxiliary DAC clock signals and bias circuits are active (default). 1: auxiliary DAC clock signals and bias circuits are disabled.
3	External Power-Down Control	0: assertion of the EXT_PWR_DWN pin affects full power-down (default). 1: assertion of the EXT_PWR_DWN pin affects fast recovery power-down.
2	Auto Power-Down Enable	Ineffective when CFR1<25:24> = 01b. 0: disable power-down (default). 1: when the TxEnable pin is Logic 0, the baseband signal processing chain is flushed of residual data and the clocks are automatically stopped. Clocks restart when the TxENABLE pin is a Logic 1.
1	SDIO Input Only	0: configures the SDIO pin for bidirectional operation; 2-wire serial programming mode (default). 1: configures the serial data I/O pin (SDIO) as an input only pin; 3-wire serial programming mode.
0	LSB First	0: configures the serial I/O port for MSB first format (default). 1: configures the serial I/O port for LSB first format.

コントロール機能レジスタ2 (CFR2)

アドレス0x01、4バイトがこのレジスタに割り当てられています。

表19. CFR2レジスタのビットの説明

Bit (s)	Mnemonic	Description
31	Blackfin Interface Mode Active	Valid only when CFR1<25:24> = 00b (quadrature modulation mode). 0: Pin D<17:0> configured as an 18-bit parallel port (default). 1: Pin D<5:4> configured as a dual serial port compatible with the Blackfin serial interface. Pin D<17:6> and Pin D<3:0> become available as a 16-bit GPIO port.
30	Blackfin Bit Order	Valid only when CFR2<31> = 1. 0: the dual serial port (BFI) configured for MSB first operation (default). 1: the dual serial port (BFI) configured for LSB first operation.
29	Blackfin Early Frame Sync Enable	Valid only when CFR2<31> = 1. 0: the dual serial port (BFI) configured to be compatible with Blackfin late frame sync operation (default). 1: the dual serial port (BFI) configured to be compatible with Blackfin early frame sync operation.
28:25	Open	
24	Enable Profile Registers as ASF Source	Valid only when CFR1<25:24> = 01b (single tone mode) and CFR1<9>=0 (OSK disabled). 0: amplitude scale factor bypassed (unity gain). 1: the active profile register determines the amplitude scale factor.
23	Internal I/O Update Active	This bit is effective without the need for an I/O update. 0: serial I/O programming is synchronized with external assertion of the I/O_UPDATE pin, which is configured as an input pin (default). 1: serial I/O programming is synchronized with an internally generated I/O update signal (the internally generated signal appears at the I/O_UPDATE pin, which is configured as an output pin).
22	SYNC_CLK Enable	0: the SYNC_CLK pin is disabled; static Logic 0 output. 1: the SYNC_CLK pin generates a clock signal at $1/4 f_{\text{SYSCLK}}$; use of synchronization of the serial I/O port (default).

Bit (s)	Mnemonic	Description
21:17	Open	
16	Read Effective FTW	0: a serial I/O port read operation of the FTW register reports the contents of the FTW register (default). 1: a serial I/O port read operation of the FTW register reports the actual 32-bit word appearing at the input to the DDS phase accumulator.
15:14	I/O Update Rate Control	Ineffective unless CFR2<23> = 1. Sets the prescale ratio of the divider that clocks the I/O update timer as follows: 00: divide-by-1 (default). 01: divide-by-2. 10: divide-by-4. 11: divide-by-8.
13	PDCLK Rate Control	Ineffective unless CFR2<31> = 0 and CFR1<25:24> = 00b. 0: PDCLK operates at the input data rate (default). 1: PDCLK operates at 1/2 the input data rate; useful for maintaining a consistent relationship between I/Q words at the parallel data port and the internal clocks of the baseband signal processing chain.
12	Data Format	0: the data-words applied to Pin D<17:0> are expected to be coded as twos complement (default). 1: the data-words applied to Pin D<17:0> are expected to be coded as offset binary.
11	PDCLK Enable	0: the PDCLK pin is disabled and forced to a static Logic 0 state; the internal clock signal continues to operate and provide timing to the data assembler. 1: the internal PDCLK signal appears at the PDCLK pin (default).
10	PDCLK Invert	0: normal PDCLK polarity; Q-data associated with Logic 1, I-data with Logic 0 (default). 1: inverted PDCLK polarity.
9	TxEnable Invert	0: normal TxENABLE polarity; Logic 0 is standby, Logic 1 is transmit (default). 1: inverted TxENABLE polarity; Logic 0 is transmit, Logic 1 is standby.
8	Q-First Data Pairing	0: an I/Q data pair is delivered as I-data first, followed by Q-data (default). 1: an I/Q data pair is delivered as Q-data first, followed by I-data.
7	Matched Latency Enable	0: simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output in the order listed (default). 1: simultaneous application of amplitude, phase, and frequency changes to the DDS arrive at the output simultaneously.
6	Data Assembler Hold Last Value	Ineffective when CFR1<25:24> = 01b. 0: when the TxENABLE pin is false, the data assembler ignores the input data and internally forces zeros on the baseband signal path (default). 1: when the TxENABLE pin is false, the data assembler ignores the input data and internally forces the last value received on the baseband signal path.
5	Sync Timing Validation Disable	0: enables the setup and hold validation circuit to take a measurement; the measurement result appears at the SYNC_SMP_ERR pin; a Logic 1 at this pin indicates a potential setup/hold violation whereas a Logic 0 indicates that a setup/hold violation has not been detected; the measurement result is latched and held until this bit is set to a Logic 1. 1: resets the setup and hold validation measurement circuit forcing the SYNC_SMP_ERR pin to a static Logic 0 condition (default); the measurement circuit is effectively disabled until this bit is restored to a Logic 0 state.
4:0	Open	

AD9957

コントロール機能レジスタ3 (CFR3)

アドレス0x02、4バイトがこのレジスタに割り当てられています。

表20. CFR3レジスタのビットの説明

Bit (s)	Mnemonic	Description
31:30	Open	
29:28	DRV0	Controls REFCLK_OUT pin (see Table 6 for details); default is 01b.
27	Open	
26:24	VCO SEL	Selects frequency band of the VCO in the REFCLK PLL (see Table 7 for details); default is 111b.
23:22	Open	
21:19	I _{CP}	Selects the charge pump current in the REFCLK PLL (see Table 8 for details); default is 111b.
18:16	Open	
15	REFCLK Input Divider Bypass	0: input divider is selected (default). 1: input divider is bypassed.
14	REFCLK Input Divider ResetB	0: input divider is reset. 1: input divider operates normally (default).
13:9	Open	
8	PLL Enable	0: REFCLK PLL bypassed (default). 1: REFCLK PLL enabled.
7:1	N	This 7-bit number is divide modulus of the REFCLK PLL feedback divider; default is 0000000b.
0	Open	

補助DACコントロール・レジスタ

アドレス0x03、4バイトがこのレジスタに割り当てられています。

表21. 補助DACコントロール・レジスタのビットの説明

Bit (s)	Mnemonic	Description
31:8	Open	
7:0	FSC	This 8-bit number controls the full-scale output current of the main DAC (see the Auxiliary DAC section); default is 0xFF.

I/O更新レート・レジスタ

アドレス0x04、4バイトがこのレジスタに割り当てられています。このレジスタは、I/O更新を行わずに有効になります。

表22. I/O更新レート・レジスタのビットの説明

Bit (s)	Mnemonic	Description
31:0	I/O Update Rate	Ineffective unless CFR2<23> = 1. This 32-bit number controls the automatic I/O update rate (see the Automatic I/O Update section); default is 0xFFFFFFFF.

RAMセグメント・レジスタ0

アドレス0x05、6バイトがこのレジスタに割り当てられています。このレジスタは、I/O更新を行わずに有効になります。このレジスタがアクティブになるのは、CFR1ビット31=1で、RTピンがロジック0からロジック1に遷移するときのみです。

表23. RAMセグメント・レジスタ0のビットの説明

Bit (s)	Mnemonic	Description
47:32	RAM Address Step Rate 0	This 16-bit number controls the rate at which the RAM state machine steps through the specified RAM address range.
31:22	RAM End Address 0	This 10-bit number identifies the ending address for the RAM state machine.
21:16	Open	
15:6	RAM Start Address 0	This 10-bit number identifies the starting address for the RAM state machine.
5:3	Open	
2:0	RAM Playback Mode 0	This 3-bit number identifies the playback mode for the RAM state machine (see Table 5).

RAMセグメント・レジスタ1

アドレス0x05、6バイトがこのレジスタに割り当てられています。このレジスタがアクティブになるのは、CFR1ビット31=1で、RTピンがロジック1からロジック0に変化するときのみです。

表24. RAMセグメント・レジスタ1のビットの説明

Bit (s)	Mnemonic	Description
47:32	RAM Address Step Rate 1	This 16-bit number controls the rate at which the RAM state machine steps through the specified RAM address range.
31:22	RAM End Address 1	This 10-bit number identifies the ending address for the RAM state machine.
21:16	Open	
15:6	RAM Start Address 1	This 10-bit number identifies the starting address for the RAM state machine.
5:3	Open	
2:0	RAM Playback Mode 1	This 3-bit number identifies the playback mode for the RAM state machine (see Table 5).

振幅スケール・ファクタ・レジスタ (ASF)

アドレス0x09、4バイトがこのレジスタに割り当てられています。このレジスタがアクティブになるのは、CFR1ビット9=1の場合のみです。

表25. ASFレジスタのビットの説明

Bit (s)	Mnemonic	Description
31:16	Amplitude Ramp Rate	Ineffective unless CFR1<8> = 1. This 16-bit number controls the rate at which the OSK controller updates amplitude changes to the DDS.
15:2	Amplitude Scale Factor	If CFR1<8> = 0 and CFR1<23> = 0, then this 14-bit number is the amplitude scale factor for the DDS. If CFR1<8> = 0 and CFR1<23> = 1, then this 14-bit number is the amplitude scale factor for the DDS when the OSK pin is Logic 1. If CFR1<8> = 1, then this 14-bit number sets a ceiling on the maximum allowable amplitude scale factor for the DDS.
1:0	Amplitude Step Size	Ineffective unless CFR1<8> = 1. This 2-bit number controls the step size for amplitude changes to the DDS (see Table 9).

マルチチップ同期レジスタ

アドレス0x0A、4バイトがこのレジスタに割り当てられています。

表26. マルチチップ同期レジスタのビットの説明

Bit (s)	Mnemonic	Description
31:28	Sync Validation Delay	Default is 0000b. This 4-bit number sets the timing skew (in ~150 ps increments) between SYSCLK and the delayed sync-in signal for the synchronization validation block in the synchronization receiver.
27	Sync Receiver Enable	0: synchronization clock receiver disabled (default). 1: synchronization clock receiver enabled.
26	Sync Generator Enable	0: synchronization clock generator disabled (default). 1: synchronization clock generator enabled.
25	Sync Generator Polarity	0: synchronization clock generator coincident with the rising edge of the system clock (default). 1: synchronization clock generator coincident with the falling edge of the system clock.
24	Open	
23:18	Sync State Preset Value	Default is 000000b. This 6-bit number is the state that the internal clock generator assumes when it receives a sync pulse.
17:16	Open	
15:11	Sync Generator Delay	Default is 00000b. This 5-bit number sets the output delay (in ~150 ps increments) of the synchronization generator.
10:8	Open	
7:3	Sync Receiver Delay	Default is 00000b. This 5-bit number sets the delay input delay (in ~150 ps increments) of the synchronization receiver.
2:0	Open	

プロファイル・レジスタ

デバイスのプロファイル専用として8つの連続したシリアルI/O アドレス（0x0E～0x15）があります。8個のプロファイル・レジスタはすべて、CFR1ビット<25:24>で指定されたデバイスの動作モードに応じて、シングル・トーン・プロファイルもしくはQDUCプロファイルに設定されます。動作時に、外部PROFILE<2:0>ピンによってアクティブなプロファイル・レジスタが決まります。

シングル・トーン・プロファイルは、DDS周波数（32ビット）、DDS位相オフセット（16ビット）、DDS振幅スケーリング（14ビット）を制御します。

プロファイル<0:7>レジスタ—シングル・トーン

アドレス0x0E～0x15、8バイトがこのレジスタに割り当てられています。

表27. プロファイル<7:0>レジスタのビットの説明—シングル・トーン

Bit (s)	Mnemonic	Description
63:62	Open	
61:48	Amplitude Scale Factor	This 14-bit number controls the DDS output amplitude.
47:32	Phase Offset Word	This 16-bit number controls the DDS phase offset.
31:0	Frequency Tuning Word	This 32-bit number controls the DDS frequency.

プロファイル<0:7>レジスタ—QDUC

アドレス0x0E～0x15、8バイトがこのレジスタに割り当てられています。

表28. プロファイル<7:0>レジスタのビットの説明—QDUC

Bit (s)	Mnemonic	Description
63:58	CC Interpolation Rate	This 6-bit number is the rate interpolation factor for the CCI filter.
57	Spectral Invert	0: the modulator output takes the form: $I(t) \times \cos(ct) - Q(t) \times \sin(ct)$. 1: the modulator output takes the form: $I(t) \times \cos(ct) + Q(t) \times \sin(ct)$.
56	Inverse CCI Bypass	0: the inverse CCI filter is enabled. 1: the inverse CCI filter is bypassed.
55:48	Output Scale Factor	This 8-bit number controls the output amplitude.
47:32	Phase Offset Word	This 16-bit number controls the DDS phase offset.
31:0	Frequency Tuning Word	This 32-bit number controls the DDS frequency.

RAMレジスタ

アドレス0x16、4バイトがこのレジスタに割り当てられています。

表29. RAMレジスタのビットの説明

Bit (s)	Mnemonic	Description
31:0	RAM Word	The number of 32-bit words written to RAM is defined by the start and end address in RAM Segment Register 0 or RAM Segment Register 1.

GPIO設定レジスタ

アドレス0x18、2バイトがこのレジスタに割り当てられています。

表30. GPIO設定レジスタのビットの説明

Bit (s)	Mnemonic	Description
15:0	GPIO Configuration	See the General-Purpose I/O (GPIO) Port section for details.

GPIOデータ・レジスタ

アドレス0x19、2バイトがこのレジスタに割り当てられています。

表31. GPIOデータ・レジスタのビットの説明

Bit (s)	Mnemonic	Description
15:0	GPIO Data	Read or write based on the contents of the GPIO Configuration register. See the General-Purpose I/O (GPIO) Port section for details.

外形寸法

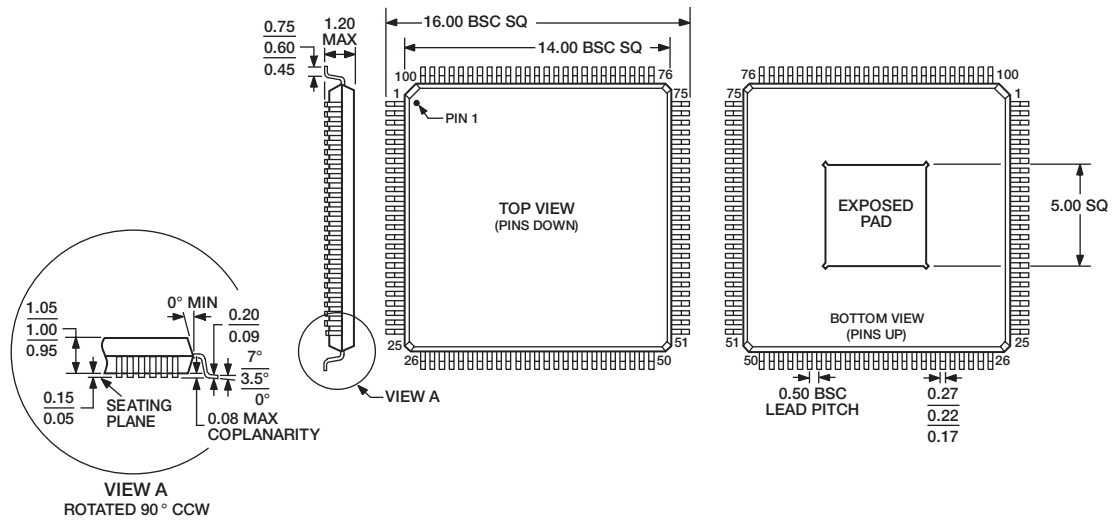


図64. 100ピン薄型クワッド・フラット・パッケージ、露出パッド付き [TQFP_EP]
(SV-100-4)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9957BSVZ ¹	−40℃ to +85℃	100-Lead Thin Quad Flat Package Exposed Pad [TQFP_EP]	SV-100-4
AD9957BSVZ-REEL ¹	−40℃ to +85℃	100-Lead Thin Quad Flat Package Exposed Pad [TQFP_EP]	SV-100-4
AD9957/PCBZ ¹		Evaluation Board	

¹ Z=RoHS準拠製品