

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2009 年 10 月 26 日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2009 年 10 月 26 日

製品名：AD9913

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正（補足説明）箇所：

1) P.1 ページ左上 「特長」の部分

補足説明 A_{OUT} という表記が使われていますが、これは DAC 出力のことです。

2) P.6 表 3 ピン番号 9 SYNC_CLK の部分

補足説明 英文データシートで “set up to the rising edge”、日本語データシートでも「立ち上がりエッジに設定」と原文に合わせて翻訳してありますが、具体的には信号が SYNC_CLK 立ち上がりエッジで読み込まれますので、そのエッジで読み込まれるように設定してください（セットアップ時間とホールド時間を規定に満足させてください）という意図です。

3) P.12 ページ左上から 4 行目

補足説明 「DDS サイン出力ビット」と記載されているビットは、P.25 の表 9.コントロール・レジスタの Control Function Register 1 (CFR1, 0x00) の bit 0 “Enable Sine Output” に相当します。

4) P.13 ページ左中の式

補足説明 変数 x が使われていますが、これは P.12 のページ左上で説明している「周波数チューニング・ワード(FTW)」を意図しています。

5) P.15 ページ左上から 12 行目

補足説明 「スイープ・ランプ・レート・ワード(sweep ramp rate word)」と「デルタ・ランプ・レート・ワード(delta ramp rate word)」という用語が用いられていますが、これらは同じものを指しております。

6) P.21 ページ右下から 7 行目

補足説明 「パワーダウン・モード」と説明がありますが、これは「フル・パワーダウン・モード」のことを指しております。

7) P.21 ページ右下から 5 行目

「表 11 に」と説明がありますが、これは「表 8 に」の誤記です。

8) P.23 ページ右下から 5 行目

「コントロール・レジスタ 0x00 のビット 8」と説明がありますが、これは「0x00 のビット 23」の誤記です。

9) p.28 ページ表 10 の下から 2 行目と 3 行目

補足説明 “IO_UPDATE sequence indicator” とは IO_UPDATE 端子のことを指しています。

特長

最大 250 MSPS の内部クロック速度で 50 mW
 100 MHz のアナログ出力
 10 ビット DAC を内蔵
 周波数分解能: 0.058 Hz 以下
 位相チューニング分解能: 0.022°
 周波数式使用のプログラマブル・モジュラス
 位相ノイズ: 1 kHz オフセットで -135 dBc/Hz 以下 (DAC 出力)
 (内蔵 PLL 通倍器使用時は 115 dBc/Hz 以下)
 優れたダイナミック性能
 100 MHz (± 100 kHz オフセット) A_{OUT} で SFDR 80 dB 以上
 自動リニア周波数スイープ機能
 8 種類の周波数または位相オフセット・プロファイル
 電源電圧: 1.8 V
 ソフトウェアおよびハードウェア制御によるパワーダウン
 パラレルおよびシリアルプログラミング・オプション
 32 ピン LFCSP パッケージを採用
 オプションの PLL REF_CLK 通倍器
 1 個の水晶で駆動可能な内部発振器
 位相変調機能

アプリケーション

ポータブル機器およびハンドヘルド機器
 即応性に優れた LO 周波数シンセシス
 プログラマブルなクロック・ジェネレータ
 レーダ・システムおよびスキャン・システム向けの FM チャ
 ープ・ソース

概要

AD9913 は、ポータブル機器、ハンドヘルド機器、バッテリ駆動の機器の厳しい消費電力条件を満たすようにデザインされたダイレクト・デジタル・シンセサイザ (DDS) です。AD9913 は、最大 250 MSPS で動作する 10 ビット D/A コンバータ (DAC) を内蔵しています。AD9913 では、高度な DDS 技術と内蔵の高速高性能 DAC の組み合わせにより、デジタル的に設定可能で、かつ周波数即応性に優れた最大 100 MHz までのアナログ出力正弦波を発生させる高周波シンセサイザ機能を構成しています。

AD9913 は、高速な周波数ホッピング機能と高いチューニング分解能を提供します。また、AD9913 は高分解能の位相オフセット微調整機能も提供します。コントロール・ワードは、シリアルまたはパラレルの I/O ポートを介して AD9913 にロードされます。AD9913 は、直線性の優れた周波数スイープ波形を発生するユーザ定義のリニア・スイープ動作モードもサポートしています。AD9913 は種々のシステム・クロック発生方法をサポートするため、周波数リファレンスとしてシンプルな水晶を使用できる発振器、およびフル・システム・クロック・レートまでのリファレンス・クロック周波数を変換する高速クロック通倍器を内蔵しています。省電力のため、AD9913 の多くのブロックは使用しないときにパワーダウンすることができます。

AD9913 は -40°C ~ +85°C の拡張工業温度範囲で動作します。

機能ブロック図

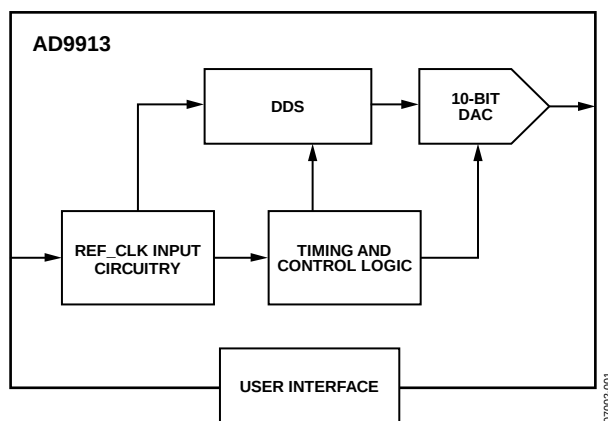


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2007 Analog Devices, Inc. All rights reserved.

目次

特長	1	I/O ポート	13
アプリケーション	1	プロファイルの選択	13
概要	1	動作モード	14
機能ブロック図	1	シングル・トーン・モード	14
改訂履歴	2	ダイレクト・スイッチ・モード	14
仕様	3	プログラマブル・モジュラス・モード	14
電氣的仕様	3	リニア・スイープ・モード	14
絶対最大定格	5	クロック入力(REF_CLK)	18
ESD の注意	5	パワーダウン機能	21
等価回路	5	I/O の設定	22
ピン配置およびピン機能説明	6	シリアルの設定	22
代表的な性能特性	8	パラレル I/O の設定	23
アプリケーション回路	11	レジスタ・マップとビット説明	25
動作原理	12	レジスタ・マップ	25
DDS コア	12	レジスタ・ビットの説明	27
補助アキュムレータ	13	外形寸法	31
10 ビット DAC	13	オーダー・ガイド	31

改訂履歴

10/07—Revision 0: Initial Version

仕様

電氣的仕様

特に指定がない限り、AVDD (1.8 V)、DVDD (1.8 V)、DVDD_I/O = 1.8 V $\pm$ 5%、T = 25°C、R_{SET} = 4.64 k Ω 、DAC フル・スケール電流 = 2 mA、外部リファレンス・クロック周波数 = 250 MHz、REF_CLK 通倍器はディスエーブル。

表 1

Parameter	Conditions/Comments	Min	Typ	Max	Unit
REF_CLK INPUT CHARACTERISTICS					
Frequency Range					
REF_CLK Multiplier	Disabled			250	MHz
	Enabled			250	MHz
REF_CLK Input Divider Frequency	Full temperature range			83	MHz
VCO Oscillation Frequency	VCO1	16		250	MHz
	VCO2	100		250	MHz
PLL Lock Time	25 MHz reference clock, 10 $\times$ PLL		60		μ s
External Crystal Mode			25		MHz
CMOS Mode	VIH	0.9			V
	VIL			0.65	V
Input Capacitance			3		pF
Input Impedance (Differential)			2.7		k Ω
Input Impedance (Single-Ended)			1.35		k Ω
Duty Cycle		45		55	%
REF_CLK Input Level		355		1000	mV p-p
DAC OUTPUT CHARACTERISTICS					
Full-Scale Output Current				4.6	mA
Gain Error		-14		-6	%FS
Output Offset				+0.1	μ A
Differential Nonlinearity		-0.4		+0.4	LSB
Integral Nonlinearity		-0.5		+0.5	LSB
AC Voltage Compliance Range			$\pm$ 400		mV
SPURIOUS-FREE DYNAMIC RANGE	Refer to Figure 6				
SERIAL PORT TIMING CHARACTERISTICS					
SCLK Frequency				32	MHz
SCLK Pulse Width	Low	17.5			ns
	High	3.5			ns
SCLK Rise/Fall Time				2	ns
Data Setup Time to SCLK		5.5			ns
Data Hold Time to SCLK		0			ns
Data Valid Time in Read Mode				22	ns
PARALLEL PORT TIMING CHARACTERISTICS					
PCLK Frequency				33	MHz
PCLK Pulse Width	Low	10			ns
	High	20			ns
PCLK Rise/Fall Time				2	ns
Address/Data Setup Time to PCLK		3.0			ns
Address/Data Hold Time to PCLK		0.3			ns
Data Valid Time in Read Mode				8	ns
IO_UPDATE/PROFILE(2:0) TIMING					
Setup Time to SYNC_CLK		0.5			ns
Hold Time to SYNC_CLK		1			SYNC_CLK cycles

Parameter	Conditions/Comments	Min	Typ	Max	Unit
MISCELLANEOUS TIMING CHARACTERISTICS					
Wake-Up Time ¹					
Fast Recovery Mode				1	SYSCLK cycles ²
Full Sleep Mode				60	μs
Reset Pulse Width High		5			SYSCLK cycles
DATA LATENCY (PIPELINE DELAY)					
Frequency, Phase-to-DAC Output	Matched latency enabled		11		SYSCLK cycles
Frequency-to-DAC Output	Matched latency disabled		11		SYSCLK cycles
Phase-to-DAC Output	Matched latency disabled		10		SYSCLK cycles
Delta Tuning Word-to-DAC Output (Linear Sweep)			14		SYSCLK cycles
CMOS LOGIC INPUTS					
Logic 1 Voltage		1.2			V
Logic 0 Voltage				0.4	V
Logic 1 Current		−700		+700	nA
Logic 0 Current		−700		+700	nA
Input Capacitance			3		pF
CMOS LOGIC OUTPUTS					
Logic 1 Voltage	1 mA load	1.5			V
Logic 0 Voltage				0.125	V
POWER SUPPLY CURRENT					
DVDD (1.8 V) Pin Current Consumption				46.5	mA
DAC_CLK_AVDD (1.8 V)				4.7	mA
DAC_AVDD (1.8 V) Pin Current Consumption				6.2	mA
PLL_AVDD (1.8 V)				1.8	mA
CLK_AVDD (1.8 V) Pin Current Consumption				4.3	mA
POWER CONSUMPTION					
Single Tone Mode	PLL enabled, CMOS input		50	66.5	mW
	PLL disabled, differential input		57	70.5	mW
	PLL enabled, XTAL input		52	68.5	mW
Modulus Mode	PLL disabled			94.6	mW
Linear Sweep Mode	PLL disabled			98.4	mW
Power-Down					
Full				15	mW
Safe	PLL enabled			44.8	mW
PLL Modes					
VCO 1					
Differential Input Mode				11	mW
CMOS Input Mode				7.5	mW
Crystal Mode				5.4	mW
VCO 2					
Differential Input Mode				15	mW
CMOS Input Mode				11.5	mW
Crystal Mode				9.4	mW

¹ 詳しくはパワーダウン機能のセクションを参照してください。

² SYSCLK サイクルは、DDS がチップ内で使用する実際のクロック周波数を意味します。リファレンス・クロック通倍器を使って外部リファレンス・クロック周波数を通倍する場合、SYSCLK 周波数は外部周波数にリファレンス・クロック倍率を乗算した値になります。リファレンス・クロック通倍器と分周器を使わない場合は、SYSCLK 周波数は外部リファレンス・クロック周波数に一致します。

絶対最大定格

表 2.

Parameter	Rating
Maximum Junction Temperature	150°C
AVDD, DVDD	2 V
Digital Output Current	5 mA
Storage Temperature	−65°C to +150°C
Operating Temperature	−40°C to +105°C
Lead Temperature (Soldering, 10 sec)	300°C
θ_{JA}	36.1°C/W
θ_{JC}	4.2°C/W

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

等価回路

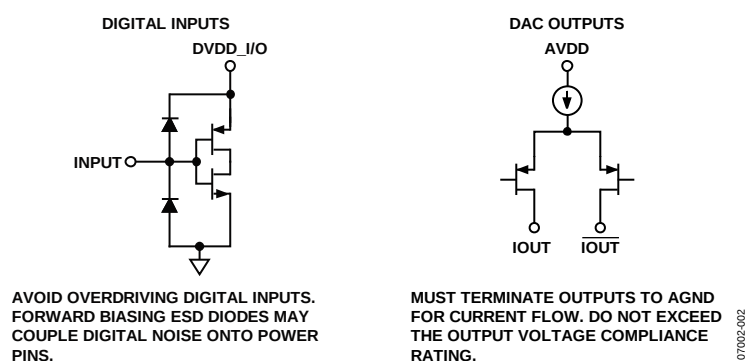


図 2. 等価入力回路と等価出力回路

ピン配置およびピン機能説明

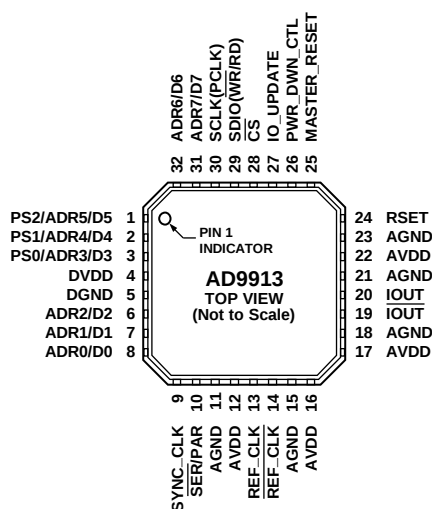


図 3. ピン配置

表 3. ピン機能の説明

ピン番号	記号	I/O	説明
1	PS2/ADR5/D5	I/O	共用ピン:ダイレクト・スイッチ・モードでのプロファイル・セレクト・ピン(PS2)、パラレル・ポート・アドレス・ライン(ADR5)、レジスタを設定するデータ・ライン(D5)。
2	PS1/ADR4/D4	I/O	共用ピン:ダイレクト・スイッチ・モードまたはリニア・スweep・モードでのプロファイル・セレクト・ピン(PS1)、パラレル・ポート・アドレス・ライン(ADR4)、レジスタを設定するデータ・ライン(D4)。
3	PS0/ADR3/D3	I/O	共用ピン:ダイレクト・スイッチ・モードまたはリニア・スweep・モードでのプロファイル・セレクト・ピン(PS0)、パラレル・ポート・アドレス・ライン(ADR3)、レジスタを設定するデータ・ライン(D3)。
4	DVDD	I	デジタル電源(1.8 V)。
5	DGND	I	デジタル・グラウンド。
6	ADR2/D2	I/O	パラレル・ポート・アドレス・ライン 2 とデータ・ライン 2。
7	ADR1/D1	I/O	パラレル・ポート・アドレス・ライン 1 とデータ・ライン 1。
8	ADR0/D0	I/O	パラレル・ポート・アドレス・ライン 0 とデータ・ライン 0。
9	SYNC_CLK	O	クロック出力。プロファイル・ピン[PS0:PS2]と IO_UPDATE ピン(ピン 27)はこの信号の立ち上がりエッジに設定して、デバイス内のパイプ・ライン遅延を一定に維持する必要があります。
10	$\overline{\text{SER/PAR}}$	I	シリアル・ポートとパラレル・ポートの選択。ロー・レベル=シリアル・モード、ハイ・レベル=パラレル・モード。
11, 15, 18, 21, 23	AGND	I	アナログ・グラウンド。
12, 16, 17, 22	AVDD	I	アナログ電源ピン(1.8 V)。
13	REF_CLK	I	リファレンス・クロック入力。詳細については、REF_CLK の概要のセクションを参照してください。
14	$\overline{\text{REF_CLK}}$	I	相補リファレンス・クロック入力。詳細については、REF_CLK の概要のセクションを参照してください。
19	$\overline{\text{IOUT}}$	O	オープン・ソースの DAC 相補出力ソース。電流モード。50 Ω を介して AGND に接続してください。
20	IOUT	O	オープン・ソースの DAC 出力ソース。電流モード。50 Ω を介して AGND に接続してください。
24	RSET	I	アナログ・リファレンス。DAC 出力のフル・スケール・リファレンス電流を調整。このピンと AGND との間に 4.64 k Ω の抵抗を接続してください。
25	MASTER_RESET	I	マスター・リセット、デジタル入力(アクティブ・ハイ)。すべてのメモリとレジスタがデフォルト値に設定されます。

ピン番号	記号	I/O	説明
26	PWR_DWN_CTL	I	外部パワーダウン、デジタル入力(アクティブ・ハイ)。このピンをハイ・レベルにすると、現在設定されているパワーダウン・モードが開始されます。詳細については、パワーダウン機能のセクションを参照してください。未使用時はグラウンドに接続してください。
27	IO_UPDATE	I	I/O 更新、デジタル入力。このピンをハイ・レベルにすると、I/O バッファの値が対応する内部レジスタへ転送されます。
28	$\overline{\text{CS}}$	I	シリアル・ポートとパラレル・ポートのチップ・セレクト。デジタル入力(アクティブ・ロー)。このピンをロー・レベルにすると、AD9913 はシリアル・クロック(SCLK)またはパラレル・クロック(PCLK)の立ち上がり/立ち下がりエッジを検出します。このピンをハイ・レベルにすると、AD9913 はデータ・ピンの入力を無視します。
29	SDIO($\overline{\text{WR}}$ /RD)	I/O	シリアル・ポート動作での双方向データ・ライン、およびパラレル・ポート動作でのライト/リード・イネーブル。
30	SCLK/PCLK	I	シリアル・ポートとパラレル・ポートの入力クロック。
31	ADR7/D7	I/O	パラレル・ポート・アドレス・ライン 7 とデータ・ライン 7。
32	ADR6/D6	I/O	パラレル・ポート・アドレス・ライン 6 とデータ・ライン 6。

代表的な性能特性

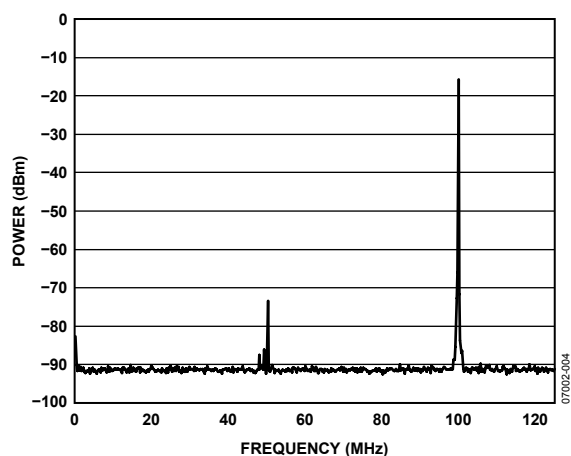


図 4.広帯域 SFDR、99.76 MHz f_{OUT} (250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

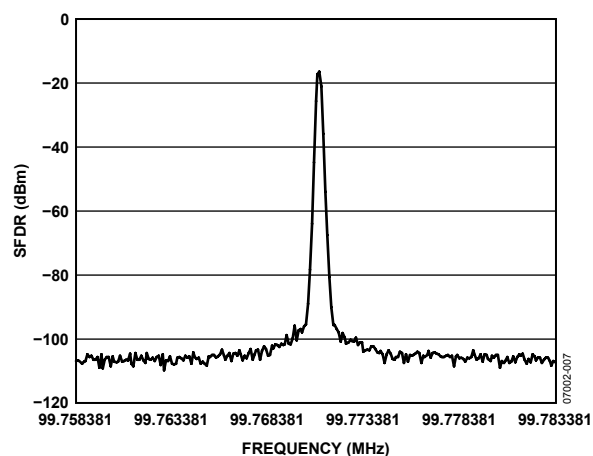


図 7.狭帯域 SFDR、99.76 MHz f_{OUT} (250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

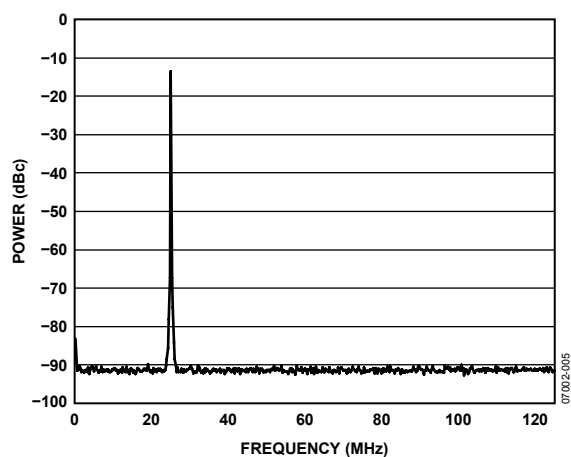


図 5.広帯域 SFDR、25.14 MHz f_{OUT} (250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

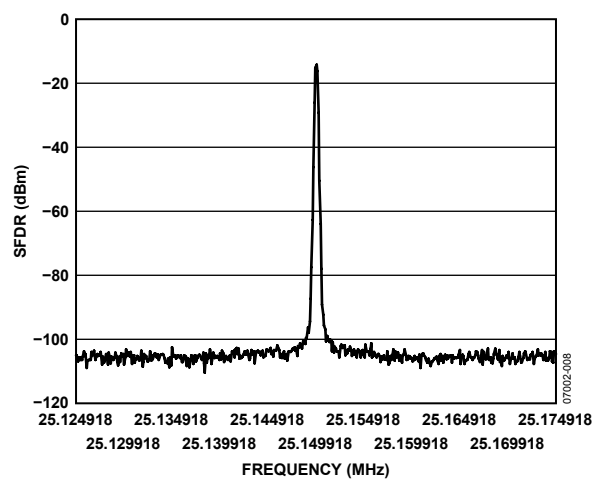


図 8.狭帯域 SFDR、25.14 MHz f_{OUT} (250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

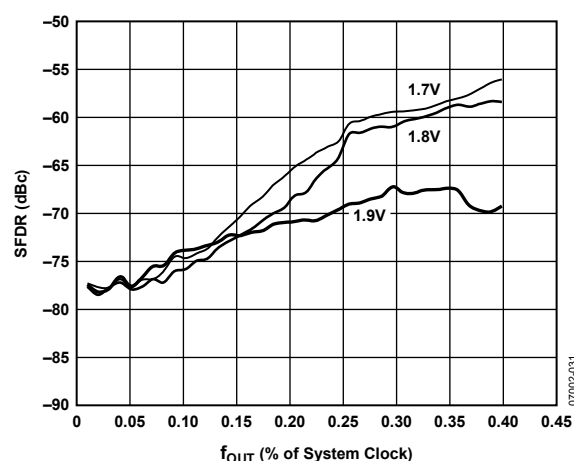


図 6.SFDR 対電源変動(250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

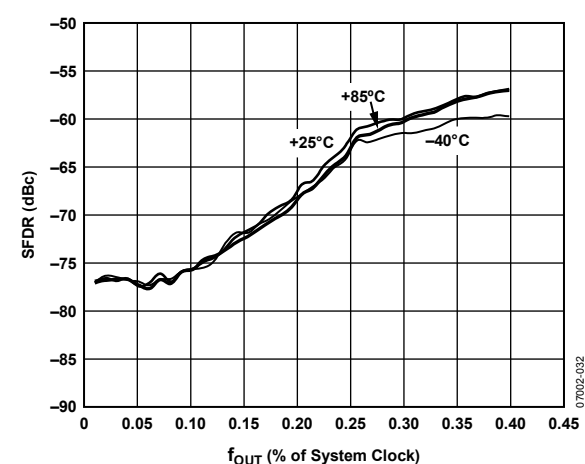


図 9.SFDR の温度特性(250 MHz クロック
4 mA DAC フル・スケール電流、PLL をバイパス)

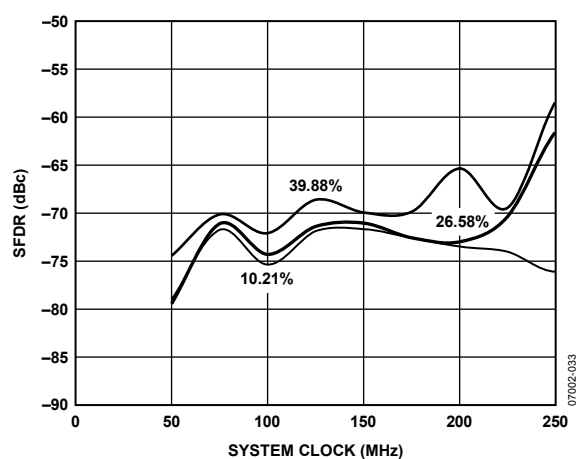


図 10. SFDR 対システム・クロック周波数(PLL をバイパス)

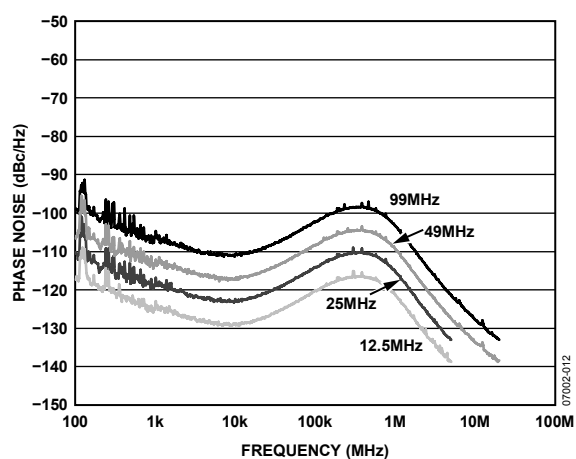


図 12. 絶対位相ノイズ対 f_{OUT} 、内蔵 PLL を使用
(REF_CLK 25 MHz $\times$ 10 = PLL 使用の 250 MHz)

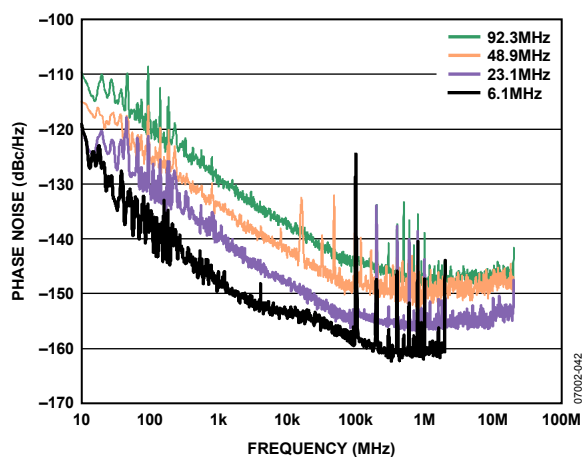


図 11. 残留位相ノイズ対 f_{OUT} (PLL をバイパス)

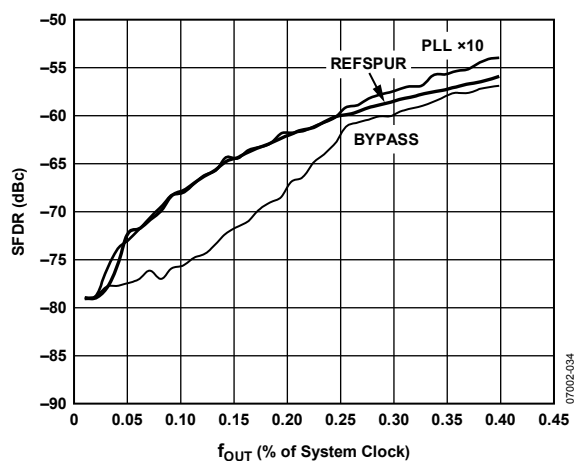


図 13. SFDR、内蔵 PLL 不使用(REF_CLK = 25 MHz $\times$ 10 = PLL 使用の 250 MHz、4 mA DAC フル・スケール電流)

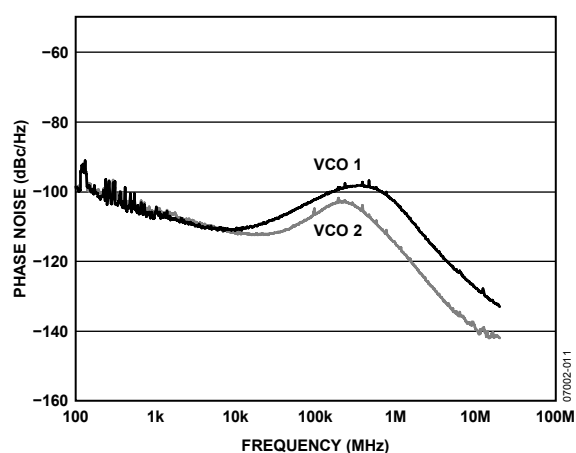


図 14.絶対位相ノイズ、VCO1 対 VCO2

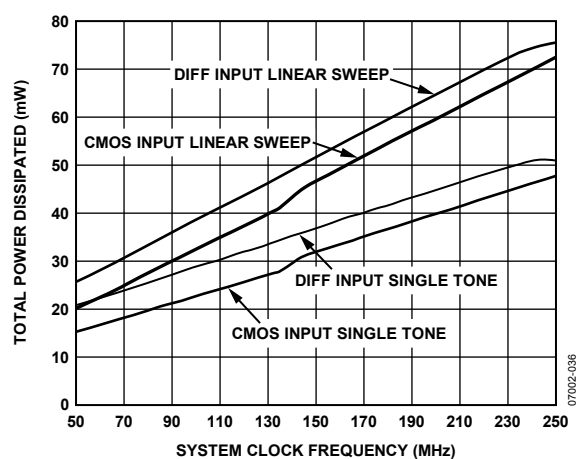


図 16.消費電力対システム・クロック周波数対クロック入力モード

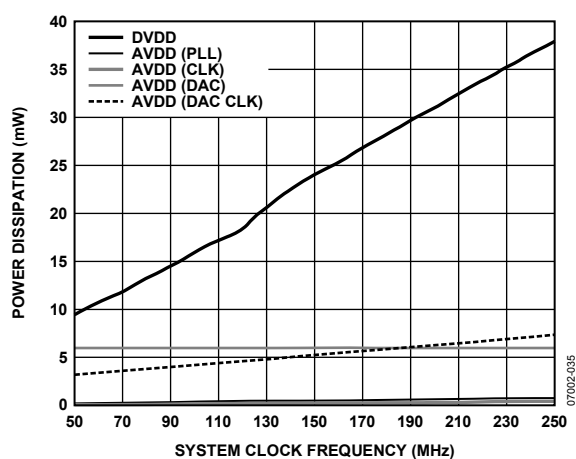


図 15.電源電流領域(CMOS 入力モード、4 mA DAC フル・スケール電流、シングル・トーン)

アプリケーション回路

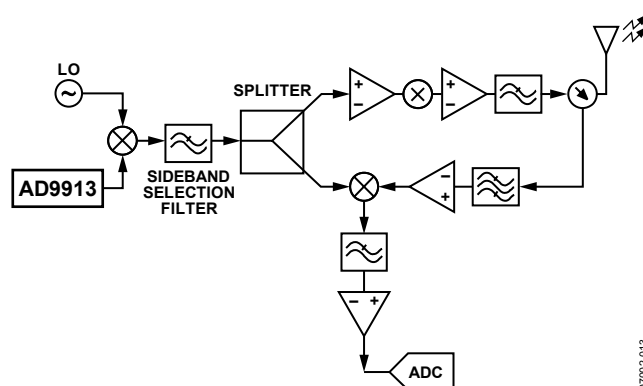


図 17.RFID のブロック図(レシーバの1チャンネルのみを表示)

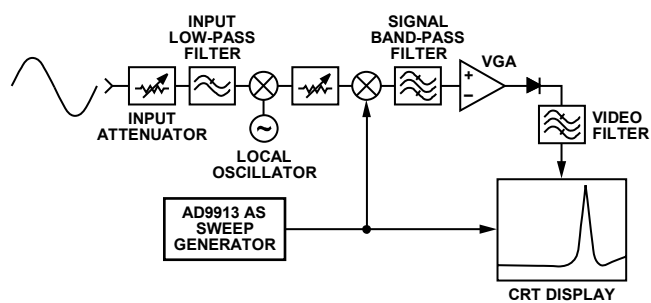


図 18.ハンドヘルド型スペクトル・アナライザ

動作原理

DDS コア

DDS ブロックはリファレンス信号を発生します(選択した DDS サイン出力ビットに応じて正弦波または余弦波)。リファレンス信号のパラメータ(周波数と位相)は、周波数オフセット・コントロール入力と位相オフセット・コントロール入力から DDS に入力されます(図 19 参照)。

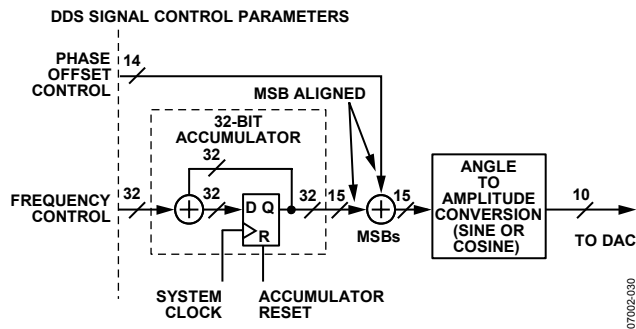


図 19. DDS のブロック図

AD9913 の出力周波数(f_{OUT})は、DDS への周波数コントロール入力の周波数チューニング・ワード(FTW)により制御されます。プログラマブル・モジュラスを除くすべてのモードで、 f_{OUT} 、FTW、 f_{SYSCLK} の間の関係は次式で表されます。

$$f_{OUT} = \left(\frac{FTW}{2^{32}} \right) f_{SYSCLK} \quad (1)$$

ここで、FTW は 0~2,147,483,647 ($2^{31} - 1$) の範囲の 32 ビット整数で、フル 32 ビット範囲の下半分を表します。この範囲が、DC~ナイキスト($\frac{1}{2} f_{SYSCLK}$)の周波数を構成します。

所望の値 f_{OUT} を発生するために必要な FTW は、式 1 を FTW について解くことにより式 2 のように求めます。

$$FTW = \text{round} \left(2^{32} \left(\frac{f_{OUT}}{f_{SYSCLK}} \right) \right) \quad (2)$$

ここで、 $\text{round}(x)$ 関数は、引数(x の値)に対する最寄りの整数を返します。これは、FTW が整数値に制約されているために必要です。

最寄りの周波数への丸め処理が許容できないアプリケーションに対しては、プログラマブル・モジュラス・モードにより他のオプションを使うことができます。

14 ビット位相オフセット・ワード(POW)を使うと、DDS 信号の相対位相をデジタル的に制御することができます。この位相オフセットは、DDS コア内部の角度/振幅変換ブロックの前で加えられます。相対位相オフセット($\Delta\theta$)は次式で与えられます。

$$\Delta\theta = \left| 2\pi \left(\frac{POW}{2^{14}} \right) \right|$$

ここで、位相オフセットの上位量はラジアン単位で表され、下位量は度単位で表されます。任意の $\Delta\theta$ を表すために必要な POW 値を求めるときは、上式を POW について解き結果を丸め処理します(式 1 と式 2 で任意の FTW を求めた方法と同じ方法を使用)。

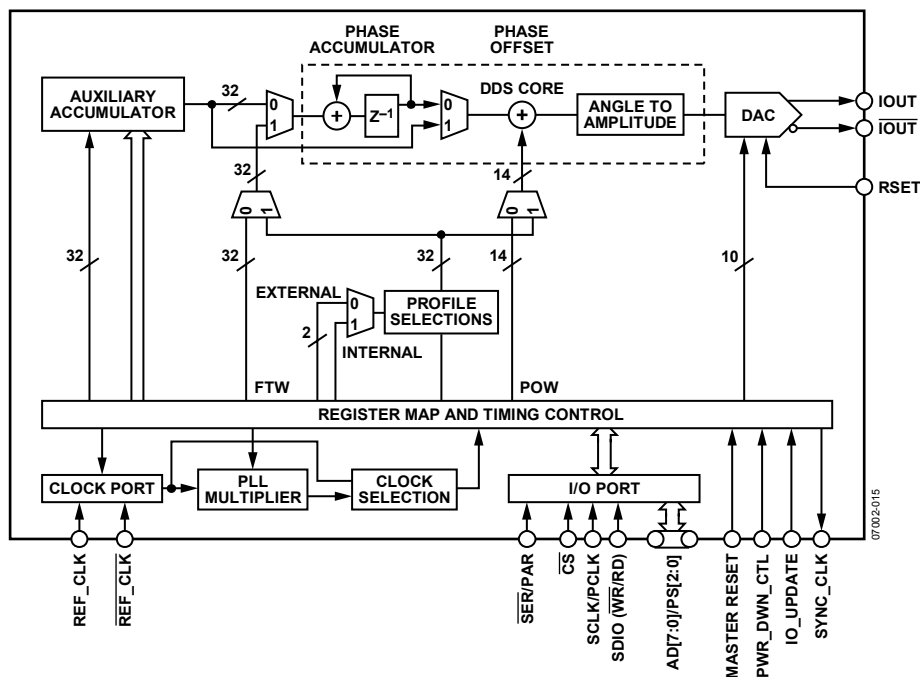


図 20. 詳細ブロック図

補助アキュムレータ

DDS の位相アキュムレータの他に、AD9913 には補助アキュムレータがあります。このアキュムレータは、DDS 出力(周波数または位相)のプログラマブルな特性の 1 つの自動スweepをサポートするように構成することができます。あるいは DDS コアのセクションで示す周波数式の変分の実現するように構成することができます。詳細については、プログラマブル・モジュラス・モードのセクションを参照してください。

10 ビット DAC

AD9913 は 10 ビットの電流出力 DAC を内蔵しています。出力電流は、2 本の出力を使う平衡信号として出力されます。平衡出力を使うと、DAC 出力に現れるコモン・モード・ノイズの電位が小さくなるので、信号対ノイズ比が大きくなる利点があります。RSET ピンと AGND との間に外付け抵抗(R_{SET})を接続するとリファレンス電流が設定されます。DAC のフル・スケール出力電流(I_{OUT})は、リファレンス電流をスケールした電流として発生されます。R_{SET} の推奨値は 4.62 kΩ です。

抵抗値 R_{set} とゲイン制御設定値に対するフル・スケール電流(typ)は次式で表されます。

$$I_{OUT}(x, R_{SET}) = \frac{0.0206}{R_{SET}} \times (1 + x)$$

DAC は、最大 4.58 mA のフル・スケール電流値で動作するようにデザインされています。この式に基づき、R_{SET} の抵抗値を 4.62 kΩ とし、さらに x = 0x1FF とすると、DAC の公称出力電流は 2.28 mA になります。

図 17 に、DAC 出力電流の範囲対 DAC の FS 値 (R_{SET} = 4.62 kΩ の場合)を示します。

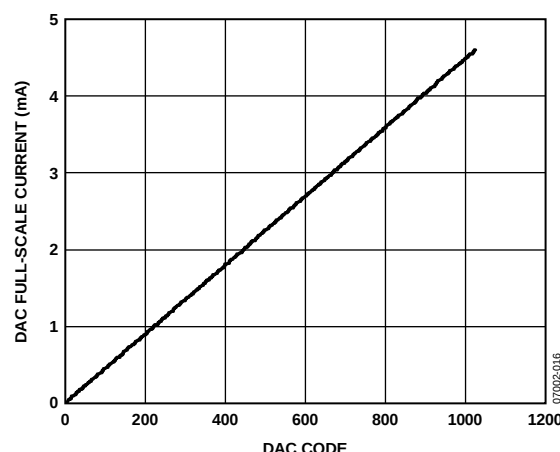


図 21.DAC 出力電流対 DAC の FS 値

出力電圧が規定のコンプライアンス・レンジ内に留まるように負荷終端に注意してください。電圧がこの範囲を超えると、歪みが大きくなり、DAC 出力回路に損傷を与えることがあります。

I/O ポート

AD9913 の I/O ポートは柔軟な同期シリアル通信ポートに構成することができます。多くの業界標準のマイクロコントローラやマイクロプロセッサと容易にインターフェースすることができます。シリアル I/O ポートは、モトローラ社の 6905/11 SPI プロトコルや Intel 社の 8051 SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。高速なプログラミング要求には、パラレル・モードも用意されています。

プロファイルの選択

AD9913 ではプロファイルの使用をサポートしています。このプロファイルは、特定の動作モードに対応する動作パラメータを格納する 8 個のレジスタのグループから構成されています。プロファイルを使うと、パラメータ・セット間の切り替えを迅速に行うことができます。プロファイル・パラメータは、I/O ポートを介して設定されます。特定のプロファイルが設定されると、レジスタ CFR1 のビット[22:20]または 3 本の外部プロファイル・セレクト・ピンを使ってアクティブにされます。外部プロファイル・ピン・オプションは、シリアル・モードでのみ有効です。

動作モード

AD9913 には次の 4 つの動作モードがあります。

- ・ シングル・トーン
- ・ ダイレクト・スイッチ
- ・ プログラマブル・モジュラス
- ・ リニア・スweep

各モードは、周波数、位相、または振幅の信号制御パラメータを DDS へ与える際に使われるデータ・ソースに関係しています。周波数、位相、振幅からなる種々の組み合わせデータを分割する処理は、モードおよび/または特定のコントロール・ビットに基づいて自動的に行われます。

シングル・トーン・モード

シングル・トーン・モードはデフォルトの動作モードであり、ダイレクト・スイッチ・モード・ビットと補助アキュムレータ・イネーブル・ビットの両ビットがセットされていないときにアクティブになります。このモードでは、周波数チューニング・ワード(FTW)レジスタの設定に基づき単一周波数が出力されます。シングル・トーン・モードでは、POW レジスタを介して、位相オフセット値も使用できます。

ダイレクト・スイッチ・モード

ダイレクト・スイッチ・モードでは、FSK 変調または PSK 変調がイネーブルされます。このモードでは、プロファイル・レジスタに書き込まれた周波数値または位相値を単純に選択します。周波数または位相は、CFR1 [13:12]のディステネーション・ビットにより指定されます。ダイレクト・スイッチ・モードは、レジスタ CFR1 [16]のダイレクト・スイッチ・モード・アクティブ・ビットを使ってイネーブルされます。

プロファイル・レジスタ間の切り替えに対しては 2 つの方法があります。1 つ目は、内部プロファイル・コントロール・ビット CFR1 [22:20]に所望の値を書き込んで IO_UPDATE を発行する方法です。高いデータ・スループットで使う 2 つ目の方法は、プロファイル・コントロール・ピン[2:0]を変更する方法です。コントロール・ビット CFR1 [27]により、2 つの方法のいずれかを選択します。デフォルト状態ではプロファイル・ピンを使います。

8 トーンの FSK または PSK を実行するときは、各プロファイル内の FTW ワードまたは位相オフセット・ワードを書き込みます。内部プロファイル・コントロール・ビットまたはプロファイル・ピンが、FSK または PSK データに使用されます。

表 4 に、プロファイル選択のピン方法とビット方法の間の関係を示します。

表 4. プロファイル選択

Profile Pins PS [2:0] or CFR1 Bits [22:20]	Profile Selection
000	Profile 0
001	Profile 1
010	Profile 2
011	Profile 3
100	Profile 4
101	Profile 5
110	Profile 6
111	Profile 7

プログラマブル・モジュラス・モード

プログラマブル・モジュラス・モードでは、補助アキュムレータを使って、DDS コアの周波数式を変えるため、分母での 2 の累乗値に制約されない小数値を実現することができます。

標準の DDS では分母は 2 の累乗値に制約されます。これは、位相アキュムレータは周波数チューニング・ワードと同じビット幅であるためです。プログラマブル・モジュラス・モードでは、周波数式は次のようになります。

$$f_0 = (FTW)(f_s)/x \text{ with } 0 \leq FTW \leq 2^{31}$$

$$f_0 = f_s \times (1 - (FTW/x)) \text{ with } 2^{31} < FTW < 2^{32} - 1$$

ここで、 $0 \leq x \leq 2^{32}$ 。

プログラマブル・モジュラス・モードでは、補助アキュムレータは最大値に到達する前にロールオーバーするように設定されます。ロールオーバーする毎に、追加 LSB 値が位相アキュムレータに加算されます。レジスタに書き込む値を求めるためには、サンプリング・クロック周波数に対する所望出力を整数比(M/N、 $N \leq 2^{32}$)として決める必要があります。N をレジスタ 0x06 [63:32]に書き込みます。

レジスタ 0x06 [31:0]には、 $((2^{32} \times f_0)/f_s)$ の整数部である FTW を書き込みます。

レジスタ 0x07 [31:0]には、 $((2^{32} \times f_0)/f_s)$ の残りの部分であるモジュラス・ステップを書き込みます。

リニア・スweep・モード

リニア・スweep・モードの目的の 1 つは、開始点(S0)と終了点(E0)の間でのユーザ定義のより穏やかな変化を可能にすることにより、ダイレクト・スイッチ・モードに比べて広い帯域幅を提供することです。補助アキュムレータ・イネーブル・ビットはレジスタ CFR1 [11]に配置されています。リニア・スweepでは、補助アキュムレータを使って周波数または位相を S0 から E0 までスweepします。周波数または位相のスweepは、CFR1 [13:12]のディステネーション・ビットにより指定されます。スweep開始トリガーとしては、エッジ検出またはレベル検出が可能です。これはレジスタ CFR1 [9]により指定されます。レベル検出モードでは、該当するプロファイル・ピンがハイ・レベルの間、スweepが自動的に繰り返されることに注意してください。

リニア・スweep・モードでは、S0 と E0 (上限と下限)はリニア・スweep・パラメータ・レジスタ(レジスタ 0x06)にロードされます。周波数スweepに設定された場合、分解能は 32 ビットです。位相スweepの場合は、分解能は 14 ビットです。位相スweepの場合、ワード値は MSB 揃えである必要があります。未使用ビットは無視されます。プロファイル・ピンまたは内部プロファイル・ビットにより、周波数または位相に対するリニア・スweepの方向(アップ/ダウン)の開始/制御が行われます。表 5 に、スweep方向を示します。

表 5. リニア・スイープ方向の指定

Profile Pins [2:0] or CFR1 Bits [22:20]	Linear Sweep Mode
x00 ¹	Sweep off
x01 ¹	Ramp up
x10 ¹	Ramp down
x11 ¹	Bidirectional ramp

¹ x = don't care.

デバイスをパラレル・ポート・プログラミング・モードで使う場合、スイープ・モードは内部プロファイル・コントロール・ビット CFR1 [22:20]でのみ指定されることに注意してください。デバイスをシリアル・ポート・プログラミング・モードで使う場合、内部プロファイル・コントロール・ビットまたは外部プロファイル・セレクト・ピンを使ってスイープ制御を行うことができます。CFR1 [27]により、これら2つの方法を選択します。

リニア・スイープ・スロープの設定

リニア・スイープのスロープは、S0 と E0 の間のステップ・サイズ(デルタ・チューニング・ワード)(図 22 参照)と各ステップでの所要時間(スイープ・ランプ・レート・ワード)により設定されます。デルタ・チューニング・ワードの分解能は、周波数に対して 32 ビットで、位相に対して 14 ビットです。デルタ・ランプ・レート・ワードの分解能は 16 ビットです。

リニア・スイープ・モードでは、立ち上がりデルタ・ワード(RDW、レジスタ 0x07)と立ち上がりスイープ・ランプ・レート(RSRR、レジスタ 0x08)をユーザが書き込みます。これらの設定は、S0 から E0 までのスイープに適用されます。立ち下がりデルタ・ワード(FDW、レジスタ 0x07)と立ち下がりスイープ・ランプ・レート(FSRR、レジスタ 0x08)は、E0 から S0 までのスイープに適用されます。

補助アキュムレータのオーバーフローを許容すると、制御不能な連続スイープ動作が発生することに注意してください。これを回避するために、立ち上がりまたは立ち下がりのデルタ・ワードの振幅をフル・スケールと E0 値との差(フル・スケール - E0)より小さくする必要があります。周波数スイープの場合、フル・スケールは $2^{32}-1$ です。位相スイープの場合、フル・スケールは $2^{14}-1$ です。

図 22 に、リニア・スイープアップした後にスイープダウンする例を示します。これはドウエル・モードを示しています(CFR1 [8]参照)。非ドウエル・ビット CFR1 [8]がセットされている場合は、スイープ・アキュムレータは E0 に到達すると、0に戻ります。

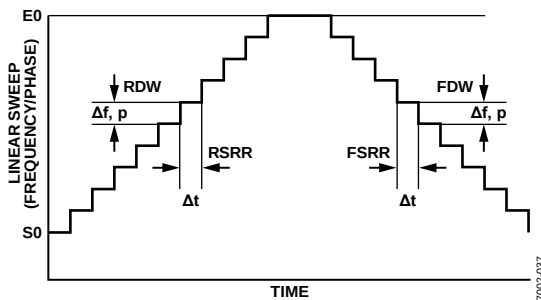


図 22. リニア・スイープ・モード

S0 と E0 の間の非直線的な変化に対しては、デルタ・チューニング・ワードとランプ・レート・ワードを変化中に再設定することができます。

RDW または FDW のステップ・サイズを計算する式は次のようになります。

$$\text{FrequencyStep} = \left(\frac{\text{RDW}}{2^{32}} \right) f_{\text{SYSCLK}} \quad (\text{MHz})$$

$$\text{PhaseStep} = \left(\frac{\pi \text{RDW}}{2^{13}} \right) \quad (\text{ラジアン})$$

$$\text{PhaseStep} = \left(\frac{45 \text{RDW}}{2^{11}} \right) \quad (\text{度})$$

RSRR または FSRR からデルタ時間を計算する式は次のようになります。

$$\Delta t = (\text{RSRR}) / f_{\text{SYSCLK}} \quad (\text{Hz})$$

250 MSPS 動作では $f_{\text{SYSCLK}} = 250 \text{ MHz}$ になります。ステップ間の最小時間間隔は、 $1/250 \text{ MHz} \times 1 = 4 \text{ ns}$ 。最大時間間隔は、 $(1/250 \text{ MHz}) \times 65,535 = 262 \mu\text{s}$ 。

周波数リニア・スイープの例

リニア・スイープ・モードでは、下から上へスイープするとき、RDW が補助アキュムレータの入力に使用され、RSRR レジスタ値がスイープ・レート・タイマーにロードされます。

出力がリニア・スイープ・パラメータ・レジスタ(レジスタ 0x06)の上限に一致するまで、RDW がランプ・レート(RSRR)で指定されるレートでアキュムレートされます。スイープはこれで完了します。

上から下へスイープする場合は、FDW が補助アキュムレータの入力に使用され、FSRR レジスタ値がスイープ・レート・タイマーにロードされます。

出力がリニア・スイープ・パラメータ・レジスタ(レジスタ 0x06)の下限に一致するまで、FDW がランプ・レート(FSRR)で指定されるレートでアキュムレートされます。スイープはこれで完了します。位相スイープでは同じ動作を行います、ビット数が小さくなっています。

プロファイル・ピンと非ドウエル・ビットを使ったスイープ機能については、図 23、図 24、図 25 を参照してください。

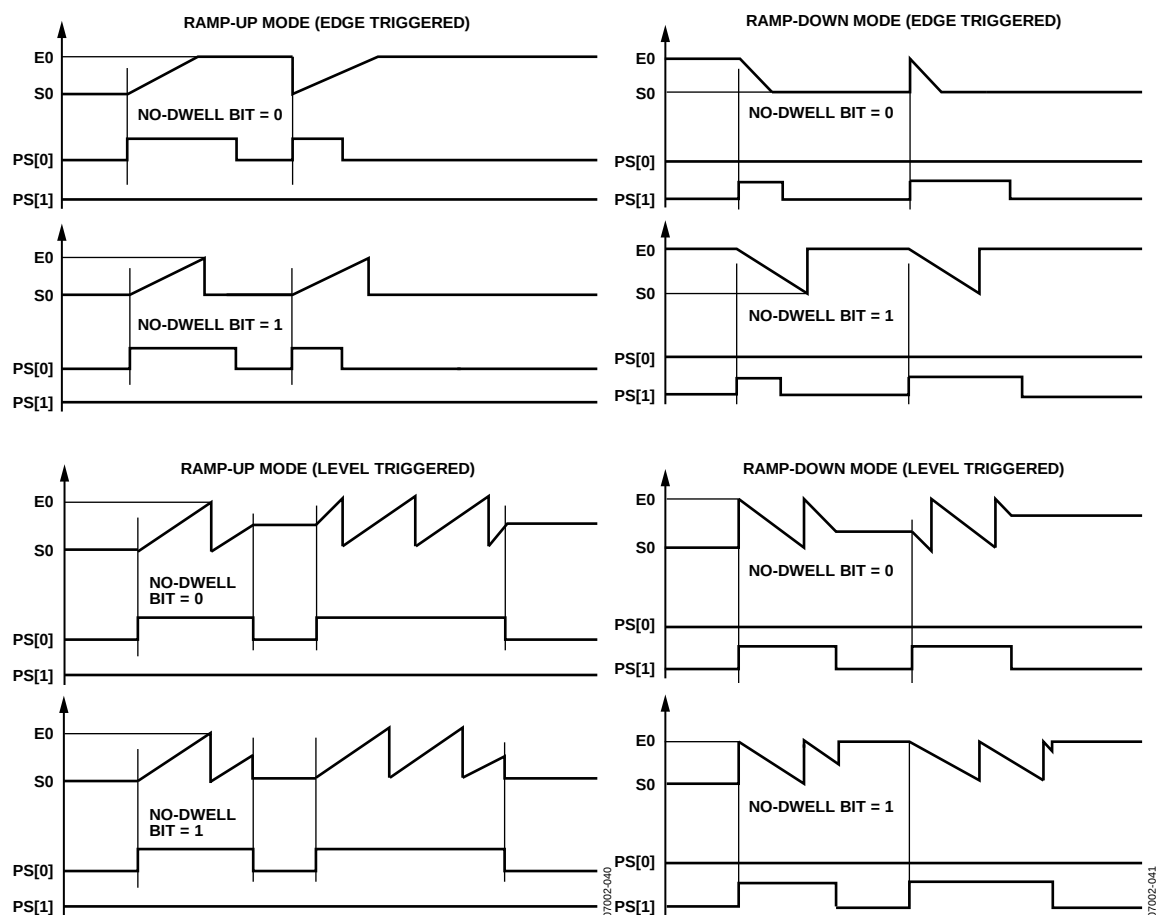


図 23. 外部プロファイル・ピンを使ったランプアップ/ランプダウン機能

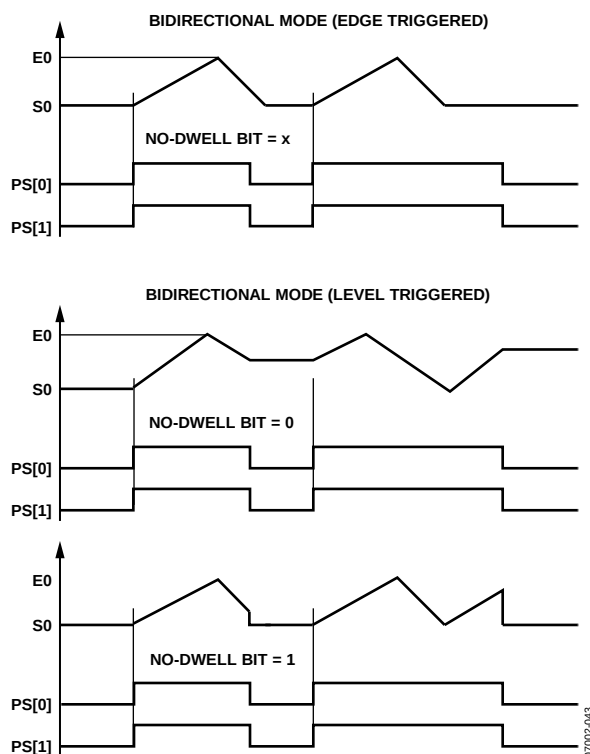


図 24. 外部プロファイル・ピンを使った双方向ランプ機能

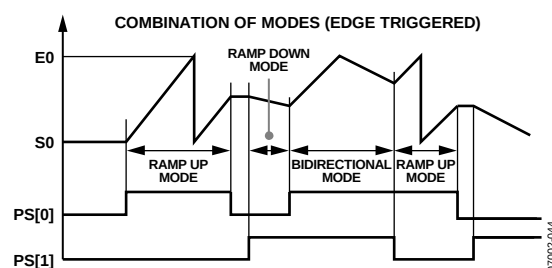


図 25. 外部プロファイル・ピンを使った複数スイープ・モードの組み合わせ

AD9913 では、スイープ・ロジックと位相アキュムレータに対するプログラマブルな連続ゼロ設定、さらにクリア、リリースまたは自動ゼロ設定機能が可能になります。各機能は、コントロール・レジスタのビットを使って個別に制御されます。

連続クリア・ビット

連続クリア・ビットは単なるスタティック制御信号であり、このビットがアクティブの間、該当する位相アキュムレータ(および対応するロジック)をゼロに維持します。

クリアおよびリリース機能

自動クリア補助アキュムレータ・ビットは、アクティブのとき、I/O_UPDATE の受信時またはプロファイル・ビットの変化時に補助アキュムレータをクリアしてリリースします。

自動クリア位相アキュムレータ・ビットは、アクティブのとき、I/O_UPDATE の受信時またはプロファイル・ビットの変化時に位相アキュムレータをクリアしてリリースします。

自動クリア機能は、このコントロール・ビットがクリアされるまで、後続の I/O_UPDATE 毎にまたはプロファイル・ビット変化毎に繰り返されます。

これらのビットは、独立に設定され、同時にアクティブにする必要はありません。たとえば、1つのアキュムレータでクリアおよびリリース機能を使い、他のアキュムレータで連続クリアを使うことができます。

クロック入力(REF_CLK)

REF_CLK の概要

AD9913 では、REF_CLK 入力ピンを使って内部 SYSCLK 信号(すなわち DAC サンプル・クロック)を発生する多くのオプションをサポートしています。REF_CLK 入力を差動またはシングルエンドのソースから直接駆動するか、または 2 本の入力ピン間に水晶を接続することができます。また、独立にイネーブルできる内部位相ロック・ループ(PLL)通倍器もあります。種々の入力設定は、CFR2 レジスタのコントロール・ビット[7:5]を使って制御されます。

表 6. クロック入力モードの設定

CFR2 [7:5]	Mode Configuration
000	Differential Input, PLL Enabled
001	Differential Input, PLL Disabled (Default)
x10 ¹	XTAL Input, PLL Enabled
x11 ¹	XTAL Input, PLL Disabled
100	CMOS Input, PLL Enabled
101	CMOS Input PLL Disabled

¹ x = don't care.

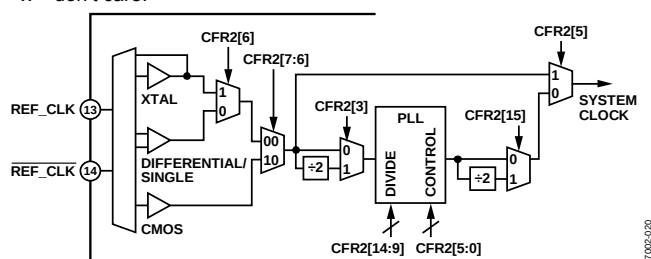


図 26. 内部クロック・パスの機能ブロック図

水晶駆動の REF_CLK

REF_CLK 入力に水晶を使う場合、共振周波数は約 25 MHz である必要があります。図 27 に推奨回路構成を示します。

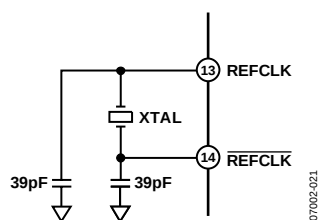


図 27. 水晶接続図

ダイレクト駆動の REF_CLK

信号ソースから REF_CLK 入力を直接駆動する場合は、シングルエンドまたは差動の信号を使うことができます。差動信号ソースを使う場合、REF_CLK ピンを相補信号で駆動、0.1 μF のコンデンサで AC 結合します。シングルエンド信号ソースを使う場合は、シングルエンド/差動変換を使うか、または REF_CLK 入力をシングルエンドで直接駆動することができます。いずれの場合も、0.1 μF のコンデンサを使って、両 REF_CLK ピンを AC 結合して、約 1.35 V の内部 DC バイアス電圧に影響を与えないようにする必要があります。詳細については、図 28 を参照してください。

REF_CLK 入力抵抗は差動で約 2.7 kΩ です(シングルエンドでは約 1.35 kΩ)。大部分の信号ソースは比較的低い出力インピーダンスを持っています。REF_CLK の入力抵抗は比較的高いため、終端インピーダンスへの影響は無視できるので、信号ソースの出力インピーダンスと同じ値を使うことができます。図 28 の 2 つの例では、50 Ω 出力インピーダンスの信号ソースを使っています。

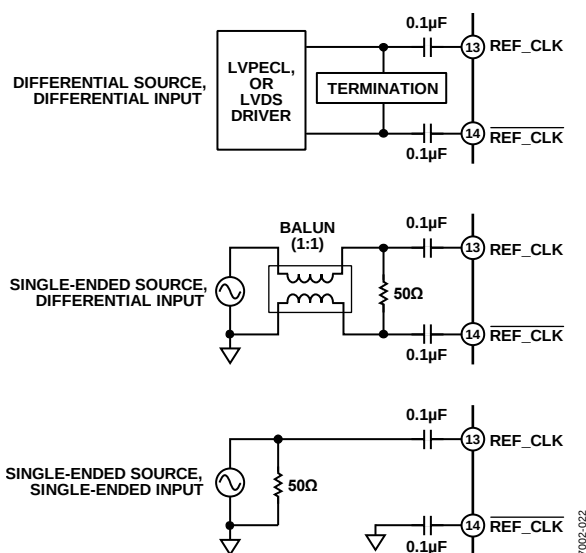


図 28. 直接接続の図

CMOS 駆動の REF_CLK

このモードは、CFR2 [7]へ 1 を書き込むとイネーブルされます。この状態では、AD9913 のピン 13 をリファレンス・クロック・ソースから駆動する必要があります。さらに、CMOS モードではピン 14 を 10 kΩ 抵抗を介してグラウンドへ接続することが推奨されます。

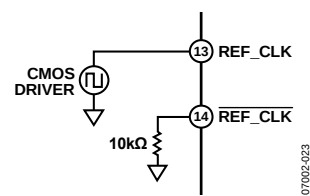


図 29. CMOS 駆動の図

位相ロック・ループ(PLL)通倍器

内部位相ロック・ループ(PLL)は、システム・クロック周波数より低いリファレンス・クロック周波数を使うオプションを提供します。この PLL は、広い範囲のプログラマブルな周波数通倍率(1×～64×)をサポートしています。PLL 通倍率の設定については、表 7 を参照してください。この PLL には PLL_LOCK ビットもあります。

CFR2 [15:8] と CFR2 [5:1] を使って、PLL 動作を制御します。パワーアップ時は、PLL は停止しています。PLL を初期化するときには、CFR2 [5] をクリアし、CFR2 [1] をセットする必要があります。

CFR2 [1](アクティブ・ロー)の機能は、PLL 回路のデジタル・ロジックをリセットすることです。CFR2 [5]の機能は、PLL をパワーアップまたはパワーダウンさせることです。

CFR2 [4]は PLL LO 範囲ビットです。AD9913 が PLL をイネーブルして動作する場合、CFR2 [4]は PLL ループ・フィルタ部分を調整して低周波リファレンス・クロックの入力を可能にします。

CFR2 [3]は、PLL 位相検出器入力 of 2 分周回路をイネーブルします。このビットがイネーブルされると、リファレンス・クロック信号が PLL で通倍される前に 2 分周されます。この 2 分周回路をイネーブルして PLL を使う場合の最大リファレンス・クロック入力周波数については、電氣的仕様を参照してください。2 分周回路がディセーブルされ、かつ PLL がイネーブルされる場合は、最大リファレンス・クロック入力周波数は、最大入力分周周波数の電氣的仕様の表に示す最大レートの 1/2 になります。

AD9913 の PLL では、システム・クロック信号の発生に 2 種類の内の 1 つの VCO を使います。CFR2 ビット 2 は、PLL 内で別の VCO をイネーブルするセレクト・ビットです。PLL の基本動作は、このビットの状態から影響を受けません。2 種類の VCO を提供する目的は、性能オプションを提供することです。2 つの VCO はほぼ同じゲイン特性を持ちますが、他の面で異なっています。全体のスプリアス性能、位相ノイズ、消費電力は、CFR2 ビット 2 の設定により変わることがあります。いずれの VCO も最小発振周波数を満たし、かつ最小発振周波数が 2 つの発振器間で大幅に異なっていることが重要です。

CFR2 [15:9]と CFR2 [3]を使って、PLL の低通倍率を指定します。CFR2 [15]は、PLL 出力の分周器をイネーブルし

ます。CFR のビット[14:9]は、帰還分周器を制御します。帰還分周器は、2 ステージから構成されています。N 分周(1:31)は CFR2 [13:9]により、1 分周または 2 分周は CFR2 [14]により、それぞれ選択されます。

CFR2 [15:9]と CFR2 [3]の種々の組み合わせにより、同じシステム・クロック周波数が得られることに注意してください。与えられたアプリケーションで 1 つの組み合わせの方が、低消費電力で動作するか、または VCO 最小発振周波数を満たす点で他方より優れていることがあります。

AD9913 の最大システム・クロック周波数は 250 MHz であることに注意してください。PLL 帰還分周比に大きな値を使う場合には、システム・クロック周波数が 250 MHz を超えないように注意する必要があります。

PLL ロック表示

CFR2 [0]は読み出し専用ビットで、PLL ロック信号のステータスを表示します。

PLL を使用するように AD9913 を設定した場合、ループがロックするまでに時間を要します。ループがロックしていないとき、チップ・システム・クロックはデバイス・ピンに入力されたリファレンス・クロック周波数で動作します。PLL ロック信号がハイ・レベルになると、システム・クロック周波数が非同期的に PLL 出力周波数での動作に切り替わります。PLL ロック信号がロー・レベルに変化した場合に、ループのロックの有無にかかわらずシステム・クロック周波数を維持するために、ループを再度ロックさせる間、チップはリファレンス・クロック信号に戻ります。

表 7 に、該当するレジスタ・ビットを使って PLL 通倍率を設定する方法を示します。

表 7.PLL 通倍率の設定

CFR2 [13:9]	CFR2 [15:14], CFR2 [3]							
	= 000	= 001	= 100	= 101	= 010	= 011	= 110	= 111
00000	32	16	16	8	64	32	32	16
00001	1	0.5	0.5	0.25	2	1	1	0.5
00010	2	1	1	0.5	4	2	2	1
00011	3	1.5	1.5	0.75	6	3	3	1.5
00100	4	2	2	1	8	4	4	2
00101	5	2.5	2.5	1.25	10	5	5	2.5
00110	6	3	3	1.5	12	6	6	3
00111	7	3.5	3.5	1.75	14	7	7	3.5
01000	8	4	4	2	16	8	8	4
01001	9	4.5	4.5	2.25	18	9	9	4.5
01010	10	5	5	2.5	20	10	10	5
01011	11	5.5	5.5	2.75	22	11	11	5.5
01100	12	6	6	3	24	12	12	6
01101	13	6.5	6.5	3.25	26	13	13	6.5
01110	14	7	7	3.5	28	14	14	7
01111	15	7.5	7.5	3.75	30	15	15	7.5
10000	16	8	8	4	32	16	16	8
10001	17	8.5	8.5	4.25	34	17	17	8.5
10010	18	9	9	4.5	36	18	18	9
10011	19	9.5	9.5	4.75	38	19	19	9.5
10100	20	10	10	5	40	20	20	10
10101	21	10.5	10.5	5.25	42	21	21	10.5
10110	22	11	11	5.5	44	22	22	11
10111	23	11.5	11.5	5.75	46	23	23	11.5
11000	24	12	12	6	48	24	24	12
11001	25	12.5	12.5	6.25	50	25	25	12.5
11010	26	13	13	6.5	52	26	26	13
11011	27	13.5	13.5	6.75	54	27	27	13.5
11100	28	14	14	7	56	28	28	14
11101	29	14.5	14.5	7.25	58	129	129	14.5
11110	30	15	15	7.5	60	30	30	15
11111	31	15.5	15.5	7.75	62	31	31	15.5

パワーダウン機能

AD9913 は、外部制御のパワーダウン機能と、従来のアナログ・デバイセズの DDS 製品で採用されていたソフトウェア・プログラマブルなパワーダウン・ビットをサポートしています。

外部 PWR_DWN_CTL ピンにより、パワーダウン方式を指定します。このピンをロー・レベルにすると、DAC、PLL、入力クロック回路、チップのデジタル・セクションを独自のコントロール・ビット CFR1 [6:4] を使って個別にパワーダウンさせることができます。このモードでは、CFR1 [7] は非アクティブです。

PWR_DWN_CTL をセットすると、CFR1 [6:4] は無効になります。この場合、AD9913 は CFR1 [7] の値に基づいて、デジタル・ロジックと DAC デジタル・ロジックのみがパワーダウンする高速リカバリ・パワーダウン・モードと、すべての機能がパワーダウンするフル・パワーダウン・モードの 2 種類のパワーダウン・モードを提供します。パワーダウン・モードから復帰するときは、長い時間を要します。

表 11 に、各パワーダウン・ビットのロジック・レベルを示します。これらのビットは外部パワーダウン動作のために、AD9913 コア・ロジックからチップ上のアナログ・セクションとデジタル・クロック発生セクションへ出力されます。

表 8. パワーダウンの制御

Control	Mode Active	Description
PWR_DWN_CTL = 0 CFR1 [7] = don't care	Software Control	Digital power-down = CFR1 [6] DAC power-down = CFR1 [5] Input clock power-down = CFR1 [4]
PWRDWNCTL = 1 CFR1 [7] = 0	External Control, Fast recovery power-down mode	N/A
PWRDWNCTL = 1 CFR1 [7] = 1	External Control, Full power-down mode	N/A

I/O の設定

シリアルの設定

AD9913 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサと容易にインターフェースすることができます。シリアル I/O は、モトローラ社の 6905/11 SPI プロトコルや Intel 社の 8051 SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。

このインターフェースを使うと、AD9913 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。AD9913 のシリアル・インターフェース・ポートは、2 線式インターフェースを可能にする 1 本のピンを使ったシングル I/O ピン (SDIO) として構成されています。AD9913 には 3 線式動作の SDO ピンはありません。

AD9913 では、命令バイトがリード/ライト動作とレジスタ・アドレスを指定します。AD9913 のシリアル動作は、バイト・レベルではなく、レジスタ・レベルでのみ発生します。

AD9913 の場合、シリアル・ポート・コントローラが命令バイト・レジスタ・アドレスを認識して、該当するレジスタ・バイト・アドレスを自動的に発生します。さらに、コントローラはそのレジスタのすべてのバイトがアクセスされるものと見なします。シリアル I/O 動作では、レジスタのすべてのバイトがアクセスされることが必要です。

AD9913 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、AD9913 に対する命令

バイトの書き込みであり、最初の 8 個の SCLK 立ち上がりエッジを使います。この命令バイトは、データ転送サイクルについての情報を AD9913 シリアル・ポート・コントローラに提供します。このデータ転送は通信サイクルのフェーズ 2 になります。フェーズ 1 の命令バイトは、次のデータ転送が読み出しまたは書き込みのいずれかを指定し、さらにアクセス対象レジスタのシリアル・アドレスを指定します。

各通信サイクルの最初の 8 個の SCLK 立ち上がりエッジは、命令バイトを AD9913 へ書き込むのに使用されます。残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、AD9913 とシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 で転送されるバイト数は、アクセス対象レジスタの関数です。たとえば、2 バイト幅のコントロール・ファンクション・レジスタ 2 をアクセスする場合、フェーズ 2 では 2 バイトの転送が必要です。6 バイトのプロファイル・レジスタの 1 つをアクセスする場合、フェーズ 2 では 6 バイトの転送が必要です。命令によるすべてのデータ・バイトを転送した後に、通信サイクルが完了します。

通信サイクルの終わりで、AD9913 のシリアル・ポート・コントローラは、次の 8 個の SCLK 立ち上がりエッジが次の通信サイクルの命令バイトであると予測します。

AD9913 へのすべてのデータ入力、SCLK の立ち上がりエッジでレジスタに入力されます。すべてのデータは、SCLK の立ち下がりエッジで AD9913 から出力されます。図 30～図 32 に、シリアル・ポートの全体動作を示します。

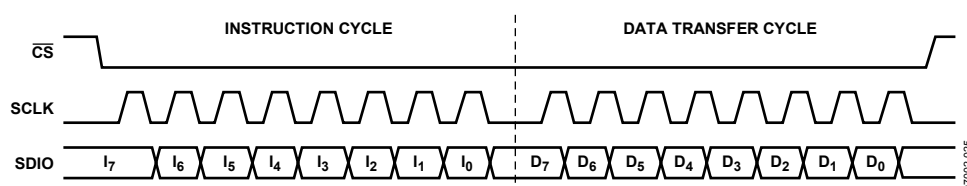


図 30. シリアル・ポートの書き込みタイミングークロック停止時ロー・レベル

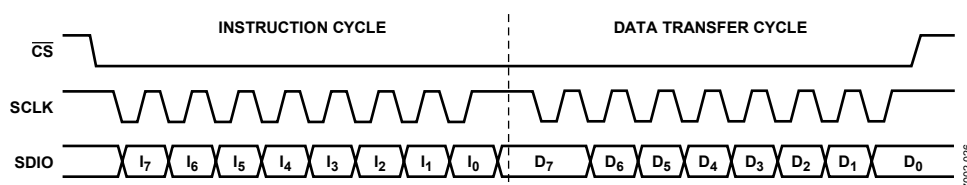


図 31. シリアル・ポートの書き込みタイミングークロック停止時ハイ・レベル

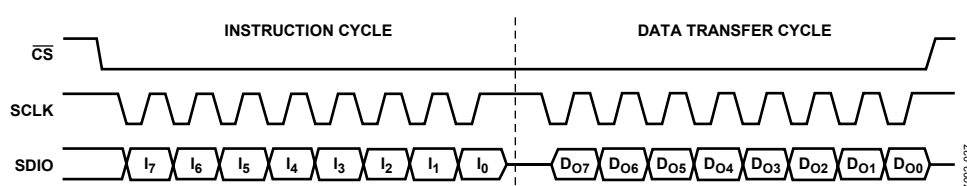


図 32.2 線式シリアル・ポートの読み出しタイミングークロック停止時ハイ・レベル

命令バイト

命令バイトは、次のビット・マップに示す情報から構成されています。

命令バイト情報のビット・マップ

MSB				LSB			
D7	D6	D5	D4	D3	D2	D1	D0
R/W	X	X	A4	A3	A2	A1	A0

R/W—命令バイトのビット 7 は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック・ハイは読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。

X, X—命令バイトのビット 6 とビット 5 は Don't Care です。

A4, A3, A2, A1, A0—命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。

シリアル・インターフェース・ポート・ピンの説明

SCLK—シリアル・ポート・クロック

シリアル・クロック・ピンは、AD9913 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。

CS—チップ・セレクト

同じシリアル通信ライン上に複数のデバイスを可能にするアクティブ・ロー入力です。この入力が高レベルのとき、SDIO ピンは高インピーダンス状態になります。通信サイクル中にハイ・レベルに駆動されると、そのサイクルは、チップ・セレクトが再度ロー・レベルになるまで中断されます。SCLK の制御を維持するシステムでは、チップ・セレクトをロー・レベルに固定することができます。

SDIO—シリアル・データ I/O

常にこのピンを使って AD9913 に対するデータの読み書きを行います。

MSB/LSB の転送

AD9913 シリアル・ポートでは、MSB ファーストまたは LSB ファーストの両データ・フォーマットをサポートすることができます。この機能は、CFR1 [23] から制御されます。デフォルト値は MSB ファーストです。命令バイトは、コントロール・レジスタ 0x00 のビット 8 によって指定されるフォーマットで書き込む必要があります。

AD9913 が LSB ファースト・モードの場合、命令バイトは最下位ビットから最上位ビットへの順で書き込む必要があります。

MSB ファースト動作の場合、シリアル・ポート・コントローラは最上位バイト(指定されたレジスタの)アドレスを先に発生し、その後にその下位バイト・アドレスが発生され、以後 I/O 動作が完了するまでさらにその下位バイト・アドレスの発生が続きます。AD9913 に対するすべての読み書きデータは、MSB ファーストの順である必要があります。

LSB ファースト・モードの場合、シリアル・ポート・コントローラは最下位バイト・アドレスを先に発生し、その後に上位のバイト・アドレスが発生され、以後 I/O 動作が完了するまでさらにその上位バイト・アドレスの発生が続きます。AD9913 に対するすべての読み書きデータは、LSB ファーストの順である必要があります。

シリアル・ポート動作に関する注意

LSB ファースト・ビットは CFR1 [23] 内にあります。LSB ファースト・ビットを含むバイトに書き込みが行われると、直ちに設定が変更されることに注意してください。このため、実行中の通信サイクルの残りのバイトに対するこの新しい設定を補正するように注意する必要があります。

プロファイル・レジスタを読み出すときは、対応するレジスタを選択するように外部プロファイル・セレクト・ピン(PS[2:0])を設定する必要があります。

パラレル I/O の設定

パラレル・ポート・インターフェース・ピンの説明

CS—チップ・セレクト

このピンのアクティブ・ローにより、リード/ライト動作の実行が表示されます。アクセス中にこのピンが高レベルになると、パラレル・ポートが初期状態にリセットされます。

R/W—リード/ライト

ピン 29 のハイ・レベルと CS のアクティブ・ローの組み合わせにより、読み出し動作が表示されます。このピンのロー・レベルにより、書き込み動作が表示されます。

PCLK—パラレル・ポート・クロック

パラレル・クロック・ピンは、AD9913 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。

ADDR/DATA [7:0]

8 ビットのアドレス/データ・バス。双方向で動作し、読み出し動作と書き込み動作をサポートします。

パラレル・ポート動作の注意事項

各動作は 3PCLK サイクルで、最初のクロック・サイクルはアドレッシング、2 番目は読み出しまたは書き込み、3 番目は再初期化に使用します。パラレル・ポート動作では、各バイトは個別に書き込まれます。

データの読み出し動作

一般的な読み出し動作を図 33 に示します。

1. アドレス・ピン(ADR0～ADR7)を使って、読み出し動作に PCLK、 $\overline{\text{CS}}$ 、R/ $\overline{\text{W}}$ 、レジスタの平行・アドレスを入力します。
2. $\overline{\text{CS}}$ 、R/ $\overline{\text{W}}$ 、アドレス・ラインは、1 番目の PCLK 立ち上がりエッジに対してセットアップ・タイムとホールド・タイムを満たす必要があります。
3. バスをリリースして読み出します。
4. AD9913 は 2 番目の PCLK 立ち上がりエッジでデータをバスへ出力します。
5. $\overline{\text{CS}}$ は、3 番目の PCLK 立ち上がりエッジに対するセットアップ・タイムとホールド・タイムを満たす必要があります。

データ書き込み動作

書き込み動作は読み出し動作と同じですが、ユーザが両 PCLK サイクル間バスを駆動する点が異なります。一般的な書き込み動作を図 34 に示します。

1. アドレス・ピン(ADR0/D0～ADR7/D7)を使って、書き込み動作に PCLK、 $\overline{\text{CS}}$ 、R/ $\overline{\text{W}}$ 、レジスタの平行・アドレスを入力します。
2. $\overline{\text{CS}}$ 、R/ $\overline{\text{W}}$ 、アドレス・ラインは、1 番目の PCLK 立ち上がりエッジに対してセットアップ・タイムとホールド・タイムを満たす必要があります。
3. データ・ラインは、2 番目の PCLK 立ち上がりエッジに対するセットアップ・タイムとホールド・タイムを満たす必要があります。
4. $\overline{\text{CS}}$ は、3 番目の PCLK 立ち上がりエッジに対するセットアップ・タイムとホールド・タイムを満たす必要があります。

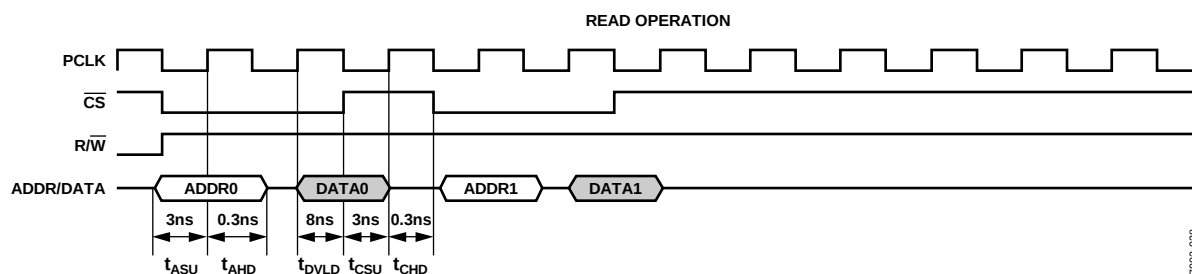


図 33. 平行・ポートの読み出しタイミング

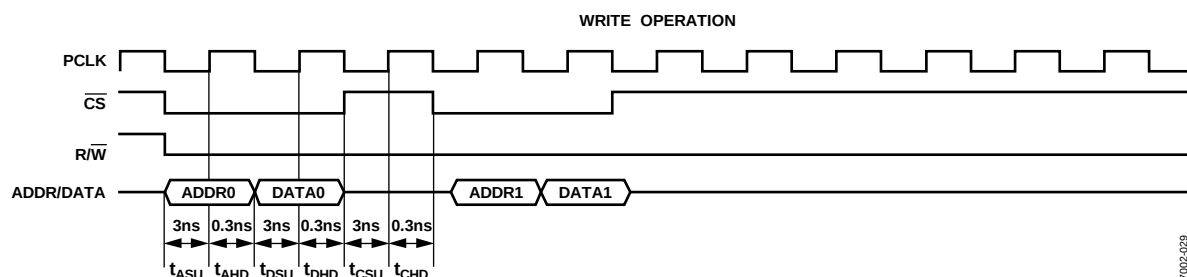


図 34. 平行・ポートの書き込みタイミング

レジスタ・マップとビット説明

レジスタ・マップ

次の表の各レジスタのシリアル・ビット範囲の列に記載する最大値は **MSB** であり、最小値はそのレジスタの **LSB** であることに注意してください。

表 9.コントロール・レジスタ

Register Name (Serial Address)	[Serial Bit Range]/Parallel Address	MSBBit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	LSBBit 0	Default Value
CFR1— Control Function Register 1(0x00)	[7:0]/0x00	External Power-Down Mode	Digital Power-Down	DAC Power-Down	Clock Input Power-Down	Load SRR @ IO_UPDATE	Autoclear Auxiliary Accum.	Autoclear Phase Accum.	Enable Sine Output	0x00
	[15:8]/0x01	Clear Auxiliary Accum.	Clear Phase Accum.	Destination [1:0] 00: Frequency Word 01: Phase Word		Auxiliary Accumulator Enable	DC Output Active	Linear Sweep State Trigger Active	Linear Sweep No-Dwell Active	0x00
	[23:16]/0x02	LSB First	Internal Profile Control [2:0]			Sync Clock Disable	Open	Open	Direct Switch Mode Active	0x00
	[31:24]/0x03	Open	Open	Open	Modulus Enable	Use Internal Profile	Match Pipe Delays Active	Open	Open	0x00
CFR2— Control Function Register 2 (0x01)	[7:0]/0x04	CMOS Clock Mode	Crystal Clock Mode	PLL Power-Down	PLL LO Range	PLL Input Div by 2	VCO2 Sel	PLL Reset	PLL Lock	0x32
	[15:8]/0x05	PLL Output Div by 2	PLL Multiplication Factor [5:0]						Open	0x14
DAC Control Register(0x02)	[7:0]/0x06	FS C [7:0]								0xFF
	[15:8]/0x07	Open	Open	Reserved			Open	FSC [9:8]		0x13
	[23:16]/0x08	Reserved								0x7F
	[31:24]/0x09	Reserved								0x00
FTW(0x03)	[7:0]/0x0A	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x0B	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x0C	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x0D	Frequency Tuning Word [31:24]								0x00
POW(0x04)	[7:0]/0x0E	Phase Offset Word [7:0]								0x00
	[15:8]/0x0F	Open [1:0]		Phase Offset Word [13:8]						0x00
Linear Sweep Parameter Register(0x06)	[7:0]/0x12	Sweep Parameter Word 0 [7:0]								0x00
	[15:8]/0x13	Sweep Parameter Word 0 [15:8]								0x00
	[23:16]/0x14	Sweep Parameter Word 0 [23:16]								0x00
	[31:24]/0x15	Sweep Parameter Word 0 [31:24]								0x00
	[39:32]/0x16	Sweep Parameter Word 1 [7:0]								0x00
	[47:40]/0x17	Sweep Parameter Word 1 [15:8]								0x00
	[55:48]/0x18	Sweep Parameter Word 1 [23:16]								0x00
	[63:56]/0x19	Sweep Parameter Word 1 [31:24]								0x00
Linear Sweep Delta Parameter Register(0x07)	[7:0]/0x1A	Rising Delta Word [7:0]								0x00
	[15:8]/0x1B	Rising Delta Word [15:8]								0x00
	[23:16]/0x1C	Rising Delta Word [23:16]								0x00
	[31:24]/0x1D	Rising Delta Word [31:24]								0x00
	[39:32]/0x1E	Falling Delta Word [7:0]								0x00
	[47:40]/0x1F	Falling Delta Word [15:8]								0x00
	[55:48]/0x20	Falling Delta Word [23:16]								0x00
	[63:56]/0x21	Falling Delta Word [31:24]								0x00

Register Name (Serial Address)	[Serial Bit Range]/Parallel Address	MSBBit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	LSBBit 0	Default Value
Linear Sweep Ramp Rate Register(0x08)	[7:0]/0x22	Rising Sweep Ramp Rate Word [7:0]								0x00
	[15:8]/0x23	Rising Sweep Ramp Rate Word [15:8]								0x00
	[23:16]/0x24	Falling Sweep Ramp Rate Word [7:0]								0x00
	[31:24]/0x25	Falling Sweep Ramp Rate Word [15:8]								0x00
Profile 0(0x09)	[7:0]/0x26	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x27	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x28	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x29	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x2A	Phase Offset Word [7:0]								0x00
	[47:40]/0x2B	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 1(0x0A)	[7:0]/0x2C	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x2D	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x2E	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x2F	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x30	Phase Offset Word [7:0]								0x00
	[47:40]/0x31	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 2(0x0B)	[7:0]/0x32	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x33	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x34	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x35	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x36	Phase Offset Word [7:0]								0x00
	[47:40]/0x37	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 3(0x0C)	[7:0]/0x38	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x39	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x3A	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x3B	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x3C	Phase Offset Word [7:0]								0x00
	[47:40]/0x3D	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 4(0x0D)	[7:0]/0x3E	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x3F	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x40	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x41	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x42	Phase Offset Word [7:0]								0x00
	[47:40]/0x43	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 5(0x0E)	[7:0]/0x44	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x45	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x46	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x47	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x48	Phase Offset Word [7:0]								0x00
	[47:40]/0x49	Open [1:0]		Phase Offset Word [13:8]						0x00
Profile 6(0x0F)	[7:0]/0x4A	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x4B	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x4C	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x4D	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x4E	Phase Offset Word [7:0]								0x00
	[47:40]/0x4F	Open	Open	Phase Offset Word [13:8]						0x00
Profile 7(0x10)	[7:0]/0x50	Frequency Tuning Word [7:0]								0x00
	[15:8]/0x51	Frequency Tuning Word [15:8]								0x00
	[23:16]/0x52	Frequency Tuning Word [23:16]								0x00
	[31:24]/0x53	Frequency Tuning Word [31:24]								0x00
	[39:32]/0x54	Phase Offset Word [7:0]								0x00
	[47:40]/0x55	Open	Open	Phase Offset Word [13:8]						0x00

レジスタ・ビットの説明

シリアル I/O ポートのレジスタ群は、0～16 (16 進では 0x00～0x10) のアドレス範囲に配置されています。合計 17 個のレジスタを示してありますが、これらのレジスタの内の 1 個(0x05)は未使用であるため、合計 16 が使用可能レジスタです。

各レジスタのサイズは均一でなく、各々には特定の機能に必要なバイト数が含まれています。さらに、レジスタには機能に従って名前が付けられています。場合によっては、レジスタにネモニックが付いていることがあります。たとえば、シリアル・アドレス 0x00 のレジスタには、コントロール・ファンクション・レジスタ 1 の名前が与えられ、ネモニック CFR1 が与えられています。

次のセクションでは、AD9913 レジスタ・マップの各ビットの詳しい説明を行います。ビットのグループが特定の機能を持つ場合、グループ全体をバイナリ・ワードと見なして、一括して説明します。

このセクションは、レジスタのシリアル・アドレス順で構成されています。各サブ・ヘッダーには、レジスタ名とオプションのレジスタ・ネモニック(括弧内)も記載してあります。16 進のシリアル・アドレスとレジスタに割り当てられたバイト数も記載してあります。

各サブヘッダーに続いて、特定のレジスタの各ビット説明の表を示します。レジスタ内のビット位置は、単一の数値またはコンマで区切った一対の数値で示します。一対の数値(A:B)は、上位(A)～下位(B)のビット範囲を表します。たとえば、5:2 は 5～2 のビット位置を表し、0 はレジスタの LSB を表します。

別に注記がないかぎり、書き込まれたビットは、I/O_UPDATE ピンのアサーションまたはプロファイル変化があるまで、内部ディスティネーションへ転送されません。

コントロール・ファンクション・レジスタ 1 (CFR1)

アドレス 0x00; 4 バイトがこのレジスタに割り当てられています。

表 10.CFR1 のビット説明

Bit(s)	Bit Name	Description
31:29	Open	Leave these bits at their default values.
28	Modulus Enable	This bit is ignored if linear sweep is disabled. 0 = the auxiliary accumulator is used for linear sweep generation. 1 = the auxiliary accumulator is used for programmable modulus.
27	Use Internal Profile	0 = profiles are controlled by profile pins; only valid in serial mode.1 = profiles are controlled by CFR1 [22:20].
26	Match Pipeline Delays Active	0 = the latency across the auxiliary accumulator, the phase offset word, and phase accumulator are matched. 1 = the latency across the auxiliary accumulator, the phase offset word, and phase accumulator are not matched.
25:24	Open	Leave these bits at the default values.
23	LSB First	0 = MSB first format is used. 1 = LSB first format is used.
22:20	Internal Profile Control	Ineffective unless Bit 27 = 1. Default is 000 ₂ . Refer to the the Linear Sweep Mode section for details on how to program these registers during linear sweep, and refer to the Direct Switch Mode section for details on how to program these registers in direct switch mode.
19	Sync Clock Disable	0 = the SYNC_CLK pin is active. 1 = the SYNC_CLK pin assumes a static Logic 0 state (disabled). In this state, the pin drive logic is shut down, minimizing the noise generated by the digital circuitry.
18:17	Open	Leave these bits in their default values.
16	Direct Switch Mode Active	0 = direct switch mode is disabled. 1 = direct switch mode is enabled.
15	Clear Auxiliary Accumulator	0 = normal operation of the auxiliary accumulator (default). 1 = asynchronous, static reset of the auxiliary accumulator. The ramp accumulator remains reset as long as this bit remains set. This bit is synchronized with either an I/O update or a profile change and the next rising edge of SYNC_CLK.
14	Clear Phase Accumulator	0 = normal operation of the DDS phase accumulator (default). 1 = asynchronous, static reset of the DDS phase accumulator.

Bit(s)	Bit Name	Description
13:12	Destination	00 = In direct switch mode, use this setting for FSK. In linear sweep mode, the auxiliary accumulator is used for frequency sweeping. In programmable modulus mode, these bits must be 00. 01 = In direct switch mode, use this setting for PSK. In linear sweep mode, the auxiliary accumulator is used for phase sweeping.
11	Auxiliary Accumulator Enable	0 = auxiliary accumulator is inactive. 1 = auxiliary accumulator is active.
10	DC Output Active	This bit is ignored if linear sweep is disabled (see CFR1 [11]). 0 = normal operating state. 1 = the output of the DAC is driven to full-scale and the DDS output is disabled.
9	Linear Sweep State Trigger Active	0 = edge triggered mode active. 1 = state triggered mode active.
8	Linear Sweep No-Dwell Active	This bit is ignored if linear sweep is disabled (see CFR1 [11]). 0 = when a sweep is completed, the device holds at the final state. 1 = when a sweep is completed, the device reverts to the initial state.
7	External Power-Down Mode	0 = the external power-down mode selected is the fast recovery power-down mode. In this mode, when the PWR_DWN_CTL input pin is high, the digital logic and the DAC digital logic are powered down. The DAC bias circuitry, comparator, PLL, oscillator, and clock input circuitry are not powered down. 1 = the external power-down mode selected is the full power-down mode. In this mode, when the PWR_DWN_CTL pin is high, all functions are powered down. This includes the DAC and PLL, which take a significant amount of time to power up.
6	Digital Power-Down	0 = the digital core is enabled for operation. 1 = the digital core is disabled and is in a low power dissipation state.
5	DAC Power-Down	0 = the DAC is enabled for operation. 1 = the DAC is disabled and is in its lowest power dissipation state.
4	Clock Input Power-Down	0 = normal operation. 1 = shut down all clock generation including the system clock signal going into the digital section.
3	LOAD SRR @ IO_UPDATE	0 = every time the linear sweep rate register is updated, the ramp rate timer keeps its operation until it times out and then loads the update value into the timer. 1 = the timer is interrupted immediately upon the assertion of IO_UPDATE and the value is loaded.
2	Autoclear Auxiliary Accumulator	0 = normal operation. 1 = the auxiliary accumulator is synchronously cleared (zero is loaded) for one cycle upon receipt of the IO_UPDATE sequence indicator.
1	Autoclear Phase Accumulator	0 = normal operation. 1 = the phase accumulator is synchronously cleared for one cycle upon receipt of the IO_UPDATE sequence indicator.
0	Enable Sine Output	0 = the angle-to-amplitude conversion logic employs a cosine function. 1 = the angle-to-amplitude conversion logic employs a sine function.

コントロール・ファンクション・レジスタ 2 (CFR2)

アドレス 0x01; 2 バイトがこのレジスタに割り当てられています。

表 11.CFR2 のビット説明

Bit(s)	Bit Name	Description
15	PLL Output Div by 2	See Table 7 for details on multiplication factor configuration.
14:9	PLL Multiplication Factor	
8	Open	Leave this bit at the default state.
7	CMOS Clock Mode	See Table 6 for directions on programming this bit.
6	Crystal Clock Mode	See Table 6 for directions on programming this bit.
5	PLL Power-Down	0 = PLL is active 1 = PLL is inactive and in its lowest power state
4	PLL LO Range	0 = use this setting for PLL if the PLL reference frequency is >5 MHz. 1 = use this setting for PLL if the PLL reference frequency is <5 MHz.
3	PLL Input Div by 2	0 = the PLL reference frequency = the REF_CLK input frequency. 1 = the PLL reference frequency = ½ the REF_CLK input frequency.
2	VCO2 Sel	0 = use this setting for VCO frequencies below 100 MHz and/or to optimize for power rather than performance. 1 = use this setting to optimize for performance; this setting results in slightly higher power consumption. Note: When setting this bit, an IO_UPDATE must occur within 40 µs of the PLL power-down bit (CFR2 [5]) going low.
1	PLL Reset	0 = the PLL logic is reset and non-operational until this bit is set. 1 = the PLL logic operates normally.
0	PLL Lock	This read-only bit is set when the REF_CLK PLL is locked.

DAC コントロール・レジスタ

アドレス 0x02; 4 バイトがこのレジスタに割り当てられています。

表 12.DAC コントロール・レジスタのビット説明

Bit(s)	Bit Name	Description
15:14, 10	Open	Leave these bits at their default state.
9:0	FSC	This 10-bit number controls the full-scale output current of the DAC.
31:16,13:11	Reserved	Leave these bits at their default state.

周波数チューニング・ワード・レジスタ (FTW)

アドレス 0x03; 4 バイトがこのレジスタに割り当てられています。

表 13.FTW レジスタのビット説明

Bit(s)	Bit Name	Description
31:0	Frequency Tuning Word	32-bit frequency tuning word.

位相オフセット・ワード・レジスタ (POW)

アドレス 0x04; 2 バイトがこのレジスタに割り当てられています。

表 14.POW レジスタのビット説明

Bit(s)	Bit Name	Description
15:14	Open	Leave these bits at their default state.
13:0	Phase Offset Word	14-bit phase offset word.

リニア・スイープ・パラメータ・レジスタ

アドレス 0x06; 8 バイトがこのレジスタに割り当てられています。CFR1 [11]または CFR1 [28]がセットされたときにのみ、このレジスタが有効です。補助アキュムレータのセクションを参照してください。

表 15. リニア・スイープ限界レジスタのビット説明

Bit(s)	Bit Name	Description
63:32	Sweep Parameter Word 0	32-bit linear sweep upper limit value. In modulus mode, these bits set the auxiliary accumulator capacity
31:0	Sweep Parameter Word 1	32-bit linear sweep lower limit value. In modulus mode, these bits set the base FTW.

リニア・スイープ・デルタ・パラメータ・レジスタ

アドレス 0x07; 8 バイトがこのレジスタに割り当てられています。CFR1 [11]または CFR1 [28]がセットされたときにのみ、このレジスタが有効です。補助アキュムレータのセクションを参照してください。

表 16. リニア・スイープ・ステップ・サイズ・レジスタのビット説明

Bit(s)	Bit Name	Description
63:32	Falling Delta Word	32-bit linear sweep decrement step size value.
31:0	Rising Delta Word	32-bit linear sweep increment step size value. In modulus mode, these bits set the auxiliary accumulator seed value.

リニア・スイープ・ランプ・レート・レジスタ

アドレス 0x08; 4 バイトがこのレジスタに割り当てられています。CFR1 [11]または CFR1 [28]がセットされたときにのみ、このレジスタが有効です。補助アキュムレータのセクションを参照してください。

表 17. リニア・スイープ・レート・レジスタのビット説明

Bit(s)	Bit Name	Description
31:16	Falling Sweep Ramp Rate	16-bit linear sweep negative slope value that defines the time interval between decrement values.
15:0	Rising Sweep Ramp Rate	16-bit linear sweep positive slope value that defines the time interval between increment values.

プロファイル・レジスタ

8 個の連続したシリアル I/O アドレスがデバイス・プロファイルに割り当てられています。ノーマル動作では、外部プロファイル・セレクト・ピンを使ってアクティブ・プロファイル・レジスタが選択されます。

プロファイル 0～プロファイル 7 シングル・トーン・レジスタ

アドレス 0x09～0x10; 6 バイトがこのレジスタに割り当てられています。

表 18. プロファイル 0～プロファイル 7 シングル・トーン・レジスタのビット説明

Bit(s)	Bit Name	Description
47:46	Open	Leave these bits at their default state.
45:32	Phase Offset Word	This 14-bit number controls the DDS phase offset.
31:0	Frequency Tuning Word	This 32-bit number controls the DDS frequency.

