

AD9860/AD9862*

特長

デュアル・コンバータ受信パスとデュアル・コンバータ送信パスを備えたミックスド・シグナル・フロントエンド・プロセッサ受信パスの構成要素：

10/12ビット、64MSPSサンプリングA/Dコンバータ2個、内部または外部の独立したリファレンス、入力バッファ、PGA (プログラマブル・ゲイン・アンプ)、ローパス・デシメーション・フィルタ、デジタル・ヒルベルト・フィルタ

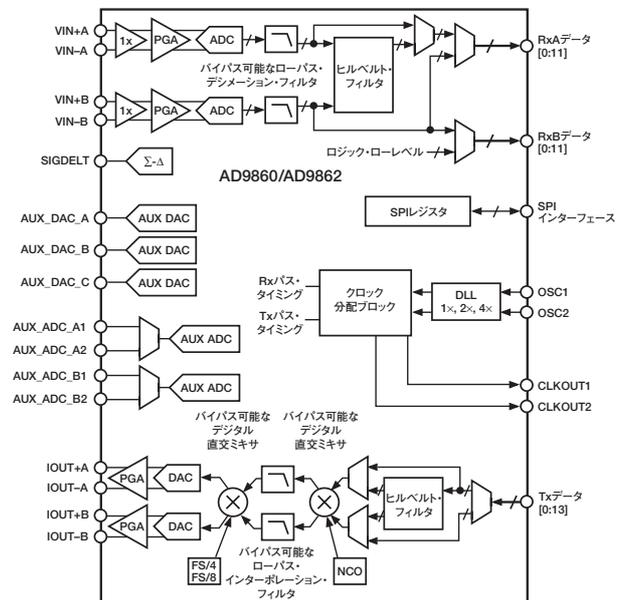
送信パスの構成要素：

12/14ビット、128MSPS D/Aコンバータ2個、プログラマブル・フルスケール出力電流、チャンネル別ゲインおよびオフセット微調整制御機能、デジタル・ヒルベルト・フィルタとインターポレーション・フィルタ、デジタル調整可能な実数または複素アップ・コンバータ

単一の水素発振器またはクロック動作を可能とする遅延ロック・ループ (DLL) のクロック逡倍器およびタイミング発生回路を内蔵

プログラマブル出力クロック、シリアル・プログラマブル・インターフェース、プログラマブルΣΔ出力、3個の補助用DAC出力、デュアル・マルチプレクサ入力に備えた2個の補助用ADC

機能ブロック図



アプリケーション

ブロードバンド・ワイヤレス・システム
固定ワイヤレス、WLAN、MMDS、LMDS
ブロードバンド・ワイヤライン・システム
ケーブル・モデム、VDSL、PowerPlug
デジタル通信
セットトップ・ボックス、データ・モデム

概要

AD9860/AD9862は、ブロードバンド通信市場向けに最適化された多機能の集積ミックスド・シグナル・フロントエンド(MxFE)プロセッサです。ワイヤレスまたはワイヤライン規格ベースあるいは独自開発のブロードバンド・モデム・システムではダイナミック性能、消費電力、コスト、サイズがすべてクリティカルな特性となりますが、AD9860/AD9862はこうしたシステムのための費用効果の高いミックスド・シグナル・ソリューションです。AD9860には10ビットのADCと12ビットのDAC、AD9862には12ビットのADCと14ビットのDACを内蔵しています。

AD9860/AD9862の受信パス (Rx) は、10/12ビット、64MSPSの高性能A/Dコンバータ (ADC)、入力バッファ、プログラマブル・ゲイン・アンプ (RxPGA)、デジタル・ヒルベルト・フィルタ、デシメーション・フィルタからなる2つのチャンネルで構成されています。Rxを使用し、ベースバンドまたは低IF周波数、ダイバーシティ構成またはI/Qデータを受信できます。入力バッファにより2つのチャンネルのインピーダンスが一定になるため、外部部品 (SAWフィルタなど) とのインピーダンス・マッチングが容易になります。RxPGAは、両チャンネルに20dBのゲイン・レ

ンジを設定します。さまざまなインターフェースに対応するために、出力データ・バスをマルチプレクスすることも可能です。

AD9860/AD9862の送信パス (Tx) は、12/14ビット、128MSPSの高性能D/Aコンバータ (DAC)、プログラマブル・ゲイン・アンプ (TxPGA)、インターポレーション・フィルタ、ヒルベルト・フィルタ、コンプレックス信号またはリアル信号周波数を変調するためのデジタル・ミキサからなる2つのチャンネルで構成されています。Txのラッチおよびデマルチプレクサ回路は、リアル・データまたはI/Qデータを処理できます。2倍と4倍のインターポレーション・レートが利用できるため、外部再構成フィルタが簡素化されます。シングル・チャンネル・システムでは、デジタル・ヒルベルト・フィルタと外付けの直交変調器を使用することでイメージ除去アーキテクチャを構成できます。2個の12/14ビットの高性能DACは、TxPGAによって20dBのゲイン・レンジでスケールリングできる出力信号を生成します。

プログラマブル遅延ロック・ループ (DLL) のクロック逡倍器と内蔵タイミング発生回路により、外部基準クロックまたは外部水晶発振器を1つ使用するだけで内部ブロックすべてに対しクロック信号を生成でき、さらに2つの外部クロック出力も供給できます。その他の特長として、プログラマブルΣΔ出力、4つの補助用ADC入力、3つの補助用DAC出力もあります。シリアル・ポート・インターフェース (SPI) とレジスタ・バンクを組み合わせることで、デバイスのプログラミングが簡単になります。AD9860/AD9862は、省スペースの128ピンLQFPパッケージで提供しています。

* 米国特許番号5,969,657によって保護されています。その他の特許は現在申請中です。MxFEはアナログ・デバイセズ社の商標です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2005 Analog Devices, Inc. All rights reserved.

AD9860/AD9862

AD9860/AD9862—仕様

($V_A=3.3V\pm 5\%$ 、 $V_D=3.3V\pm 10\%$ 、 $f_{ADC}=128MHz$ 、 $f_{DAC}=64MHz$ 、通常のタイミング・モード、 $2\times DLL$ の設定、 $R_{SET}=4k\Omega$ 、 50Ω のDAC負荷、 $R_xPGA=+6dB$ ゲイン、 $T_xPGA=+20dB$ ゲイン)

Txパラメータ	温度	検査レベル	AD9860/AD9862			単位
			Min	Typ	Max	
12/14ビットDAC特性						
分解能	NA	NA		12/14		ビット
最大更新レート			128			MSPS
フルスケール出力電流	全温度範囲	I	2		20	mA
ゲイン誤差 (内部リファレンスを使用)	25°C	I	-5.5	+0.5	+5.5	%FS
オフセット誤差	25°C	I	-1	0.0	+1	%FS
リファレンス電圧 (REFIOレベル)	25°C	I	1.15	1.22	1.28	V
負の微分非直線性 (-DNL)	25°C	III		-0.5/-0.5		LSB
正の微分非直線性 (+DNL)	25°C	III		1/2		LSB
積分非直線性 (INL)	25°C	III		$\pm 1/\pm 3$		LSB
出力容量	25°C	III		5		pF
位相ノイズ (@1kHzオフセット、6MHzトーンの水晶発振器、OSC IN通倍器を4倍でイネーブル)	25°C	III		-115		dBc/Hz
出力電圧コンプライアンス・レンジ	全温度範囲	II	-0.5		+1.5	V
送信TxPGA特性						
ゲイン・レンジ	25°C	III		20		dB
ステップ・サイズ精度	25°C	III		± 0.1		dB
ステップ・サイズ	25°C	III		0.08		dB
Txのデジタル・フィルタ特性						
ヒルベルト・フィルタのパスバンド (<0.1dBのリップル)	全温度範囲	II	12.5		38	% f_{DATA} ¹
2倍/4倍のインターポレータストップバンド ²	全温度範囲	II			± 38	% f_{DATA}
ダイナミック性能 ($A_{OUT}=20mA$ FS、$f=1MHz$)						
微分位相	25°C	III		<0.1		度
微分ゲイン	25°C	III		<1		LSB
AD9860のS/N比 (SNR)	全温度範囲	I	68.2	70.7		dB
AD9860の信号ノイズ&歪み (SINAD)	全温度範囲	I	62.5	66.1		dB
AD9860の全高調波歪み (THD)	全温度範囲	I		-74.5	-64.0	dB
AD9860のワイドバンドSFDR (ナイキスト周波数まで)						
1MHzアナログ出力、 $I_{OUT}=2mA$	25°C	III		70.6		dBc
1MHzアナログ出力、 $I_{OUT}=20mA$	25°C	I	64.4	75		dBc
6MHzアナログ出力、 $I_{OUT}=20mA$	25°C	III		75		dBc
AD9860のナローバンドSFDR (1MHzウィンドウ)						
1MHzアナログ出力、 $I_{OUT}=2mA$	25°C	III		70.2		dBc
1MHzアナログ出力、 $I_{OUT}=20mA$	25°C	I	83	90		dBc
AD9862のS/N比 (SNR)	全温度範囲	I	68.9	72.0		dB
AD9862の信号ノイズ&歪み (SINAD)	全温度範囲	I	64.75	69.8		dB
AD9862の全高調波歪み (THD)	全温度範囲	I		-75.5	-65.0	dB
AD9862のワイドバンドSFDR (ナイキスト周波数まで)						
1MHzアナログ出力、 $I_{OUT}=2mA$	25°C	III		70.6		dBc
1MHzアナログ出力、 $I_{OUT}=20mA$	25°C	I	64.9	76.0		dBc
6MHzアナログ出力、 $I_{OUT}=20mA$	25°C	III		76.0		dBc
AD9862のナローバンドSFDR (1MHzウィンドウ)						
1MHzアナログ出力、 $I_{OUT}=2mA$	25°C	III		70.2		dBc
1MHzアナログ出力、 $I_{OUT}=20mA$	25°C	I	83	90		dBc
Rxパラメータ						
受信バッファ						
入力抵抗値 (差動)	全温度範囲	III		200		Ω
入力容量 (各入力)	全温度範囲	III		5		pF
最大入力帯域幅 (-3dB)	全温度範囲	III		140		MHz
アナログ入力レンジ (ベスト・ノイズ性能)	全温度範囲	II		2		V _{p-p} Diff
アナログ入力レンジ (ベストTHD性能)	全温度範囲	II		1		V _{p-p} Diff
受信PGA特性						
ゲイン誤差	25°C	I		± 0.3		dB
ゲイン・レンジ	25°C	I	19	20	21	dB
ステップ・サイズ精度	25°C	I		± 0.2		dB
ステップ・サイズ	25°C	I		1		dB
入力帯域幅 (-3dB、Rxバッファをバイパス)	25°C	III		250		MHz
10/12ビットADC特性						
分解能	NA	NA		10/12		ビット
最大変換レート	全温度範囲	I	64			MHz

AD9860/AD9862

Rxパラメータ (続き)	温度	検査 レベル	AD9860/AD9862			単位
			Min	Typ	Max	
DC精度						
微分非直線性	25°C	III		±0.3/±0.4		LSB
積分非直線性	25°C	III		±1.2/±5		LSB
オフセット誤差	25°C	III		±0.1		%FSR
ゲイン誤差	25°C	III		±0.2		%FSR
アパーチャ遅延	25°C	III		2.0		ns
アパーチャ不確実性 (ジッタ)	25°C	III		1.2		ps rms
入力換算ノイズ	25°C	III		250		μV
リファレンス電圧誤差						
REFT-REFB誤差 (1V)	25°C	I		±1	±4	mV
AD9860のダイナミック性能 (A_{IN}=-0.5dBFS、f=5MHz)						
S/N比	25°C	I	59.0	60.66		dBc
信号/ノイズ&歪み (SINAD)	25°C	I	56.0	58.0		dBc
全高調波歪み (THD)	25°C	I		-76.5	-70.5	dBc
SFDR (スプリアスフリー・ダイナミック・レンジ)	25°C	I	70.3	81.0		dBc
AD9862のダイナミック性能 (A_{IN}=-0.5dBFS、f=5MHz)						
S/N比	25°C	I	62.6	64.2		dBc
信号/ノイズ&歪み (SINAD)	25°C	I	62.5	64.14		dBc
全高調波歪み (THD)	25°C	I		-79.22	-73.2	dBc
SFDR	25°C	I	77.09	85.13		dBc
チャンネル間アイソレーション						
TxとRx間 (A _{OUT} =0dBFS、f _{OUT} =7MHz)	25°C	III		>90		dB
Rxチャンネル・クロストーク (f ₁ =6MHz、f ₂ =9MHz)	25°C	III		>80		dB
パラメータ						
CMOSロジック入力						
ロジック「1」電圧 (V _{IH})	25°C	II	DRVDD-0.7			V
ロジック「0」電圧 (V _{IL})	25°C	II			0.4	V
ロジック「1」電流	25°C	II			12	μA
ロジック「0」電流	25°C	II			12	μA
入力容量	25°C	III		3		pF
CMOSロジック出力 (1mA負荷)						
ロジック「1」電圧 (V _{OH})	25°C	II	DRVDD-0.6			V
ロジック「0」電圧 (V _{OL})	25°C	II			0.4	V
電源						
アナログ電源電流						
Tx (両チャンネル、20mA FS出力)	25°C	I	70	76		mA
Txパワーダウン	25°C	I	2.5	5.0		mA
Rx (両チャンネル、入力バッファをイネーブル)	25°C	I	275	307		mA
Rx (両チャンネル、入力バッファをディスエーブル)	25°C	III	245			mA
Rx (32MSPS、低消費電力モード、バッファをディスエーブル)	25°C	III	155			mA
Rx (16MSPS、低消費電力モード、バッファをディスエーブル)	25°C	III	80			mA
Rxパス・パワーダウン	25°C	I	5.0	6.0		mA
DLL	25°C	III	12			mA
デジタル電源電流						
AD9860のRxとTxのパス (全チャンネルをイネーブル)						
2倍のインターポレーション、f _{DAC} =f _{ADC} =64MSPS	25°C	I	92	112		mA
AD9862のRxとTxのパス (全チャンネルをイネーブル)						
2倍のインターポレーション、f _{DAC} =f _{ADC} =64MSPS	25°C	I	104	124		mA
Txパス (f _{DAC} =128MSPS)						
処理ブロックのディスエーブル時	25°C	III	45			mA
4倍のインターポレーション	25°C	III	90			mA
4倍のインターポレーション、粗変調	25°C	III	110			mA
4倍のインターポレーション、微変調	25°C	III	110			mA
4倍のインターポレーション、粗変調と微変調	25°C	III	130			mA

AD9860/AD9862

パラメータ (続き)	温度	検査 レベル	AD9860/AD9862			単位
			Min	Typ	Max	
電源 (続き)						
Rxパス ($f_{ADC}=64\text{MSPS}$)						
処理ブロックのディスエーブル時	25°C	III		9		mA
デシメーション・フィルタのイネーブル時	25°C	III		15		mA
ヒルベルト・フィルタのイネーブル時	25°C	III		16		mA
ヒルベルト/デシメーション・フィルタのイネーブル時	25°C	III		18.5		mA

注

¹ % f_{DATA} は、デジタル・ブロックの入力データレートを意味します。

² インターポレーション・フィルタのストップバンドは、50dB以上のイメージの抑制によって決まります。

仕様は予告なく変更される場合があります。

タイミング特性

(20pF負荷)	温度	検査 レベル	AD9860/AD9862			単位
			Min	Typ	Max	
最小リセット・ロー・パルス幅 (t_{RL})	NA	NA	5			クロック サイクル
デジタル出力の立上がり/立下がり時間	25°C	III	2.8		4	ns
DLL出力クロック	25°C	III	32		128	MHz
DLL出力デューティ・サイクル	25°C	III		50		%
Tx/Rxインターフェース (図11と図12を参照)						
TxSYNC/TxIQのセットアップ時間 (t_{TX1} , t_{TX3})	25°C	III	3			ns
TxSYNC/TxIQのホールド時間 (t_{TX2} , t_{TX4})	25°C	III	3			ns
RxSYNC/RxIQ/IFの有効時間 (t_{RX1} , t_{RX3})	25°C	III			5.2	ns
RxSYNC/RxIQ/IFのホールド時間 (t_{RX2} , t_{RX4})	25°C	III	0.2			ns
シリアル制御バス (図1と図2を参照)						
最大SCLK周波数 (f_{SCLK})	全温度範囲	III			16	MHz
クロックの最小ハイ・パルス幅 (t_{HI})	全温度範囲	III	30			ns
クロックの最小ロー・パルス幅 (t_{LOW})	全温度範囲	III	30			ns
クロックの最大立上がり/立下がり時間	全温度範囲	III			1	ms
データ/SENの最小セットアップ時間 (t_S)	全温度範囲	III	25			ns
SEN/データの最小ホールド時間 (t_H)	全温度範囲	III	0			ns
データ/SCLKの最小セットアップ時間 (t_{DS})	全温度範囲	III	25			ns
データの最小ホールド時間 (t_{DH})	全温度範囲	III	0			ns
出力データ有効/SCLK時間 (t_{DV})	全温度範囲	III			30	ns
補助用ADC						
変換レート	25°C	III		1.25		MHz
入力レンジ	25°C	III		3		V
分解能	25°C	III		10		ビット
補助用DAC						
セトリング時間	25°C	III		8		μs
出力レンジ	25°C	III		3		V
分解能	25°C	III		8		ビット
ADCのタイミング						
レイテンシ (デジタル処理ブロックをすべて ディスエーブル)	25°C	III		7		サイクル
DACタイミング						
レイテンシ (デジタル処理ブロックをすべて ディスエーブル)	25°C	III		3		サイクル
レイテンシ (2倍のインターポレーションをイネーブル)	25°C	III		30		サイクル
レイテンシ (4倍のインターポレーションをイネーブル)	25°C	III		72		サイクル
追加レイテンシ (ヒルベルト・フィルタをイネーブル)	25°C	III		36		サイクル
追加レイテンシ (粗変調をイネーブル)	25°C	III		5		サイクル
追加レイテンシ (微変調をイネーブル)	25°C	III		8		サイクル
出力セトリング時間 (TST) (0.1%に対して)	25°C	III		35		ns

仕様は予告なく変更される場合があります。

絶対最大定格¹

電源 (V_{AS} 、 V_{DS})3.9V
デジタル出力電流5mA
デジタル入力-0.3V~DRVDD+0.3V
アナログ入力+0.3V~AVDD (IQ) +0.3V
動作温度範囲 ²-40~+70°C
最大ジャンクション温度150°C
保存温度範囲-65~+150°C
リードピン温度 (ハンダ付け、10秒)300°C

注

¹ 絶対最大定格は個別に適用する制限値であり、これを超えると回路の動作が損なわれることがあります。必ずしも絶対最大定格のいずれかの条件下でデバイスが動作することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

² AD9860/AD9862は、半二重モードの動作時に工業用温度範囲 (-40~+85°C) で動作させて特性評価されています。

検査レベルの説明

- I. 出荷前に25°Cで全数検査を実施。拡張工業用温度範囲 (-40~+70°C) においては設計および特性評価テストにより保証
- II. 設計や特性評価テストによりパラメータを保証
- III. パラメータは代表値のみ
- NA. テスト・レベルの定義なし

熱特性

熱抵抗値

128ピンLQFPの $\theta_{JA}=29^{\circ}\text{C}/\text{W}$

オーダー・ガイド

製品	温度範囲	パッケージの説明	パッケージ・オプション
AD9860BST	-40~+70°C*	128ピンLQFP	ST-128B
AD9862BST	-40~+70°C*	128ピンLQFP	ST-128B
AD9860PCB		AD9860に評価用ボードを搭載	
AD9862PCB		AD9862に評価用ボードを搭載	

* AD9860/AD9862は、半二重モードの動作時に工業用温度範囲 (-40~+85°C) で動作させて特性評価されています。

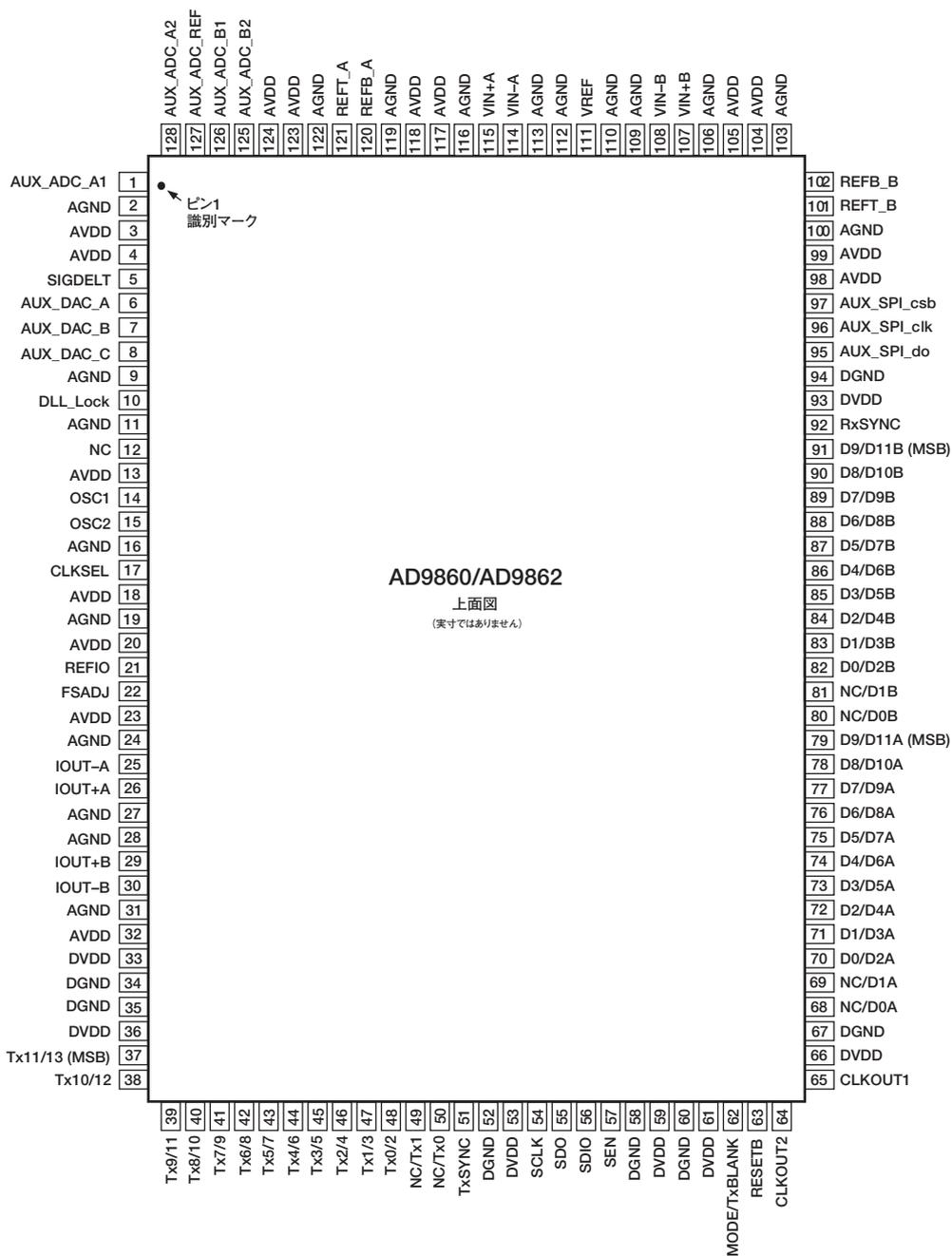
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD9860/AD9862

ピン配置



NC=接続なし

ピン機能の説明

ピン番号	記号	機能	ピン番号	記号	機能
受信ピン			クロック・ピン		
68/70~79	D0A~ D9A/D11A	受信チャンネルAの 10/12ビットADC出力	10	DLL_Lock	DLLロック・インジケータ・ピン
80/82~91	D0B~ D9B/D11B	受信チャンネルBの 10/12ビットADC出力	11、16	AGND	DLLアナログ・グラウンド・ピン
92	RxSYNC	チャンネルAとチャンネルB のRxパスの同期クロック	12	NC	接続なし
98、99、 104、105、 117、118、 123、124	AVDD	アナログ電源ピン	13	AVDD	DLLアナログ電源ピン
100、103、 106、109、 110、112、 113、116、 119、122	AGND	アナログ・グラウンド・ピン	14	OSC1	シングルエンド入力クロック (または水晶発振器入力)
101	REFT_B	チャンネルBのADC用 トップ・リファレンス・ デカップリング	15	OSC2	水晶発振器入力
102	REFB_B	チャンネルBのADC用 ボトム・リファレンス・ デカップリング	17	CLKSEL	CLKOUT1レートの制御
107	VIN+B	受信チャンネルBの差動(+) 入力	64	CLKOUT2	入力クロックから生成したク ロック出力 (DLL通倍器の設 定とCLKOUT2の分周率)
108	VIN-B	受信チャンネルBの差動(-) 入力	65	CLKOUT1	入力クロックから生成したク ロック出力 (CLKSEL=1の 場合は1倍、CLKSEL=0の場 合は2分周)
111 114	VREF VIN-A	内部ADC電圧リファレンス 受信チャンネルAの差動(-) 入力	各種のピン		
115	VIN+A	受信チャンネルAの差動(+) 入力	1	AUX_ADC_A1	補助用ADC A入力1
120	REFB_A	チャンネルAのADC用 ボトム・リファレンス・ デカップリング	3、4、13	AVDD	アナログ電源ピン
121	REFT_A	チャンネルAのADC用 トップ・リファレンス・ デカップリング	2、9	AGND	アナログ・グラウンド・ピン
18、20、 23、32	AVDD	アナログ電源ピン	5	SIGDELT	プログラマブルΣΔからのデ ジタル出力
19、24、 27、28、31	AGND	アナログ・グラウンド・ピン	6	AUX_DAC_A	補助用DAC A出力
21	REFIO	リファレンス出力、 公称値1.2V	7	AUX_DAC_B	補助用DAC B出力
22	FSADJ	フルスケール電流調整	8	AUX_DAC_C	補助用DAC C出力
25	IOUT-A	送信チャンネルAのDAC 差動(-)出力	33、36、53、 59、61、66、 93	DVDD	デジタル電源ピン
26	IOUT+A	送信チャンネルAのDAC 差動(+) 出力	34、35、52、 58、60、67、 94	DGND	デジタル・グラウンド・ピン
29	IOUT+B	送信チャンネルBのDAC 差動(+) 出力	54	SCLK	シリアル・バス・クロック入力
30	IOUT-B	送信チャンネルBのDAC 差動(-) 出力	55	SDO	シリアル・バス・データ・ビット
37~48/50	Tx11/Tx13 ~Tx0	12/14ビット送信DACデータ (必要に応じてインターリー ブされるデータ)	56	SDIO	シリアル・バス・データ・ビット
51	TxSYNC	トランスミッタの同期入力	57	SEN	シリアル・バス・イネーブル
62	MODE/ TxBLANK*	タイミング・モードのデフォ ルト設定、Txデジタル・パ ワーダウンの制御	63	RESETB	リセット (SPIレジスタとロ ジック)
			95	AUX_SPI_do	オプションの補助用ADCシリ アル・バス・データ出力ビット
			96	AUX_SPI_clk	オプションの補助用ADCシリ アル・バス・データ出力ラッチ クロック
			97	AUX_SPI_csb	オプションの補助用ADCシリ アル・バス・チップ選択ビット
			128	AUX_ADC_A2	補助用ADC A入力2
			126	AUX_ADC_B1	補助用ADC B入力1
			125	AUX_ADC_B2	補助用ADC B入力2
			127	AUX_ADC_REF	補助用ADCリファレンス

* パワーアップ時のMODE/TxBLANKピンのロジック・レベルに基づいて、デフォルトのタイミング・モードが決まります。ロジック・レベルがローのときは通常の動作モード、ハイのときは代替動作モードになります。

AD9860/AD9862

仕様の定義

微分非直線性誤差 (DNL、ノー・ミスコード)

理想的なコンバータのコード遷移は正確に1LSB離れています。DNLはこの理想値からの偏差です。10ビット分解能でノー・ミスコードが保証されているということは、全動作範囲で1024すべてのコードが存在しなければならないということです。

積分非直線性誤差 (INL)

直線性誤差とは、「負のフルスケール」と「正のフルスケール」を結ぶ直線からの個々のコードの偏差のことです。「負のフルスケール」として使用するポイントは、最初のコード遷移の1/2LSB前で発生します。「正のフルスケール」は、最後のコード遷移の1 1/2LSB後のレベルです。偏差は、それぞれのコードの midpoint から真の直線までの距離で測定します。

位相ノイズ

シングル・サイドバンドの位相ノイズの大きさは、キャリア (dBc/Hz) からの任意の周波数オフセット (1kHz) においてキャリアを基準に規定します。ノイズ・マーカ計測が可能なスペクトラム・アナライザを使用し、シングル・トーン送信モードで直接位相ノイズを測定できます。キャリアとオフセット (1kHz) のサイドバンド・ノイズ間の相対的なパワーを検出し、 $10 \log(\text{rbw})$ の減算によって分解能帯域幅 (rbw) を考慮に入れます。さらに、分解能帯域幅、対数表示の実行、検出器の特性を補償するために、補正係数もこれに加えます。

出力コンプライアンス・レンジ

電流出力DACの出力における許容電圧範囲です。最大コンプライアンス値の範囲を超える動作は、出力段の飽和やブレイクダウンの原因になり、これによって直線性が失われます。

SFDR (スプリアスフリー・ダイナミック・レンジ)

規定の帯域幅 (特に指定のない限り、ナイキスト帯域幅) におけるDACの出力信号 (またはADCの入力信号) のrms振幅とピーク・スプリアス信号との差であり、単位はdBです。

パイプライン遅延 (レイテンシ)

変換が開始された後、関連する出力データが利用できるようになるまでのクロック・サイクル数です。

オフセット誤差

最初のコード遷移は、負のフルスケールの1/2LSB上のアナログ値で発生します。オフセット誤差は、そのポイントからの実際のコード遷移の偏差です。

ゲイン誤差

最初のコード遷移は、負のフルスケールの1/2LSB上のアナログ値で発生します。最後のコード遷移は、正のフルスケールの1 1/2LSB下のアナログ値で発生します。ゲイン誤差とは、最初と最後のコード遷移の間の理想的な差と実際の差との偏差になります。

アパーチャ遅延

アパーチャ遅延はサンプル&ホールド・アンプ (SHA) の性能を測るものであり、サンプリング・クロック入力の上上がりエッジ後、入力信号が変換のためにホールドされるまでの遅延時間になります。

アパーチャ不確実性 (アパーチャ・ジッタ)

アパーチャ・ジッタは、連続サンプリングでのアパーチャ遅延の変動であり、ADCの入力上のノイズとなります。

入力換算ノイズ

rms出力ノイズは、ヒストグラム技法を使って測定します。ADCの出力コードの標準偏差をLSB単位で計算し、その結果を等価電圧に変換します。これによって、AD9860/AD9862の入力に直接換算できるノイズ指数が得られます。

信号/ノイズ&歪み (SINAD)

信号/ノイズ&歪みは、測定入力信号のrms値とナイキスト周波数よりも低い他のすべてのスペクトル成分のrms和との比です。高調波成分が含まれますが、DC成分は含みません。信号/ノイズ&歪みの単位はdBです。

有効ビット数 (ENOB)

正弦波の場合には、SINADはビット数で表すことができます。次の式を使用します。

$$N = \frac{(\text{SINAD} - 1.76\text{dB})}{6.02}$$

これによって、有効ビット数Nで表す性能の測定値が得られます。任意の入力周波数での正弦波入力に対するデバイスの有効ビット数は、測定したSINAD値から直接計算できます。

S/N比 (SNR)

S/N比は、測定入力信号のrms値とナイキスト周波数よりも低い他のすべてのスペクトル成分のrms和との比です。高調波成分とDC成分は含まれていません。S/N比の単位はdBです。

全高調波歪み (THD)

THDは、測定入力信号の最初の6つの高調波成分のrms和と測定入力信号のrms値との比です。単位は%またはdBです。

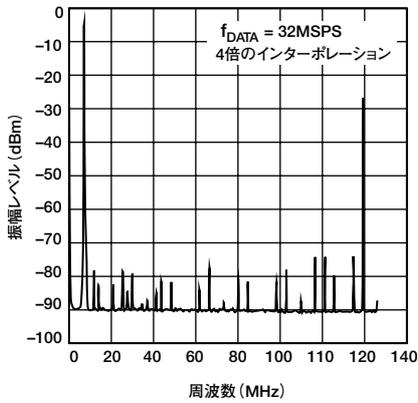
電源電圧変動除去比 (PSRR)

電源電圧変動除去比は、電源電圧が公称値から最小および最大規定電圧に変化する際のコンバータの最大フルスケール変化になります。

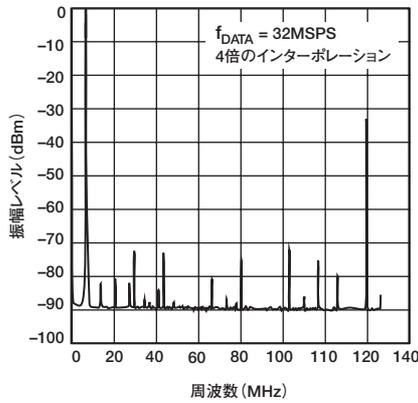
チャンネル間アイソレーション (クロストーク)

理想的なマルチチャンネル・システムでは、1つのチャンネルの信号が別のチャンネルの信号レベルに影響を及ぼすことはありません。チャンネル間アイソレーション値は、フルスケール信号が別のチャンネルに加えられるときに、グラウンド接続されたチャンネルに起きる変化を測定したものです。

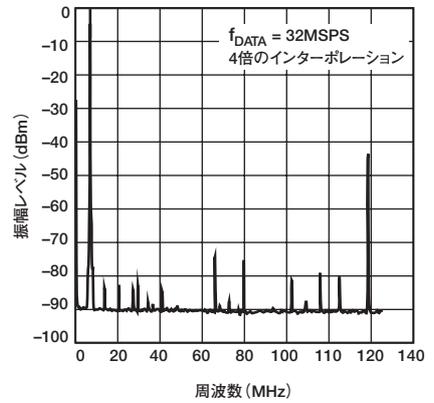
代表的な性能特性—AD9860/AD9862



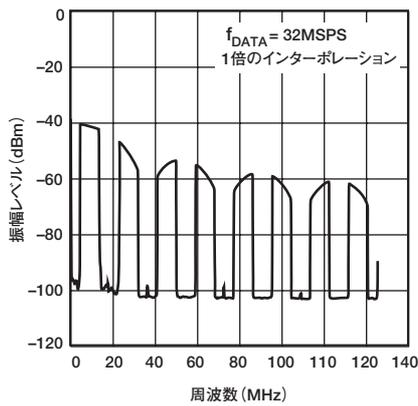
TPC 1. AD9862 Tx出力の6MHz シングル・トーン (CLKIN=32MHz、DLL 4倍の設定)



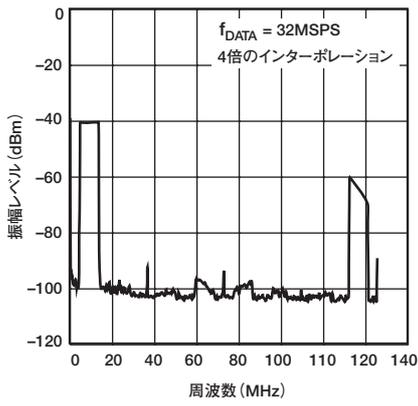
TPC 2. AD9862 Tx出力の6MHz シングル・トーン (CLKIN=64MHz、DLL 2倍の設定)



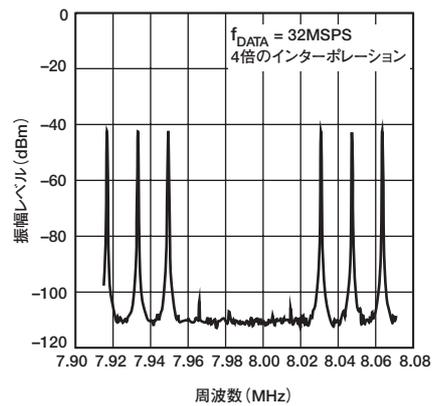
TPC 3. AD9862 Tx出力の6MHz シングル・トーン (CLKIN=128MHz、DLL 1倍の設定)



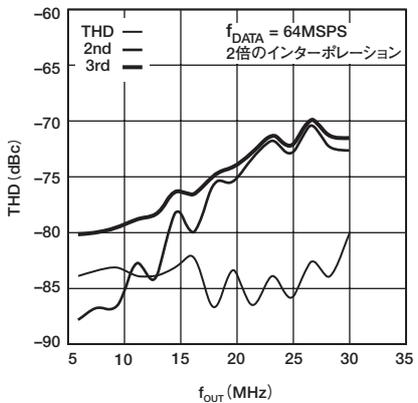
TPC 4. OFDM信号を生成する TxDAC (CLKIN=64MHz、DLL 2倍の設定)



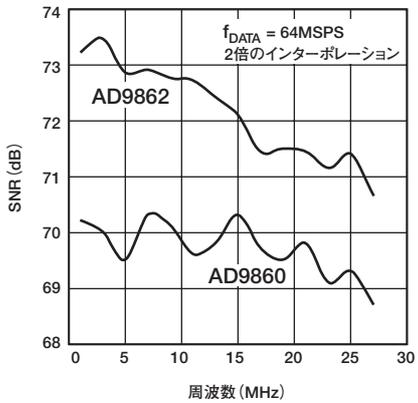
TPC 5. OFDM信号を生成する TxDAC (CLKIN=64MHz、DLL 2倍の設定)



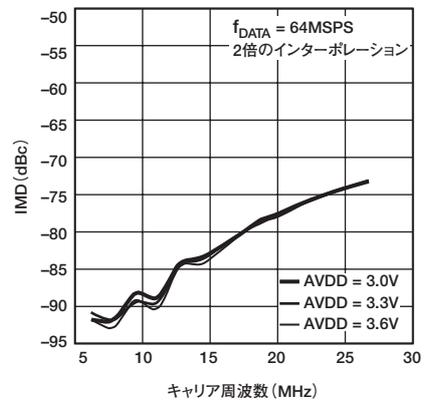
TPC 6. OFDM信号の4つのノッチ・キャリアの拡大プロット (CLKIN=64MHz、DLL 2倍の設定)



TPC 7. f_{OUT} 対 TxDAC高調波歪み

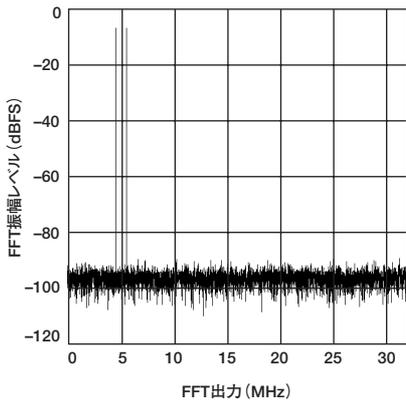


TPC 8. f_{OUT} 対 S/N比 (SNR)

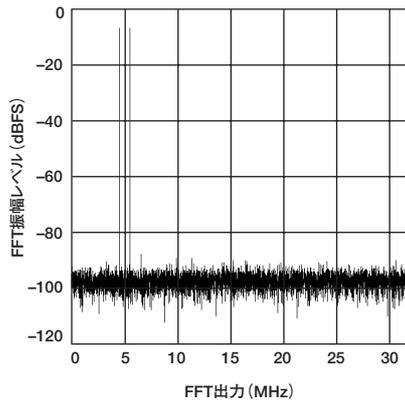


TPC 9. f_{OUT1} 対 2調波相互変調 ($f_{OUT2}=f_{OUT1}+1MHz$)

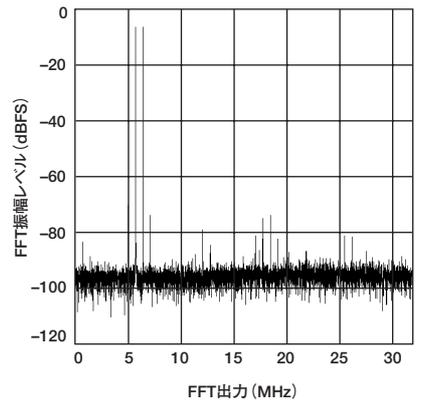
AD9860/AD9862



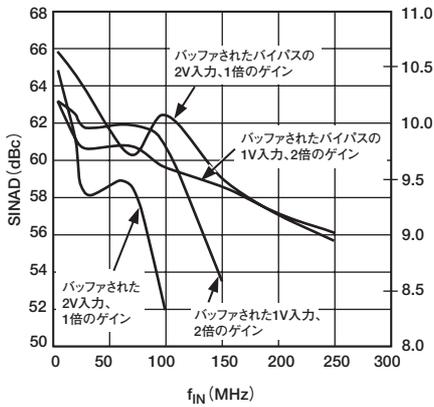
TPC 10. ADCのデュアル・トーンFFT (バッファ・トーン4.5MHzおよび5.5MHzを含む)



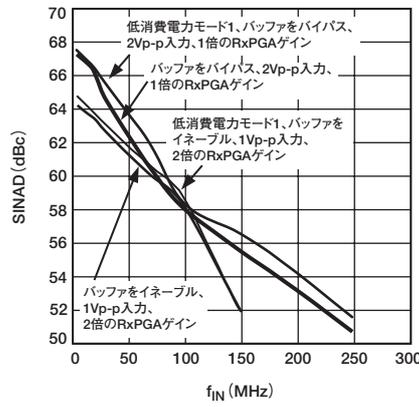
TPC 11. ADCのデュアル・トーンFFT (バッファ・トーン4.5MHzおよび5.5MHzを含まない)



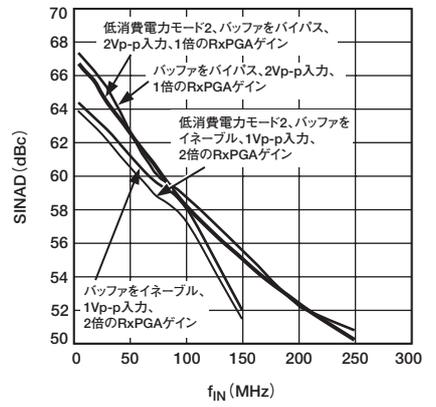
TPC 12. ADCのデュアル・トーンFFT (アンダーサンプリング) (バッファ・トーン69.5MHzおよび70.5MHzを含まない)



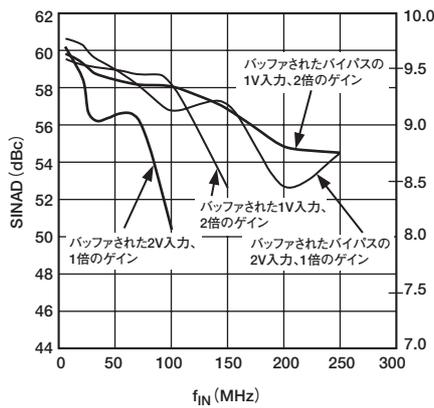
TPC 13. f_{IN} 対 AD9862の Rx SINAD (@64MSPS)



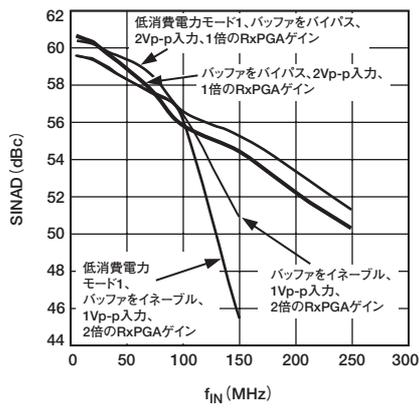
TPC 14. f_{IN} 対 AD9862の Rx SINAD (@32MSPS)



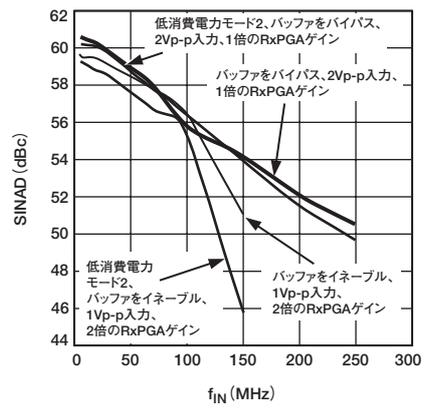
TPC 15. f_{IN} 対 AD9862の Rx SINAD (@16MSPS)



TPC 16. f_{IN} 対 AD9860の Rx SINAD (@64MSPS)

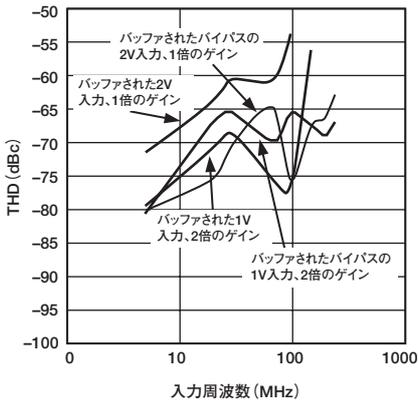


TPC 17. f_{IN} 対 AD9860の Rx SINAD (@32MSPS)

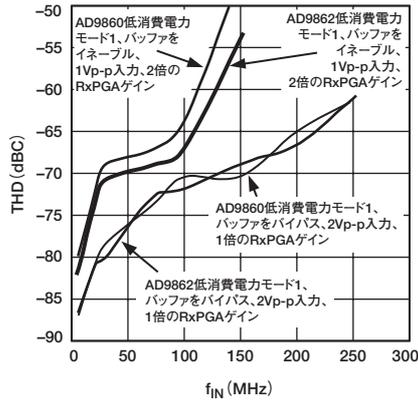


TPC 18. f_{IN} 対 AD9860の Rx SINAD (@16MSPS)

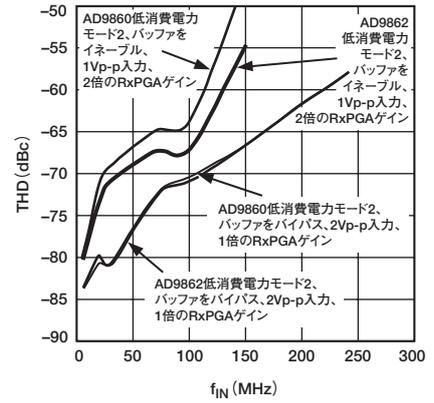
AD9860/AD9862



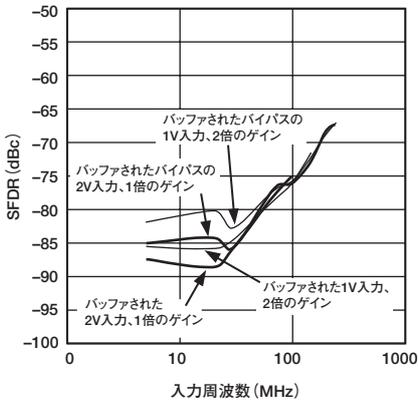
TPC 19. f_{IN} 対 Rx THD ($F_{ADC}=64\text{MSPS}$)



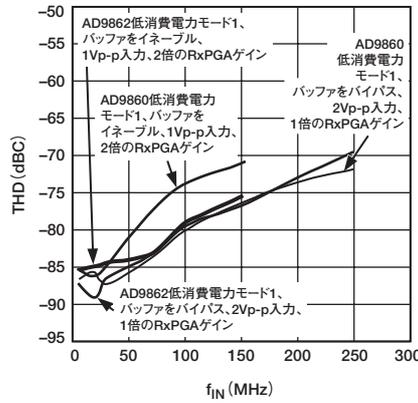
TPC 20. f_{IN} 対 Rx THD ($F_{ADC}=32\text{MSPS}$)



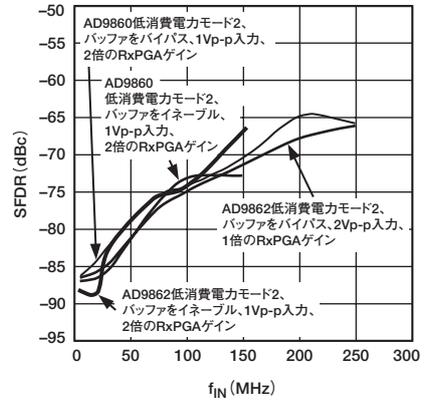
TPC 21. f_{IN} 対 Rx THD ($F_{ADC}=16\text{MSPS}$)



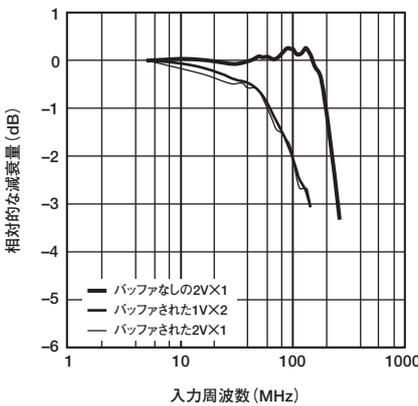
TPC 22. Rx SFDR (@64MSPS)



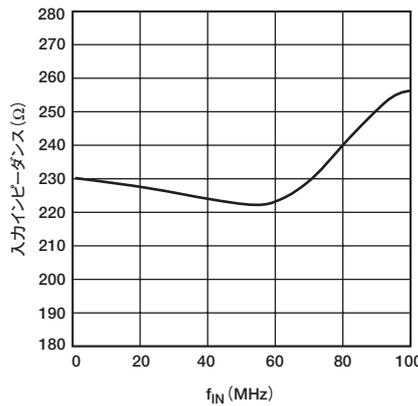
TPC 23. Rx SFDR (@32MSPS)



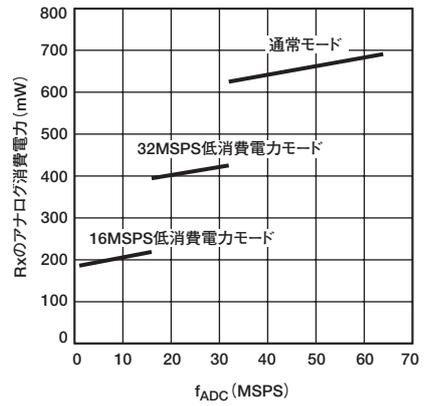
TPC 24. Rx SFDR (@16MSPS)



TPC 25. Rx 入力の減衰



TPC 26. f_{IN} 対 Rx 入力バッファ・インピーダンス



TPC 27. Rx のアナログ消費電力

AD9860/AD9862

レジスタ・マップ (0x00~0x3F)¹

レジスタ名	アドレス ²	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	目的	
汎用	0	SDIO BiDir	LSBファースト	ソフト・リセット						SPIのセットアップ	
Rx/パワーダウン	1	V _{REF} (差動)	V _{REF}	Rxデジタル	RxチャンネルB	RxチャンネルA	バッファB	バッファA	全Rx	受信バスの セットアップ	
Rx A	2	バッファ Aバイパス					RxPGAA				
Rx B	3	バッファ Bバイパス					RxPGAB				
Rx Misc	4						HSデューティ・ サイクル	共有 リファレンス	クロック・ デューティ		
Rx I/F	5				スリーステート	Rxリタイム	2の補数	Inv RxSync	MUX出力		
Rxデジタル	6					2チャンネル	Keep-ve	ヒルベルト	デシメート		
RSV	7	予備									
Tx/パワーダウン	8			タイミング・ モード変更	TxOff イネーブル	Txデジタル	Txアナログ・パワーダウン[2:0]			送信バスの セットアップ	
RSV	9	予備									
Tx Aオフセット	10	DAC Aオフセット [1:0]							DAC A オフセット方向		
Tx Aオフセット	11	DAC Aオフセット [9:2]									
Tx Bオフセット	12	DAC Bオフセット [1:0]							DAC B オフセット方向		
Tx Aオフセット	13	DAC Bオフセット [9:2]									
Tx Aゲイン	14	DAC Aゲイン粗調整			DAC Aゲイン微調整						
Tx Bゲイン	15	DAC Bゲイン粗調整			DAC Bゲイン微調整						
Tx PGAゲイン	16	Tx PGAゲイン									
Tx Misc	17							スレープ・ イネーブル	Tx PGA高速		
Tx I/F	18		Txリタイム	Q/I順番	Inv TxSync	2の補数	サンプル反転	両エッジ	インターリーブ		
Txデジタル	19				2データ・パス	Keep-ve	ヒルベルト	インターポレーション制御			
Tx変調器	20			負の微調整	微調整モード	リアル・ ミックス	負の粗調整	粗変調			
NCO調整ワード	21	FTW [7:0]									NCOの セットアップ
NCO調整ワード	22	FTW [15:8]									
NCO調整ワード	23	FTW [23:16]									
DLL	24	予備	入力クロック 制御	ADC Div2	DLL通倍器		DLL パワーダウン		DLL高速	クロックの セットアップ	
CLKOUT	25	CLKOUT2分周係数		Inv2	Dis2			Inv1	Dis1		
Aux ADC A2	26	Aux ADC A2データ[1:0]									
Aux ADC A2	27	Aux ADC A2データ[9:2]									
Aux ADC A1	28	Aux ADC A1データ[1:0]									
Aux ADC A1	29	Aux ADC A1データ[9:2]									
Aux ADC B2	30	Aux ADC B2データ[1:0]									
Aux ADC B2	31	Aux ADC B2データ[9:2]									
Aux ADC B1	32	Aux ADC B1データ[1:0]									
Aux ADC B1	33	Aux ADC B1データ[9:2]									
Aux ADC制御	34	Aux SPI	SelBnot A	Refsel B	B選択	Bスタート	Refsel A	A選択	Aスタート	Aux ADCの データと セットアップ	
Aux ADCクロック	35								CLK/4		
Aux DAC A	36	Aux DAC A									
Aux DAC B	37	Aux DAC B									
Aux DAC C	38	Aux DAC C									
Aux DAC更新	39	スレープ・ イネーブル					C更新	B更新	A更新		
Aux DAC/パワーダウン	40						C/パワーダウン	B/パワーダウン	A/パワーダウン		
Aux DAC制御	41				Inv C		Inv B		Inv A		
SigDelt	42	ΣΔ制御ワード [3:0]							フラグ		
SigDelt	43	ΣΔ制御ワード [11:4]									
ADC低消費電力	49、50	32MSPSよりも低いRxパス動作の低消費電力レジスタ									Rx低消費電力
RSV	44~62	予備									予備
チップID	63	チップ・リビジョンID									チップID

注

¹ 割り当てられていないビットをもつレジスタにデータを書き込むときは、そのビットにロジック・ローの値を書き込む必要があります。パワーアップまたはリセット後、すべてのレジスタがデフォルトでローレベルに設定されます。ただし、上の表の網掛けのある欄のビットはハイレベルに設定されます。

² 10進数値です。

レジスタ・ビットの定義

レジスタ0：汎用

ビット7：SDIO BiDir（双方向）

デフォルトはローレベルで、SPIシリアル・ポート（4線式インターフェース）としてSDIOピンが入力ライン、SDOピンが出力ラインにそれぞれ割り当てられています。このビットをハイレベルにすると、3線式のシリアル・ポートとして使用することができ、SDIOピンは双方向データ・ラインになります。

ビット6：LSBファースト

デフォルト設定はローレベルで、MSBファーストのSPIポート・アクセス・モードを示します。このビットをハイレベルにすると、SPIポートのアクセスがLSBファースト・モードになります。

ビット5：ソフト・リセット

このビットをハイレベルにすると、すべてのレジスタがそのデフォルト値にリセットされ、DLLを入力クロックに再ロックします。ソフト・リセット・ビットはワンショット・レジスタ・ビットであり、書き込みが完了するとすぐにクリアされます。

レジスタ1：Rxパワーダウン

ビット7：VREF、差動（パワーダウン）

このビットをハイレベルにすると、ADCの差動リファレンス（REFTとREFB）がパワーダウンします。

ビット6：VREF（パワーダウン）

このビットをハイレベルにすると、ADCのリファレンス回路（ V_{REF} ）がパワーダウンします。

ビット5：Rxデジタル（パワーダウン）

このビットをハイレベルにすると、チップの受信パスのデジタル部がパワーダウンします。使用しないデジタル回路ブロックは通常すべて自動的にパワーダウンします。

ビット4/3：RxチャンネルB/RxチャンネルA（パワーダウン）

該当するビットをハイレベルにすると、いずれかのADCまたは両方のADCをパワーダウンできます。このとき差動リファレンス、入力バッファ、内部デジタル回路ブロックを含むRxチャンネル全体がパワーダウンします。バンドギャップリファレンスは、速やかに復帰できるようにアクティブ状態のままです。

ビット2/1：バッファB/バッファA（パワーダウン）

いずれかのビットをハイレベルにすると、各チャンネルの入力バッファ回路がパワーダウンします。入力バッファをバイパスするときは、パワーダウンしてください。これらのビットはデフォルトでローレベルに設定され、入力バッファがイネーブルになっています。

ビット0：全Rx（パワーダウン）

このビットをハイレベルにすると、受信パスに関連するすべての回路がパワーダウンします。

レジスタ2/3：Rx A/Rx B

ビット7：バッファAバイパス/バッファBバイパス

いずれかのビットをハイレベルにすると、各チャンネルの入力バッファ回路をバイパスします。バッファのバイパス時には、RxPGAのスイッチド・キャパシタSHA入力に入力信号が直接送られます。バッファをバイパスする動作のときは、入力バッファをパワーダウンしてください。

ビット0~4：RxPGA A/RxPGA B

この5ビットのストレート・バイナリ・レジスタ（ビット0がLSB、ビット4がMSB）は、デュアル受信パスのプログラマブル・ゲイン・アンプ（PGA）の制御に使用します。数クロック・サイクルの高速セトリングのスイッチド・キャパシタ・ネットワークにより、0~20dBのゲイン・レンジが得られます。ステップ・サイズは約1dBです。このレジスタのデフォルト設定は、最小ゲインまたはhex00です。最大設定値はhex14です。

レジスタ4：Rx MISC

ビット2：HS（高速）デューティ・サイクル

このビットをハイレベルにすると、内部ADCのサンプリング・クロックのデューティ・サイクルが最適化されます。クロックのデューティ・サイクルがノイズと歪み性能に最も大きい影響を及ぼす高速アプリケーションでは、ハイレベルに設定することを推

奨めます。クロック・デューティ・イネーブルのレジスタ・ビットとともに、このビットをハイレベルに設定してください。

ビット1：共有リファレンス

このビットをハイレベルにすると、受信パスの2個のADCが差動リファレンスを共有するモードになり、優れたゲイン・マッチングが得られます。このオプションのイネーブル時には、チャンネルAとチャンネルBのREFTをチップ外部で相互に接続し、さらにこの2つのチャンネルのREFBを相互に接続してください。

ビット0：クロック・デューティ

このビットをハイレベルにすると、オンチップのデューティ・サイクル・スタビライザ（DCS）回路がイネーブルになり、Rxブロックに供給する内部クロックを生成します。このオプションは、デューティ・サイクルがスキューされた高速入力クロックの調整に使用します。DCSモードは、40MHzを超えるADCのサンプリング周波数で使用できます。

レジスタ5：Rx I/F（インターフェース）

ビット4：スリーステート

このビットをハイレベルにすると、RxSYNCピンを含め、両チャンネルのRxデータ出力バスを強制的にスリーステート・モードにします。

ビット3：Rxリタイム

RxパスはCLKOUT1またはCLKOUT2のいずれかのクロック出力を使用して、Rx出力データをラッチできます。CLKOUT1とCLKOUT2にはわずかな位相オフセットがあるため、これによってインターフェースにある程度柔軟なタイミングが可能になります。このビットはデフォルトでローレベルになっており、CLKOUT1を使用してRx出力をラッチします。ハイレベルに設定すると、Rx出力のラッチにCLKOUT2を使用するようになります。

ビット2：2の補数

Rxデータのデフォルトのデータ・フォーマットは、ストレート・バイナリです。このビットをハイレベルにすると、2の補数データを生成します。

ビット1：Inv RxSync

受信データが1つのデータ・ポート上でマルチプレクスされている場合（MUXモードのイネーブル時）、RxSYNCピンによってアクティブ・ポート上にどちらのチャンネルのデータが現在出力されているか、識別することができます。デフォルトでは、チャンネルAが出力されているときにRxSYNCはハイレベル、チャンネルBが出力されているときにローレベルになっています。このビットをハイレベルにすると、同期が逆になります。

ビット0：MUX出力

このビットをハイレベルにすると、Rx MUXモードがイネーブルになります。デフォルト設定はローレベルで、デュアル・ポート・モード（非Rx MUXモード）になります。Rx MUXモードでは、2つのRxチャンネルで同じ出力データ・バス、つまりD0A~D9Aピン（AD9860）またはD0A~D11Aピン（AD9862）を共用します。その他のRx出力バス（D0B~D9BピンまたはD0B~D11Bピン）は、ロジック・ローレベルを出力します。

レジスタ6：Rxデジタル

ビット3：2チャンネル

このビットをローレベルにすると、Rx Bの出力データ・ポート（D0B~D9BピンまたはD11Bピン）がディスエーブルになり、出力ピンを強制的にゼロにします。このビットはデフォルトでハイレベルに設定されており、2つのチャンネルのデータ・バス（Rx AおよびRx B）はアクティブとなっています。

ビット2：Keep -ve

ヒルベルト・フィルタがイネーブルであると想定し、受信用のヒルベルト・フィルタが正または負のどちらの周波数をフィルタリングするかをこのビットで選択します。このビットはデフォルトでローレベルに設定されており、正の周波数を通過させます。ハイレベルに設定すると、フィルタは負の周波数を通過させます。

ビット1：ヒルベルト

このビットは、受信パスのヒルベルト・フィルタをイネーブルまたはディスエーブルに設定します。このビットはデフォルト

AD9860/AD9862

でローレベルに設定され、受信用ヒルベルト・フィルタはディスエーブルになります。ハイレベルに設定すると、受信用ヒルベルト・フィルタはイネーブルになります。

ビット0：デシメート

このビットは、デシメーション・フィルタをイネーブルまたはディスエーブルに設定します。デフォルトでローレベルに設定されており、デシメーション・フィルタはディスエーブルになっています。このビットをハイレベルにすると、デシメーション・フィルタがイネーブルになり、受信データを1/2に間引きします。

レジスタ8：Txパワーダウン

ビット5：タイミング・モード変更

本データシートのタイミングの項では、「通常動作」と「代替動作」の2つのタイミング・モードについて説明しています。パワーアップ時のデフォルト設定は、MODE/TxBlankピンのロジック・レベルに基づいています。MODE/TxBlankがロジック・ローであれば、「通常動作」モードがデフォルトになり、MODE/TxBlankピンがロジック・ハイであれば、「代替動作」モードがパワーアップ時に設定されます（このモードではパワーアップ時にデフォルトでDLLが4倍の通倍動作に設定されます）。パワーアップ後は、MODE/TxBlankピンを別の機能に利用できるように動作モードを設定できます。その場合は、このビットをハイレベルに設定してください。

ビット4：TxOffイネーブル

デフォルトではMODE/TxBlankピンは送信同期に使用しません。MODE/TxBlankピン入力は、DAC出力のブランキングとTxPGAゲイン制御のスレービングの2つの機能で使用できます。このビットをハイレベルにすると、MODE/TxBlankピンがロジックハイのときに、Txのデジタル回路ブロックがクロック動作を強制的に停止します。このモードではTx出力が変化せず、最後に更新した値を保持します。TxPGAゲイン制御をMODE/TxBlankピン入力でスレービングするときは、スレーブ・イネーブル・レジスタ（レジスタ17のビット1）の設定も必要になります。詳細については、このレジスタの説明を参照してください。

ビット3：Txデジタル（パワーダウン）

このビットはデフォルトでローレベルであり、送信パスのデジタル回路ブロックが他のレジスタの設定に従った動作を実行します。このビットをハイレベルにすると、デジタル回路ブロックのクロック動作を停止して消費電力を低減します。イネーブルにすると、Tx出力は変化せず、最後に更新した値を保持します。

ビット0~2：Txアナログ（パワーダウン）

Txチャンネルのアナログ回路の消費電力を低減するには、3つのオプションがあります。そのうちの2つはTxのチャンネルAまたはBからのアナログ出力を別々にディスエーブルにし、3つめのオプションは両チャンネルの出力をディスエーブルにし、付加的なアナログ・サポート回路の一部の消費電力を低減して最大の消費電力節減を実現します。いずれのオプションでもDACのバイアス電流はパワーダウンしないため、復帰の時間は高速です（通常2、3クロック・サイクル程度）。3種類のモード・オプションとそれぞれのビットの設定を以下にまとめます。

Txアナログ・
パワーダウン・
ビットの
設定 [2:0]

パワーダウン・オプション

Tx Bチャンネルのアナログ出力パワーダウン	[1 0 0]
Tx Aチャンネルのアナログ出力パワーダウン	[0 1 0]
Tx AおよびTx Bのアナログ出力パワーダウン	[1 1 1]

レジスタ10/11/12/13：Tx A/Tx Bオフセット

DAC A/DAC Bオフセット

これらの10ビット、2の補数レジスタは、Tx AまたはTx Bの出力信号と結合されるDC電流オフセットを制御します。フルスケール電流 (I_{OUTFS}) の最大±12%までのオフセット電流 (20mAのフルスケール出力で2.4mA) を各チャンネルのいずれかの差動ピンに加えることができます。このオフセット電流を使用して外部ミキサ段のオフセットを補償できるため、その出

力のLO漏れ電流を低減できます。デフォルトはhex00で、オフセット電流は加わっていません。オフセット電流のレベルは下位9ビットで設定します。MSBをハイレベルに設定すると、選択した差動ピンにオフセット電流を加算し、ローレベルでオフセット値を減算します。

DAC A/DAC Bオフセット方向

このビットで、選択したチャンネルの差動出力ピンのどれにオフセット電流を与えるかを決めます。ローレベルにすると負側の差動ピンにオフセットを与え、ハイレベルにすると正側の差動ピンにオフセットを与えます。

レジスタ14/15：Tx A/Tx Bゲイン

ビット6、7：DAC A/DAC Bゲイン粗調整

このレジスタ・ビットで、Txチャンネルのフルスケール出力電流 (I_{OUTFS}) を個別にスケールリングできます。Txチャンネルの I_{OUT} は、 R_{SET} 抵抗、TxPGAの設定、ゲインの粗調整設定の関数になります。

MSB、LSB

10または11	Txチャンネルの電流スケールリングなし
01	出力電流のスケールリングなし
00	出力電流を1/2にします。
00	出力電流を1/11にします。

ビット5~0：DAC A/DAC Bゲイン微調整

ゲイン・トリム制御を使用して、DACの出力曲線を部分的に調整できます。最大±4%のゲイン・トリムがチャンネルごとに可能です。ゲイン・トリム・レジスタのビットは、2の補数のアテンション制御ワードです。

MSB、LSB

100000	最大の正ゲイン調整
111111	最小の正ゲイン調整
000000	調整なし（デフォルト）
000001	最小の負ゲイン調整
011111	最大の負ゲイン調整

レジスタ16：TxPGAゲイン

ビット0~7：TxPGAゲイン

この8ビット、ストレート・バイナリ（ビット0がLSB、ビット7がMSB）のレジスタは、Txのプログラマブル・ゲイン・アンプ（TxPGA）を制御します。TxPGAにより、2つのTxチャンネルで同時に0.1dBステップ（デシベル・リニア）で20dBの連続的なゲイン・レンジが得られます。このレジスタのデフォルト値はhex00です。

MSB、LSB

00000000	-20dBの最小ゲイン・スケールリング
11111111	0dBの最大ゲイン・スケールリング

レジスタ17：Tx MISC

ビット1：スレーブ・イネーブル

TxPGAのゲインはTxPGAゲイン・レジスタの設定で制御し、デフォルトでレジスタの書き込み直後に更新されます。このビットをセットすると、MODE/TxBlankピンに加えられる信号の立上がりエッジと同期してTxPGAのゲイン更新を実行します。この場合、レジスタ8でTxOffをイネーブルに設定する必要があります。

ビット0：TxPGA高速（更新モード）

TxPGA高速ビットは、TxPGAの更新速度を制御します。高速更新モードをイネーブルにすると、TxPGAは数クロック・サイクル以内の高速ゲイン・セトリングを行います。このビットのデフォルトは、通常の更新モードを示すローレベルです。このビットをハイレベルにすると、高速モードがイネーブルになります。

レジスタ18：Tx I/F（インターフェース）

ビット6：Txリタイム

TxバスはCLKOUT1またはCLKOUT2のいずれかのクロック出力を使用して、Tx入力データをラッチします。CLKOUT1とCLKOUT2にはわずかな位相オフセットがあるため、インターフェースのタイミングがある程度柔軟になります。このビットはデフォルトでハイレベルになり、Tx入力ラッチはCLKOUT1を使用します。このビットをローレベルにすると、Tx入力ラッチはCLKOUT2を使用するようになります。

ビット5：Q/I順番

このレジスタは、受信したコンプレックス送信データの順番を指示します。このビットはデフォルトでローレベルになり、このときIデータがQデータより先行します。このビットをハイレベルにすると、QデータがIデータより先行するデータ・フォーマットになります。

ビット4：Inv TxSync

このレジスタは、TxSYNCビットを使用して最初と2番目のデータ・セットをコンプレックス・データ・セットの中で識別する方法を指定します。このビットはデフォルトでローレベルです。TxSYNCがローレベルであれば最初のデータ・セットがTxポートにあることを示し、TxSYNCがハイレベルであれば2番目のデータ・セットがTxポートにあることを示します。このビットをハイレベルに設定すると、TxSYNCビットが反転し、TxSYNCがハイレベルのときに最初のデータ・セットを指示し、TxSYNCがローレベルのときに2番目のデータ・セットを指示します。

ビット3：2の補数

Txデータのデフォルトのデータ・フォーマットは、ストリート・バイナリです。2の補数のTxデータにするときは、このビットをハイレベルにします。

ビット2：サンプル反転

デフォルトでは、CLKOUTの立上がりエッジで送信データをサンプリングします。このビットをハイレベルにすると、送信データをCLKOUTの立下がりエッジでサンプリングします。

ビット1：両エッジ

インターリーブされたデータレート f_{DAC} の1/2の周波数でCLKOUTレートを実行している場合、CLKOUTの両方のエッジで送信データをラッチする必要があります。このビットをハイレベルにすると、このクロック動作設定になります。

ビット0：インターリーブ

デフォルトで、AD9860/AD9862はパワーアップ時にシングルDAC動作になります。デュアル送信データを使用する場合は、このビットをハイレベルにして、インターリーブ・データ・オプションをイネーブルにする必要があります。

レジスタ19：Txデジタル**ビット4：2データ・パス**

このビットをハイレベルにすると、両方の送信デジタル・パスがイネーブルになります。デフォルトではこのビットはローレベルで、送信パスはチャンネルを1つだけ使用します。

ビット3：Keep-ve

このビットは、Txヒルベルト・フィルタがイネーブルであると想定し、このフィルタを正または負のパスバンドのいずれかに設定します。デフォルトはローレベルで、正の周波数が選択されています。このビットをハイレベルにすると、ヒルベルト・フィルタは負の周波数を通過させる設定になります。

ビット2：ヒルベルト

このビットは、送信パスで使用するヒルベルト・フィルタをイネーブルまたはディスエーブルにします。デフォルトはローレベルで、送信用ヒルベルト・フィルタをディスエーブルにします。このビットをハイレベルにすると、送信用ヒルベルト・フィルタがイネーブルになります。

ビット1、0：インターポレーション制御

これらのレジスタ・ビットは、送信パスのインターポレーション・レートを制御します。デフォルトはいずれもローレベルで、このときに両チャンネルのインターポレーション・フィルタをバイパスします。MSBとLSBはそれぞれアドレスD19のビット1とビット0です。バイナリの「01」に設定するとインターポレーション・レートは2倍、「10」に設定すると4倍になります。

レジスタ20：Tx変調器**ビット5：負の微調整**

このビットがローレベル（デフォルト）のとき、数値制御発振器（NCO）は微変調がイネーブルになっていると想定し、周波数が正側にシフトします。このビットをハイレベルに設定すると、微調整コンプレックス変調器で周波数が負側にシフトします。

ビット4：微調整モード

デフォルトでは、NCOと微変調段をバイパスします。このビットをハイレベルにすると、デジタルコンプレックス変調器の使用が可能になり、NCOによる調整がイネーブルになります。

ビット3：リアル・ミックス・モード

このビットは、粗変調（粗変調レジスタが制御）により各チャンネルで別々にリアル・ミックスを実行するか、デュアル・チャンネルのデータを使用してコンプレックス・ミックスを実行するかを決めます。デフォルトはローレベルで、コンプレックス・ミックスを実行します。このビットをハイレベルにすると、リアル・ミックス・モードがイネーブルになります。ちなみに、微変調ブロックはコンプレックス・ミックス動作のみを行います。

ビット2：負の粗調整

このビットがローレベル（デフォルト）のとき、粗変調器により周波数が正側にシフトします。このビットをハイレベルにすると、粗変調器で処理したデータの周波数に負のシフトが行われます。

ビット1、0：粗変調

これらのビットは、送信データに対する粗変調処理の実行方法を制御します。ビットをバイナリ「00」（デフォルト）に設定すると、変調ブロックをバイパスします。バイナリ「01」に設定すると、送信データの $f_{DAC}/4$ のシフトを行い、バイナリ「10」にすると、 $f_{DAC}/8$ のシフトを行います。

レジスタ21/22/23：NCO調整ワード**FTW [23:0]**

これらの3個のレジスタは、Txパスの微調整変調段におけるNCOの24ビット周波数調整ワード（FTW）を設定します。NCOのフルスケール調整ワードはストリート・バイナリで、分解能が $f_{DAC}/2^{24}$ で $f_{DAC}/4$ と等しい周波数を発生します。

レジスタ24：DLL**ビット6：入力クロック制御**

このビットは、AD9860/AD9862を駆動するクロックのタイプを決めます。デフォルトはローレベルで、OSC1とOSC2に接続されている水晶発振器、またはOSC1を駆動するシングルエンドの基準クロックによって内部タイミング回路を駆動します。水晶発振器を使用しない場合は、このビットをハイレベルにして、内部発振器がパワーアップ後にディスエーブルになるようにしてください。

ビット5：ADC Div2

デフォルトでは、通常のタイミング動作モードで入力クロック、代替タイミング動作モードでDLL出力によってADCを直接駆動します。このビットをハイレベルに設定すると、ADCはその前のクロック・レートの1/2のクロック周波数で動作します。詳細は、「タイミング」を参照してください。

ビット4、3：DLL通倍器

これらのビットは、DLLの通倍係数を制御します。ビットをバイナリ「00」に設定すると、DLLをバイパスします。バイナリ「01」に設定すると入力クロックを2倍にし、バイナリ「10」に設定すると4倍にします。デフォルト・モードは、パワーアップ時またはRESETでのMODE/TxBlankピンのロジック・レベルによって決まり、通常のタイミング動作モードか代替タイミング動作モードに設定されます。代替タイミング動作モードでは、DLLは4倍の通倍係数にロックされます（DLL高速レジスタはデフォルトでローレベルのままです）。MODE/TxBlankピンがローレベルの場合は、デフォルトでDLLをバイパスし、内部で1倍のクロックが使用されます。

ビット2：DLLパワーダウン

このビットをハイレベルにすると、CLK IN通倍器を強制的にパワーダウン状態にします。このモードを利用して消費電力を節約するか、または内部DLLをバイパスできます。DLLをバイパスしてAD9860/AD9862を動作させるときは、最高速のオンチップ・クロック周波数に等しい外部クロックをOSCピンに供給します。

ビット0：DLL高速

DLLを使用して、32~128MHzの出力周波数を生成できます。広範なロック周波数が使用できるため、DLLを32~64MHzの「低速」レンジと64MHzを超える周波数から128MHzまでの「高速」レンジの2つの出力周波数レンジに分

AD9860/AD9862

けます。このビットはデフォルトでローレベルになり、DLLは「低速」モードになります。DLLの出力周波数が64MHzよりも高い場合は、このビットをハイレベルに設定する必要があります。

レジスタ25 : CLKOUT

ビット7、6 : CLKOUT2分周係数

これらのビットは、DLLの出力レートを基準にしてCLKOUT2ピンが動作するクロック・レートを制御します。DLLの出力レートをそのまま直接出力するか、あるいは2分周、4分周、8分周が可能です。ビット7がMSB、ビット6がLSBです。

MSB, LSB	相対的なCLKOUT2周波数
00 (デフォルト)	DLLの出力レートに等しい
01	2分周のDLL出力レートに等しい
10	4分周のDLL出力レートに等しい
11	8分周のDLL出力レートに等しい

ビット5、1 : Inv 2/Inv 1

いずれか該当するビットをハイレベルに設定することで、CLKOUT1とCLKOUT2から出力されるクロックを反転できます。

ビット4、0 : Dis 2/Dis 1

いずれか該当するビットをハイレベルに設定することで、CLKOUT1とCLKOUT2から出力されるクロックをディスイネーブルにし、ロジック・ローレベルの出力にします。

レジスタ26~33 : Aux (補助用) ADC A2/A1/B2/B1

AUX ADC A2、A1、B2、B1データ

これらのレジスタは、10ビットの補助用ADCの読出しに使用する読出し専用レジスタです。10ビットを2個のレジスタに分割し、1つに上位8ビット、もう1つに下位2ビットを格納します。

レジスタ34 : Aux (補助用) ADC制御

ビット7 : Aux SPI (イネーブル)

専用の補助用シリアル・ポートを介して、補助用ADCの1つを制御できます。このビットをハイレベルにすると、このモードがイネーブルになります。

ビット6 : Sel BnotA (AではなくBを選択)

補助用シリアル・ポートを使用する場合、AまたはBのどちらの補助用ADCが専用の補助用シリアル・ポートを使用するかをこのビットで選択します。デフォルト (ローレベルの設定) では補助用シリアル・ポートを補助用ADC Aの制御に使用します。ビットをハイレベルにすると、補助用シリアル・ポートを補助用ADC Bの制御に使用できます。

ビット5、2 : Refsel B/Refsel A (リファレンスAまたはBを選択)
デフォルトで、補助用ADCはAUX_REFピンに印加される外部リファレンスを使用します。この電圧は、選択された補助用ADCのフルスケール・リファレンスとなります。いずれの補助用ADCも内部で生成したリファレンスを使用できます。この内部リファレンスはアナログ電源電圧をバッファしたものになります。どの補助用ADCであれ内部リファレンスをイネーブルにすると、それぞれのRefselレジスタ・ビットをハイレベルに設定してください。

ビット4、1 : B/A選択

これらのビットは、2つの入力のどちらを各補助用ADCに接続するかを選択します。デフォルト (ローレベルの設定) では、AUX_ADC_A2ピンを補助用ADC Aに、AUX_ADC_B2ピンを補助用ADC Bに接続します。各ビットをハイレベルに設定すると、AUX_ADC_A1ピンを補助用ADC Aに、AUX_ADC_B1ピンを補助用ADC Bに接続します。

ビット3、0 : B/Aスタート

これらのビットのいずれかをハイレベルにすると、AまたはBそれぞれの補助用ADCの変換動作を開始します。これらのビットは、常にローレベルがリードバックされます。

レジスタ35 : Aux (補助用) ADCクロック

ビット0 : CLK/4

デフォルト (ローレベルの設定) では、補助用ADCは受信ADC変換レートの2分周で動作します。このビットをハイレベルにすると、受信ADC変換レートの1/4のクロックで動作します。補助用ADCの変換レートは20MHzより低くしてください。

レジスタ36、37、38 : Aux (補助用) DAC A/B/C

補助用DAC A、B、C出力制御ワード

この3つの8ビットのストレート・バイナリのワードを使用して、3個のオンチップ補助用DACの出力を制御します。シリアル書込みが完了すると直ちに補助用DAC出力を変更します。DAC出力制御ワードのデフォルト値は0です。出力制御ワードの設定値が小さいほど、DAC出力のレベルが低くなります。

レジスタ39 : Aux (補助用) DAC更新

ビット7 : スレープ・イネーブル

このビットをローレベル (デフォルト) にすると、該当する各レジスタの書込みが終了した後、補助用DACの出力を更新します。補助用DACの出力を相互に同期させるには、このビットをハイレベルに設定してから該当する更新レジスタをハイレベルに設定して、スレープ・モードをイネーブル (ローレベル) にします。

ビット2、1、0 : C、B、A更新

スレープ・イネーブル・レジスタを使用してスレープ・モードをイネーブルに設定しているときに、このいずれかのレジスタ・ビットをハイレベルにすると、該当する補助用DAC A、B、Cの出力の更新を開始します。このレジスタ・ビットはワンショットであるため、常にローレベルの値を読み出します。補助用DAC同期オプションを使用する場合は、スレープ・イネーブル・ビットを必ずハイレベルにしておく必要があります。

レジスタ40 : Aux (補助用) DACパワーダウン

ビット2、1、0 : C、B、Aパワーダウン

これらのビットのいずれかをハイレベルにすると、該当する補助用DACがパワーダウンします。デフォルトでローレベルになり、補助用DACはイネーブルになります。

レジスタ41 : Aux (補助用) DAC制御

ビット4、2、0 : Inv C、B、A

これらのビットのいずれかをハイレベルにすると、該当する補助用DACの制御ワード設定が反転します。各ビットはデフォルトでローレベルになり、出力制御ワードは非反転のストレート・バイナリとしてデコードされます。

レジスタ42/43 : SIGDELT ($\Sigma\Delta$)

$\Sigma\Delta$ 出力制御ワード

12ビットのストレート・バイナリ・ワードを使用して、オンチップの $\Sigma\Delta$ 型コンバータの出力を制御します。 $\Sigma\Delta$ 出力の変更は、シリアル書込みが完了すると直ちに有効になります。 $\Sigma\Delta$ 出力制御ワードのデフォルト値は0です。出力制御ワードの設定値が小さいほど、内蔵の $\Sigma\Delta$ の出力レベルが小さくなります。

レジスタ49、50 : ADC低消費電力

これらのビットをハイレベルにすると、デバイスが低速で動作するときADCのアナログ回路ブロックのバイアス電流をスケールダウンします。各ビットはデフォルトでローレベルになり、バイアスは通常の設定になります。

32MSPS以下でADCを動作させる場合は、レジスタ49を0x03、レジスタ50を0xECに設定してください。この設定により、Rx AVDDの消費電力が公称値の約30%低減します。

16MSPS以下でADCを動作させる場合は、レジスタ49を0x03、レジスタ50を0x9Eに設定してください。この設定により、Rx AVDDの消費電力が公称値の約60%低減します。

レジスタ63 : チップID

ビット7~0 : Rev ID

この読出し専用レジスタは、AD9860/AD9862のバージョンを示します。

レジスタ46~62 : RSV (予備)

予備レジスタは将来の開発のために取ってあるものです。書込みはしないでください。

ブランクのレジスタ・ビット

ブランクのレジスタは0が設定されており、機能が指示されていません。これはAD9860/AD9862の制御ビットのスペースを論理的な手法で割り当てるために、レジスタ・マップ全体で使用するブランクホルダであり、将来の開発で使用する可能性があります。書込みが必要な場合は、必ずロジック・ローの値を書き込んでください。

シリアル・ポート・インターフェース

シリアル・ポート・インターフェース (SPI) は、AD9860/AD9862の内部プログラマブル・レジスタの書込みや読出しに使用します。シリアル・インターフェースはデフォルトでSEN、SCLK、SDIO、SDOの4本のピンを使用します。SENはシリアル・ポート・イネーブル・ピン、SCLKはシリアル・クロック・ピン、SDIOは双方向データ・ライン、SDOはシリアル出力ピンです。

SENは、アクティブ・ローレベルの制御ゲーティング読出しおよび書込みサイクルです。SENがハイレベルのとき、SDOとSDIOはスリーステートになります。

SCLKを使用して、16MHzの最大ビット・レートでSPI読出しおよび書込み動作を同期させます。入力データはSCLKの立上がりエッジでバッファに書き込まれ、立下がりエッジで1ビット・シフトされます。書込み動作では、クロックの16番目の立上がりエッジ (デュアル・バイトのケースではクロックの24番目の立上がりエッジ) の後レジスタが更新されます。不完全な書込み動作は無視されます。

SDIOはデフォルトで入力専用です。オプションで、SDIOを入出力両方に使用し、SDOピンをスリーステートにすることによって3ピンのインターフェースを設定できます (SDIO BiDirレジスタを参照)。

SDOは4線式の読出し動作に使用するシリアル出力ピンであり、SDIOを双方向動作に設定しているときにはスリーステートになります。

命令ヘッダ

SPIの読出しまたは書込みは、それぞれ命令ヘッダとレジスタ・データで構成されます。命令ヘッダは8ビットのワードであり、レジスタ・データの転送設定に使用します。この8ビット・ワードは読出し/非書込みビットのR/nW (MSB)、続いてダブル/非シングル・ビット (2/n1)、6ビットのレジスタ・アドレスで構成されます。

書込み動作

SPIの書込み動作は命令ヘッダを使用して、2/n1ビットを用いて1つまたは2つのレジスタ書込みを設定します。命令バイトとその後に続くレジスタ・データは、SCLKのインターフェース・クロックの立上がりエッジでSDIOピンからデバイスにシリアルに書き込まれます。LSBファースト・レジスタの設定に応じて、データをMSBファーストまたはLSBファーストで転送できます。

図1に、デバイスにデータを書き込む例をいくつか示します。図1aは、1バイトおよびMSBファーストのモード設定を利用した書込み動作です。図1bはMSBファースト、2バイトの書込み、図1cはLSBファースト、2バイトの書込みモード動作です。LSBファーストとMSBファーストの各モードには相違があるので、注意してください。命令ヘッダとデータの順番が逆になり、2バイトの書込みでは最初のデータバイトがヘッダのアドレスに書き込まれ、Nと2番目のデータバイトはn-1のアドレスに書き込まれます。LSBファースト・モードのときには、最初のデータバイトは命令ヘッダのアドレスに書き込まれますが、2番目のデータバイトはN+1のアドレスに書き込まれます。

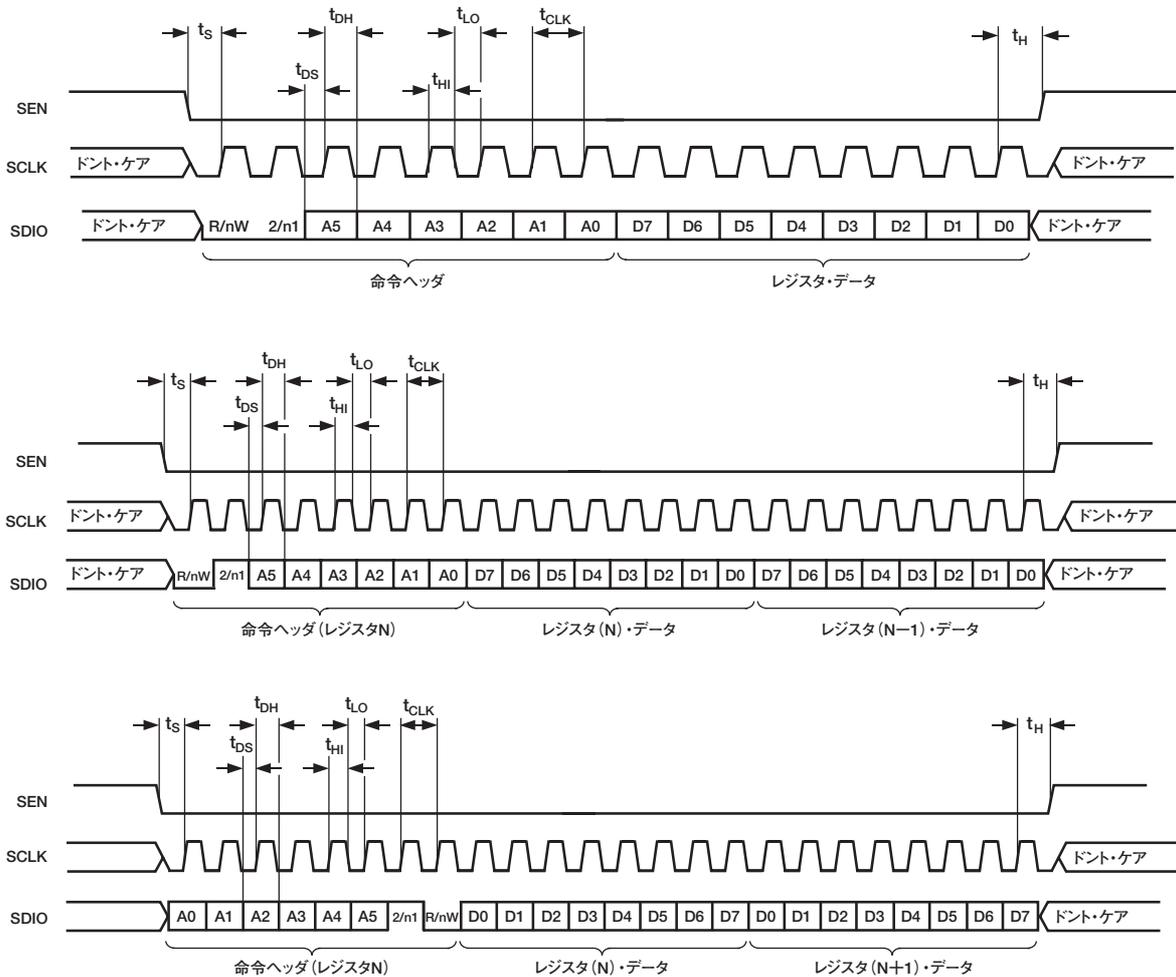


図1. SPI書込み動作の例：a. (上) 1バイト、MSBファースト・モード；b. (中央) 2バイト、MSBファースト・モード；c. (下) 2バイト、LSBファースト・モード

AD9860/AD9862

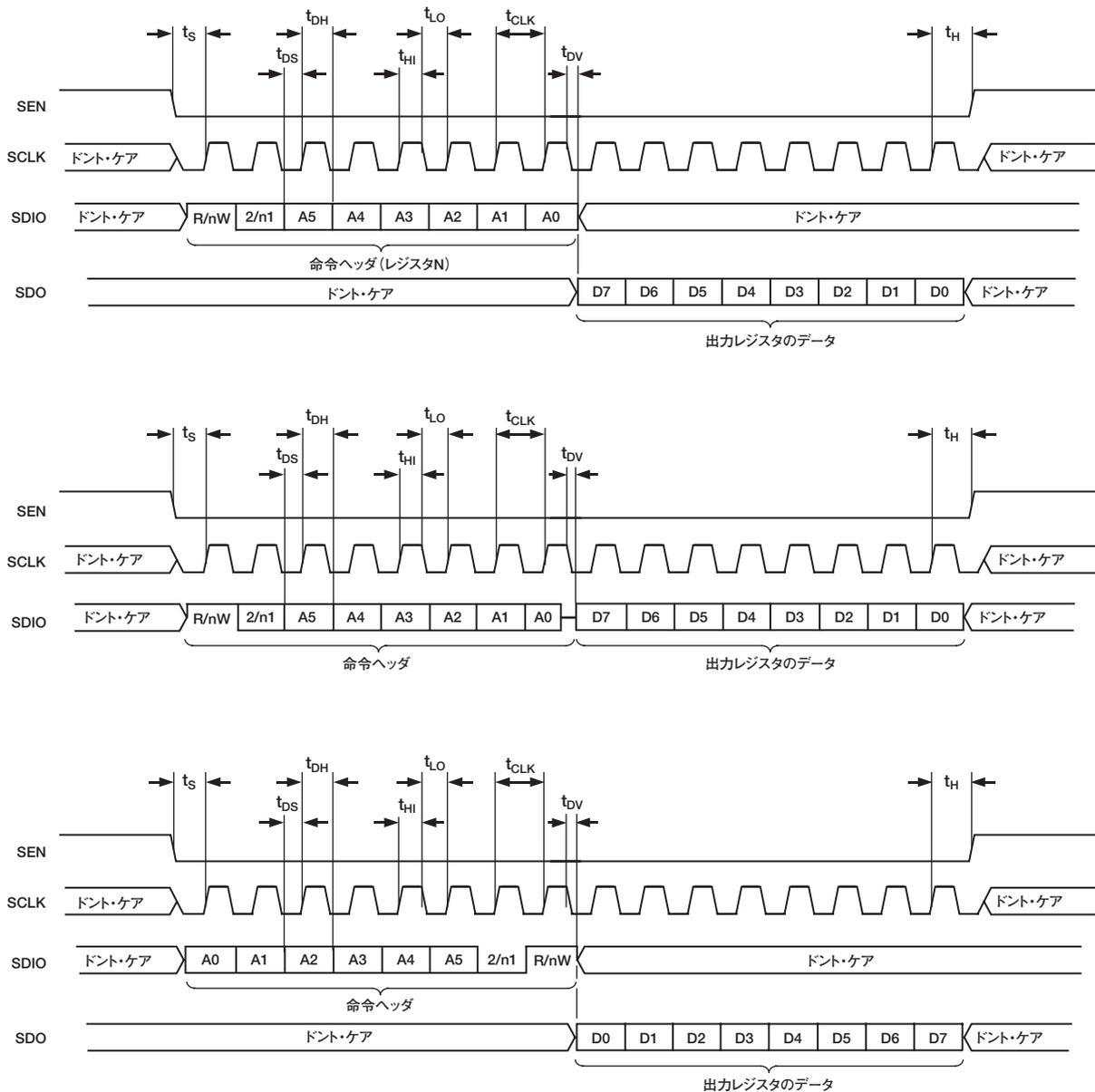


図2. SPI読出し動作の例：a. (上) 4線式インターフェース、MSBファースト；b. (中央) 3線式インターフェース、MSBファースト；c. (下) 4線式インターフェース、LSBファースト

読出し動作

レジスタの読出しは、シングル・データバイト動作です。3ピンまたは4ピンを使用する読出しの設定が可能です。MSBファーストかLSBファーストの転送フォーマットを選択できます。命令ヘッダが（モードに応じて）MSBファーストかLSBファーストでデバイスに書き込まれ、続いて8ビットの出力データ（MSBまたはLSB詰め）が読み出されます。デフォルトでは、出力データは専用の出力ピン（SDO）に送られます。3線式動作は、SDIO BiDirレジスタによって設定します。3線式モードでは、読出し要求が含まれる8ビットの命令ヘッダを受信した後SDIOピンが出力ピンになります。

図2aはMSBファースト、4ピンのSPI読出し、図2bはMSBファースト、3ピンの読出し、図2cはLSBファースト、4ピンの読出しです。

システム・ブロックの説明

AD9860/AD9862は、デジタル信号処理ブロックと補助機能とともに送信パスと受信パスを内蔵しています。補助機能には、2個の補助用ADC、プログラマブル $\Sigma\Delta$ 出力、3個の補助用DAC、あ

らゆる内部クロックを生成するためのクロック回路、入力基準クロックから生成されるバッファ付きクロック出力があります。

AD9860/AD9862のシステム機能を送信ブロック、受信ブロック、タイミング発生ブロック、補助機能ブロックの4つに分けて説明します。以下に、この4つのブロックとそれぞれのアプリケーションについて簡単に説明します。

送信ブロックの構成要素

送信ブロック（Tx）はリアル・データまたはコンプレックス・データを受け入れ、そのデータを処理します。Txインターフェースはさまざまなデータ・フォーマットに設定でき、インターポレーション・フィルタやヒルベルト・フィルタなどの特殊な処理オプションがあります。図3に、AD9860/AD9862の送信パスの詳細なブロック図を示します。送信ブロック図は、DAC（ブロックA）、粗調整変調段（ブロックB）、インターポレーション段（ブロックC）、微調整変調段（ブロックD）、ヒルベルト・フィルタ（ブロックE）、ラッチ/デマルチプレクサ回路に分かれています。

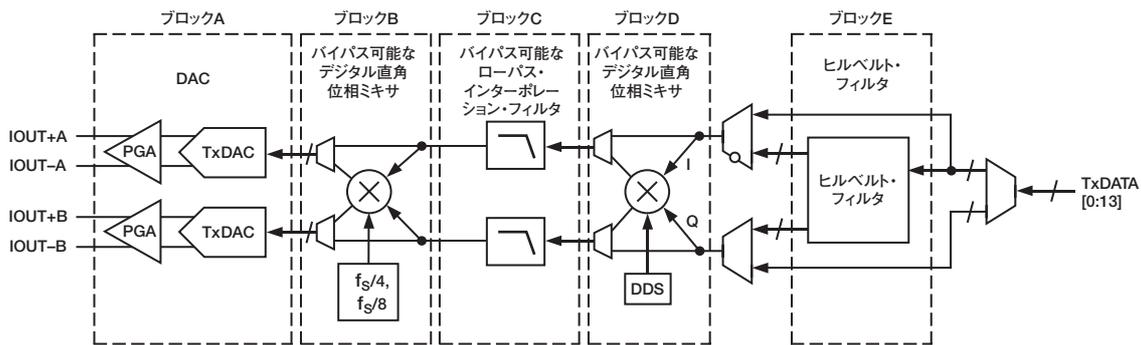


図3. 送信ブロック図

DAC

AD9860/AD9862のDAC段には、高性能のTxDACコア、プログラマブル・ゲイン・アンプ (TxPGA) によるプログラマブル・ゲイン制御、粗調整ゲイン制御、システム mismatches を補償するためのオフセット調整と微調整ゲイン制御の各種回路から構成されています。

AD9860/AD9862のTxDACコアは、12/14ビットのデータから生成した2つの差動、相補電流出力を供給します。12/14ビットのデュアルDACは、最大128MSPSの更新レートに対応できます。各デュアルDACの差動出力 (IOUT+とIOUT-) は相補的であるため、合計すると常にDACのフルスケール出力電流 I_{OUTFS} になります。平衡した負荷またはトランスを駆動する差動電流インターフェースによって、最適なAC性能が得られます。

最大フルスケール出力電流 $I_{OUTFSMAX}$ は、DACのリファレンス電流を設定する外部抵抗 (R_{SET}) を使用して設定します。 R_{SET} 抵抗はFSADJピンとグラウンド間に接続します。 $I_{OUTFSMAX}$ と R_{SET} の関係は、以下の式で表すことができます。

$$I_{OUTFSMAX} \cong 67 \times \left(\frac{1.23V}{R_{SET}} \right)$$

通常、 R_{SET} には4k Ω が用いられるため $I_{OUTFSMAX}$ は20mAになり、TxDACの動的性能が最適なものになります。 R_{SET} の値を2倍にすると、 $I_{OUTFSMAX}$ が反比例して1/2に減少します。各DACの $I_{OUTFSMAX}$ の再スケリングは、TxPGAゲイン・レジスタを使用して同時に行うことも、DAC A/B粗調整ゲイン・レジスタを使用して別々に行うこともできます。

TxPGA機能は両方のDACのゲインを同時に20dBのレンジで設定しますが、SPIレジスタにTxPGAゲインを書き込むことによってTxPGA機能を制御し、フルスケール出力を $I_{OUTFSMAX}$ の10~100%のレンジで設定できます。ゲイン曲線は、約0.1dBのステップをもつdB単位の直線となります。内部では、内部TxPGA DACでメインDACのバイアス電流を変化させることによってゲインを制御します。TxPGA DACの出力はオンチップのR-Cフィルタを介して強力にフィルタリングされ、連続的なゲイン遷移を提供します。ちなみにTxPGA高速レジスタの書き込みによって、TxPGA DACのセットリング時間と帯域幅性能を2倍に改善できます。

各DACには、独立した粗調整ゲイン制御回路があります。この粗調整ゲイン制御機能を使用して、デュアルDACからの差動 I_{OUTFS} を受け入れます。DAC A/B粗調整ゲイン・レジスタによって、粗調整フルスケール出力制御電流をフルスケール電流の公称値の1/2または1/11に調整できます。

微調整ゲイン制御とDCオフセット制御機能を利用して mismatches を補償できるため (システム・レベルのキャリブレーション)、2つのTxチャンネルのマッチング特性を改善し、LOフィードスルーを抑制できます。これは、イメージ除去アーキテクチャで特に役に立ちます。各DACの10ビットDCオフセット制御を個別に

使用して、オフセットの $\pm 12\%$ の $I_{OUTFSMAX}$ を差動ピンのいずれかに加えて、システム・オフセットのキャリブレーションができます。また、5ビット分解能の微調整ゲイン制御によって、各DACの $I_{OUTFSMAX}$ を $\pm 4\%$ のレンジで変化させることができ、DACまたはシステムのゲイン・ mismatches の補償が可能です。微調整ゲイン制御はDAC A/B微調整ゲイン・レジスタで設定し、各DACのオフセット制御はDAC A/Bオフセット・レジスタで設定します。

パワーダウン・オプションによって、DACの両方または一方のアナログ電源電流を個別にパワーダウンできます。Txパワーダウン・レジスタまたはMODE/TxBlankピンを使用して、デジタル・パワーダウンを設定することも可能です。

粗調整変調器

送信パスのデジタル粗調整変調器を利用して、入力データのスペクトルに対し $\pm f_{DAC}/4$ または $\pm f_{DAC}/8$ のコンプレックス・シフトができます。入力データがコンプレックス・データで構成されている場合は、この変調器を入力スペクトルのコンプレックス変調を実行するように設定できます。送信パスのデータがコンプレックス・データではない場合は、各チャンネルは個別にリアル・ミックスを実行でき、リアル・データとリアル・イメージを $\pm f_{DAC}/4$ または $\pm f_{DAC}/8$ で周波数シフトします。リアル・ミックスまたはコンプレックス・ミックスの設定は、リアル・ミックス・レジスタを使用して行います。

デフォルトでは粗調整変調器をバイパスします。粗調整変調器を設定するには、粗調整変調器レジスタと負の粗調整レジスタを使用します。

インターポレーション段

AD9860/AD9862の送信パスでインターポレーション・フィルタを利用でき、1倍 (バイパス)、2倍、または4倍のインターポレーションを設定できます。インターポレーション・フィルタはTxのデータレートを効果的に高めながら、同時にオリジナルのイメージ周波数成分を抑制します。インターポレーション・フィルタはデジタル手法で最悪のイメージをシフトして対象となる信号から遠ざけるため、アナログ出力再構成フィルタに求められる条件を軽減します。

Txパスでは、2倍のインターポレーション・フィルタが2つあります。2つのインターポレーション・フィルタで、4倍のインターポレーション・レートが得られます。最初の2倍のインターポレーション・フィルタのみをイネーブルにすれば、2倍のインターポレーション・レートになります。

最初のインターポレーション・フィルタは、39タップのフィルタを使用して2倍のインターポレーションを実行します。このフィルタは帯域外信号を60dB以上除去し、AD9860/AD9862の入力Txデータレートの38% (DAC更新レート f_{DAC} の19%) まで平坦なパスバンド応答性 (0.1dB以下のリップル) があります。2倍のインターポレーション使用時の入力データレートの最大値は、チャンネル当たり64MSPSです。

AD9860/AD9862

2番目のインターポレーション・フィルタでさらに2倍のインターポレーションを実行するため、合計4倍のインターポレーションになります。2番目のフィルタは、15タップのフィルタです。帯域外信号を60dB以上除去します。平坦なパスバンド応答性（0.1dB未満の減衰量）は、Tx入力データレートの38%（ f_{DAC} の9.5%）にまでなります。4倍のインターポレーションの使用時の入力データレートの最大値は、チャンネル当たり32MSPSです。

図4aと図4bに、2倍と4倍のインターポレーション・フィルタの伝達関数プロットをそれぞれ示します。

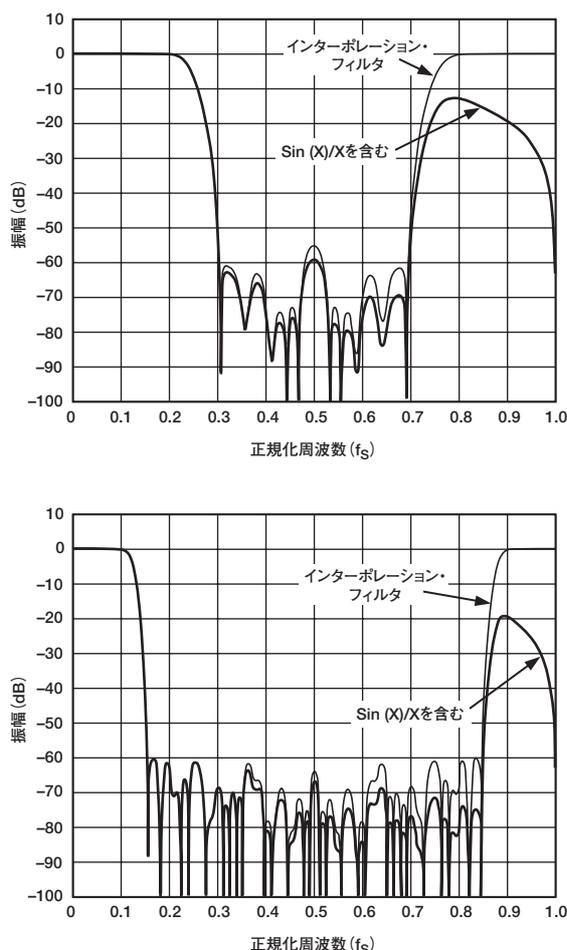


図4. 2倍のインターポレーション・フィルタ（上）と4倍のインターポレーション・フィルタ（下）のスペクトル応答性

微変調段

送信パスのデジタル微変調段を使用することによって、24ビットの数値制御発振器（NCO）によりTxのコンプレックス出力スペクトルをシフトできます。この微変調ブロックを利用するには、4倍のインターポレーションが必要です。そのために、各チャンネルの入力データレートの最大値を32MSPSとし、128MSPSのDAC更新レート f_{DAC} を生成します。NCOは f_{DAC} の1/4まで同調でき、 $f_{DAC}/2^{26}$ のステップ分解能が得られます。微変調段はインターポレーション・フィルタの前段に配置されるため、対象となる信号全体が必ずインターポレーション・フィルタのパスバンド範囲内に入るように注意する必要があります。

デフォルトでは、微変調ブロックはバイパスします。これをイネーブルにして、TxのIおよびQデータのコンプレックス・ミックスを実行するときは、レジスタ2の微変調と微調整のデータ・バスを設定してください。NCO周波数の同調ワードは、3個のFTWレジスタを使用して設定します。

ヒルベルト・フィルタ

ヒルベルト・フィルタを使用して、入力データレートの12.5～38%までのレンジの低い中間周波数（IF）で「リアル」データのヒルベルト変換を実行できます。ヒルベルト・フィルタは基本的にシングル・チャンネルの「リアル」入力データを、イメージ除去アーキテクチャの一部として利用できるコンプレックス・データ（IおよびQ成分）に変換します。このコンプレックス・データは、その後オンチップのデジタル複合変調器を使用して、さらに処理されます。ヒルベルト・フィルタでは4倍のインターポレーションをイネーブルにする必要があり、最大32MSPSのデータを受け入れます。図5に、ヒルベルト・フィルタのインパルス応答性のスペクトル・プロットを示します。

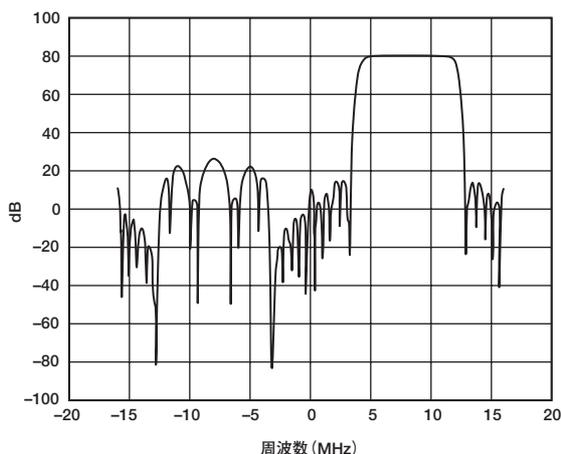


図5. 正の周波数を維持するTxヒルベルト・フィルタのスペクトル・プロット

ラッチ/デマルチプレクサ

AD9860/AD9862のTxバスは、2チャンネルまたは1チャンネルのデータを受け入れます。2チャンネルのデータは、2つの独立したリアル信号かコンプレックス信号にすることができます。CLKOUT1またはCLKOUT2のいずれかを基準とするさまざまな入力データ・ラッチ方式を利用することが可能であり、クロックの立上がりエッジと立下がりエッジを任意に組み合わせで使用することもできます。

関連するTxタイミングの詳細は、本データシートの「クロックの概要」で説明しています。

送信アプリケーション・セクション

AD9860/AD9862の送信バス（Tx）には、高速、高性能の12/14ビットTxDACが2つ内蔵されています。図3に送信データ・バスの詳細なブロック図を示しますが、これは各種動作モードの説明で参考にすることができます。入力データのフォーマットに基づいて、各種のTx動作モードを以下の3つの部分に分けることができます。

1. シングル・チャンネルDACデータ
2. 2つの独立したリアル信号DACデータ（ダイバーシティまたは2チャンネル）
3. 2チャンネルコンプレックスDACデータ（IおよびQまたはシングル・サイドバンド）

シングル・チャンネルDACデータ

このモードでは、12/14ビットのシングル・チャンネルのTxデータをAD9860/AD9862に供給し、本データシートの「クロックの概要」で示すようにCLKOUT1またはCLKOUT2のクロック・エッジを使用してラッチします。Txデジタル信号処理ブロックをすべて利用して、DAC出力側での再構成フィルタリングに対応し、周波数の同調ができます。

ほとんどのシステムでは、スペクトル・マスクと帯域外スプリアス放射に関する条件を満たすために、DAC（および各アップコンバータ段）でアナログ・フィルタリングを行う必要があります。デジタル・インターポレーション（ブロックC）とヒルベルト・フィルタリング（ブロックE）を利用することで、システムにおけるアナログ・フィルタリングをいくらか軽減できます。

このモードでは、最大64MSPSの入力データレートの2倍のデジタル・インターポレーション、または最大32MSPSの入力データレートの4倍のデジタル・インターポレーションを利用できます（またはインターポレーション・フィルタをバイパスすれば、128MSPSの入力データレートが可能です）。2倍または4倍のインターポレーションをイネーブルにしたときのデータ帯域幅の最大値は、入力データレートの38%です。インターポレーションをイネーブルにしなければ、データ帯域幅はSincフィルタ制限をもった最高のナイキスト周波数帯域幅になります。インターポレーション・フィルタは、インターポレーション・シリアル・レジスタを使用して設定します。

このモードでヒルベルト・フィルタをイネーブルにすれば、リアルデータに通常生じる正または負のイメージ周波数成分を抑制できます。シングル・サイドバンド信号と直交変調器を組み合わせることで、対象となる信号と抑制されたイメージ周波数をアップコンバートし、ハートレー型イメージ除去アーキテクチャを形成できます（このイメージ除去アーキテクチャを作るには、両方のTxパスをイネーブルにする必要があります）。ヒルベルト・フィルタには、入力データレートの12.5~38%までの信号に対して50dBを超えるイメージ除去性能があります。ヒルベルト・フィルタのイネーブルと設定には、ヒルベルト・レジスタとKeep-veシリアル・レジスタを使用します。

このモードのとき、粗変調ブロックを使用してTx出力のデジタル周波数同調を行うことも可能です。粗変調ブロックを使用して、Tx信号の $-f_{DAC}/4$ 、 $-f_{DAC}/8$ 、 $+f_{DAC}/8$ 、または $+f_{DAC}/4$ の周波数シフトができます。粗変調器ではヒルベルト・フィルタをイネーブルにする必要がなく、リアル信号とイメージ周波数がシフトします。ヒルベルト・フィルタをイネーブルにすると、粗変調器によってシングル・サイドバンド信号のコンプレックス・ミックス動作を実行できます（注：シングル・サイドバンド・データを外部から供給する場合は、ヒルベルト・フィルタをイネーブルにする必要はありません）。

微変調器を使用することで、Txデータ・スペクトルを $f_{DAC}/2^{26}$ の分解能で正または負の方向にシフトするように出力信号を高精度に設定できます。このモードで微変調器を使用する場合は、4倍のインターポレーションとヒルベルト・フィルタをイネーブルにする必要があります。粗変調器と微変調器の両方を使用すれば、DACナイキスト周波数の±68%のレンジの同調が可能です。

すべてのTx DSPブロックをバイパスすると、AD9860/AD9862は標準的なTxDACと同様に動作します。シングル・チャンネルDACデータのモードでは、チャンネルAのDACのみが使用されます。消費電力を低減するために、チャンネルBはパワーダウンします。

2つの独立したリアル信号DACデータ

ダイバーシティ信号や2チャンネルの信号を送信するときは、2チャンネル・リアル信号DACデータのモードを使用します。このモードでは、12/14ビットの2チャンネルのインターリーブされたTxデータがAD9860/AD9862に与えられ、本データシートの「クロックの概要」に示すようにCLKOUT1またはCLKOUT2のクロック・エッジでラッチされます。両方のTxパスがイネーブルで、2つの信号を別々に処理します。このモー

ドで利用できるTxデジタル処理ブロックは、インターポレーション・フィルタ（ブロックC）と粗変調器（ブロックD）です。

前述のように、インターポレーション・フィルタを使用することで外付けアナログ・フィルタの条件を緩和できます。Txインターフェースの最大レートは128MSPSで、インターリーブされたデータでチャンネル当たり64MSPSになります。このため、各DACの128MSPSの最大更新レートをフルに活用するには、2倍のインターポレーションが必要です。入力データレートをチャンネル当たり32MSPS（64MSPSのデータ・インターリーブ）以下にする場合は、4倍のインターポレーション・フィルタの使用を推奨します。2倍または4倍のインターポレーションをイネーブルにしたときのデータ帯域幅の最大値は、チャンネル入力データレートの37.5%です。インターポレーションをイネーブルにしなければ、データ帯域幅はSincフィルタ制限をもった最高のナイキスト周波数帯域幅になります。インターポレーション・フィルタは、インターポレーション・シリアル・レジスタを使用して設定します。

粗変調器は、 $f_{DAC}/4$ または $f_{DAC}/8$ のリアル・ミックスを各チャンネルで実行します。

2チャンネル・コンプレックスDACデータ

コンプレックスTx信号（IおよびQ信号）を生成するときは、2チャンネル・コンプレックスDACデータ（シングル・サイドバンド・データとも呼ばれる）のモードを使用します。このモードでは、12/14ビットのインターリーブされたIおよびQデータがAD9860/AD9862に与えられ、本データシートの「クロックの概要」に示すようにCLKOUT1またはCLKOUT2のクロック・エッジでラッチされます。両方のTxパスがイネーブルで、2つの信号を1つのコンプレックス波形として処理します。このモードで利用できるTxデジタル処理ブロックは、微変調器（ブロックB）、インターポレーション・フィルタ（ブロックC）、粗変調器（ブロックD）です。

前述のように、インターポレーション・フィルタを使用することで外付けアナログ・フィルタの条件を緩和できます。Txインターフェースの最大レートは128MSPSで、インターリーブされたデータでチャンネル当たり64MSPSになります（上記のモードと同じ）。このため、各DACの128MSPSの最大更新レートをフルに活用するには、2倍のインターポレーションが必要です。入力データレートをチャンネル当たり32MSPS（64MSPSのデータ・インターリーブ）以下とする場合は、4倍のインターポレーション・フィルタの使用を推奨します。2倍または4倍のインターポレーションをイネーブルにしたときのデータ帯域幅の最大値は、チャンネル入力データレートの37.5%です。インターポレーションをイネーブルにしなければ、データ帯域幅はSincフィルタ制限をもった最高のナイキスト周波数帯域幅になります。インターポレーション・フィルタは、インターポレーション・シリアル・レジスタを使用して設定します。

粗変調器および/または微変調器によって、シングル・サイドバンド信号のコンプレックス・ミックスを実行できます。粗変調ブロックを使用して、Tx信号の $-f_{DAC}/4$ 、 $-f_{DAC}/8$ 、 $+f_{DAC}/8$ 、または $+f_{DAC}/4$ の周波数シフトができます。微変調器を使用することで、Txデータ・スペクトルをDAC更新レートの $1/2^{26}$ の分解能で正または負の方向にシフトするように出力信号を高精度に設定できます。微変調器を使用する場合は、4倍のインターポレーションをイネーブルにする必要があります。粗変調器と微変調器の両方を使用すれば、DACナイキスト周波数の±70%のレンジの同調が可能です。

AD9860/AD9862

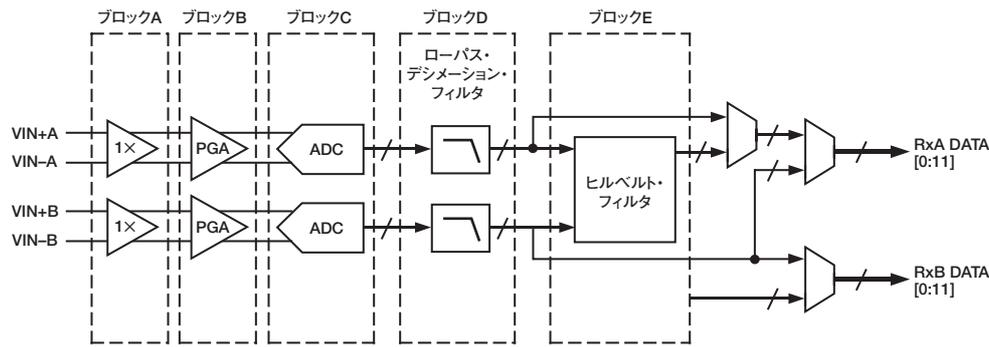


図6. 受信ブロック図

受信ブロックの構成要素

受信ブロックはさまざまなフォーマットの入力信号を処理するように設定でき、入力バッファ、ゲイン段、デシメーション・フィルタなどの特殊な機能が備わっています。図6に、AD9860/AD9862の受信パス・ブロック図を示します。このブロック図は、入力バッファ (ブロックA)、RxPGA (ブロックB)、デュアル10/12ビットの64MSPS ADC (ブロックC)、デシメーション・フィルタ (ブロックD)、デジタル・ヒルベルト・ブロック (ブロックE)、データ出力マルチプレクサの回路段に分かれています。各回路段の機能を以下に説明します。

入力バッファ段

入力バッファ段は、両方の受信パスのオンチップ入力信号をバッファします。このバッファ段は2つの主な利点として、一定の入力インピーダンスを維持するとともに、チップ上に発生し、アナログ入力信号に悪影響を及ぼす「キックバック」ノイズを低減します。

Rxパスのサンプリング・モードは、入力信号の周波数に応じて2つのカテゴリーに分けられます。ADCのナイキスト周波数までの入力信号をサンプリングするときはナイキスト・サンプリングと呼ばれ、ADCのナイキスト周波数を上回るレートでのサンプリングのときはIFサンプリングまたはアンダーサンプリングと呼ばれます。

ナイキスト・サンプリングの場合、入力バッファは入力信号レンジの全域で一定の200Ωのインピーダンスを維持します。入力インピーダンスが一定であれば、マッチング・ネットワークに対応し、デバイスの入力に信号を正しく伝達することができます。入力バッファは約2Vのセルフ・バイアス機能も持っているため、差動Rx信号はACカップリングして入力するか、または2Vのコモンモード電圧をもたせる必要があります。外部バッファがある場合は、消費電力を低減するために内部バッファをバイパスしてパワーダウンしてください。入力バッファは最大2Vp-pの入力信号を受け入れ、最大限のSNR性能を実現します。1Vp-pの入力信号のときに、最適なTHD性能が得られます。

IFサンプリングの場合、入力バッファは-3dB、100MHzの帯域幅もっています。入力信号のアンダーサンプリング時は、オリジナルの高い周波数信号のエリアシング成分が出力スペクトルに含まれます。ナイキスト・サンプリングの場合と同様、入力信号をRxの差動入力にACカップリングするか、入力信号の同相電圧を約2Vにする必要があります。入力信号が100MHz超～約250MHzまでの場合は、入力バッファをバイパスして、必ず外付け入力バッファを使用してください。入力バッファをバイパスするときは、入力回路はスイッチド・キャパシタ・ネットワークになります。サンプリング時のスイッチング入力インピーダンスは、約 $1/(2(\pi)FC)$ です。ここでFは入力周波数、Cは入力容量 (約4pF) です。ホールド・モードでの入力インピーダンスは、1MΩを超えます。

RxPGA

RxPGA段には、入力信号を増幅してADCの入力レンジ全域を利用できるようにするPGA (プログラマブル・ゲイン・アンプ) があります。約1dBのステップで0～20dBのゲイン・レンジが得られます。5ビットSPIプログラマブルRxPGA A/Bレジスタの2つを使用して、Rxチャンネルとは無関係にゲインを制御できます。ゲインの特性曲線はデシベル・リニアで、最小ゲイン設定値 (0dBの公称値) は00H、最大ゲイン設定値 (20dBの公称値) は16進数値で14Hです。

RxPGA段は、最大2Vp-pの信号をADCの入力に供給できます。

A/Dコンバータ

A/Dコンバータ (ADC) 段は、10/12ビット、64MSPSの高性能A/Dコンバータ2個で構成されます。デュアルA/Dコンバータ・パスは、共有する内部バンドギャップ・リファレンス電圧源 V_{REF} を除き、完全に独立しています。A/Dコンバータの各パスは、フロントエンドのサンプル&ホールド・アンプとその後段に続くパイプライン型スイッチド・キャパシタA/Dコンバータで構成されます。パイプライン型A/Dコンバータは、4ビットの初段、8個の1.5ビット段、3ビットの最終フラッシュ段の3つのセクションに分けられます。各段は十分にオーバーラップしているため、前の段で発生したフラッシュ誤差を補正できます。各段からの量子化出力はデジタル補正ロジック・ブロックを経由して結合され、最終的に12ビットの結果が得られます。パイプライン・アーキテクチャにより、初段は新しい入力サンプルで動作し、その他の後段は前段のサンプルに基づいて動作します。サンプリングは、クロックの上上がりエッジで実行します。

最終段を除くパイプラインの各段は、スイッチド・キャパシタDACと段間残差アンプ (MDAC) に接続する低分解能のフラッシュ型A/Dコンバータで構成されています。残差アンプは、再構成されたDACの出力とパイプラインの次の段のフラッシュ入力との間の電圧差を増幅します。1ビットの冗長性を各段で適用するため、フラッシュ誤差のデジタル補正が簡単になります。最終段は、フラッシュ型A/Dコンバータのみです。

AD9860/AD9862には、2Vp-pの差動入力レンジの設定に使用する安定した高精度の1.0V出力のバンドギャップ電圧リファレンスが内蔵されています。 V_{REF} ピンとグラウンド間に10μFと0.1μFのコンデンサを並列に接続して、内部で生成されるリファレンスを V_{REF} ピンでデカップリングしてください。各コンバータのトップとボトムのリファレンスである V_{RT} と V_{RB} が V_{REF} からそれぞれ生成されますが、これも同様にデカップリングしてください。トップとボトムのリファレンスに推奨するデカップリングは、各差動リファレンス・ピンの間に10μFと0.1μFのコンデンサを並列に接続し、これらのピンとグラウンドの間に0.1μFのコンデンサを接続する方法です。内部リファレンスをディスエーブル (パワーダウン) に設定し、外部からの駆動によって、差動入力レンジを設定するか、低

ドリフトのリファレンスにすることも可能です。外部 V_{REF} リファレンスを使用する場合は、外部リファレンスの電圧が1.0Vを超えないようにしてください。

共有リファレンス・モードを使用すれば、2つのADCからの差動リファレンスを外部で相互に接続することで優れたゲイン・マッチング性能が得られます。各ADCをそれぞれ独立して機能させる場合は、リファレンスを分離させることができるため、チャンネル間の優れた絶縁が実現します。共有リファレンス・モードは、共有リファレンス・レジスタを使用してイネーブルにします。

パワーダウン・オプションでは、ADCを2つともパワーダウン（スリープ・モード）するか、どちらかのADCを個別にパワーダウンして消費電力を低減できます。

デシメーション段

最大周波数がADCのサンプリング・レート f_{ADC} の3/16以下の信号に対しては、1/2デシメーション・フィルタ（ハーフバンド・フィルタ）を使用して帯域外のイメージ周波数とノイズをオンチップで抑制できます。しかし、 f_{ADC} の1/4よりも大きい周波数のデータがある場合は、1/2デシメーション・フィルタの回路を切断してディスプレイにしてください。デシメーション・フィルタは、ADCで入力をオーバーサンプリングしながら、出力データレートを1/2に低減できます。デシメーション・フィルタには、入力のアンチエイリアシング・フィルタの簡素化のほか、外部デジタルASICとのデータ・インターフェース・レートを低速化できるという2つの大きな利点があります。デシメーション・フィルタは11タップのフィルタであり、帯域外ノイズを38dBまで抑制します。

ヒルベルト・ブロック

ヒルベルト・フィルタを利用することで、チャンネルBのADCから出力されるデータのヒルベルト変換が可能です。デジタル・ヒルベルト変換と外部のコンプレックス・ダウンコンバータを組み合わせることで、受信イメージ除去アーキテクチャ（ハートレー型イメージ除去アーキテクチャと同様）を形成できます。ヒルベルト・フィルタのパスバンド（0.1dBより低いリップル）は、入力データレートのナイキスト周波数の25~75%になります。Rxヒルベルト・フィルタの最大データレートは、32MSPSです。ADCのサンプリング・レートがこれよりも高い場合は、デシメーション・フィルタをイネーブルにしてください。図7に、ヒルベルト・フィルタの伝達関数のプロットを示します。

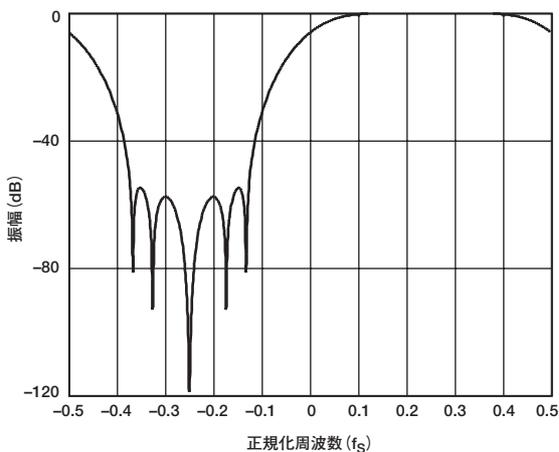


図7. 正の周波数応答性を維持するRxヒルベルト・フィルタの伝達関数特性

データ出力マルチプレクサ段

Rxのデータ出力フォーマットは、2の補数またはオフセット・バイナリに設定できます。これは、Rx 2の補数レジスタを使用して設定します。

2個のADCから出力したデータを1つの10/12ビットの出力バス上にマルチプレクスできます。マルチプレキシングは、出力バス上にどちらのチャンネルのデータがあるかを指示するRxSYNC出力ピンを使用して同期させます。

受信アプリケーション・セクション

AD9860/AD9862の受信パス（Rx）には、高速、高性能の10/12ビットADCが2つ内蔵されています。図6にRxデータ・バスの詳細なブロック図を示しますが、これは各種動作モードの説明で参考にすることができます。入力信号のタイプに基づき、各種のRx動作モードを以下の3つの部分に分けることができます。

1. シングル・チャンネルADC信号
2. 2チャンネル・リアルADC信号（ダイバーシティまたは2チャンネル）
3. 2チャンネル・コンプレックスADC信号（IおよびQまたはシングル・サイドバンド）

この3つはそれぞれさらに、ADCのナイキスト周波数までの入力信号サンプリング（ナイキスト・サンプリング）とADCのナイキスト周波数を上回るレートのサンプリング（IFサンプリングまたはアンダーサンプリング）の2つに分けることができます。

AD9860/AD9862はオーバーサンプリングおよびデシメーション・フィルタを使用することで、外付けフィルタが簡素化されます。デシメーション・フィルタ（両方の受信パスで）を使用するかバイパスするかで多様な信号帯域幅に対応するほか、さまざまな出力データレートが利用できるため、いくつかのデータ処理方式と簡単に統合できるようになっています。

低IF周波数のデータを使用することにより、誤差源となる受信パスのDCオフセットを除去することができます。低IF周波数のデータを受信することにより、外付けフィルタ部品に要求される条件が大幅に少なくなります。

差動受信モードのいずれにおいても、入力バッファ、プログラマブル・ゲイン・アンプ（RxPGA）、出力マルチプレクサは受信パスの中に入っています。

シングル・チャンネルADC信号

このモードでは、デジタル信号に変換する1つの入力信号を差動入力ピンのVIN+AとVIN-Aに接続します。10/12ビットの出力Rxデータが、「クロックの概要」で示すようにCLKOUT1またはCLKOUT2のクロック・エッジでラッチされます。Rxパスでは、入力バッファのバイパス、RxPGAの制御、デシメーション・フィルタの使用などが可能です。Rxパスはデフォルトで2つともイネーブルになるため、いずれかのパスを使用しない場合は、Rxパワーダウン・レジスタd1の該当ビットを使用し、パワーダウンしてください。

バッファをバイパスしなければならない条件については、前述の「入力バッファ段」の項で説明しています。

入力信号、またはIFサンプリングではアンダーサンプリングされたエイリアス信号がADCのナイキスト周波数の40%を下回る場合は、デシメーション・フィルタをイネーブルにして帯域外のノイズとスプリアス信号を40dB以上除去できます。デシメーション・フィルタをイネーブルにしているときは、RxパスのSNRが約2.3dB改善します。

AD9860/AD9862

2チャンネルリアルADC信号

ダイバーシティ信号、あるいは別々に処理する2チャンネルの独立した信号を受信するときは、2チャンネルリアルADC信号のモードを使用します。このモードでは、デジタル信号に変換する2つの入力信号をAD9860/AD9862の差動入力ピンVIN+A、VIN-A、VIN+B、VIN-Bに接続します。2つの10/12ビットのRx出力を1つの10/12ビット・バス上にインターリーブするか、2つの10/12ビット・バス上に並列に出力することができます。本データシートの「クロックの概要」に示すようにCLKOUT1またはCLKOUT2のクロック・エッジの設定により出力をラッチします。Rxパスでは、入力バッファのバイパス、RxPGAの制御、デシメーション・フィルタの使用などが可能です。

バッファをバイパスしなければならない条件については、前述の「入力バッファ段」の項で説明しています。

入力信号、またはIFサンプリングではアンダーサンプリングされたエイリアス信号がADCのナイキスト周波数の40%を下回る場合は、デシメーション・フィルタをイネーブルにして帯域外のノイズとスプリアス信号を40dB以上除去できます。デシメーション・フィルタをイネーブルにしているときは、RxパスのSNRが約2.3dB改善します。

2チャンネルコンプレックスADC信号

ベースバンドのIおよびQ信号、またはIF周波数のシングル・サイドバンド信号を受信するときは、2チャンネルコンプレックスADC信号のモードを使用します。このモードでは、外部直交復調器からコンプレックス入力信号が生成されます。同相チャンネル(Iチャンネル)をVIN+AとVIN-Aの差動ピンに接続し、直交データ(Qチャンネル)をVIN+BとVIN-Bの差動ピンに接続します。Rxパスでは、入力バッファのバイパス、RxPGAの制御、デシメーション・フィルタとデジタル・ヒルベルト・フィルタの使用などが可能です。共有リファレンス電圧モードについても以下に説明します。

RxPGAは、両チャンネルのゲインを0~20dBの範囲で制御します。バッファをバイパスしなければならない条件については、「入力バッファ段」の項で説明しました。

入力信号、またはIFサンプリングではアンダーサンプリングされたエイリアス信号がADCのナイキスト周波数の40%を下回る場合は、デシメーション・フィルタをイネーブルにして帯域外のノイズとスプリアス信号を40dB以上除去できます。デシメーション・フィルタをイネーブルにしているときは、RxパスのSNRが約2.3dB改善します。

デジタル・ヒルベルト・フィルタをイネーブルにすることでオンチップの受信イメージ除去アーキテクチャが使用できます。デジタル・ヒルベルト・フィルタはIデータとQデータの位相シフト周波数成分を結合して、1つのRx信号を生成します。このフィルタは、パスバンド(0.1dBより低いリップル)内でイメージ周波数成分を50dBのレベルまで抑制できます。ヒルベルト・フィルタのパスバンドは、フィルタに入ってくるデータのナイキスト周波数の25~75%になります。ただし、ADCのサンプリング・レートが32MSPSを上回る場合のヒルベルト・フィルタの最大入力データレートは32MSPSになります。データレートを低速化するには、デシメーション・フィルタが必要です。デシメーション・フィルタもイネーブルにしている場合のヒルベルト・フィルタのパスバンドは、ADCのナイキスト周波数の12.5~37.5%に相当します(ヒルベルト・フィルタに入ってくるデータのナイキスト周波数の25~75%の範囲内にあります)。

オプションの共有リファレンス・モードを使用すれば、2つのADCからの差動リファレンスを外部で相互に接続することで優れたゲイン・マッチング性能が得られます。共有リファレンス・モードは、共有リファレンス・レジスタ(d4、b1)をハイレベルに設定してイネーブルにします。

タイミング発生ブロック

AD9860/AD9862のタイミング発生ブロックは外部基準クロックを1つ使用して、送受信チャンネルの動作に必要な内部クロックをすべて生成します。入力基準クロックは、OSC1ピンにシングルエンドの外部クロックを接続(OSC2ピンはフローティング)するか、

またはこのクロック入力ピン(OSC1とOSC2)の間に水晶発振器を接続することで得られます。

AD9860/AD9862は、デフォルトで外部の基準クロックまたは水晶発振器から入力クロックを生成します。内部発振器を使用しない場合は、入力制御クロック・レジスタを設定してディスプレイにしてください。OSC1の入力インピーダンスは、比較的高い抵抗性インピーダンス(代表値約500kΩ)になります。

内部遅延ロック・ループ(DLL)ベースのクロック通倍器が、32~128MHzの出力周波数レンジで入力クロックを2倍または4倍に低ノイズで通倍します。DLL高速レジスタを使用し、DLLの性能を最適化してください。DLLの出力周波数が32~64MHzのときはこのビットをローレベルに設定し、64~128MHzの場合は高速レジスタのビットをハイレベルにします(出力周波数が64MHzのときは、ハイまたはローのどちらのレベルでもかまいません)。DLL通倍器レジスタで1倍の通倍係数を設定すると、DLLをバイパスできます。DLLをバイパスしているときは、DLLパワーダウン・レジスタを設定してDLLをパワーダウンし、消費電力を節約できます。

水晶発振器の外付けが望ましいアプリケーションでは、AD9860/AD9862の内部発振器回路とDLLクロック通倍器で低周波数、低価格のクォーツ水晶発振器を使用して入力基準クロックを生成できます。水晶発振器メーカーの指示に従ってOSC1とOSC2のピン間に接続し、共振用コンデンサを並列に接続します。

クロック・デューティ・レジスタの設定によって、AD9860内蔵のデューティ・サイクル・スタビライザ(DCS)をイネーブルにできます。デューティ・サイクルが重視される場合、このDCSによって40~64MSPSの高速クロック・レートでADCに安定した50%のデューティ・サイクルが得られます。

システム・クロック分配回路

タイミングの分配に関連する変数はたくさんあります。外部変数にはCLKIN、CLKOUT1、CLKOUT2、Rxデータレート、Txデータレートがあり、内部変数にはADCの変換レート、DACの更新レート、インターポレーション・レート、デシメーション・レート、Rxデータのマルチプレキシング、Txデータのデマルチプレキシングがあります。これらのパラメータの多くは相関性があり、CLKINをベースとします。特定のアプリケーションに合わせて、最適な性能対消費電力特性と組み合わせを容易にするオプションを選択できます。

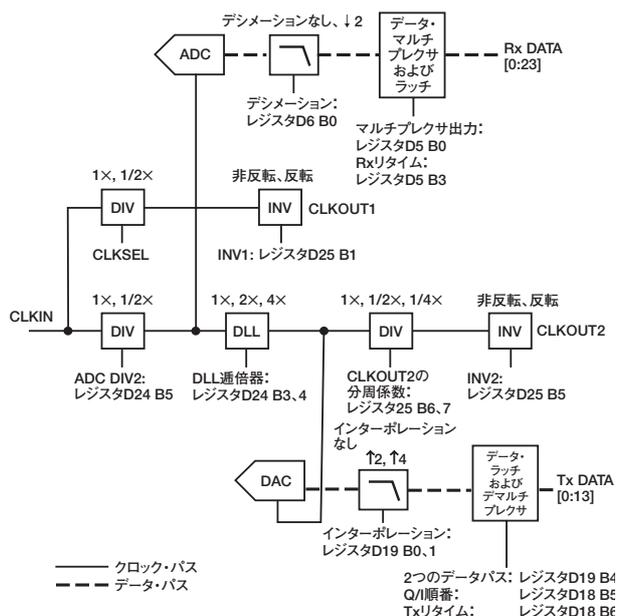


図8. 通常動作モードのタイミング・ブロック図

2つのタイミング動作モードから選択できます。代表的なタイミング・モードは通常動作モードで、図8にブロック図を示します。もう1つは代替動作モードで、図12にブロック図を示します。

表I. Rxのデータ・タイミング表

表Ia. CLKSELをローレベルに設定

CLKSEL	ADC Div 2	デシメーション	マルチプレクス	相対的なタイミングについては図8を参照
ローレベル	分周なし	デシメーションなし	マルチプレクスなし	タイミングNo. 4 Rxデータ=2×CLKOUT1 CLKOUT1=1/2×CLKIN
			マルチプレクス	不可
		デシメーション	マルチプレクスなし	タイミングNo. 3 Rxデータ=2×CLKOUT1 CLKOUT1=1/2×CLKIN
			マルチプレクス	タイミングNo. 4 Rxデータ(マルチプレクス)=2×CLKOUT1 CLKOUT1=1/2×CLKIN
	分周	デシメーションなし	マルチプレクスなし	タイミングNo. 3 Rxデータ=2×CLKOUT1 CLKOUT1=1/2×CLKIN
			マルチプレクス	タイミングNo. 4 Rxデータ(マルチプレクス)=2×CLKOUT1 CLKOUT1=1/2×CLKIN
		デシメーション	マルチプレクスなし	タイミングNo. 2 Rxデータ=1/2×CLKOUT1 CLOUT1=1/2×CLKIN
			マルチプレクス	タイミングNo. 3 Rxデータ(マルチプレクス)=CLKOUT1 CLKOUT1=1/2×CLKIN

表Ib. CLKSELをハイレベルに設定

CLKSEL	ADC Div 2	デシメーション	マルチプレクス	相対的なタイミングについては図8を参照
ハイレベル	分周なし	デシメーションなし	マルチプレクスなし	タイミングNo. 3 Rxデータ=CLKOUT1 CLKOUT1=CLKIN
			マルチプレクス	タイミングNo. 4 Rxデータ(マルチプレクス)=2×CLKOUT1 CLKOUT1=CLKIN
		デシメーション	マルチプレクスなし	タイミングNo. 2 Rxデータ=1/2×CLKOUT CLKOUT1=CLKIN
			マルチプレクス	タイミングNo. 3 Rxデータ(マルチプレクス)=CLKOUT1 CLKOUT1=CLKIN
	分周	デシメーションなし	マルチプレクスなし	タイミングNo. 2 Rxデータ=1/2×CLKOUT1 CLKOUT1=CLKIN
			マルチプレクス	タイミングNo. 3 Rxデータ(マルチプレクス)=CLKOUT1 CLOUT1=CLKIN
		デシメーション	マルチプレクスなし	タイミングNo. 1 Rxデータ=1/4×CLKOUT1 CLOUT1=CLKIN
			マルチプレクス	タイミングNo. 2 Rxデータ(マルチプレクス)=1/2×CLKOUT1 CLKOUT1=CLKIN

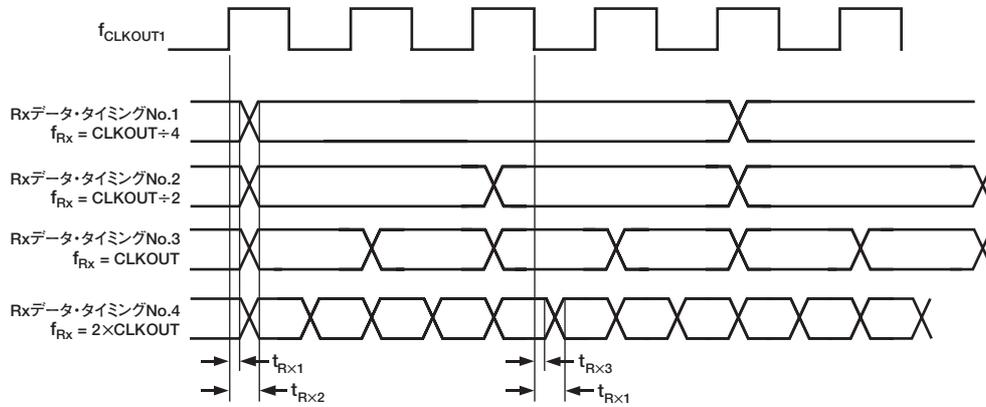


図9. Rxタイミング図

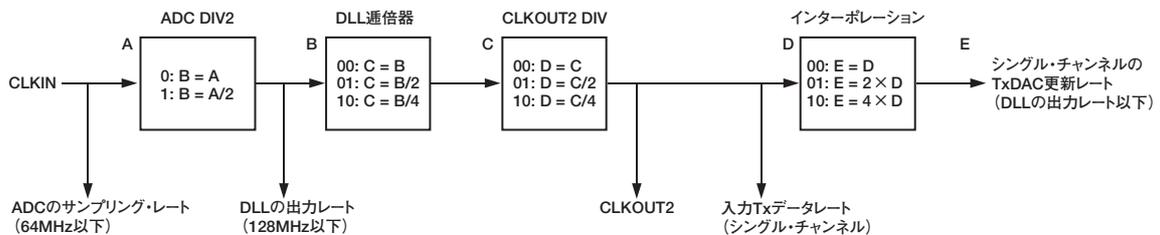


図10. 代替動作モードのシングルTxタイミング・ブロック図

AD9860/AD9862

通常動作モードでは、TxのタイミングはDLL出力からのクロックをベースとし、RxクロックはDLLの設定によって影響を受けることはありません。

代替動作モードのタイミングでは、DLLの出力を利用してRxとTxのクロックを生成します。また、DLLのデフォルト動作を4倍モードに設定します。

Rx ADCはDLLから発生するジッタとノイズの影響を受けやすく、性能が劣化することがあるため、一般には通常動作モードを選択することを推奨します。パワーアップまたはRESET時のMODE/TxBBlankピンのロジック・レベルによって、デバイスがどちらのモードでパワーアップするかが決まります。パワーアップ時にMODE/TxBBlankピンがローレベルであれば通常動作モード、ハイレベルのときは代替動作モードの設定になります。

Rxパス (通常動作モード)

ADCのサンプリング・レート、Rxデータ出力レート、CLKOUT1 (出力データのラッチに使用するクロック) のクロック・レートが、受信パスのデータに関連するパラメータになります。これらのパラメータとデータ帯域幅は、デシメーション・フィルタ、2分周回路、データ・マルチプレクサ・ロジック、リタイミング・ラッチによってCLKINに関連付けられます。Rxパスのタイミングは、入力クロックCLKINを基準とするADCのサンプリング・レートとCLKOUT1を基準とする出力データレートの2つの関係に分けられます。

CLKINを基準とするADCのサンプリング・レートはADC Div2レジスタで制御し、入力クロック・レートと同等または1/2にすることができます。

CLKOUT1を基準とする出力データレートには多くの設定が可能であり、柔軟なインターフェースが得られます。図8にさまざまなオプションを示します。表1aと1bは、望ましいデータ・タイミングを得るために必要なセットアップを示しています。Rxデータのデシメーションとマルチプレクスが行われているとき、RxSyncを利用してどちらのチャンネルのデータが出力バス上にあるかを識別できます。

Rxデータは、CLKOUT1ピンの出力を基準にしてタイミングが設定されます (Rxリタイム・レジスタを使用してリタイミング

をしない場合)。Rx出力データは、デシメーション (データレートを1/2に低減) を行うか、2つのチャンネルをチャンネルAのデータ・バス上にマルチプレクス (データレートを2倍に増加) することができます。

デシメーションによってオーバーサンプリングが可能になると同時に、外部データ転送レートが低速化し、帯域外信号とノイズの除去性能が向上します。マルチプレクスを行うと、データを収集するデジタルASICにRxパスからデータを転送する際に使用するデジタル出力ビットの数を低減できます。

CLKOUT1に等しい出力データレートでMuxモードをイネーブルにするときには (図9のタイミングNo.3)、RxSyncピンを使用してどちらのチャンネルの出力データが出力データ・バス上にあるかを識別する必要があります。出力データはRxSyncに依存し、デフォルトでこのピンがロジック・ローレベルのとき、RxチャンネルBから出力したデータが現在出力データ・バス上にあることを示します。RxSyncがロジック・ハイレベルの場合は、RxチャンネルAから出力したデータが現在出力データ・バス上にあります。この指示を切り替えるには、Inv RxSyncビットを使用してください。

CLKSELピンに印加される電圧のレベルに応じて、CLKOUT1ピンはCLKINまたはCLKIN/2の周波数のクロックを出力します。ロジック・ローレベルの電圧がCLKSELに加えられるとCLKOUT1はCLKINレートの1/2の周波数で動作し、CLKSELをロジック・ハイレベルに設定するとCLKOUT1はCLKINに等しいクロックを出力します。

このようにタイミングを柔軟に設定できるほか、Inv 1レジスタで制御するCLKOUT1の反転オプションを利用できるため、データを処理するデジタルASICにRxパスから転送するデータをさまざまな方法でラッチできます。表1aと1bにこれらのオプションを示し、図9にタイミング図を示します。Inv 1レジスタで制御するCLKOUT1の反転オプションは図には示していません。このモードでは、CLKOUT1の反対のエッジを使用することを除き、相対的なタイミングは図9に示すタイミング動作と同じです。

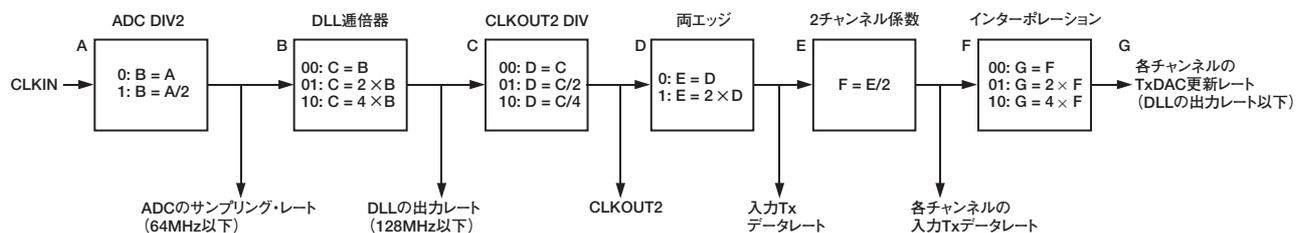


図11. 代替動作モードのデュアルTxタイミング・ブロック図

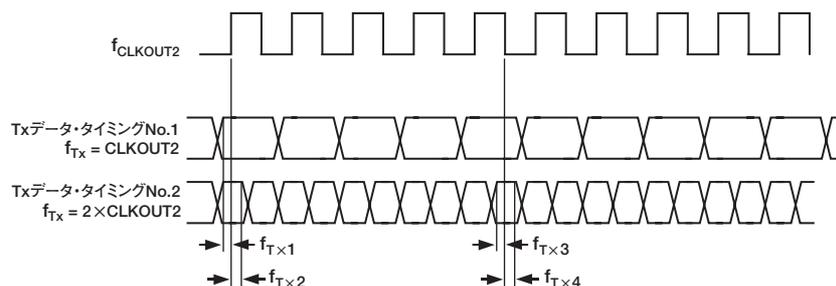


図12. Txのタイミング図

Txパス（通常動作モード）

DACの更新レート、Tx入力データレート、CLKOUT2（Tx入力データのラッチに使用するクロック）のクロック・レートが、送信パスのデータに関連するパラメータになります。これらのパラメータと出力信号帯域幅は、ADC Div2、DLL通倍器、CLKOUT2 Div、両エッジ、インターポレーションの各レジスタの設定によってCLKINに関連付けられます。

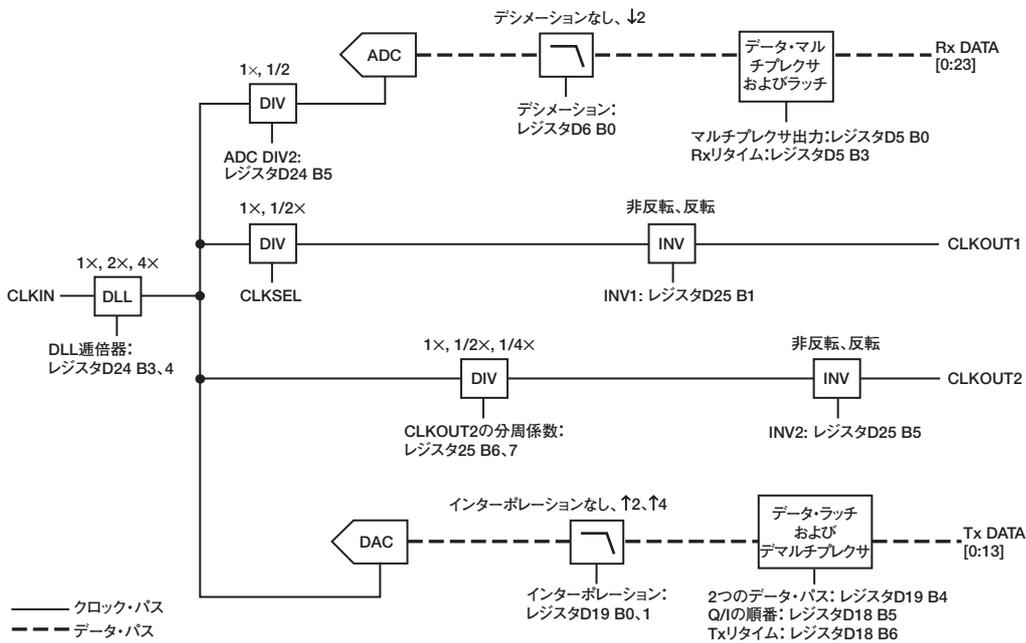
TxデータはCLKOUT2ピンを基準にしてタイミングが設定され（Txリタイム・レジスタを設定してCLKOUT1を基準とするリタイムをしない場合）、立上がりエッジ、立下がりエッジ、または両方のエッジ（サンプル反転と両エッジのレジスタを使用して制御）が発生するごとに、Txの入力データをラッチします。図12に、これについてのタイミング図を示します。

デュアルのTxデータが1つのバス上でマルチプレクスされるため、データの転送に必要なデジタル・ビットの数が少なくなります。このTxパスのタイミングに関する説明においては、インターポレーション以外のTxデジタル処理オプションがデータのタイミングを変化させることはないため、こうしたオプションは無視しています。Txデータのタイミングは、1チャンネルまたは2チャンネルのどちらのデータがAD9860/AD9862にラッチされるかを反映します。

CLKOUT2のクロック・レート（および入力データレート）は、DLL通倍器レジスタ、CLKOUT2分周係数レジスタ、ADC Div2レジスタの設定によってCLKINに関連付けられます。表IIにこれらの関係を示します。

表II. 通常動作モード時のCLKINを基準とするCLKOUT2のタイミング

CLK DIV2	DLL通倍器	CLKOUT2分周係数	CLKOUT2
分周なし	1×	/1	CLKIN
		/2	CLKIN/2
		/4	CLKIN/4
	2×	/1	2×CLKIN
		/2	CLKIN
		/4	CLKIN/2
4×	/1	4×CLKIN	
	/2	2×CLKIN	
	/4	CLKIN	
2分周	1×	/1	CLKIN/2
		/2	CLKIN/4
		/4	CLKIN/8
	2×	/1	CLKIN
		/2	CLKIN/2
		/4	CLKIN/4
4×	/1	2×CLKIN	
	/2	CLKIN	
	/4	CLKIN/2	



AD9860/AD9862

図10と図11のタイミング・ブロック図は、シングルおよびデュアルTxパスの各種クロックのタイミングがさまざまなレジスタの設定によってどのように変わるかを示しています。

デュアルTxデータの場合、デマルチプレクスされたデータをいずれかのチャンネル・パスに転送するオプションがあります。たとえば、AD9860/AD9862はIの後でQあるいはQの後でIの順番でコンプレックス・データを受け入れることができます。この順番は、Q/I順番レジスタを使用して設定します。

デュアルTxデータの場合、TxSYNCピンの入力ロジック・レベルによってどちらのチャンネルのデータが現在Txデータ・パス上にあるかを識別します。デフォルトでは、TxSYNCがローレベルのときはチャンネルAのデータ（セットの最初のデータ）、TxSYNCがハイレベルのときはチャンネルBのデータ（セットの2番目のデータ）がTxパス上にあります。この設定は、Inv TxSYNCビットを使用して逆にすることができます。

Rxパス（代替タイミング動作モード）

ADCのサンプリング・レート、Rxデータ出力レート、CLKOUT1（出力データのラッチに使用するクロック）のクロック・レートが、受信パスのデータに関連するパラメータになります。これらのパラメータとデータ帯域幅は、デシメーション・フィルタ、2分周回路、データ・マルチプレクサ・ロジック、リタイミング・ラッチ、さらにDLLの通倍設定（通常動作モード時には使用しません）によってCLKINに関連付けられます。このモードは、パワーアップ時にTx_Blank_Inピンをロジック・ハイレベルにすることによってデフォルトで設定できます。

Rxパスのタイミングは、入力クロックCLKINを基準とするADCのサンプリング・レートとCLKOUT1を基準とする出力データレートの2つに分けられます。

CLKINを基準とするADCのサンプリング・レートは、ADC Div2レジスタとDLL通倍器レジスタを使用して制御します。このサンプリング・レートは、DLLの出力クロック・レートと同等または1/2にすることができます。

代替動作モードのCLKOUT1を基準とする出力データレートには、通常動作モードの場合と同じ設定オプションがあります。図9に各種オプションを示します。表IaとIbは、望ましいデータ・タイミングを得るために必要なセットアップを示しています。

Rxデータは、CLKOUT1ピンの出力を基準にしてタイミングが設定されます（Rxリタイミング・レジスタを使用してリタイミングをしない場合）。Rx出力データは、デシメーション（データレートを1/2に低減）を行うか、2つのチャンネルをチャンネルAのデータ・パス上にマルチプレクス（データレートを2倍に増加）することができます。

デシメーションによってオーバーサンプリングが可能になると同時に、外部データ転送レートが低速化し、帯域外信号とノイズの除去性能が向上します。マルチプレクスを行うと、データを収集するデジタルASICにRxパスからデータを転送する際に使用するデジタル出力ビットの数を低減できます。

CLKOUT1に等しい出力データレートでMUXモードをイネーブルにするときには（図9のタイミングNo.3）、RxSyncピンを使用してどちらのチャンネルの出力データが出力データ・パス上にあるかを識別する必要があります。RxSync出力は出力データと整列しており、デフォルトでこのピンがロジック・ローレベルのとき、RxチャンネルBから出力したデータが現在出力データ・パス上にあることを示します。RxSyncがロジック・ハイレベルの場合は、RxチャンネルAから出力したデータが現在出力データ・パス上にあります。この指示を切り替えるには、Inv RxSyncビットを使用してください。

CLKSELピンに印加される電圧のレベルに応じて、CLKOUT1ピンはCLKINまたはCLKIN/2の周波数のクロックを出力します。ロジック・ローレベルの電圧がCLKSELに加えられるとCLKOUT1はCLKINレートの1/2の周波数で動作し、CLKSELをロジック・ハイレベルに設定するとCLKOUT1はCLKINに等しいクロックを出力します。

このようにタイミングを柔軟に設定できるほか、Inv 1レジスタで制御するCLKOUT1の反転オプションを利用できるため、データを処理するデジタルASICにRxパスから転送するデータをさまざまな方法でラッチできます。表IaとIbにこれらのオプションを示し、図9にタイミング図を示します。Inv 1レジスタで制御するCLKOUT1の反転オプションは図には示していません。このモードでは、CLKOUT1の反対のエッジを使用することを除き、相対的なタイミングは図9に示すタイミング動作と同じです。

全体として、表Vに示す代替動作モードのマスター・タイミング・ガイドと図9に示すRxタイミング図を見れば相対的なタイミングがわかります。

Txパス（代替タイミング動作モード）

DACの更新レート、Tx入力データレート、CLKOUT2（Tx入力データのラッチに使用するクロック）のクロック・レートが、送信パスのデータに関連するパラメータになります。これらのパラメータと出力信号帯域幅は、DLL通倍器、CLKOUT2 Div、2エッジ、インターポレーションの各レジスタの設定によってCLKINに関連付けられます（このモードでは、ADC Div2レジスタの設定はTxのタイミングに適用されません）。

TxデータはCLKOUT2ピンの出力を基準にしてタイミングが設定され（Txリタイム・レジスタを設定してCLKOUT1を基準とするリタイミングをしない場合）、通常動作モードの場合と同じ状態のままです。立上がりエッジ、立下がりエッジ、または両方のエッジ（サンプル反転と2エッジのレジスタを使用して制御）が発生するごとに、Txの入力データをラッチします。図12に、これについてのタイミング図を示します。

デュアルのTxデータが1つのパス上でマルチプレクスされるため、データの転送に必要なデジタル・ビットの数が少なくなります。このTxパスのタイミングに関する説明においては、インターポレーション以外のTxデジタル処理オプションがデータのタイミングを変化させることはないため、こうしたオプションは無視しています。Txデータのタイミングは、1チャンネルまたは2チャンネルのどちらのデータがAD9860/AD9862にラッチされるかを反映します。

CLKOUT2のクロック・レート（および入力データレート）は、DLL通倍器レジスタとCLKOUT2分周係数レジスタの設定によってCLKINに関連付けられます。表IIIにこれらの関係を示します。

表III. 代替動作モード時のCLKINを基準とするCLKOUT2のタイミング

DLL 通倍器	CLKOUT2 分周係数	CLKOUT2
1×	/1	CLKIN
	/2	CLKIN/2
	/4	CLKIN/4
2×	/1	2×CLKIN
	/2	CLKIN
	/4	CLKIN/2
4×	/1	4×CLKIN
	/2	2×CLKIN
	/4	CLKIN

表IV. 通常動作モードのマスター・タイミング・ガイド

ADC2	DLL 通倍器	ADCの クロック・ レート	ADC のデータレート ¹ (MSPS)				DACの 更新 レート	デュアルDACの データレート ² (MSPS)			CLKOUT1		CLKOUT2									
			非MUXモード		MUXモード			1倍の インターポ レーション	2倍の インターポ レーション	4倍の インターポ レーション	CLKSEL = ローレベル	CLKSEL = ハイレベル	CLKDIV = 1倍	CLKDIV = 1/2倍	CLKDIV = 1/4倍							
			デシ メーション なし	1/2デシ メーション	デシ メーション なし	1/2デシ メーション																
0	1×	CLKIN	CLKIN	CLKIN ÷2	2×	CLKIN	CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN ÷2	CLKIN ÷4					
0	2×							2×	4×	2×								CLKIN	2×	CLKIN	CLKIN	
0	4×							4×	8×	4×								2×	CLKIN	4×	2×	CLKIN
1	1×	CLKIN ÷2	CLKIN ÷2	CLKIN ÷4	CLKIN	CLKIN ÷2	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN				
1	2×							CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
1	4×							2×	4×	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN

注

¹ 最大100MHzのデータレート

² シングルDACのデータレート=デュアルDACの1/2のデータレート

表V. 代替動作モードのマスター・タイミング・ガイド

ADC2	DLL 通倍器	ADCの クロック・ レート	ADC データレート ¹ (MSPS)				DACの 更新 レート	デュアルDACの データレート ² (MSPS)			CLKOUT1		CLKOUT2					
			非MUXモード (2つのバス)		MUXモード (1つのバス)			1倍の インターポ レーション	2倍の インターポ レーション	4倍の インターポ レーション	CLKSEL = ローレベル	CLKSEL = ハイレベル	CLKDIV = 1倍	CLKDIV = 1/2倍	CLKDIV = 1/4倍			
			デシ メーション なし	1/2デシ メーション	デシ メーション なし	1/2デシ メーション												
0	1×	CLKIN	CLKIN	CLKIN ÷2	2×	CLKIN	CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
0	2×	2×	2×	CLKIN	4×	2×	2×	4×	2×	CLKIN	2×	CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
0	4×	4×	4×	2×	8×	4×	4×	8×	4×	2×	4×	2×	4×	2×	4×	2×	CLKIN	CLKIN
1	1×	CLKIN ÷2	CLKIN ÷2	CLKIN ÷4	CLKIN	CLKIN ÷2	CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
1	2×	CLKIN	CLKIN	CLKIN ÷2	2×	CLKIN	2×	4×	2×	CLKIN	2×	CLKIN	2×	CLKIN	CLKIN	CLKIN	CLKIN	CLKIN
1	4×	2×	2×	CLKIN	4×	2×	4×	8×	4×	2×	4×	2×	4×	2×	4×	2×	CLKIN	CLKIN

注

¹ 最大100MHzのデータレート

² シングルDACのデータレート=デュアルDACの1/2のデータレート

AD9860/AD9862

図14と図15のタイミング・ブロック図は、シングルおよびデュアルTxパスの各種クロックのタイミングがさまざまなレジスタの設定によってどのように変わるかを示しています。

デュアルTxデータの場合、デマルチプレクスされたデータをいずれかのチャンネル・パスに転送するオプションがあります。たとえば、AD9860/AD9862はIの後でQあるいはQの後でIの順番でコンプレックス・データを受け入れることができます。この順番は、QI順番レジスタを使用して設定します。

デュアルTxデータの場合、TxSYNCピンの入力ロジック・レベルによってどちらのチャンネルのデータが現在Txデータ・パス上にあるかを識別します。デフォルトでは、TxSYNCがローレベルのときはチャンネルAのデータ(セットの最初のデータ)、TxSYNCがハイレベルのときはチャンネルBのデータ(セットの2番目のデータ)がTxパス上にあります。この設定は、Inv TxSYNCビットを使用して逆にすることができます。

その他の機能

送信、受信、クロックの各パスにおける上述の機能のほか、AD9860/AD9862には通信システムで一般に必要とされる部品も集積化されています。こうした部品として、補助用A/Dコンバータ(AUX ADC)、補助用D/Aコンバータ(AUX DAC)、 $\Sigma\Delta$ 出力があります。

補助用ADC

受信信号強度インジケータ(RSSI)機能や温度インジケータなど、システム全体で使用する各種外部信号を処理するために2個の補助用10ビットSAR ADCがあります。補助用ADCは最大1.25MSPSのデータレートで動作し、約200kHzの帯域幅があります。2個の補助用ADC(AUX ADC AとAUX ADC B)にはマルチプレクサ入力があり、最大4つのシステム信号をモニタできます。

AUX ADC Aのマルチプレクサは、AUX_ADC_A1またはAUX_ADC_A2のどちらのピンを補助用ADC Aの入力に接続

するかを制御します。このマルチプレクサは、レジスタD34 B1のSelectAを使用して設定します。デフォルトでレジスタはローレベルに設定され、AUX_ADC_A2ピンを入力に接続します。同様にAUX ADC Bには、レジスタD34 B4のSelectBを使用して制御するマルチプレクサ入力があります。SelectBはデフォルトでローレベルに設定され、AUX_ADC_B2入力ピンをAUX ADC Bに接続します。SelectAまたはSelectBのビットをハイレベルにすると、AUX_ADC_A1ピンまたはAUX_ADC_B1ピンがそれぞれのAUX ADCの入力に接続されます。

内部リファレンス・バッファは、補助用ADCの電源電圧に等しいフルスケール・リファレンスを2つの補助用ADCに供給します。レジスタ・マップでAUX ADC BにRefselB、AUX ADC AにRefselAの該当するビットを設定すれば、外部フルスケール・リファレンスをAUX ADCのいずれかあるいは両方に供給できます。これらのビットの片方あるいは両方をハイレベルに設定すると、内部リファレンス・バッファの接続が切断され、AUX_REFピンから各チャンネルに外部リファレンスを印加できます。

補助用ADCのタイミングは、分周されたRx ADCのクロックから生成します。分周比はレジスタD35 B0のCLK/4を使用して制御し、これによって20MHzの最大クロック・レートを維持します。デフォルトでCLK/4はローレベルに設定され、Rx ADCのクロックを2分周します。40MHz以下のレートでRx ADCを動作させるときは、この設定を使用します。40MHzよりも高いレートでRx ADCを動作させる場合は、CLK/4のビットをハイレベルにしてください。これによって、Rx ADCのクロックを4分周して補助用ADCのクロックを生成します。セットアップを含む変換時間は、CLK/4をローレベルに設定する2分周モード時で16クロック・サイクル(16個のRx ADCクロック・サイクル)、CLK/4のハイレベル設定時で32クロック・サイクルです。

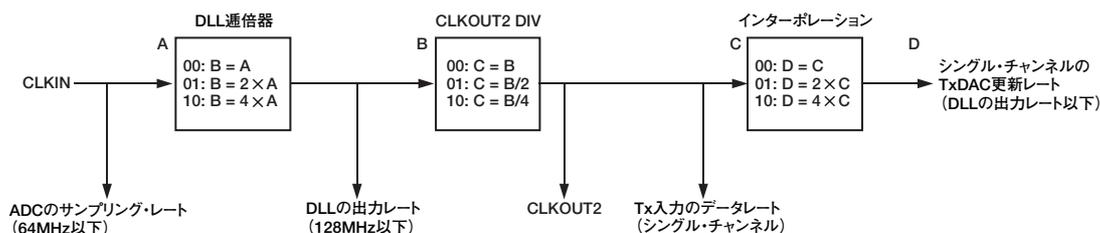


図14. 代替動作モードのシングルTxタイミング・ブロック図

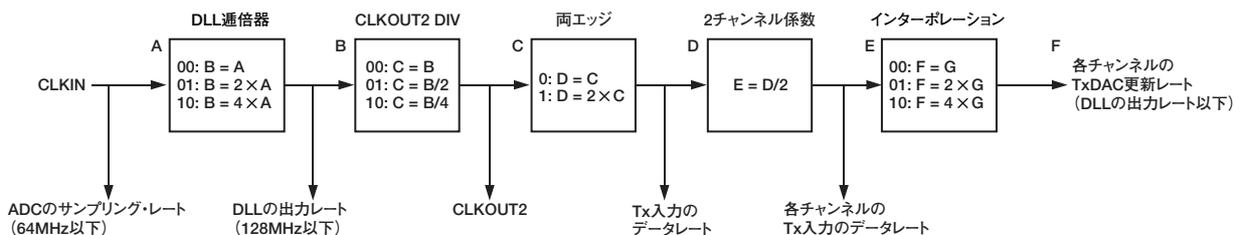


図15. 代替動作モードのデュアルTxタイミング・ブロック図

開始レジスタ・ビットのレジスタD34 B0 (StartA) とD34 B3 (StartB) のいずれか1つまたは両方にロジック・ハイレベルを書き込むと、変換を開始します。変換が完了すると、どちらの補助用ADCとマルチプレクサ入力を選択されているかに応じて、AUX ADCのストレート・バイナリの10ビット出力データがレジスタ・マップにある予備の4つのロケーションのいずれか1つに書き込まれます。補助用ADCは10ビットを出力するため、各データ・ロケーションには2つのレジスタ・アドレスが必要です。

標準のシリアル・ポート・インターフェースを介して該当レジスタの読み出し/書き込みを行うか、または専用の補助用シリアル・ポート・インターフェース (AUX SPI) を使用して変換を開始したりデータを検索することも可能です。補助用ADCのいずれか1つで高速アクセスと制御ができるようにAUX SPIを設定することもできます。メインのSPIを接続しないで補助用ADCのデータを検索できます。

AUX SPIのイネーブルや設定には、AUX ADC CTRLレジスタを使用します。このレジスタに対応するピンをハイレベルに設定すると、AUX SPIポートがイネーブルになります。Sel BnotAレジスタをローレベルに設定すると補助用ADC AがAUX SPIポートに接続され、ハイレベルに設定すると補助用ADC BがAUX SPIポートに接続されます。上述のように、該当する選択ビットの設定によって、どちらのマルチプレクサ入力を補助用ADCに接続するかを選択します。

AUX SPIは、チップ・セレクト・ピン (AUX_SPI_csb)、クロック・ピン (AUX_SPI_clk)、データ出力ピン (AUX_SPI_do) で構成されます。AUX_SPI_csbピンをローレベルに設定すると、変換を開始します。変換が完了すると、ロジック・ローレベルになっていたデータ・ピンAUX_SPI_doがハイレベルになります。この時点で外部クロックを供給しますが、これはすでにローレベルになっており、最初の立上がりエッジではデータは存在しません。クロック・パルスの立下がりエッジでデータ出力ビットが更新され、セトリングした後、クロックの次の立上がりエッジでラッチされます。データはMSBファーストでシリアル転送されます。AUX SPIは最大16MHzのレートで動作します。

補助用DAC

AD9860/AD9862には、3個の8ビット電圧出力の補助用DAC (AUX DAC) が内蔵されています。AUX DACはVCXO電圧制御や外部VGAゲイン制御などのシステム全体にさまざまな制御電圧を供給し、1mA (typ) までの電流をシンクまたはソースする能力があります。

内部電圧リファレンス・バッファは、AUX DACの電源電圧に等しいフルスケール電圧リファレンスを両方のAUX DACに供給します。ストレート・バイナリの入力コードが該当するレジスタに書き込まれます。スレープ・モード・レジスタのビットがハイレベルのときに、スレープ・モードがイネーブルになり、該当する更新レジスタに書き込みが行われると、AUX DACの出力が直ちに更新されます。スレープ・モードがディスエーブルのときは、データがレジスタに書き込まれた後で更新が行われます。補助用DACの最大セトリング時間は、約6 μ s (typ) です。

その他の制御オプションには、反転レジスタ制御とパワーダウン・オプションがあります。反転レジスタ制御では、hexFFをハイレベル、hex00をローレベルにせず、hex00をハイレベル、hexFFを最小の設定にします。

$\Sigma\Delta$

12ビットの $\Sigma\Delta$ (SD) 出力を利用して、その他の制御電圧を供給できます。SD制御ワードをレジスタD42、43に書き込みます。SD [11:4]が8MSB、SD [3:0]が4LSBになります。 $\Sigma\Delta$ 変調器は12ビットのワードを処理し、受信用ADCのサンプリング・レート (最大8MSPS) の1/8に相当するオーバーサンプリング・レートで1ビットのデータを出力します。この1ビットのデータは1ビットDACに送られます。1ビットDACには完全な直線性があります。出力側にローパス・フィルタを外付けし、パルス変調データのフィルタリングを行い、リニアな制御電圧を出力します。

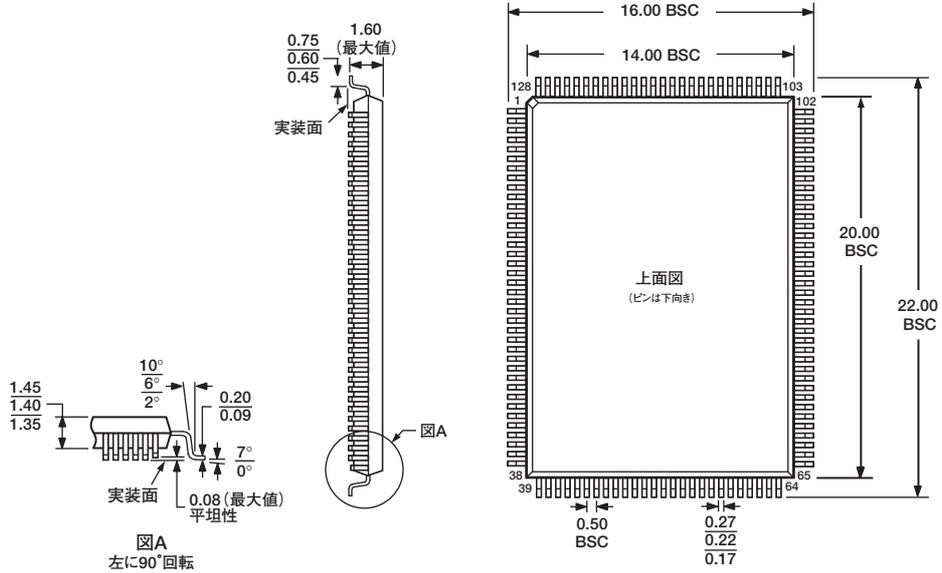
AD9860/AD9862

外形寸法

128ピン・プラスチック・クワッド・ラレットパック [LQFP]

(ST-128B)

寸法単位：mm



JEDEC規格MS-026BHBに準拠

C02970-0-11/02(0)-J