

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2009年4月28日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。

なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2009年4月28日

製品名：AD9859

対象となるデータシートのリビジョン(Rev)：Rev.0

訂正箇所：

P.24、図 28. (Figure 28.) 右上 BOTTOM VIEW の EXPOSED PAD のサイズについて

誤) 2.00 SQ

正) **3.50 SQ**

特長

- 内部クロック速度: 400 MSPS
- 10ビット DAC を内蔵
- 32ビット・チューニング・ワード
- 位相ノイズ: 1 kHz オフセットで-120 dBc/Hz 以下(DAC 出力)
- 優れたダイナミック性能
 - 160 MHz (± 100 kHz オフセット) A_{OUT} で SFDR が 75 dB 以上
- シリアル I/O 制御
- 電源電圧: 1.8 V
- ソフトウェアおよびハードウェア制御によるパワーダウン
- 48ピン TQFP/EP パッケージを採用
- 大部分のデジタル入力で 5V 入力レベルをサポート
- PLL REFCLK 乗倍器(4x ~ 20x)
- 1個の水晶で駆動可能な内部発振器
- 位相変調機能
- 複数チップの同期が可能

アプリケーション

- 即応性に優れた LO 周波数シンセシス
- プログラマブルなクロック・ジェネレータ
- テスト装置および計測装置
- 業務用無線およびアマチュア無線のエキサイタ

概要

AD9859 は、最大 400 MSPS まで動作する 10ビット DAC を内蔵したダイレクト・デジタル・シンセサイザ(DDS)です。AD9859 では、高度な DDS 技術と内蔵の高速高性能 DAC との組み合わせにより、デジタル的に設定可能で、かつ周波数即応性に優れた最大 200 MHz までのアナログ出力正弦波を発生させる高周波シンセサイザ機能を構成しています。AD9859 は、高速周波ホッピングと分解能微調整機能(32ビット周波数チューニング・ワード)を持つようにデザインされています。周波数チューニング・ワードとコントロール・ワードは、シリアル I/O ポートを介して AD9859 にロードされます。

AD9859 の動作は、-40 ~ +105 の拡張工業温度範囲で規定されています。

機能ブロック図

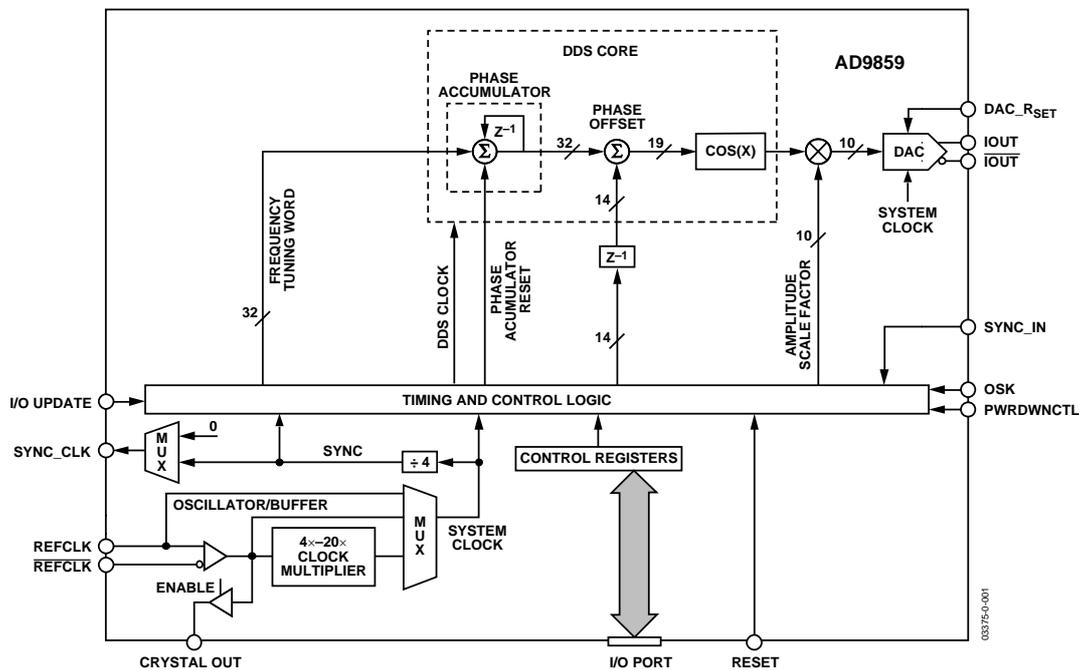


図1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

目次

AD9859—電氣的仕様	3	シリアル・ポートの動作	19
絶対最大定格	5	命令バイト	21
ピン配置	6	シリアル・インターフェース・ポート・ピンの説明	21
ピン機能の説明	7	MSB/LSB の転送	21
代表的な性能特性	8	推奨アプリケーション回路	23
動作原理	11	外形寸法	24
コンポーネント・ブロック	11	ESD の注意	24
動作モード	16	オーダー・ガイド	24
AD9859 機能の書き込み	16		

改訂履歴

Revision 0: Initial Version

AD9859—電氣的仕様

特に指定がない限り、AVDD、DVDD = 1.8 V ± 5%、DVDD_I/O = 3.3 V ± 5%、R_{SET} = 3.92 kΩ、外部リファレンス・クロック周波数 = 20 MHz、REFCLK 選倍器を 20×でイネーブル。DAC 出力は AGND ではなく AVDD を基準とします。

表1.

Parameter	Temp	Min	Typ	Max	Unit
REF CLOCK INPUT CHARACTERISTICS					
Frequency Range					
REFCLK Multiplier Disabled	FULL	1		400	MHz
REFCLK Multiplier Enabled at 4×	FULL	20		100	MHz
REFCLK Multiplier Enabled at 20×	FULL	4		20	MHz
Input Capacitance	25°C		3		pF
Input Impedance	25°C		1.5		kΩ
Duty Cycle	25°C		50		%
Duty Cycle with REFCLK Multiplier Enabled	25°C	35		65	%
REFCLK Input Power ¹	FULL	-15	0	+3	dBm
DAC OUTPUT CHARACTERISTICS					
Resolution			10		Bits
Full-Scale Output Current	25°C	5	10	15	mA
Gain Error	25°C	-10		+10	%FS
Output Offset	25°C			0.6	μA
Differential Nonlinearity	25°C		1		LSB
Integral Nonlinearity	25°C		2		LSB
Output Capacitance	25°C		5		pF
Residual Phase Noise @ 1 kHz Offset, 40 MHz A _{OUT}					
REFCLK Multiplier Enabled @ 20×	25°C		-105		dBc/Hz
REFCLK Multiplier Enabled @ 4×	25°C		-115		dBc/Hz
REFCLK Multiplier Disabled	25°C		-132		dBc/Hz
Voltage Compliance Range	25°C	AVDD - 0.5		AVDD + 0.5	V
Wideband SFDR					
1 MHz to 10 MHz Analog Out	25°C		64		dBc
10 MHz to 40 MHz Analog Out	25°C		63		dBc
40 MHz to 80 MHz Analog Out	25°C		61		dBc
80 MHz to 120 MHz Analog Out	25°C		55		dBc
120 MHz to 160 MHz Analog Out	25°C		50		dBc
Narrow-Band SFDR					
40 MHz Analog Out (±1 MHz)	25°C		82		dBc
40 MHz Analog Out (±250 kHz)	25°C		82		dBc
40 MHz Analog Out (±50 kHz)	25°C		94		dBc
40 MHz Analog Out (±10 kHz)	25°C		87		dBc
80 MHz Analog Out (±1 MHz)	25°C		82		dBc
80 MHz Analog Out (±250 kHz)	25°C		84		dBc
80 MHz Analog Out (±50 kHz)	25°C		87		dBc
80 MHz Analog Out (±10 kHz)	25°C		87		dBc
120 MHz Analog Out (±1 MHz)	25°C		80		dBc
120 MHz Analog Out (±250 kHz)	25°C		82		dBc
120 MHz Analog Out (±50 kHz)	25°C		86		dBc
120 MHz Analog Out (±10 kHz)	25°C		89		dBc
160 MHz Analog Out (±1 MHz)	25°C		80		dBc
160 MHz Analog Out (±250 kHz)	25°C		82		dBc
160 MHz Analog Out (±50 kHz)	25°C		84		dBc
160 MHz Analog Out (±10 kHz)	25°C		86		dBc
TIMING CHARACTERISTICS					
Serial Control Bus					
Maximum Frequency	FULL		25		Mbps
Minimum Clock Pulse Width Low	FULL	7			ns
Minimum Clock Pulse Width High	FULL	7			ns

Parameter	Temp	Min	Typ	Max	Unit
Maximum Clock Rise/Fall Time	FULL		2		ns
Minimum Data Setup Time DVDD_I/O = 3.3 V	FULL	3			ns
Minimum Data Setup Time DVDD_I/O = 1.8 V	FULL	5			ns
Minimum Data Hold Time	FULL	0			ns
Maximum Data Valid Time	FULL		25		ns
Wake-Up Time ²	FULL		1		ms
Minimum Reset Pulse Width High	FULL	5			SYSCLK Cycles ³
I/O UPDATE to SYNC_CLK Setup Time DVDD_I/O = 3.3 V	FULL	4			ns
I/O UPDATE to SYNC_CLK Setup Time DVDD_I/O = 1.8 V	FULL	6			ns
I/O UPDATE, SYNC_CLK Hold Time	FULL	0			ns
Latency					
I/O UPDATE to Frequency Change Prop Delay	25°C	24			SYSCLK Cycles
I/O UPDATE to Phase Offset Change Prop Delay	25°C	24			SYSCLK Cycles
I/O UPDATE to Amplitude Change Prop Delay	25°C	16			SYSCLK Cycles
CMOS LOGIC INPUTS					
Logic 1 Voltage @ DVDD_I/O (Pin 43) = 1.8 V	25°C	1.25			V
Logic 0 Voltage @ DVDD_I/O (Pin 43) = 1.8 V	25°C			0.6	V
Logic 1 Voltage @ DVDD_I/O (Pin 43) = 3.3 V	25°C	2.2			V
Logic 0 Voltage @ DVDD_I/O (Pin 43) = 3.3 V	25°C			0.8	V
Logic 1 Current	25°C		3	12	μA
Logic 0 Current	25°C			12	μA
Input Capacitance	25°C		2		pF
CMOS LOGIC OUTPUTS (1 mA Load) DVDD_I/O = 1.8 V					
Logic 1 Voltage	25°C	1.35			V
Logic 0 Voltage	25°C			0.4	V
CMOS LOGIC OUTPUTS (1 mA Load) DVDD_I/O = 3.3 V					
Logic 1 Voltage	25°C	2.8			V
Logic 0 Voltage	25°C			0.4	V
POWER CONSUMPTION (AVDD = DVDD = 1.8 V)					
Single-Tone Mode	25°C		162	171	mW
Rapid Power-Down Mode	25°C		150	160	mW
Full-Sleep Mode	25°C		20	27	mW
SYNCHRONIZATION FUNCTION ⁴					
Maximum SYNC Clock Rate (DVDD_I/O = 1.8 V)	25°C	62.5			MHz
Maximum SYNC Clock Rate (DVDD_I/O = 3.3 V)	25°C	100			MHz
SYNC_CLK Alignment Resolution ⁵	25°C		±1		SYSCLK Cycles

¹ 最適位相ノイズを実現するため、できるだけ大きな振幅のクロックを使う必要があります。クロック入力の振幅を小さくすると、デバイスの位相ノイズ性能が低下します。

² ウェイクアップ・タイムとは、アナログ・パワーダウン・モードからの回復を意味します (AD9859 のパワーダウン機能のセクション参照)。リファレンス・クロック逡倍器の PLL がリファレンスに再ロックするときは最長の時間が必要です。ウェイクアップ・タイムは、DACBP にコンデンサなしで、かつ推奨 PLL ループ・フィルタ値を使用した場合です。

³ SYSCLK サイクルは、DDS がチップ内で使用する実際のクロック周波数を意味します。リファレンス・クロック逡倍器を使って外部リファレンス・クロック周波数を逡倍する場合、SYSCLK 周波数は外部周波数にリファレンス・クロック倍率を乗算した値になります。リファレンス・クロック逡倍器を使わない場合は、SYSCLK 周波数は外部リファレンス・クロック周波数に一致します。

⁴ SYNC_CLK = ¼ SYSCLK レート。SYNC_CLK レート ≥ 50 MHz の場合、高速同期イネーブル・ビット CFR2<11> をセットする必要があります。

⁵ このパラメータは、デジタル同期化機能がシステム・クロックの立ち上がりエッジ間の位相遅延 (タイミング・スキュー) を解消できないことを表します。システム・クロック・エッジを揃える場合、同期化機能により 2 つのエッジ間のスキューを大きくしないようにする必要があります。

絶対最大定格

表2.

Parameter	Rating
Maximum Junction Temperature	150°C
DVDD_I/O (Pin 43)	4 V
AVDD, DVDD	2 V
Digital Input Voltage (DVDD_I/O = 3.3 V)	-0.7 V to +5.25 V
Digital Input Voltage (DVDD_I/O = 1.8 V)	-0.7 V to +2.2 V
Digital Output Current	5 mA
Storage Temperature	-65°C to +150°C
Operating Temperature	-40°C to +105°C
Lead Temperature (10 sec Soldering)	300°C
θ_{JA}	38°C/W
θ_{JC}	15°C/W

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

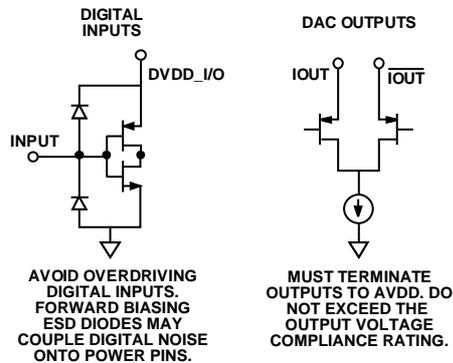


図2.等価入力回路と等価出力回路

ピン配置

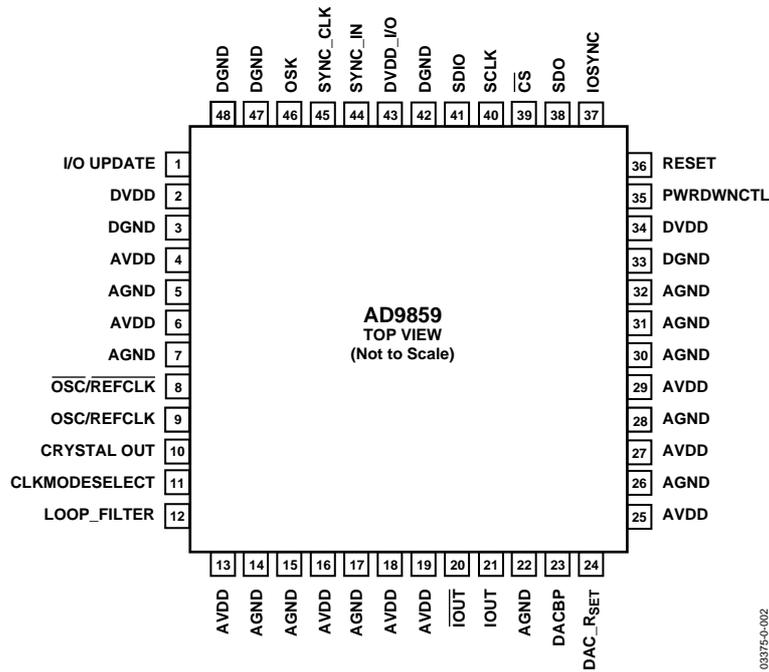


図3.48 ピン TQFP/EP

パッケージ底面の露出パドルは DAC に対する電氣的接続を構成しているため、アナログ・グラウンドに接続する必要があることに注意してください。ピン 43 の DVDD_I/O は、1.8 V または 3.3 V に接続できますが、DVDD ピン(ピン 2 とピン 34)は 1.8 V にのみ接続できることに注意してください。

ピン機能の説明

表3. ピン機能の説明—48 ピン TQFP/EP

ピン番号	記号	I/O	説明
1	I/O UPDATE	I	この立ち上がりエッジで、内部バッファメモリの値が I/O レジスタへ転送されます。このピンは、SYNC_CLK 出力信号に従ってセットアップして維持する必要があります。
2、34	DVDD	I	デジタル電源ピン(1.8 V)。
3、33、42、47、48	DGND	I	デジタル電源グラウンド・ピン。
4、6、13、16、18、19、25、27、29	AVDD	I	アナログ電源ピン(1.8 V)。
5、7、14、15、17、22、26、28、30、31、32	AGND	I	アナログ電源グラウンド・ピン。
8	$\overline{\text{OSC/REFCLK}}$	I	相補リファレンス・クロック/発振器入力入力。REFCLK ポートがシングルエンド・モードで動作する場合、REFCLKB を 0.1 μF のコンデンサで AVDD へデカップリングする必要があります。
9	OSC/REFCLK	I	リファレンス・クロック/発振器入力。発振器/REFCLK 動作の詳細については、クロック入力のセクションを参照してください。
10	CRYSTAL OUT	O	発振器セクションの出力。
11	CLKMODESELECTION	I	発振器セクションのコントロール・ピン。ハイ・レベルのとき、発振器セクションがイネーブルされます。ロー・レベルのとき、発振器セクションはバイパスされます。
12	LOOP_FILTER	I	このピンは REFCLK 通倍器の PLL ループ・フィルタの外部ゼロ補償回路に対する接続を提供します。回路は 1 k Ω 抵抗と AVDD に接続した 0.1 μF のコンデンサとの直列接続で構成されています。
20	$\overline{\text{IOUT}}$	O	相補 DAC 出力。AGND ではなく AVDD に接続した抵抗を介してバイアスを与える必要があります。
21	IOUT	O	DAC 出力。AGND ではなく AVDD に接続した抵抗を介してバイアスを与える必要があります。
23	DACBP	I	DAC ベースラインのデカップリング・ピン。
24	DAC_RSET	I	AGND と DAC_RSET の間に接続した抵抗(公称 3.92 k Ω)により、DAC のリファレンス電流を設定します。
35	PWRDWNCTL	I	外部パワーダウン制御として使われる入力ピン(詳細については、表 8 を参照)。
36	RESET	I	アクティブ・ハイのハードウェア・リセット・ピン。RESET ピンをアサートすると、I/O ポート・レジスタ・マップで説明するように AD9859 は初期状態になります。
37	IOSYNC	I	シリアル・ポート・コントローラの非同期のアクティブ・ハイ・リセット。ハイ・レベルになると、現在の I/O 動作は直ちに終了し、IOSYNC がロー・レベルに戻ると新しい I/O 動作を開始することができるようになります。使用しない場合には、このピンをグラウンドに接続します。このピンをフローティングにすることはできません。
38	SDO	O	I/O ポートが 3 線式シリアル・ポートとして動作している場合、このピンはシリアル・データ出力として機能します。2 線式シリアル・ポートとして動作している場合は、このピンは使用しないため、フローティングにしておくことができます。
39	$\overline{\text{CS}}$	I	このピンは、アクティブ・ローのチップ・セレクトとして機能します。チップ・セレクトを使うと、複数のデバイスで I/O バスを共用することができます。
40	SCLK	I	このピンは、I/O 動作のシリアル・データ・クロックとして機能します。
41	SDIO	I/O	I/O ポートが 3 線式シリアル・ポートとして動作している場合、このピンはシリアル・データ入力専用として機能します。2 線式シリアル・ポートとして動作している場合、このピンは双方向シリアル・データ・ピンになります。
43	DVDD_I/O	I	デジタル電源(I/O セル専用の 3.3 V)。
44	SYNC_IN	I	複数の AD9859 を同期化するとき使用する入力信号。この入力、マスター AD9859 の SYNC_CLK 出力に接続します。
45	SYNC_CLK	O	クロック出力ピンは、外部ハードウェアを同期化する機能を持っています。
46	OSK	I	シェード・オン・オフ・キーイング機能が動作するように設定されたとき、この機能の方向を制御するときに使われる入力ピン。OSK は SYNC_CLK ピンに同期します。OSK を設定しない場合は、このピンは DGND へ接続する必要があります。
<49>	AGND	I	パッケージ底面の露出パドルは DAC のグラウンド接続であるため、ボード・レイアウトの AGND に接続する必要があります。

代表的な性能特性

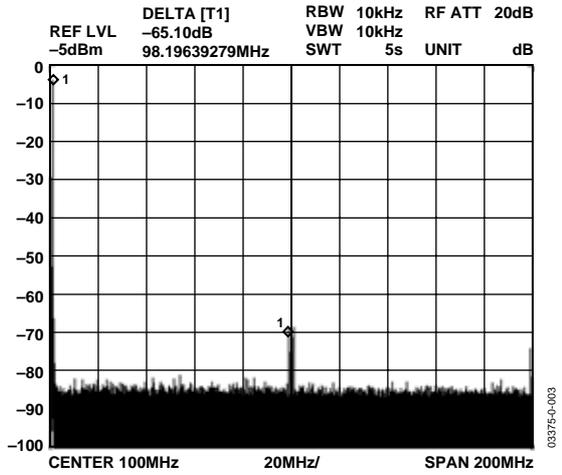


図4. $F_{OUT} = 1$ MHz FCLK = 400 MSPS、WBSFDR

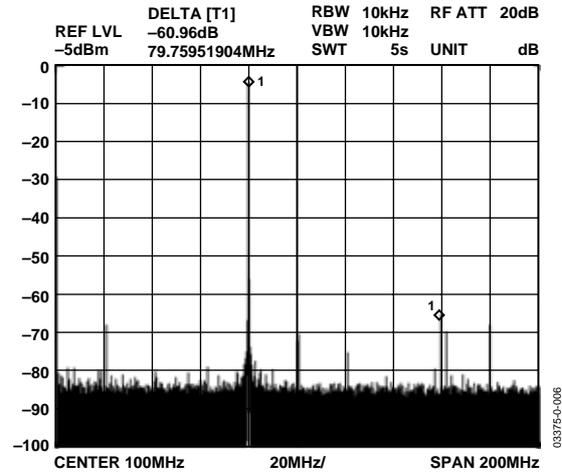


図7. $F_{OUT} = 80$ MHz FCLK = 400 MSPS、WBSFDR

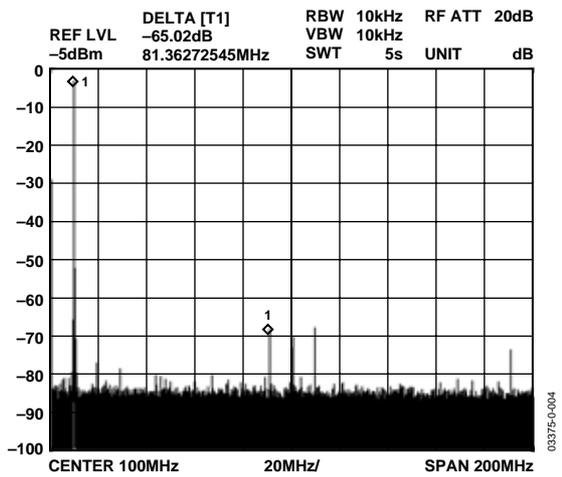


図5. $F_{OUT} = 10$ MHz、FCLK = 400 MSPS、WBSFDR

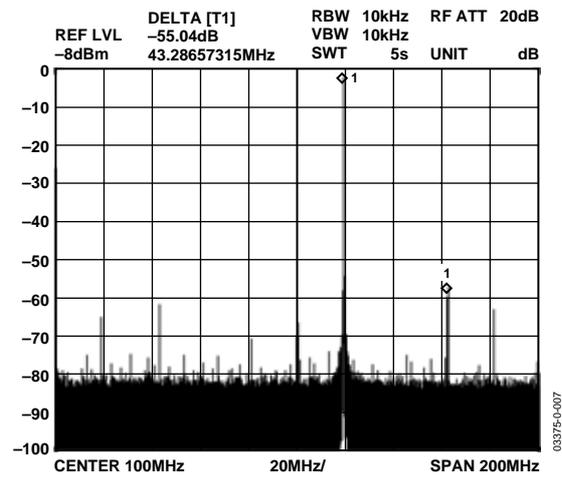


図8 $F_{OUT} = 120$ MHz、FCLK = 400 MSPS、WBSFDR

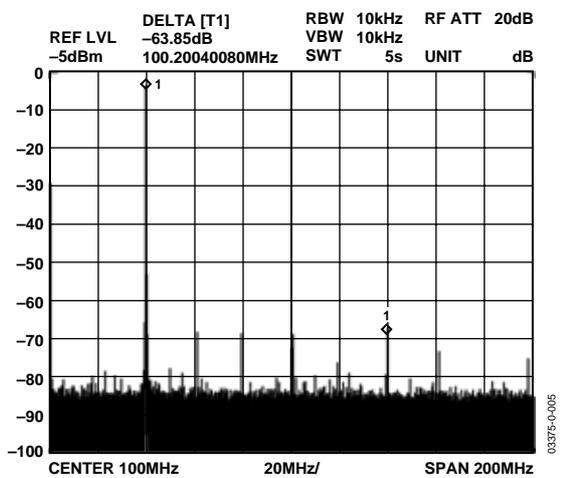


図6. $F_{OUT} = 40$ MHz、FCLK = 400 MSPS、WBSFDR

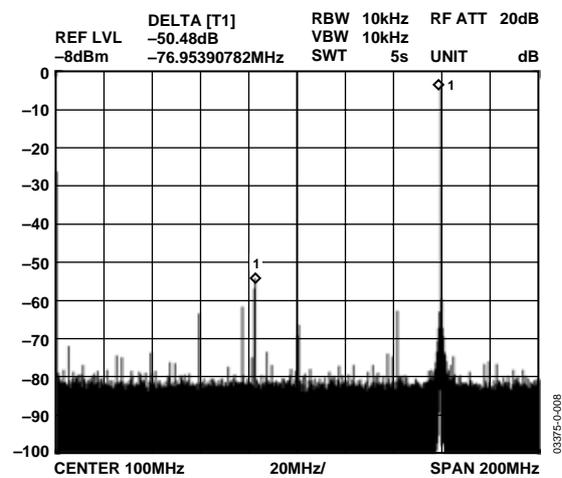
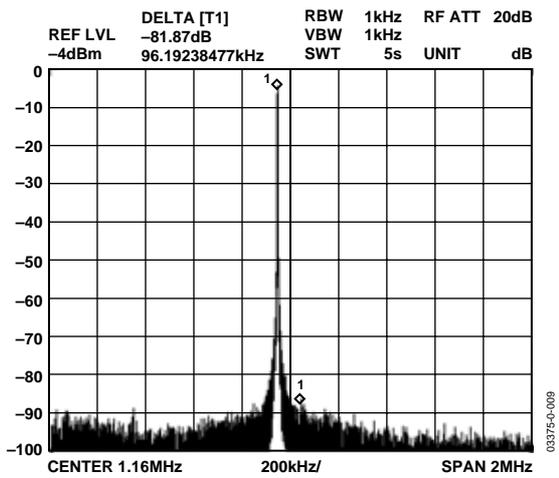
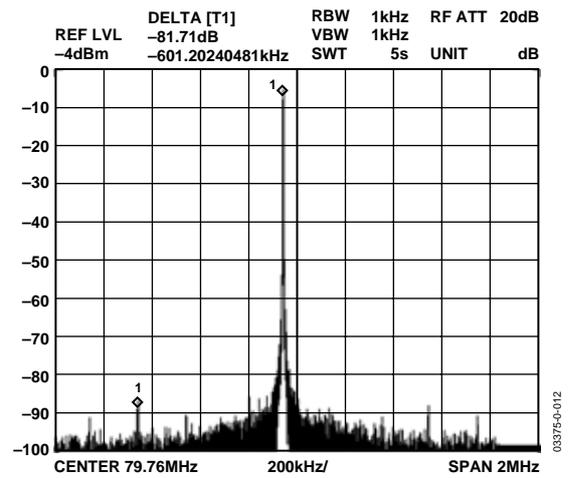


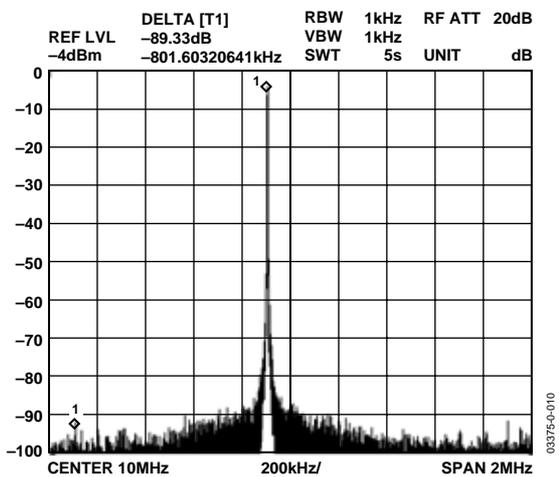
図9. $F_{OUT} = 160$ MHz、FCLK = 400 MSPS、WBSFDR



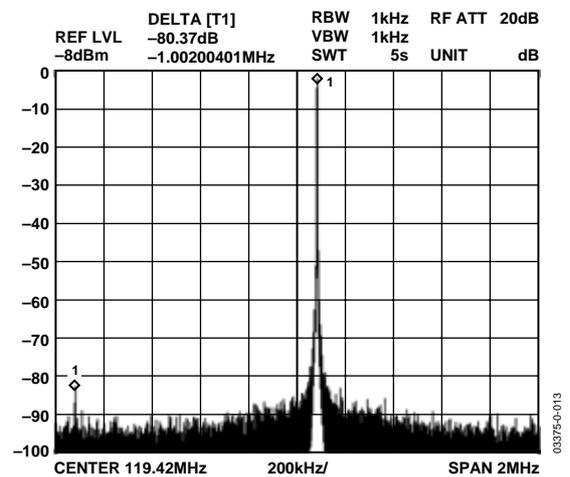
10. $F_{OUT} = 1.1$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz



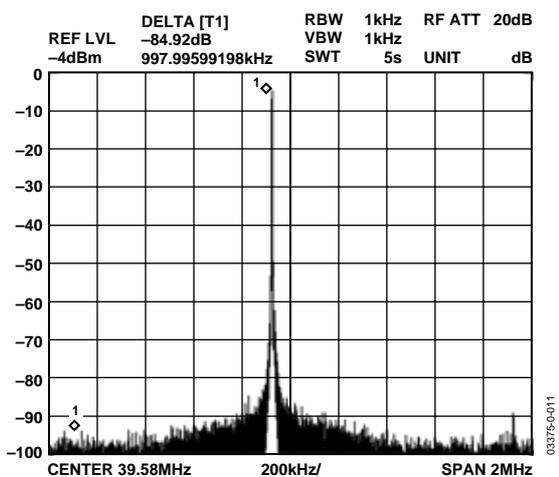
13. $F_{OUT} = 80.3$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz



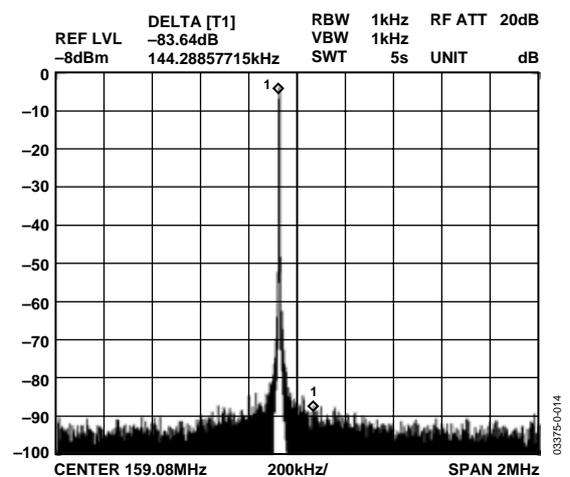
11. $F_{OUT} = 10$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz



14. $F_{OUT} = 120.2$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz



12. $F_{OUT} = 39.9$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz



15. $F_{OUT} = 160$ MHz, $F_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

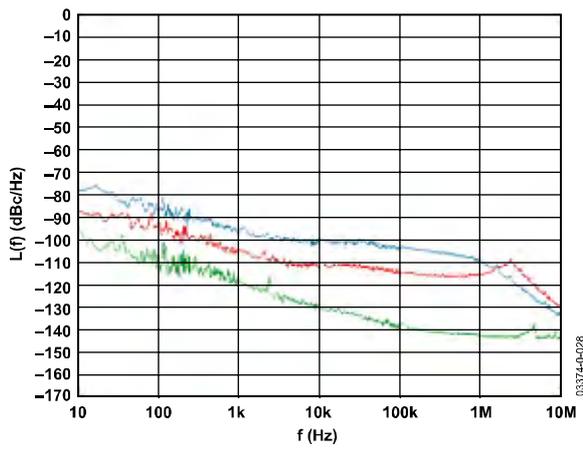


図16. $F_{OUT} = 159.5$ MHz での残留位相ノイズ
 $F_{CLK} = 400$ MSPS (緑)、 4×100 MSPS (赤)、 20×20 MSPS (青)

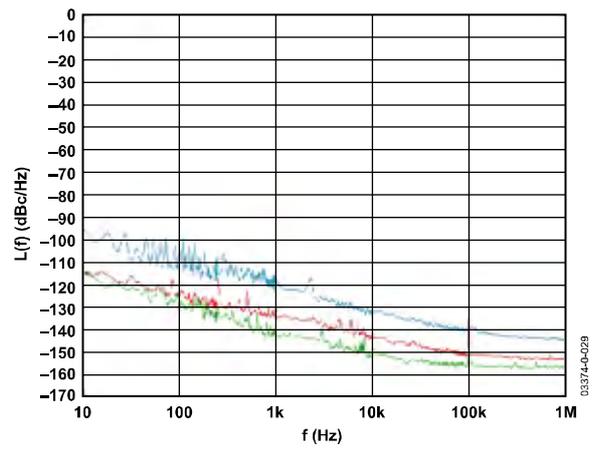


図17. $F_{OUT} = 9.5$ MHz での残留位相ノイズ
 $F_{CLK} = 400$ MSPS (緑)、 4×100 MSPS (赤)、 20×20 MSPS (青)

動作原理

コンポーネント・ブロック

DDS コア

DDS の出力周波数(f_o)は、システム・クロック(SYSCLK)周波数、周波数チューニング・ワード(FTW)の値、アキュムレータの容量(この場合は 2^{32})の関数になります。 f_s を SYSCLK 周波数とすると、関係は次式で与えられます。

$$f_o = (FTW)(f_s) / 2^{32} \quad 0 \leq FTW \leq 2^{31}$$

$$f_o = f_s \times \left(1 - (FTW / 2^{32})\right) \quad 2^{31} < FTW < 2^{32} - 1$$

位相アキュムレータ出力の値は、 $\cos(x)$ 関数ブロックを使って振幅値に変換されて DAC へ転送されます。

アプリケーションによっては、出力信号をゼロ位相にすることが望ましい場合があります。単に FTW を 0 に設定してもこれは実現できず、DDS コアが現在の位相値を保持するだけです。したがって、位相アキュムレータ出力をゼロにするコントロール・ビットが必要になります。

パワーアップ時、位相アキュムレータ・クリア・ビットがロジック 1 に設定されますが、このビットのバッファ・メモリがクリアされます(ロジック 0)。このため、パワーアップ時、最初の I/O UPDATE が発行されるまで、位相アキュムレータはクリアされたままになります。

位相ロック・ループ(PLL)

PLL を使うと、REFCLK 周波数の通倍が可能になります。PLL の制御は、コントロール・ファンクション・レジスタ No. 2 のビット<7:3>の 5 ビットの REFCLK 通倍器部分を設定することにより行われます。

0x04 ~ 0x14 (10 進で 4 ~ 20)の値が設定されると、PLL は REFCLK 入力周波数を対応する 10 進値倍にしますが、PLL の最大出力周波数は 400 MHz に制限されます。PLL 値が変更されるごとに、PLL がロックするまでに時間(約 1 ms)が必要なことに注意してください。

4 ~ 20 (10 進)の範囲外の値を設定すると、PLL はバイパスされます。バイパスされると、PLL はシャットダウンして消費電力を節約します。

クロック入力

AD9859 は種々のクロック方法をサポートしています。差動またはシングルエンドの入力クロックに対するサポートと内蔵発振器および/または位相ロック・ループ(PLL)通倍器のイネーブルはすべて、ユーザ・プログラマブルなビットを使って制御します。システム・クロックの発生では、AD9859 は 6 種類の動作モードを設定することができます。モードは CFR1<4>と CFR2<7:3>の CLKMODESELECT ピンを使って設定します。外部ピン CLKMODESELECT をハイ・レベルに接続すると、内蔵水晶発振器回路がイネーブルされます。内蔵発振器をイネーブルして、外部水晶を AD9859 の REFCLK 入力と REFCLKB 入力に接続すると、20 MHz ~ 30 MHz の範囲の低周波リファレンス・クロックを発生することができます。発振器により発生された信号はバッファされた後、チップの他の部分に分配されます。このバッファされた信号は CRYSTAL OUT ピンに出力されます。ビット CFR1<4>を使ってバッファをイネーブル/ディスエーブルして、システム・クロックのチューニングをオン/オフすることができます。発振器自体はパワーダウンしません。これは水晶発振器のチューニングに要する長いスタートアップ時間を回避するためです。CFR2<9>にハイ・レベルを書き込むと、水晶発振器出力バッファがイネーブルされます。CFR2<9>にロー・レベルを書き込むと、発振器出力バッファがディスエーブルされます。

CLKMODESELECT をロー・レベルにすると、内蔵発振器と発振器出力バッファがディスエーブルされます。発振器をディスエーブルすると、外部発振器から REFCLK 信号および/または REFCLKB 信号を供給する必要があります。差動動作の場合、これらのピンは相補信号で駆動されます。シングルエンド動作の場合、0.1 μ F のコンデンサを未使用ピンとアナログ電源との間に接続する必要があります。コンデンサを接続すると、クロック入力ピンのバイアス電圧は 1.35 V になります。さらに、PLL を使って、リファレンス周波数を整数値倍(4 ~ 20 の範囲)にすることができます。表 4 に、クロック動作モードの一覧を示します。PLL 通倍器は、CFR1<4>ビットとは独立に、CFR2<7:3>ビットを使って制御されることに注意してください。

表4.クロック入力の動作モード

CFR1<4>	CLKMODESELECT	CFR2<7:3>	Oscillator Enabled?	System Clock	Frequency Range (MHz)
Low	High	3 < M < 21	Yes	$F_{CLK} = F_{OSC} \times M$	80 < F_{CLK} < 400
Low	High	M < 4 or M > 20	Yes	$F_{CLK} = F_{OSC}$	20 < F_{CLK} < 30
Low	Low	3 < M < 21	No	$F_{CLK} = F_{OSC} \times M$	80 < F_{CLK} < 400
Low	Low	M < 4 or M > 20	No	$F_{CLK} = F_{OSC}$	10 < F_{CLK} < 400
High	X	X	No	$F_{CLK} = 0$	N/A

DAC 出力

AD9859 は 10 ビットの電流出力 DAC を内蔵しています。多くの DAC と異なり、この出力は AGND ではなく AVDD を基準としています。

2 本の相補出力から合算フルスケール出力電流 (I_{OUT}) が出力されます。差動出力には DAC 出力に存在する同相モード・ノイズを小さくして、信号対ノイズ比を大きくする利点があります。フルスケール電流は、DAC_ R_{SET} ピンと DAC グラウンド (AGND_DAC) の間に接続する外付け抵抗 (R_{SET}) により制御されます。フルスケール電流は次のように抵抗値に比例します。

$$R_{SET} = 39.19 / I_{OUT}$$

合算 DAC 出力の最大フルスケール出力電流は 15 mA ですが、出力を 10 mA に制限すると、最適なスプリアス・フリー・ダイナミック・レンジ (SFDR) 性能が得られます。DAC 出力のコンプライアンス・レンジは AVDD + 0.5 V ~ AVDD - 0.5 V です。この範囲を超えた電圧を発生させると、大きな DAC 歪みが発生して、DAC 出力回路が壊れる危険性があります。出力電圧をこのコンプライアンス・レンジ内に維持するために負荷終端に注意する必要があります。

シリアル I/O ポート

AD9859 のシリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に行うことができます。シリアル I/O ポートは、モトローラ社の 6905/11 SPI® プロトコルや Intel® 社の 8051 SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。

このインターフェースを使うと、AD9859 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。AD9859 のシリアル・インターフェース・ポートは、1 ポンの I/O (SDIO) として設定できます。これを使うと、2 線式インターフェースまたは 2 本の入力/出力 (SDIO/SDO) の単方向ピン (3 線式インターフェースをイネーブル) が可能になります。2 つのオプション・ピン (IOSYNC と \overline{CS}) により、AD9859 内のシステム・デザインが非常に柔軟になります。

レジスタ・マップと説明

レジスタ・マップをに示します。

表5.レジスタ・マップ

Register Name (Serial Address)	Bit Range	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default Value	
Control Function Register No.1 (CFR1) (0x00)	<7: 0>	Digital Power-Down	Not Used	DAC Power-Down	Clock Input Power-Down	External Power-Down Mode	Not Used	SYNC_CLK Out Disable	Not Used	0x00	
	<15: 8>	Not Used	Not Used	AutoClr Phase Accum	Enable SINE Output	Not Used	Clear Phase Accum.	SDIO Input Only	LSB First	0x00	
	<23: 16>	Automatic Sync Enable	Software Manual Sync	Not Used						0x00	
	<31: 24>	Not Used					Load ARR @ I/O UD	OSK Enable	Auto OSK Keying	0x00	
Control Function Register No. 2 (CFR2) (0x01)	<7: 0>	REFCLK Multiplier 0x00 or 0x01, or 0x02 or 0x03: Bypass Multiplier 0x04 to 0x14: 4× to 20× Multiplication				VCO Range		Charge Pump Current <1: 0>		0x00	
	<15: 8>	Not Used				High Speed Sync Enable	Hardware Manual Sync Enable	CRYSTAL OUT Pin Active	Not Used	0x00	
	<23: 16>	Not Used								0x00	
Amplitude Scale Factor (ASF) (0x02)	<7: 0>	Amplitude Scale Factor Register <7: 0>									0x00
	<15: 8>	Auto Ramp Rate Speed Control <1: 0>	Amplitude Scale Factor Register <13: 8>							0x00	
Amplitude Ramp Rate (ARR) (0x03)	<7: 0>	Amplitude Ramp Rate Register <7: 0>								0x00	
Frequency Tuning Word (FTW0) (0x04)	<7: 0>	Frequency Tuning Word No. 0 <7: 0>								0x00	
	<15: 8>	Frequency Tuning Word No. 0 <15: 8>								0x00	
	<23: 16>	Frequency Tuning Word No. 0 <23: 16>								0x00	
	<31: 24>	Frequency Tuning Word No. 0 <31: 24>								0x00	
Phase Offset Word (POW0) (0x05)	<7: 0>	Phase Offset Word No. 0 <7: 0>									0x00
	<15: 8>	Not Used<1: 0>	Phase Offset Word No. 0 <13: 8>							0x00	

コントロール・レジスタのビット説明

コントロール・ファンクション・レジスタ No. 1 (CFR1)

CFR1 は、種々の機能と AD9859 のモードを制御するときに使います。各ビットの機能を次に説明します。

CFR1<31: 27>: 未使用

CFR1<26>: 振幅ランプ・レート・ロード・コントロール・ビット

CFR1<26> = 0 (デフォルト)。振幅ランプ・レート・タイマはタイムアウトしたときのみロードされ(タイマ= 1)、I/O UPDATE 入力信号ではロードされません。

CFR1<26> = 1。振幅ランプ・レート・タイマはタイムアウト時のみ(タイマ= 1)または I/O UPDATE 入力信号のときにロードされます。

CFR1<25>: シェープド・オン・オフ・キーイング・イネーブル・ビット

CFR1<25> = 0 (デフォルト)。シェープド・オン・オフ・キーイングがバイパスされます。

CFR1<25> = 1。シェープド・オン・オフ・キーイングがイネーブルされます。イネーブルされると、CFR1<24>はこのファンクションの動作モードを制御します。

CFR1<24>: 自動シェープド・オン・オフ・キーイング・イネーブル・ビット(CFR1<25>がアクティブ・ハイのときのみ有効)

CFR1<24> = 0 (デフォルト)。CFR1<25>がアクティブのとき、CFR1<24>のロジック 0 により、マニュアル・シェープド・オン・オフ・キーイング動作がイネーブルされます。DAC へ送信される各振幅サンプルは、振幅スケール・ファクタ倍されます。詳細については、シェープド・オン・オフ・キーイングのセクションを参照してください。

CFR1<24> = 1。CFR1<25>がアクティブのとき、CFR1<24>のロジック 1 により、自動シェープド・オン・オフ・キーイング動作がイネーブルされます。OSK ピンをハイ・レベルにトグルすると、出力スケラがゼロ・スケールから振幅スケール・ファクタへ振幅ランプ・レートで指定されるレートでランプ・アップします。OSK ピンをロー・レベルにトグルすると、出力が振幅スケール・ファクタからゼロ・スケールへ振幅ランプ・レートでランプ・ダウンします。詳細については、シェープド・オン・オフ・キーイングのセクションを参照してください。

CFR1<23>: 自動同期化イネーブル・ビット

CFR1<23> = 0 (デフォルト)。複数の AD9859 の自動同期機能は非アクティブになります。

CFR1<23> = 1。複数の AD9859 の自動同期機能がアクティブになります。デバイスは、SYNC_IN 入力に存在する信号に一致するように内部同期クロック(SYNC_CLK)を同期化します。詳細については、複数 AD9859 の同期化のセクションを参照してください。

CFR1<22>: 複数の AD9859 のソフトウェア・マニュアル同期化

CFR1<22> = 0 (デフォルト)。マニュアル同期機能は非アクティブになります。

CFR1<22> = 1。ソフトウェア制御のマニュアル同期機能が実行されます。SYNC_CLK の立ち上がりエッジが SYNC_CLK で 1 サイクル進められ、このビットがクリアされます。立ち上がりエッジを複数回進めるときは、進めるごとにこのビットをセットする必要があります。詳細については、複数 AD9859 の同期化のセクションを参照してください。

CFR1<21: 14>: 未使用

CFR1<13>: 自動位相アキュムレータ・クリア・ビット

CFR1<13> = 0 (デフォルト)、周波数チューニング・ワードが入力されたとき、位相アキュムレータの現在の状態は不変に維持されます。

CFR1<13> = 1。このビットは、I/O UPDATE 信号を受信したとき 1 サイクル間、位相アキュムレータを自動的に同期クリア(0 をロード)します。

CFR1<12>: サイン/コサイン選択ビット

CFR1<12> = 0 (デフォルト)。角度/振幅変換ロジックが COSINE 関数を採用します。

CFR1<12> = 1。角度/振幅変換ロジックが SINE 関数を採用します。

CFR1<11>: 未使用

CFR1<10>: 位相アキュムレータ・クリア

CFR1<10> = 0 (デフォルト)。位相アキュムレータは通常通り機能します。

CFR1<10> = 1。位相アキュムレータ・メモリ・エレメントがクリアされ、このビットがクリアされるまでクリア状態が続きます。

CFR1<9>: SDIO 入力専用

CFR1<9> = 0 (デフォルト)。SDIO ピンが双方向動作します(2 線式シリアル構成モード)。

CFR1<9> = 1。シリアル・データ I/O ピン(SDIO)が入力専用ピンとして設定されます(3 線式シリアル構成モード)。

CFR1<8>: LSB ファースト

CFR1<8> = 0 (デフォルト)。MSB ファースト・フォーマットがアクティブになります。

CFR1<8> = 1。シリアル・インターフェースが、LSB ファースト・フォーマットでシリアル・データを受け取ります。

CFR1<7>: デジタル・パワーダウン・ビット

CFR1<7> = 0 (デフォルト)。すべてのデジタル機能とクロックがアクティブになります。

CFR1<7> = 1。すべての非 IO デジタル機能が停止して、消費電力が大幅に削減されます。

CFR1<6>: 未使用

CFR1<5>: DAC パワーダウン・ビット

CFR1<5> = 0 (デフォルト)。DAC 動作がイネーブルされます。

CFR1<5> = 1。DAC がディスエーブルされ、最小の消費電力状態になります。

CFR1<4>: クロック入力パワーダウン・ビット

CFR1<4> = 0 (デフォルト)。クロック入力回路動作がイネーブルされます。

CFR1<4> = 1。クロック入力回路がディスエーブルされ、デバイスが最小消費電力状態になります。

CFR1<3>: 外部パワーダウン・モード

CFR1<3> = 0 (デフォルト)。選択された外部パワーダウン・モードは、高速回復パワーダウン・モードになります。このモードではモード、PWRDWNCTL 入力ピンがハイ・レベルのとき、デジタル・ロジックと DAC デジタル・ロジックがパワーダウンします。DAC バイアス回路、PLL、発振器、クロック入力回路は、パワーダウンしません。

CFR1<3> = 1。選択された外部パワーダウン・モードは、フル・パワーダウン・モードになります。このモードではモード、PWRDWNCTL 入力ピンがハイ・レベルのとき、すべての機能がパワーダウンします。これには、パワーアップに長い時間が必要な DAC と PLL が含まれます。

CFR1<2>: 未使用

CFR1<1>: SYNC_CLK ディスエーブル・ビット

CFR1<1> = 0 (デフォルト)。SYNC_CLK ピンがアクティブになります。

CFR1<1> = 1。SYNC_CLK ピンが、デジタル回路から発生するノイズを最小に維持するスタティック・ロジック 0 状態と見なしますが、同期回路はアクティブ(内部)ままで、通常のデバイス・タイミングを維持します。

CFR1<0>: 未使用、0 に維持してください。

コントロール・ファンクション・レジスタ No. 2 (CFR2)

CFR2 は種々の機能と AD9859 のモードを制御するときに使います。主にチップのアナログ・セクションに関係します。

CFR2<23: 12>: 未使用

CFR2<11>: 高速同期イネーブル・ビット

CFR2<11> = 0 (デフォルト)。高速同期エンハンスメントはオフになります。

CFR2<11> = 1。高速同期エンハンスメントはオンになります。50 MHz(200 MSPS SYSCLK)を超えて SYNC_CLK 入力の自動同期機能を使おうとするときは、このビットをセットする必要があります。詳細については、複数 AD9859 の同期化のセクションを参照してください。

CFR2<10>: ハードウェア・マニュアル同期イネーブル・ビット

CFR2<10> = 0 (デフォルト)。ハードウェア・マニュアル同期ファンクションがオフになります。

CFR2<10> = 1。ハードウェア・マニュアル同期ファンクションがイネーブルされます。このビットがセットされている間、SYNC_IN ピンの立ち上がりエッジにより、デバイスは SYNC_CLK の立ち上がりエッジを REFCLK で 1 サイクル進めます。ソフトウェア・マニュアル同期イネーブル・ビットとは異なり、このビットはセルフ・クリア・ビットではありません。ハードウェア・マニュアル同期モードがイネーブルされると、このビットがクリアされるまで、イネーブル状態が続きます。詳細については、複数 AD9859 の同期化のセクションを参照してください。

CFR2<9>: CRYSTAL OUT イネーブル・ビット

CFR2<9> = 0 (デフォルト)。CRYSTAL OUT ピンが非アクティブになります。

CFR2<9> = 1。CRYSTAL OUT ピンがアクティブになります。アクティブのとき、水晶発振器回路出力が CRYSTAL OUT ピンを駆動します。このピンは他のデバイスへ接続して、リファレンス周波数を発生させます。発振器は、20 MHz ~ 30 MHz の範囲の水晶に反応します。

CFR2<8>: 未使用

CFR2<7: 3>: リファレンス・クロック逡倍器コントロール・ビット

この 5 ビット・ワードは、クロック逡倍器(PLL)ブロックから逡倍器の値を制御します。有効な値は 10 進の 4 ~ 20 (0x04 ~ 0x14) です。この範囲外の値は、クロック逡倍器をバイパスします。詳細については、位相ロック・ループ(PLL)のセクションを参照してください。

CFR2<2>: VCO 範囲コントロール・ビット

このビットは、VCO 範囲の設定値を制御するときに使います。CFR2<2> = 0 (デフォルト)のとき、VCO は 100 MHz ~ 250 MHz の範囲で動作します。CFR2<2> = 1 のとき、VCO は 250 MHz ~ 400 MHz の範囲で動作します。

CFR2<1: 0>: チャージ・ポンプ電流コントロール・ビット

これらのビットは、チャージ・ポンプ電流の設定値を制御するときに使います。デフォルト設定の CFR2<1: 0>は、チャージ・ポンプ電流をデフォルト値の 75 μ A に設定します。各ビットが追加されると(01、10、11)、25 μ A の電流がチャージ・ポンプ電流に追加されます: 100 μ A、125 μ A、150 μ A。

その他のレジスタの説明

振幅スケール・ファクタ(ASF)

ASF レジスタは、2 ビットの自動ランプ・レート速度値と出力シェード・キーイング(OSK)動作で使われる 10 ビットの振幅スケール・ファクタを格納します。自動 OSK 動作では、ASF <15: 14>は OSK ブロックに対して各インクリメントまたはデクリメントでの振幅ステップ数を指定します。ASF<13: 0>は、OSK 内部送信器で実現できる最大値を設定します。マニュアル OSK モードでは、ASF<15: 14>は無視されます。ASF <13: 0>は直接出力スケール・ファクタを提供します。OSK イネーブル・ビットがクリアされると、CFR1<25> = 0 になります。このレジスタはデバイス動作に影響を与えません。

振幅ランプ・レート(ARR)

ARR レジスタは、自動 OSK モードで使用される 8 ビット振幅ランプ・レートを格納します。このレジスタは、振幅スケール・ファクタ・カウンタがインクリメントまたはデクリメントされるレートを設定します。OSK がマニュアル・モードに設定された場合、または OSK イネーブルがクリアされた場合、このレジスタはデバイス動作に影響を与えません。

周波数チューニング・ワード 0 (FTW0)

周波数チューニング・ワードは、DDS コアの位相アキュムレータ内でアキュムレータのレートを制御する 32 ビット・レジスタです。このレジスタの特定の役割は、デバイスの動作モードに依存します。

位相オフセット・ワード(POW)

位相オフセット・ワードは、位相オフセット値を格納する 14 ビット・レジスタです。このオフセット値が位相アキュムレータ出力に加算されて、出力信号の現在の位相にオフセットが与えられます。位相オフセットの実際の値は次式で表されます。

$$\Phi = \left(\frac{POW}{2^{14}} \right) \times 360^\circ$$

動作モード

シングル・トーン・モード

シングル・トーン・モードでは、DDS コアはシングル・チューニング・ワードを使います。FTW0 に格納された値は内容によらず位相アキュムレータに渡されます。この値はマニュアルでのみ変更できます。新しい値を FTW0 に書き込んで、I/O UPDATE を発行すると、これが実行されます。位相調整は、位相オフセット・レジスタを使って行うことができます。

AD9859 機能の書き込み

位相オフセットの制御

14 ビット位相オフセット(Φ)を、コントロール・レジスタを使って、位相アキュムレータ出力に加算することができます。この機能は、位相制御の 2 つの方法を提供します。

最初の方法は、固定位相オフセットを該当する位相オフセット・レジスタにロードして不変に維持するスタティック位相調整です。これにより、出力信号が公称信号に対して一定角度だけオフセットされます。この機能を使うと、必要に応じて DDS 出力と外部信号との位相を合わせることができます。

位相制御の 2 つ目の方法は、I/O ポートを使ってユーザが定期的に位相オフセット・レジスタを更新する方法です。位相オフセットを時間の関数として適切に変更して、位相変調された出力信号を発生することができますが、位相変調を行うレートは I/O ポートの速度と SYSCLK 周波数により制限されます。

AD9859 を使うと、位相アキュムレータに対するプログラマブルな連続ゼロ設定、さらにクリアおよびリリースまたは自動ゼロ設定機能が可能になります。各機能は、CFR1 ビットを使って個別に制御されます。CFR1<13>は位相アキュムレータ自動クリア・ビットです。CFR1<10>は位相アキュムレータをクリアして値をゼロに維持します。

連続クリア・ビット

連続クリア・ビットは単なるスタティック制御信号であり、アクティブ・ハイのとき、ビットがアクティブな間、位相アキュムレータをゼロに維持します。ビットがロー・レベル(非アクティブ)になると、位相アキュムレータの動作が可能になります。

クリアおよびリリース機能

セットされると、位相アキュムレータ自動クリア・ビットは、I/O UPDATE を受信したときに、位相アキュムレータをクリアしてリリースします。自動クリア機能は後続の I/O UPDATE が受信されるごとに繰り返され、該当する自動クリア・コントロール・ビットがクリアされるまで、この繰り返が続きます。

シェード・オン・オフ・キーイング

AD9859 のシェード・オン・オフ・キーイング機能を使うと、DAC からのオン・オフ・エミッションのランプアップおよびランプダウン時間を制御することができます。この機能は、短い突然のデータ・バーストによるスペクトルへの悪影響を軽減するため、デジタル・データのバースト送信で使用されます。

自動およびマニュアルのシェード・オン・オフ・キーイング・モードがサポートされています。自動モードでは、リニア・スケール・ファクタが外部ピン(OSK)から制御される振幅ランプ・レート(ARR)レジスタにより指定されるレートで発生されます。マニュアル・モードを使うと、振幅スケール・ファクタ(ASF)レジスタにスケール・ファクタ値を書き込むことにより、出力振幅を直接制御することができます。

シェード・オン・オフ・キーイング機能は、OSK イネーブル・ビット(CFR1<25> = 0)をクリアして、バイパス(ディスエーブル)することができます。

このモードは、コントロール・ファンクション・レジスタ(CFR)の上位バイトにある 2 ビットから制御されます。CFR1<25>は、シェード・オン・オフ・キーイング・イネーブル・ビットです。CFR1<25>がセットされると、出力スケール機能がいネーブルされ、CFR1<25>はこの機能をバイパスします。CFR1<24>は、内部シェード・オン・オフ・キーイング・アクティブ・ビットです。CFR1<24>がセットされると、内部シェード・オン・オフ・キーイング・モードがアクティブになり、CFR1<24>がクリアされると、外部シェード・オン・オフ・キーイング・モードがアクティブになります。シェード・オン・オフ・キーイング・イネーブル・ビット(CFR1<25>)がクリアされると、CFR1<24>は Don't Care になります。パワーアップ状態ではシェード・オン・オフ・キーイングがディスエーブルされています(CFR1<25> = 0)。図 18 に、OSK 回路のブロック図を示します。

自動シェード・オン・オフ・キーイング・モードの動作

自動シェード・オン・オフ・キーイング・モードは、CFR1<25>と CFR1<24>がセットされると、アクティブになります。自動シェード・オン・オフ・キーイング・モードがイネーブルされると、シングル・スケール・ファクタが内部で発生され、逓倍器入力に適用されて、DDS コア・ブロックの出力がスケールされます(図 18 参照)。スケール・ファクタは 10 ビット・カウンタからの出力であり、このカウンタは、8 ビット出力ランプ・レート・レジスタ値により指定されるレートでインクリメント/デクリメントされます。OSK ピンがハイ・レベルのときスケール・ファクタは増加し、OSK ピンがロー・レベルのとき減少します。スケール・ファクタは符号なしの値で、全ビット 0 のとき DDS コア出力に 0 (10 進)を乗算し、0x3FFF のとき DDS コア出力に 16383 (10 進)を乗算します。

フル振幅(10 ビット)と高速ランプ・レートが必要な場合は、内部発生スケール・ファクタ・ステップ・サイズが ASF<15: 14>ビットを使って制御されます。表 6 に、内部発生スケール・ファクタのインクリメント/デクリメント・ステップ・サイズと ASF<15: 14>ビットの対応を示します。

このモードの特別な機能は、許容最大出力振幅が、振幅スケール・ファクタ・レジスタ値により制限されることです。この機能を使うと、フルスケールより小さい値へランプすることができます。

表6.自動スケール・ファクタの内部ステップ・サイズ

ASF<15: 14> (Binary)	Increment/Decrement Size
00	1
01	2
10	4
11	8

OSK ランプ・レート・タイマ

OSK ランプ・レート・タイマはローダブル・ダウンカウンタであり、このカウンタは内部スケール・ファクタを発生する 10 ビット・カウンタに対するクロック信号を発生します。ランプ・レート・タイマには、カウンタが 1 (10 進)に到達するごとに ASFR の値がロードされます。このロードとカウントダウン動作は、カウント 1 に到達する前にタイマがロードされないがぎり、タイマがイネーブルされている間続きます。

ロード OSK タイマ・ビット(CFR1<26>)がセットされると、I/O UPDATE を受け取ったとき、または値 1 に到達したときに、ランプ・レート・タイマがロードされます。ランプ・タイマには、カウント=1 に到達する前に、次の 3 つの方法でロードすることができます。

1 つ目の方法は、OSK 入力ピンを変えることによります。OSK 入力ピン状態が変わると、ASFR 値がランプ・レート・タイマにロードされ、通常のカウントダウンが続きます。

2 つ目の方法では、ロード OSK タイマ・ビット(CFR1<26>)がセットされ、かつ I/O UPDATE が発行された場合、カウント=1 に到達する前に、スイープ・ランプ・レート・タイマをロードすることができます。

最後の方法では、非アクティブの自動シェード・オン・オフ・キーイング・モードからアクティブの自動シェード・オン・オフ・キーイング・モードに変わるとき、すなわちスイープ・イネーブル・ビットがセットされるとき、カウント=1 に到達する前にスイープ・ランプ・レート・タイマをロードすることができます。

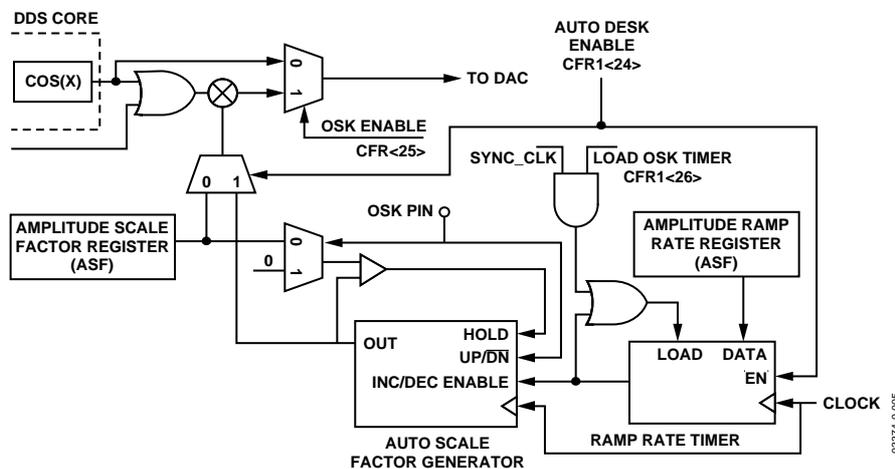


図18.オン・オフ・シェード・キーイングのブロック図

外部シェード・オン・オフ・キーイング・モードの動作

CFR1<25>にロジック 1 を書き込み、さらに CFR1<24>にロジック 0 を書き込むと、外部シェード・オン・オフ・キーイング・モードがイネーブルされます。外部シェード・オン・オフ・キーイングが設定されると、ASFR の値がデータ・パスのスケール・ファクタになります。スケール・ファクタは、I/O UPDATE 機能を使って SYNC_CLK に同期化されます。

同期化; レジスタの更新(I/O UPDATE)

SYNC_CLK と I/O UPDATE の機能

AD9859 へ入力されるデータは SYNC_CLK 信号(SYNC_CLK ピンに出力)に同期しています。I/O UPDATE ピンは、SYNC_CLK の立ち上がりエッジでサンプルされます。

内部では、SYSCLK が 4 分周器に入力されて SYNC_CLK 信号が発生されます。SYNC_CLK 信号は SYNC_CLK ピンに出力されます。この信号により、外部ハードウェアとデバイスの内部クロックとの同期が可能になります。これは、外部ハードウェアに SYNC_CLK からタイミングを取得させることにより実行されます。I/O UPDATE 信

号と SYNC_CLK の組み合わせを使って、内部バッファ値をデバイスのコントロール・レジスタへ転送します。SYNC_CLK ピンと I/O UPDATE ピンの組み合わせにより、SYSCLK に対して一定のレイテンシが与えられ、新しいチューニング・ワードまたは位相オフセット値がアサートされたときに、アナログ出力信号の位相の連続性も確保されます。図 19に、I/O UPDATE タイミングのサイクルと同期を示します。

同期ロジックについての注意

- I/O UPDATE 信号のエッジを検出して、1 つの立ち上がりエッジ・クロック信号が発生され、この信号がレジスタ・バンク・フロップを駆動します。I/O UPDATE 信号にはデューティ・サイクルの制約がありません。I/O UPDATE の最小ロー・レベル時間は、SYNC_CLK で 1 クロック・サイクルです。
- I/O UPDATE ピンのセットアップとホールドは、SYNC_CLK の立ち上がりエッジに対するもので、ホールド・タイム=0 で、セットアップ・タイム=4 ns です。

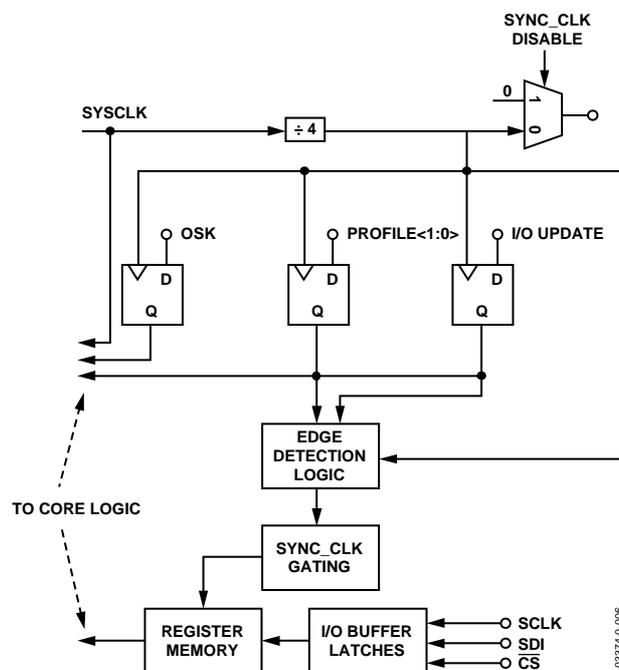
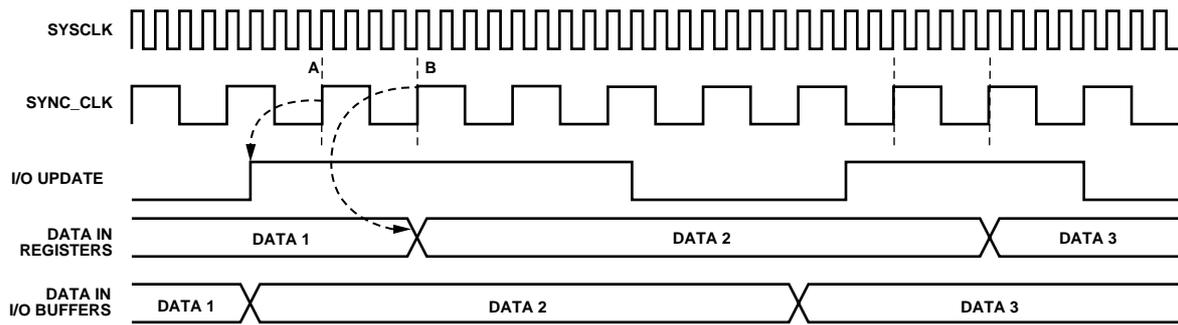


図19. I/O 同期化のブロック図



THE DEVICE REGISTERS AN I/O UPDATE AT POINT A. THE DATA IS TRANSFERRED FROM THE ASYNCHRONOUSLY LOADED I/O BUFFERS AT POINT B.

図20.I/O同期化のタイミング図

複数 AD9859 の同期化

AD9859 では、複数の AD9859 を容易に同期化することができます。自動同期モード、ソフトウェア制御のマニュアル同期モード、ハードウェア制御のマニュアル同期モードの 3 つの同期モードがあります。すべてのケースで、複数のデバイスを同期化するとき、次の事項を考慮する必要があります。1 つ目は、すべてのユニットが共通のクロック・ソースを共有する必要があります。クロック・ツリーのパターン長とパス・インピーダンスは、様々なクロック分岐の位相遅延をできるだけ一致させるようにデザインする必要があります。2 つ目は、I/O UPDATE 信号の立ち上がりエッジは、システム内のすべてのデバイスに同期している必要があります。最後に、使用する内部同期方法に無関係に、同期対象のすべてのデバイスの DVDD_I/O 電源を 3.3 V にする必要があります。AVDD と DVDD は 1.8 V のままにします。

自動同期モードでは、1 個のデバイスをマスターとして選択し、他のデバイスはこのマスターに対するスレーブとします。このモードに設定されると、スレーブは自分の内部クロックをマスター・デバイスの SYNC_CLK 出力信号に自動的に同期化します。自動同期モードを開始するときは、スレーブ・デバイスの自動同期ビットをセットします(CFR1<23> = 1)。SYNC_IN 入力をマスター-SYNC_CLK 出力に接続します。スレーブ・デバイスは、自分の SYNC_CLK の位相関係を連続的に更新し、SYNC_IN 入力と同相になるまでこれを待ちます。この SYNC_IN 入力は、マスター・デバイスの SYNC_CLK です。250 MSPS を超える SYSCLK 速度で動作しているデバイスを同期化するとき、高速同期エンハンスメント・イネーブル・ビットをセットする必要があります(CFR2<11> = 1)。

ソフトウェア・マニュアル同期モードでは、デバイスが SYNC_CLK の立ち上がりエッジを SYSCLK の 1 サイクル分進めます(1/4 SYNC_CLK 周期)。マニュアル同期モードを開始するときは、スレーブ・デバイスのソフトウェア・マニュアル同期ビットをセットします(CFR1<22> = 1)。ビット(CFR1<22>)は直ちにクリアされます。SYNC_CLK の立ち上がりエッジを複数回進めるときは、このビットを複数回セットする必要があります。

ハードウェア・マニュアル同期モードでは、SYNC_IN ピンの立ち上がりエッジをデバイスが検出することに SYNC_CLK 信号の立ち上がりエッジを進めるように SYNC_IN 入力ピンが設定されます。デバイスをハードウェア・マニュアル同期モードにするときは、ハードウェア・マニュアル同期ビットをセットします(CFR2<10> = 1)。ソフトウェア・マニュアル同期ビットとは異なり、このビットはセルフ・クリア・ビットではありません。ハードウェア・マニュアル同期モードがイネーブルされると、SYNC_IN 入力で検出されたすべての立ち上がりエッジで、デバイスは SYNC_CLK の立ち上がりエッジを SYSCLK の 1 サイクル分進め、このイネーブル・ビットがクリアされるまで(CFR2<10> = 0)この動作を続けます。

1 個の水晶で複数 AD9859 のクロック入力を駆動

AD9859 の水晶発振器出力信号は CRYSTAL OUT ピンに出力されるため、1 個の水晶で複数の AD9859 を駆動することができます。1 個の水晶で複数の AD9859 を駆動するためには、外付け水晶を使う AD9859 の CRYSTAL OUT ピンを他の AD9859 の REFCLK 入力に接続する必要があります。

CFR2<9>ビットがセットされて、出力がイネーブルされるまで、CRYSTAL OUT ピンは静止しています。CRYSTAL OUT ピンの駆動強度は一般に非常に小さいため、負荷を駆動する前にこの信号をバッファする必要があります。

シリアル・ポートの動作

AD9859 では、命令バイトがリード/ライト動作とレジスタ・アドレスを指定します。AD9859 のシリアル動作は、バイト・レベルではなく、レジスタ・レベルでのみ発生します。AD9859 の場合、シリアル・ポート・コントローラが命令バイト・レジスタ・アドレスを認識して、該当するレジスタ・バイト・アドレスを自動的に発生します。さらに、コントローラはそのレジスタのすべてのバイトがアクセスされるものと見なします。シリアル I/O 動作では、レジスタのすべてのバイトがアクセスされることが必ず必要です。ただし、例外は 1 つあります。IOSYNC 機能は I/O 動作を中止するときを使うことができるため、すべてのバイトをアクセスしないことができます。

AD9859 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクルで、AD9859 に対する命令バイトの書き込みであり、最初の 8 個の SCLK 立ち上がりエッジを使います。この命令バイトは、データ転送サイクルについての情報を AD9859 シリアル・ポート・コントローラに提供します。このデータ転送は通信サイクルのフェーズ 2 になります。フェーズ 1 の命令バイトは、次のデータ転送が読み出しまたは書き込みのいずれであるかを指定し、さらにアクセス対象レジスタのシリアル・アドレスを指定します(アクセス対象レジスタのシリアル・アドレスは、書き込まれるバイトと同じアドレスではないことに注意してください)。詳細については、動作例のセクションを参照してください。

各通信サイクルの最初の 8 個の SCLK 立ち上がりエッジは、命令バイトを AD9859 へ書き込むのに使用されます。残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、AD9859 とシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 で転送されるバイト数は、アクセス対象レジスタの関数です。たとえば、3 バ

イト幅のコントロール・ファンクション・レジスタ 2 をアクセスする場合、フェーズ 2 では 3 バイトの転送が必要です。4 バイト幅の周波数チューニング・ワードをアクセスする場合、フェーズ 2 では 4 バイトの転送が必要です。命令によるすべてのデータ・バイトを転送した後に、通信サイクルが完了します。

通信サイクルの終わりで、AD9859 のシリアル・ポート・コントローラは、次の 8 個の SCLK 立ち上がりエッジは次の通信サイクルの

命令バイトであると予測します。AD9859 へのすべてのデータ入力は、SCLK の立ち上がりエッジでレジスタに入力されます。すべてのデータは、SCLK の立ち下がりエッジで AD9859 から出力されます。図 21 ~ 図 24 に、AD9859 シリアル・ポートの全体動作の理解に役立つタイミング図を示します。

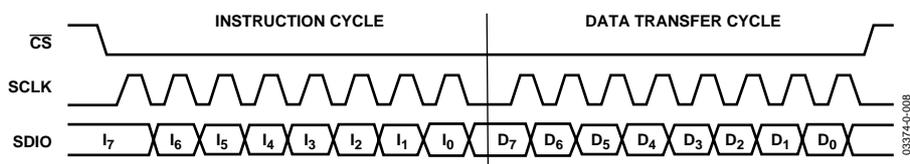


図21.シリアル・ポートの書き込みタイミングークロックはロー・レベルに停止

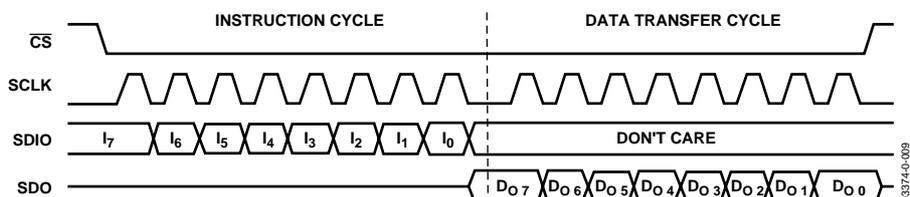


図22.3 線式シリアル・ポートの読み出しタイミングークロックはロー・レベルに停止

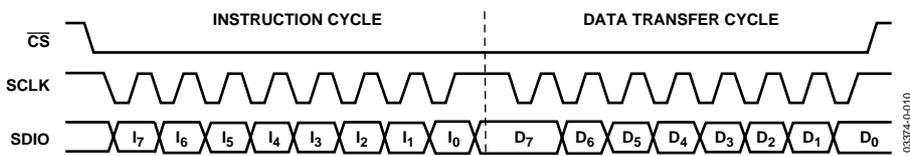


図23.シリアル・ポートの書き込みタイミングークロックはハイ・レベルに停止

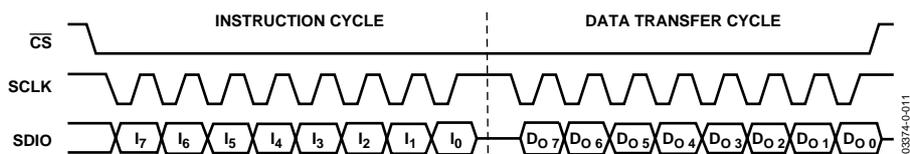


図24.2 線式シリアル・ポートの読み出しタイミングークロックはハイ・レベルに停止

命令バイト

命令バイトは次に示す情報から構成されています。

表7.

MSB	D6	D5	D4	D3	D2	D1	LSB
R/ \overline{W}	X	X	A4	A3	A2	A1	A0

R/ \overline{W} —命令バイトのビット 7 は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック・ハイは読み出し動作を指定します。ロジック 0 は書き込み動作を指定します。

X、X—命令バイトのビット 6 とビット 5 は Don't Care です。

A4、A3、A2、A1、A0—命令バイトのビット 4、ビット 3、ビット 2、ビット 1、ビット 0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。

シリアル・インターフェース・ポート・ピンの説明

SCLK—シリアル・クロック。シリアル・クロック・ピンは、AD9859 との間のデータ転送の同期と内部ステート・マシンの動作に使われます。SCLK の最大周波数は 25 MHz です。

CSB—チップ・セレクト・バー。CSB は、同じシリアル通信ライン上に複数のデバイスを接続可能にするアクティブ・ロー入力です。この入力が高レベルになると、SDO ピンと SDIO ピンは高インピーダンス状態になります。通信サイクル中にハイ・レベルに駆動されると、そのサイクルは、 \overline{CS} が再度ロー・レベルになるまで中断されます。SCLK の制御を維持するシステムでは、チップ・セレクトをロー・レベルに固定することができます。

SDIO—シリアル・データ I/O。このピンのデータは常に AD9859 へ書き込まれますが、このピンは双方向データ・ラインとして使うことができます。レジスタ・アドレス 0x00 のビット 7 により、このピンの構成が制御されます。デフォルトはロジック 0 で、SDIO ピンは双方向に設定されます。

SDO—シリアル・データ出力。データの送信と受信に別々のラインを使うプロトコルでは、このピンからデータが読み出されます。AD9859 がシングル双方向 I/O モードで動作する場合、このピンからデータが出力されず、高インピーダンス状態になります。

IOSYNC—アドレス指定可能なレジスタの値に影響を与えることなく I/O ポート・ステート・マシンを同期化します。IOSYNC ピンにアクティブ・ハイを入力すると、現在の通信サイクルが中止されます。IOSYNC がロー・レベル(ロジック 0)に戻ると、次の通信サイクルが開始され、命令バイトの書き込みから始まります。

MSB/LSB の転送

AD9859 シリアル・ポートでは、最上位ビット先頭(MSB ファースト)または最下位ビット先頭(LSB ファースト)の両データ・フォーマットをサポートすることができます。この機能は、コントロール・レジスタ 0x00 <8> ビットから制御されます。コントロール・レジスタ 0x00 <8> のデフォルト値はロー・レベルです(MSB ファースト)。コントロール・レジスタ 0x00 <8> がハイ・レベルに設定されると、AD9859 のシリアル・ポートは LSB ファースト・フォーマットになります。命令バイトは、コントロール・レジスタ 0x00 <8> によって指定されるフォーマットで書き込む必要があります。AD9859 が LSB ファースト・モードの場合、命令バイトは最下位ビットから最上位ビットへの順で書き込む必要があります。

MSB ファースト動作の場合、シリアル・ポート・コントローラは最上位バイト(指定されたレジスタの)アドレスを先に発生し、その後その下位バイト・アドレスが発生され、以後 I/O 動作が完了するまでさらにその下位バイト・アドレスの発生が続きます。AD9859 に対するすべての読み書きデータは、MSB ファーストの順である必要があります。LSB ファースト・モードの場合、シリアル・ポート・コントローラは最下位バイト・アドレスを先に発生し、その後上位のバイト・アドレスが発生され、以後 I/O 動作が完了するまでさらにその上位バイト・アドレスの発生が続きます。AD9859 に対するすべての読み書きデータは、LSB ファーストの順である必要があります。

動作例

振幅スケール・ファクタ・レジスタへ MSB ファースト・フォーマットで書き込むときは、命令バイト 0x02 [シリアル・アドレス is 00010(b)]を使います。この命令から、内部コントローラは先頭バイトを最上位バイトとして使うことを知ります。最初の 2 ビットは自動ランプ・レート速度コントロール・ビットとして記憶され、次の 6 ビットは振幅スケール・ファクタの上位ビットになります。2 番目のバイトは、振幅スケール・ファクタ ASF<7: 0>の 8 下位ビットとして使われます。

振幅スケール・ファクタ・レジスタへ LSB ファースト・フォーマットで書き込むときは、コントロール・レジスタが既に LSB ファースト・フォーマットに設定されていると仮定して、命令バイト 0x40 を使います。この命令から、内部コントローラは先頭バイトを振幅スケール・ファクタ ASF<0: 7>の最下位バイトとして使うことを知ります。2 番目のバイトは先頭の 6 ビット ASF<8: 13>に分割され、最後の 2 ビットは自動ランプ・レート速度コントロール・ビット ARRSC<0: 1>を提供します。

AD9859 のパワーダウン機能

AD9859 は、外部制御のパワーダウン機能すなわちハードウェア・パワーダウン機能、および従来の ADI DDS 製品で採用されていた、さらに一般的なソフトウェア・プログラマブルなパワーダウン・ビットをサポートしています。

ソフトウェア制御のパワーダウンを使うと、DAC、PLL、入力クロック回路、デジタル・ロジックを独自のコントロール・ビット(CFR1<7: 4>)を使って個別にパワーダウンすることができます。外部制御パワーダウン・ピン(PWRDWNCTL)が高レベルのとき、CFR1<6>以外のこれらのビットはアクティブになりません。AD9859 では、外部パワーダウン制御は PWRDWNCTL 入力ピンを使ってサポートされています。PWRDWNCTL 入力ピンが高レベルになると、CFR1<3>ビットに基づいて AD9859 はパワーダウン・モードになります。PWRDWNCTL 入力ピンがロー・レベルになると、外部パワーダウン制御が非アクティブになります。

CFR1<3>ビットが 0 で、かつ PWRDWNCTL 入力ピンが高レベルのとき、AD9859 は高速回復パワーダウン・モードになります。このモードではモード、デジタル・ロジックと DAC デジタル・ロジックがパワーダウンします。DAC バイアス回路、PLL、発振器、クロック入力回路は、パワーダウンしません。

CFR1<3>ビットがハイ・レベルで、かつ PWRDWNCTL 入力ピンがハイ・レベルのとき、AD9859 はフル・パワーダウン・モードになります。このモードでは、すべての機能がパワーダウンします。これには、パワーアップに長い時間が必要な DAC と PLL が含まれません。

PWRDWNCTL 入力ピンがハイ・レベルになると、個別パワーダウン・ビット(CFR1<7>、<5: 4>)は無効になって使用されません。PWRDWNCTL 入力ピンがロー・レベルになると、個別パワーダウン・ビットによりパワーダウン動作モードが制御されます。

ロジック 1 が低消費電力モードを、ロジック 0 がアクティブまたはパワーアップ・モードを、それぞれ指定するように、すべてのパワーダウン信号がデザインされていることに注意してください。

表 8 に、各パワーダウン・ビットのロジック・レベルを示します。これらのビットは外部パワーダウン動作のために、AD9859 コア・

ロジックからチップ上のアナログ・セクションとデジタル・クロック発生セクションへ出力されます

レイアウト時の考慮事項

最適性能を得るためには、次のレイアウト・ガイドラインに従う必要があります。共通の電源から駆動される 2 つの異なる電圧レギュレータの場合であっても、アナログ電源(AVDD)とデジタル電源(DVDD)は必ず別電源から供給してください。同様に、グラウンド接続(AGND、DGND)は電源から遠いところでは、できるだけ分離します(すなわち、各グラウンドがシステム内の共通・ポイントに接続されているとしても、局所的なボードのグラウンド・プレーンは分離する必要があります)。コンデンサはできるだけデバイスの近くに配置します。一般に、小さい高周波コンデンサ(100 pF)を電源ピンの近くに配置し、実際の電源から離れたところに接続するコンデンサ(0.1 μF、10 μF)を大きくしていく段階的バイパス方式が最も効果的です。

表8.パワーダウン・コントロール機能

Control	Mode Active	Description
PWRDWNCTL = 0 CFR1<3> Don't Care	Software Control	Digital Power-Down = CFR1<7> DAC Power-Down = CFR1<5> Input Clock Power-Down = CFR1<4>
PWRDWNCTL = 1 CFR1<3> = 0	External Control, Fast Recovery Power-Down Mode	Digital Power-Down = 1'b1 DAC Power-Down = 1'b0 Input Clock Power-Down = 1'b0
PWRDWNCTL = 1 CFR1<3> = 1	External Control, Full Power-Down Mode	Digital Power-Down = 1'b1 DAC Power-Down = 1'b1 Input Clock Power-Down = 1'b1

推奨アプリケーション回路

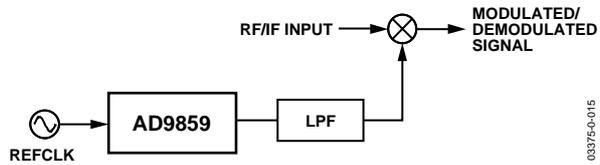


図25. アップコンバージョン/ダウンコンバージョン用の同期 LO

03375-0-015

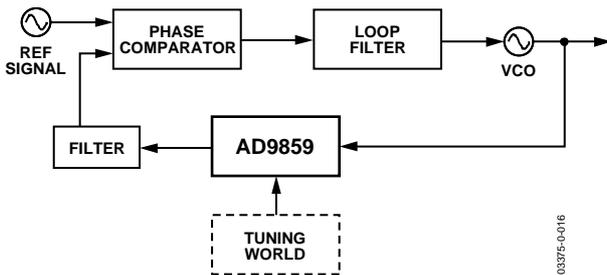


図26. PLL でのデジタル的に設定可能な N 分周機能

03375-0-016

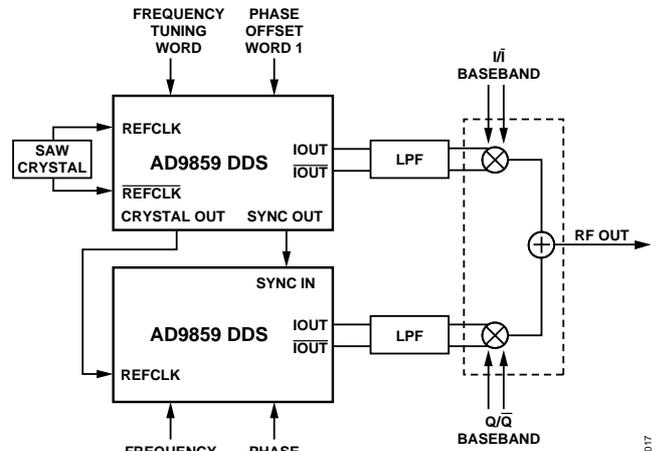
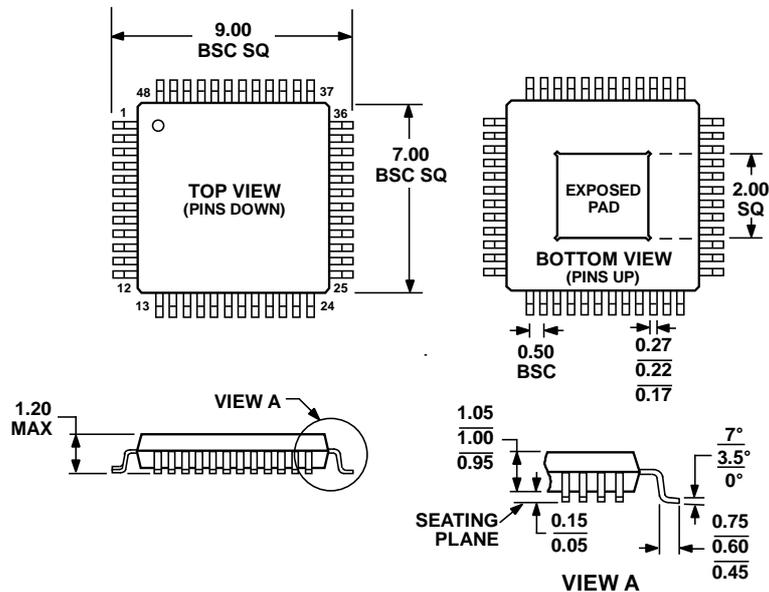


図27. I キャリアと Q キャリアを発生する 2 個の同期した AD9859、独立なヌル用位相オフセット付き

03375-0-017

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-026-ABC

図28.48 ピン薄型プラスチック・クワッド・フラット・パッケージ、露出パッド[TQFP_EP] (SV-48-4)—寸法は mm

ESD の注意

ESD (electrostatic discharge)に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。この製品は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。



重要な注意—このデバイスの電流はチャージド・デバイス・モデル(CDM)で測定するアナログ・デバイセズの ESD 規格の要求を満たしません。このため、特に製造環境では、この製品の取り扱いに特に注意してください。アナログ・デバイセズは近い将来 ESD を強化した製品を提供する予定です。その時点でこの「重要な注意」はこのデータシートから削除します。

オーダー・ガイド

Model	Temperature Range	Package Description	Package Outline
AD9859YSV	-40°C to +105°C	48-Lead Thin Plastic Quad Flat Package, Exposed Pad, [TQFP_EP]	SV-48-4
AD9859YSV-REEL7	-40°C to +105°C	48-Lead TQFP_EP (500 Piece REEL7)	SV-48-4
AD9859/PCB		Evaluation Board	