



1GSPS ダイレクト・デジタル・シンセサイザ

AD9858

特長

- 1GSPSの内部クロック速度
- 2GHzまでの入力クロック（選択可能な2分周）
- 10ビットD/Aコンバータを内蔵
- 優れた位相ノイズとSFDR
- 32ビットのプログラマブル周波数レジスタ
- 簡素化された8ビット・パラレルとSPI®シリアルのコントローラ・インターフェース
- 自動周波数掃引機能
- 4つの周波数プロファイル
- 3.3V電源
- 2W（typ値）の消費電力
- プログラマブル・チャージ・ポンプと高速ロック回路付きの位相周波数検出器を内蔵
- 最高5Vの分離されたチャージ・ポンプ電源
- 2GHzミキサー内蔵

アプリケーション

- VHF/UHF LO合成
- チューナー
- 計測機器
- 高速応答クロック合成
- 携帯電話の基地局のホッピング・シンセサイザ
- レーダー
- Sonet/SDHのクロック合成

概要

AD9858は、最高1GSPSで動作する10ビットDACを備えたダイレクト・デジタル・シンセサイザ（DDS）です。高度なDDS技術に高速・高性能な内部D/Aコンバータを組み合わせることで、最高400+MHzまでの周波数応答の良いアナログ出力サイン波を生成するデジタル設定可能なフル機能、高周波シンセサイザを実現しました。AD9858は、高速な周波数ホッピングと微同調分解能（32ビット周波数同調ワード）を提供するように設計されています。周波数同調ワードと制御ワードは、パラレル（8ビット）またはシリアルのロード・フォーマットでAD9858にロードされます。AD9858は、チャージ・ポンプ（CP）と位相周波数検出器（PFD）を内蔵しているため、高速なDDSと位相ロック・ループ（PLL）機能の組み合わせを必要とする合成アプリケーションで使用できます。周波数変換ループやチューナーなど、DDSとPLLにミキサーの組み合わせを必要とするアプリケーション向けに、オンチップのアナログ・ミキサーも備えています。クロック入力2分周機能も備わり、2GHzもの高い外部クロックが可能です。

AD9858は、-40～+85℃という広範な工業温度範囲で動作するように設計されています。

機能ブロック図

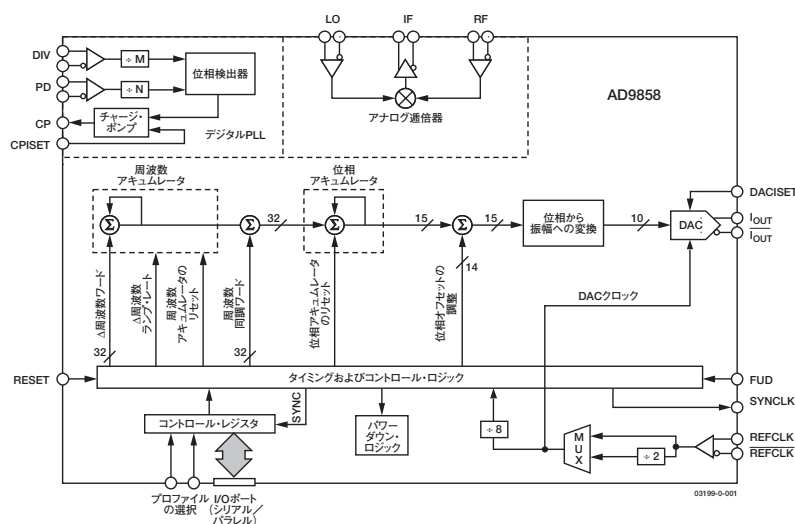


図1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. C

アナログ・デバイス株式会社

本社／〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所／〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪トラストタワー
電話06(6350)6868 (代)

AD9858

目次

特長	1	動作原理	15
アプリケーション	1	概要.....	15
概要	1	コンポーネント・ブロック.....	15
機能ブロック図	1	動作モード.....	17
AD9858 — 電氣的仕様	3	同期化.....	19
絶対最大定格	6	AD9858のプログラミング.....	21
ピン配置	7	AD9858のアプリケーション案.....	29
ピン機能の説明	8	評価ボード.....	30
代表的な性能特性	10	外形寸法	31
		警告.....	31
		ESDに関する注意.....	31
		オーダー・ガイド.....	31

改訂履歴

- リビジョンC: 英語版データシート(Rev C)に沿って修正
- リビジョン0: 初版

AD9858 — 電氣的仕様

(特に指定のない限り、 $V_{DD}=3.3V\pm5\%$ 、 $CPV_{DD}=5V\pm5\%$ 、 $R_{SET}=2k\Omega$ 、 $C_{PISET}=2.4k\Omega$ 、リファレンス・クロック周波数=1GHz)

表 1

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
リファレンス・クロック入力特性 ¹						
リファレンス・クロック周波数範囲 (ディバイダ・オフ)	全範囲	VI	10		1000	MHz
リファレンス・クロック周波数範囲 (ディバイダ・オン)	全範囲	VI	20		2000	MHz
1GHzでのデューティ・サイクル	25℃	V	42	50	58	%
入力容量	25℃	V		3		pF
入力インピーダンス	25℃	IV		1500		Ω
入力感度	全範囲	VI	-20		+5	dBm
DAC出力特性						
分解能	全範囲			10		ビット
フルスケール出力電流	全範囲		5	20	40	mA
ゲイン誤差	全範囲	VI	-10		+10	%FS
出力オフセット	全範囲	VI			15	μA
微分非直線性	全範囲	VI		0.5	1	LSB
積分非直線性	全範囲	VI		1	1.5	LSB
出力インピーダンス	全範囲	VI		100		k Ω
電圧適合範囲	全範囲	VI	$AV_{DD}-1.5$		$AV_{DD}+0.5$	V
広帯域SFDR (DC～ナイキスト)						
26MHz F_{OUT}	全範囲	V		70		dBc
65MHz F_{OUT}	全範囲	V		66		dBc
126MHz F_{OUT}	全範囲	V		62		dBc
375MHz F_{OUT}	全範囲	V		58		dBc
180MHz F_{OUT} (700MHz REFCLK)	全範囲	IV	52			dBc
狭帯域SFDR ³						
40MHz F_{OUT} ($\pm 15MHz$)	全範囲	V		82		dBc
40MHz F_{OUT} ($\pm 1MHz$)	全範囲	V		87		dBc
40MHz F_{OUT} ($\pm 50kHz$)	全範囲	V		88		dBc
100MHz F_{OUT} ($\pm 15MHz$)	全範囲	V		81		dBc
100MHz F_{OUT} ($\pm 1MHz$)	全範囲	V		82		dBc
100MHz F_{OUT} ($\pm 50kHz$)	全範囲	V		86		dBc
180MHz F_{OUT} ($\pm 15MHz$)	全範囲	V		74		dBc
180MHz F_{OUT} ($\pm 1MHz$)	全範囲	V		84		dBc
180MHz F_{OUT} ($\pm 50kHz$)	全範囲	V		85		dBc
360MHz F_{OUT} ($\pm 15MHz$)	全範囲	V		75		dBc
360MHz F_{OUT} ($\pm 1MHz$)	全範囲	V		85		dBc
360MHz F_{OUT} ($\pm 50kHz$)	全範囲	V		86		dBc
180MHz F_{OUT} ($\pm 15MHz$) (700MHz REFCLK)	全範囲	V		65		dBc
180MHz F_{OUT} ($\pm 1MHz$) (700MHz REFCLK)	全範囲	V		80		dBc
180MHz F_{OUT} ($\pm 50kHz$) (700MHz REFCLK)	全範囲	V		84		dBc
出力位相ノイズ特性 (103MHz I_{OUT} で)						
1kHzオフセットで	全範囲	V		-147		dBc/Hz
10kHzオフセットで	全範囲	V		-150		dBc/Hz
100kHzオフセットで	全範囲	V		-152		dBc/Hz
出力位相ノイズ特性 (403MHz I_{OUT} で)						
1kHzオフセットで	全範囲	V		-133		dBc/Hz
10kHzオフセットで	全範囲	V		-137		dBc/Hz
100kHzオフセットで	全範囲	V		-140		dBc/Hz

AD9858

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
出力位相ノイズ特性 (700MHz REFCLK付きの100MHz I_{OUT} で)						
100Hzオフセットで	全範囲	V	−125			dBc/Hz
1kHzオフセットで	全範囲	V	−140			dBc/Hz
10kHzオフセットで	全範囲	V	−148			dBc/Hz
100kHzオフセットで	全範囲	V	−150			dBc/Hz
1MHzオフセットで	全範囲	V	−150			dBc/Hz
10MHzオフセットで	全範囲	V	−150			dBc/Hz
位相検出器とチャージ・ポンプ						
位相検出器周波数	全範囲	VI			150	MHz
位相検出器周波数 (4分周イネーブル) ³	全範囲	VI			400	MHz
チャージ・ポンプのシンク/ソース電流 ⁴	全範囲	VI			4	mA
高速ロック電流 (アクイジションのみ)	全範囲	VI			7	mA
オープンループ電流 (アクイジションのみ)	全範囲	VI			30	mA
シンク/ソース電流の絶対精度 ⁵	全範囲	V		2.5		%
シンク/ソース電流の一致 ⁵	全範囲	V		1		%
入力感度 $P_{D_{IN}}$ と DIV_{IN} (50 Ω) ⁶	全範囲	IV	−15		0	dBm
入力インピーダンス PD_{IN} と DIV_{IN} (シングルエンド)	全範囲	V		1		k Ω
100MHz入力周波数での位相ノイズ						
10kHzオフセットで	全範囲	V		110		dBc/Hz
100kHzオフセットで	全範囲	V		140		dBc/Hz
1MHzオフセットで	全範囲	V		148		dBc/Hz
チャージ・ポンプ出力範囲 ⁷	全範囲	V			CPV _{DD}	V
ミキサー						
IF_{OUT} ⁸	全範囲	V		400		MHz
F_{RF}	全範囲	VI			2	GHz
F_{LO}	全範囲	VI			2	GHz
変換ゲイン	全範囲	VI	0.0	3.5		dB
LOレベル	全範囲	VI	−10		5	dBm
RFレベル	全範囲	VI	−20			dBm
入力IP3	全範囲	VI	5	9		dBm
1dB入力圧縮電力 ⁹	全範囲	VI	−3			dBm
入力インピーダンス (シングルエンド)						
LO	全範囲	V		1		k Ω
RF	全範囲	V		1		k Ω
CMOSロジック入力						
ロジック1電圧	全範囲	VI	2.0			V
ロジック0電圧	全範囲	VI			0.8	V
ロジック1電流	全範囲	VI			12	μ A
ロジック0電流	全範囲	VI			12	μ A
入力容量	全範囲	V		3		pF
CMOSロジック出力 (1mA負荷)						
ロジック1電圧	全範囲	VI	2.8			V
ロジック0電圧	全範囲	VI			0.4	V
電源						
P_{DISS} (最悪時の条件 — すべてが P_{FD} 入力周波数150MHz)	全範囲	VI		2	2.5	W
P_{DISS} (DACとDDSコアのみが最悪時)	全範囲	VI		1.7	2	W
P_{DISS} (パワーダウン・モード)	全範囲	VI		65	100	mW
P_{DISS} ミキサーのみ	全範囲	VI		60	75	mW
P_{DISS} PFDとCP (100MHz) のみ	全範囲	VI		350	435	mW

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
タイミング特性						
シリアル制御バス						
最大周波数	全範囲	IV			10	MHz
最小クロック・パルス幅ロー (t_{PWL})	全範囲	IV	5.5			ns
最小クロック・パルス幅ハイ (t_{PWH})	全範囲	IV	15			ns
最大クロック立ち上がり／立ち下がり時間	全範囲	IV			1	ms
最小データ・セットアップ・タイム (t_{DS})	全範囲	IV	7			ns
最小データ・ホールド・タイム (t_{DH})	全範囲	IV	0			ns
最大データ有効時間 (t_{DV})	全範囲	IV			20	ns
パラレル制御バス ¹⁰						
$\overline{WR}$ 最小ロー時間	全範囲	IV	3			ns
$\overline{WR}$ 最小ハイ時間	全範囲	IV	6			ns
$\overline{WR}$ 最小周期	全範囲	IV	9			ns
アドレス $\sim\overline{WR}$ のセットアップ (T_{ASU})	全範囲	IV	3			ns
アドレス $\sim\overline{WR}$ のセットアップ (T_{AHU})	全範囲	IV	0			ns
データ $\sim\overline{WR}$ のセットアップ (T_{DSU})	全範囲	IV	3.5			ns
データ $\sim\overline{WR}$ のホールド (T_{DHU})	全範囲	IV	0			ns
その他のタイミング仕様						
REFCLK $\sim$ SYNCLK	全範囲	V		2.5		ns
FUD/PS[1:0] $\sim$ SYNCLKのセットアップ・タイム ¹¹	全範囲	IV	4			ns
FUD/PS[1:0] $\sim$ SYNCLKのホールド・タイム ¹¹	全範囲	IV	0			ns
REFCLK $\sim$ SYNCLKの遅延	全範囲	IV		2.5	3	ns
データ・レーテンシー (パイプライン・ディレイ)						
FTW/POW $\sim$ DAC出力	25℃	IV	83		83	SYNCLK サイクル ¹²
DFTW $\sim$ DAC出力	25℃	IV	99		99	SYNCLK サイクル ¹²

¹ REFCLK入力は内部的にDCバイアスされます。AC結合を使用してください。

² リファレンス・クロック周波数を選択し、2次高調波が対象となる帯域幅の外側になるようにします。

³ PD入力は、4分周をイネーブルにして400MHzで送信されます。

⁴ チャージ・ポンプ電流は8段階で設定可能で、最小値では電流が共有されるものとします。

⁵ $0.75V < V_{CP} < CPVDD - 0.75V$ の場合。

⁶ これらの差動入力は内部的にDCバイアスされます。AC結合を使用してください。

⁷ チャージ・ポンプ電源電圧は、4.75 $\sim$ 5.25Vの範囲にすることができます。

⁸ 出力インターフェースは差動オープン・コレクタです。

⁹ 1dB出力圧縮の場合。入力電力は50Ωで測定。

¹⁰ タイミングに関しては図35、図36を参照。

¹¹ タイミングに関しては図34を参照。

¹² $SYNCLK = REFCLK/x$ $x=1$ または2。CFR<6>で設定。

AD9858

絶対最大定格*

表2

パラメータ	定格
最大ジャンクション温度	150℃
AV_{DD}	4V
DV_{DD}	4V
CPV_{DD}	6V
デジタル入力電圧	-0.7V ~ + V_{DD}
デジタル出力電流	5mA
保管温度	-65 ~ +150℃
動作温度	-40 ~ +85℃

* 絶対最大定格は個々に適用される限界値です。この値を超えると、回路の動作に支障が出る場合があります。必ずしもこれらの条件下で機能的操作性が存在することを意味するものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を及ぼすことがあります。

熱特性

表3

シンボル	説明 (2S2Pテストボード使用)	値 (℃/W)
Θ_{JA}	ジャンクション-周囲熱抵抗、 0.0m/sec Air Flow - JEDEC JESD51-2 (気流:なし)	19.8
Θ_{JMA}	ジャンクション-周囲熱抵抗、 1.0m/sec Air Flow - JEDEC JESD51-6 (気流:あり)	15.6
Θ_{JMA}	ジャンクション-周囲熱抵抗、 2.0m/sec Air Flow - JEDEC JESD51-6 (気流:あり)	14.6
Θ_{JB}	ジャンクション-ボード熱抵抗、 1.0m/sec Air Flow - JEDEC JESD51-8 (気流:あり)	8.2
Θ_{JC}	ジャンクション-ケース熱抵抗、 (ダイ-ヒートシンク) MIL-STD-883, Method 1012.1	0.6
Ψ_{JT}	ジャンクション-パッケージ上部熱抵抗、 0m/sec Air Flow - JEDEC JESD51-2 (気流:なし)	0.15

AD9858は、ケース温度 (T_{case}) を超えないためにエアフローが必要となることがありますのでご注意ください。実装基板におけるジャンクション温度を決定するには、以下の式を用います。

$$T_J = T_{case} + (\Psi_{JT} \times PD)$$

ここで、

T_J : ジャンクション温度 (℃)

T_{case} : パッケージ上部中心におけるケース温度 (測定)

Ψ_{JT} : 表3を参照

PD: パッケージ消費電力 (ICの消費電力は表1参照)

Θ_{JA} に関しては、パッケージ比較とPCBレイアウト設計に適用します (表3を参照)。 Θ_{JA} は、 T_J の以下の1次近似式に適用できます。

$$T_J = T_A + (\Theta_{JA} \times PD)$$

Θ_{JB} に関しては、パッケージ比較とPCBレイアウト設計に適用します (表3を参照)。

Θ_{JC} に関しては、パッケージ比較とPCBレイアウト設計に適用します (表3を参照)。外付けヒートシンクを使用する場合には有効です。

テスト・レベルの説明

I 100%の出荷テストを実施。

III サンプル・テストのみを実施。

IV 設計および特性テストによりパラメータを保証。

V パラメータはtyp値のみ。

VI +25℃で100%の出荷テストを実施し、工業用動作温度範囲に対しては設計および特性テストにより保証。

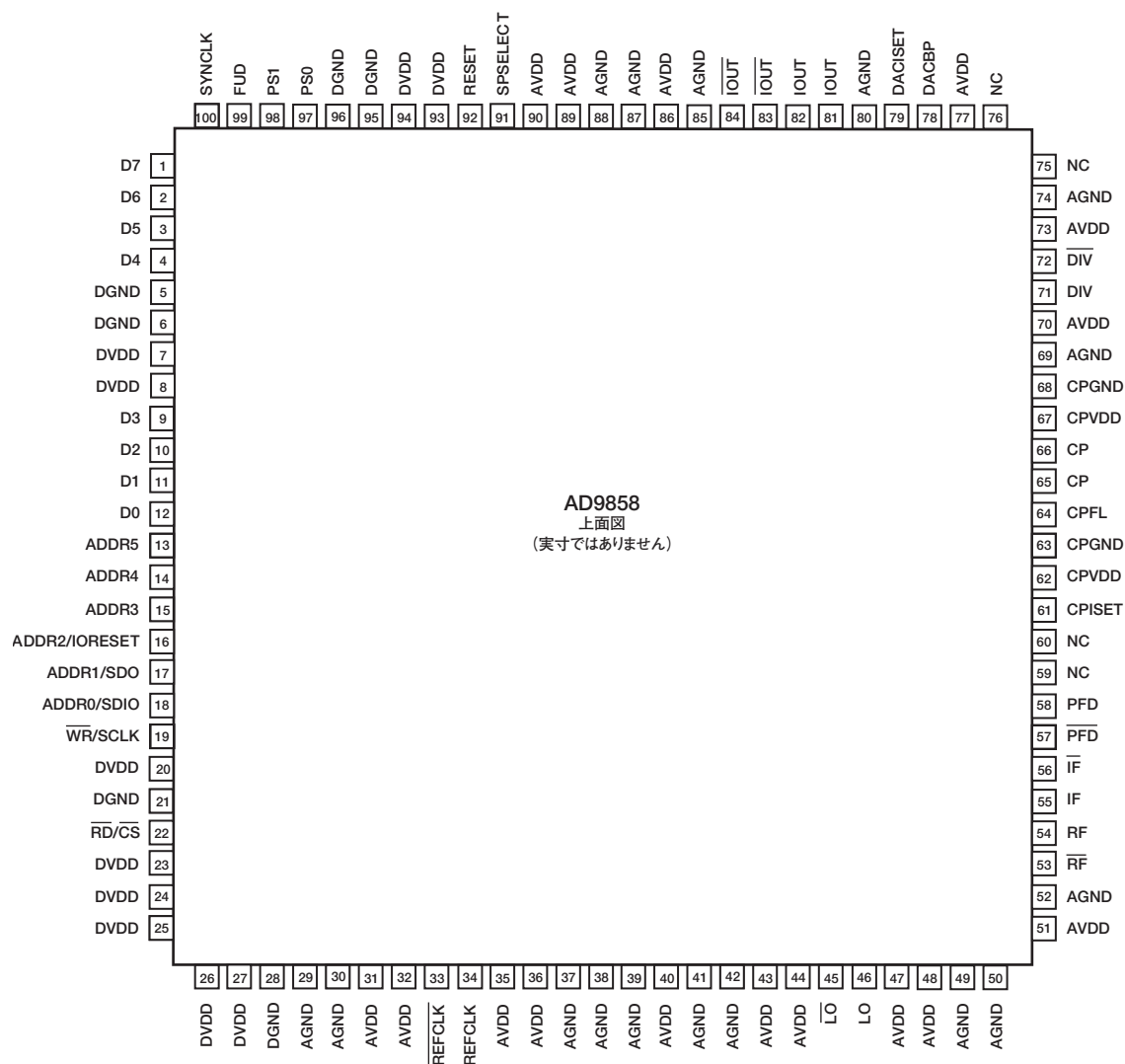
ESDに関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

AD9858

ピン配置



NC=No Connect (未接続)

TQFP_EPは、放熱のためにグラウンドプレーン、もしくは他の大きな金属プレーンに接続して下さい。パッケージ内部のチップ温度上昇により、ICへのダメージを与えることになります。

図2 100ピンのEPAD (SV-100)

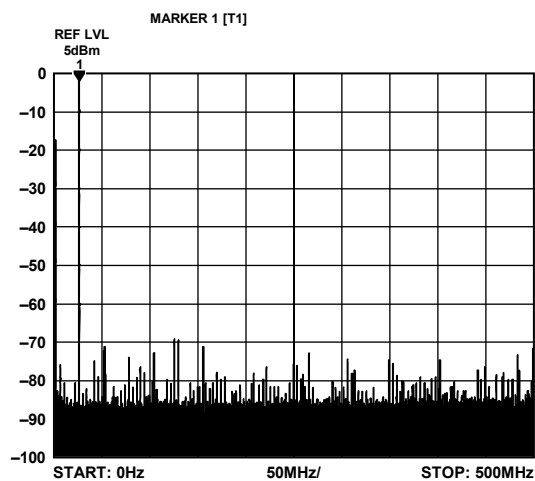
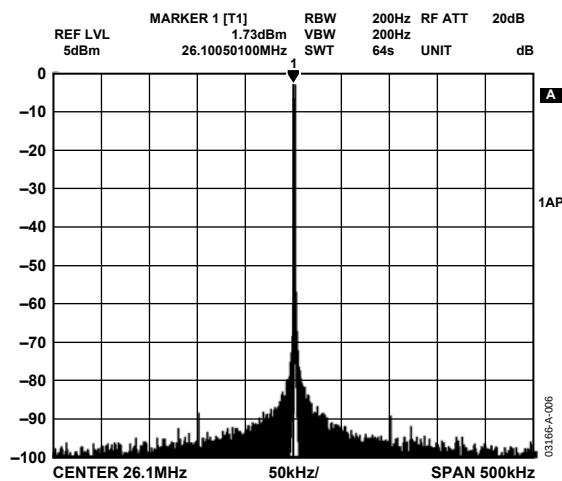
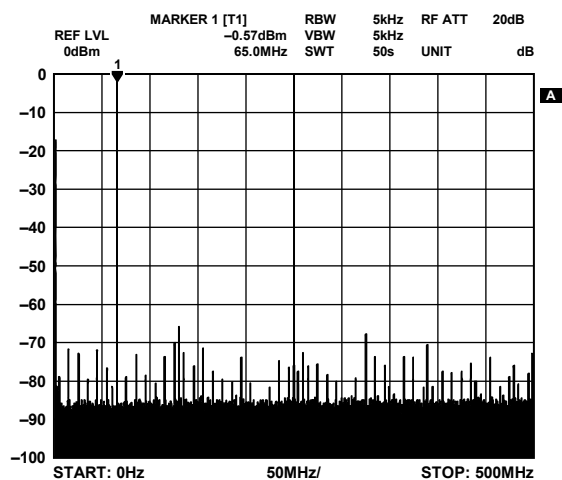
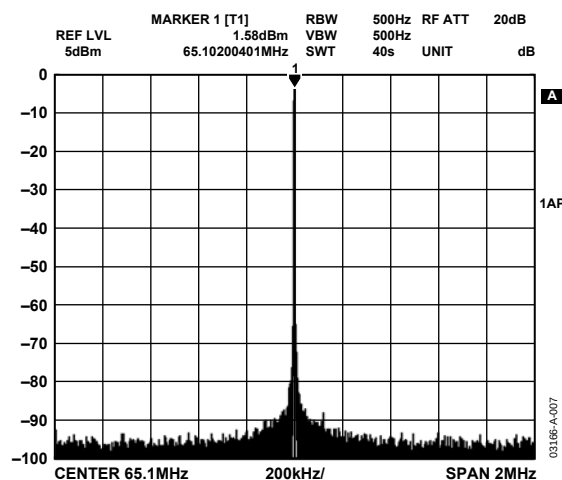
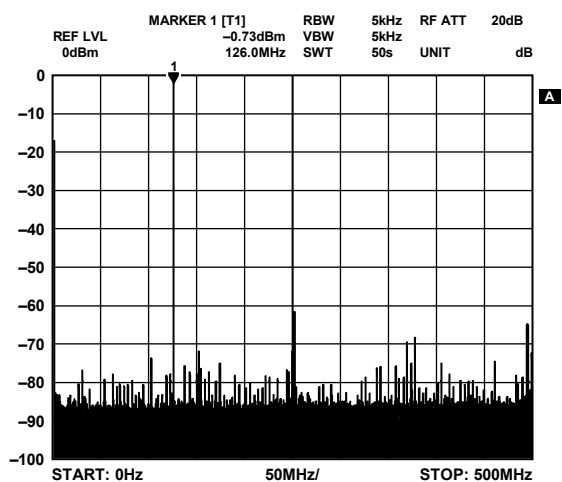
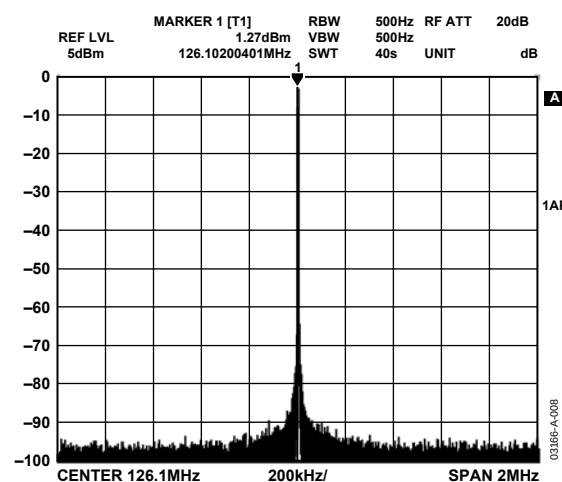
表4 ピン機能の説明 — 100ピンのEPAD(SV-100)

ピン番号	記号	I/O	説明
1～4、9～12	D7～D0	I	パラレル・ポート・データ なお、これらのピンの機能が有効なのは、I/Oポートがパラレル・ポートに設定されているときだけです。
5、6、21、28、 95、96	DGND		デジタル・グラウンド
7、8、20、23～27、 93、94	DVDD		デジタル電源電圧
13～18	ADDR5～ ADDR0	I	I/Oポートがパラレル・ポートに設定されているとき、これらのピンは、内蔵レジスタにアクセスするための6ビット・アドレス・セレクトとして機能します（シリアル・ポート・モードについては、以下のIORESET、SDO、SDIOピンを参照）。
16	IORESET	I	これはシリアル・プログラミング・モードの場合のみ有効です。シリアルI/Oバス・コントローラをリセットするアクティブ・ハイ入力信号。これは、不適切なプログラミング・プロトコルによって応答しなくなったシリアル・バスを回復させるために使用するものです。I/Oリセットをアサートしても、これまでにプログラムされたレジスタの内容には影響がなく、そのデフォルト値も呼び出されません。
17	SDO	O	これはシリアル・プログラミング・モードの場合のみ有効です。I/Oポートを3線式シリアル・ポートとして動作させるとき、このピンが単方向のシリアル・データ出力ピンになります。2線式シリアル・ポートとして動作させるときは、このピンを使用しません。
18	SDIO	Iまたは I/O	これはシリアル・プログラミング・モードの場合のみ有効です。I/Oポートを3線式シリアル・ポートとして動作させるとき、このピンがシリアル・データ入力になります。2線式シリアル・ポートとして動作させるときは、双方向シリアル・データ・ピンになります。
19	$\overline{\text{WR}}/\text{SCLK}$	I	I/Oポートをパラレル・プログラミング・モードに設定しているとき、このピンはアクティブ・ローの書き込みパルス（ $\overline{\text{WR}}$ ）になります。シリアル・プログラミング・モードに設定しているときは、シリアル・データ・クロック（SCLK）になります。
22	$\overline{\text{RD}}/\overline{\text{CS}}$	I	I/Oポートをパラレル・プログラミング・モードに設定しているとき、このピンはアクティブ・ローの読み出しパルス（ $\overline{\text{RD}}$ ）になります。シリアル・プログラミング・モードに設定しているときは、アクティブ・ローのチップ・セレクト（ $\overline{\text{CS}}$ ）になり、複数のデバイスがシリアル・バスを共有できます。
29、30、37～39、41、 42、49、50、52、69、 74、80、85、87、88	AGND	I	アナログ・グラウンド
31、32、35、36、40、 43、44、47、48、51、 70、73、77、86、89、90	AVDD	I	アナログ電源電圧
33	$\overline{\text{REFCLK}}$	I	リファレンス・クロックのコンプリメンタリー入力（REFCLKポートがシングルエンド・モードで動作するとき、 $\overline{\text{REFCLK}}$ を0.1 μF コンデンサでAVDDにデカップリングしてください。）
34	REFCLK	I	リファレンス・クロックの入力
45	$\overline{\text{LO}}$	I	ミキサー局部発振器（LO）のコンプリメンタリー入力 LOポートがシングルエンド・モードで動作するとき、 $\overline{\text{LO}}$ を0.1 μF コンデンサでAVDDにデカップリングしてください。
46	LO	I	ミキサー局部発振器（LO）の入力
53	$\overline{\text{RF}}$	I	アナログ・ミキサーのRFコンプリメンタリー入力 RFポートがシングルエンド・モードで動作するとき、 $\overline{\text{RF}}$ を0.1 μF コンデンサでAVDDにデカップリングしてください。
54	RF	I	アナログ・ミキサーのRF入力
55	IF	O	アナログ・ミキサーのIF出力
56	$\overline{\text{IF}}$	O	アナログ・ミキサーのIFコンプリメンタリー出力
57	$\overline{\text{PFD}}$	I	位相周波数検出器のコンプリメンタリー入力 PFDポートがシングルエンド・モードで動作するとき、 $\overline{\text{PFD}}$ を0.1 μF コンデンサでAVDDにデカップリングしてください。
58	PFD	I	位相周波数検出器の入力
59、60、75、76	NC		未接続

AD9858

ピン番号	記号	I/O	説明
61	CPISET	I	チャージ・ポンプの出力電流制御 CPISETからCPGNDに接続された抵抗によって、チャージ・ポンプのリファレンス電流を確立します。
62、67	CPVDD	I	チャージ・ポンプの電源電圧
63、68	CPGND	I	チャージ・ポンプのグラウンド
64	CPFL	O	チャージ・ポンプの高速ロック出力
65、66	CP	O	チャージ・ポンプの出力
71	DIV	I	位相周波数検出器のフィードバック入力
72	$\overline{\text{DIV}}$	I	位相周波数検出器のフィードバック・コンプリメンタリー入力 DIVポートがシングルエンド・モードで動作するとき、 $\overline{\text{DIV}}$ を0.1 μF コンデンサでAVDDにデカップリングしてください。
78	DACBP		DACのベースライン・デカップリング・ピン 一般には、0.1 μF コンデンサでピン77にバイパスします。
79	DACISSET	I	DACISSETからAGNDに接続された抵抗によって、DACのリファレンス電流を確立します。
81、82	IOUT	O	DAC出力
83、84	$\overline{\text{IOUT}}$	O	DACコンプリメンタリー出力
91	SPSELECT	I	I/Oポートのシリアル／パラレル・プログラミング・モード・セレクト・ピン ロジック0：シリアル・プログラミング・モード。ロジック1：パラレル・プログラミング・モード。
92	RESET	I	アクティブ・ハイのハードウェア・リセット・ピン RESETピンのアサートによって、AD9858はそのデフォルト動作状態になります。
97、98	PS0、PS1	I	4つの内部プロファイルの1つを選択するために使用します。これらのピンは、SYNCLK出力に同期しています。
99	FUD	I	周波数更新 立ち上がりエッジで、内部バッファ・レジスタの内容がメモリ・レジスタに転送されます。このピンはSYNCLK出力に同期しています。
100	SYNCLK	O	外部ハードウェアのシンクロナイザになるクロック出力ピン SYNCLKはREFCLK/8で動作します。
	EPAD		エクスポーズド・パッドは、グラウンドに接続する必要があります。

代表的な性能特性

図3. 広帯域SFDR、26MHz F_{OUT} 図6. 狭帯域SFDR、26MHz F_{OUT} 、1MHz BW図4. 広帯域SFDR、65MHz F_{OUT} 図7. 狭帯域SFDR、65MHz F_{OUT} 、1MHz BW図5. 広帯域SFDR、126MHz F_{OUT} 図8. 狭帯域SFDR、126MHz F_{OUT} 、1MHz BW

AD9858

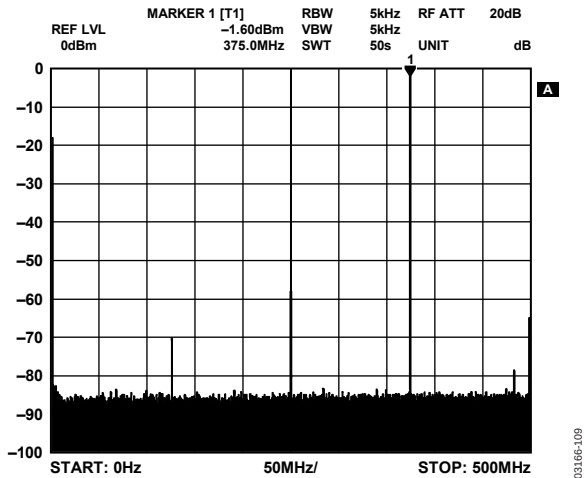


図9. 広帯域SFDR、375MHz F_{OUT}

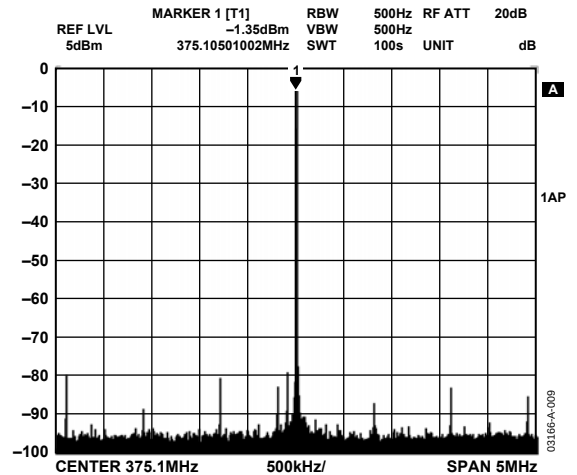


図12. 狭帯域SFDR、375MHz F_{OUT} 、1MHz BW

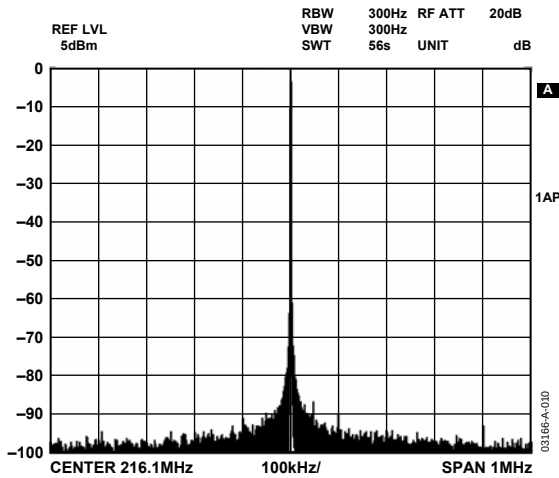


図10. 狭帯域SFDR、216MHz F_{OUT} 、1MHz BW、1GHzクロック、ディバイダ・オフ

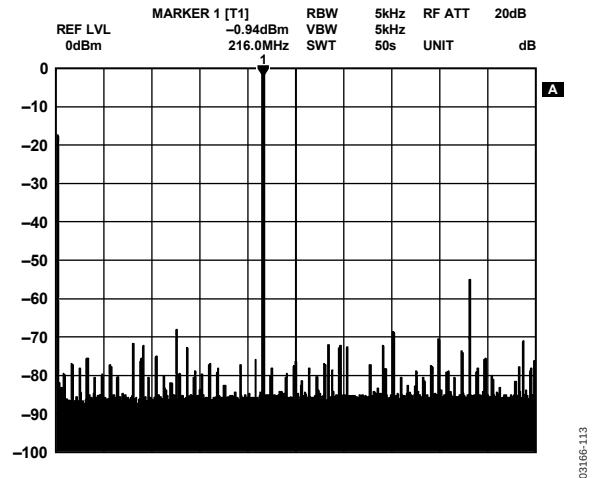


図13. 広帯域SFDR、216MHz F_{OUT} 、1GHzクロック、ディバイダ・オフ

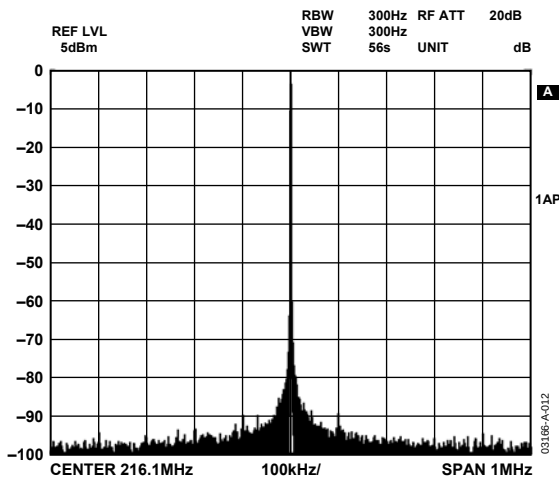


図11. 狭帯域SFDR、216MHz F_{OUT} 、1MHz BW、2GHzクロック、ディバイダ・オン

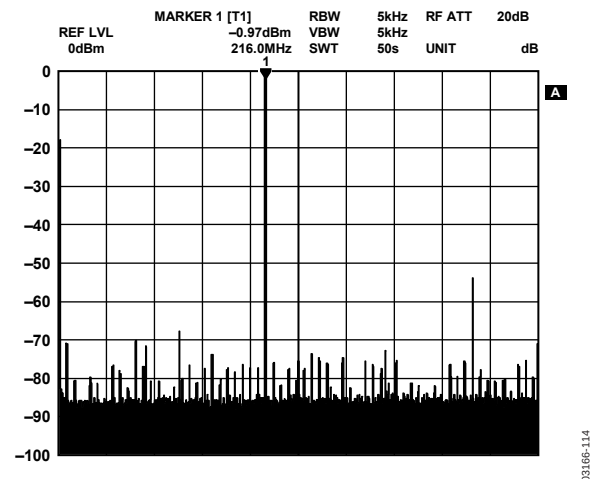


図14. 広帯域SFDR、216MHz F_{OUT} 、2GHzクロック、ディバイダ・オン

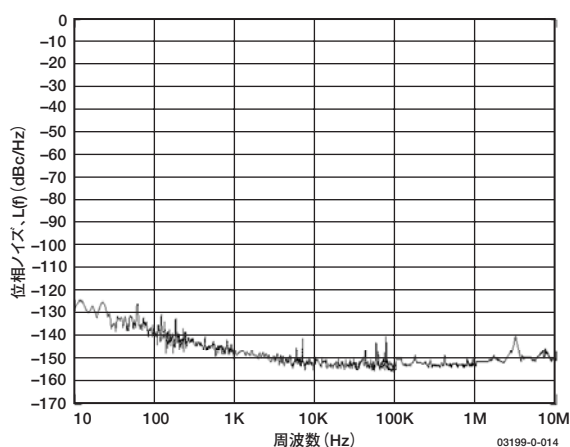


図15. 残留位相ノイズ、103MHz F_{OUT} 、
1GHz REFCLK

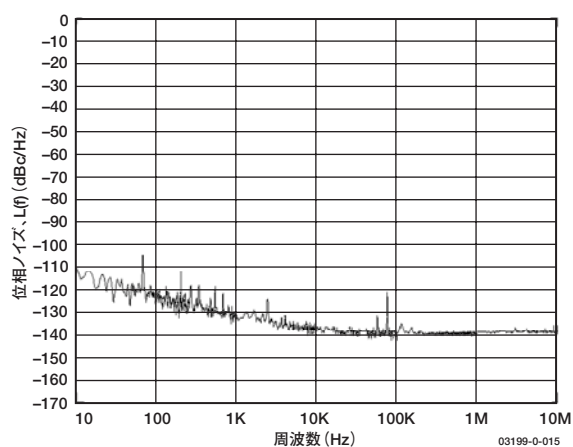


図18. 残留位相ノイズ、403MHz F_{OUT} 、
1GHz REFCLK

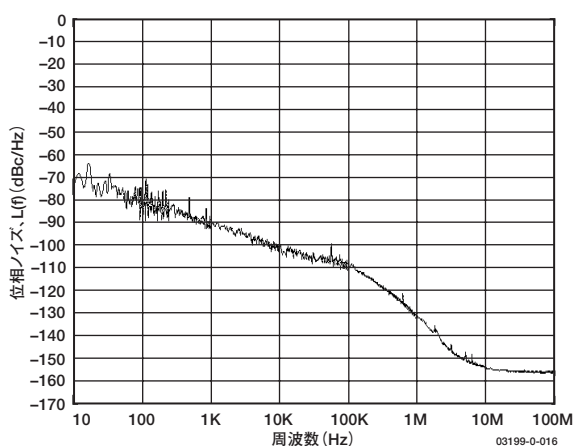


図16. フラクショナル・ディバイダ・ループ
の残留位相ノイズ、 $F_{IN}=115\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、ループBW=50kHz

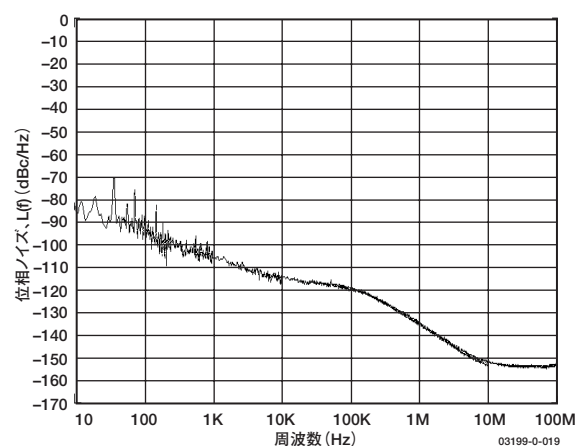


図19. 変換ループの残留位相ノイズ、
 $F_{LO}=1500\text{MHz}$ 、 $F_{OUT}=1550\text{MHz}$ 、
ループBW=50kHz

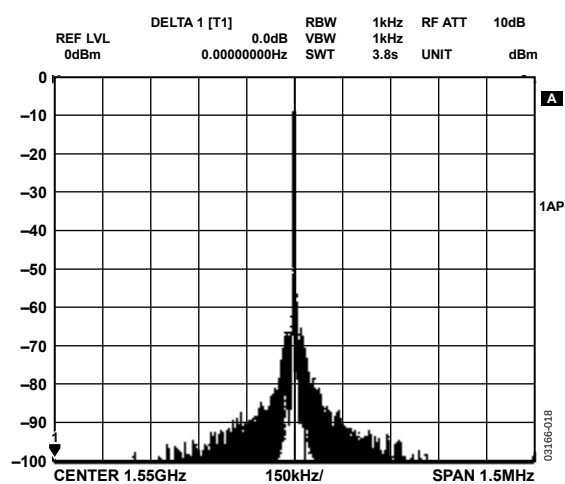


図17. フラクショナル・ディバイダ・
ループのSFDR、 $F_{IN}=96.9\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、BW=1.5MHz

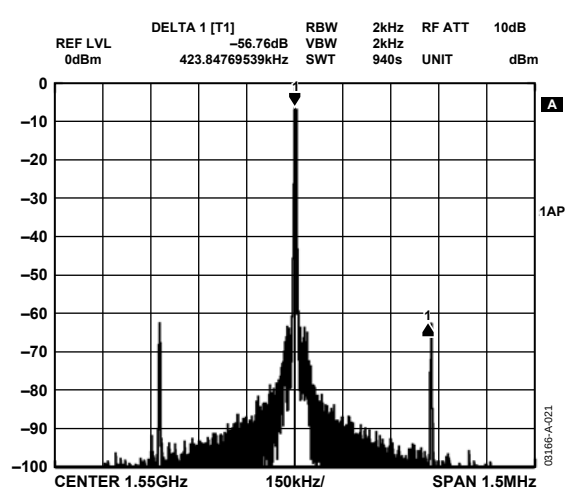


図20. フラクショナル・ディバイダ・
ループのSFDR、 $F_{IN}=97.3\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、BW=1.5MHz

AD9858

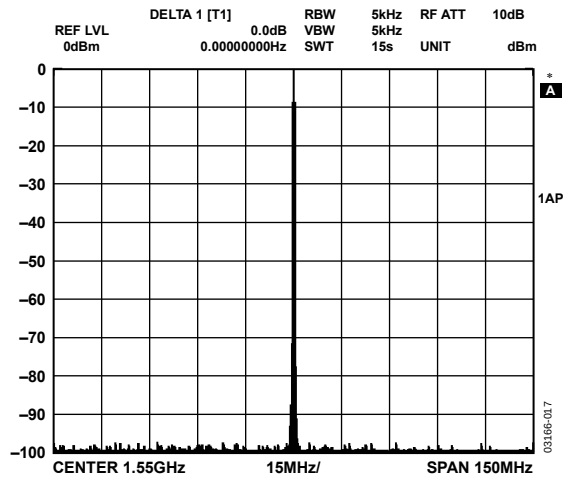


図21. フラクショナル・ディバイダ・
ループのSFDR、 $F_{IN}=96.9\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=150\text{MHz}$

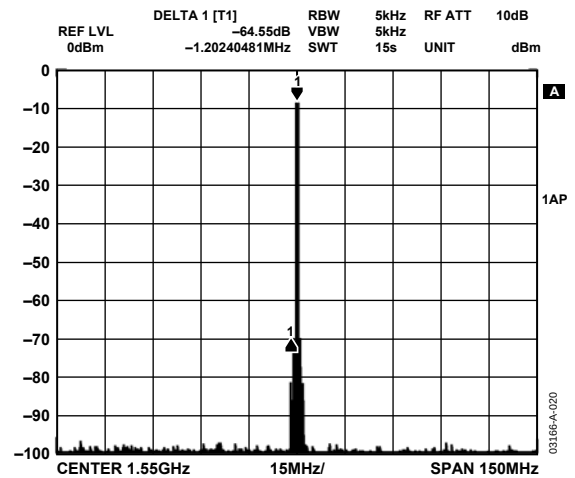


図24. フラクショナル・ディバイダ・
ループのSFDR、 $F_{IN}=97.3\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=150\text{MHz}$

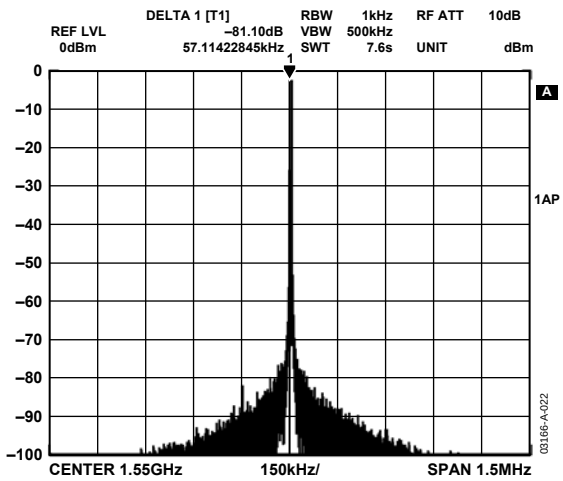


図22. 変換ループのSFDR、 $F_{LO}=1459\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=1.5\text{MHz}$

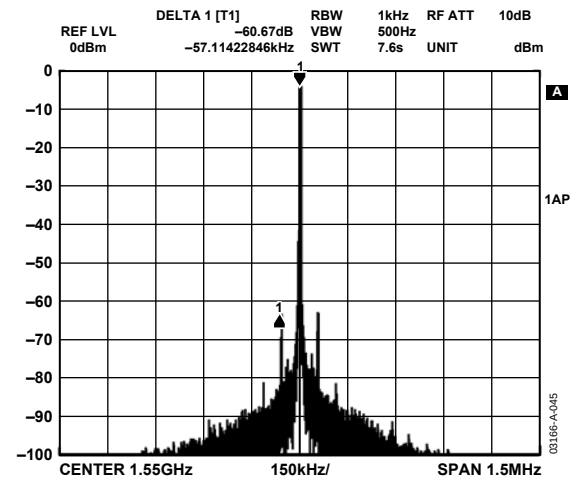


図25. 変換ループのSFDR、 $F_{LO}=1410\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=1.5\text{MHz}$

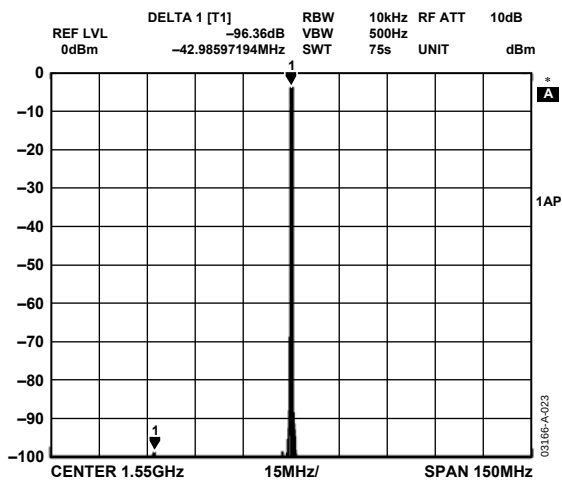


図23. 変換ループのSFDR、 $F_{LO}=1459\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=150\text{MHz}$

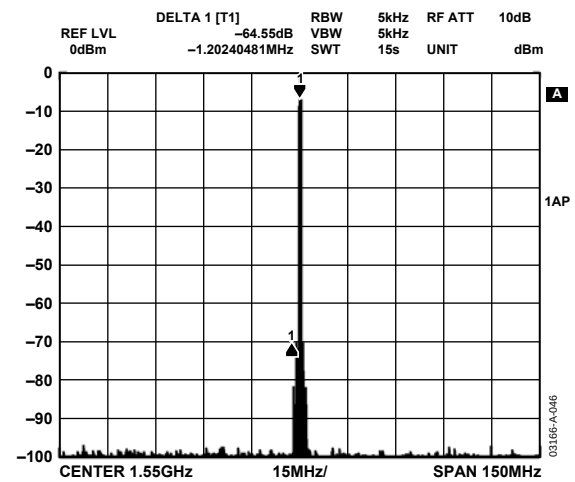


図26. 変換ループのSFDR、 $F_{LO}=1410\text{MHz}$ 、
 $F_{OUT}=1550\text{MHz}$ 、 $BW=150\text{MHz}$

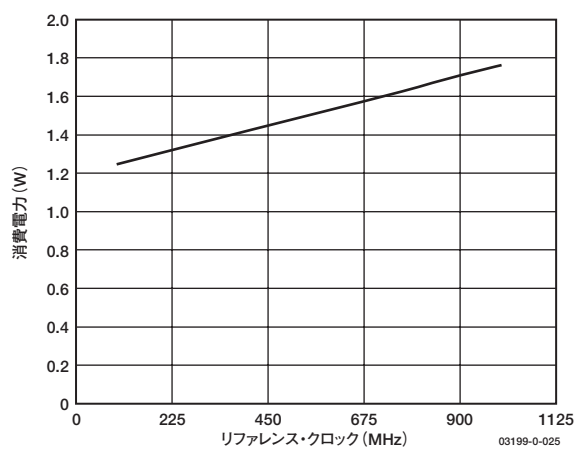


図27. 電源電流とREFCLK
(シングルトーン・モード、 $F_{OUT} = \text{REFCLK}/5$)

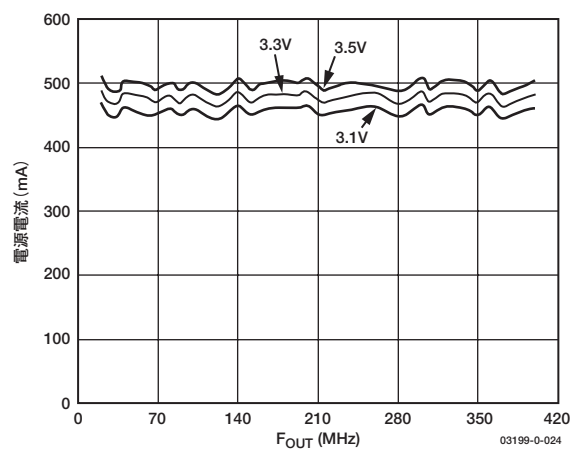


図28. 電源電流とFOUT (1GHz REFCLK)

AD9858

動作原理

概要

AD9858ダイレクト・デジタル・シンセサイザ(DDS)は、多種多様なアプリケーションに利用できる柔軟なデバイスです。

デバイスは、32ビット位相アキュムレータ付きのNCO、14ビット位相オフセット調整、電力効率の高いDDSコア、1秒当たり1Gサンプル(1GSPS)の10ビットD/Aコンバータで構成されています。さらに、自動周波数掃引のための機能も内蔵しています。また、アナログ・ミキサー、位相周波数検出器(PFD)、高度な高速ロック機能を備えたプログラマブルなチャージ・ポンプ(CP)も提供します。これらのRFビルディング・ブロックは、さまざまな周波数合成ループに使用できるほか、必要に応じてシステム設計にも使用できます。

AD9858を1GHzの内部クロック速度で駆動すると、400+MHzまでの周波数を直接生成できます。このクロックは、内蔵の2分周機能を使用して、2GHzまでの外部クロック・ソースから得られます。内蔵のミキサーとPFD/CPによって、1~2GHzまたはそれ以上の範囲で周波数を生成できるさまざまなシンセサイザ構成が可能です。

AD9858は、アナログ周波数合成技術(PLL、ミキシング)と合わせて機能する柔軟性を付加することでDDSのメリットを生かし、高い周波数分解能、高速な周波数ホッピング、短いセトリング時間、自動周波数掃引機能によって、正確な周波数信号を生成します。

AD9858は、デバイスのすべての動作を制御する内蔵デジタル・レジスタにデータを書き込むだけで、簡単に設定ができます。デバイスを制御するには、シリアルかパラレルのポートを選べます。外部ピンのペアによって、4つのユーザー・プロ

ファイルが選択できます。これらのプロファイルを使用すれば、選択可能な4つの設定ごとに、周波数同調ワードと位相オフセット調整ワードを別々に設定することができます。

AD9858は、シングル・トーン・モードまたは周波数掃引モードの動作をプログラムできます。消費電力を低減するためには、プログラマブルなフルスリープ・モードもあります。このモードでは、電流フローを低減するために、デバイスの大部分をパワーダウンします。

DDSの動作の詳細については、アナログ・デバイセズ社のWebサイト (www.analog.com/dds) のチュートリアルを参照してください。

コンポーネント・ブロック

DDSコア

DDSコアは、デジタル領域でサイン波になる数値を生成します。このサイン波は、DDSの動作モードに応じて、周波数や位相を変更したり、情報伝達信号によって変調できます。出力信号の周波数は、ユーザーが設定した周波数同調ワード (FTW) によって決まります。デバイスの出力周波数とシステム・クロック (SYSCLK) の関係は、次の式によって決まります。

$$F_o = \frac{(FTW \times SYSCLK)}{2^N}$$

AD9858では、 $N=32$ です。DDSコアの詳細については、www.analog.com/ddsのDDSチュートリアルを参照してください。

DAC出力

AD9858は、オンチップに10ビット電流出力DACを組み込んでいます。2つの反転出力で、結合されたフルスケール出力電流 (I_{OUT} , $\overline{I_{OUT}}$) を提供します。差動出力には、DAC出力に存在する可能性のあるコモン・モード・ノイズの量を減らし、S/N比を高めるといったメリットがあります。DACISSETピンとアナログ・グラウンドの間に接続された外部抵抗 (R_{SET}) で、フルスケール電流を制御します。フルスケール電流は、次のように抵抗値に反比例します。

$$R_{SET} = 39.19 / I_{OUT}$$

結合されたDAC出力の最大フルスケール出力電流は40mAですが、出力を20mAに制限すると、最高のスプリアスフリー・ダイナミック・レンジ (SFDR) 性能が得られます。DAC出力適合範囲は ($AV_{DD}-1.5V$) ~ ($AV_{DD}+0.5V$) です。この範囲を超える電圧が生成されると、過剰なDAC歪みが生じて、DAC出力回路が損傷する可能性があります。出力電圧をこの適合範囲内に維持するように、負荷終端に適切な配慮をする必要があります。差動出力をトランスで終端させる場合は、 AV_{DD} にセンター・タップを取り付けてください。

PLL周波数シンセサイザ

PLL周波数シンセサイザは、独立した合成ブロックのグループであり、合成アプリケーションのレンジを拡大するために、DDSとともに使用するよう設計されています。これらのブロックは、チャージ・ポンプ (CP) を駆動するデジタル位相周波数検出器 (PFD) です。チャージ・ポンプには、後述する高速ロック・ロジックを組み込んでいます。システム条件に基づいて、ユーザーが外部ループ・フィルタ1つとVCOを1つまたは複数用意します。変換合成ループのために、高速アナログ・ミキサーが内蔵されています。ユーザーは、PLL周波数シンセサイザ内のさまざまなブロックをDDSと組み合わせて使用することで、DDSの出力を周波数通倍する伝統的なPLLループだけでなく、変換ループ (オフセット・ループとも呼ばれます) やフラクショナル・ディバイダ・ループも作成できます。

位相周波数検出器

位相検出器には、PD_{IN}とDIV_{IN}の2つの入力があります。いずれも、差動モードまたはシングルエンド・モードで動作するアナログ入力です。どちらも、150MHzまでの周波数で動作するように設計されていますが、4分周機能を使用する場合は、400MHzまでの信号を入力に接続できます。PD入力とDIV入力に対して予測される入力レベルは、800mV p-p（差動）および400mV p-p（シングルエンド）のレンジです。入力の直後には、M、N = {1、2、4}の分周比を提供するプログラマブル・ディバイダが続きます。分周比は制御機能レジスタによって制御します。

チャージ・ポンプ

チャージ・ポンプの出力リファレンス電流は、外部抵抗（～2.4kΩ）によって決定されます。これによって、500μAの最大内部ベースライン電流（I_{CP0}）が得られます。ベースライン電流は、CPのさまざまな動作モード（周波数検出モード、ワイド・クローズド・ループ、最終クローズド・ループ）に合わせて適切な駆動電流を提供するようスケールリングされます。各モードでのスケールリング量は、制御機能レジスタに格納された値で設定できるため、ユーザーはPLLの周波数ロック機能をきわめて柔軟に利用できます。

CP極性は、PD入力を基準にして正または負に設定できます。CP極性が正のとき、DIV入力がPD入力に先行する場合には、チャージ・ポンプはVCOコントロール・ノードにおいて電圧を下げようとします。DIV入力がPD入力に遅れる場合には、チャージ・ポンプはVCOコントロール・ノードにおいて電圧を上げようとします。CP極性が負のときには、その逆が行われます。これによって、ユーザーはいずれの入力でもフィードバック・パスとして定義できるとともに、AD9858をグラウンド基準または電源基準のVCOに接続できるようになります。この機能は、制御機能レジスタCFR<10>のチャージ・ポンプ極性で定義されます。

CPの内部では、さまざまな動作モードに合わせて異なる出力駆動電流値を提供するようにI_{CP0}電流のスケールリングが行われます。通常の動作モードである最終クローズド・ループ・モードでは、I_{CP0}を1、2、3、または4ずつスケールリングするように設定できます。チャージ・ポンプの電流オフセット・ビットCFR<13>をセットすると、プログラムされたチャージ・ポンプ電流に2mAのオフセットが適用されるため、5、6、7、または8のI_{CP0}スケール値が可能になります。ワイド・クローズド・ループ・モードでは、I_{CP0}を0、2、4、6、8、10、12、または14ずつスケールリングするように設定できます。周波数検出モードでは、I_{CP0}を0、20、40、または60ずつスケールリングするように設定できます。高速ロック・ロジックによって制御されるさまざまな動作モードについては、次のセクションで説明します。

CPには、5.25Vまで動作できる独立した電源ピンのセットがあります。デバイスはグラウンドから電源まで動作できますが、定常時の最高性能を保証するためには、電圧コンプライアンス範囲を0.5～4.5Vに保持してください。プログラマブルな出力

電流、プログラマブルな極性、広いコンプライアンス範囲、当社独自の高速ロック機能が提供されることで、多種多様なPLLアプリケーションでデジタルPLLを柔軟に活用することができます。

高速ロック・ロジック

チャージ・ポンプに組み込まれている高速ロック・アルゴリズムを利用すれば、周波数切り替え時間についてのPLLの従来の限界を克服することが可能です。高速ロック・アルゴリズムは、図29に示すループ・フィルタと連携して機能し、きわめて高速な周波数切り替え性能を提供します。

フィードバック信号とリファレンス信号の間に見られる誤差に基づいて、高速ロック・アルゴリズムは、チャージ・ポンプを3つの状態（周波数検出モード、ワイド・クローズド・ループ・モード、最終クローズド・ループ・モード）の1つに設定します。周波数検出モードでは、フィードバック信号とリファレンス信号が大きな位相誤差と周波数誤差を記録します。チャージ・ポンプは、連続したクローズド・ループ・フィードバック・モードで動作せずに、周波数ロックに向けてループを駆動するVCOコントロール・ノードに、正しい極性の固定電流を提供します。周波数ロックが検出されると、高速ロック・ロジックは、デバイスをクローズド・ループ・モードの1つに移します。ワイドまたは最終のクローズド・ループ・モードでは、チャージ・ポンプは、位相周波数検出器PFDの指示に従ってループ・フィルタに電流を提供します。周波数検出モードの目的は、中間のクローズド・ループ・システムが位相ロックを速やかに実現できるように、システムを周波数ロックのレベルにすることです。

めざす周波数ロック精度のレベルは、一般にロック・レンジと呼ばれます。周波数がロック・レンジ内に入れば、位相ロックの実現に必要な時間は、標準のPLLトランジェント解析法で求められます。なお、周波数検出モードに関連するチャージ・ポンプの電流源はピン64に接続し、クローズド・ループの電流源はピン65と66に接続します。図29に示すように、ピン64はループ・フィルタのゼロ補償コンデンサに直接接続しています。この接続によって、周波数検出モードからクローズド・ループ・モードにきわめてスムーズに移行でき、全体的に高速な切り替えが実現します。ピン65と66は、通常の方法でループ・フィルタに接続します。

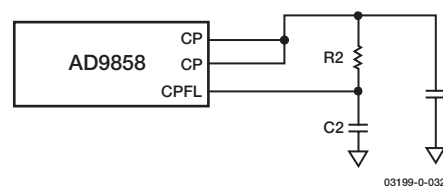


図29. チャージ・ポンプからループ・フィルタまでの接続を表す図

周波数検出ブロックは、次のように機能します。周波数検出回路内の比較ロジックは、DDSシステム・クロックの1/8で動作します。PD入力とDIV入力に存在する周波数について、19 DDSクロック・サイクルにわたって比較が行われます。

AD9858

周波数差がPLLロック・レンジ内にある間に周波数ロック検出を行うには、ロックレンジが152システム・クロック・サイクルを超えないように、VCO入力のスルーレートを制限してください。VCO入力のスルーレートは、周波数検出電流のプログラムされたレベルとゼロ補償コンデンサのサイズによって、次の関係に基づいて決まります。

$$\frac{dv}{dt} = \frac{I_{f_{det}}}{C_Z}$$

周波数検出が行われると、ループが閉じられ、ワイド・クローズド・ループ・モード用に設定された電流に基づいてループがロックされます。ワイド・クローズド・ループ・モードでは、クローズド・ループが安定するようにループが設計されていることが重要です。このモードはロック時間を向上するために使用され、「ロックされた」自走状態では使用されないため、許容される位相マージンが小さくなるのが普通です。ワイド・クローズド・ループ・モードで内部ロック検出器によって決定された位相ロックが実現されると、位相検出器／チャージ・ポンプが最終クローズド・ループ状態に移行します。ワイド・クローズド・ループ電流が設定されていない場合には、ループは、周波数検出モードから最終クローズド・ループ状態に直接移行します。最終クローズド・ループ状態では、希望する自走ループ帯域幅に合わせてループ特性を最適化してください。

周波数検出モードは主として、位相検出器の入力で一般に大きな周波数遷移を検出するオフセット／変換ループのアプリケーションで役に立ちます。帰還ループにかなりの量の分割があるループ・アプリケーションでは、周波数検出モードをアクティブにできないことがあります。これは、位相検出器の入力で受け付ける周波数差の量に限界があるためです。これらのアプリケーションの場合、周波数セトリング時間を短縮する主な方法として、ワイド・クローズド・ループ設定でロックを取得してから最終クローズド・ループ設定に切り替えるようにループを設計してください。

前述のように、周波数検出モードを使用して、大きな遷移が予測されるときには、サイクル・スリップが発生して遅延が拡大する可能性があるため、チャージ・ポンプによってVCOがクローズド・ループのロック・レンジを超えないよう注意してください。図30に、2つのシステム応答を示します。最初のシステムでは、周波数検出モードにおいてチャージ・ポンプの出力電流が最大化され、これによって152クロック・サイクル後にVCO電圧がクローズド・ループのロック・レンジを超えるようになります。2番目のシステムでは、周波数検出モードにおいて提供する電流がもっと小さくなります。クローズド・ループのロック・レンジに至る際の遅延は大きくなりますが、システムがクローズド・ループのレンジを超えないので、高速ロック・ロジックがチャージ・ポンプを中間クローズド・ループ・モードにシフトし、その結果全体的な周波数切り替え時間が短縮します。

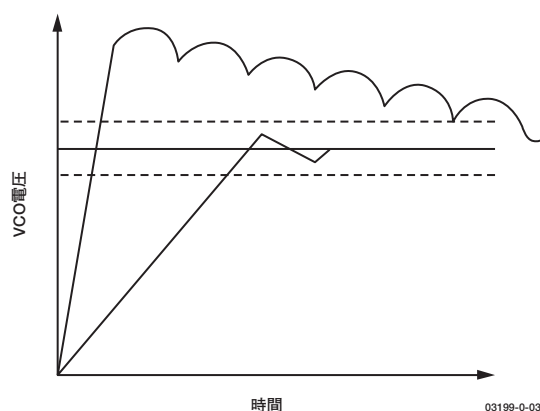


図30. チャージ・ポンプからループ・フィルタまでの接続を表す図

アナログ・ミキサー

アナログ・ミキサーは、変換ループ（オフセット・ループとも呼ばれます）用に組み込まれています。無線周波数（RF）と局部発振器（LO）の入力は、2GHzまでの周波数で動作するように設計されています。いずれの入力も差動アナログ入力段です。入力段は2つとも内部的にDCバイアスされており、外部のAC結合メカニズムを通じて接続する必要があります。想定入力レベルは、800mV p-pのレンジです（差動）。IF（中間周波数）出力は、400MHz未満の周波数で動作するように設計された差動アナログ出力段です。このミキサーは、ギルバート・セル・アーキテクチャに基づいています。

動作モード

AD9858のDDSセクションには、シングル・トーン、周波数掃引、フル・スリープという3つの動作モードがあります。いずれのモードでも、RFビルディング・ブロック（PFD、CP、ミキサー）をアクティブまたはパワーダウン、使用または未使用にすることができます。

シングル・トーン・モードでは、デバイスは、内部レジスタにロードされた32ビット・ワード（周波数同調ワード — FTW）によって決定される出力周波数を1つ生成します。この周波数は、必要に応じて変更できます。該当するレジスタの更新に必要な時間によってのみ制限されるレートで、周波数ホッピングを行うことができます。さらに高速なホッピングが必要な場合には、外部セレクト・ピンを使用して、4つのプロファイルに格納された4つの周波数の間で高速ホッピングを実行できます。

周波数掃引モードでは、大部分の周波数掃引タスクの自動化が可能です。このため、I/Oポートを介して複数のレジスタを操作することに伴う不便や速度の制限なしに、チャープやその他の周波数掃引アプリケーションを実現できます。

デバイスがどちらのモードで動作していても、周波数の変化は位相連続です。つまり、周波数が変化しても、出力信号の位相が不連続になることはありません。周波数変化後の最初の位相値は、変化前の最後の位相値のインクリメントですが、新しい同調ワードの位相インクリメント値（FTW）となります。（なお、これは周波数変化に関する位相コヒーレントとは異なります。図31を参照してください）。

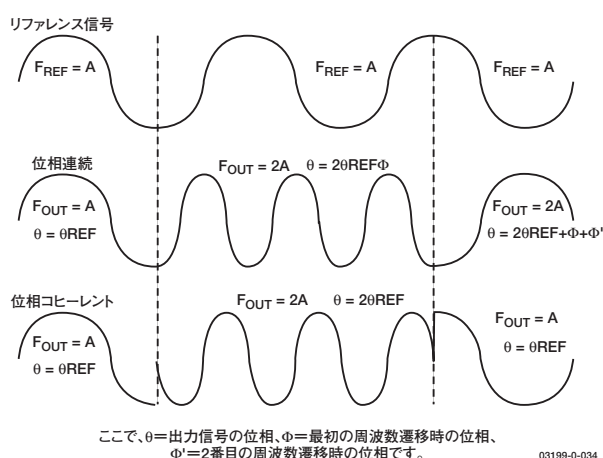


図31. 位相連続と位相コヒーレントの周波数変化

シングル・トーン・モード

シングル・トーン・モードでは、AD9858は希望する単一の周波数の信号、つまりトーンを生成します。この周波数は、ユーザーがチップの周波数同調ワード (FTW) レジスタにロードした値によって設定されます。これは、0HzからDACサンプリング周波数 (SYSCLK) の半分より少し下までの周波数にすることができます。サンプリング周波数の半分は、一般にナイキスト周波数と呼ばれます。DDSの基本周波数レンジの実用的な上限は、再構成フィルタと呼ばれる外部ローパス・フィルタの特性によって決まります。このフィルタは、DDSのDAC出力の後ろに接続する必要があります。このフィルタは、サンプル・レート (SYSCLK) でDACが出力したサンプリング済みの振幅値のストリームから、所望のアナログ・サイン波出力信号を再構成します。

DDSはサンプル値データ・システムです。DDSの基本周波数がナイキスト周波数に近づくにつれて、下位の第1イメージが上からナイキスト周波数に近づきます。基本周波数がナイキスト周波数に近づくにつれて、第1イメージ周波数成分に十分な減衰を与えるローパス・フィルタの設計／構築は困難になり、最終的には不可能になります。

DDSの基本波レンジで使用可能な最大周波数は、一般にナイキスト周波数の40～45%であり、再構成フィルタによって異なります。AD9858は、1GHzのSYSCLKで、再構成フィルタとアプリケーション・システムによって異なりますが、400～450MHzの最大出力周波数を生成できます。

所望の出力周波数 (f_{OUT}) とサンプリング・レート (SYSCLK) について、AD9858の周波数同調ワード (FTW) を次の式に基づいて計算します。

$$FTW = (f_{OUT} \times 2^N) / SYSCLK$$

ここで、 N はビット単位の位相アキュムレータ分解能 (AD9858では32)、SYSCLKはHz単位、FTWは10進数です。10進数を計算した後、これを整数に丸めて、32ビットの2進値に変換する必要があります。SYSCLKが1GHzの場合、AD9858の周波数分解能は0.233Hzです。

周波数掃引モード

AD9858には、自動化された周波数掃引機能があります。これによって、チャープ・レーダーやその他のアプリケーションに合わせて周波数掃引信号を生成できます。周波数掃引を実行するタスクの多くを自動化する機能も組み込まれています。

周波数掃引機能は、周波数アキュムレータ (位相アキュムレータと混同しないでください) を使用して実装されます。周波数アキュムレータは、周波数増分を現在値に繰り返し加算し、新しい瞬間的な周波数同調ワードを作成することで、DDSが生成する周波数を時間とともに変化させます。周波数のインクリメント (ステップ・サイズ) は、 Δ 周波数同調ワード (DFTW) と呼ばれるレジスタにロードされます。周波数がインクリメントされるレートは、 Δ 周波数ランプ・レート・ワード (DFRRW) という別のレジスタによって設定します。これら2つのレジスタを組み合わせることで、AD9858は、FTWによって設定された初期周波数から、希望するレートと周波数ステップ・サイズで、上方または下方に掃引することができます。その結果、直線周波数掃引またはチャープが実現します。

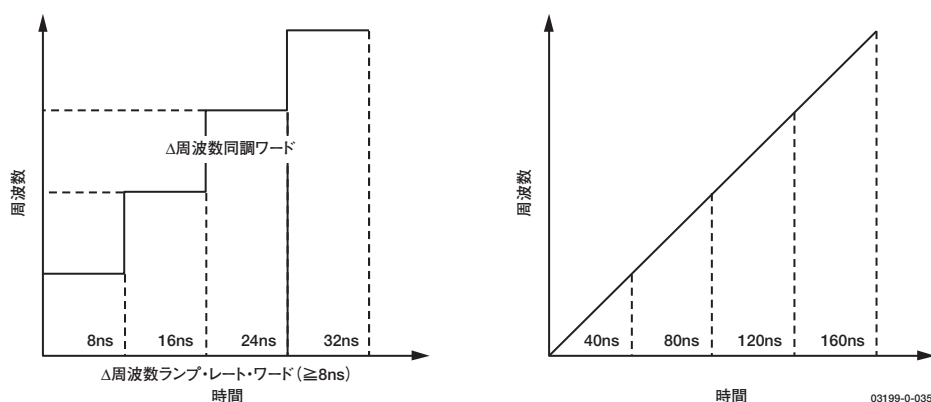


図32. 掃引プロファイルにおける周波数対時間プロット

Δ周波数ランプ・レート・ワード (DFRRW) はカウンタダウン・タイマとして機能し、DFRRWの値がSYSCLK/8のレートでデクリメントします。つまり、最も急速な周波数ワード更新が生じるのは、DFRRWに値1がロードされて、SYSCLKレートの1/8での周波数インクリメントが行われるときです。1GHzのSYSCLKでは、周波数は125MHzの最大レートでインクリメントします (DFRRW=1)。Δ周波数同調ワード (DFTW) で、開始周波数 (FTW) からの周波数掃引の進行方向 (上/下) を指定する必要があります。したがって、DFTWは2の補数2進値として表され、正ならば上を、負ならば下を示します。

0のDFRRW値がレジスタに書き込まれると、すべての周波数掃引が停止します。特定の周波数で自動停止する機能はありません。ユーザーは、最終周波数に到達するために必要な時間間隔を計算し、DFRRWレジスタに0を書き込むためのコマンドを実行する必要があります。周波数掃引に必要な時間は、次の式で計算します。

$$T = \frac{|f_F - f_S| \times 2^{34}}{\text{SYSCLK}^2} \times \frac{\text{DFRRW}}{\text{DFTW}}$$

ここで、

T は掃引の期間 (秒単位) です。

f_S は、次の式で表される開始周波数です。

$$f_S = \frac{\text{FTW}}{2^{32}} \times \text{SYSCLK}$$

f_F は最終周波数です。

Δ周波数ステップ・サイズは、次の式で求めることができます。

$$\Delta f_S = \frac{\text{DFTW} \times \text{SYSCLK}}{2^{31}}$$

なお、DFTWは符号付きの (2の補数) 値です。

各周波数ステップ間の時間 (Δt) は、次の式で求めることができます。

$$\Delta t = \frac{8 \times \text{DFRRW}}{\text{SYSCLK}}$$

停止周波数 f_F の値は、次の式で求めることができます。

$$f_F = f_S + T \times \frac{\Delta f}{\Delta t}$$

開始周波数への復帰

周波数同調レジスタに書き込まれた元の周波数同調ワード (FTW) は、掃引動作中に変更されることはありません。つまり、DDSは、掃引中の任意の時点で掃引開始周波数に復帰できることになります。AutoClear周波数アキュムレータという制御ビットをセットすると、周波数アキュムレータはゼロにされ、DDSは、格納されているFTWの周波数に直ちに復帰します。

フルスリープ・モード

制御機能レジスタのすべてのパワーダウン・ビットをセットすると、フルスリープ・モードがアクティブになります。パワーダウン状態では、デバイスのさまざまな機能ブロックに関連付けられたクロックがオフになります。これにより、電力をかなり節約することができます。

同期化

SYNCLKピンとFUDピン

AD9858のタイミングは、ユーザーが提供するREFCLK入力によって与えられます。REFCLK入力は、バッファリングされ、内部で生成するSYSCLKのソースとなります。SYSCLKの周波数は、REFCLKと同じかその半分 (CFR<6>) にすることができます。REFCLK入力では、2GHzもの入力周波数を処理できます。ただし、デバイスは1GHzの最大SYSCLK周波数用に設計されているため、REFCLKの周波数が1GHzを超える場合には、必ずSYSCLKの2分周機能を有効にする必要があります。

SYNCLKはDAC用のサンプル・クロックとして機能し、SYNCLKを生成するために8分周の周波数ディバイダに入力されます。SYNCLKは、SYNCLKピンでユーザーに提供されます。これによって、AD9858の内部DDSクロックと外部ハードウェアの同期が可能になります。SYNCLK信号に同期した外部ハードウェアを使用すれば、AD9858に周波数更新（FUD）信号を提供できます。FUD信号とSYNCLKは、内部バッファ・レジスタの内容をデバイスのメモリ・レジスタに転送するために使用します。図33に、同期方法のブロック図を示します。図34には、I/O同期のタイミング図を示します。

なお、SYNCLKも、プロファイル・セレクト・ピン（PS0、PS1）のアサーションの同期をとるために使用します。FUDピン、PS0ピン、PS1ピンは、SYNCLKの立ち上がりエッジを中心にしてセットアップし、保持する必要があります。

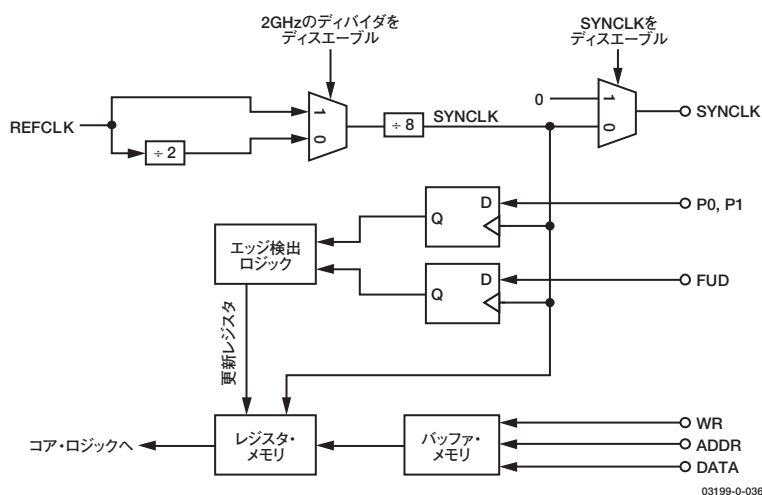
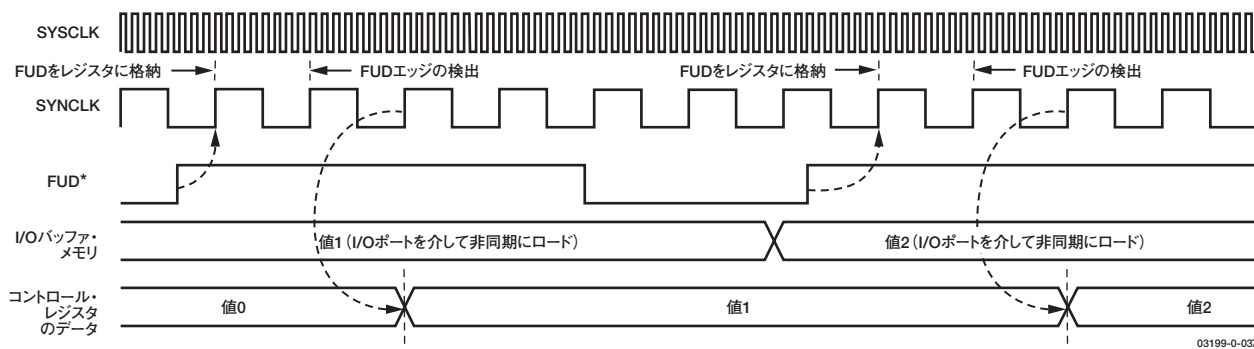


図33. I/O同期のブロック図



* FUDは、ユーザーが提供する入力で、SYNCLKの立ち上がりエッジを中心にしてセットアップおよび保持する必要があります。更新レジスタ信号がハイレベルの間にSYNCLKの立ち上がりエッジが出現すると、バッファ・メモリの内容がコントロール・レジスタに転送されます。同様に、PS0またはPS1ピンでの状態変化は、有効なFUDシーケンスのアサートと等価です。注：I/O更新は、選択された同期モードとは無関係に、SYNCLK信号に同期します。

図34. I/O同期のタイミング図

AD9858

周波数プランニング

AD9858をハイブリッド・シンセサイザ構成で使用する時、最高のスプリアス性能を実現するために、周波数プランニングを使用できます。周波数プランニングでは、最悪時のスプリアスの位置を決定するメカニズムを知り、適切なループ同調パラメータを使用して、これらのスプリアスをループ帯域幅の外側に置いて減衰させるか、または該当する周波数レンジの完全な外側に置きます。

フラクショナル・ディバイダ構成を使用するとき、DAC高調波のイメージが折り返されてDAC基本波やキャリア周波数に近づくたびに、最悪時のスプリアスが発生します。これらのイメージがループ帯域幅の範囲内に収まる場合には、およそ $20 \times \log N$ だけゲインアップされます。ここで、 N はループ内のゲインです。 N が比較的高い場合には、これらのスプリアスは、たとえループ帯域幅の少し外側にある場合でも、相当なゲインをもたらします。これは、この領域におけるループ減衰レートが一般に20dB/デケードだからです。DACイメージは、 $N \times F_{CLOCK} \pm M \times F_{OUT}$ で発生します。ここで、 N と M はそれぞれ F_{CLOCK} と F_{OUT} の整数倍です。

図20に、低次の奇数高調波が基本波を中心にして折り返されている高スプリアス条件を示します。図24には、最悪のスプリアスがキャリアを中心にして狭い領域に制限され、広帯域スプリアスが減衰していることを示します。図17には、同じキャリア周波数が得られる別の周波数プランを示します。DACの出力周波数は、 $F_{OUT} = F_{CLOCK} \times FTW/2^N$ の式によって設定されることを思い出してください。この方法では、 F_{CLOCK} と FTW のさまざまな組み合わせによって同じ F_{OUT} を生成できます。この場合、最悪のDACスプリアスは、ノイズ・フロアより下まで減衰するように、ループ帯域幅の完全な外側に置かれます。図21に、この周波数プランの広帯域プロットを示します。

高スプリアス信号が生じるその他の周波数の組み合わせは、 F_{CLOCK} のサブ高調波がループ帯域幅の中に収まるかその近くになるときです。これを回避するためには、DACの F_{OUT} を F_{CLOCK} のサブ高調波から十分にずらし、ループでこれらの結果を減衰するようにしてください。

変換ループの周波数プランニングは、DACイメージと F_{CLOCK} サブ高調波を考慮する必要があるという点で似ています。図25と図26に、奇数次イメージがキャリアの近くに折り返される高スプリアス構成の結果を示します。図22と図23には、低スプリアス成分で同じキャリア周波数を生成する別の周波数プランを示します。このループもミキサ・LO周波数を必要とするため、周波数の配置を決めるには特に注意が必要です。一般に、若干のミキサ・LOフィードスルーがあります。フィードスルーの量は、ミキサ・LO電力レベルとPCBボード・レイアウトのアイソレーションに依存しますが、一般には-80dBcのレベルを達成できます。図26に、ミキサ・LOコンポーネントが1.41GHzでスペクトルに現われ、別のスプリアス・コンポーネントがミキサ・LO+ $F_{CLOCK}/8$ で現れる場合の結果を示します。これによって、ミキサ・LO周波数は該当する帯域幅の十分外側に置かれ、図25に示すスペクトルが得られます。

AD9858のプログラミング

ユーザーからデバイスのDDSコアへのデータ転送は、2ステップのプロセスです。書き込み操作では、ユーザーは、パラレル・ポート（アドレスとデータ用のビットを含む）またはシリアル・モード（アドレスとデータはシリアル・ワードに結合される）を使用して、データをまずI/Oバッファに書き込みます。I/Oバッファにデータを入力する方法にかかわらず、データがI/Oバッファからメモリ・レジスタにラッチされるまでは、DDSコアはデータにアクセスできません。FUDピンをトグルしたり、プロファイル・セレクト・ピンの1つを変更すると、I/Oバッファ・メモリの全エレメントの更新がDDSコアのレジスタ・メモリに反映されます。

I/Oポートの機能

I/Oポートは、シリアルまたはパラレルのプログラミング・モードで動作します。モードの選択は、SPSELECTピンで行います。

ユーザー側での設計試作段階におけるデバッグ・プロセスを容易にするために、レジスタの内容を読み出す機能がいずれのモードにも備わっています。ただし、どちらのモードでも、プロファイル・レジスタの読み出しを行うには、プロファイル・セレクト・ピン（P0、P1）が希望するレジスタ・バンクを選択する構成になっている必要があります。プロファイルの1つに存在するレジスタを読み出すとき、レジスタ・アドレスは、プロファイルによって定義されたレジスタのグループの中から1つのレジスタを選択するオフセットとして機能します。プロファイル・セレクト・ピンは、レジスタ・バンクのベース・アドレスを制御し、適切なレジスタ・グループを選択します。

パラレル・プログラミング・モード

パラレル・プログラミング・モードでは、I/Oポートは、8本の双方向データ・ピン（D7～D0）、6本のアドレス入力ピン（ADDR5～ADDR0）、1本の読み出し入力ピン（ $\overline{RD}$ ）、1本の書き込み入力ピン（ $\overline{WR}$ ）を使用します。レジスタ・マップの定義に従って正しいアドレスの組み合わせを提供することによって、レジスタを選択します。読み出し／書き込み機能呼び出すには、該当するピン（ $\overline{RD}$ または $\overline{WR}$ ）にパルスを与えます。この2つの操作は、相互に排他的です。読み出しまたは書き込みデータは、D7～D0ピンに送られます。D7～D0のデータ・ビットと特定のレジスタ・アドレスにおけるその機能との対応関係については、レジスタ・マップ（表6）とレジスタ・ビットの説明を参照してください。

パラレルI/O動作では、シングルI/O動作時のI/Oバッファ・メモリ内の任意のレジスタの各バイトへの書き込みアクセスが可能です。読み出しは、書き込みのスピードより遅くなっています。これは、デバッグ用の低速機能であるためです。図35と図36に、書き込みサイクルと読み出しサイクルのタイミングを示します。

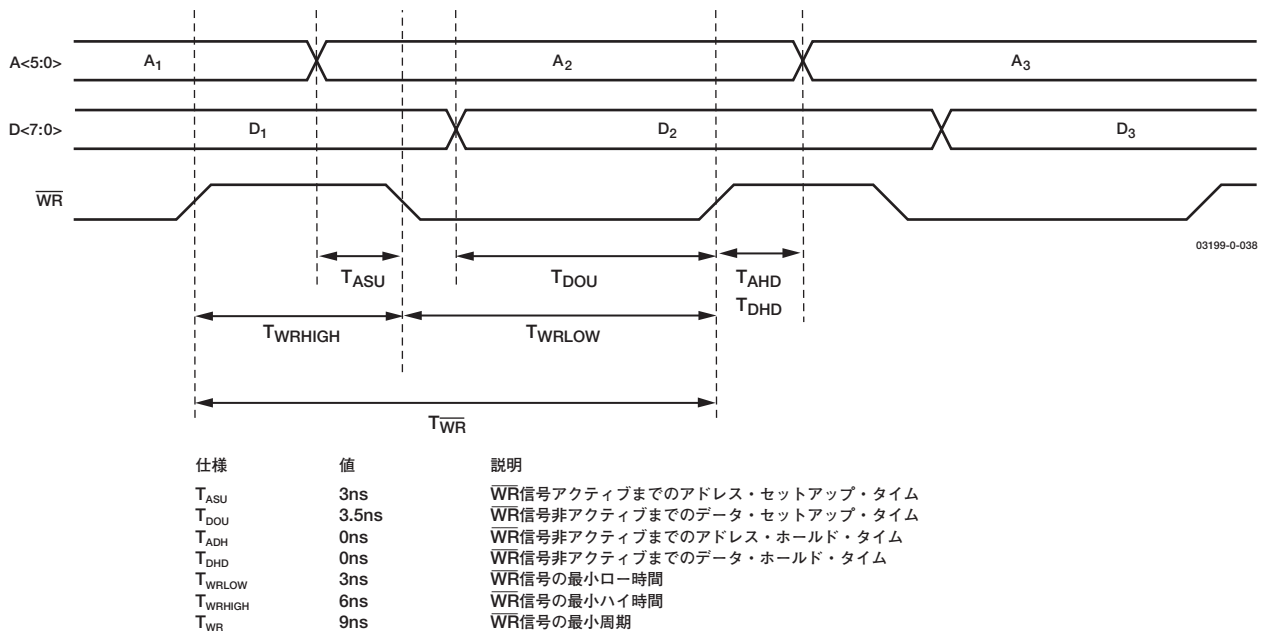


図35. I/Oポート書き込みサイクルのタイミング(パラレル)

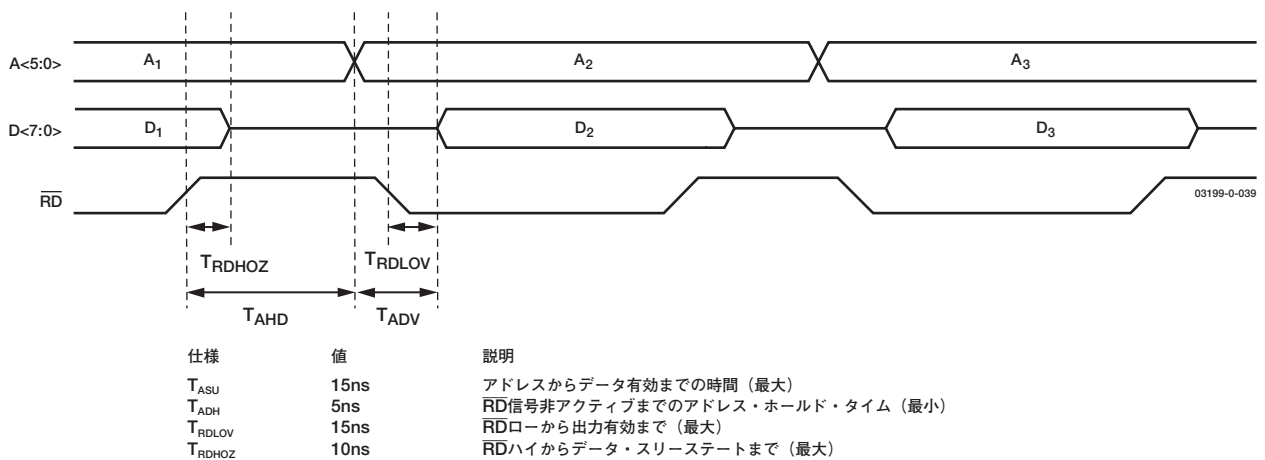


図36. I/Oポート読み出しサイクルのタイミング (パラレル)

AD9858

シリアル・プログラミング・モード

シリアル・プログラミング・モードでは、I/Oポートはチップ・セレクト・ピン ($\overline{CS}$)、シリアル・クロック・ピン (SCLK)、I/Oリセット・ピン (IORESET)、および1本または2本のシリアル・データ・ピン (SDIOまたはSDO、あるいはその両方) を使用します。使用するシリアル・データ・ピンの本数は、I/Oポートの設定に依存します。つまり、制御機能レジスタの定義に従って、I/Oポートのシリアル動作の設定が2線式か3線式によって異なります。2線式モードでは、SDIOピンは双方向シリアル・データ・ピンとして動作します。3線式モードでは、SDIOピンはシリアル・データ入力ピンのみになり、SDOピンがシリアル出力として機能します。SCLKの最大レートは10MHzです。ただし、読み出し動作では10MHzのレートは保証されません。

シリアル・ポートは、SPI互換のシリアル・インターフェースで、その動作はAD9852/AD9854の場合とほとんど同じです。シリアル・ポート通信は、2つの段階に分かれます。最初の段階は、8ビット・ワードで構成される命令サイクルです。命令バイトのMSBが、その後の操作を読み出しまたは書き込みにするフラグを立てます。6 LSBsで、レジスタ・マップで定義されるターゲット・レジスタのシリアル・アドレスを定義します。命令バイトのフォーマットを表5に示します。

表5

D7 (MSB)	D6	D5	D4	D3	D2	D1	DO (LSB)
1: 読み出し 0: 書き込み	X	A5	A4	A3	A2	A1	A0

シリアル・ポート通信の2番目の段階には、アドレス指定したレジスタとの間でやり取りされるデータが含まれます。段階2で転送されるバイト数は、ターゲット・レジスタの長さに依存します。シリアル動作では、シリアル・レジスタ・アドレスに関連付けられた全ビットを転送する必要があります。

シリアル・ポート通信のどちらの段階でも、シリアル・データ・クロック (SCLK) が動作する必要があります。デバイスへの書き込みでは、SCLKの立ち上がりエッジでシリアル・ビットを転送します。デバイスからの読み出しでは、SCLKの立ち下がりエッジでシリアル出力ビットを転送します。シリアル・ポート通信のいずれの段階のビット順も、制御機能レジスタで選択できます。

$\overline{CS}$ ピンは、チップ・セレクト制御ラインとして機能します。 $\overline{CS}$ がロジック1状態のとき、SDOピンとSDIOピンがディスエーブルになります (高インピーダンス状態になります)。SDOピンとSDIOピンがアクティブになるのは、 $\overline{CS}$ ピンがロジック0状態にあるときだけです。これによって、1本のシリアル・バス上に複数のデバイスを配置できます。同じシリアル・バスに複数のデバイスが接続されている場合、ターゲット・デバイスの $\overline{CS}$ をロジック0状態に設定し、他のすべてのデバイスをロジック1状態に設定することで、1つのデバイスだけとの通信が実現します。このように、シリアル通信は、コントローラとターゲット・デバイスとの間でのみ行われます。

AD9858と外部コントローラとの間のI/O同期が失われた場合は、IORESETピンを使用すれば、デバイス全体を初期化することなく、再び同期させることができます。IORESETピンをアサートすると (アクティブ・ハイ)、シリアル・ポート・ステート・マシンがリセットされます。これによって現在のI/O動作が終了し、デバイスが次の8つのSCLKパルスを次のI/O転送の命令バイトと見なす状態になります。なお、同期が失われる前、最後の有効な通信サイクル中にメモリ・レジスタに書き込まれた情報は保持されます。

レジスタ・マップ

レジスタを表6に示します。各レジスタに関連付けられているシリアル・アドレスとパラレル・アドレスの番号は、16進形式で示されます。< >は、特定のビットまたはビット範囲を示すために使用しています。たとえば、<3>はビット3を意味し、<7:3>は7から3までのビット範囲を意味します。

表6. レジスタ・マップ

レジスタ名	アドレス		(MSB) ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	(LSB) ビット0	デフォルト 値	プロ ファイル	
	シリアル	パラレル											
制御機能 レジスタ (CFR)	0x00	0x00 <7:0>	未使用	2GHz 分周器 デイス エーブル	SYNCLK 出力 デイス エーブル	ミキサー・ パワー ダウン	位相検出 パワー ダウン	パワー ダウン	SDIO 入力のみ	LSB ファースト	0x18	N/A	
		0x01 <15:8>	周波数 掃引 イネーブル	サイン 波出力を イネーブル	チャージ・ ポンプ・ オフセット・ ビット	位相検出器分周比 (N) (表10を参照)		チャージ・ ポンプ極性	位相検出器分周比 (M) (表11を参照)		0x00	N/A	
		0x02 <23:16>	周波数 アキュム レータの AutoClear	位相 アキュム レータの AutoClear	Δ周波数 タイマを ロード	周波数 アキュム レータを クリア	位相 アキュム レータを クリア	未使用	高速 ロック・ イネーブル	高速ロック 用FTW	0x00	N/A	
		0x03 <31:24>	周波数検出チャージ・ ポンプ電流 (表7を参照)		最終クローズド・ループ・ チャージ・ポンプ電流 (表8を参照)			ワイド・クローズド・ループ・ チャージ・ポンプ電流 (表9参照)			0x00	N/A	
Δ周波数 同調ワード (DFTW)	0x01	0x04	Δ周波数ワード<7:0>									—	N/A
		0x05	Δ周波数ワード<15:8>									—	N/A
		0x06	Δ周波数ワード<23:16>									—	N/A
		0x07	Δ周波数ワード<31:24>									—	N/A
Δ周波数ランプ・ レート (DFRRW)	0x02	0x08	Δ周波数ランプ・レート・ワード<7:0>									—	N/A
		0x09	Δ周波数ランプ・レート・ワード<15:8>									—	N/A
周波数同調ワード No.0 (FTW0)	0x03	0x0A	周波数同調ワードNo.0<7:0>									0x00	0
		0x0B	周波数同調ワードNo.0<15:8>									0x00	0
		0x0C	周波数同調ワードNo.0<23:16>									0x00	0
		0x0D	周波数同調ワードNo.0<31:24>									0x00	0
位相オフセット・ ワード0 (POW0)	0x04	0x0E	位相オフセット・ワードNo.0<7:0>									0x00	0
		0x0F	未使用	未使用	位相オフセット・ワードNo.0<13:8>						0x00	0	
周波数同調ワード No.1 (FTW1)	0x05	0x10	周波数同調ワードNo.1<7:0>									—	1
		0x11	周波数同調ワードNo.1<15:8>									—	1
		0x12	周波数同調ワードNo.1<23:16>									—	1
		0x13	周波数同調ワードNo.1<31:24>									—	1
位相オフセット・ ワード1 (POW1)	0x06	0x14	位相オフセット・ワードNo.1<7:0>									—	1
		0x15	未使用	未使用	位相オフセット・ワードNo.1<13:8>						—	1	
周波数同調ワード No.2 (FTW2)	0x07	0x16	周波数同調ワードNo.2<7:0>									—	2
		0x17	周波数同調ワードNo.2<15:8>									—	2
		0x18	周波数同調ワードNo.2<23:16>									—	2
		0x19	周波数同調ワードNo.2<31:24>									—	2
位相オフセット・ ワード2 (POW2)	0x08	0x1A	位相オフセット・ワードNo.2<7:0>									—	2
		0x1B	未使用	未使用	位相オフセット・ワードNo.2<13:8>						—	2	
周波数同調ワード No.3 (FTW3)	0x09	0x1C	周波数同調ワードNo.3<7:0>									—	3
		0x1D	周波数同調ワードNo.3<15:8>									—	3
		0x1E	周波数同調ワードNo.3<23:16>									—	3
		0x1F	周波数同調ワードNo.3<31:24>									—	3
位相オフセット・ ワード3 (POW3)	0x0A	0x20	位相オフセット・ワードNo.3<7:0>									—	3
		0x21	未使用	未使用	位相オフセット・ワードNo.3<13:8>						—	3	
予約済み	0x0B	0x22	予約済み、書き込み禁止、0xFFのまま									0xFF	N/A
		0x23	予約済み、書き込み禁止、0xFFのまま									0xFF	N/A

AD9858

レジスタ・ビットの説明

制御機能レジスタ (CFR)

CFRは、4つのバイトで構成されます。CFRによって、AD9858のさまざまな機能や特長、モードを制御できます。各ビットの機能を以下に説明します。なお、レジスタ・ビットは、最上位ビットで始まるシリアル・レジスタ・ビットの位置によって識別します。

CFR<31:30>：周波数検出モードのチャージ・ポンプ電流

これらのビットは、表7に従って、周波数検出モードのチャージ・ポンプ出力電流のスケール係数を設定します。チャージ・ポンプは、コントロール・ロジックによって周波数検出動作モードになると、スケーリングされた出力電流を供給します。チャージ・ポンプのベースライン出力電流 (I_{CP0}) は、外部CPISSET抵抗によって決まり、次の式で求めることができます。

$$I_{CP0} = 1.24 / CPISSET$$

CPISSET抵抗の推奨公称値は2.4k Ω で、500 μ Aのベースライン電流が生じます。

表7.

CFR<31:30>	周波数検出チャージ・ポンプのスケール値	注
00b	0	$I_{OUT}=0$ (デフォルト)
01b	2	$I_{OUT}=20 \times I_{CP0}$
10b	3	$I_{OUT}=40 \times I_{CP0}$
11b	4	$I_{OUT}=60 \times I_{CP0}$

CFR<29:27>：最終クローズド・ループ・モードのチャージ・ポンプ出力電流

これらのビットは、表8に従って、最終クローズド・ループ・モードのチャージ・ポンプ出力電流のスケール係数を設定します。チャージ・ポンプは、コントロール・ロジックによって最終クローズド・ループ・モードになると、スケーリングされた出力電流を供給します。

表8.

CFR<29:27>	最終クローズド・ループCPスケール値	注
0xxb	0	$I_{OUT}=0$ (デフォルト)
100b	1	$I_{OUT}=I_{CP0}$
101b	2	$I_{OUT}=2 \times I_{CP0}$
110b	3	$I_{OUT}=3 \times I_{CP0}$
111b	4	$I_{OUT}=4 \times I_{CP0}$

CFR<26:24>：ワイド・クローズド・ループのチャージ・ポンプ出力電流

これらのビットは、ワイド・クローズド・ループのチャージ・ポンプ出力電流のスケール係数を設定します (表9を参照)。チャージ・ポンプは、コントロール・ロジックによってワイド・クローズド・ループ動作モードになると、スケーリングされた出力電流を供給します。

表9.

CFR<26:24>	ワイド・クローズド・ループのCPスケール値	注
000b	0	$I_{OUT}=0$ (デフォルト)
001b	2	$I_{OUT}=2 \times I_{CP0}$
010b	4	$I_{OUT}=4 \times I_{CP0}$
011b	6	$I_{OUT}=6 \times I_{CP0}$
100b	8	$I_{OUT}=8 \times I_{CP0}$
101b	10	$I_{OUT}=10 \times I_{CP0}$
110b	12	$I_{OUT}=12 \times I_{CP0}$
111b	14	$I_{OUT}=14 \times I_{CP0}$

CFR<23>：周波数アキュムレータ・ビットのAutoClear

CFR<23>=0 (デフォルト) の場合、新しい Δ 周波数ワードがアキュムレータに入力され、現在格納されている値に加算されます。

CFR<23>=1の場合、FUDシーケンス・インジケータを受信した時点で、周波数アキュムレータを1サイクルの間自動的に同期クリア (ゼロをロード) します。

CFR<22>：位相アキュムレータ・ビットのAutoClear

CFR<22>=0 (デフォルト) の場合、新しい周波数同調ワードが位相アキュムレータに入力され、現在格納されている値に加算されます。

CFR<22>=1の場合、FUDシーケンス・インジケータを受信した時点で、位相アキュムレータを1サイクルの間自動的に同期クリア (ゼロをロード) します。

CFR<21>： Δ 周波数タイマのロード

CFR<21>=0 (デフォルト) の場合、FUDシーケンスを検出した時点で、 Δ 周波数ランプ・レート・ワードの内容がランプ・レート・タイマ (ダウン・カウンタ) にロードされます。

CFR<21>=1の場合、FUDシーケンス・インジケータの状態とは無関係に (FUDシーケンス・インジケータは無視されます)、タイムアウトの時点で Δ 周波数ランプ・レート・ワードの内容がランプ・レート・タイマにロードされます。

CFR<20>：周波数アキュムレータ・ビットのクリア

CFR<20>=1の場合、周波数アキュムレータが同期クリアされ、CFR<20>がロジック0の状態 (デフォルト) に復帰するまでクリアされたままになります。

CFR<19>：位相アキュムレータ・ビットのクリア

CFR<19>=1の場合、位相アキュムレータが同期クリアされ、CFR<19>がロジック0の状態（デフォルト）に復帰するまでクリアされたままになります。

CFR<18>：未使用**CFR<17>：PLL高速ロック・イネーブル・ビット**

CFR<17>=0（デフォルト）の場合、PLLの高速ロック・アルゴリズムがディセーブルになります。

CFR<17>=1の場合、PLLの高速ロック・アルゴリズムがアクティブになります。

CFR<16>

このビットによって、ユーザーは、高速ロック・モードに入るかどうかを決定するために、PLLの高速ロック・アルゴリズムが同調ワード値を使用するかどうかを制御できます。

CFR<16>=0（デフォルト）の場合、PLLの高速ロック・アルゴリズムは、プログラムされた周波数同調ワードと瞬時周波数との関係をロック・プロセスの一部と見なします。

CFR<16>=1の場合、PLLの高速ロック・アルゴリズムは、周波数同調ワードをロック・プロセスの一部として使用しません。

CFR<15>：周波数掃引イネーブル・ビット

CFR<15>=0（デフォルト）の場合、デバイスはシングルトーン・モードです。

CFR<15>=1の場合、デバイスは周波数掃引モードです。

CFR<14>：サイン波イネーブル・ビット

CFR<14>=0（デフォルト）の場合、角度から振幅への変換ロジックがコサイン波機能を使用します。

CFR<14>=1の場合、角度から振幅への変換ロジックがサイン波機能を使用します。

CFR<13>：チャージ・ポンプ電流オフセット・ビット

CFR<13>=0（デフォルト）の場合、チャージ・ポンプは通常の電流設定で動作します。

CFR<13>=1の場合、チャージ・ポンプはオフセット電流設定で動作します（チャージ・ポンプの説明を参照）。

CFR<12:11>：位相検出器リファレンスの入力周波数分周比

これらのビットは、表VIに従って、位相検出器分周値を設定します（表10参照）。

表10.

CFR<12:11>	位相検出器分周比 (N)	注
00b	1	デフォルト値
01b	2	
1xb	4	LSBは無視

CFR<10>：チャージ・ポンプ極性セレクト・ビット

CFR<10>=0（デフォルト）の場合、チャージ・ポンプがグラウンド基準のVCOで動作するように設定されます。このモードでは、PD_{IN}での周波数がDIV_{IN}での周波数より小さい場合に、チャージ・ポンプが電流をソースします。逆の場合には、チャージ・ポンプが電流をシンクします。

CFR<10>=1の場合、チャージ・ポンプが電源基準のVCO用に設定されます。このモードでは、チャージ・ポンプのソース／シンク動作は、グラウンド基準のVCOの反対になります。

CFR<9:8>：位相検出器フィードバックの入力周波数分周比

これらのビットは、表VIIに従って、位相検出器分周値を設定します（表11参照）。

表11.

CFR<9:8>	位相検出器分周比 (M)	注
00b	1	デフォルト値
01b	2	
1xb	4	LSBは無視

CFR<7>：未使用**CFR<6>：2GHz REFCLK分周器用のビットのディセーブル**

CFR<6>=0（デフォルト）の場合、REFCLKの2分周機能はバイパスされません。REFCLK入力には最高2GHzを使用できます。

CFR<6>=1の場合、REFCLKの2分周機能はディセーブルになります。REFCLK入力は1GHz以下でなければなりません。

CFR<5>：SYNCLKディセーブル・ビット

CFR<5>=0（デフォルト）の場合、SYNCLKピンはアクティブです。

CFR<5>=1の場合、SYNCLKピンはスタティックなロジック0状態（ディセーブル）になります。この状態では、デジタル回路によって生成されるノイズを最小限に保持するために、ピン駆動ロジックがシャット・ダウンされます。しかし、通常のデバイス・タイミングを維持するために、同期回路は（内部的に）アクティブなままです。

AD9858

CFR<4:2> : パワーダウン・ビット

アクティブ・ハイ（ロジック1）で、各機能がパワーダウンされます。3つのビットすべてにロジック1を書き込むと、デバイスはフルスリープ・モードに入ります。

CFR<4>は、アナログ・ミキサ一段をシャット・ダウンするために使用します（デフォルト=1）。

CFR<3>は、位相検出器とチャージ・ポンプ回路のシャット・ダウンに使用します（デフォルト=1）。

CFR<2>は、DDSコアとDACのシャット・ダウンに使用し、SYNCLK以外のすべての内部クロックを停止させます（デフォルト=0）。

CFR<1> : SDIO入力のみ

CFR<1>=0（デフォルト）の場合、SDIOピンが双方向動作します（2線式シリアル・プログラミング・モード）。

CFR<1>=1の場合、シリアル・データI/Oピン（SDIO）が入力専用ピンとして設定されます（3線式シリアル・プログラミング・モード）。

CFR<0> : LSBファースト

このビットは、I/Oポートがシリアル・ポートとして設定された場合にだけ、デバイス動作に影響を与えます。

CFR<0>=0（デフォルト）の場合、MSBファースト・フォーマットがアクティブです。

CFR<0>=1の場合、LSBファースト・フォーマットがアクティブです。

その他のレジスタ

Δ周波数同調ワード（DFTW）

DFTWレジスタは、4つのバイトで構成されます。DFTWの内容は、周波数アキュムレータに入力されます。デバイスが周波数掃引モードのとき、周波数アキュムレータの出力が周波数同調ワードに加算され、位相アキュムレータに送られます。これによって、AD9858の周波数掃引が行われます。

Δ周波数ランプ・レート・ワード（DFRRW）

DFRRWは、2つのバイトで構成されます。DFRRWは、周波数アキュムレータのクロック駆動に使用するタイマの分周器になる16ビットの符号なし数値です。

ユーザー・プロファイル・レジスタ

ユーザー・プロファイル・レジスタは、4つの周波数同調ワードと4つの位相調整ワードで構成されています。周波数レジスタと位相レジスタの各ペアは、設定可能なユーザー・プロファイルを形成し、ユーザー・プロファイル・ピンで選択します。

ユーザー・プロファイル

AD9858には、デバイス上のプロファイル・セレクト・ピン（PS0、PS1）によって選択する4つのユーザー・プロファイル（0～3）があります。各プロファイルには、専用の周波数同調ワードがあります。これによってユーザーは、各プロファイルに異なる周波数同調ワードをロードすることができ、後から必要に応じてプロファイル・セレクト・ピンで選択することができます。このようにして、シングルトーン・モードのときに、SYSCLKの1/16までのレートでさまざまな周波数間をホップできます。

AD9858は、プロファイルごとに14ビットの位相オフセット・ワード（POW）も提供します。このレジスタ内の値は、瞬時位相値に加算されるプロポーショナルな（ $PO/2^{14}$ ）位相オフセットを表す14ビットの符号なし数値（POW）です。これによって、出力信号の位相を少しずつ（およそ 0.022° ）増やして調整できます。AD9858があるプロファイルで指定された周波数で動作している間に別のプロファイルのFTWとPOWを更新してから、新しくロードされた周波数を含むプロファイルに切り替えることができます。現在のプロファイルを変更すると、両方のパラメータが更新されます。したがって、不用意にパラメータが変更されないように注意する必要があります。

選択したプロファイルのFTWレジスタに新しい周波数を繰り返し書き込んで、周波数アップデート・ピン（FUD）をストローブすることによって、新しい周波数にジャンプすることもできます。これによって任意の周波数にホッピングできますが、その実行速度はI/Oポートの速度（パラレル・モードで100MHz）によって制限され、新しい周波数同調ワードごとに数バイトのデータを転送する必要があります。多くのアプリケーションで、これを十分高速に実行できます。

位相オフセット制御

14ビットの位相オフセット（ θ ）を位相アキュムレータの出力に加算するには、メモリ・レジスタに格納されている位相オフセット・ワードを使用します。この機能によって、ユーザーは、3つの方法で位相制御を行うことができます。

最初の方法はスタティック位相調整で、一定の位相オフセットが適切な位相オフセット・レジスタにロードされ、そのまま変更されません。その結果、出力信号は、公称信号を基準にして一定の角度だけオフセットされます。これによってユーザーは、必要であれば、DDS出力を何らかの外部信号と位相整列することができます。

位相制御の2番目の方法では、ユーザーは、I/Oポートを介して適切な位相オフセット・レジスタを定期的に更新します。ユーザーは、位相オフセットを時間の関数として適切に変更することによって、位相変調された出力信号を提供できます。位相変調の実行レートは、I/Oポートの速度とSYSCLKの周波数によって制限されます。

位相制御の3番目の方法では、ユーザーは、プロファイル・レジスタ内の適切なプロファイルに、4つまでの異なる位相オフセット値をロードします。そうすれば、AD9858のプロファイル・セレクト・ピンを介して、プリロードされた4つの位相オフセット値を選択できます。I/Oポートへの書き込みではなくハードウェア・ピンを駆動して位相変更を行うため、I/Oポートに伴う速度に対する制限を回避できます。ただし、この方法では、4つの異なる位相オフセット値（プロファイル当たり1つの位相オフセット値）に制限されます。各プロファイルには、関連する周波数と位相値があります。現在のプロファイルを変更すると、両方のパラメータが更新されます。したがって、不用意にパラメータが変更されないように注意する必要があります。

なお、位相オフセット値は、単位遅延（ z^{-1} ）ブロックを通じて転送されます。これは、位相オフセット値の更新が、周波数同調ワードの更新と同じレイテンシを示すようにするためです。

プロファイル選択

プロファイルは、メモリ・レジスタの特定のグループから構成されます（表6を参照）。AD9858では、各プロファイルに32ビットの周波数同調ワードと14ビットの位相オフセット・ワードがあります。表12に示すように、各プロファイルは、2本の外部プロファイル・セレクト・ピン（PS0とPS1）によって選択できます。レジスタからプロファイルへのマッピングについては、「レジスタ・ビットの説明」のセクションを参照してください。プロファイルの選択は、SYNCLKタイミグを使用してDDS CLKと内部的に同期がとられることを認識しておく必要があります。つまり、プロファイル・セレクト・ピン（PS0、PS1）のアサーションの同期をとるために、SYNCLKを使用します。したがって、PS0ピンとPS1ピンは、SYNCLKの立ち上がりエッジを中心にしてセットアップし、保持する必要があります。

表12.

PS1	PS0	プロファイル
0	0	0
0	1	1
1	0	2
1	1	3

ユーザーは、プロファイルを使用することで、外部ハードウェアを介してデバイス・パラメータを短時間で変更できます。これによって、I/Oポートによって課せられる速度制限を緩和できます。たとえば、ユーザーは、 90° の位相インクリメントに対応する値で4つの位相オフセット・レジスタをあらかじめプログラムできます。PS0ピンとPS1ピンを制御することによって、ユーザーは $\pi/2$ の位相変調を実現できます。データ変調レートは、I/Oポートを介して1つの位相オフセット・レジスタを繰り返し再ロードする場合よりも、ずっと高くなります。

AD9858

AD9858のアプリケーション案

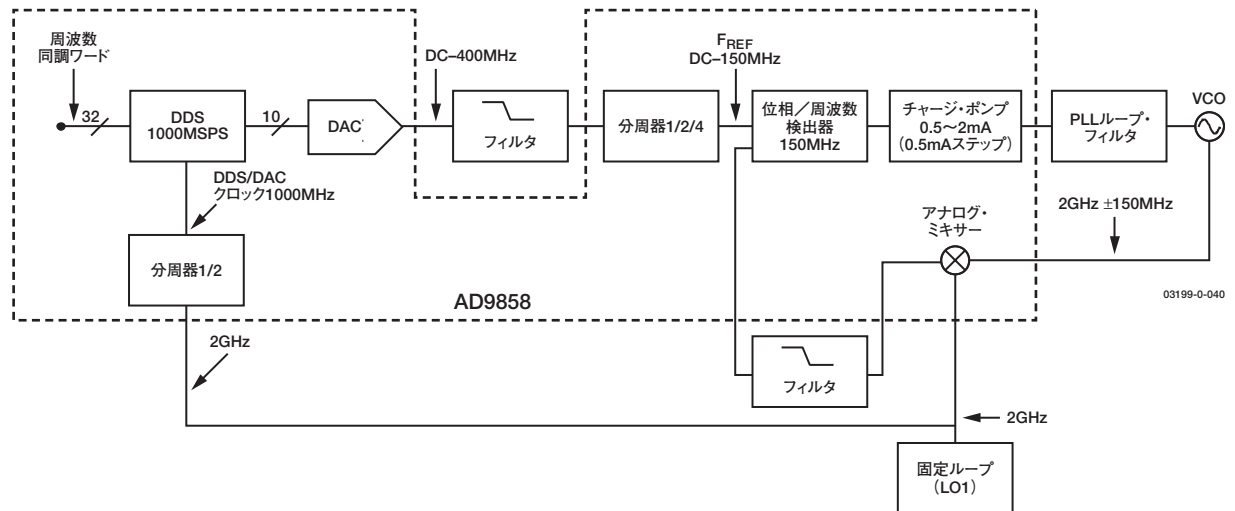


図37. DDSシンセサイザの変換ループ発振器（変換ループ評価ボードで実現）

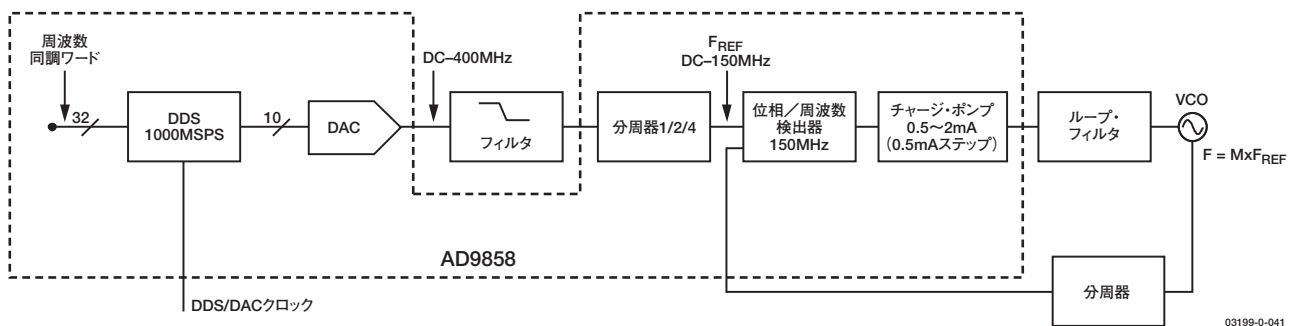


図38. DDSシンセサイザのシングル・ループPLLアップ変換

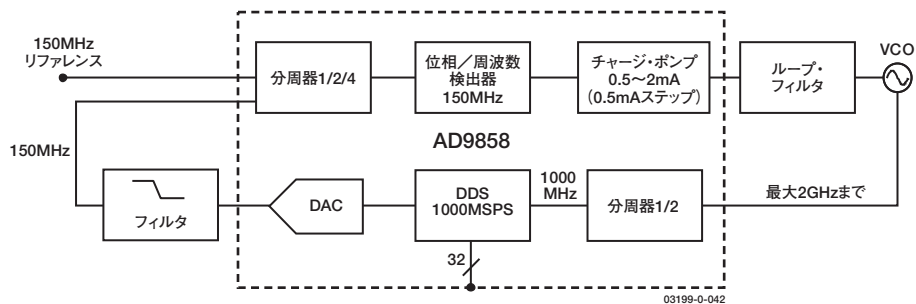


図39. フラクショナルNシンセサイザとしてのDDSシンセサイザAD9858（フラクショナル分周評価ボードで実現）

評価ボード

AD9858には、3つの異なる評価ボード設計があります。まず、従来のDDS評価ボードの設計があります。この設計では、DDSをクロック駆動し、DACから直接出力を得ます。アナログ・ミキサー・ブロックとPLLブロックは、個別に評価できます。

2番目の設計はフラクショナル分周ループです。この評価ボードは、DDS、位相検出器、チャージ・ポンプを内蔵する設計になっています。このアプリケーションでは、DDSをPLLループで使用します。従来のPLLループで使用する固定分周器とは異なり、出力信号はDDSによって分周されて位相検出器に送り返されます。そのために、PLLループの出力信号をREFCLKとしてDDSに供給します。DDSは、リファレンス入力周波数に合うようにプログラムされています。DDS出力周波数は0Hz～PLLループ出力周波数の1/2の間で 2^{32} の潜在的な値をとれるので、PLLループ出力周波数を2GHzと想定した場合、470MHzのオーダーの周波数分解能が可能になります。

3番目の設計は変換ループまたはオフセット・ループです。この設計では、RFミキサーがループのフィードバック・パスに組み込まれます。これによって、トランスミッション周波数への直接のアップ変換が可能になります。

これら3つの評価ボードには、それぞれ異なる回路図、部品表、インストラクションがあります。詳細については、www.analog.com/ddsをご覧ください。

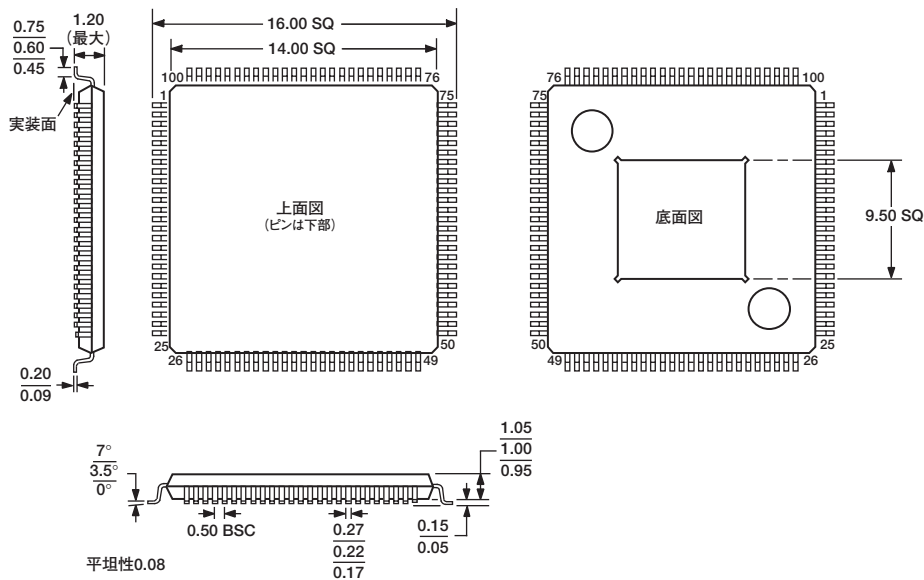
表13. AD9858評価ボード

製品番号	説明
AD9858PCBZ	AD9858周波数シンセサイザ・ボード
AD9858FDPCB	AD9858フラクショナル分周ループ周波数シンセサイザ・ボード
AD9858TLPCBZ	AD9858変換ループ周波数シンセサイザ・ボード

外形寸法

図40 100ピン薄型プラスチック・クワッド・フラット・パッケージ、エクスポーズド・パッド [TQFP_EP]
(SV-100-1)

寸法はミリメートルで表示



JEDEC規格MS-026-AED-HDに準拠

敬告

放熱用の大きな金属質量として、グラウンド面にはEPAD（熱スラグ）を接続する必要があります。これを接続しないと、チップ温度が異常に上昇してデバイスに損傷を与える可能性があります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないうちに放電されます。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



オーダー・ガイド

AD9858製品	温度範囲	パッケージ	パッケージ・オプション
AD9858BSV	−40〜+85℃	100ピンEPAD	SV-100
AD9858BSVZ ¹	−40〜+85℃	100ピンEPAD	SV-100
AD9858PCBZ ¹	25℃	汎用評価ボード	
AD9858FDP	25℃	フラクショナル分周器評価ボード	
AD9858TLPCBZ ¹	25℃	変換ループ評価ボード	

¹ Z = ROHS 準拠製品。