

特長

ピン互換TxDAC™ 製品ファミリー
 125 MSPSアップデートレート
 14ビットレゾリューション
 優れたSFDR及びIMD
 ディファレンシャル電流出力：2 mAから20 mA
 電力消費：190 mW@5 Vから45 mW@3 V
 パワーダウンモード：25 mW@5 V
 オンチップ1.20 Vレファレンス
 +5 V又は+3 V単電源オペレーション
 パッケージ：28リードSOIC
 エッジトリガラッチ

アプリケーション

コミュニケーション送信チャネル：
 ベースステーション
 ADSL/HFC モデム
 インストルメンテーション

概要

AD9764は、高性能、低電力CMOSデジタル・アナログコンバータ(DAC)TxDAC™ 製品ファミリーの一員で、14ビットレゾリューションのCMOS DACである。TxDAC™ 製品ファミリーには、ピン互換性のある8、10、12、14ビットのDACがあり、特にコミュニケーションシステムの送信信号パス用に最適化されている。すべての製品は、共通のインターフェースオプション、小さなアウトラインパッケージ及びピンアウトを使用しており、性能、レゾリューション、コストに応じて色々なコンポーネントを選択できるようになっている。AD9764は125MSPSまでのアップデートレートをサポートし、優れたac及びdcパフォーマンスを持っている。

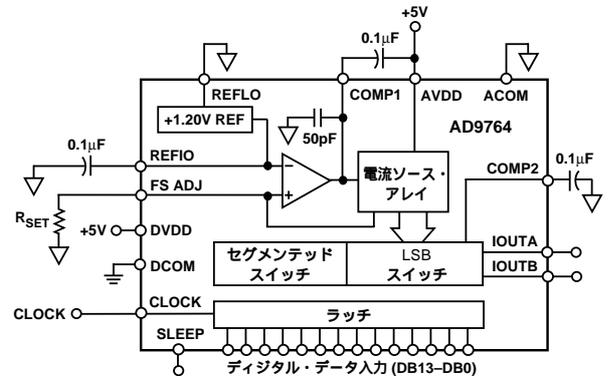
AD9764は、シングルサプライオペレーティングレンジが2.7 Vから5.5Vまであり、電力消費も少ないため、ポータブルで低電力のアプリケーションに適している。電力消費量は、フルスケール電流出力を下げることでパフォーマンスはやや低下するが45 mWまで落とす事が出来る。また、パワーダウンモードでは、スタンバイパワーを約25 mWまで落とす事が出来る。

AD9764は先進的CMOSプロセスで製造されている。スプリアコンポーネントを減らし、ダイナミックパフォーマンスを最大化するため、セグメントされた電流ソースアーキテクチャ及び独自のスイッチング技術を統合したものを導入している。エッジトリガ入力ラッチ及び1.2 Vの温度補償されたバンドギャップレファレンスの組み合わせにより、完全にモノリシックなDACソリューションを実現した。柔軟な電源オプションによって、+3 Vおよび+5 Vいずれのロジックファミリーもサポートしている。

AD9764は20 mAのノミナルフルスケール出力電流、100 k Ω 超の出力インピーダンスを持つ、電流出力DACである。

*TxDACはAnalog Devices社の商標である。

機能のブロックダイアグラム



シングルエンドアプリケーション、ディファレンシャルアプリケーションをサポートするため、ディファレンシャル電流が出力される。二つの電流出力のマッチングにより、ディファレンシャル出力コンフィギュレーションでのダイナミックパフォーマンスを確実なものにしている。電流出力は、二つの相補シングルエンド電圧出力を得るために出力抵抗に直接繋げても良いし、又は変圧器に直接接続しても良い。出力電圧コンプライアンスレンジは1.25 Vである。

オンチップレファレンスとコントロールアンプは、最高の精度と柔軟性が得られるように構成されている。AD9764は、オンチップレファレンスでも外部レファレンス電圧でも動作可能である。内部コントロールアンプは、広い調整スパン(>10:1)を持ち、ダイナミックパフォーマンスを損なわずにフルスケール電流を2 mAから20 mAまで調節することが可能となっている。このため、AD9764は低電力レベルでも運用できるし、より広いゲインレンジを扱うために20dBレンジに調整する事も出来るのである。

AD9764は28リードSOICパッケージで出荷される。インダストリアル温度範囲で使用可能である。

製品ハイライト

- AD9764は、TxDAC™製品ファミリーの一員で、性能、レゾリューション(8ビットから14ビットまで)コストに応じて色々なコンポーネントを選択できるようになっている。
- AD9764はCMOSプロセスで製造されている。独自のスイッチング技術を導入し、既存のバイポーラ又はBiCMOSデバイスが達成していたより以上のダイナミックパフォーマンスを、より低いコスト/電力で実現している。
- オンチップ、エッジトリガ入力CMOSラッチは、容易に+3 V及び+5V CMOSロジックファミリーとのインターフェースを可能にしている。AD9764は125MSPSまでのアップデートレートをサポートしている。
- 2.7 V~5.5 Vシングルサプライで動作し、フルスケール電流を2 mAから20 mAの広い範囲で調節が可能。これにより低電力オペレーションが可能。
- 電流出力を様々なシングルエンド、ディファレンシャル回路トポロジーに容易にコンフィギュレーションすることが可能。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9764 仕様

DC仕様(特に指定のない限り、 T_{MIN} から T_{MAX} 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
レゾリューション	14			ビット
DCアキュラシー ¹				
積分直線性エラー(INL)				
$T_A = +25$	- 4.5	± 2.5	+ 4.5	LSB
T_{MIN} から T_{MAX}	- 6.5		+ 6.5	LSB
微分非直線性(DNL)				
$T_A = +25$	- 2.5	± 1.5	+ 2.5	LSB
T_{MIN} から T_{MAX}	- 4.5		+ 4.5	LSB
アナログ出力				
オフセットエラー	- 0.025		+ 0.025	FSRに対する%
ゲインエラー(内部リファレンス無し)	- 10	± 2	+ 10	FSRに対する%
ゲインエラー(内部リファレンス有り)	- 10	± 1	+ 10	FSRに対する%
フルスケール出力電流 ²	2.0		20.0	mA
出力コンプライアンスレンジ	- 1.0		1.25	V
出力レジスタンス		100		k
出力キャパシタンス		5		pF
レファレンス出力				
レファレンス電圧	1.08	1.20	1.32	V
レファレンス出力電流 ³		100		nA
レファレンス入力				
入力コンプライアンスレンジ	0.1		1.25	V
レファレンス入力レジスタンス		1		M
スモール信号バンド幅(C_{COMP1} 無し) ⁴		1.4		MHz
温度係数				
オフセットドリフト		0		FSRのppm/
ゲインドリフト(内部リファレンス無し)		± 50		FSRのppm/
ゲインドリフト(内部リファレンス有り)		± 100		FSRのppm/
レファレンス電圧ドリフト		± 50		ppm/
電源				
電圧範囲				
AVDD ⁵	2.7	5.0	5.5	V
DVDD	2.7	5.0	5.5	V
アナログ電源電流(I_{AVDD})		25	30	mA
デジタル電源電流(I_{DVDD}) ⁶		1.5	2	mA
電源電流SLEEPモード(I_{AVDD})		5.0	8.5	mA
電力消費(5V、 $I_{OUTFS} = 20mA$) ⁷		133	160	mW
電力消費(5V、 $I_{OUTFS} = 20mA$) ⁷		190		mW
電力消費(3V、 $I_{OUTFS} = 2mA$) ⁷		45		mW
電源除去比 - AVDD ⁸	- 0.4		+ 0.4	FSRの%/V
電源除去比 - DVDD ⁸	- 0.05		+ 0.05	FSRの%/V
動作範囲	- 40		+ 85	

注

¹ 仮想グラウンドをドライブする I_{OUTA} で測定。

² ノミナルフルスケール電流、 I_{OUTFS} は I_{REF} 電流の32倍

³ 外部負荷使用時は外部バッファアンプを使用する

⁴ リファレンスバンド幅はCOMP1ピンにおける外部容量と信号レベルの関数

⁵ 3V未満で運用する場合は、機器の性能を維持するため出力電流を12mA以下にすることが望ましい

⁶ $f_{CLOCK} = 25MSPS$ 及び $f_{OUT} = 1.0MHz$ で測定

⁷ I_{OUTA} と I_{OUTB} での50 R_{LOAD} 、 $I_{OUTFS} = 20mA$ バッファなし電圧出力、 $f_{CLOCK} = 100MSPS$ 及び $f_{OUT} = 40MHz$ で測定

⁸ ±5%電源変動

仕様は予告なく変更される事がある。

ダイナミック仕様 (特に指定のない限り、 T_{MIN} から T_{MAX} 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$ 、ディファレンシャル変圧器カップルド出力、50 二重終端)

パラメータ	Min	Typ	Max	単位
ダイナミックパフォーマンス				
最大出力アップデートレート (f_{CLOCK})	100	125		MSPS
出力セッティング時間 (t_{ST} 、0.1%まで)		35		ns
出力伝播遅延 (t_{PD})		1		ns
グリッチインパルス		5		pV-s
出力ライズ時間 (10%から90%) ¹		2.5		ns
出力フォール時間 (10%から90%) ¹		2.5		ns
出力ノイズ ($I_{OUTFS} = 20mA$)		50		pA/ \sqrt{Hz}
出力ノイズ ($I_{OUTFS} = 2mA$)		30		pA/ \sqrt{Hz}
AC直線性				
Nyquistまでのスプリアスフリーダイナミックレンジ				
$f_{CLOCK} = 25MSPS; f_{OUT} = 1.00MHz$				
0 dBFS出力				
$T_A = +25$	75	82		dBc
T_{MIN} から T_{MAX}	73			dBc
-6 dBFS出力		85		dBc
-12 dBFS出力		77		dBc
-18 dBFS出力		70		dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 1.00MHz$		80		dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 2.51MHz$		77		dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 5.02MHz$		70		dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 20.2MHz$		58		dBc
Window内でのスプリアスフリーダイナミックレンジ				
$f_{CLOCK} = 25MSPS; f_{OUT} = 1.00MHz; 2MHz$ スパン				
$T_A = +25$	78	86		dBc
T_{MIN} から T_{MAX}	76			dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 5.02MHz; 2MHz$ スパン		84		dBc
$f_{CLOCK} = 100MSPS; f_{OUT} = 5.04MHz; 4MHz$ スパン		84		dBc
トータルハーモニック歪み (THD)				
$f_{CLOCK} = 25MSPS; f_{OUT} = 1.00MHz$				
$T_A = +25$		-78	-74	dBc
T_{MIN} から T_{MAX}			-72	dBc
$f_{CLOCK} = 50MSPS; f_{OUT} = 2.00MHz$		-75		dBc
$f_{CLOCK} = 100MSPS; f_{OUT} = 2.00MHz$		-75		dBc
マルチトーンパワーレシオ (110kHz間隔で8トーン)				
$f_{CLOCK} = 20MSPS; f_{OUT} = 2.00MHz \sim 2.99MHz$				
0 dBFS 出力		73		dBc
-6 dBFS 出力		76		dBc
-12 dBFS 出力		73		dBc
-18 dBFS 出力		64		dBc

注
¹ 50 負荷へのシングルエンドで測定
仕様は予告なく変更される事がある。

AD9764

デジタル仕様(特に指定のない限り、 T_{MIN} から T_{MAX} 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
デジタル入力				
Logic ¹ 電圧@DVDD = +5V	3.5	5		V
Logic ¹ 電圧@DVDD = +3V	2.1	3		V
Logic ⁰ 電圧@DVDD = +5V		0	1.3	V
Logic ⁰ 電圧@DVDD = +3V		0	0.9	V
Logic ¹ 電流	-10		+10	μA
Logic ⁰ 電流	-10		+10	μA
入力キャパシタンス		5		pF
入力セットアップ時間(t_S)	2.0			ns
入力ホールド時間(t_H)	1.5			ns
ラッチパルス幅(t_{LPW})	3.5			ns

仕様は予告なく変更される事がある。

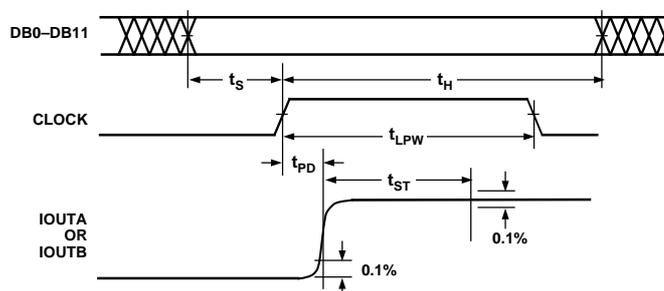


図1. タイミングダイアグラム

絶対最大レーティング*

パラメータ	関係対象	Min	Max	単位
AVDD	ACOM	-0.3	+6.5	V
DVDD	DCOM	-0.3	+6.5	V
ACOM	DCOM	-0.3	+0.3	V
AVDD	DVDD	-6.5	+6.5	V
CLOCK、SLEEP	DCOM	-0.3	DVDD + 0.3	V
デジタル入力	DCOM	-0.3	DVDD + 0.3	V
IOUTA、IOUTB	ACOM	-1.0	AVDD + 0.3	V
COMP1、COMP2	ACOM	-0.3	AVDD + 0.3	V
REFIO、FSADJ	ACOM	-0.3	AVDD + 0.3	V
REFLO	ACOM	-0.3	+0.3	V
ジャンクション温度			+150	
ストレージ温度		-65	+150	
リード温度(10秒)			+300	

* 絶対最大レーティングを越えるとデバイスに永久的なダメージを与える事がある。この表はこの値での動作や、使用方法の項に示す値以上の動作を保証するものではない。絶対最大レーティングでの使用を長時間続けると機器の信頼性を損ねるおそれがある。

オーダー・ガイド

モデル	温度範囲	パッケージ内容	オプション*
AD9764AR	-40 ~ +85	28リード300mil SOIC	R - 28
AD9764 - EB	評価ボード		

* R = スモールアウトラインIC

温度特性

温度抵抗

28リード 300mil SOIC

$$J_A = 71.4 \text{ /W}$$

$$J_C = 23 \text{ /W}$$

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9764には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン配置



ピンの機能

ピンNo.	名称	解説
1	DB13	最上位データビット (MSB)
2-13	DB12 - DB1	データビット1 - 12
14	DB0	最下位データビット (LSB)
15	SLEEP	パワーダウンコントロール入力。アクティブ高。アクティブプルダウン回路を持つ。使用しない場合はターミネーションしないままでも良い。
16	REFLO	内部1.2Vレファレンス使用時のレファレンス接地。内部レファレンス非動作とするにはAVDDと接続する。
17	REFIO	レファレンス入出力。内部レファレンス非動作時はレファレンス入力となる。(REFLOをAVDDに繋ぐ)内部レファレンス動作時は1.2Vレファレンス出力となる。(REFLOをACOMに繋ぐ)
18	FS ADJ	内部レファレンス動作時はACOMへ0.1μFキャパシタが必要。 フルスケール電流出力アジャスト。
19	COMP1	バンド幅/ノイズ軽減ノード。最大性能を引き出すにはAVDDに0.1μFを加える。
20	ACOM	アナログコモン
21	IOUTB	DAC相補電流出力。全データビットが0の時フルスケール電流となる。
22	IOUTA	DAC電流出力。全データビットが1の時フルスケール電流となる。
23	COMP2	スイッチドライバ回路用内部バイアスノード。0.1μFキャパシタを利用しACOMにデカップルする。
24	AVDD	アナログ電源電圧 (+2.7 ~ +5.5V)
25	NC	内部との接続無し
26	DCOM	デジタルコモン
27	DVDD	デジタル電源電圧 (+2.7 ~ +5.5V)
28	CLOCK	クロック入力。データはクロックの正エッジでラッチされる。

AD9764

仕様に関する用語定義

直線性エラー(積分非直線性、INLとも言う)

ゼロからフルスケールまで直線的な理想的出力ラインと、実際のアナログ出力の最大差異。

微分非直線性(DNL)

デジタル入力コードの1LSBごとの変化に対応し、フルスケールに標準化した、アナログ値変動尺度。

オフセットエラー

出力電流実測値の理想的ゼロからの差異を言う。

IOUTAの場合、入力がすべて0なら理想的な出力は0 mAである。

IOUTBの場合、入力がすべて1なら理想的な出力は0 mAである。

ゲインエラー

出力スパン理想値と実測値との差異を言う。実際のスパンは、すべての入力が1の時の出力から、すべての入力が0の時の出力を差し引いて求める。

出力コンプライアンスレンジ

電流出力DACの出力に許容される電圧範囲。最大コンプライアンス限界を越えて運用すると出力段の飽和または故障を引き起こす可能性が有る。この場合、動作も非直線的となる。

温度ドリフト

温度ドリフトは、室温(+25)から T_{MIN} または T_{MAX} に変化したときの値の最大変化分として定義されます。オフセットとゲイン・ドリフトについては、1 当たりのドリフトがフルスケールレンジ(FSR)に対するppmで表されます。リファレンス・ドリフトについては、1 当たりのドリフトがppmで表されます。

電源除去

電源電圧が仕様で規定されている幅一杯の変化をしたときに生じるフルスケール出力における最大変化をいいます。

セトリング時間

出力トランジション開始から、出力が誤差バンド内で最終値に到達するまでの時間。

グリッチインパルス

DACに非対称のスイッチング回数を発生させると、好ましくない出力の過渡状態をもたらし、グリッチ・インパルスとして定量化されます。pV-sを単位として、グリッチの正味の面積で測定されます。

スプリアスフリーダイナミックレンジ

特定のバンド幅でのピークスプリアス信号と出力信号のrms振幅との差異をdB単位で表示したもの。

トータルハーモニック歪み

最初の6個のハーモニックコンポーネントを持つrms値の合計と、実測した出力信号のrms値との比率を%又はdBで表示したもの。

マルチトーンパワーレシオ

同一振幅の複数キャリアトーンを含んだ出力のスプリアスフリーダイナミックレンジを言う。1つのキャリアトーンのrms振幅と、取り除いたトーンの領域のピークスプリアス信号の差として表される。

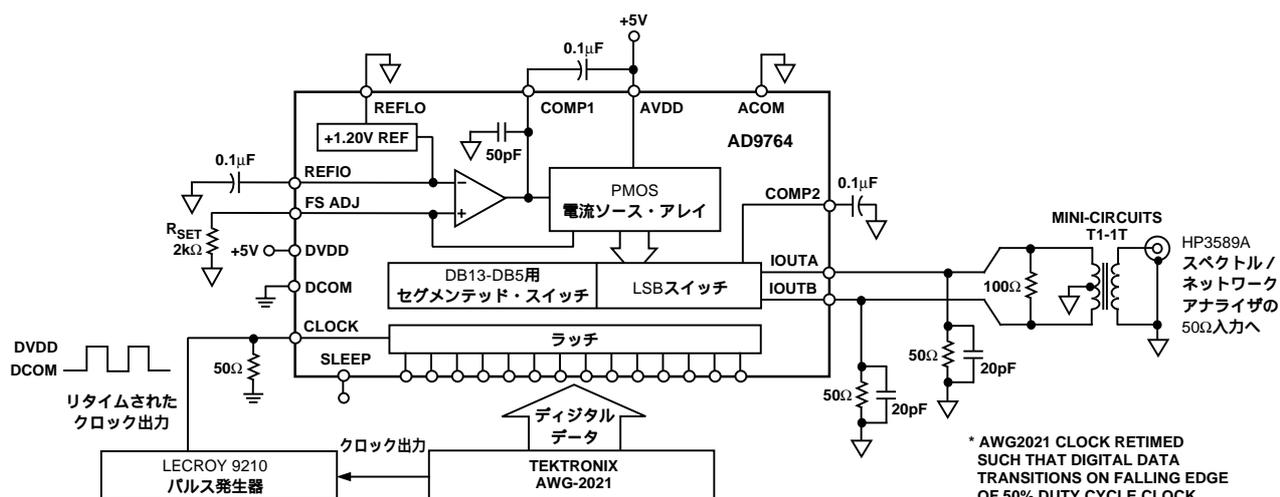


図2. 基本的AC特性テストセットアップ

典型的AC特性カーブ(特に指定のない限りAVDD = +5 V、DVDD = +3 V、 $I_{OUTFS} = 20$ mA、50 二重終端負荷、ディファレンシャル出力、 $T_A = +25$ °C、SFDR Nyquistまで)

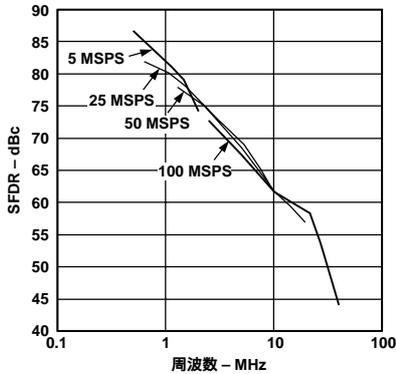


図3 . SFDR 対 f_{OUT} @0dBFS

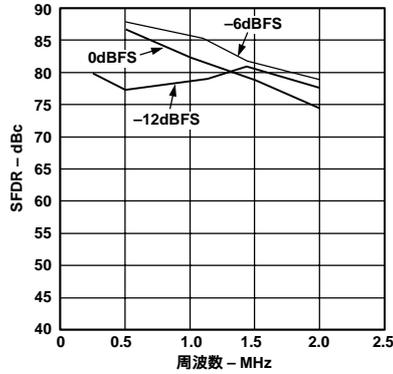


図4 . SFDR 対 f_{OUT} @5MSPS

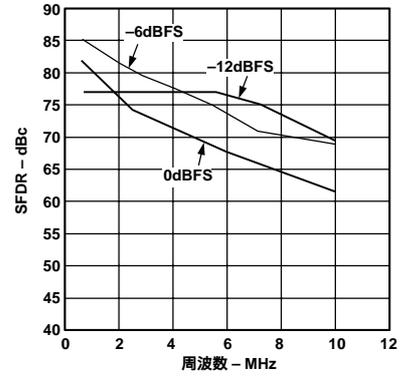


図5 . SFDR 対 f_{OUT} @25MSPS

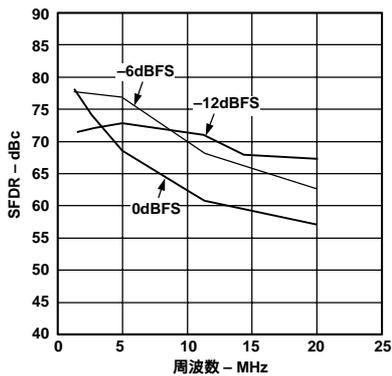


図6 . SFDR 対 f_{OUT} @50MSPS

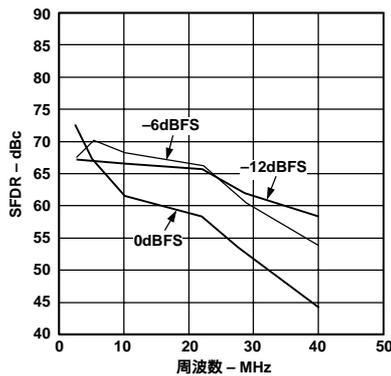


図7 . SFDR 対 f_{OUT} @100MSPS

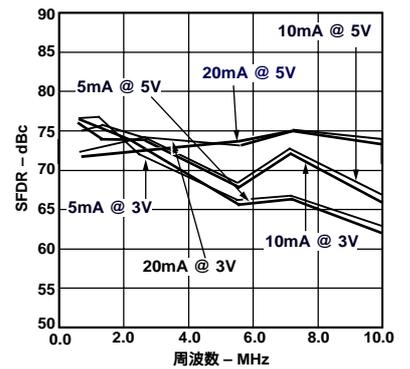


図8 . SFDR 対 f_{OUT} 及び I_{OUTFS} @25MSPS 及び0dBFS

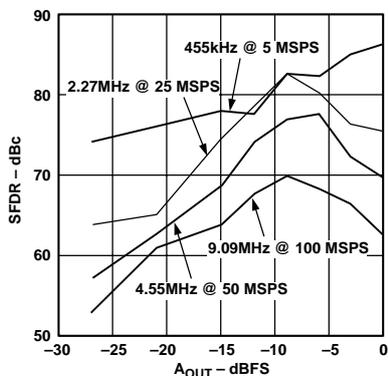


図9 . シングルトーン SFDR 対 A_{OUT} @ $f_{OUT} = f_{CLOCK} / 11$

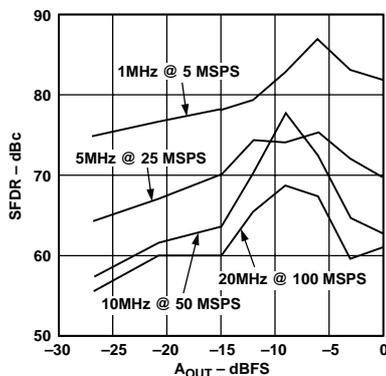


図10 . シングルトーン SFDR 対 A_{OUT} @ $f_{OUT} = f_{CLOCK} / 5$

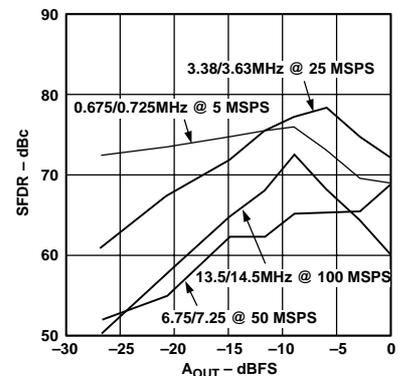


図11 . デュアルトーン SFDR 対 A_{OUT} @ $f_{OUT} = f_{CLOCK} / 7$

AD9764

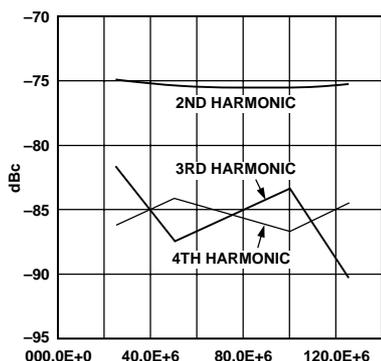


図12 . THD 対 $f_{\text{CLOCK}}@f_{\text{OUT}} = 2 \text{ MHz}$

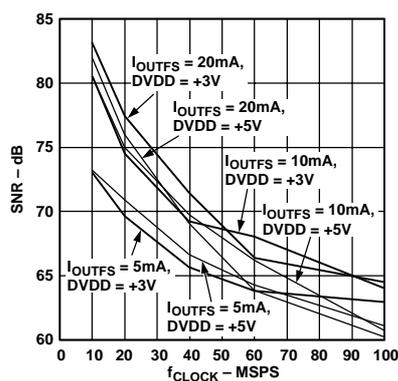


図13 . SNR 対 $f_{\text{CLOCK}}@f_{\text{OUT}} = 2 \text{ MHz}$

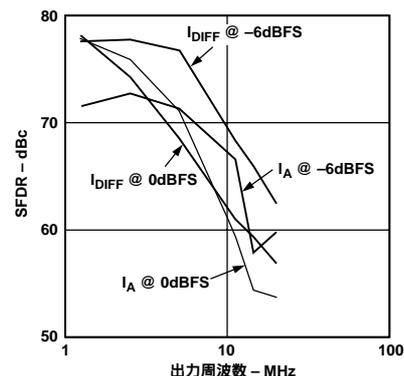


図14 . デイファレンシャル対シングルエンド SFDR 対 $f_{\text{OUT}}@50\text{MSPS}$

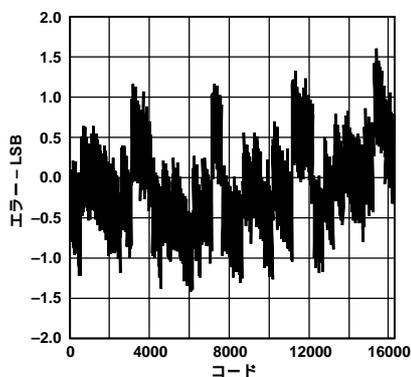


図15 . 典型的 INL

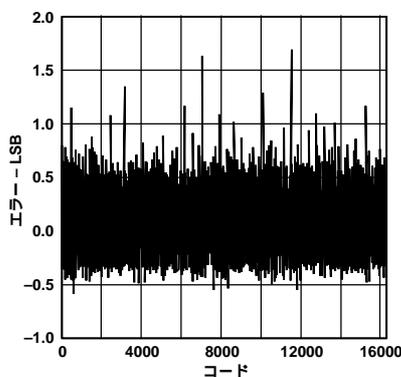


図16 . 典型的 DNL

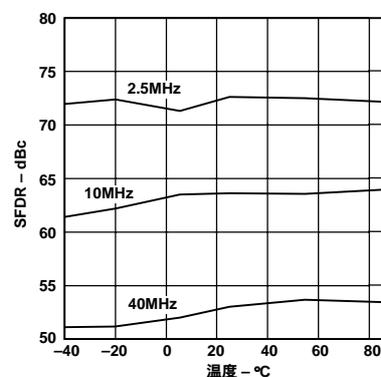


図17 . SFDR 対 温度 @100MSPS、0dBFS

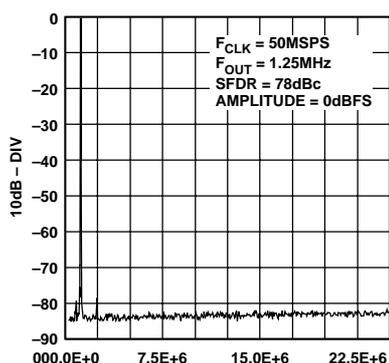


図18 . シングルトーン SFDR

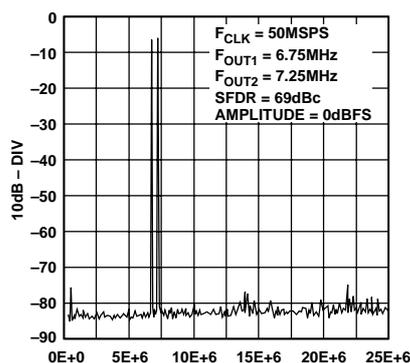


図19 . デュアルトーン SFDR

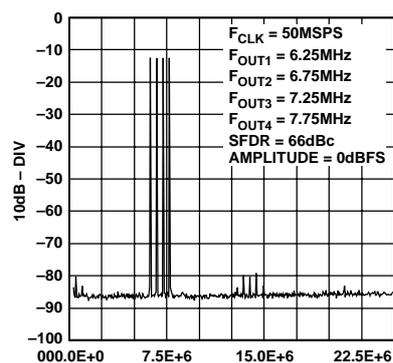


図20 . 4トーン SFDR

機能解説

図21はAD9764の機能を簡略化して図にしたものである。AD9764は、電流合計が20 mAまで供給できる大容量PMOS電流ソースアレイを装備している。このアレイは31の等しい電流に分割されており、上位5ビット(MSBs)を作りだします。つづく4ビット、すなわち中間ビット群は、それぞれがMSBの電流ソースの16分の1の値をもった15の等しい電流ソースで構成されます。残りの下位ビット群は、中間ビット群の電流ソースに2値重み付けを施した端数です。R-2Rラダーを使用せず電流ソースで中間及び下位ビットを実行する事により、マルチトーン又は低振幅信号のダイナミックパフォーマンスを改善し、DACの高出力インピーダンスの維持を助けている。(100 k 超)

これら全ての電流ソースは、PMOSディファレンシャル電流スイッチを介して、二つの出力ノードどちらか(IOUTA又はIOUTB)にスイッチされる。このスイッチは、最新のアーキテクチャに基づいており、歪み性能を著しく改善している。この新しいアーキテクチャは、様々なタイミングエラーを軽減し、ディファレンシャル電流スイッチ入力への相補ドライブ信号をマッチングする機能を提供している。

AD9764のアナログ部とデジタル部は、別個の電源入力(AVDD、DVDD)を持っており、2.7 Vから5.5 Vの範囲でそれぞれ独立に動作する。デジタル部は最大125MSPSクロックレートまでの処理能力を持ち、エッジトリガラッチとセグメントデコーディングロジック回路から構成されている。アナログ部は、PMOS電流ソース、ディファレンシャルスイッチ、1.20 Vバンドギャップ電圧レファレンス及びリファレンス・コントロールアンプで構成されている。

フルスケール出力電流はレファレンスコントロールアンプで調整され、外部抵抗 R_{SET} によって2 mAから20 mAにセットする事が出来る。外部抵抗は、レファレンスコントロールアンプと電圧レファレンス V_{REFIO} 両者との組み合わせによってリファレンス電流 I_{REF} を設定する。 I_{REF} の値は、適当なスケールングファクターで、セグメントされた電流ソースにミラーリングされている。

DAC伝達機能

AD9764は相補電流出力IOUTAとIOUTBを備えている。IOUTAは、全ビットが高い時(例: DAC CODE = 16383)ほとんどフルスケールに近い電流出力(I_{OUTFS})を出力し、この時、相補出力IOUTBは全く電流を発生しない。IOUTA、IOUTBの電流出力は入力コードと I_{OUTFS} によって決まり、次の式で求める事ができる。

$$I_{OUTA} = (DAC\ CODE / 16384) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (16383 - DAC\ CODE) / 16384 \times I_{OUTFS} \quad (2)$$

ここでDAC CODE=0から16383(十進数)

前に述べたとおり、 I_{OUTFS} はレファレンス電流 I_{REF} の関数であり、 I_{REF} はレファレンス電圧 V_{REFIO} と外部抵抗 R_{SET} によって定格値にセットされる。 I_{OUTFS} は次のように書く事ができる。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

$$\text{ここで } I_{REF} = V_{REFIO} / R_{SET} \quad (4)$$

この2つの電流出力は通常、抵抗負荷を直接又は変圧器を介してドライブする。dcカップリングが必要ならば、IOUTAとIOUTBはアナログコモンACOMに接続された整合抵抗負荷 R_{LOAD} に直接接続する。ただしこの R_{LOAD} は、IOUTAまたはIOUTBから見た、50 または75 Ω で両端が終端されたケーブルに等価な負荷抵抗を表しています。IOUTAとIOUTBピンに現れるシングルエンドの電圧出力は、単純に次の式で求まる。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

V_{OUTA} 及び V_{OUTB} のフルスケール値は仕様にある出力コンプライアンスレンジを逸脱しないよう注意が必要である。これを越えると歪み及び直線性能に影響が出る。

IOUTAとIOUTBの間に現れる差動電圧 V_{DIFF} は次の式で求まる。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

IOUTA、IOUTB、 I_{REF} を代入すると V_{DIFF} は次のようにも現わす事ができる。

$$V_{DIFF} = \{(2\ DAC\ CODE - 16383) / 16384\} \times (32\ R_{LOAD} / R_{SET}) \times V_{REFIO} \quad (8)$$

この最後の2つの等式がAD9764をディファレンシャルで使用するアドバンテージの一部を示している。まず、ディファレンシャル動作はIOUTA、IOUTBと関係するノイズや歪み、dcオフセットなどのコモンモードエラーソースを相殺するのに役立つ。また、ディファレンシャルコード依存の電流とそれに伴う電圧 V_{DIFF} は、シングルエンドの電圧出力(V_{OUTA} 、 V_{OUTB})に比べ2倍の値となり、負荷へ供給される信号も2倍の強さとする事ができる。

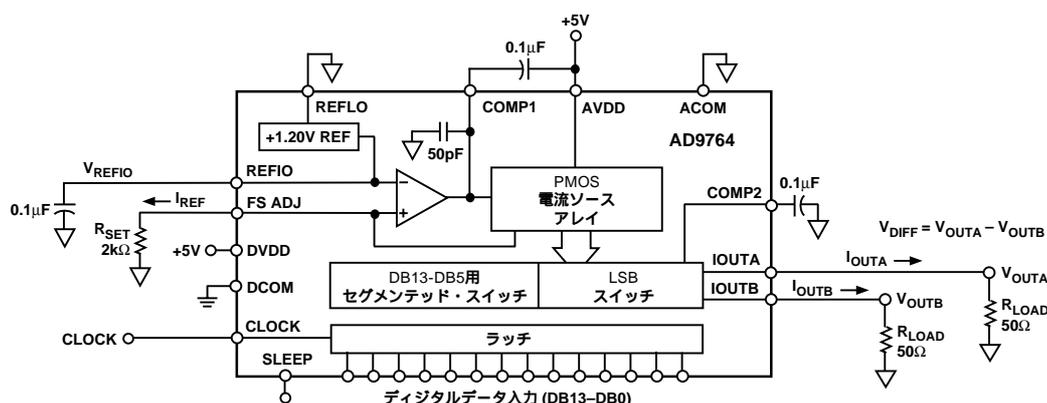


図21 . 機能ブロックダイアグラム

AD9764

AD9764のシングルエンド(V_{OUTA} , V_{OUTB})又はディファレンシャル出力(V_{DIFF})のゲインドリフト温度性能を上げるには、 R_{LOAD} と R_{SET} に温度トラッキング抵抗を選択すると良い。これは、等式(8)に示したように両者は比の関係にあるからである。

レファレンスの動作

AD9764は内部に1.20 Vバンドギャップレファレンスを持っている。これは必要に応じ、動作を無効にして外部レファレンスと切り替える事が簡単にできる。REFIOは、使用されているのが内部レファレンスカ、外部レファレンスかに応じて、入力或いは出力として働く。REFLOが図22.のようにACOMに繋がっている時は、内部レファレンスが有効でREFIOは1.20 Vを出力している。この場合、内部レファレンスはREFIOからREFLOの間で $0.1 \mu\text{F}$ 以上のセラミックチップキャパシタを使って外部的に補償しなければならない。また、REFIOは、もし外部負荷が更に必要な場合は、100 nA未満の低入力バイアス電流を持った外部アンプを使用してバッファを取らなければならない。

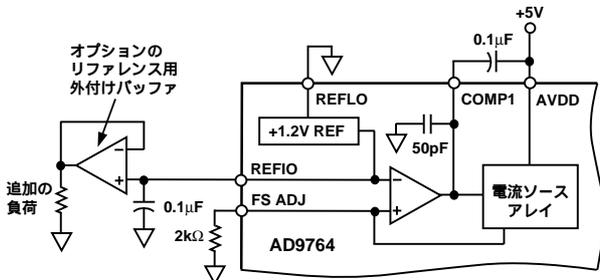


図22.内部レファレンスコンフィギュレーション

内部レファレンスは、REFLOをAVDDに接続することで無効にする事ができる。この場合、図23.のように外部レファレンスをREFIOに接続する事になる。外部レファレンスは、精度とドリフト性能を向上するには固定電圧、ゲインコントロールの為に可変電圧を供給すると良い。この場合、内蔵リファレンスがディセーブルされ、REFIOの高い入力インピーダンス(たとえば1 M)が外付けリファレンスの負荷を最小化するので、 $0.1 \mu\text{F}$ の補償キャパシタは不要になる。

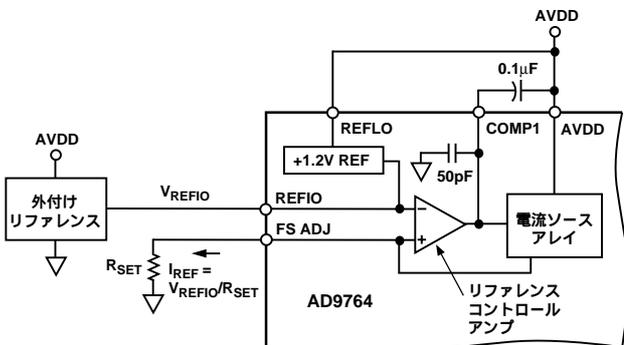


図23.外部レファレンスコンフィギュレーション

レファレンスコントロールアンプ

AD9764は、DACのフルスケール出力電流 I_{OUTFS} を制御するコントロールアンプも内部に持っている。コントロールアンプは図23.では $V-I$ 変換器の働きをしており、その電流出力 I_{REF} は(4)の等式に示したとおり V_{REFIO} と外部抵抗 R_{SET} の比によって決定される。 I_{REF} は、等式(3)に示したように I_{OUTFS} を決定するスケールファク

ターと共に、セグメントされた電流ソースにコピーされる。

コントロールアンプは、 I_{REF} を $62.5 \mu\text{A}$ から $625 \mu\text{A}$ まで変えることによって、 I_{OUTFS} を2 mAから20 mAまでという広い(10対1)調整スパンを実現している。 I_{OUTFS} の調整スパンが広い事は、アプリケーションにとって大きな利点がいくつか有る。まず第一に、AD9764の電力消費に直接関係する。消費量は I_{OUTFS} に比例するからである。(電力消費の項参照)第二に、20dBの調整スパンと関係する。これはシステムゲインをコントロールする為に重要な利点である。

レファレンスコントロールアンプのsmall信号バンド幅は、約1.4 MHzで、これはCOMP1とAVDD間に外部キャパシタを挿入することで減少させる事が出来る。コントロールアンプの出力COMP1は、 50pF キャパシタで内部補償されており、ここでコントロールアンプsmall信号バンド幅を制限し、また出力インピーダンスを減少させている。外部キャパシタンスを追加すると、更にバンド幅を制限し、レファレンスアンプから発生するノイズを軽減するフィルタのような効果を示す。図24.は、外部キャパシタとレファレンスアンプのsmall信号 - 3dBバンド幅との関係を示す。

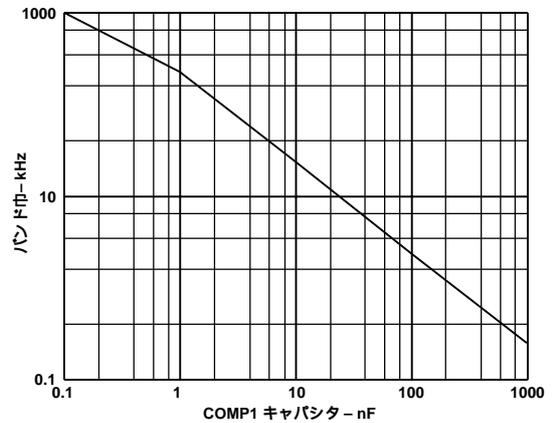


図24.外部COMP1キャパシタ対 - 3dBバンド幅

- 3dBのバンド幅はドミナントポールに、したがってそのドミナント時定数に対応しているので、ステップリファレンス入力応答に対するコントロールアンプのセッティング時間は容易に決められる。

いかなる復元波形でも、最良歪み性能は、 $0.1 \mu\text{F}$ 外部キャパシタを挿入することで得られる。このため、 I_{REF} はアプリケーション用に固定し、 $0.1 \mu\text{F}$ セラミックチップキャパシタを利用する事が推奨される。更に、コントロールアンプは低パワー運用に最適化されているため、大きな信号スイングを要するマルチプライアプリケーションは、外部コントロールアンプの使用を考慮したほうが良い。これにより、アプリケーションの大信号マルチプライバンド幅や、又は歪み性能が確保できる。

固定した R_{SET} に対して I_{REF} を変化させる方法は2つある。第1の方法は、シングルサプライシステムに適しているもので、内部レファレンスは使用せず、REFIOのcommonモード電圧はそのコンプライアンスレンジの1.25 Vから0.10 Vで調整する。REFIOはシングルサブライアンプ、又はDACでドライブされる為、固定した R_{SET} に対して I_{REF} を変化させることが可能なのである。REFIOの入力インピーダンスは約1 Mなので、ゲインコントロールには、単純で低コストの $R-2R$ ラダーDACを電圧モードポロジで使用するも良い。この回路は図25.に示す。ここではAD7524と、外部1.2 VレファレンスとしてAD1580を使用している。

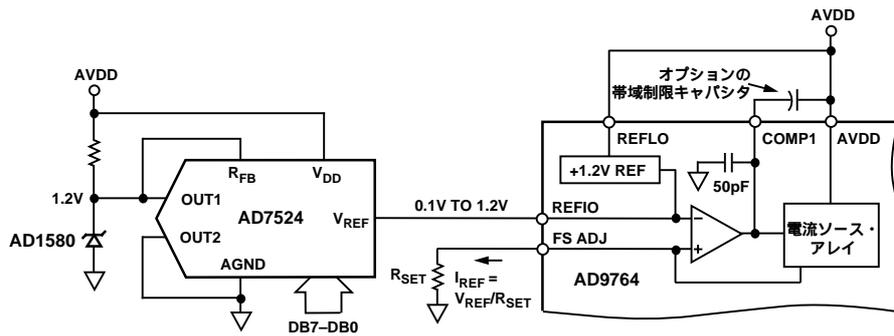


図25 . シングルサプライ・ゲインコントロール回路

第2の方法は、デュアルサプライシステムに適しており、REFIOのコモンモード電圧を固定し、アンプ経由でR_{SET}にかかる外部電圧V_{GC}をI_{REF}の調節に使用する方法である。この例を図26 . に示す。ここでは、内部レファレンスは、コントロールアンプのコモンモード電圧を1.20Vにセットする為に使われている。外部電圧V_{GC}は、ACOMにレファレンスされており、1.2 Vを越えてはならない。R_{SET}の値は、I_{REFMAX}、I_{REFMIN}がそれぞれ62.5 μA、625 μAを越えるようであってはならない。図中の等式をR_{SET}の値決定に使用しても良い。

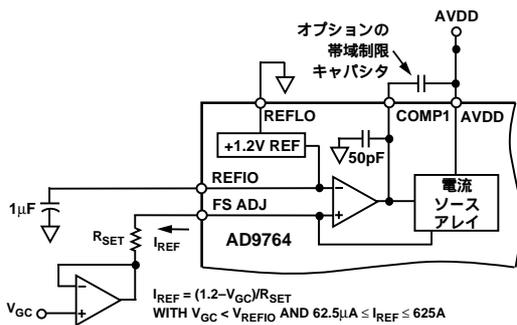


図26 . デュアルサプライ・ゲインコントロール回路

アプリケーションによっては、マルチプライバンド幅、歪み性能、セッティングタイムなどの要求から外部コントロールアンプを使用する場合もあるだろう。この場合のアンプには、AD817などの、50pF負荷をドライブできるものが適している。容量のより小さい内部レファレンスアンプとは、図27 . のように並列にセットする。こうすると、外部アンプは単純に内部コントロールアンプの動作をオーバードライブするだけである。また、内部コントロールアンプは小さい電流出力しか持たない為、オーバードライブによりダメージを受ける事は無い。

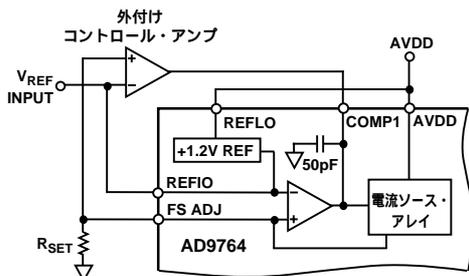


図27 . 外部レファレンスコントロールアンプ使用時のコンフィギュレーション

アナログ出力

AD9764は、2つの相補電流出力I_{OUTA}、I_{OUTB}を発生し、シングルエンド又はディファレンシャル運用に使われる。I_{OUTA}及びI_{OUTB}は、DAC伝達の項の等式(5)から(8)に説明したとおり、負荷抵抗R_{LOAD}を介して補足シングルエンド電圧出力V_{OUTA}とV_{OUTB}に転換できる。V_{OUTA}とV_{OUTB}間の差動電圧V_{DIFF}も、変圧器又はディファレンシャルアンプコンフィギュレーションを介してシングルエンド電圧に転換する事ができる。

図28 . はAD9764の等価アナログ出力回路である。この回路は、それぞれのセグメント電流ソースに対応したPMOSディファレンシャル電流スイッチが並列に並んでいる。I_{OUTA}及びI_{OUTB}の出力インピーダンスは、PMOSスイッチの等価並列組み合わせで決定され、通常は5pFを並列にだいた100 k である。PMOSデバイスの特性から、出力インピーダンスはやや出力電圧(V_{OUTA}、V_{OUTB})に依存する性質がある。この性質はアナログ供給電圧AVDD、フルスケール電流I_{OUTFS}に対してもあるが、より程度は小さい。出力インピーダンスのこの信号依存性は、dc非直線性及びac直線性(歪み)の原因になるが、適切な処置を講じておくことで、影響を抑える事は可能である。

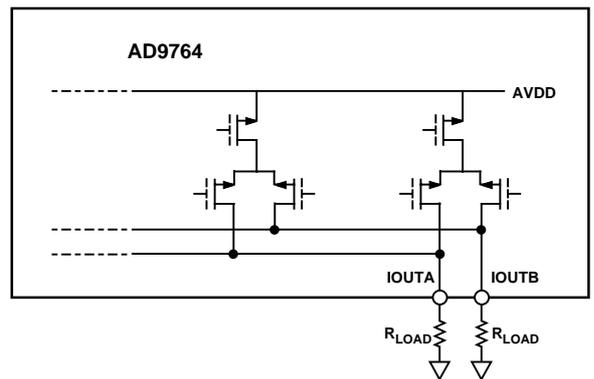


図28 . 等価アナログ出力回路

I_{OUTA}とI_{OUTB}は、正と負の電圧コンプライアンスレンジを持っている。負の出力コンプライアンスレンジは - 1.0 Vで、CMOSプロセスのブレークダウンリミットにより設定される。この値を越えた運用は、出力段の故障を招き、AD9764の信頼性を損ねるおそれがある。正の出力コンプライアンスレンジはフルスケール出力電流I_{OUTFS}にやや依存している。このためI_{OUTFS}=20mAに対する1.25V、I_{OUTFS}=2mAに対する1.00Vという公称値からはやや低下します。

AD9764

この正のコンプライアンスレンジを越えての運用は、出力信号のクリッピングを生じ、AD9764の直線性性能及び歪み性能を極端に悪化させる。

dc直線性を特に要求するアプリケーションの場合は、IOUTA及び/又はIOUTBは、I-Vオペレーションアンプコンフィギュレーションを使用して仮想接地を維持しなければならない。このことにより、AD9764の出力インピーダンスは固定され、直線性への影響を著しく改善する。しかしながら、これは歪み性能をも最適化するものではない。I-Vオペレーションアンプの制限が有るからである。AD9764のINL/DNLの仕様は、IOUTAを使ってこの方法で測定されている事に注意が必要である。なおこれらDC直線性は、2.7Vから5.5Vまでの電源の定格範囲内では事実上なんの影響も受けません。

AD9764を、IOUTA及びIOUTBの低減された電圧出力スイングで動作させると、ディファレンシャルでもシングルエンドコンフィギュレーションどちらの場合でも、出力インピーダンスの信号依存性を減少させ、結果的に歪み性能を改善する。IOUTA、IOUTBの電圧コンプライアンスレンジが-1.0Vから+1.25Vと広くても、歪み性能が最良となるのは、IOUTA、IOUTBの最大フルスケール信号が約0.5Vを越えない時に得られる。接地された中央タップを持つ変圧器で適当なものを選べば、IOUTA、IOUTBの電圧スイングを抑えたままの状態、AD9764が様々な負荷に対して必要なパワー及び電圧レベルを供給できるようにすることが可能である。dcカップルされたアプリケーションで、ディファレンシャル又はシングルエンド出力を要するものは、 R_{LOAD} の値を適当になるよう調整する必要がある。出力コンフィギュレーションのバリエーションについては、この後の出力コンフィギュレーションの項を参照する事。

AD9764の歪み及びノイズ性能が最高に発揮されるのは、ディファレンシャル出力コンフィギュレーションである。IOUTA及びIOUTBのコモンモードエラーソースは、変圧器又はディファレンシャルアンプのコモンモードリジェクションで著しく減少される。これらのコモンモードエラーソースは、倍数化された歪みとノイズを含んでいる。歪み性能の改善は、復元された波形の周波数が増大するか、及び/又は、振幅が減少するに連れ、一層顕著になる。これは図14. で明らかである。この図では、AD9764のディファレンシャルとシングルエンドのそれぞれのパフォーマンスを、50MSPS、0.0と-6.0dBFSシングルトーン波形について、周波数を軸にして比較している。

AD9764の歪み及びノイズ性能は、フルスケール電流セッティング I_{OUTFS} や、アナログ及びデジタル供給にもやや影響を受ける。アナログ供給5.0Vで運用すると、内部PMOS電流ソース及びディファレンシャルスイッチのヘッドルームを最大にし、結果は図8. にあるとおり、歪み性能を向上させている。 I_{OUTFS} については、2mAから20mAの範囲に設定できるが、図8. から分かるように20mAに設定するのが最良である。AD9764のノイズ性能は、図13. のように、デジタル供給DVDDと出力周波数から影響を受け、クロックレートが高くなるほど改善する。AD9764を3Vから3.3Vの低電圧ロジックレベルで運用すると、オンチップデジタルノイズを少しだけ改善する。

まとめると、AD9764の歪み及びノイズ性能は、次の条件を満たす時に最良となる。

- (1) ディファレンシャルオペレーション
- (2) IOUTA、IOUTBが正の電圧スイングで+0.5V以内である事
- (3) IOUTFSを20mAにセット
- (4) アナログ供給AVDDは5.0Vにセット
- (5) デジタル供給DVDDは適切なロジックレベルで3.0Vから3.3Vにセット

AD9764のacパフォーマンスは、上記の条件下で設定されている事に注意しなければならない。

デジタル入力

AD9764デジタル入力には14個のデータ入力ピン、1個のクロック入力ピンが有る。14ビットパラレルデータ入力は標準的な正バイナリコーディングを踏襲し、DB13が最上位ビット(MSB)、DB0が最下位ビット(LSB)である。IOUTAは、全てのデータビットがロジック1の時フルスケール出力電流を生成する。IOUTBには、入力コードに基づいて2つの出力間で分割されたフルスケール電流に対する補数の出力電流が現れる。

デジタルインターフェースは、エッジトリガーのマスタースレーブラッチを使ってインプリメントされる。DAC出力は、図1. のようにクロックのライジングエッジに引き続いてアップデートされ、最高125MSPSのクロックレートまでサポートできるよう設計されている。クロックは、所定のラッチパルス幅を満足している限り、いかなるデューティサイクルでもオペレーションできる。セットアップ及びホールドタイムは、示されているミニマムタイムが合致する限り、クロックサイクルの範囲内で色々な値を取る。しかしながら、これらのトランジションエッジがどこにあるかによって、デジタルフィードスルー及び歪み性能に影響を与えることがある。最良の性能は、50%デューティサイクルクロックのフォーリングエッジで入力データがトランジションするときを得られる。

デジタル入力は、CMOS互換で、ロジックスレッシュホールド $V_{THRESHOLD}$ は、デジタル正供給(DVDD)の約半分セットされる。

$$V_{THRESHOLD} = DVDD/2 (\pm 20\%)$$

AD9764の内部デジタル回路は、2.7Vから5.5Vのデジタル供給レンジで動作可能である。このため、DVDDがTTLドライバの最高ハイレベル電圧 $V_{OH(MAX)}$ を受け付けるようセットされていれば、デジタル入力もTTLレベルを受け付ける事が可能である。DVDDが3Vから3.3Vの時、ほとんどのTTLロジックファミリーと互換性を示す。図29. にデータ、クロック入力の等価デジタル入力回路を示す。スリープモード入力も、回路としてはほとんど同じである。ただし、スリープモード入力にはアクティブプルダウン回路がついている。この入力が接続されていない限り、AD9764は動作を継続する。

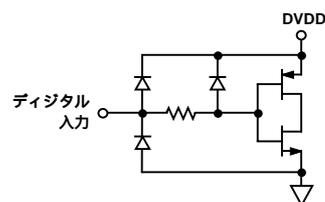


図29. 等価デジタル入力

AD9764は、125MSPSでアップデート可能である為、最大性能を引き出す上では、クロックとデータ入力信号の品質は重要である。AD9764を少ないロジックスイングとこれに対応するDVDDで運用する事も、データフィードスルーを軽減し、オンチップデジタルノイズを最低にする。デジタルデータインターフェース回路のドライバは、その要求される最低/最高入力ロジックレベルスレッシュホールドと同様、AD9764の求める最小セットアップ/ホールド時間仕様に合致しなければならない。

デジタル信号パスは、短く、かつ伝播遅延によるミスマッチが発生しないようにランレンクスを整合させなければならない。AD9764デジタル入力とドライバ出力の間に、小さな値の抵抗ネットワーク(20 から100)を挿入する事は、データのフィードスルーに影響するデジタル入力でのオーバーシュートやリングングを低減する効果があります。より長い信号経路や、より高いアップデートレートを使用する場合は、適切な終端抵抗を用いたストリップライン技術の導入を考慮しても良い。これにより、デジタル入力は「クリーン」に保たれるであろう。

外部クロックドライバ回路は、高速エッジ提供間、AD9764の最低/最高ロジックレベルに合致する低ジッタークロックを供給しなければならない。急峻なクロックエッジは復元波形上に位相ノイズとして現れるジッターを軽減するのに役立ちます。従って、アプリケーションに適する最も高速なロジックファミリーでクロック入力をドライブすることが重要である。

クロック入力は、サイン波でもドライブできる事に注意しなければならない。このサイン波は、デジタルスレッシュホールドの辺りに中心を持ち(DVDD/2)、最低/最高ロジックスレッシュホールドと一致する。サイン波を利用すると、フェーズノイズがやや悪化する。これはより高いサンプリングレートや出力周波数で顕著になる。また、高いサンプリングレートでは、デジタルロジックスレッシュホールドの許容を20%見込んでおかななくてはならない。なぜならば、この誤差は実際のクロックデューティサイクルに影響し、予定したデータセットアップ及びホールド時間と合わなくなるからである。

SLEEPモードオペレーション

AD9764は、パワーダウン機能を持っており、出力電流を遮断し、供給電流は、仕様にある温度範囲及び供給電圧範囲2.7 Vから5.5 Vの間で8.5 mAに低下させる。この機能は、SLEEPピンにロジックレベル1をかける事で動作する。また、このデジタル入力は、アクティブプルダウン回路を持っており、この入力が接続されない間は、AD9764が動作を続けるようになっている。

AD9764のパワーアップ、パワーダウン特性はCOMP1に繋がれた補償キャパシタの容量に関係する。これがノミナルで0.1 μ Fの時、AD9764はパワーダウンには5 μ s未満、復帰するのに約3.25msの時間がかかる。AD9764は、図27 .のように外部コントロールアンプを使用している場合には、スリープモードにすべきではない。

電力消費

AD9764の電力消費 P_D は、次のようないくつかの要素が関係する。
 (1) 電源電圧、AVDD、DVDD。(2) I_{OUTFS} 。フルスケール電流出力。
 (3) f_{CLOCK} 。アップデートレート。(4) 復元されたデジタル入力波形。電力消費はアナログ供給電流 I_{AVDD} 、及びデジタル供給電流 I_{DVDD} に正比例する。 I_{AVDD} は、図30 .に示すように I_{OUTFS} に正比例し、 f_{CLOCK} の影響は受けない。

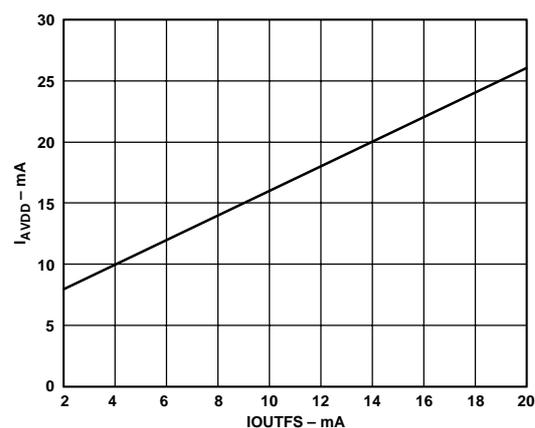


図30 . I_{AVDD} 対 I_{OUTFS}

これと逆に、 I_{DVDD} はデジタル入力波形、 f_{CLOCK} とデジタル供給DVDD両方に依存する。図31 .と図32 .に、 I_{DVDD} が様々な値のアップデートレートでフルスケールサイン波出力レシオ(f_{OUT}/f_{CLOCK})に対してどのような値をとるか、DVDD = 5 VとDVDD = 3 Vの場合それぞれについて示す。DVDDが5 Vから3 Vに下がった時、 I_{DVDD} はどのように半分以下になるのか着目すること。

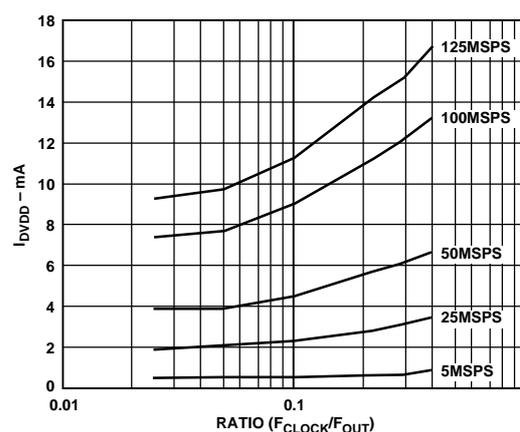


図31 . I_{DVDD} 対レシオ @ DVDD = 5 V

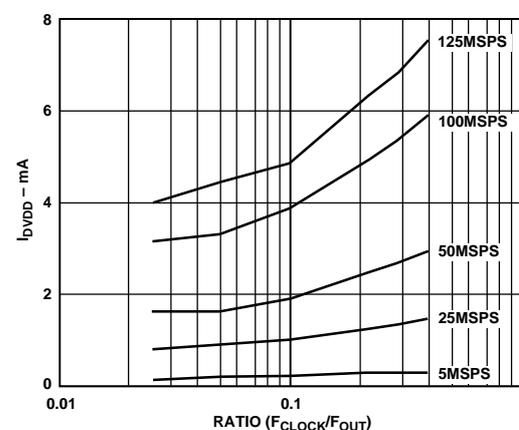


図32 . I_{DVDD} 対レシオ @ DVDD = 3 V

AD9764

AD9764の応用

出力コンフィギュレーション

以下の項では、AD9764のいくつかの典型的出力コンフィギュレーションについて述べる。特に示す場合を除き、 I_{OUTFS} はノミナル 20 mAに設定されているものとする。ダイナミックパフォーマンス最大を必要とするアプリケーションでは、ディファレンシャル出力コンフィギュレーションが適している。ディファレンシャル出力コンフィギュレーションは、RF変圧器か、ディファレンシャルオペレーションアンプどちらかが必要である。変圧器コンフィギュレーションの場合は、高周波パフォーマンスが最大となり、acカップリングを要するどんなアプリケーションにも向いている。ディファレンシャルオペレーションアンプコンフィギュレーションの場合は、dcカップリングやバイポーラ出力、信号ゲイン、レベルシフトなどを要するアプリケーションに向いている。

シングルエンド出力はユニポーラ電圧出力を要するアプリケーションに向いている。もしIOUTA及び/又はIOUTBが、ACOMを基準として適切に調整された負荷抵抗 R_{LOAD} に接続されていれば、正のユニポーラ出力電圧が発生するであろう。このコンフィギュレーションは、dcカップルされた接地レファレンス出力電圧を要するシングルサブライシステムにより適しているであろう。代替として、アンプをI-V変換器として使いIOUTA又はIOUTBを負のユニポーラ電圧にする方法も有る。このコンフィギュレーションは、IOUTA又はIOUTBが仮想接地されている状態のため、最高のdc直線性を実現する。IOUTAは、IOUTBよりもやや優れたパフォーマンスを持っている事に注意すること。

変圧器使用のディファレンシャルカップリング

RF変圧器を、図33 . のようにしてディファレンシャルからシングルエンド信号への変換器として使用する事も出来る。差動結合されたトランス出力は、スペクトル成分がトランスの通過帯域内にある出力信号に対して最高のひずみ特性を提供します。Mini-Circuits社のT1-1Tなどの高周波トランスは、同相ひずみ(偶数倍の高調波)と、広い周波数帯域に渡るノイズの除去に優れた効果を発揮します。また、絶縁性能も良く、負荷に対し2倍の電力を供給する能力が有る。この他、異なるインピーダンスレシオを持つ変圧器を使用して、インピーダンスマッチングを図る事も出来る。ただし、変圧器はacカップリングにしか使えない事に注意しなければならない。

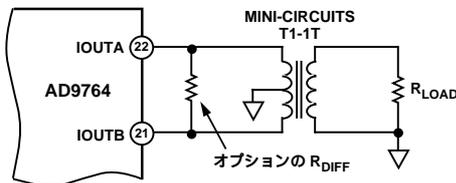


図33 . 変圧器を利用したディファレンシャル出力

変圧器プライマリーサイドの中央タップは、IOUTAとIOUTB両方に必要なdc電流パスを供給するためにACOMに接続する。IOUTAとIOUTBに生じる相補電圧(V_{OUTA} 、 V_{OUTB})は、ACOMを中

心に対称的にスイングするが、AD9764の出力コンプライアンスレンジに維持されなければならない。ディファレンシャル抵抗 R_{DIFF} は、変圧器出力を、パッシブ復元フィルタ又はケーブルを經由して負荷 R_{LOAD} に接続するアプリケーションでは、挿入しても良い。 R_{DIFF} は、変圧器のインピーダンスレシオで決まり、プロパーソースターミネーションとして働き、その結果低いVSWRを実現する。信号パワーの約半分が R_{DIFF} で消費される事に注意が必要である。

オペレーションアンプ使用のディファレンシャル

ディファレンシャルからシングルエンド信号への変換は、図34 . のようにオペレーションアンプを使用しても可能である。AD9764には2つの25 Ω 負荷抵抗 R_{LOAD} が取り付けられている。IOUTAとIOUTB間で発生した電圧差はディファレンシャルオペレーションアンプコンフィギュレーションを介してシングルエンド信号に変換される。オプションとしてIOUTAとIOUTBの間にキャパシタを挿入し、ローパスフィルタの実際の極を形成する事も出来る。このキャパシタ挿入を行なうと、DACの高スルーイング(slewing)出力がオペレーションアンプ入力の過負荷を予防し、オペレーションアンプの歪み性能を更に高める事になる。

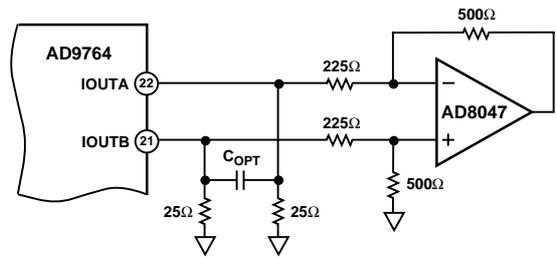


図34 . オペレーションアンプを使用したDCディファレンシャルカップリング

このコンフィギュレーションでの共通モード除去は抵抗マッチングにより決定される。この回路では、AD8047を使用したディファレンシャルオペレーションアンプ回路を、いくつかの信号ゲインを追加するように設定する。オペレーションアンプはその出力が約 ± 1.0 Vであるので、必ずデュアルサブライにより動作させなければならない。コスト、パワーなどの他のシステムレベルの目的に合致する限り、AD9764のディファレンシャルパフォーマンスを維持する高速なアンプを選択するべきである。オペレーションアンプディファレンシャルゲイン、そのゲインセッティング抵抗値、フルスケール出力スイング性能、は、回路を最適化する際には十分考慮を払う必要があります。

図35 . に示すディファレンシャル回路では、シングルサブライシステムで必要となるレベルシフティングを供給している。この場合、AVDD、つまりAD9764とオペレーションアンプ双方への正のアナログ供給、は、AD9764のディファレンシャル出力をミッドサブライ($AVDD / 2$)にレベルシフトするのに使用されている。このアプリケーションのオペレーションアンプには、AD8041が適している。

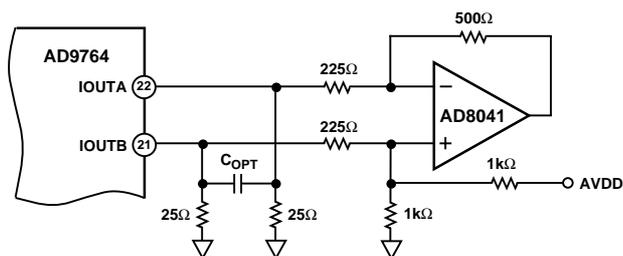


図35 . シングルサプライ DC ディファレンシャルカップルド回路

シングルエンドバッファ無し電圧出力

図36 . では、AD9764は、20 mAのノミナルフルスケール電流 I_{OUTFS} が25 Ω の等価な R_{LOAD} を通るために、出力レンジが0 Vから +0.5 Vのユニポーラ出力を、二重ターミネートされた50 Ω のケーブルへ供給する。この場合、 R_{LOAD} はIOUTA又はIOUTBから見た等価な負荷抵抗をあらわします。使用されない出力(IOUTA又はIOUTB)は、ACOMに直接又はマッチングした R_{LOAD} を経由して繋いでも良い。正コンプライアンスレンジがしっかり守られる限り、 I_{OUTFS} と R_{LOAD} の値を色々変えてみても良い。このモードでひとつ考慮すべき事は、このデータシートのアナログ出力の項で述べたように、積分非直線性(INL)についてである。INLパフォーマンスを最良にしたい場合は、シングルエンド、バッファ有りの電圧出力コンフィギュレーションを推奨する。

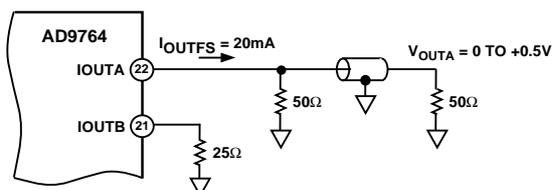


図36 . 0 Vから +0.5 V バッファ無し電圧出力

シングルエンドバッファ有り電圧出力

図37 . にシングルエンドバッファ有り電圧出力コンフィギュレーションを示す。オペレーションアンプU1は、AD9764の出力電流のI-V変換を行なっている。U1は、IOUTA(又はIOUTB)を仮想接地の状態に保ち、これによって、アナログ出力の項で述べたように、DACのINLパフォーマンスに影響する非直線性出力インピーダンスを最低にしている。このコンフィギュレーションでは、dc直線性性能は最良のものが得られるが、もっと高いIDACアップデートレートでのac歪み性能は、U1のスルーイング(slewing)能力から制限を受ける事がある。U1は、負のユニポーラ出力電圧を供給するが、そのフルスケール出力電圧は、単に R_{FB} と I_{OUTFS} の積で求められる。フルスケール出力は、この R_{FB} および/または I_{OUTFS} を調節して、U1の電圧出力スイング能力範囲に収めるようにしなければならない。 I_{OUTFS} を小さくするとシンクに必要なU1の信号電流が下がることから、これによってACひずみ性能の改善が得られることがあります。

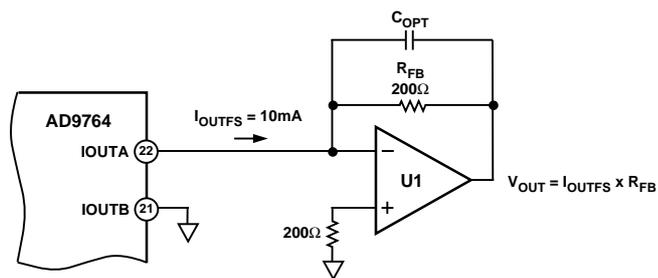


図37 . ユニポーラバッファ有り電圧出力

電源と接地に関する注意点

スピードとハイパフォーマンスを同時に求めるシステムでは、プリント基盤の設計が回路自体の設計と同等に重要な場合がある。デバイスの選択、取り付け位置とルーティング、供給のバイパスと接地には、適切なRF技術が必要である。図42 . から47 . に、AD9764評価用ボードで実装された、当社が推奨するプリント回路基板の接地、電源、および信号面のレイアウトを示します。

高速、ハイレゾリューションシステムでは、適切な接地、デカップリングが重要である。AD9764は独立したアナログ及びデジタル供給と接地ピンを採用し、システムのデジタルおよびアナログ接地電流のマネージメント最適化を図っている。一般的に、アナログ供給AVDDは、アナログ共通ACOMに物理的にできるだけ近いところでデカップリングしなければならない。デジタル供給DVDDも同様に、DCOMに出来る限り近いところでデカップリングしなければならない。

アナログ、デジタル供給ともにシングル+5V又は+3V供給を要するアプリケーションでは、図38 . のようにするとクリーンなアナログ供給が生成できる。この回路は個別の電源とリターンラインを備えた差動LCフィルタで構成されています。低ESRタイプの電解およびタンタルキャパシタを使用すればノイズを更に低減できるであろう。

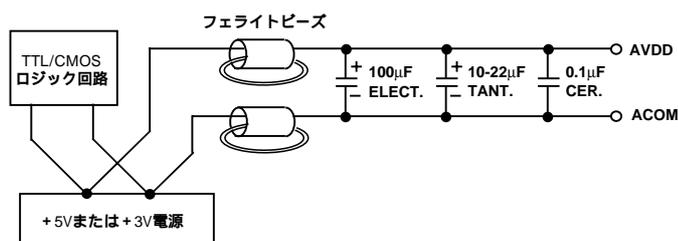


図38 . シングル +5 V又は +3 Vアプリケーション用ディファレンシャル LC フィルタ

電源供給及び接地で低ノイズを維持する事は、AD9764から最適な結果を引き出す上で欠くことができません。インプリメントが適切ならば、接地プレーン、バイパス、シールド、電流搬送など、高速回路ボード機能のホストになる事が出来る。混合信号設計にあ

AD9764

たっては、アナログ部とデジタル部ははっきり分けなくてはならず、アナログ接地プレーンはアナログ信号トレースをカバーする範囲のみに限定し、デジタル接地プレーンはデジタル信号が行き交う範囲のみに限定しなくてはならない。

DAC、レファレンス及びその他のアナログコンポーネントの全てのアナログ接地ピンは、アナログ接地プレーンに直接繋げなくてはならない。最高の性能を維持するには、2つのグラウンドプレーンはDACの直下か1/2インチ以内のところで1/8から1/4インチ幅のパスで接続して下さい。接地プレーンが、重要な信号のパスからの影響を受けないように、特に気をつけなければならない。デジタル側では、この信号パスはすべてのクロック信号や、DACに繋がるデジタル入力ラインである。アナログ側では、これはDAC出力信号、レファレンス信号、供給フィーダーである。

パワーラインのルーティングでは、幅広の経路やプレーンの使用が推奨できる。このことにより、二つの効果が同時に得られる。ひとつは、パーツに低シリーズインピーダンス電力供給が出来る事。もうひとつは、適切な接地プレーンに対し、一種の「フリー」キャパシティブデカップリングを提供する事である。信号接地パスに外因性の電圧降下が誘起されるのを避けるために、信号と電力接地の相互接続レイアウトには、細心の注意が必要である。異種電流間での伝導パスの共有を出来るだけ少なくするため、全ての接続部は短く、直接、かつパッケージに物理的に出来る限り近づける事が望ましい。経路が1インチを越える長さになる場合、適切な終端抵抗を用いたストリップライン技術を使用する事も考えたほうが良い。この抵抗の必要性と値は、使われているロジックファミリーに依存する。

高速、混合信号プリント回路ボードについての更に詳細な情報は、Analog Devices社のアプリケーションノートAN - 280、AN - 333を参照の事。

マルチトーンパフォーマンスの考察と特性決定

高速DACの、周波数領域のパフォーマンス評価は、伝統的に、ある特定の出力周波数とアップデートレートでの復元フルスケール(例: 0dBFS)シングルトーンサイン波スペクトラル出力解析に拠っている。この特性データはもちろん有用ではあるが、DACの復元マルチトーン又は拡散スペクトラム波形パフォーマンスを反映するには少し不十分である。事実、DACのスペクトラルパフォーマンスをフルスケール、シングルトーンを使ってバンド制限された波形の最大定格周波数(f_H)で評価しようとする、大抵はその波形についてのDACの最悪ケースの性能が示されます。時間領域では、フルスケールサイン波は、このバンド制限された信号が出会う最低のピーク対実効値比、すなわち波高率(V_{PEAK}/V_{rms})をあらわします。

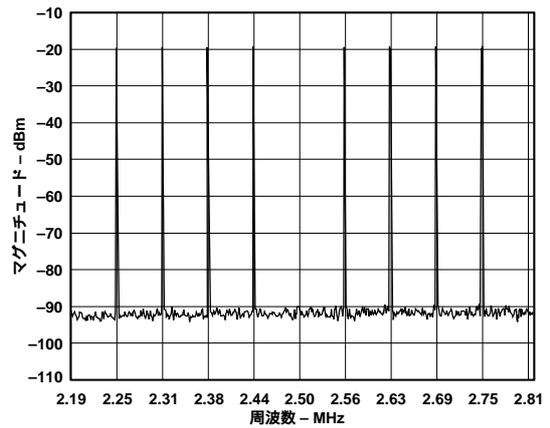


図39a . マルチトーンスペクトラルのプロット

しかしながら、マルチトーン、拡散スペクトラム又はQAM波形は、波形のスペクトラルエネルギーが、指定されたバンド幅中に広がってしまうという性質を持っている為、単純サイン波の場合と比較すると、より高いピーク対実効値比になってしまう。復元波形のピーク対平均値比が上がるに連れ、増大した信号エネルギーがDACの中間値周辺に集中することになる。図39a . は、バンド制限されたマルチトーンベクター(8トーン)がナイキスト帯域幅の1/2(すなわち $f_{CLOCK}/4$)あたりに集中した一例である。サイン波のピーク対実効値比が3dBであるのに比べて、この例でのマルチトーンベクターのピーク対実効値比は、13.5dBである。図39b . に示す時間領域における復元マルチトーンベクターのスナップショットは、中間値周辺でのより高い信号コンテンツを明らかにしている。結果として、与えられた変調スキームに於いて、DACの「スモールスケール」ダイナミック及びスタティック直線性が、低い相互変調歪を得る為、及び、十分なキャリア対ノイズ比を維持する為にいよいよ重要である事が確認できる。

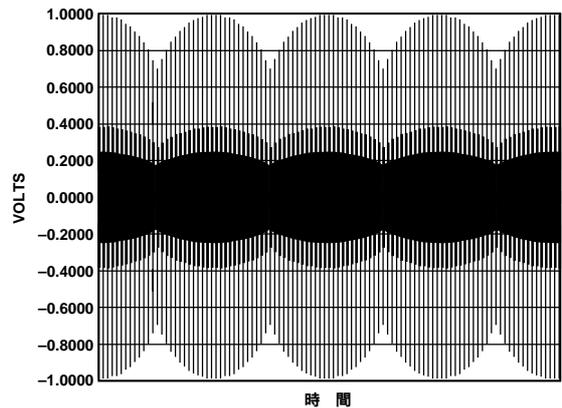


図39b . マルチトーン波形の時間軸スナップショット

DACのsmall-scale直線性性能は、ゲインコントロールや「プレディストーション」信号調整に幅広いダイナミックレンジが必要なアプリケーションでも重要な事項である。例えば、十分なダイナミックレンジを持つDACは、その復元信号のゲインコントロールを余分に行うことができる。事実、ゲインは、DACのデジタル入力ワードを単純に右か左にシフトすることで6dB単位でコントロール出来る。また、アプリケーションによっては、DACのデジタル入力信号を意図的に事前に歪ませて、信号チェーン下流のアナログコンポーネントに伴った非直線性に対する補償を行なうものもあるだろう。例えば、パワーアンプと連携した信号圧縮は、パワーアンプの逆非直線伝達機能を利用してDACデジタル入力を前もって歪ませることで、補償が効く。どちらの場合も、信号レベルが低い条件でのDACパフォーマンスを慎重に評価する必要がある。

フルスケールのシングル・トーンは、歪み性能、ひいてはSFDRパフォーマンスに影響するDACのダイナミック及びスタティック非直線性を誘起する。図3 . を見ると、この復元されたフルスケール、シングルトーン波形の周波数が上がるに連れ、どんなDAC(ここではAD9764)も、そのダイナミック非直線性が支配的になり、それがSFDR性能におけるロールオフをもたらします。しかしながら、R - 2Rラダーを下位ビット電流セグメンテーションに使用する他の多くのDACと異なり、AD9764(TxDAC™ 製品ファミリー)はすべてはシングルトーンの振幅をそのフルスケールレベルから減少させている為、より優れた歪み性能を示しているのである。この低信号レベルでの歪み性能改善は、図4 . から図7 . を比較して見れば明らかである。ここには様々な振幅(0dBFS、-6dBFS、-12dBFS) サンプルレートでのSFDR対周波数を示している。DAC伝達関数のフルスパンに渡って整然とした「small-scale」直線性を維持する事は、優れたマルチトーンパフォーマンス発揮の為に非常に重要な事である。

DACのマルチトーンパフォーマンスを決めるのは、特定用途向けに偏る傾向があるが、DACの潜在能力についてのより深い洞察は、色々なクロックレート、キャリア周波数で、DACのスウェプトパワー(振幅)パフォーマンスを、シングル、デュアル、マルチトーンテストベクターについて評価してみる事で得られる。DACの評価は、特定の波形をいくつかのクロック周波数で、振幅をフルスケール(例えば0dBFS)から3dBずつ減らしながら復元して行なう事が出来る。それぞれの波形について、異なるテストクロック周波数ごとのSFDRパフォーマンス(Nyquistで)対振幅のグラフは図9 . から図11 . に示してある。いずれの図でも、キャリア - クロックレシオは一定である。どの場合でも、SFDRパフォーマンスは0dBFSから約 - 9.0dBFSの所で改善が見られる。

マルチトーンのテストベクトルは、図39a)に示すように、それぞれが定義された帯域内の1つのチャンネルを表す等振幅、等間隔の複数のキャリアで構成されます。多くの場合、DACのインターモジュレーション歪み性能を確かめる為に一つ以上のトーンが取り除かれ

る。DACと関連した非直線性は、スプリアストーンを生成し、そのうちのいくつかは「空き」チャンネルにフォールバックしてチャンネルのキャリア - ノイズ率を制限してしまうことがある。システムのスペクトルマスクとフィルタリングの要件次第では、注目帯域外に落ち込むスプリア成分も重要になることがあります。

この場合のテストベクターは、Nyquistバンド幅の約半分のところ($f_{\text{CLOCK}}/4$)に集中している。パスバンドは $f_{\text{CLOCK}}/16$ である。トーンが更に低いところに集まると(例えば $f_{\text{CLOCK}}/10$)パフォーマンスは改善する。逆にトーンがより高いところ(例えば $f_{\text{CLOCK}}/2.5$)に集まると、パフォーマンスは悪化する。図40a . は、いくつかのサンプルレートでのSFDRと振幅の関係をNyquist周波数まで示している。図40b . は、いくつかのサンプルレートでのSFDRと振幅の関係をテストベクターのパスバンド範囲内で示している。DACのマルチトーンパフォーマンスを評価する際は、いくつかのユニットを全く同じ条件下でテストし、結果を比較検討するよう推奨する。

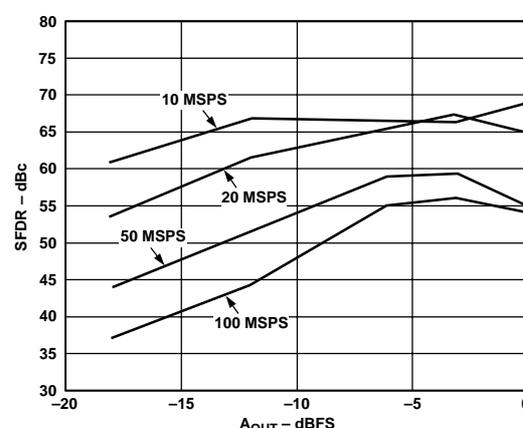


図40a . マルチトーン SFDR 対 A_{out} (Nyquistまで)

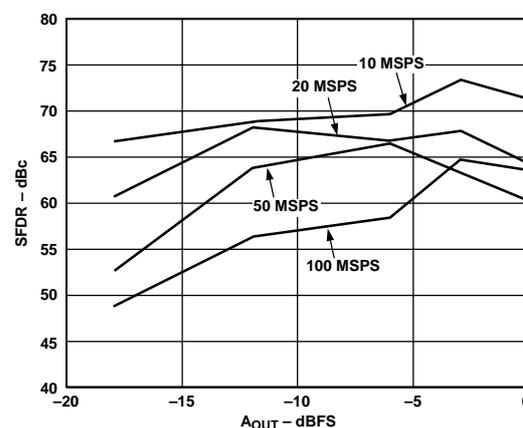


図40b . マルチトーン SFDR 対 A_{out} (マルチトーンパスバンド範囲内)

AD9764

AD9764評価ボード

概要

AD9764 - EBは、AD9764 14ビットDACの評価用ボードである。慎重なレイアウトと回路設計は、プロトタイプエリアと相まって、高分解能、高速変換を必要とするあらゆるアプリケーションに対してAD9764を効果的に評価する容易な手段をユーザーに提供している。

このボードは、ユーザーの利便のため、AD9764を様々なコンフィギュレーションで使用する事が出来る。利用可能な出力コンフィギュレーションは、例えば、変圧器カップルコンフィギュレーション、

終端抵抗コンフィギュレーション、反転/非反転ならびに差動アンプ出力などがある。デジタル入力は、適切な負荷終端処理のための抵抗ネットワークをオンボードに追加できるオプションとともに、様々なワードジェネレータから直接ドライブされるように設計されている。AD9764を内部又は外部レファレンスとともに動作させる、或いはパワーダウン機能を試行する機能についても用意されている。

AD9764評価ボードの解説及び取り扱い方法の詳細については、アプリケーションノートAN - 420、「AD9760/AD9764/AD9764 - EB評価ボードを使用する」を参照する事。

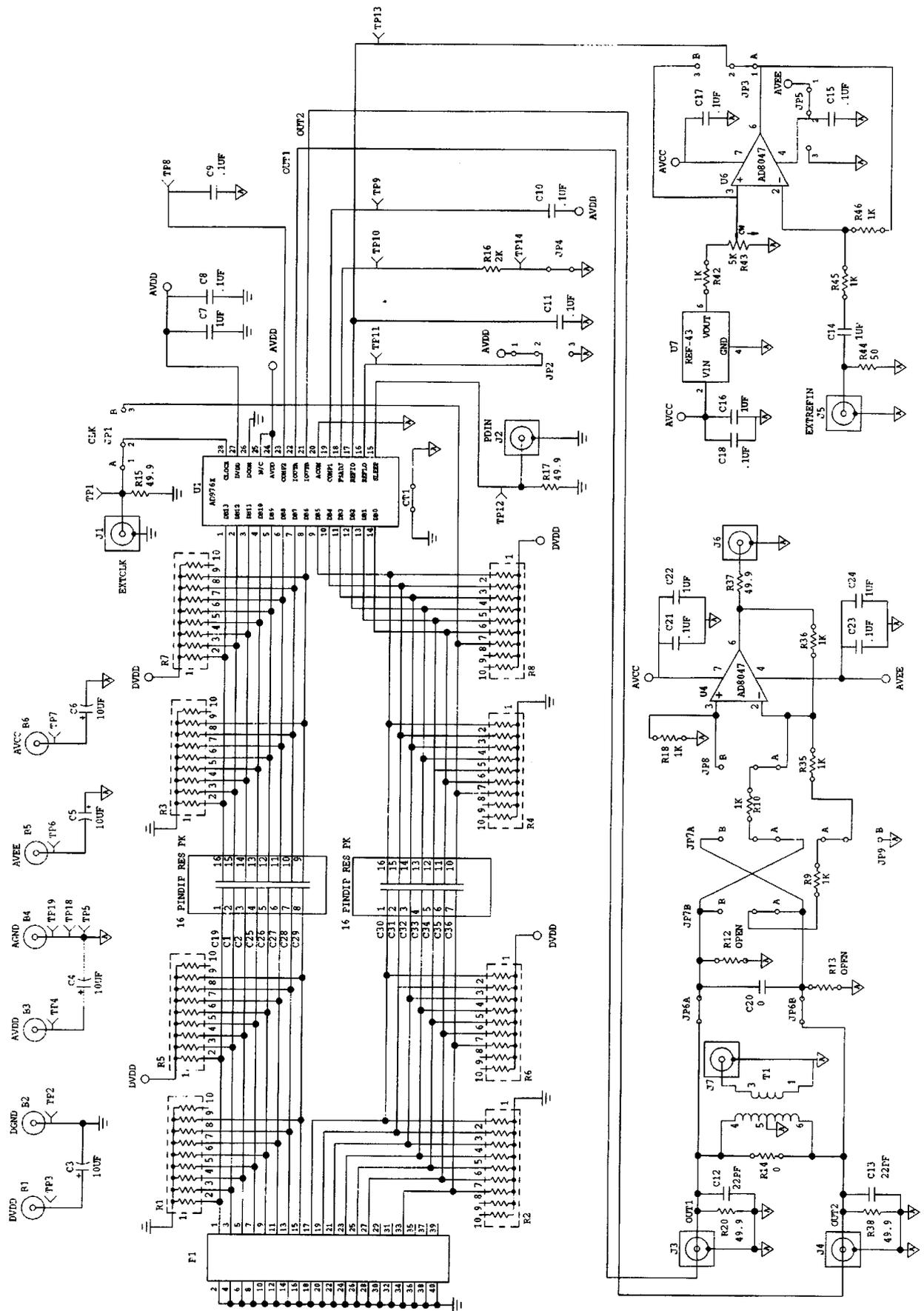


図41. 評価ボードの回路図

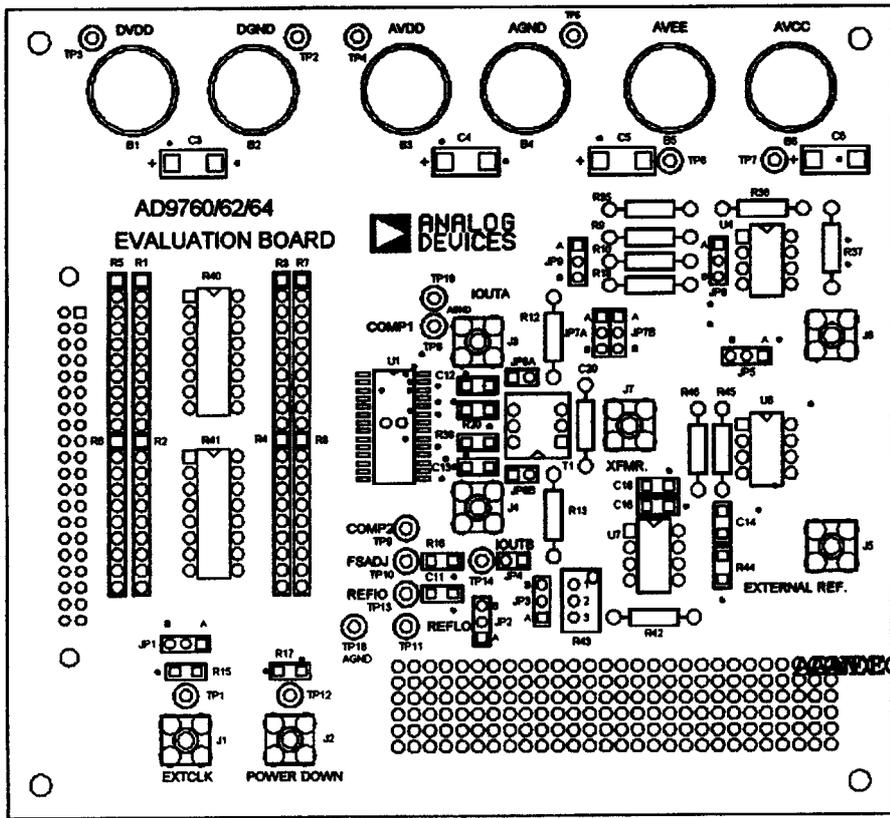


図42 . シルkscreenレイヤー - 上面

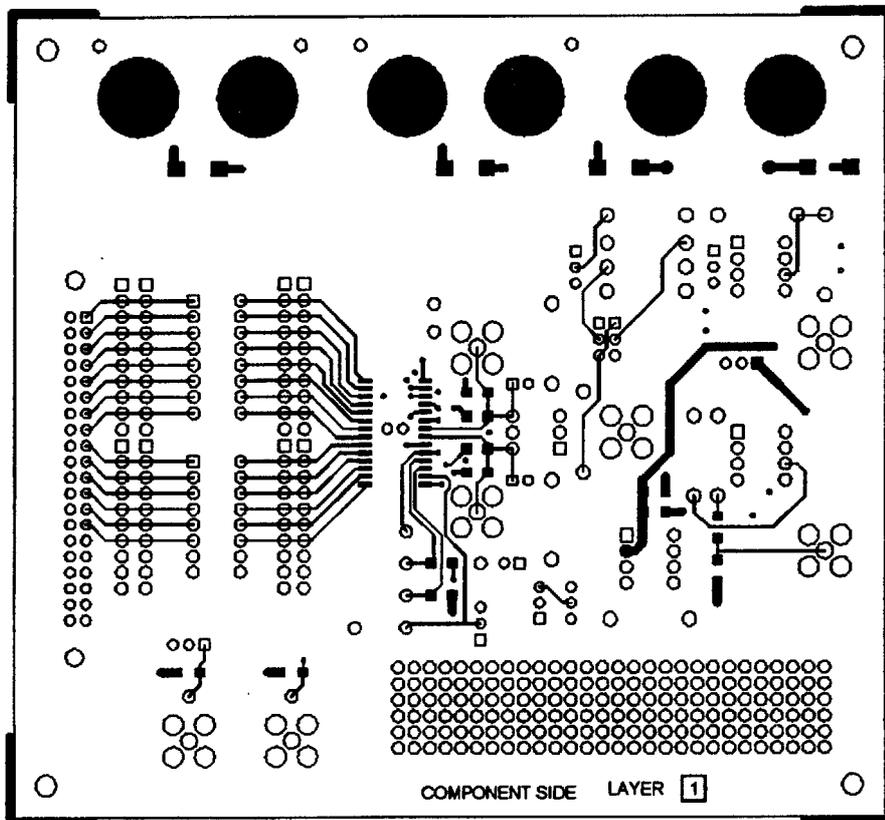


図43 . コンポーネント側PCBレイアウト(レイヤー1)

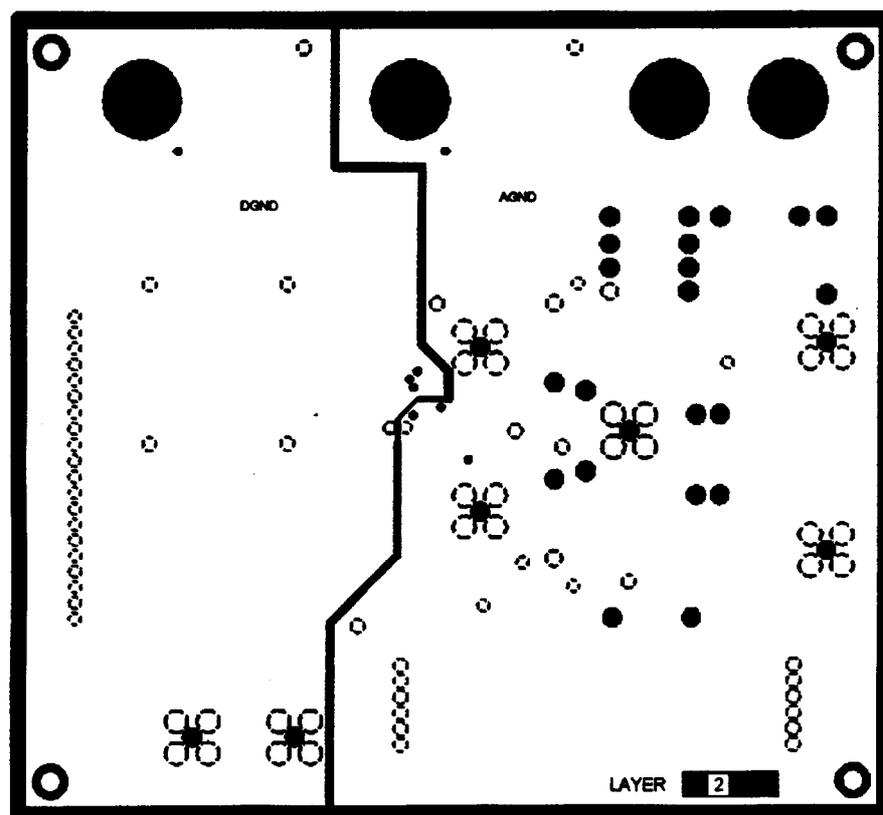


図44．接地プレーン PCBレイアウト(レイヤー2)

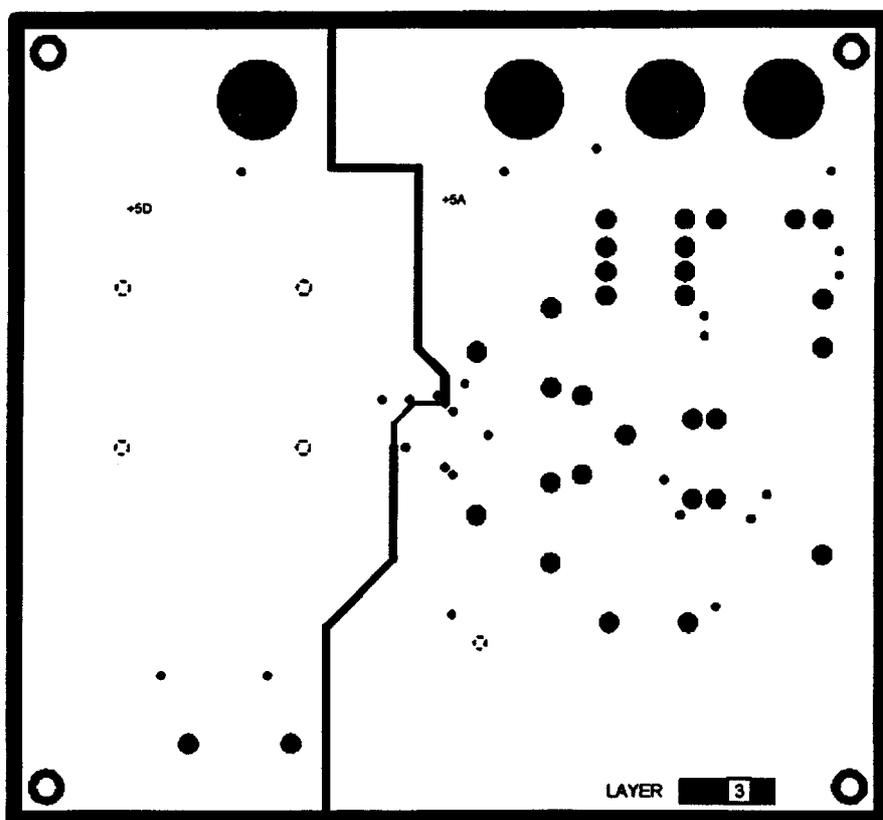


図45．電源プレーン PCBレイアウト(レイヤー3)

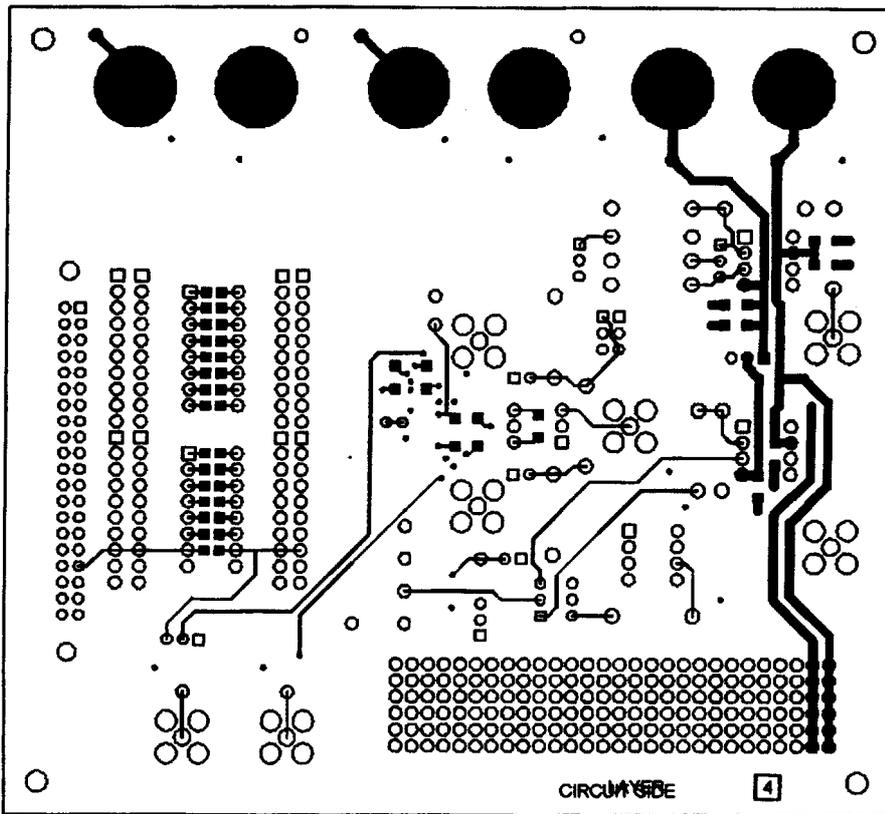


図46 . 半田付け側 PCBレイアウト(レイヤー4)

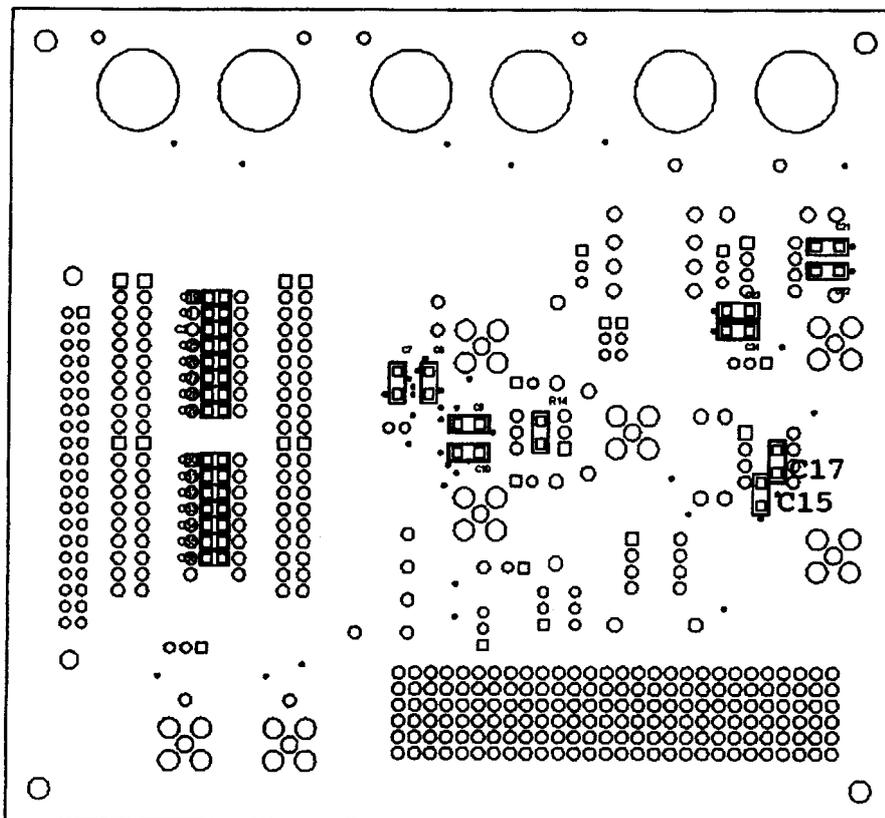


図47 . シルクスクリーンレイヤー - (底面)

外形寸法

サイズはインチと(mm)で示します。

28 - Lead, 300Mil SOIC
(R - 28)

