



**ANALOG
DEVICES**

250MSPSの8/10/12/14/16ビット・ デュアルD/Aコンバータ

AD9741/AD9743/AD9745/AD9746/AD9747

特長

- 広いダイナミック・レンジ、デュアルDAC
- 低いノイズと相互変調歪み
- シングル・キャリアWCDMA ACLR=80dBc@61.44MHz IF
- 技術革新的なスイッチング出力段により、ナイキスト周波数を超える有効出力を実現
- デュアルポートまたはシングルポート（インターリーブ）動作が可能なLVCMOS入力
- 8.6~31.7mAフルスケールの設定が可能な差動アナログ電流出力
- 外部オフセットをゼロにする電流ソース/シンク能力を備えた10ビット補助電流DAC
- 1.2Vの高精度リファレンス電圧源を内蔵
- 1.8Vおよび3.3V電源動作
- 315mWの消費電力
- 小型フットプリント、鉛フリーの72ピンLFCSP

アプリケーション

- ワイヤレス・インフラ：
 - WCDMA、CDMA2000、TD-SCDMA、WiMAX
- 広帯域通信：
 - LMDS/MMDS、ポイントtoポイント
- 計測機器：
 - RF信号発生器、任意波形発生器

概要

AD9741/AD9743/AD9745/AD9746/AD9747は、それぞれピン互換で8/10/12/14/16ビット分解能を持ち、最大サンプリング・レート250MSPSおよび広いダイナミック・レンジを持つデュアルD/Aコンバータ（DAC）です。各デバイスは、ゲインおよびオフセット補正を内蔵し、ダイレクト・コンバージョン送信アプリケーションに特化した機能を持ち、ADL5370などのアナログ直交変調器とシームレスに接続します。

独自開発のダイナミック出力アーキテクチャにより、基本周波数からイメージ周波数にエネルギーをシフトすることによって、ナイキスト周波数を超えたアナログ出力でも再生が可能です。

シリアル・ペリフェラル・インターフェース（SPI）ポートを介してすべての設定が可能です。また、コントローラを使用しないアプリケーション向けに、ピン設定によるプログラマブルな機能も用意されています。

製品のハイライト

- ノイズと相互変調歪み（IMD）が低いため、広帯域信号の高品質再生が可能
- 独自のスイッチング出力により、動的性能が向上
- プログラマブルな電流出力とデュアル補助DACにより、柔軟性とシステム性能を向上

機能ブロック図

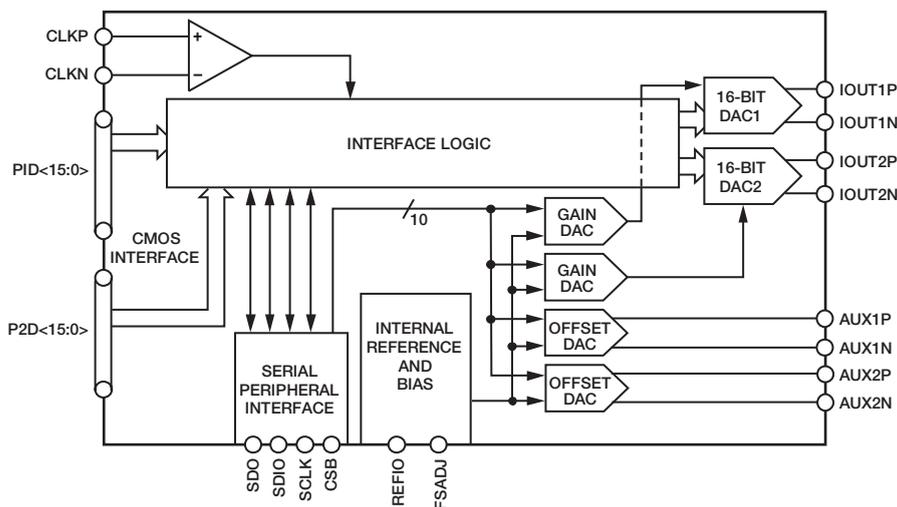


図1

065669-001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2007 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

AD9741/AD9743/AD9745/AD9746/AD9747

目次

特長	1	命令バイト	18
アプリケーション	1	MSB/LSBの転送	19
概要	1	シリアル・インターフェース・ポート・ピンの説明	19
製品のハイライト	1	SPIレジスタ・マップ	20
機能ブロック図	1	SPIレジスタの説明	21
改訂履歴	2	デジタル入出力	22
仕様	3	入力データのタイミング	22
DC仕様	3	デュアルポート・モードのタイミング	22
AC仕様	5	シングルポート・モードのタイミング	22
デジタルおよびタイミング仕様	7	SPIポート、リセット、ピン・モード	22
絶対最大定格	8	DACクロック入力の駆動	23
熱抵抗	8	フルスケール電流の発生	23
ESDに関する注意	8	DACの伝達関数	24
ピン配置と機能の説明	9	アナログ動作モード	24
代表的な性能特性	14	補助DAC	25
用語の説明	17	消費電力	25
動作原理	18	外形寸法	27
シリアル・ペリフェラル・インターフェース	18	オーダー・ガイド	27
シリアル・インターフェースの一般的な動作	18		

改訂履歴

5/07—Revision 0: Initial Version

AD9741/AD9743/AD9745/AD9746/AD9747

仕様

DC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、AVDD33=3.3V、DVDD33=3.3V、DVDD18=1.8V、CVDD18=1.8V、 $I_{FS}=20mA$ 、フルスケール・デジタル入力、最大サンプリング・レート。

表1. AD9741、AD9743、AD9745

Parameter	AD9741			AD9743			AD9745			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	8			10			12			Bits
ACCURACY										
Differential Nonlinearity (DNL)	±0.03			±0.05			±0.13			LSB
Integral Nonlinearity (INL)	±0.05			±0.10			±0.25			LSB
MAIN DAC OUTPUTS										
Offset Error	±0.001			±0.001			±0.001			%FSR
Offset Error Temperature Coefficient	1.0			1.0			1.0			ppm/°C
Gain Error	±2.0			±2.0			±2.0			%FSR
Gain Error Temperature Coefficient	100			100			100			ppm/°C
Gain Matching (DAC1 to DAC2)	±1.0			±1.0			±1.0			%FSR
Full-Scale Output Current	8.6		31.7	8.6		31.7	8.6		31.7	mA
Output Compliance Voltage	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
Output Resistance	10			10			10			MΩ
AUXILIARY DAC OUTPUTS										
Resolution	10			10			10			Bits
Full-Scale Output Current	-2.0		+2.0	-2.0		+2.0	-2.0		+2.0	mA
Output Compliance Voltage Range—Sink Current	0.8		1.6	0.8		1.6	0.8		1.6	V
Output Compliance Voltage Range—Source Current	0		1.6	0		1.6	0		1.6	V
Output Resistance	1			1			1			MΩ
Monotonicity	10			10			10			Bits
REFERENCE INPUT/OUTPUT										
Output Voltage	1.2			1.2			1.2			V
Output Voltage Temperature Coefficient	10			10			10			ppm/°C
External Input Voltage Range	1.15		1.3	1.15		1.3	1.15		1.3	V
Input or Output Resistance	5			5			5			kΩ
POWER SUPPLY VOLTAGES										
AVDD33, DVDD33	3.13		3.47	3.13		3.47	3.13		3.47	V
CVDD18, DVDD18	1.70		1.90	1.70		1.90	1.70		1.90	V
POWER SUPPLY CURRENTS										
I_{AVDD33}	56		60	56		60	56		60	mA
I_{DVDD33}	10		14	10		14	11		15	mA
I_{CVDD18}	18		22	18		22	18		22	mA
I_{DVDD18}	28		32	29		33	30		34	mA
POWER DISSIPATION										
$f_{DAC} = 250$ MSPS, $f_{OUT} = 20$ MHz	300		345	300		345	305		350	mW
DAC Outputs Disabled	115			115			120			mW
Full Device Power-Down	3			3			3			mW
OPERATING TEMPERATURE	-40		+85	-40		+85	-40		+85	°C

AD9741/AD9743/AD9745/AD9746/AD9747

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33=3.3V$ 、 $DVDD33=3.3V$ 、 $DVDD18=1.8V$ 、 $CVDD18=1.8V$ 、 $I_{FS}=20mA$ 、フルスケール・デジタル入力、最大サンプリング・レート。他の製品と比較できるようにAD9745の仕様を表2に再掲します。

表2. AD9745、AD9746、AD9747

Parameter	AD9745			AD9746			AD9747			Unit	
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
RESOLUTION	12			14			16			Bits	
ACCURACY											
Differential Nonlinearity (DNL)	±0.13			±0.5			±2.0			LSB	
Integral Nonlinearity (INL)	±0.25			±1.0			±4.0			LSB	
MAIN DAC OUTPUTS											
Offset Error	±0.001			±0.001			±0.001			%FSR	
Offset Error Temperature Coefficient	0.1			0.1			0.1			ppm/°C	
Gain Error	±2.0			±2.0			±2.0			%FSR	
Gain Error Temperature Coefficient	100			100			100			ppm/°C	
Gain Matching (DAC1 to DAC2)	±1.0			±1.0			±1.0			%FSR	
Full-Scale Output Current	8.6		31.7	8.6		31.7	8.6		31.7	mA	
Output Compliance Voltage	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V	
Output Resistance	10			10			10			MΩ	
AUXILIARY DAC OUTPUTS											
Resolution	10			10			10			Bits	
Full-Scale Output Current	-2.0		+2.0	-2.0		+2.0	-2.0		+2.0	mA	
Output Compliance Voltage Range—Sink Current	0.8		1.6	0.8		1.6	0.8		1.6	V	
Output Compliance Voltage Range—Source Current	0		1.6	0		1.6	0		1.6	V	
Output Resistance	1			1			1			MΩ	
Monotonicity	10			10			10			Bits	
REFERENCE INPUT/OUTPUT											
Output Voltage	1.2			1.2			1.2			V	
Output Voltage Temperature Coefficient	10			10			10			ppm/°C	
External Input Voltage Range	1.15		1.3	1.15		1.3	1.15		1.3	V	
Input or Output Resistance	5			5			5			kΩ	
POWER SUPPLY VOLTAGES											
AVDD33, DVDD33	3.13			3.47			3.13			3.47	V
CVDD18, DVDD18	1.70			1.90			1.70			1.90	V
POWER SUPPLY CURRENTS											
I_{AVDD33}	56			60			56			60	mA
I_{DVDD33}	11			15			12			16	mA
I_{CVDD18}	18			22			18			22	mA
I_{DVDD18}	30			34			31			35	mA
POWER DISSIPATION											
$f_{DAC} = 250$ MSPS, $f_{OUT} = 20$ MHz	305			350			310			355	mW
DAC Outputs Disabled	120						125				mW
Full Device Power-Down	3						3				mW
OPERATING TEMPERATURE	-40			+85			-40			+85	°C

AD9741/AD9743/AD9745/AD9746/AD9747

AC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33=3.3V$ 、 $DVDD33=3.3V$ 、 $DVDD18=1.8V$ 、 $CVDD18=1.8V$ 、 $I_{FS}=20mA$ 、フルスケール・デジタル入力、最大サンプリング・レート。

表3. AD9741、AD9743、AD9745

Parameter	AD9741			AD9743			AD9745			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		70			80			82		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		70			70			70		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		64			64			66		dBc
INTERMODULATION DISTORTION (IMD)										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		80			80			86		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		72			72			74		dBc
CROSSTALK										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		80			80			80		dBc
ADJACENT CHANNEL LEAKAGE RATIO (ACLR) SINGLE CARRIER WCDMA										
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 15.36 \text{ MHz}$		54			66			76		dBc
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 61.44 \text{ MHz}$		54			66			76		dBc
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 184.32 \text{ MHz}^1$		54			64			72		dBc
NOISE SPECTRAL DENSITY (NSD)										
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 15.36 \text{ MHz}$		-132			-144			-155		dBm/Hz
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 61.44 \text{ MHz}$		-132			-144			-155		dBm/Hz
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 184.32 \text{ MHz}^1$		-135			-147			-155		dBm/Hz

¹ ミックス・モード

AD9741/AD9743/AD9745/AD9746/AD9747

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33=3.3V$ 、 $DVDD33=3.3V$ 、 $DVDD18=1.8V$ 、 $CVDD18=1.8V$ 、 $I_{FS}=20mA$ 、フルスケール・デジタル入力、最大サンプリング・レート。他の製品と比較できるようにAD9745の仕様を表4に再掲します。

表4. AD9745、AD9746、AD9747

Parameter	AD9745			AD9746			AD9747			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SPURIOUS FREE DYNAMIC RANGE (SFDR)										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		82			82			82		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		70			70			70		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		66			66			66		dBc
INTERMODULATION DISTORTION (IMD)										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		86			86			86		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		74			74			74		dBc
CROSSTALK										
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 20 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 70 \text{ MHz}$		80			80			80		dBc
$f_{DAC} = 250 \text{ MSPS}$, $f_{OUT} = 180 \text{ MHz}^1$		80			80			80		dBc
ADJACENT CHANNEL LEAKAGE RATIO (ACLR) SINGLE CARRIER WCDMA										
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 15.36 \text{ MHz}$		76			78			82		dBc
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 61.44 \text{ MHz}$		76			78			80		dBc
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 184.32 \text{ MHz}^1$		72			74			74		dBc
NOISE SPECTRAL DENSITY (NSD)										
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 15.36 \text{ MHz}$		-155			-163			-165		dBm/Hz
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 61.44 \text{ MHz}$		-155			-160			-162		dBm/Hz
$f_{DAC} = 245.76 \text{ MSPS}$, $f_{OUT} = 184.32 \text{ MHz}^1$		-155			-158			-160		dBm/Hz

¹ ミックス・モード

AD9741/AD9743/AD9745/AD9746/AD9747

デジタルおよびタイミング仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD33=3.3V$ 、 $DVDD33=3.3V$ 、 $DVDD18=1.8V$ 、 $CVDD18=1.8V$ 、 $I_{FS}=20mA$ 、フルスケール・デジタル入力、最大サンプリング・レート。

表5. AD9741/AD9743/AD9745/AD9746/AD9747

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUTS (CLKP, CLKN)				
Differential Peak-to-Peak Voltage	400	800	1600	mV
Single-Ended Peak-to-Peak Voltage			800	mV
Common-Mode Voltage	300	400	500	mV
Input Current			1	μA
Input Frequency			250	MHz
DATA CLOCK OUTPUT (DCO)				
Output Voltage High	2.4			V
Output Voltage Low			0.4	V
Output Current			10	mA
DAC Clock to Data Clock Output Delay (t_{DCO})	2.0	2.2	2.8	ns
DATA PORT INPUTS				
Input Voltage High	2.0			V
Input Voltage Low			0.8	V
Input Current			1	μA
Data to DAC Clock Setup Time (t_{DBS} Dual-Port Mode)	400			ps
Data to DAC Clock Hold Time (t_{DBH} Dual-Port Mode)	1200			ps
DAC Clock to Analog Output Data Latency (Dual-Port Mode)			7	Cycles
Data or IQSEL Input to DAC Clock Setup Time (t_{DBS} Single-Port Mode)	400			ps
Data or IQSEL Input to DAC Clock Hold Time (t_{DBH} Single-Port Mode)	1200			ps
DAC Clock to Analog Output Data Latency (Single-Port Mode)			8	Cycles
SERIAL PERIPHERAL INTERFACE				
SCLK Frequency (f_{SCLK})			40	MHz
SCLK Pulse Width High (t_{PWH})	10			ns
SCLK Pulse Width Low (t_{PWL})	10			ns
CSB to SCLK Setup Time (t_S)	1			ns
CSB to SCLK Hold Time (t_H)	0			ns
SDIO to SCLK Setup Time (t_{DS})	1			ns
SDIO to SCLK Hold Time (t_{DH})	0			ns
SCLK to SDIO/SDO Data Valid Time (t_{DV})			1	ns
RESET Pulse Width High	10			ns
WAKE-UP TIME AND OUTPUT LATENCY				
From DAC Outputs Disabled		200		μs
From Full Device Power-Down		1200		μs
DAC Clock to Analog Output Latency (Dual-Port Mode)		7		Cycles
DAC Clock to Analog Output Latency (Single-Port Mode)		8		Cycles

AD9741/AD9743/AD9745/AD9746/AD9747

絶対最大定格

表6

Parameter	With Respect to	Rating
AVDD33, DVDD33	AVSS DVSS CVSS	-0.3 V to +3.6 V
DVDD18, CVDD18	AVSS DVSS CVSS	-0.3 V to +1.98 V
AVSS	DVSS CVSS	-0.3 V to +0.3 V
DVSS	AVSS CVSS	-0.3 V to +0.3 V
CVSS	AVSS DVSS	-0.3 V to +0.3 V
REFIO	AVSS	-0.3 V to AVDD33 + 0.3 V
IOUT1P, IOUT1N, IOUT2P, IOUT2P, AUX1P, AUX1N, AUX2P, AUX2N	AVSS	-1.0 V to AVDD33 + 0.3 V
P1D15 to P1D0, P2D15 to P2D0	DVSS	-0.3 V to DVDD33 + 0.3 V
CLKP, CLKN	CVSS	-0.3 V to CVDD18 + 0.3 V
RESET, CSB, SCLK, SDIO, SDO	DVSS	-0.3 V to DVDD33 + 0.3 V
Junction Temperature		125°C
Storage Temperature		-65°C to +150°C

熱抵抗

JEDEC規格4層サーマル・テスト用ボードを使用し、自然空冷状態で熱抵抗のテストを実施。

表7

Package Type	θ_{JA}	Unit
CP-72-1 (Exposed Pad Soldered to PCB)	25	°C/W

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意

	<p>ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスで高エネルギーの静電放電が発生した場合、損傷を生じる可能性があります。性能劣化や機能低下を防止するため、ESDに対して適切な予防措置をとることが推奨されます。</p>
--	---

AD9741/AD9743/AD9745/AD9746/AD9747

ピン配置と機能の説明

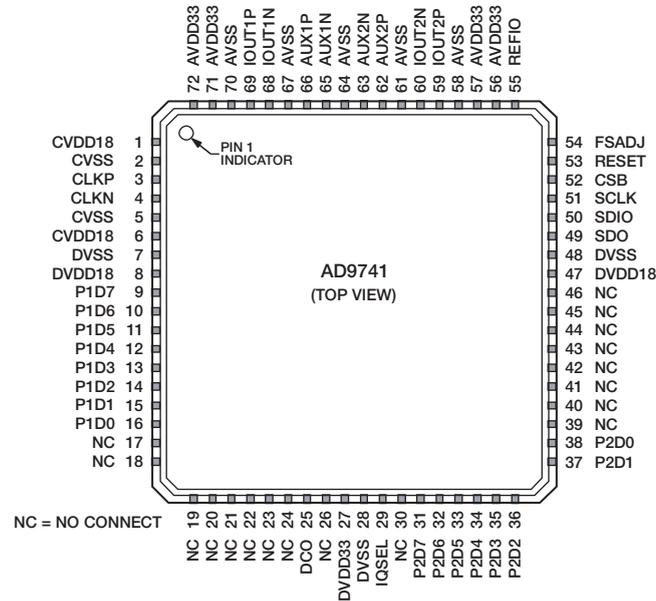


図2. AD9741のピン配置

表8. AD9741のピン機能の説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8V)
2, 5	CVSS	コモン・クロック電源 (0V)
3	CLKP	差動DACクロック入力
4	CLKN	相補差動DACクロック入力
7, 28, 48	DVSS	コモン・デジタル電源 (0V)
8, 47	DVDD18	デジタル・コア電源電圧 (1.8V)
9 to 16	P1D<7:0>	ポート1のデータ・ビット入力
17 to 24, 26, 30, 39 to 46	NC	無接続
25	DCO	データ・クロック出力。データ・ソースのクロック出力に使用してください。
27	DVDD33	デジタルI/O電源電圧 (3.3V)
29	IQSEL	シングルポート・モード動作時のI/Qフレーミング信号
31 to 38	P2D<7:0>	ポート2のデータ・ビット入力
49	SDO	シリアル・ペリフェラル・インターフェースのデータ出力
50	SDIO	シリアル・ペリフェラル・インターフェースのデータ入力およびオプションのデータ出力
51	SCLK	シリアル・ペリフェラル・インターフェースのクロック入力
52	CSB	シリアル・ペリフェラル・インターフェースのチップ・セレクト入力。アクティブ・ロー
53	RESET	ハードウェア・リセット。アクティブ・ハイ
54	FSADJ	フルスケール電流出力調整。10kΩの抵抗をAVSSに接続してください。
55	REFIO	リファレンス入力/出力。0.1μFのコンデンサをAVSSに接続してください。
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3V)
58, 61, 64, 67, 70	AVSS	コモン・アナログ電源 (0V)
59	IOUT2P	DAC2の電流出力 (+)。入力データ・ビットが全「1」のときにフルスケール電流を出力
60	IOUT2N	DAC2の電流出力 (-)。データ・ビットが全「0」のときにフルスケール電流を出力
62	AUX2P	補助DAC2のデフォルト電流出力ピン
63	AUX2N	補助DAC2のオプション出力ピン。SPIを使用してイネーブルしてください。
65	AUX1N	補助DAC1のオプション出力ピン。SPIを使用してイネーブルしてください。
66	AUX1P	補助DAC1のデフォルト電流出力ピン
68	IOUT1N	DAC1の電流出力 (+)。データ・ビットが全「0」のときにフルスケール電流を出力
69	IOUT1P	DAC1の電流出力 (-)。データ・ビットが全「1」のときにフルスケール電流を出力
EPAD	AVSS	露出サーマル・パッド。PCボード上面の銅被覆面にハンダ付けして機械的な安定性を確保し、低インピーダンスのGNDプレーンに電氣的接続することで低ノイズ性能を実現

AD9741/AD9743/AD9745/AD9746/AD9747

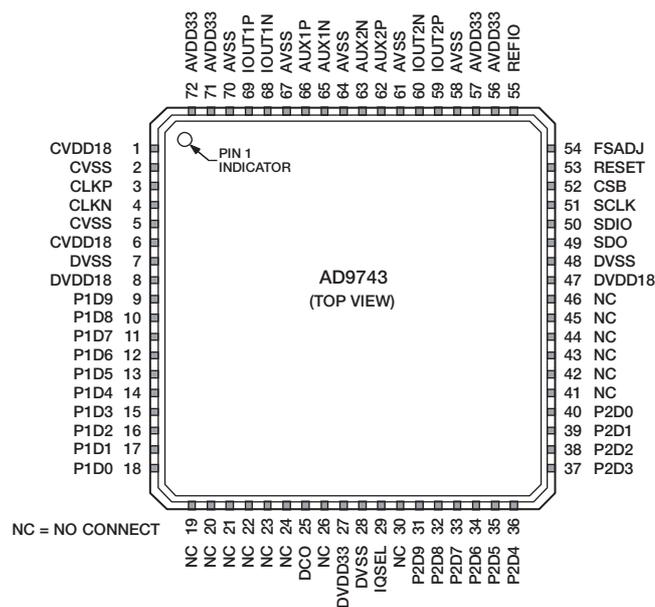


図3. AD9743のピン配置

表9. AD9743のピン機能の説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8V)
2, 5	CVSS	コモン・クロック電源 (0V)
3	CLKP	差動DACクロック入力
4	CLKN	相補差動DACクロック入力
7, 28, 48	DVSS	コモン・デジタル電源 (0V)
8, 47	DVDD18	デジタル・コア電源電圧 (1.8V)
9 to 18	P1D<9:0>	ポート1のデータ・ビット入力
19 to 24, 26, 30, 41 to 46	NC	無接続
25	DCO	データ・クロック出力。データ・ソースのクロック出力に使用してください。
27	DVDD33	デジタルI/O電源電圧 (3.3V)
29	IQSEL	シングルポート・モード動作時のI/Qフレーミング信号
31 to 40	P2D<9:0>	ポート2のデータ・ビット入力
49	SDO	シリアル・ペリフェラル・インターフェースのデータ出力
50	SDIO	シリアル・ペリフェラル・インターフェースのデータ入力およびオプションのデータ出力
51	SCLK	シリアル・ペリフェラル・インターフェースのクロック入力
52	CSB	シリアル・ペリフェラル・インターフェースのチップ・セレクト入力。アクティブ・ロー
53	RESET	ハードウェア・リセット。アクティブ・ハイ
54	FSADJ	フルスケール電流出力調整。10kΩの抵抗をAVSSに接続してください。
55	REFIO	リファレンス入力/出力。0.1μFのコンデンサをAVSSに接続してください。
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3V)
58, 61, 64, 67, 70	AVSS	コモン・アナログ電源 (0V)
59	IOUT2P	DAC2の電流出力 (+)。入力データ・ビットが全「1」のときにフルスケール電流を出力
60	IOUT2N	DAC2の電流出力 (-)。データ・ビットが全「0」のときにフルスケール電流を出力
62	AUX2P	補助DAC2のデフォルト電流出力ピン
63	AUX2N	補助DAC2のオプション出力ピン。SPIを使用してイネーブルしてください。
65	AUX1N	補助DAC1のオプション出力ピン。SPIを使用してイネーブルしてください。
66	AUX1P	補助DAC1のデフォルト電流出力ピン
68	IOUT1N	DAC1の電流出力 (+)。データ・ビットが全「0」のときにフルスケール電流を出力
69	IOUT1P	DAC1の電流出力 (-)。データ・ビットが全「1」のときにフルスケール電流を出力
EPAD	AVSS	露出サーマル・パッド。PCボード上面の銅被覆面にハンダ付けて機械的な安定性を確保し、低インピーダンスのGNDプレーンに電氣的接続することで低ノイズ性能を実現

AD9741/AD9743/AD9745/AD9746/AD9747

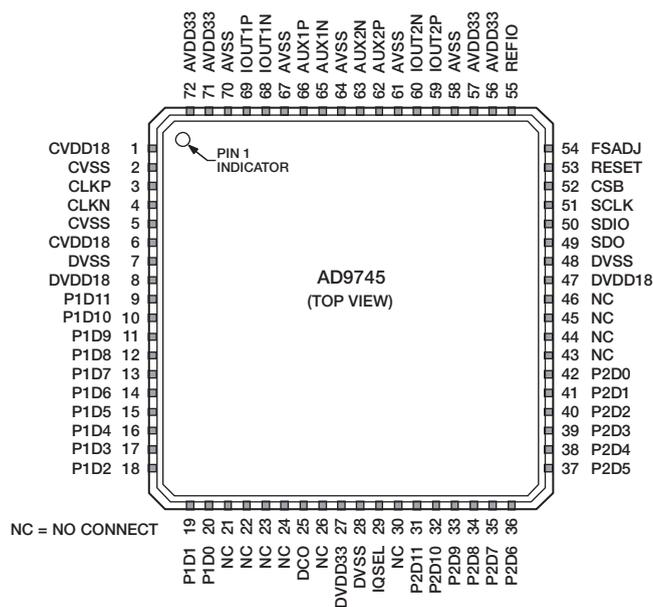


図4. AD9745のピン配置

表10. AD9745のピン機能の説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8V)
2, 5	CVSS	コモン・クロック電源 (0V)
3	CLKP	差動DACクロック入力
4	CLKN	相補差動DACクロック入力
7, 28, 48	DVSS	コモン・デジタル電源 (0V)
8, 47	DVDD18	デジタル・コア電源電圧 (1.8V)
9 to 20	P1D<11:0>	ポート1のデータ・ビット入力
21 to 24, 26, 30, 43 to 46	NC	無接続
25	DCO	データ・クロック出力。データ・ソースのクロック出力に使用してください。
27	DVDD33	デジタルI/O電源電圧 (3.3V)
29	IQSEL	シングルポート・モード動作時のI/Qフレーミング信号
31 to 42	P2D<11:0>	ポート2のデータ・ビット入力
49	SDO	シリアル・ペリフェラル・インターフェースのデータ出力
50	SDIO	シリアル・ペリフェラル・インターフェースのデータ入力およびオプションのデータ出力
51	SCLK	シリアル・ペリフェラル・インターフェースのクロック入力
52	CSB	シリアル・ペリフェラル・インターフェースのチップ・セレクト入力。アクティブ・ロー
53	RESET	ハードウェア・リセット。アクティブ・ハイ
54	FSADJ	フルスケール電流出力調整。10kΩの抵抗をAVSSに接続してください。
55	REFIO	リファレンス入力/出力。0.1μFのコンデンサをAVSSに接続してください。
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3V)
58, 61, 64, 67, 70	AVSS	コモン・アナログ電源 (0V)
59	IOUT2P	DAC2の電流出力 (+)。入力データ・ビットが全「1」のときにフルスケール電流を出力
60	IOUT2N	DAC2の電流出力 (-)。データ・ビットが全「0」のときにフルスケール電流を出力
62	AUX2P	補助DAC2のデフォルト電流出力ピン
63	AUX2N	補助DAC2のオプション出力ピン。SPIを使用してイネーブルしてください。
65	AUX1N	補助DAC1のオプション出力ピン。SPIを使用してイネーブルしてください。
66	AUX1P	補助DAC1のデフォルト電流出力ピン
68	IOUT1N	DAC1の電流出力 (+)。データ・ビットが全「0」のときにフルスケール電流を出力
69	IOUT1P	DAC1の電流出力 (-)。データ・ビットが全「1」のときにフルスケール電流を出力
EPAD	AVSS	露出サーマル・パッド。PCボード上面の銅被覆面にハンダ付けて機械的な安定性を確保し、低インピーダンスのGNDプレーンに電氣的接続することで低ノイズ性能を実現

AD9741/AD9743/AD9745/AD9746/AD9747

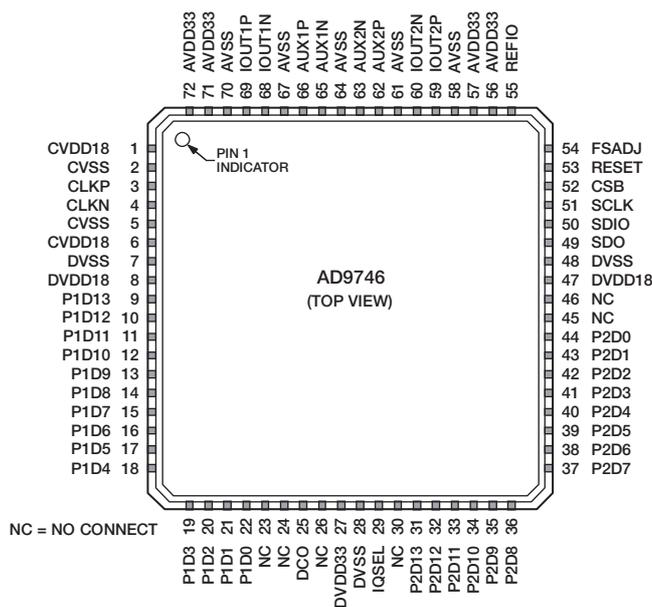


図5. AD9746のピン配置

表11. AD9746のピン機能の説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8V)
2, 5	CVSS	コモン・クロック電源 (0V)
3	CLKP	差動DACクロック入力
4	CLKN	相補差動DACクロック入力
7, 28, 48	DVSS	コモン・デジタル電源 (0V)
8, 47	DVDD18	デジタル・コア電源電圧 (1.8V)
9 to 22	P1D<13:0>	ポート1のデータ・ビット入力
23, 24, 26, 30, 45, 46	NC	無接続
25	DCO	データ・クロック出力。データ・ソースのクロック出力に使用してください。
27	DVDD33	デジタルI/O電源電圧 (3.3V)
29	IQSEL	シングルポート・モード動作時のI/Qフレーミング信号
31 to 44	P2D<13:0>	ポート2のデータ・ビット入力
49	SDO	シリアル・ペリフェラル・インターフェースのデータ出力
50	SDIO	シリアル・ペリフェラル・インターフェースのデータ入力およびオプションのデータ出力
51	SCLK	シリアル・ペリフェラル・インターフェースのクロック入力
52	CSB	シリアル・ペリフェラル・インターフェースのチップ・セレクト入力。アクティブ・ロー
53	RESET	ハードウェア・リセット。アクティブ・ハイ
54	FSADJ	フルスケール電流出力調整。10kΩの抵抗をAVSSに接続してください。
55	REFIO	リファレンス入力/出力。0.1μFのコンデンサをAVSSに接続してください。
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3V)
58, 61, 64, 67, 70	AVSS	コモン・アナログ電源 (0V)
59	IOUT2P	DAC2の電流出力 (+)。入力データ・ビットが全「1」のときにフルスケール電流を出力
60	IOUT2N	DAC2の電流出力 (-)。データ・ビットが全「0」のときにフルスケール電流を出力
62	AUX2P	補助DAC2のデフォルト電流出力ピン
63	AUX2N	補助DAC2のオプション出力ピン。SPIを使用してイネーブルしてください。
65	AUX1N	補助DAC1のオプション出力ピン。SPIを使用してイネーブルしてください。
66	AUX1P	補助DAC1のデフォルト電流出力ピン
68	IOUT1N	DAC1の電流出力 (+)。データ・ビットが全「0」のときにフルスケール電流を出力
69	IOUT1P	DAC1の電流出力 (-)。データ・ビットが全「1」のときにフルスケール電流を出力
EPAD	AVSS	露出サーマル・パッド。PCボード上面の銅被覆面にハンダ付けて機械的な安定性を確保し、低インピーダンスのGNDプレーンに電氣的接続することで低ノイズ性能を実現

AD9741/AD9743/AD9745/AD9746/AD9747

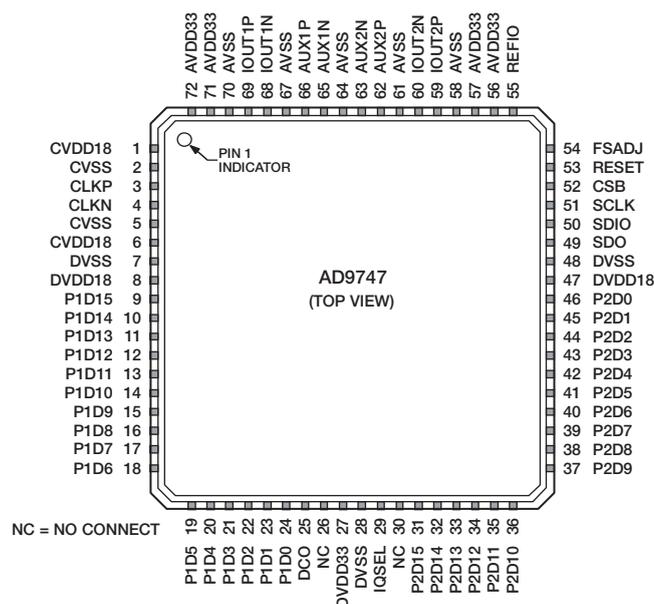


図6. AD9747のピン配置

表12. AD9747のピン機能の説明

ピン番号	記号	説明
1, 6	CVDD18	クロック電源電圧 (1.8V)
2, 5	CVSS	コモン・クロック電源 (0V)
3	CLKP	差動DACクロック入力
4	CLKN	相補差動DACクロック入力
7, 28, 48	DVSS	コモン・デジタル電源 (0V)
8, 47	DVDD18	デジタル・コア電源電圧 (1.8V)
9 to 24	P1D<15:0>	ポート1のデータ・ビット入力
25	DCO	データ・クロック出力。データ・ソースのクロック出力に使用してください。
26, 30	NC	無接続
27	DVDD33	デジタルI/O電源電圧 (3.3V)
29	IQSEL	シングルポート・モード動作時のI/Qフレーミング信号
31 to 46	P2D<15:0>	ポート2のデータ・ビット入力
49	SDO	シリアル・ペリフェラル・インターフェースのデータ出力
50	SDIO	シリアル・ペリフェラル・インターフェースのデータ入力およびオプションのデータ出力
51	SCLK	シリアル・ペリフェラル・インターフェースのクロック入力
52	CSB	シリアル・ペリフェラル・インターフェースのチップ・セレクト入力。アクティブ・ロー
53	RESET	ハードウェア・リセット。アクティブ・ハイ
54	FSADJ	フルスケール電流出力調整。10kΩの抵抗をAVSSに接続してください。
55	REFIO	リファレンス入力/出力。0.1μFのコンデンサをAVSSに接続してください。
56, 57, 71, 72	AVDD33	アナログ電源電圧 (3.3V)
58, 61, 64, 67, 70	AVSS	コモン・アナログ電源 (0V)
59	IOUT2P	DAC2の電流出力 (+)。入力データ・ビットが全「1」のときにフルスケール電流を出力
60	IOUT2N	DAC2の電流出力 (-)。データ・ビットが全「0」のときにフルスケール電流を出力
62	AUX2P	補助DAC2のデフォルト電流出力ピン
63	AUX2N	補助DAC2のオプション出力ピン。SPIを使用してイネーブルしてください。
65	AUX1N	補助DAC1のオプション出力ピン。SPIを使用してイネーブルしてください。
66	AUX1P	補助DAC1のデフォルト電流出力ピン
68	IOUT1N	DAC1の電流出力 (+)。データ・ビットが全「0」のときにフルスケール電流を出力
69	IOUT1P	DAC1の電流出力 (-)。データ・ビットが全「1」のときにフルスケール電流を出力
EPAD	AVSS	露出サーマル・パッド。PCボード上面の銅被覆面にハンダ付けて機械的な安定性を確保し、低インピーダンスのGNDプレーンに電氣的接続することで低ノイズ性能を実現

代表的な性能特性

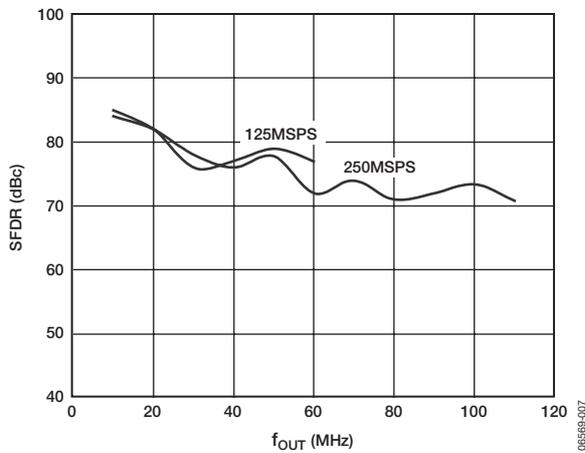


図7. AD9747の f_{OUT} 対 SFDR (ノーマル・モード)

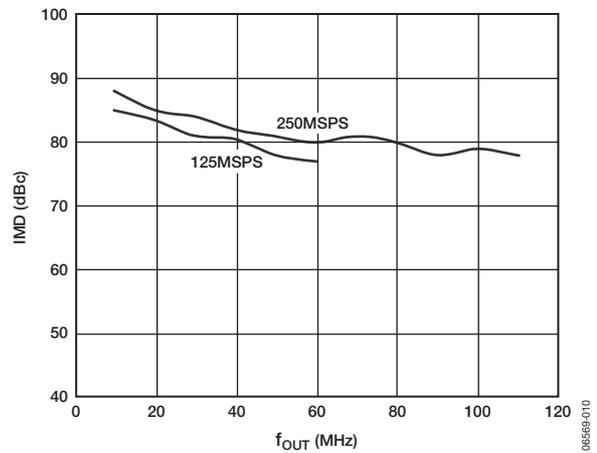


図10. AD9747の f_{OUT} 対 IMD (ノーマル・モード)

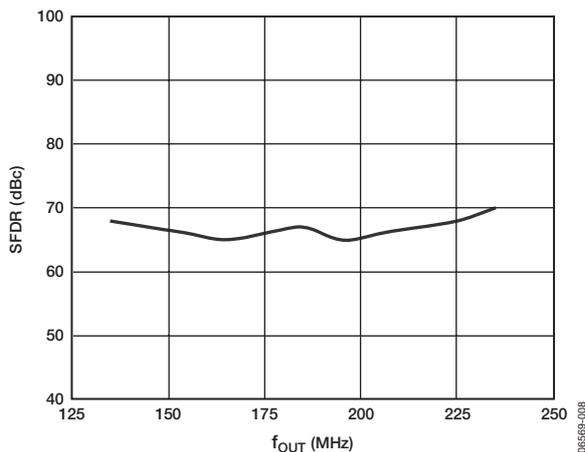


図8. AD9747の f_{OUT} 対 SFDR (ミックス・モード、250MSPS)

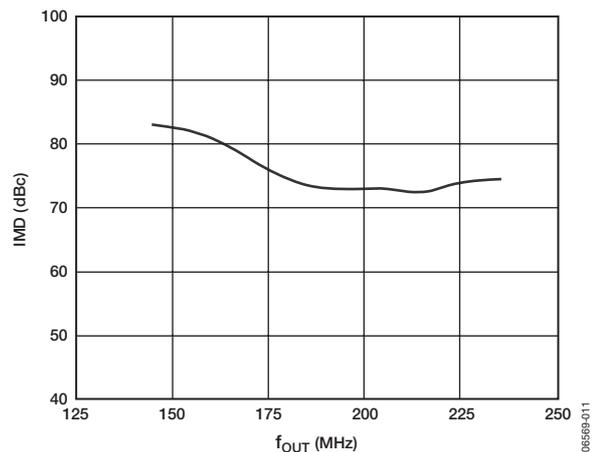


図11. AD9747の f_{OUT} 対 IMD (ミックス・モード、250MSPS)

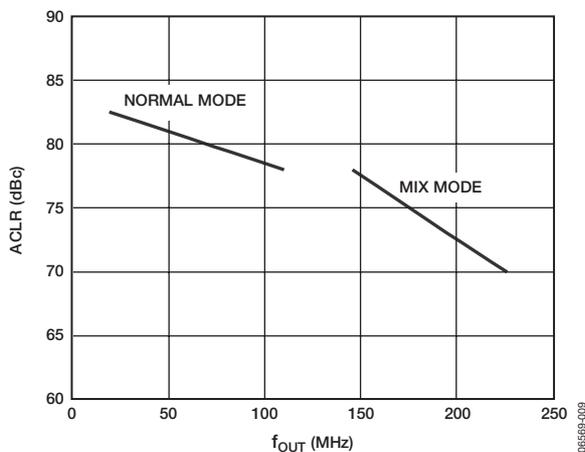


図9. AD9747の f_{OUT} 対 ACLR (シングル・キャリア WCDMA、245.76MSPS)

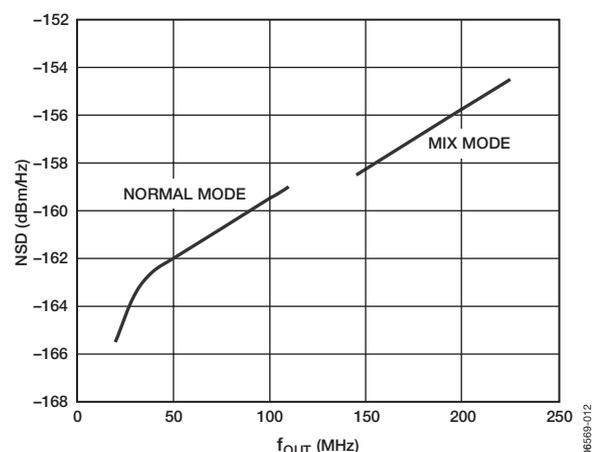


図12. AD9747の f_{OUT} 対 NSD (シングル・キャリア WCDMA、245.76MSPS)

AD9741/AD9743/AD9745/AD9746/AD9747

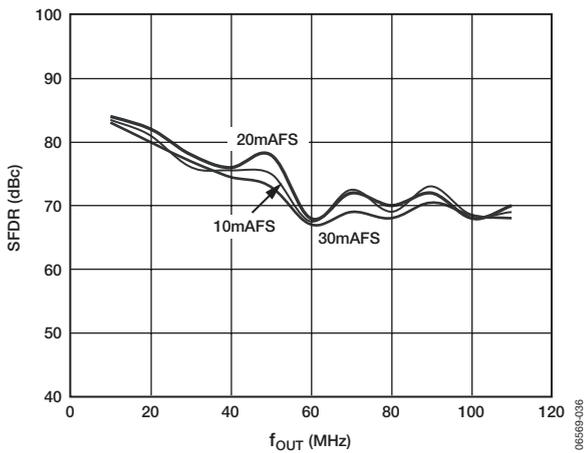


図13. AD9747のアナログ出力 対 SFDR (250MSPS)

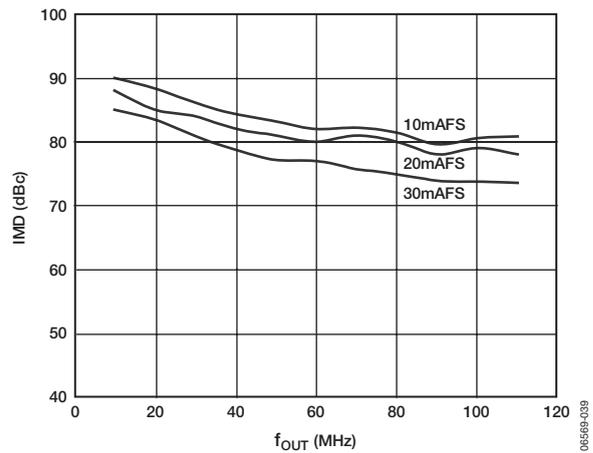


図16. AD9747のアナログ出力 対 IMD (250MSPS)

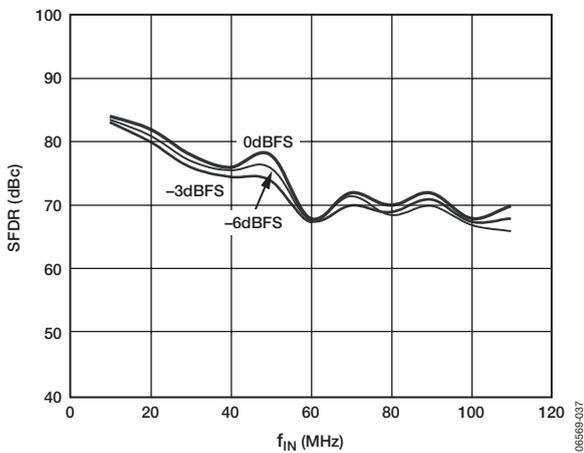


図14. AD9747のデジタル入力 対 SFDR (250MSPS)

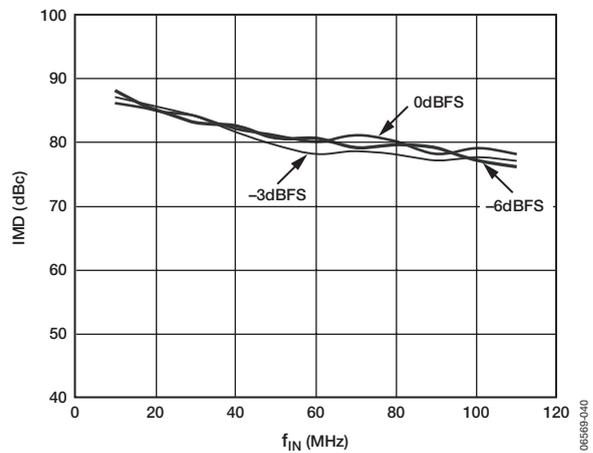


図17. AD9747のデジタル入力 対 IMD (250MSPS)

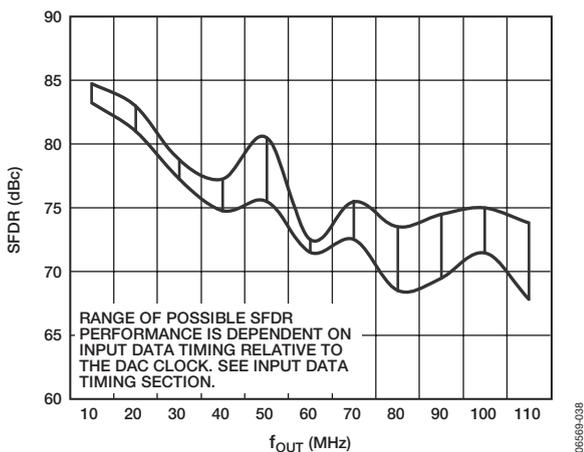


図15. 入力データのタイミングに関連する AD9747の f_{OUT} 対 SFDR

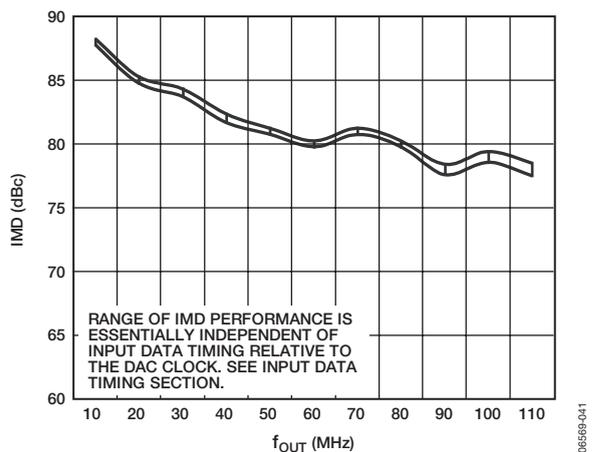


図18. 入力データのタイミングに関連する AD9747の f_{OUT} 対 IMD

AD9741/AD9743/AD9745/AD9746/AD9747

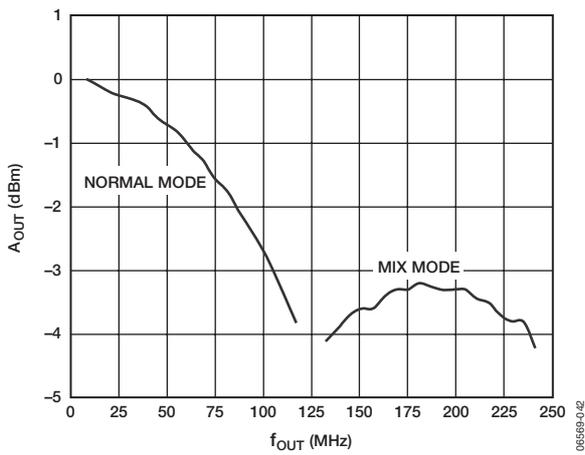


図19. 基本周波数の公称パワー (I_{FS}=20mA)

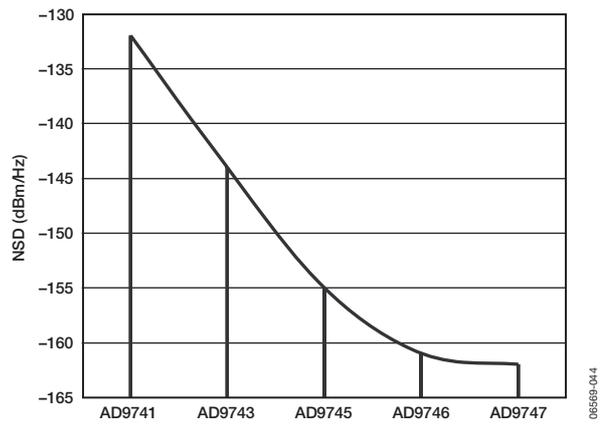


図21. ビット分解能 対 NSD (シングル・キャリアWCDMA、245.76MSPS、f_{CARRIER}=61.44MHz)

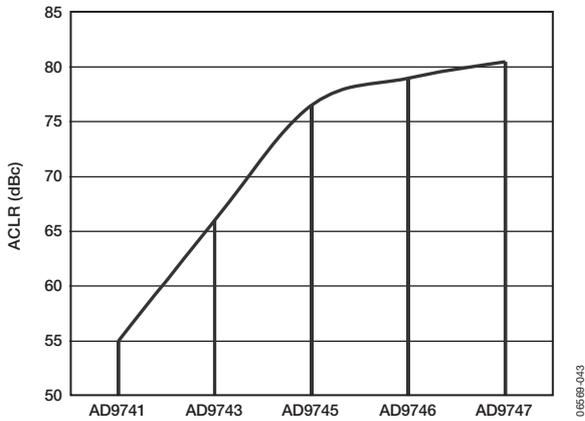


図20. ビット分解能 対 ACLR (シングル・キャリアWCDMA、245.76MSPS、f_{CARRIER}=61.44MHz)

用語の説明

積分非直線性 (INL)

ゼロスケールとフルスケールを結ぶ直線で表される理論的な出力に対する実際のアナログ出力の最大偏差です。

微分非直線性 (DNL)

理論的なLSBを基準としてデジタル入力コードが1だけ値を変えたときに発生するアナログ出力の最大偏差の測定値です。

単調性

デジタル入力の増加に対応してアナログ出力が増加するか、または一定のレベルを維持する場合、そのDACは単調であるといえます。

オフセット誤差

ゼロスケール電流の理論値に対する出力電流の偏差です。差動出力の場合、すべての入力がローレベルのときに I_{OUTP} で0mAが期待され、すべての入力がハイレベルのときに I_{OUTN} で0mAが期待されます。

ゲイン誤差

フルスケール電流の理論値に対する出力電流の偏差です。実際のフルスケール出力電流は、(すべての入力がハイレベルのときの)出力から(すべての入力がローレベルのときの)出力を減算することによって求めます。

出力コンプライアンス範囲

電流出力DACのアナログ出力での許容される電圧範囲です。動作がコンプライアンス範囲を超えると、出力段の飽和やブレイクダウンが生じ、性能が非線形になることがあります。

温度ドリフト

温度ドリフトは、周囲温度(25°C)から T_{MIN} または T_{MAX} に変化する際のパラメータの最大変化と定義されます。通常は、ppm/°C単位で表します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

テスト・トーンのピーク振幅と規定された帯域幅における最大スプリアス信号のピーク振幅との差をdB単位で表した値です。

相互変調歪み (IMD)

2つのテスト・トーンの最大ピーク振幅と、テスト・トーンの整数倍の和または差から発生された歪み積の最大ピーク振幅との差をdB単位で表した値です。

隣接チャンネル漏れ率 (ACLR)

隣接空チャンネルのパワー測定値に対するチャンネル内の広帯域信号のパワー測定値の比です。

ノイズ・スペクトル密度 (NSD)

アナログ出力で発生する1Hz帯域幅内のノイズ・パワーの測定値です。

動作原理

AD9741/AD9743/AD9745/AD9746/AD9747は、有線および無線通信システムに最適な機能を数多く備えています。シングル・サイドバンドのトランスミッタをデザインする場合、デュアルDACアーキテクチャを使うと、一般的な直交変調器と簡単に接続できます。また、これらの各デバイスは高速性と高性能を備えているため、従来の製品よりも広い帯域幅と多くのキャリアを合成できます。

すべての機能とオプションは、SPIポートを介してソフトウェアから設定できます。

シリアル・ペリフェラル・インターフェース

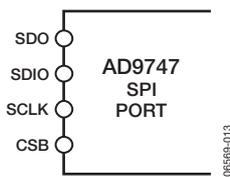


図22. SPIポート

SPIポートは、柔軟性に優れた同期シリアル通信ポートであり、業界標準の数多くのマイクロコントローラやマイクロプロセッサに簡単に接続できます。このポートは、MotorolaのSPIプロトコルやIntel®のSSRプロトコルなど、大部分の同期転送フォーマットと互換です。

このインターフェースを介して、AD9741/AD9743/AD9745/AD9746/AD9747の設定に使用するすべてのレジスタに対し読み出し/書き込みが可能です。シングルバイトまたはマルチバイトの転送のほか、MSBファーストまたはLSBファーストの転送フォーマットをサポートします。シリアル・データの出力は、1本の双方向ピン（SDIO）もしくは2本の単方向ピン（SDIO/SDO）で構成できます。

シリアル・ポートの設定は、レジスタ0x00のビット<7:6>を使用して制御します。シリアル・ポートの設定は、このバイトの最終ビットへの書き込みが終了した直後に変更されますので注意してください。このため、マルチバイト転送の場合には、このレジスタに書き込みを行って通信サイクルの実行中に設定を変更できます。実行中の通信サイクル中の残っているバイトで、新しい設定の補償を行うように注意してください。

デバイスの予期しない動作を防ぐために、シリアル・ポートの設定を変更する場合はシングルバイト転送を使用することを推奨します。

シリアル・インターフェースの一般的な動作

AD9741/AD9743/AD9745/AD9746/AD9747の通信サイクルには、フェーズ1とフェーズ2の2つの段階があります。フェーズ1は、各デバイスに命令バイトを書き込む命令サイクルです。このバイトによって、通信サイクルのフェーズ2となるデータ転送サイクルに関する情報がシリアル・ポート・コントローラに通知されます。

フェーズ1の命令バイトは、これから実行されるデータ転送が読み出しまたは書き込みのどちらであるかを指定するほか、転送データのバイト数、データ転送の先頭バイトの参照レジスタ・アドレスを指定します。CSBピンがロジック・ハイレベルになってからロジック・ローレベルに変化すると、SPIポートが初期状態にリセットされ、命令サイクルが開始されます。この時点から次の8個のSCLK立ち上がりエッジで、現在の通信サイクルで使用される命令バイトの8個のビットが定義されます。

SCLKの残りのエッジは、通信サイクルのフェーズ2で使用されます。フェーズ2では、シリアル・ポート・コントローラとシステム・コントローラ間のデータ転送が行われます。フェーズ2では、命令バイトの指定によって1、2、3、4のデータバイトを転送できます。一般にはマルチバイト転送が好まれますが、シングルバイトのデータ転送のほうがCPUのオーバーヘッドを軽減する場合、またはレジスタへのアクセスを1回のみにする場合に役立ちます。

すべてのシリアル・ポート・データは、SCLKピンと同期してデバイス間で転送されます。入力データは常にSCLKの立ち上がりエッジでラッチされますが、出力データはSCLKの立下がりエッジの後で有効になります。各転送バイトの最後のビットに書き込みが行われると、ただちにレジスタの内容が変更されます。

同期が失われた場合は、CSBピンがロジック・ハイレベルになるとデバイスはI/O動作を非同期的に終了します。I/O動作が中止されると、書き込みが行われていないレジスタのデータ値はすべて消失します。この後、CSBをローレベルにすると、シリアル・ポート・コントローラがリセットされて、通信サイクルが再開されます。

命令バイト

命令バイトには、次のビット・マップに示す情報が含まれています。

MSB							LSB
B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

ビット7のR/Wは、書き込み命令バイトの後で読み出しまたは書き込みのどちらのデータ転送を実行するかを指定します。ロジック・ハイレベルは読み出し、ロジック0は書き込み動作を指示します。

ビット<6:5>のN1とN0は、データ転送サイクルで転送されるバイト数を指定します。このビット・デコードを表13に示します。

表13. バイト転送数

N1	N0	Description
0	0	Transfer one byte
0	1	Transfer two bytes
1	0	Transfer three bytes
1	1	Transfer four bytes

ビット<4:0>のA4、A3、A2、A1、A0は、通信サイクルのデータ転送時にアクセスされるレジスタを指定します。マルチバイト転送の場合は、現在のデータ転送モードに応じて開始アドレスか終了アドレスになります。MSBファーストのフォーマットでは、指定されたアドレスが現在のサイクルの終了アドレスまたは最上位アドレスになります。マルチバイト転送のその他のレジスタ・アドレスは、指定されたアドレスからのデクリメントによってシリアル・ポート・コントローラが内部で発生します。LSBファーストのフォーマットでは、指定されたアドレスが現在のサイクルの開始アドレスまたは最下位アドレスになります。マルチバイト転送のその他のレジスタ・アドレスは、指定されたアドレスからのインクリメントによってシリアル・ポート・コントローラが内部で発生します。

MSB/LSBの転送

シリアル・ポートは、MSBファーストとLSBファーストの両方のデータ・フォーマットをサポートします。この機能は、レジスタ0x00のビット6で制御します。デフォルト設定はロジック0で、MSBファーストのフォーマットです。

MSBファーストのフォーマット (LSBFIRST=0) では、命令バイトとデータバイトをMSBからLSBの順に書き込む必要があります。MSBファースト・フォーマットのマルチバイト・データ転送は、最上位データ・バイトのレジスタ・アドレスがある命令バイトから開始されます。その後続くデータ・バイトは、上位アドレスから下位アドレスの順番にロードされます。MSBファースト・モードでは、マルチバイト・データ転送の各バイトでシリアル・ポートの内部アドレス発生器がデクリメントします。

LSBファースト・フォーマット (LSBFIRST=1) では、命令バイトとデータバイトをLSBからMSBの順に書き込む必要があります。LSBファースト・フォーマットのマルチバイト・データ転送は、最下位データ・バイトのレジスタ・アドレスがある命令バイトから開始されます。その後続くデータ・バイトは、下位アドレスから上位アドレスの順番にロードされます。LSBファースト・モードでは、マルチバイト・データ転送の各バイトでシリアル・ポートの内部アドレス発生器がインクリメントします。

デバイスの予期しない動作を防ぐために、シリアル・ポートのデータ・フォーマットを変更する場合はシングルバイト転送を使用することを推奨します。

シリアル・インターフェース・ポート・ピンの説明

チップ・セレクト・バー (CSB)

アクティブ・ロー入力で、通信サイクルの開始とゲーティングを行います。このピンにより、同じシリアル通信ライン上で複数のデバイスを使用できます。通信サイクルの間は、CSBをローレベルに保持する必要があります。CSBピンがハイレベルになると不完全なデータ転送がアボートされます。この入力が高レベルのとき、SDOとSDIOはハイ・インピーダンス状態になります。

シリアル・クロック (SCLK)

シリアル・クロック・ピンを使用して、デバイスの入出力を同期化し、内部ステート・マシーンを実行します。SCLKの最大周波数は40MHzです。データ入力はすべて、SCLKの立上がりエッジでレジスタに格納されます。SCLKの立下がりエッジですべてのデータが出力されます。

シリアル・データI/O (SDIO)

データは必ずこのピンからデバイスに書き込まれます。ただし、SDIOは双方向のデータ出力ラインにもなります。このピンの設定は、レジスタ0x00のビット7で制御します。デフォルトはロジック0で、単方向のデータ・ラインに設定されています。

シリアル・データ出力 (SDO)

プロトコルでデータの送受信に異なるラインを使用する場合には、このピンからデータが読み出されます。このピンの設定は、レジスタ0x00のビット7で制御します。このビットがロジック1に設定されていると、データが出力されず、SDOピンはハイ・インピーダンス状態になります。

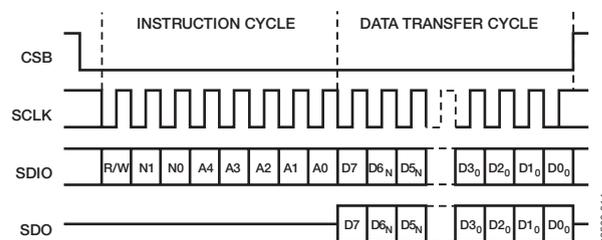


図23. シリアル・レジスタ・インターフェース—MSBファースト

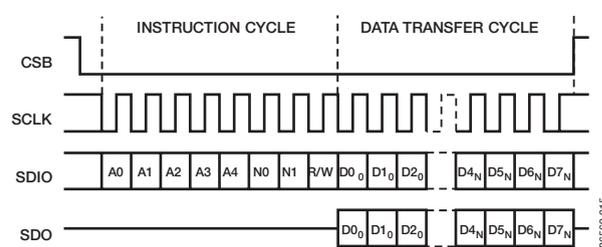


図24. シリアル・レジスタ・インターフェースのタイミング—LSBファースト

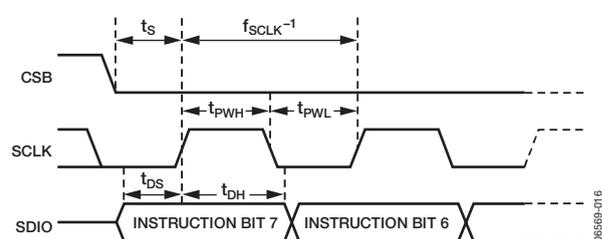


図25. SPIレジスタ書き込みのタイミング図

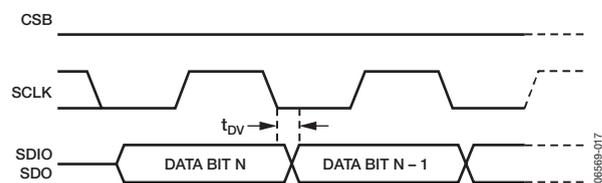


図26. SPIレジスタ読出しのタイミング図

AD9741/AD9743/AD9745/AD9746/AD9747

SPIレジスタ・マップ

特に指定のない限り、レジスタを読み出すと、定義済みレジスタ・ビットに書き込んである値が返されます。デバイスの予期しない動作を防止するために、シリアル・ポートの設定の変更やソフトウェアのリセットはシングルバイト命令で実行してください。

表14. レジスタ0x00

Register Name	Address	Default	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPI Control	0x00	0x00	SDIODIR	LSBFIRST	SWRESET					
Data Control	0x02	0x00	DATTYPE	ONEPORT		INVDCO				
Power Down	0x03	0x00	PD_DCO		PD_AUX2	PD_AUX1	PD_BIAS	PC_CLK	PD_DAC2	PD_DAC1
DAC Mode Select	0x0A	0x00					DAC1MOD<1:0>		DAC2MOD<1:0>	
DAC1 Gain LSB	0x0B	0xF9	DAC1FSC<7:0>							
DAC1 Gain MSB	0x0C	0x01							DAC1FSC<9:8>	
AUX DAC1 LSB	0x0D	0x00	AUXDAC1<7:0>							
AUX DAC1 MSB	0x0E	0x00	AUX1PIN	AUX1DIR					AUXDAC1<9:8>	
DAC2 Gain LSB	0x0F	0xF9	DAC2FSC<7:0>							
DAC2 Gain MSB	0x10	0x01							DAC2FSC<9:8>	
AUX DAC2 LSB	0x11	0x00	AUXDAC2<7:0>							
AUX DAC2 MSB	0x12	0x00	AUX2PIN	AUX2DIR					AUXDAC2<9:8>	

SPIレジスタの説明

表15

Register	Address	Bit	Name	Description
SPI Control	0x000	7	SDIODIR	0, operate SPI in 4-wire mode, SDIO pin operates as an input only 1, operate SPI in 3-wire mode, SDIO pin operates as a bidirectional
		6	LSBFIRST	0, LSBFIRST off, SPI serial data mode is MSB to LSB 1, LSBFIRST on, SPI serial data mode is LSB to MSB
		5	SWRESET	0, resume normal operation following software RESET 1, software RESET; loads default values to all registers (except Register x00)
Data Control	0x02	7	DATTYPE	0, DAC input data is twos complement binary format 1, DAC input data is unsigned binary format
		6	ONEPORT	0, normal two port input mode 1, optional single port input mode, interleaved data received on Port 1 only
		4	INVDCO	1, inverts data clock output signal
Power Down	0x03	7	PD_DCO	1, power down data clock output
		5	PD_AUX2	1, power down AUX2 DAC
		4	PD_AUX1	1, power down AUX1 DAC
		3	PD_BIAS	1, power down reference voltage bias circuit
		2	PD_CLK	1, power down DAC clock input circuit
		1	PD_DAC2	1, power down DAC2 analog output
		0	PD_DAC1	1, power down DAC1 analog output
DAC Mode Select	0x0A	3:2	DAC1MOD<1:0>	00, selects normal mode, DAC1 01, selects mix mode, DAC1 10, selects return-to-zero mode, DAC1
		1:0	DAC2MOD<1:0>	00, selects normal mode, DAC2 01, selects mix mode, DAC2 10, selects return-to-zero mode, DAC2
DAC1 Gain	0x0B	7:0	DAC1FSC<7:0>	DAC1 full-scale 10-bit adjustment word
	0x0C	1:0	DAC1FSC<9:8>	0x03FF, sets full-scale current to the maximum value of 31.66 mA 0x01F9, sets full-scale current to the nominal value of 20.0 mA 0x0000, sets full-scale current to the minimum value of 8.64 mA
AUX DAC1	0x0D 0x0E	7:0	AUXDAC1<7:0>	Auxiliary DAC1 10-bit output current adjustment word
		1:0	AUXDAC1<9:8>	0x03FF, sets output current magnitude to 2.0 mA 0x0200, sets output current magnitude to 1.0 mA 0x0000, sets output current magnitude to 0.0 mA
		7	AUX1PIN	0, AUX1P output pin is active 1, AUX1N output pin is active
		6	AUX1DIR	0, configures AUX1 DAC output to source current 1, configures AUX1 DAC output to sink current
DAC2 Gain	0x0F	7:0	DAC2FSC<7:0>	DAC2 full-scale 10-bit adjustment word
	0x10	1:0	DAC2FSC<9:8>	0x03FF, sets full-scale current to the maximum value of 31.66 mA 0x01F9, sets full-scale current to the nominal value of 20.0 mA 0x0000, sets full-scale current to the minimum value of 8.64 mA
AUX DAC2	0x11 0x12	7:0	AUXDAC2<7:0>	Auxiliary DAC2 10-bit output current adjustment word
		1:0	AUXDAC2<9:8>	0x03FF, sets output current magnitude to 2.0 mA 0x0200, sets output current to 1.0 mA 0x0000, sets output current to 0.0 mA
		7	AUX2PIN	0, AUX2P output pin is active 1, AUX2N output pin is active
		6	AUX2DIR	0, configures AUX2 DAC output to source current 1, configures AUX2 DAC output to sink current

デジタル入出力

AD9741/AD9743/AD9745/AD9746/AD9747は、デュアルポート・モードまたはシングルポート・モードの2つのデータ入力モードで動作します。デフォルトのデュアルポート・モード (ONEPORT=0) の場合、各DACはそれぞれ専用の入力ポートからデータを受信します。シングルポート・モード (ONEPORT=1) では、ポート1から両方のDACがデータを受信します。シングルポート・モードでは、DAC1とDAC2のデータがインターリーブされ、IQSEL入力によってデータが該当するDACへ切り替えられます。

シングルポート・モードでは、IQSEL入力がハイレベルのときにポート1のデータがDAC1に送られ、IQSEL入力がローレベルのときにはDAC2に送られます。IQSEL入力は、他のデータ・バス信号に必ず対応し、発生タイミングが一致する必要があります。シングルポート・モードでは、最小のセットアップ時間とホールド時間がIQSEL入力のほか、入力データ信号にも適用されます。デュアルポート・モードでは、IQSEL入力は無視されます。

デュアルポート・モードでは、データをサンプリング・レート (最大250MSPS) で転送する必要があります。シングルポート・モードでは、サンプリング・レートの2倍の速度でデータを転送する必要があります。データ入力は最大250MSPSまでであるため、シングルポート・モードではDACクロックを最大125MHzとするのが適切です。

デュアルポート・モードでもシングルポート・モードでも、データ・クロック出力 (DCO) 信号はFPGAからデータを転送するときの固定タイム・ベースとしてのみ使用できます。この出力信号は常にサンプリング・レートで動作します。INVDSCOビットをアサートして、この信号を反転することができます。

入力データのタイミング

大部分のDACでは、S/N比 (SNR) はクロック・エッジの位置と入力データが変化するポイントの間関係に応じて変化します。AD9741/AD9743/AD9745/AD9746/AD9747は、立上がりエッジでトリガされるため、データ変化がこのエッジに近づくときS/N比への影響が大きくなります。

セットアップ時間とホールド時間の最小規定値に基づき、各データ周期内の正しいサンプリングが行われる時間ウィンドウが決まります。一般に、DACクロックを基準にして、最小セットアップ時間と最小ホールド時間を十分に上回るタイミングでデータが入力されるようにする必要があります。サンプリング・レートが高速になるほど、このような配慮が重要になります。

デュアルポート・モードのタイミング

デュアルポート・モードのタイミングを図27に示します。

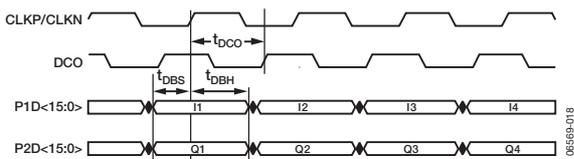


図27. デュアルポート・モードのデータ・インターフェース・タイミング

図27では、DAC1のデータ・サンプルをI_x、DAC2のデータ・サンプルをQ_xとしています。差動のDACクロック入力は、論理値 (CLKP/CLKN) で表しています。データ・クロック出力はDCOとしています。

セットアップ時間とホールド時間は、DACクロックの立上がり変化を基準にします。セットアップ時間とホールド時間の最小値を満たすようにデータを入力ピンに転送する必要があります。データ・クロック出力はDACクロックからの遅延時間が固定されているため、タイミングを確認するには便利な信号になります。

シングルポート・モードのタイミング

シングルポート・モードのタイミングを図28に示します。

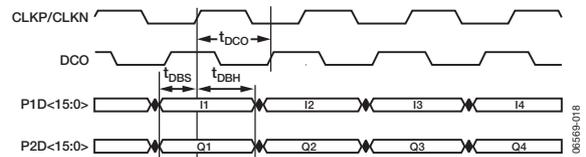


図28. シングルポート・モードのデータ・インターフェース・タイミング

シングルポート・モードでは、2つのDACのデータをポート1の入力バスから受信します。I_xとQ_xのデータ・サンプルがインターリーブされ、デュアルポート・モードの2倍の速度で入力されます。データに付随するIQSEL入力信号が、入力データを該当するDACへ切り替えます。IQSELがハイレベルのとき、データはDAC1に、IQSELがローレベルのときはDAC2に渡します。IQSELは、入力データとタイミングが一致している必要があります。

SPIポート、リセット、ピン・モード

一般に、AD9741/AD9743/AD9745/AD9746/AD9747がパワーアップすると、RESETピンにアクティブ・ハイのパルスが加えられます。これにより、コントロール・レジスタのすべてのビットがデフォルト状態になります。また、RESETピンをローレベルにすると、SPIポートをアクティブにできるため、CSBをハイレベルに保持する必要があります。

コントローラを使用しないアプリケーションのために、AD9741/AD9743/AD9745/AD9746/AD9747は、SPIポートを使用しないとき、ピンを使用して一部のオプション機能を選択できるピン・モード動作も持っています。RESETピンをハイレベルにすると、ピン・モードがイネーブルされます。ピン・モードでは、4本のSPIポート・ピンは表16に示す2つ目の機能を持ちます。

表16. SPIピンの機能 (ピン・モード)

Pin Name	Pin Mode Description
SCLK	ONEPORT (Register 0x02, Bit 6), bit value (1/0) equals pin state (high/low)
SDIO	DATTYPE (Register 0x02, Bit 7), bit value (1/0) equals pin state (high/low)
CSB	Enable Mix Mode, if CSB is high, Register 0x0A is set to 0x05 putting both DAC1 and DAC2 into mix mode
SDO	Enable full power-down, if SDO is high, Register 0x03 is set to 0xFF

ピン・モードでは、SPIピンによって制御されるレジスタ・ビットを除くすべてのレジスタ・ビットがそれぞれのデフォルト値にリセットされます。

RESETピンのフローティングを可能にして、ローレベルにプルダウンする必要があります。10kΩの外部抵抗をDVSSに接続してください。このようにすることで、ノイズの多い環境での予想外の誤動作を防止できます。

DACクロック入力の駆動

DACクロック入力には、ジッタの低い駆動信号が必要です。このピンは、CVDD18電源で動作するPMOS入力差動ペアです。各入力ピンでは、約400mVの同相電圧を基準に最大800mV_{p-p}まで安全な振幅が可能です。これらのレベルはLVDSと直接互換性はありませんが、図29に示すようにAC結合のDCオフセットLVDS信号によってCLKPとCLKNを駆動できます。

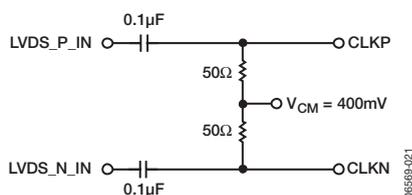


図29. LVDSのDACクロック駆動回路

サンプリング・レートが低い場合は、CMOSまたはTTLクロックの使用も可能です。クロックをLVDS変換器を介して接続したあと、すでに説明したようにAC結合が可能です。また、図30に示すように、クロックに対しトランス結合およびクランプも行うことができます。

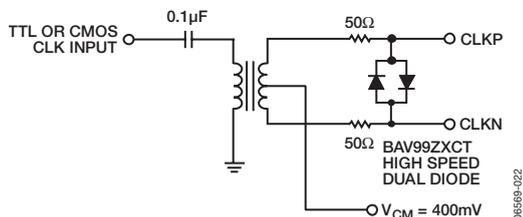


図30. TTLまたはCMOSのDACクロック駆動回路

正弦波を使用できる場合は、図31に示すようにDACクロック入力に直接トランス結合できます。

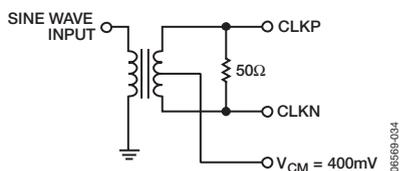


図31. 正弦波によるDACクロック駆動回路

図32に示すような単純なデバイダ回路を使用して、400mVの同相バイアス電圧をCVDD18電源から発生できます。

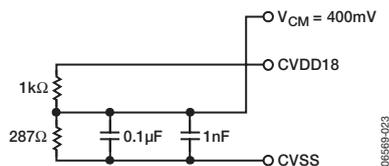


図32. DACクロックのV_{CM}発生回路

別の電源からクロックに混入するノイズは、DACの入力信号によって乗算され、DACの性能を劣化させるため、クロック・バイアス回路にCVDD18とCVSSを使用することが大切です。

フルスケール電流の発生

DAC1とDAC2のフルスケール電流は、FSADJピン（54番ピン）に接続される外部抵抗を流れる電流に応じて変化します。この抵抗に必要な値は10kΩです。内部アンプが抵抗を流れる電流を、電圧が1.2Vのバンドギャップ電圧に等しくなるように設定します。この動作により、抵抗を流れる120µAのリファレンス電流が発生します。

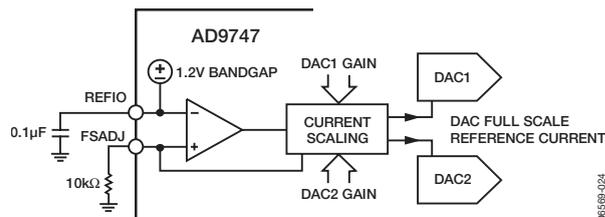


図33. リファレンス回路

0.1µFのコンデンサを使用して、REFIO（55番ピン）をグラウンドへバイパスする必要があります。このピンにはバンドギャップ電圧が存在するため、バッファして外部回路で使用することができます。出力インピーダンスの代表値は約5kΩです。必要に応じて、外部リファレンスをREFIOに接続し、内部リファレンスをオーバードライブしてください。

内部電流ミラーを使って、DACのフルスケール電流を調整できます。DAC1FSC<9:0>とDAC2FSC<9:0>の各レジスタ・ビットに書き込みを行って、DAC1とDAC2のゲインを個別に調整することができます。DACゲイン・レジスタの0x01F9のデフォルト値を使用すると、20mAのI_{FS}が得られます。ここで、I_{FS}は次の式で表すことができます。

$$I_{FS} = \frac{1.2 \text{ V}}{10,000} \times \left(72 + \left(\frac{3}{16} \times \text{DACn FSC} \right) \right)$$

0x000から0x3FFまでのレジスタ値に対応するフルスケール出力電流範囲は8.6~31.7mAです。

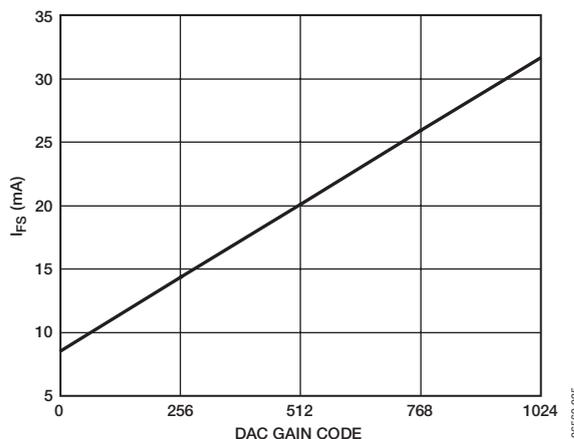


図34. DACゲイン・コード 対 I_{FS}

AD9741/AD9743/AD9745/AD9746/AD9747

DACの伝達関数

AD9741/AD9743/AD9745/AD9746/AD9747の各DAC出力は、 I_{OUTP} と I_{OUTN} の相補電流出力を駆動します。全ビットがハイレベルのときに、フルスケール電流出力 (I_{FS}) に近い電流が I_{OUTP} から供給されます。たとえば、次のようになります。

$$DAC\ CODE = 2^N - 1$$

ここで、

$N=8/10/12/14/16$ ビット (それぞれAD9741/AD9743/AD9745/AD9746/AD9747の分解能) で、 I_{OUTN} からの電流出力はありません。

I_{OUTP} と I_{OUTN} の電流出力は入力コードと I_{FS} の関数であり、次の式で表すことができます。

$$I_{OUTP} = (DAC\ DATA / 2^N) \times I_{FS} \quad (1)$$

$$I_{OUTN} = ((2^N - 1) - DAC\ DATA) / 2^N \times I_{FS} \quad (2)$$

ここで、 $DAC\ DATA = 0 \sim 2^N - 1$ (10進値) です。

この2つの電流出力は通常、抵抗負荷を直接またはトランスを介して駆動します。DC結合が必要な場合は、 I_{OUTP} と I_{OUTN} を一致する抵抗負荷 (R_{LOAD}) に接続して、各抵抗負荷はアナログ・コモン (AVSS) に接続してください。 I_{OUTP} ピンと I_{OUTN} ピンのシングルエンド電圧出力は、次の式から求めることができます。

$$V_{OUTP} = I_{OUTP} \times R_{LOAD} \quad (3)$$

$$V_{OUTN} = I_{OUTN} \times R_{LOAD} \quad (4)$$

20mAの公称出力電流で1Vの最大出力コンプライアンスを達成するには、 R_{LOAD} を50Ωに設定する必要があります。また、 V_{OUTP} と V_{OUTN} のフルスケール値が出力コンプライアンスの規定範囲を超えないようにし、規定の歪みおよび直線性の性能を維持してください。

AD9741/AD9743/AD9745/AD9746/AD9747を差動で動作させることによって、2つの利点が得られます。第1に、差動動作はノイズや歪み、DCオフセットなどの I_{OUTP} と I_{OUTN} に関連した同相誤差発生源をキャンセルするために役に立ちます。第2には、コードに依存する差動電流と、後段の出力電圧 (V_{DIFF}) が、シングルエンド電圧出力 (V_{OUTP} または V_{OUTN}) の2倍になるため、負荷に対して2倍の信号パワーを出力できます。

$$V_{DIFF} = (I_{OUTP} - I_{OUTN}) \times R_{LOAD} \quad (5)$$

アナログ動作モード

AD9741/AD9743/AD9745/AD9746/AD9747は、DAC出力の歪みを削減する独自のクワッドスイッチ・アーキテクチャを採用しており、従来型のデュアルスイッチ・アーキテクチャで発生するコード依存のグリッチがありません。ただし、コード依存のグリッチはなくなるものの、このアーキテクチャでは $2 \times f_{DAC}$ のレートで一定のグリッチが発生します。周波数領域で十分な性能が求められる通信システムやその他のアプリケーションでは、これはほとんど問題になりません。

クワッドスイッチ・アーキテクチャは、ミックス・モードとゼロ・リターン (RZ) モードの2つの追加動作モードもサポートします。この2つのモードの波形を図35に示します。ミックス・モード時は、1/2クロック・サイクルおきに出力が反転します。これによって、サンプリング・レートでDAC出力がチョッピングされます。このチョッピングは、sincロールオフをDCから f_{DAC} に周波数シフトさせることができます。さらに、出力スペクトルに対するもう1つの小さい効果もあります。シフトされたスペクトルは、 $2 \times f_{DAC}$ のときに最初のゼロになる2番目のsinc関数によって成形されます。これは、データがクロック・レートの2倍で連続的に変化するのではなく、単に繰り返されるためです。

RZモードのときは、1/2クロック・サイクルおきに出力がミッドスケールに設定されます。出力はノーマル・モード時のDAC出力と同じですが、出力パルスの幅と領域が1/2になる点だけが異なります。出力パルス幅が1/2であるため、sinc関数は2だけ周波数スケールされ、 $2 \times f_{DAC}$ のときに最初のゼロになります。パルス領域がノーマル・モード時のパルス領域の1/2になるため、出力パワーはノーマル・モード時の出力パワーの1/2になります。

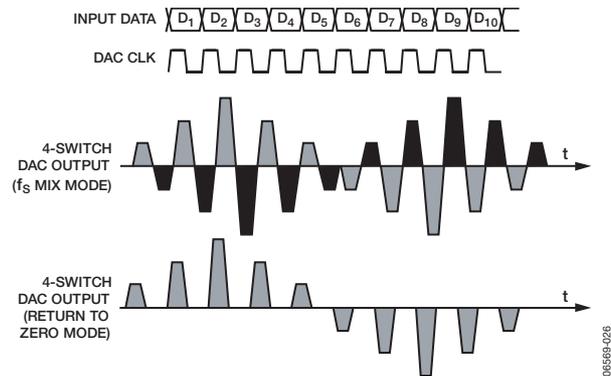


図35. ミックス・モードとRZモード時のDAC波形

ノーマル・モード、ミックス・モード、RZモードのときに出力スペクトルを成形する関数を図36に示します。モードを切り替えると、DAC出力で固有のsincロールオフが再成形されます。このモード変更機能を持つため、AD9741/AD9743/AD9745/AD9746/AD9747はダイレクトIFアプリケーションに適しています。選択した動作モードに応じて、最初の3つのナイキスト・ゾーンのどこにでもキャリアを配置することができます。図36に示すように、3つのゾーンすべてにおける性能と最大振幅は、キャリアをどこに配置するかによってsincロールオフの影響を受けます。

AD9741/AD9743/AD9745/AD9746/AD9747

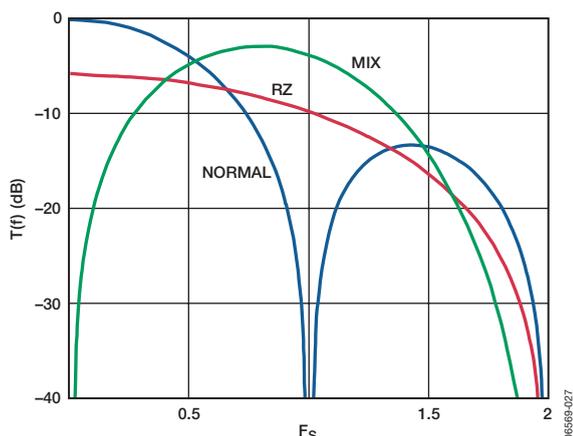


図36. 各アナログ動作モードでの伝達関数

補助DAC

AD9741/AD9743/AD9745/AD9746/AD9747には、2個の補助DACが備わっています。図37に機能図を示します。補助DACは、AUXPとAUXNの2本の出力ピンを備えた電流出力デバイスです。アクティブ・ピンは、電流ソースまたは電流シンクに設定できます。電流シンクまたはソースのいずれの場合も、フルスケール電流レベルは2mAです。補助DAC出力の有効コンプライアンス範囲は、出力をシンク電流またはソース電流のどちらかに設定するかに応じて異なります。電流ソース時のコンプライアンス電圧は0~1.6Vですが、電流シンク時の出力コンプライアンス電圧は0.8~1.6Vになります。どちらの出力も使用できますが、アクティブにできるのは補助DACの出力の1つ(PまたはN)のみです。非アクティブのピンは、常にハイ・インピーダンス状態になります(>100kΩ)。

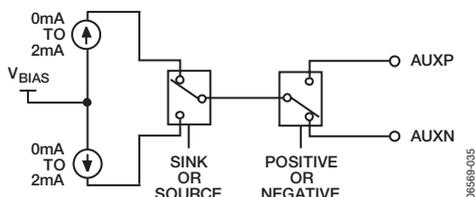


図37. 補助DACの機能図

シングル・サイドバンド・トランスミッタのアプリケーションでは、直交変調器の入力基準DCオフセット電圧とDACの出力オフセット電圧の組み合わせにより、変調器の出力でローカル発振器(LO)の混入が発生し、システム性能が低下することがあります。補助DACを使用することで、このDCオフセットとそれに伴って発生するLO混入をなくすことができます。DCオフセット補正を行うために補助DACを使用する回路構成は、DACと変調器のインターフェースの詳細に応じて異なります。ローパス・フィルタ処理を使用するDC結合構成の例を「消費電力」で概説します。

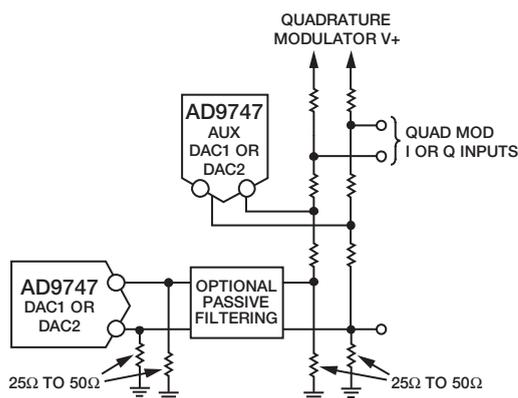


図38. 受動DCシフトによるDACと直交変調器のDC結合

消費電力

AD9741/AD9743/AD9745/AD9746/AD9747の消費電力と消費電流を図39に示します。この図で、各デバイスの無負荷時の消費電力は約190mWです。その大部分はADVVD33電源で消費されています。クロック・レートが最大値250MHzに増加すると、合計消費電力は約50%増加します。

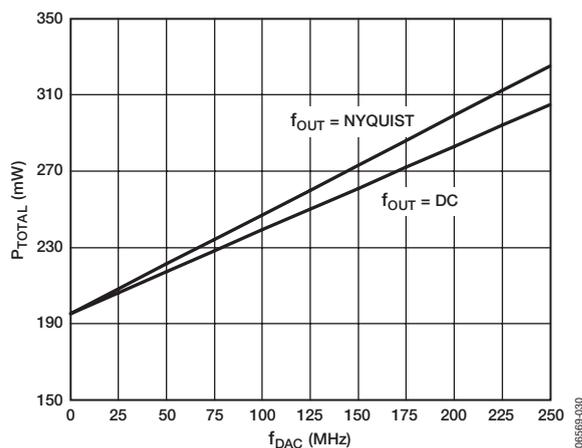


図39. f_{DAC} 対 AD9747の消費電力

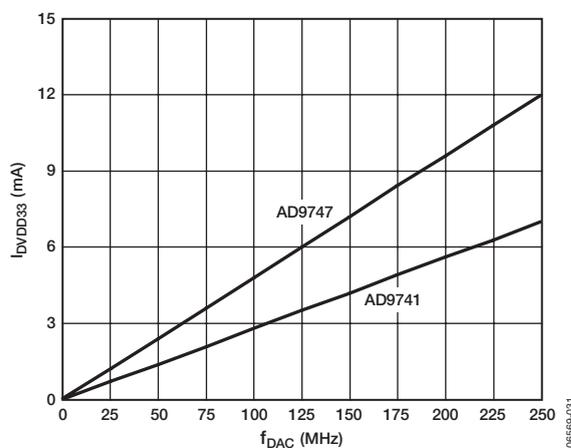


図40. f_{DAC} 対 DVDD33電流

AD9741/AD9743/AD9745/AD9746/AD9747

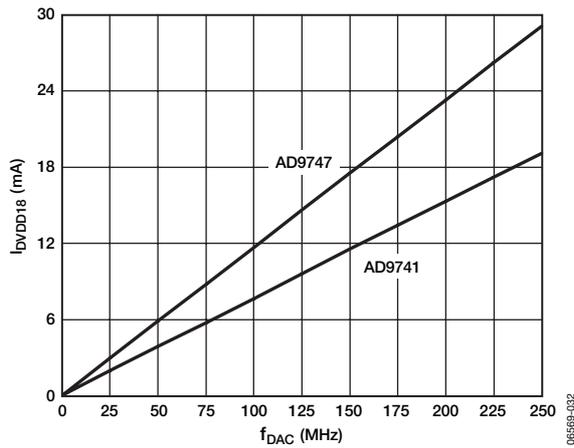


図41. f_{DAC} 対 DVDD18電流

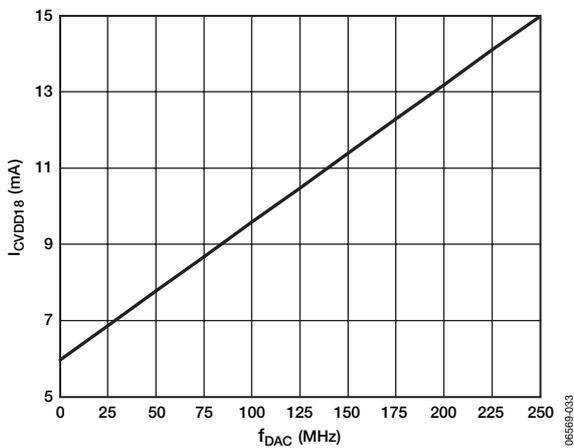


図42. f_{DAC} 対 CVDD18電流

図43に各電源領域別の消費電力と合計消費電力を示します。各グループの棒グラフでは、完全なアクティブ・モード時の消費電力（青色）と5つのレベルのパワーダウン状態における消費電力を比較しています。

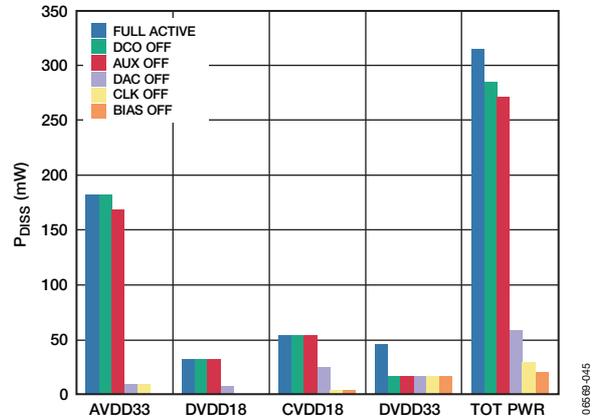
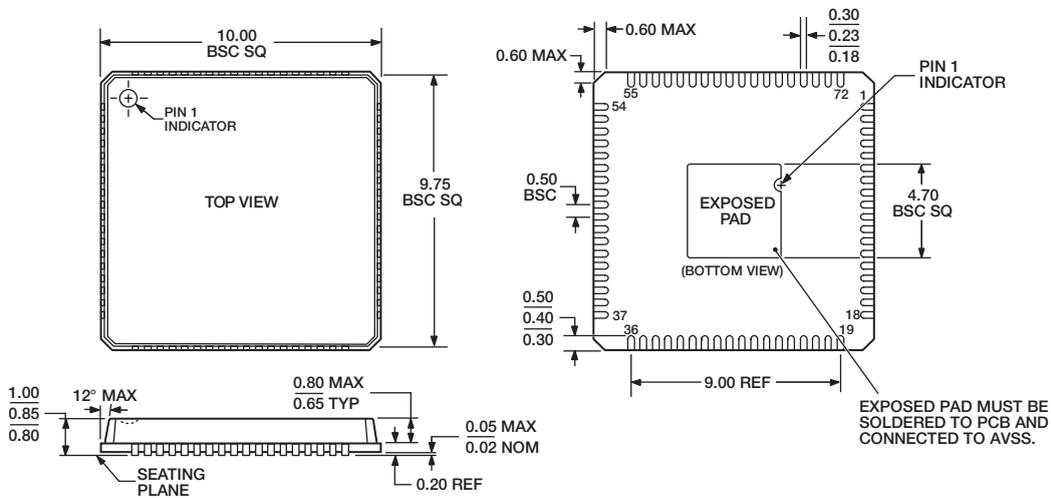


図43. パワーダウン・モードと消費電力

電力の大部分はAVDD33で消費されるため、DAC出力をディスエーブルするだけで、消費電力を大幅に節約できます。また、DAC出力をディスエーブルすることで、電力を節約しながら、高速のウェイクアップ時間を維持することができます。フルパワーダウンに設定すると、すべての回路がディスエーブルされ、消費電力が最小になります。ただし、フルパワーダウン状態でも、入力データ動作によって、わずかながら消費電力（25mW）が発生します。消費電力をほぼゼロになるまで削減するには、すべての入力データ動作を停止する必要があります。

AD9741/AD9743/AD9745/AD9746/AD9747

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VNND-3

図44. 72ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]

10mm×10mmボディ、極薄クワッド

(CP-72-1)

寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9741BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9741BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9743BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9743BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9745BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9745BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9746BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9746BCPZRL ^v	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9747BCPZ ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9747BCPZRL ¹	-40°C to +85°C	72-Lead LFCSP_VQ	CP-72-1
AD9741-EBZ ¹		Evaluation Board	
AD9743-EBZ ¹		Evaluation Board	
AD9745-EBZ ¹		Evaluation Board	
AD9746-EBZ ¹		Evaluation Board	
AD9747-EBZ ¹		Evaluation Board	

¹ Z=RoHS準拠製品