

AD9734/AD9735/AD9736

特長

ピン互換の製品ファミリー

優れた動的性能

AD9736 : SFDR=82dBc ($f_{OUT}=30\text{MHz}$)

AD9736 : SFDR=69dBc ($f_{OUT}=130\text{MHz}$)

AD9736 : IMD=87dBc ($f_{OUT}=30\text{MHz}$)

AD9736 : IMD=82dBc ($f_{OUT}=130\text{MHz}$)

オンチップの100Ω終端抵抗とのLVDSデータ・インターフェース
内蔵セルフテスト (BIST)

LVDSサンプリングの完全性

LVDS/DAC間のデータ転送の完全性

低消費電力 : 380mW ($I_{FS}=20\text{mA}$, $f_{OUT}=330\text{MHz}$)

1.8V/3.3Vの両電源動作

アナログ出力が調整可能

8.66~31.66mA ($R_L=25\sim50\Omega$)

オンチップの1.2Vリファレンス

160ピンのチップスケール・ボールグリッド・アレイ (CSP_BGA)
パッケージ

アプリケーション

ブロードバンド通信システム

セルラー・インフラ (デジタル・プリディストーション)

ポイントtoポイント・ワイヤレス

CMTS/VOD

計測器、自動テスト装置

レーダー、航空機用機器

概要

AD9736/AD9735/AD9734は、最大1,200MSPSのサンプリング・レートで動作し、ナイキスト周波数までのマルチキャリア周波数を生成できる高性能・高周波数のD/Aコンバータ (DAC) です。製品ファミリーには、14ビットのAD9736、12ビットのAD9735、10ビットのAD9734があります。これらのDACは、シリアル・ペリフェラル・インターフェース (SPI) ポートを内蔵しているため、多くの内部パラメータをプログラミングでき、ステータス・レジスタの読出しも可能です。

高速なサンプリング・レートを実現するために、仕様が簡単なLVDSインターフェースが用いられています。出力電流は8.66~31.66mAの範囲内で任意にプログラミングできます。0.18μm CMOSプロセスで製造されるAD973xファミリーは、1.8Vと3.3Vの両電源で動作し、バイパス・モードの総消費電力は380mWです。パッケージによる寄生容量を低減するために、160ピンのチップスケール・ボールグリッド・アレイ・パッケージで提供しています。

機能ブロック図

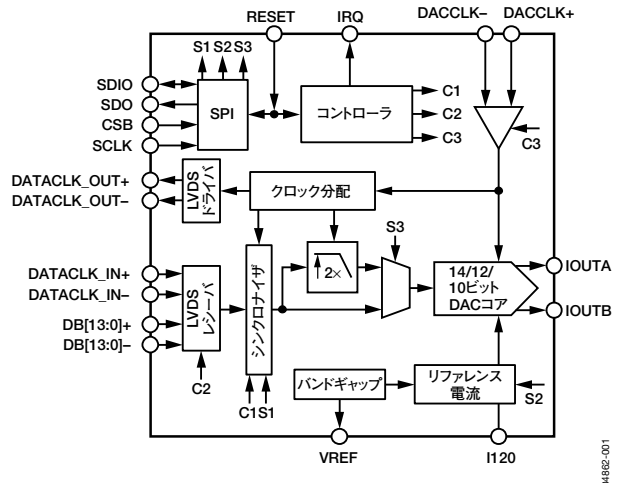


図1

製品のハイライト

1. 低ノイズと低相互変調歪み (IMD) を特長とし、600MHzまでの中間周波数でワイドバンド信号を高品質に合成できます。
2. ダブル・データレート (DDR) のLVDSデータレシーバは、1,200MSPSの最大変換レートに対応します。
3. ピン接続の変更によって、基本的な機能やSPIポートのアクセスを直接設定し、すべてのAD973xファミリー機能を完全に制御できます。
4. CMOSプロセスで製造されるAD973xファミリーは、動的性能を向上させる独自のスイッチング技術を採用しています。
5. AD9736ファミリーは、シングルエンドまたは差動回路トポロジ用の電流出力を容易に構成できます。

REV. A

アナログ・デバイセズ株式会社

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

AD9734/AD9735/AD9736

目次

特長	1	アナログ制御 (ANA_CNT) レジスタ	
アプリケーション	1	(REG 14、REG15)	33
概要	1	内蔵セルフテスト制御 (BIST_CNT) レジスタ	
機能ブロック図	1	(REG 17、REG18、REG19、REG20、REG21)	33
製品のハイライト	1	コントローラ・クロック・プリディバイダ (CCLK_DIV)	
改訂履歴	3	読出しレジスタ (REG 22)	34
仕様	4	動作原理	35
DC仕様	4	SPI (シリアル・ペリフェラル・インターフェース)	36
デジタル仕様	6	シリアル・インターフェースの一般的な動作	36
AC仕様	8	ショート命令モード (8ビット命令)	36
絶対最大定格	9	ロング命令モード (16ビット命令)	36
熱抵抗	9	シリアル・インターフェース・ポート・ピンの説明	36
ESDに関する注意	9	SCLK (シリアル・クロック)	36
ピン配置と機能の説明	10	CSB (チップ・セレクト)	37
電源および制御ピンの位置	16	SDIO (シリアル・データ入出力)	37
用語の定義	17	SDO (シリアル・データ出力)	37
代表的な性能特性	18	MSB/LSBの転送	37
AD9736のステイック直線性 (10mA フルスケール)	18	シリアル・ポートの動作に関する注記事項	37
AD9736のステイック直線性 (20mA フルスケール)	19	ピン・モード動作	38
AD9736のステイック直線性 (30mA フルスケール)	20	リセット動作	38
AD9735のステイック直線性		プログラミングのシーケンス	38
(10mA、20mA、30mA フルスケール)	21	インターポレーション・フィルタ	39
AD9734のステイック直線性		データ・インターフェース・コントローラ	39
(10mA、20mA、30mA フルスケール)	22	LVDSサンプル・ロジック	40
AD9736の消費電力 (20mA フルスケール)	23	LVDSサンプル・ロジックのキャリブレーション	40
AD9736の動的性能 (20mA フルスケール)	24	SPIポートを利用したLVDSコントローラの	
AD9735とAD9734の動的性能 (20mA フルスケール)	27	手動モード動作	41
AD973xのWCDMA ACLR (20mA フルスケール)	28	LVDSコントローラのサーベイランス・モード	
SPIレジスタ・マップ	29	および自動モード動作	41
SPIレジスタの説明	30	SYNCロジックおよびコントローラ	42
MODEレジスタ (REG 0)	30	SYNCロジックおよびコントローラの動作	42
割込み要求レジスタ (IRQ) (REG 1)	30	手動モードでの動作	42
フルスケール電流 (FSC) レジスタ (REG2、REG3)	31	サーベイランス・モードと自動モードでの動作	42
LVDSコントローラ (LVDS_CNT) レジスタ		FIFOのバイパス	42
(REG4、REG5、REG6)	31	デジタル内蔵セルフテスト (BIST)	44
SYNCコントローラ (SYNC_CNT) レジスタ		概要	44
(REG7、REG8)	32	AD973xのBIST手順	45
CROSSコントローラ (CROS_CNT) レジスタ		AD973xで予測されるBIST符号定数	45
(REG 10、REG11)	32	予測される符号定数の生成	46
		CROSSコントローラ・レジスタ	47

目次（続き）

アナログ制御レジスタ	48	DACデータ・ソース	53
バンドギャップ温度特性調整ビット	48	入力データ・タイミング	54
ミラーのロールオフ周波数制御	48	同期タイミング	55
ヘッドルーム・ビット	48	電源シーケンス	56
電圧リファレンス	48	AD973x評価用ボードの回路図	57
アプリケーション情報	50	AD973x評価用ボードのPCボード・レイアウト	62
DACCLK入力の駆動	50	外形寸法	69
DAC出力の歪み発生源	51	オーダー・ガイド	69
DCカップリングでのDAC出力	52		

改訂履歴

9/06 – Rev. 0 to Rev. A

Updated Format	Universal
Changes to Table 1	5
Changes to Table 2	6
Changes to Table 3	8
Inserted Table 5	9
Replaced Pin Configuration and Function Descriptions Section	10
Changes to Figure 27 to Figure 38	21
Changes to Figure 40	23
Changes to Table 9	29
Changes to Figure 103	56
Changes to Figure 105	58
Changes to Figure 107	60
Changes to Figure 108	61
Changes to Figure 115	68
Updated Outline Dimensions	69
Changes to Ordering Guide	69

4/05 – Revision 0: Initial Version

AD9734/AD9735/AD9736

仕様

DC仕様

特に指定のない限り、AVDD33=DVDD33=3.3V、CVDD18=DVDD18=1.8V、最大サンプリング・レート、 $I_{FS}=20\text{mA}$ 、1倍モード、 25Ω 1%の平衡負荷で仕様規定。

表1

パラメータ	AD9736			AD9735			AD9734			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	14			12			10			ビット
精度										
積分非直線性 (INL)	-5.6	±1.0	+5.6	-1.5	±0.50	+1.5	-0.5	±0.12	+0.5	LSB
微分非直線性 (DNL)	-2.1	±0.6	+2.1	-0.5	±0.25	+0.5	-0.1	±0.06	+0.1	LSB
アナログ出力										
オフセット誤差	-0.01	±0.005	+0.01	-0.01	±0.005	+0.01	-0.01	±0.005	+0.01	%FSR
ゲイン誤差 (内部リファレンスを使用する場合)		±1.0			±1.0			±1.0		%FSR
ゲイン誤差 (内部リファレンスを使用しない場合)		±1.0			±1.0			±1.0		%FSR
フルスケール出力電流	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
出力コンプライアンス・レンジ	-1.0		+1.0	-1.0		1.0	-1.0		+1.0	V
出力抵抗値		10			10			10		MΩ
出力容量		1			1			1		pF
温度ドリフト										
オフセット		0			0			0		ppm/°C
ゲイン		80			80			80		ppm/°C
リファレンス電圧 ¹		40			40			40		ppm/°C
リファレンス										
内部リファレンス電圧 ¹	1.14	1.2	1.26	1.14	1.2	1.26	1.14	1.2	1.26	V
出力抵抗値 ²		5			5			5		kΩ
アナログ電源電圧										
AVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
CVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
デジタル電源電圧										
DVDD33	3.13	3.3	3.47	3.13	3.3	3.47	3.13	3.3	3.47	V
DVDD18	1.70	1.8	1.90	1.70	1.8	1.90	1.70	1.8	1.90	V
電源電流										
1倍モード (1.2GSPS)										
I _{AVDD33}		25			25			25		mA
I _{CVDD18}		47			47			47		mA
I _{DVDD33}		10			10			10		mA
I _{DVDD18}		122			122			122		mA
FIRバイパス (1倍) モード		380			380			380		mW
2倍モード (1.2GSPS)										
I _{AVDD33}		25			25			25		mA
I _{CVDD18}		47			47			47		mA
I _{DVDD33}		10			10			10		mA
I _{DVDD18}		234			234			234		mA
FIR2倍インターポレーション・フィルタのイネーブル時		550			550			550		mW

AD9734/AD9735/AD9736

パラメータ	AD9736			AD9735			AD9734			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
スタティック (クロック動作なし)										
I _{AVDD33}		25			25			25		mA
I _{CVDD18}		8			8			8		mA
I _{DVDD33}		10			10			10		mA
I _{DVDD18}		2			2			2		mA
FIR バイパス (1倍) モード		133			133			133		mW
スリープ・モード (クロック動作なし)										
I _{AVDD33}		2.5	3.15		2.5	3.15		2.5	3.15	mA
FIR バイパス (1倍) モード		59	65		59	65		59	65	mW
パワーダウン・モード ³										
I _{AVDD33}		0.01	0.13		0.01	0.13		0.01	0.13	mA
I _{CVDD18}		0.02	0.12		0.02	0.12		0.02	0.12	mA
I _{DVDD33}		0.01	0.12		0.01	0.12		0.01	0.12	mA
I _{DVDD18}		0.01	0.11		0.01	0.11		0.01	0.11	mA
FIR バイパス (1倍) モード		0.12	1.24		0.12	1.24		0.12	1.24	mW

¹ デフォルトのバンドギャップ調整 (レジスタ 0x0E <2:0>=0h)

² 外付けのアンプを使用して、すべての外部負荷を駆動します。

³ ウェークアップ時間の代表値は、推奨の 1nF コンデンサを VREF ピンに接続する場合で 8μs です。

AD9734/AD9735/AD9736

デジタル仕様

特に指定のない限り、AVDD33=DVDD33=3.3V、CVDD18=DVDD18=1.8V、最大サンプリング・レート、 $I_{FS}=20\text{mA}$ 、1倍モード、 25Ω 1%の平衡負荷で仕様規定。特に指定のない限り、LVDSドライバおよびレシーバはIEEE-1596低減幅LVDSに適合しています。

表2

パラメータ	Min	Typ	Max	単位
LVDSデータ入力 (DB[13:0]+、DB[13:0]-) $DB+=V_{IA}$ 、 $DB-=V_{IB}$ 入力電圧範囲 (V_{IA} または V_{IB}) 入力差動スレッショールド (V_{IDTH}) 入力差動ヒステリシス ($V_{IDTHH}-V_{IDTHL}$) レシーバの差動入力インピーダンス (R_{IN}) LVDS入力レート LVDSの最小データ有効時間 (t_{MDE})	825 -100	20	1575 +100	mV mV mV Ω MSPS ps
LVDSクロック入力 (DATACLK_IN+、DATACLK_IN-) $DATACLK_IN+=V_{IA}$ 、 $DATACLK_IN-=V_{IB}$ 入力電圧範囲 (V_{IA} または V_{IB}) 入力差動スレッショールド ¹ (V_{IDTH}) 入力差動ヒステリシス ($V_{IDTHH}-V_{IDTHL}$) レシーバの差動入力インピーダンス (R_{IN}) 最大クロック・レート	825 -100	20	1575 +100	mV mV mV Ω MHz
LVDSクロック出力 (DATACLK_OUT+、DATACLK_OUT-) $DATACLK_OUT+=V_{OA}$ 、 $DATACLK_OUT-=V_{OB}$ 100 Ω 終端 ハイレベル出力電圧 (V_{OA} または V_{OB}) ローレベル出力電圧 (V_{OA} または V_{OB}) 出力差動電圧 ($ V_{Odl} $) 出力オフセット電圧 (V_{OS}) シングルエンド出力インピーダンス (R_O) AとB間の R_O ミスマッチング (ΔR_O) 0と1間の $ V_{Odl} $ 変動 ($ \Delta V_{Odl} $) 0と1間の V_{OS} 変動 (ΔV_{OS}) 出力電流 (ドライバをグラウンド間で短絡、 I_{SA} 、 I_{SB}) 出力電流 (ドライバをすべて短絡、 I_{SAB}) 電源オフ時の出力漏れ電流 ($ I_{XA} $ 、 $ I_{XB} $) 最大クロック・レート	1025 150 1150 80	200 100	1375 250 1250 120	mV mV mV Ω % mV mV mA mA mA MHz
DACクロック入力 (CLK+、CLK-) 入力電圧範囲 (CLK-またはCLK+) 差動ピークtoピーク電圧 同相電圧 最大クロック・レート	0 400 300 1200	800 400	800 1600 500	mV mV mV MHz
シリアル・ペリフェラル・インターフェース 最大クロック・レート (f_{SCLK} 、 $1/t_{SCLK}$) 最小ハイパルス幅 (t_{PWH}) 最小ローパルス幅 (t_{PWL}) SDIOおよびCSBからSCLKセットアップまでの最小時間 (t_{DS}) SCLKからSDIOホールドまでの最小時間 (t_{DH}) SCLKからSDIOおよびSDO有効までの最大時間 (t_{DV}) SCLKからSDIOおよびSDO無効までの最小時間 (t_{DNV})	20 20	10 5 20 5	20	MHz ns ns ns ns ns ns

パラメータ	Min	Typ	Max	単位
入力 (SDI、SDIO、SCLK、CSB)				
ハイレベル入力電圧 (V_{IH})	2.0	3.3		V
ローレベル入力電圧 (V_{IL})		0	0.8	V
ハイレベル入力電流 (I_{IH})	−10		+10	μA
ローレベル入力電流 (I_{IL})	−10		+10	μA
SDIO出力				
ハイレベル出力電圧 (V_{OH})	2.4		3.6	V
ローレベル出力電圧 (V_{OL})	0		0.4	V
ハイレベル出力電流 (I_{OH})		4		mA
ローレベル出力電流 (I_{OL})		4		mA

¹ 推奨のLVDS差動駆動レベルについては、「入力データ・タイミング」を参照してください。

AD9734/AD9735/AD9736

AC仕様

特に指定のない限り、AVDD33=DVDD33=3.3V、CVDD18=DVDD18=1.8V、最大サンプリング・レート、 $I_{FS}=20\text{mA}$ 、1倍モード、 25Ω 1%の平衡負荷で仕様規定。

表3

パラメータ	AD9736			AD9735			AD9734			単位
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
動的性能										
最大更新レート	1200			1200			1200			MSPS
スプリアス・フリー・ダイナミック・レンジ (SFDR)										
$f_{DAC}=800\text{MSPS}$ $f_{OUT}=20\text{MHz}$		75			75			75		dBc
$f_{DAC}=1200\text{MSPS}$ $f_{OUT}=50\text{MHz}$		80			76			76		dBc
$f_{OUT}=100\text{MHz}$		77			74			71		dBc
$f_{OUT}=316\text{MHz}$		63			63			60		dBc
$f_{OUT}=550\text{MHz}$		55			54			53		dBc
ツートーン相互変調歪み (IMD)										
$f_{DAC}=1200\text{MSPS}$ $f_{OUT2}=f_{OUT}+1.25\text{MHz}$ $f_{OUT}=40\text{MHz}$		88			84			83		dBc
$f_{OUT}=50\text{MHz}$		85			84			83		dBc
$f_{OUT}=100\text{MHz}$		84			81			79		dBc
$f_{OUT}=316\text{MHz}$		70.5			67			66		dBc
$f_{OUT}=550\text{MHz}$		65			60			60		dBc
ノイズ・スペクトル密度 (NSD)										
シングル・トーン										
$f_{DAC}=1200\text{MSPS}$ $f_{OUT}=50\text{MHz}$		-165			-162			-154		dBm/Hz
$f_{OUT}=100\text{MHz}$		-164			-161			-154		dBm/Hz
$f_{OUT}=241\text{MHz}$	-158.5	-160.5			-159.5			-155		dBm/Hz
$f_{OUT}=316\text{MHz}$		-158			-157			-152		dBm/Hz
$f_{OUT}=550\text{MHz}$		-155			-155			-149		dBm/Hz
8トーン										
$f_{DAC}=1200\text{MSPS}$ 、 500kHz トーン・スペーシング										
$f_{OUT}=50\text{MHz}$		-166.5			-163			-154		dBm/Hz
$f_{OUT}=100\text{MHz}$		-166			-163			-152		dBm/Hz
$f_{OUT}=241\text{MHz}$	-163.3	-165			-161.5			-150.5		dBm/Hz
$f_{OUT}=316\text{MHz}$		-164			-162			-151		dBm/Hz
$f_{OUT}=550\text{MHz}$		-162			-160			-150		dBm/Hz

絶対最大定格

表4

パラメータ	基準	Min	Max
AVDD33	AVSS	−0.3V	+3.6V
DVDD33	DVSS	−0.3V	+3.6V
DVDD18	DVSS	−0.3V	+1.98V
CVDD18	CVSS	−0.3V	+1.98V
AVSS	DVSS	−0.3V	+0.3V
AVSS	CVSS	−0.3V	+0.3V
DVSS	CVSS	−0.3V	+0.3V
CLK+, CLK−	CVSS	−0.3V	CVDD18+0.18V
PIN_MODE	DVSS	−0.3V	DVDD33+0.3V
DATACLK_IN、 DATACLK_OUT	DVSS	−0.3V	DVDD33+0.3V
LVDSデータ入力	DVSS	−0.3V	DVDD33+0.3V
IOUTA、IOUTB	AVSS	−1.0V	AVDD33+0.3V
I120、VREF、 IPTAT	AVSS	−0.3V	AVDD33+0.3V
IRQ、CSB、SCLK、 SDO、SDIO、RESET	DVSS	−0.3V	DVDD33+0.3V
ジャンクション温度			150℃
保存温度範囲		−65℃	+150℃

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} はワースト・ケースの条件、すなわち回路ボードに表面実装パッケージのデバイスをハンダ付けした状態で規定しています。

表5. 熱抵抗

パッケージのタイプ	θ_{JA} ¹	単位
160ピン・ボール、CSP_BGA	31.2	°C/W

¹ θ_{JA} は自然空冷で測定。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



本来ならば、帯電デバイス・モデル（CDM）に対してESD耐性を測定するのがESDに関するアナログ・デバイセズ社の標準的な条件ですが、本デバイスの現行モデルではその条件を満たしていません。したがって、特に製造環境で本製品を取り扱う際には細心の注意が必要です。アナログ・デバイセズ社では、ESD耐性を改善した製品を近々提供する予定です。その時点でこの警告はデータシートから削除します。

ピン配置と機能の説明



ピン番号	記号	説明
A1、A2、A3、B1、B2、B3、C1、C2、C3、D2、D3 A4、A5、A6、A9、A10、A11、B4、B5、B6、B9、 B10、B11、C4、C5、C6、C9、C10、C11、D4、D5、 D6、D9、D10、D11 A7、B7、C7、D7 A8、B8、C8、D8 A12、A13、B12、B13、C12、C13、D12、D13 A14 B14	CVDD18 AVSS IOUTB IOUTA AVDD33 DNC I120	1.8Vのクロック電源 アナログ電源グラウンド DACの負側出力。10～30mAのフルスケール出力電流 DACの正側出力。10～30mAのフルスケール出力電流 3.3Vのアナログ電源 接続しないでください。 公称値1.2Vのリファレンス。10kΩの抵抗を介して アナログ・グラウンドに接続し、120μAのリファ レンス電流を生成します。
C14	VREF	バンドギャップ・リファレンス入出力。1nFのコン デンサを介してアナログ・グラウンドに接続しま す。出力インピーダンスは約5kΩです。
D1、E2、E3、E4、F2、F3、F4、G1、G2、G3、G4 D14	CVSS IPTAT	クロック電源グラウンド 工場テスト用ピン。絶対温度に比例した出力電流。 25℃のとき約10μAの電流を出力し、勾配は約 20nA/℃です。
E1、F1 E11、E12、F11、F12、G11、G12	DACCLK-/DACCLK+ AVSS	負／正のDACクロック入力（DACCLK） アナログ電源グラウンドのシールド。DACのAVSS に接続します。
E13	IRQ/UNSIGNED	PIN_MODE=0の場合にこのピンはIRQの役割をし ます。アクティブ・ローレベルのオープン・ドレイン 割込み要求出力。10kΩの抵抗を使用して DVDD33にプルアップします。 PIN_MODE=1の場合にこのピンはUNSIGNEDとな ります。デジタル入力ピンとして使用し、「0」にす ると2の補数入力データ・フォーマット、「1」にす ると符号なしに設定されます。
E14	RESET/PD	PIN_MODE= 0の場合にこのピンはRESETの役割 となります。「1」のときAD9736をリセットします。 PIN_MODE=1の場合にこのピンはPDの役割とな ります。「1」のとき、AD9736をパワーダウン状態 に設定します。
F13	CSB/2×	「シリアル・ペリフェラル・インターフェース」と 「ピン・モード動作」を参照
F14	SDIO/FIFO	「ピン・モード動作」を参照

ピン番号	記号	説明
G13	SCLK/FSC0	「ピン・モード動作」を参照
G14	SDO/FSC1	「ピン・モード動作」を参照
H1、H2、H3、H4、H11、H12、H13、H14、J1、J2、J3、J4、J11、J12、J13、J14	DVDD18	1.8Vのデジタル電源
K1、K2、K3、K4、K11、K12、L2、L3、L4、L5、L6、L9、L10、L11、L12、M3、M4、M5、M6、M9、M10、M11、M12	DVSS	デジタル電源グラウンド
K13、K14	DB<13>-/DB<13>+	負／正のデータ入力ビット13 (MSB)。IEEE-1596低減幅LVDSに適合
L1	PIN_MODE	0=SPIモード。SPIをイネーブルにします。 1=PINモード。SPIをディスエーブルにします。 直接的なピン制御
L7、L8、M7、M8、N7、N8、P7、P8	DVDD33	3.3Vのデジタル電源
L13、L14	DB<12>-/DB<12>+	負／正のデータ入力ビット12。IEEE-1596低減幅LVDSに適合
M2、M1	DB<0>-/DB<0>+	負／正のデータ入力ビット0 (LSB)。IEEE-1596低減幅LVDSに適合
M13、M14	DB<11>-/DB<11>+	負／正のデータ入力ビット11。IEEE-1596低減幅LVDSに適合
N1、P1	DB<1>-/DB<1>+	負／正のデータ入力ビット1。IEEE-1596低減幅LVDSに適合
N2、P2	DB<2>-/DB<2>+	負／正のデータ入力ビット2。IEEE-1596低減幅LVDSに適合
N3、P3	DB<3>-/DB<3>+	負／正のデータ入力ビット3。IEEE-1596低減幅LVDSに適合
N4、P4	DB<4>-/DB<4>+	負／正のデータ入力ビット4。IEEE-1596低減幅LVDSに適合
N5、P5	DB<5>-/DB<5>+	負／正のデータ入力ビット5。IEEE-1596低減幅LVDSに適合
N6、P6	DATACLK_OUT-/DATACLK_OUT+	負／正のデータ出力クロック。IEEE-1596低減幅LVDSに適合
N9、P9	DATACLK_IN-/DATACLK_IN+	負／正のデータ入力クロック。IEEE-1596低減幅LVDSに適合
N10、P10	DB<6>-/DB<6>+	負／正のデータ入力ビット6。IEEE-1596低減幅LVDSに適合
N11、P11	DB<7>-/DB<7>+	負／正のデータ入力ビット7。IEEE-1596低減幅LVDSに適合
N12、P12	DB<8>-/DB<8>+	負／正のデータ入力ビット8。IEEE-1596低減幅LVDSに適合
N13、P13	DB<9>-/DB<9>+	負／正のデータ入力ビット9。IEEE-1596低減幅LVDSに適合
N14、P14	DB<10>-/DB<10>+	負／正のデータ入力ビット10。IEEE-1596低減幅LVDSに適合

AD9734/AD9735/AD9736

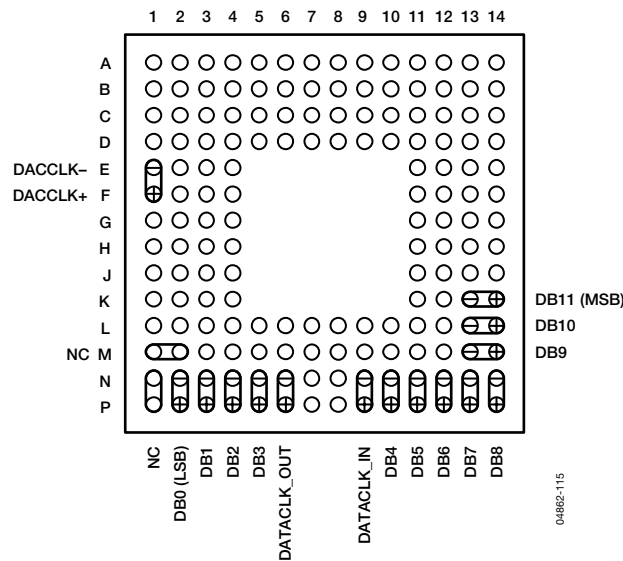


図3. AD9735のデジタルLVDS入力、クロック入出力（上面図）

表7. AD9735 ピン機能の説明

ピン番号	記号	説明
A1, A2, A3, B1, B2, B3, C1, C2, C3, D2, D3 A4, A5, A6, A9, A10, A11, B4, B5, B6, B9, B10, B11, C4, C5, C6, C9, C10, C11, D4, D5, D6, D9, D10, D11 A7, B7, C7, D7 A8, B8, C8, D8 A12, A13, B12, B13, C12, C13, D12, D13 A14 B14	CVDD18 AVSS IOUTB IOUTA AVDD33 DNC I120	1.8Vのクロック電源 アナログ電源グラウンド DACの負側出力。10~30mAのフルスケール出力電流 DACの正側出力。10~30mAのフルスケール出力電流 3.3Vのアナログ電源 接続しないでください。 公称値1.2Vのリファレンス。10kΩの抵抗を介して アナログ・グラウンドに接続し、120μAのリファ レンス電流を生成します。
C14	VREF	バンドギャップ・リファレンス入出力。1nFのコン デンサを介してアナログ・グラウンドに接続しま す。出力インピーダンスは約5kΩです。
D1, E2, E3, E4, F2, F3, F4, G1, G2, G3, G4 D14	CVSS IPTAT	クロック電源グラウンド 工場テスト用ピン。絶対温度に比例した出力電流。 25℃のとき約10μAの電流を出力し、勾配は約 20nA/℃です。
E1, F1 E11, E12, F11, F12, G11, G12	DACCLK-/DACCLK+ AVSS	負／正のDACクロック入力（DACCLK） アナログ電源グラウンドのシールド。DACのAVSS に接続します。
E13	IRQ/UNSIGNED	PIN_MODE=0の場合にIRQ：アクティブ・ローレ ベルのオープン・ドレイン割込み要求出力。10kΩ の抵抗を使用してDVDD33にプルアップします。 PIN_MODE=1の場合にUNSIGNED：デジタル入 力ピンとして使用し、0=2の補数入力データ・ フォーマット、1=符号なしに設定されます。
E14	RESET/PD	PIN_MODE=0の場合にRESET：1のとき、 AD9735をリセットします。 PIN_MODE=1の場合にPD：1のとき、AD9735を パワーダウン状態に設定します。
F13	CSB/2×	「シリアル・ペリフェラル・インターフェース」と 「ピン・モード動作」を参照
F14	SDIO/FIFO	「ピン・モード動作」を参照
G13	SCLK/FSC0	「ピン・モード動作」を参照
G14	SDO/FSC1	「ピン・モード動作」を参照

ピン番号	記号	説明
H1、H2、H3、H4、H11、H12、H13、H14、J1、J2、J3、J4、J11、J12、J13、J14	DVDD18	1.8Vのデジタル電源
K1、K2、K3、K4、K11、K12、L2、L3、L4、L5、L6、L9、L10、L11、L12、M3、M4、M5、M6、M9、M10、M11、M12	DVSS	デジタル電源グラウンド
K13、K14	DB<11>-/DB<11>+	負／正のデータ入力ビット11（MSB）。IEEE-1596低減幅LVDSに適合
L1	PIN_MODE	0=SPIモード。SPIをイネーブルにします。 1=PINモード。SPIをディスエーブルにします。 直接的なピン制御
L7、L8、M7、M8、N7、N8、P7、P8	DVDD33	3.3Vのデジタル電源
L13、L14	DB<10>-/DB<10>+	負／正のデータ入力ビット10。IEEE-1596低減幅LVDSに適合
M1、M2	NC	接続しないでください。
M13、M14	DB<9>-/DB<9>+	負／正のデータ入力ビット9。IEEE-1596低減幅LVDSに適合
N1、P1	NC	接続しないでください。
N2、P2	DB<0>-/DB<0>+	負／正のデータ入力ビット0。IEEE-1596低減幅LVDSに適合
N3、P3	DB<1>-/DB<1>+	負／正のデータ入力ビット1。IEEE-1596低減幅LVDSに適合
N4、P4	DB<2>-/DB<2>+	負／正のデータ入力ビット2。IEEE-1596低減幅LVDSに適合
N5、P5	DB<3>-/DB<3>+	負／正のデータ入力ビット3。IEEE-1596低減幅LVDSに適合
N6、P6	DATACLK_OUT-/DATACLK_OUT+	負／正のデータ出力クロック。IEEE-1596低減幅LVDSに適合
N9、P9	DATACLK_IN-/DATACLK_IN+	負／正のデータ入力クロック。IEEE-1596低減幅LVDSに適合
N10、P10	DB<4>-/DB<4>+	負／正のデータ入力ビット4。IEEE-1596低減幅LVDSに適合
N11、P11	DB<5>-/DB<5>+	負／正のデータ入力ビット5。IEEE-1596低減幅LVDSに適合
N12、P12	DB<6>-/DB<6>+	負／正のデータ入力ビット6。IEEE-1596低減幅LVDSに適合
N13、P13	DB<7>-/DB<7>+	負／正のデータ入力ビット7。IEEE-1596低減幅LVDSに適合
N14、P14	DB<8>-/DB<8>+	負／正のデータ入力ビット8。IEEE-1596低減幅LVDSに適合

AD9734/AD9735/AD9736

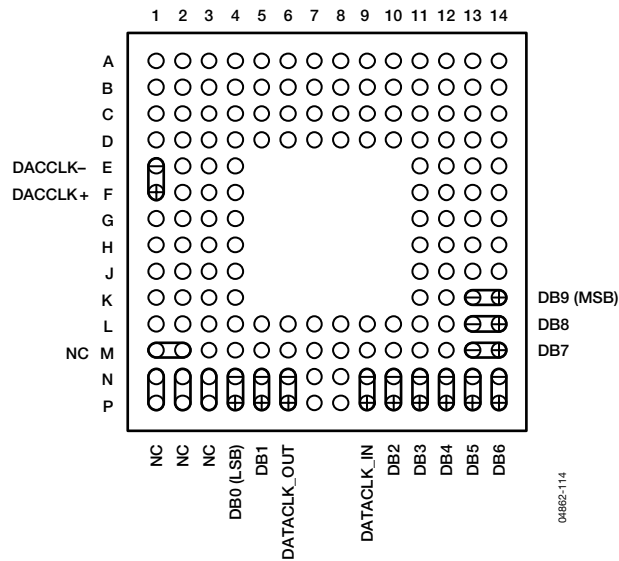


図4. AD9734のデジタルLVDS入力、クロック入出力（上面図）

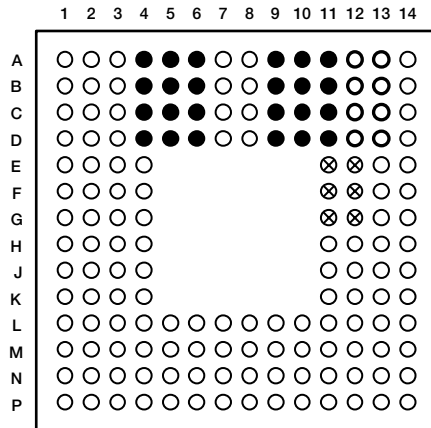
表8. AD9734 ピン機能の説明

ピン番号	記号	説明
A1, A2, A3, B1, B2, B3, C1, C2, C3, D2, D3 A4, A5, A6, A9, A10, A11, B4, B5, B6, B9, B10, B11, C4, C5, C6, C9, C10, C11, D4, D5, D6, D9, D10, D11 A7, B7, C7, D7 A8, B8, C8, D8 A12, A13, B12, B13, C12, C13, D12, D13 A14 B14	CVDD18 AVSS IOUTB IOUTA AVDD33 DNC I120	1.8Vのクロック電源 アナログ電源グラウンド DACの負側出力。10～30mAのフルスケール出力電流 DACの正側出力。10～30mAのフルスケール出力電流 3.3Vのアナログ電源 接続しないでください。 公称値1.2Vのリファレンス。10kΩの抵抗を介して アナログ・グラウンドに接続し、120μAのリファ レンス電流を生成します。
C14	VREF	バンドギャップ・リファレンス入出力。1nFのコン デンサを介してアナログ・グラウンドに接続しま す。出力インピーダンスは約5kΩです。
D1, E2, E3, E4, F2, F3, F4, G1, G2, G3, G4 D14	CVSS IPTAT	クロック電源グラウンド 工場テスト用ピン。絶対温度に比例した出力電流。 25℃のとき約10μAの電流を出力し、勾配は約 20nA/℃です。
E1, F1 E11, E12, F11, F12, G11, G12	DACCLK-/DACCLK+ AVSS	負／正のDACクロック入力（DACCLK） アナログ電源グラウンドのシールド。DACのAVSS に接続します。
E13	IRQ/UNSIGNED	PIN_MODE=0の場合にIRQ：アクティブ・ローレ ベルのオープン・ドレイン割込み要求出力。10kΩ の抵抗を使用してDVDD33にプルアップします。 PIN_MODE=1の場合にUNSIGNED：デジタル入 力ピンとして使用し、0=2の補数入力データ・ フォーマット、1=符号なしに設定されます。
E14	RESET/PD	PIN_MODE=0の場合にRESET：1のとき、 AD9734をリセットします。 PIN_MODE=1の場合にPD：1のとき、AD9734を パワーダウン状態に設定します。
F13	CSB/2×	「シリアル・ペリフェラル・インターフェース」と 「ピン・モード動作」を参照
F14	SDIO/FIFO	「ピン・モード動作」を参照
G13	SCLK/FSC0	「ピン・モード動作」を参照
G14	SDO/FSC1	「ピン・モード動作」を参照

ピン番号	記号	説明
H1、H2、H3、H4、H11、H12、H13、H14、J1、J2、J3、J4、J11、J12、J13、J14	DVDD18	1.8Vのデジタル電源
K1、K2、K3、K4、K11、K12、L2、L3、L4、L5、L6、L9、L10、L11、L12、M3、M4、M5、M6、M9、M10、M11、M12	DVSS	デジタル電源グラウンド
K13、K14	DB<9>-/DB<9>+	負／正のデータ入力ビット9 (MSB)。IEEE-1596低減幅LVDSに適合
L1	PIN_MODE	0=SPIモード。SPIをイネーブルにします。 1=PINモード。SPIをディスエーブルにします。 直接的なピン制御
L7、L8、M7、M8、N7、N8、P7、P8	DVDD33	3.3Vのデジタル電源
L13、L14	DB<8>-/DB<8>+	負／正のデータ入力ビット8。IEEE-1596低減幅LVDSに適合
M1、M2	NC	接続しないでください。
M13、M14	DB<7>-/DB<7>+	負／正のデータ入力ビット7。IEEE-1596低減幅LVDSに適合
N1、P1	NC	接続しないでください。
N2、P2	NC	接続しないでください。
N3、P3	NC	接続しないでください。
N4、P4	DB<0>-/DB<0>+	負／正のデータ入力ビット0。IEEE-1596低減幅LVDSに適合
N5、P5	DB<1>-/DB<1>+	負／正のデータ入力ビット1。IEEE-1596低減幅LVDSに適合
N6、P6	DATACLK_OUT-/DATACLK_OUT+	負／正のデータ出力クロック。IEEE-1596低減幅LVDSに適合
N9、P9	DATACLK_IN-/DATACLK_IN+	負／正のデータ入力クロック。IEEE-1596低減幅LVDSに適合
N10、P10	DB<2>-/DB<2>+	負／正のデータ入力ビット2。IEEE-1596低減幅LVDSに適合
N11、P11	DB<3>-/DB<3>+	負／正のデータ入力ビット3。IEEE-1596低減幅LVDSに適合
N12、P12	DB<4>-/DB<4>+	負／正のデータ入力ビット4。IEEE-1596低減幅LVDSに適合
N13、P13	DB<5>-/DB<5>+	負／正のデータ入力ビット5。IEEE-1596低減幅LVDSに適合
N14、P14	DB<6>-/DB<6>+	負／正のデータ入力ビット6。IEEE-1596低減幅LVDSに適合

AD9734/AD9735/AD9736

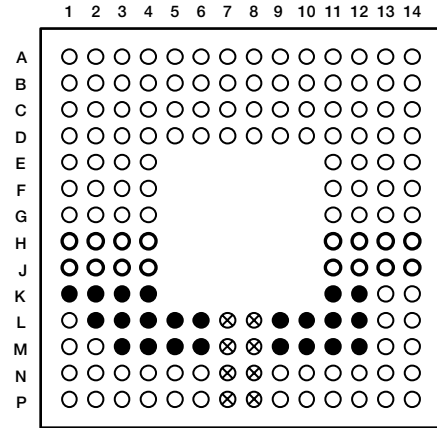
電源および制御ピンの位置



- AVDD33:3.3Vアナログ電源
- AVSS:アナログ電源グラウンド
- ⊗ AVSS:アナログ電源グラウンドのシールド

04862-002

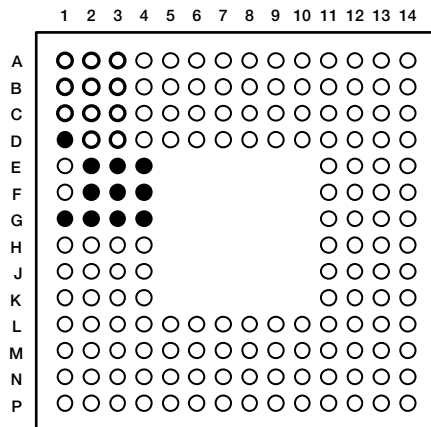
図5. アナログ電源ピン (上面図)



- DVDD18:1.8Vデジタル電源
- ⊗ DVDD33:3.3Vデジタル電源
- DVSS:デジタル電源グラウンド

04862-004

図7. デジタル電源ピン (上面図)



- CVDD18:1.8Vクロック電源
- CVSS:クロック電源グラウンド

04862-003

図6. クロック電源ピン (上面図)

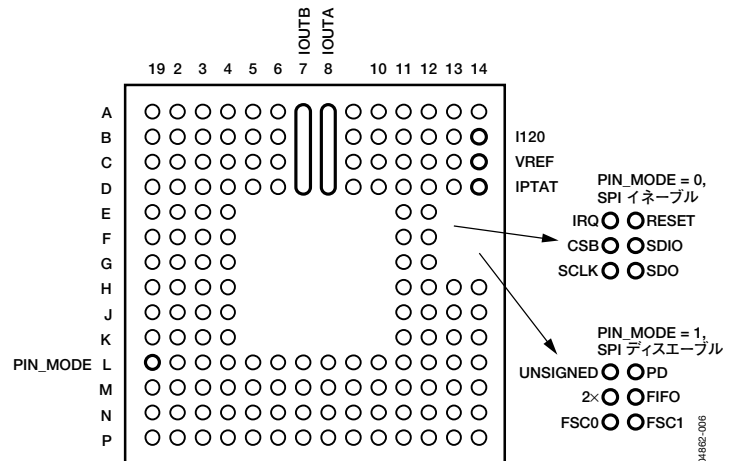


図8. アナログ入出力およびSPI制御ピン (上面図)

用語の定義

直線性誤差（積分非直線性またはINL）

ゼロからフルスケールまでを結んだ直線で表される理想的な出力と実際のアナログ出力との最大偏差。

微分非直線性（DNL）

デジタル入力コードが1LSB変化したときのアナログ出力の変化の測定値で、フルスケールに対して正規化されます。

単調増加性

DACに単調増加性があれば、デジタル入力が増加するとき、アナログ出力が増加するか一定になります。

オフセット誤差

理想的なゼロからの出力電流の偏差をいいます。IOUTAの場合、すべての入力を0に設定したとき出力が0mAになります。IOUTBの場合、すべての入力を1に設定したとき出力が0mAになります。

ゲイン誤差

理想的な出力スパンと実際の偏差をいいます。実際のスパンは、すべての入力を1に設定したときの出力から、すべての入力を0に設定したときの出力を引いた値になります。

出力コンプライアンス・レンジ

電流出力DACの出力における許容電圧範囲です。最大コンプライアンス限界を超えて動作させると、出力段の飽和やブレイクダウンを招いて線形性が失われるおそれがあります。

温度ドリフト

室温（25℃）から T_{MIN} または T_{MAX} に変化したときの変化分として定義されます。オフセットとゲイン・ドリフトについては、1℃あたりのドリフトがフルスケール・レンジ（FSR）に対するppmで表されます。リファレンス・ドリフトについては、1℃あたりのドリフトがppmで表されます。

電源電圧変動除去比

電源が定格値から最小または最大の規定電圧に変化したときの、フルスケール出力における最大変動をいいます。

セトリング時間

出力がその最終値から所定許容範囲内の値に達してそこにとどまるまでの時間で、出力遷移の開始時点から測定されます。

グリッチ・インパルス

DACにおける非対称スイッチング時間は、グリッチ・インパルスとして定量化される不要な出力トランジェントを引き起こします。pV-sを単位として、グリッチの正味の面積で測定されます。

スプリアス・フリー・ダイナミック・レンジ

規定の帯域にわたるスプリアス信号のピーク値と、出力信号のrms振幅の実効値の差をdBで表した値です。

全高調波歪み（THD）

入力信号の測定値の実効値と、第1～第6高調波成分のrms和の比をいいます。パーセントまたはデシベル（dB）で表します。

マルチトーン・パワー比

振幅の等しい複数のキャリア・トーンを含むスプリアス・フリー・ダイナミック・レンジです。キャリア・トーンと除去したトーン領域内のピーク・スプリアス信号のrms振幅の差として測定されます。

AD9734/AD9735/AD9736

代表的な性能特性

AD9736のスタティック直線性（10mAフルスケール）

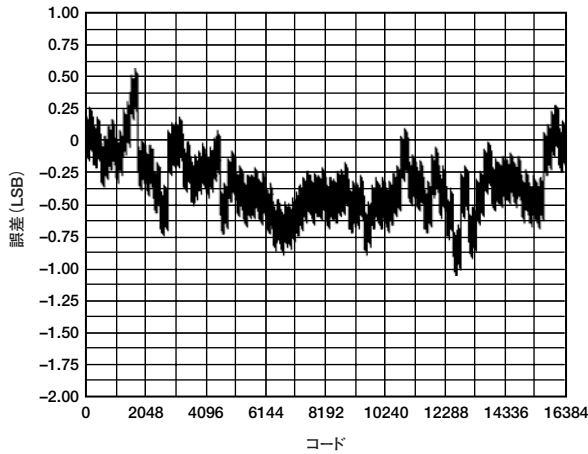


図9. AD9736のINL（-40℃、10mAフルスケール）

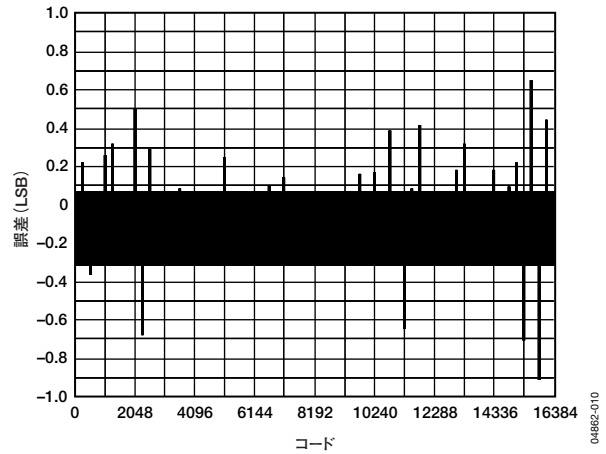


図12. AD9736のDNL（-40℃、10mAフルスケール）

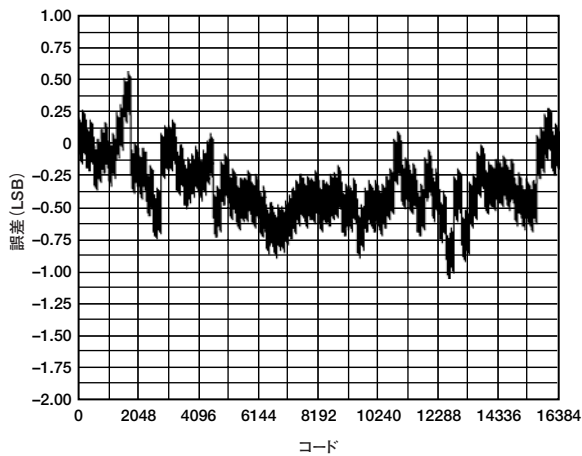


図10. AD9736のINL（25℃、10mAフルスケール）

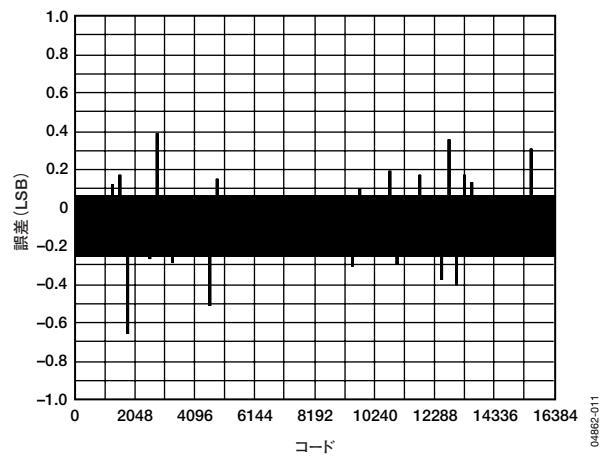


図13. AD9736のDNL（25℃、10mAフルスケール）

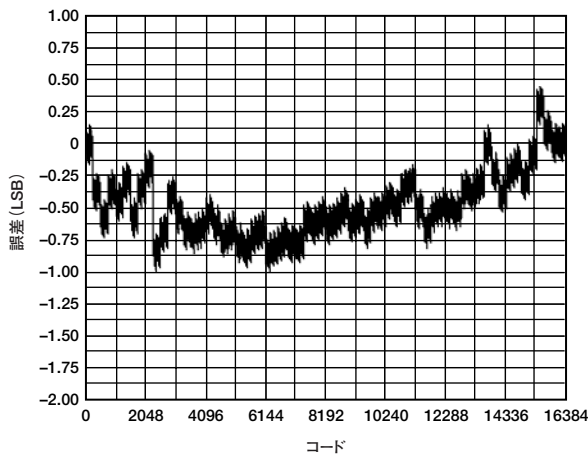


図11. AD9736のINL（85℃、10mAフルスケール）

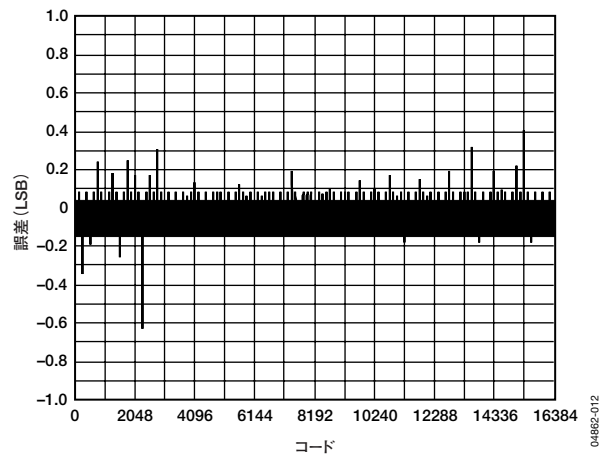


図14. AD9736のDNL（85℃、10mAフルスケール）

AD9736のスタティック直線性 (20mAフルスケール)

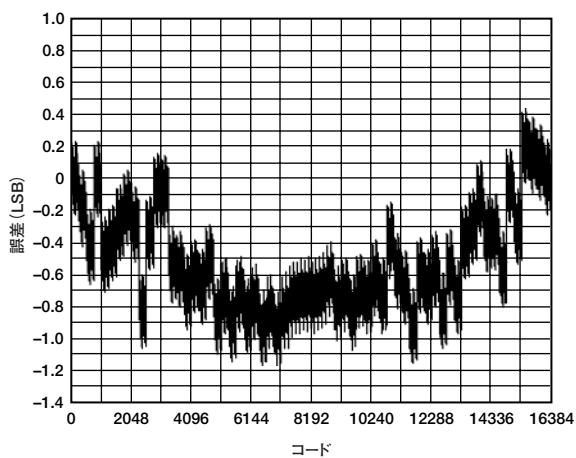


図15. AD9736のINL (−40℃、20mAフルスケール)

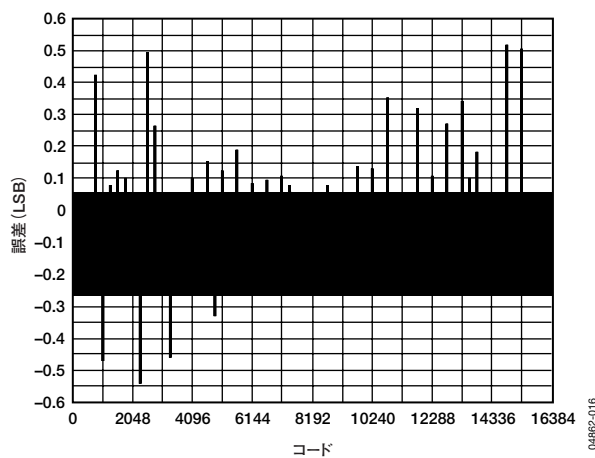


図18. AD9736のDNL (−40℃、20mAフルスケール)

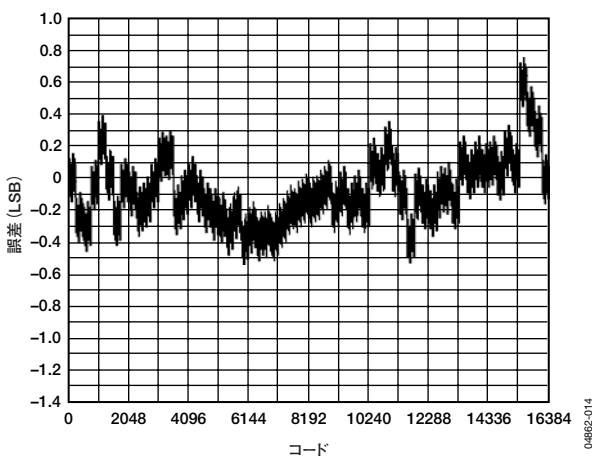


図16. AD9736のINL (25℃、20mAフルスケール)

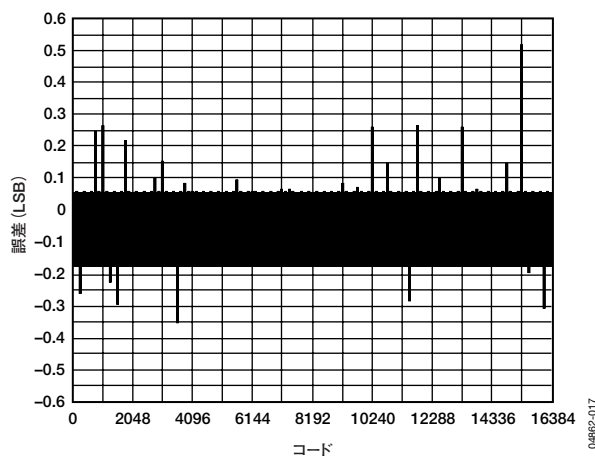


図19. AD9736のDNL (25℃、20mAフルスケール)

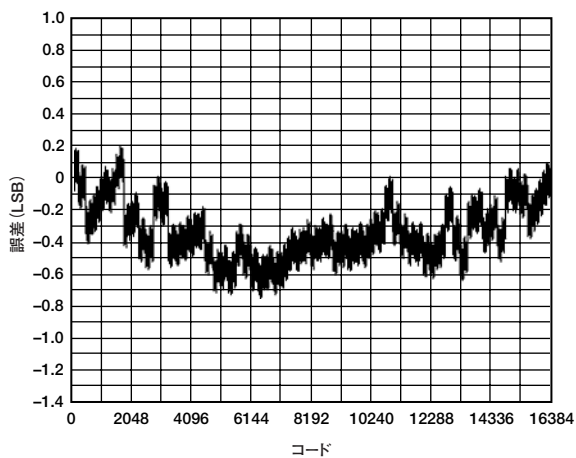


図17. AD9736のINL (85℃、20mAフルスケール)

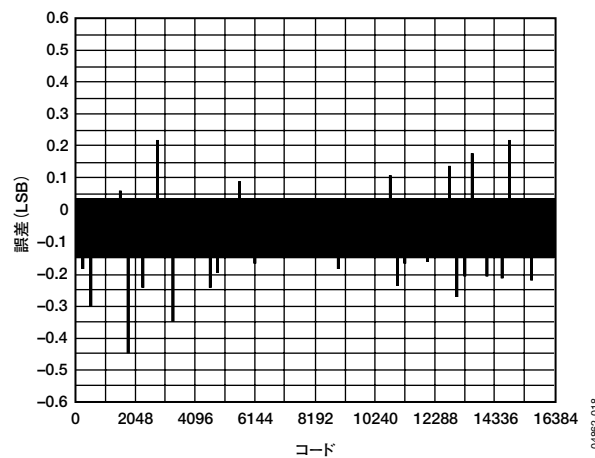


図20. AD9736のDNL (85℃、20mAフルスケール)

AD9734/AD9735/AD9736

AD9736のスタティック直線性 (30mAフルスケール)

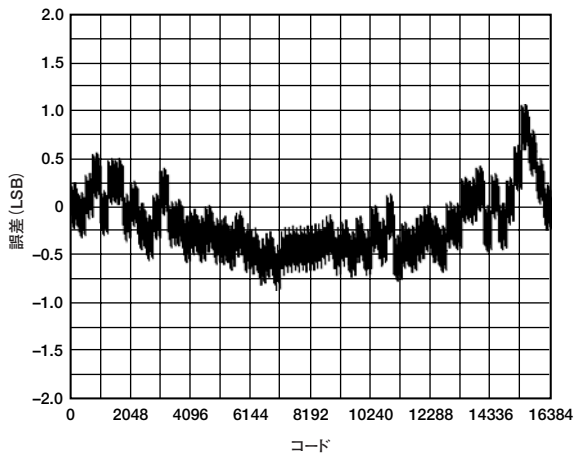


図21. AD9736のINL(−40℃、30mAフルスケール)

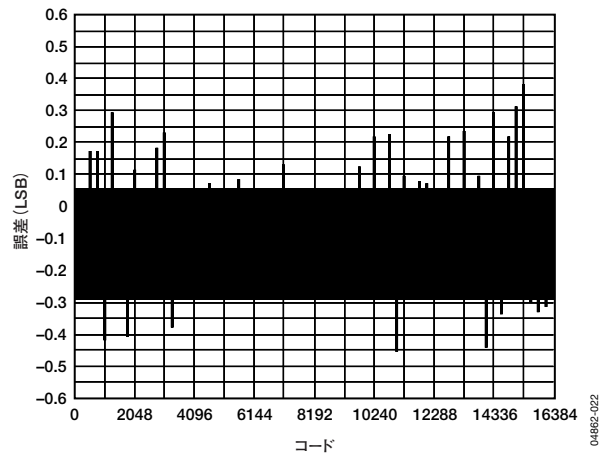


図24. AD9736のDNL (−40℃、30mAフルスケール)

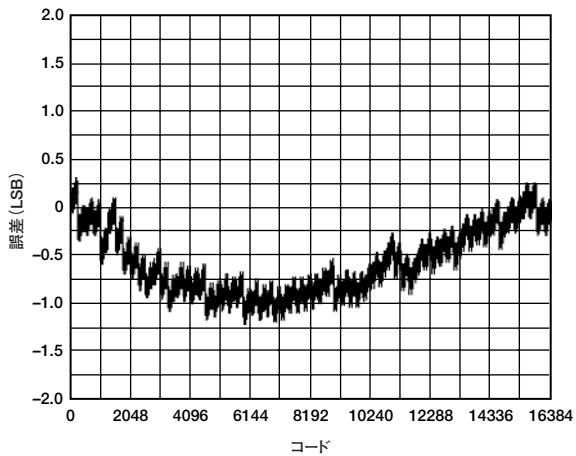


図22. AD9736のINL(25℃、30mAフルスケール)

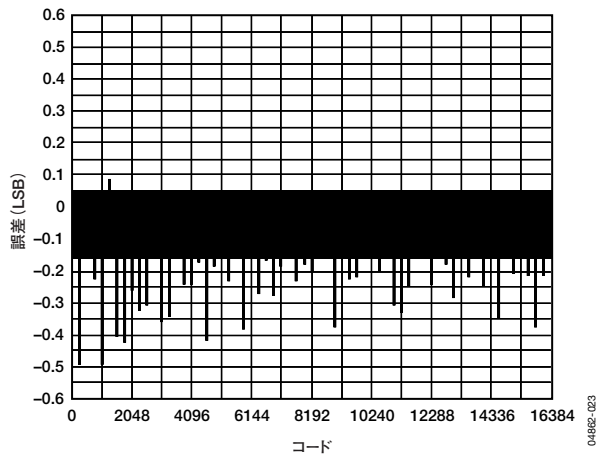


図25. AD9736のDNL(25℃、30mAフルスケール)

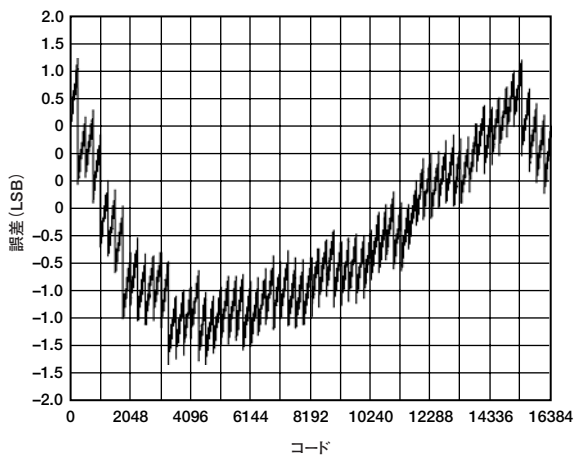


図23. AD9736のINL(85℃、30mAフルスケール)

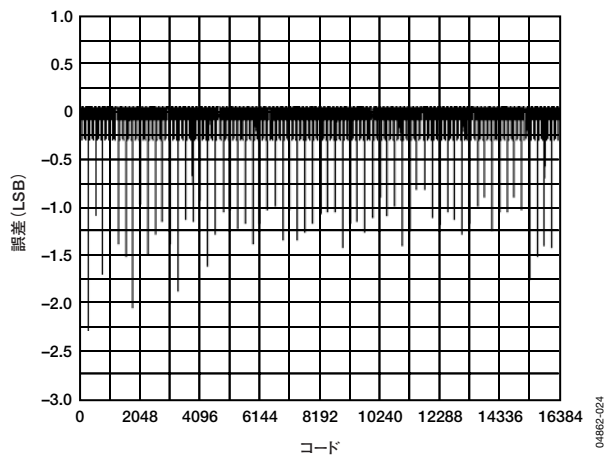


図26. AD9736のDNL(85℃、30mAフルスケール)

AD9735のスタティック直線性 (10mA、20mA、30mAフルスケール)

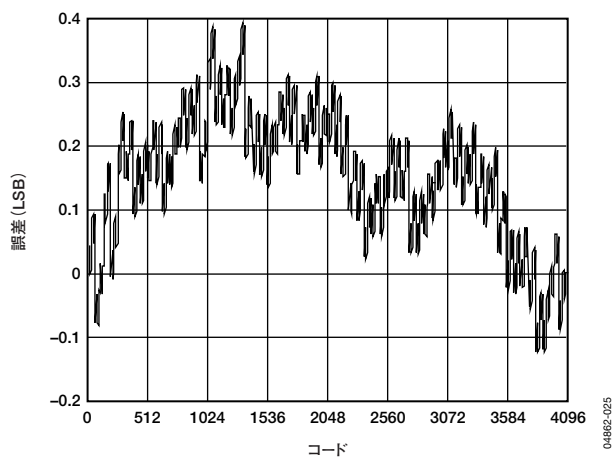


図27. AD9735のINL (25°C、10mAフルスケール)

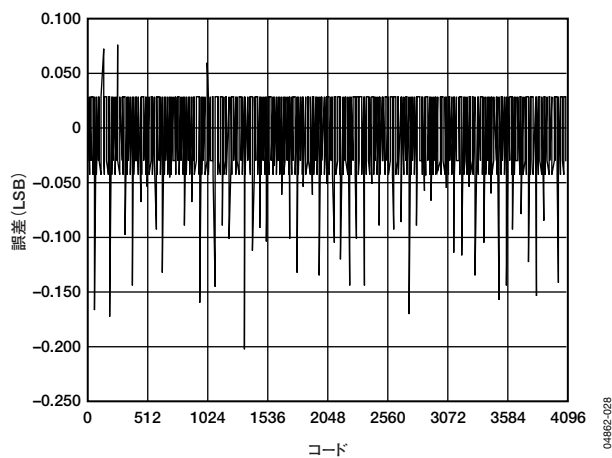


図30. AD9735のDNL (25°C、10mAフルスケール)

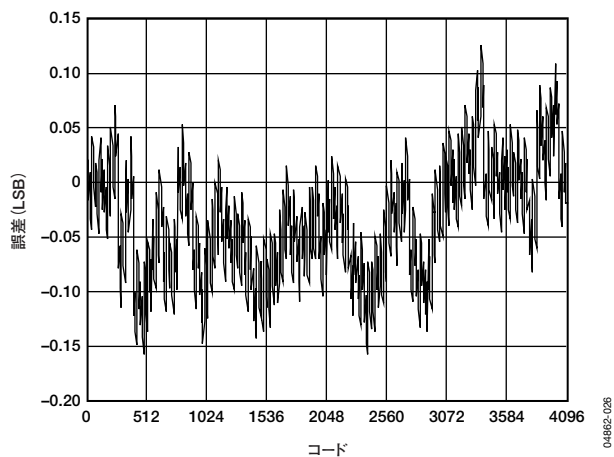


図28. AD9735のINL (25°C、20mAフルスケール)

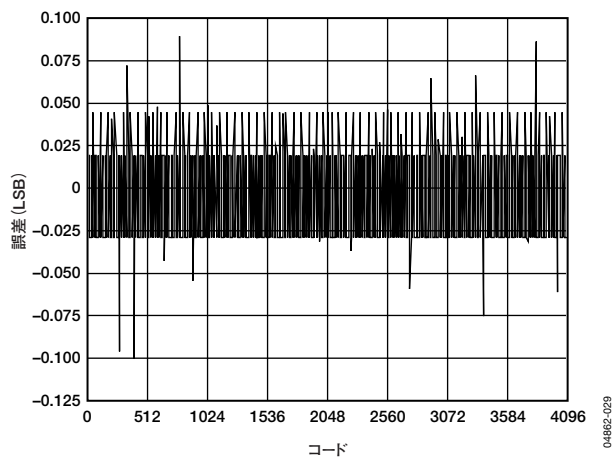


図31. AD9735のDNL (25°C、20mAフルスケール)

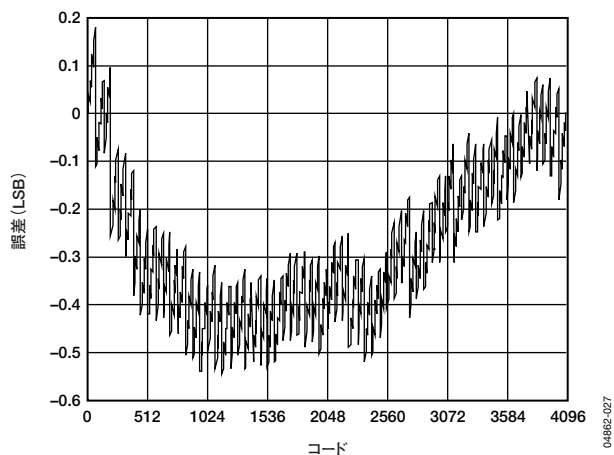


図29. AD9735のINL (25°C、30mAフルスケール)

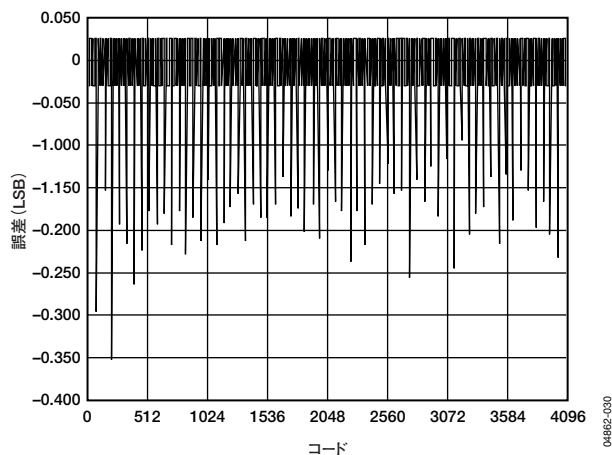


図32. AD9735のDNL (25°C、30mAフルスケール)

AD9734/AD9735/AD9736

AD9734のスタティック直線性（10mA、20mA、30mAフルスケール）

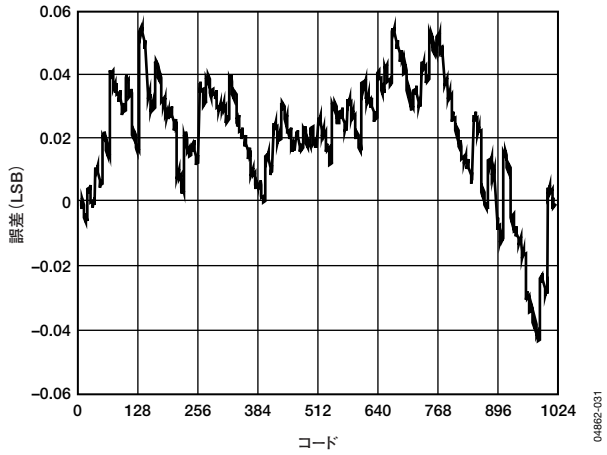


図33. AD9734のINL (25°C、10mAフルスケール)

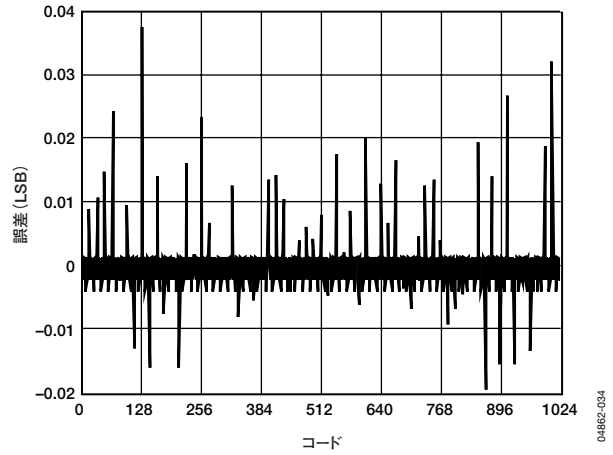


図36. AD9734のDNL (25°C、10mAフルスケール)

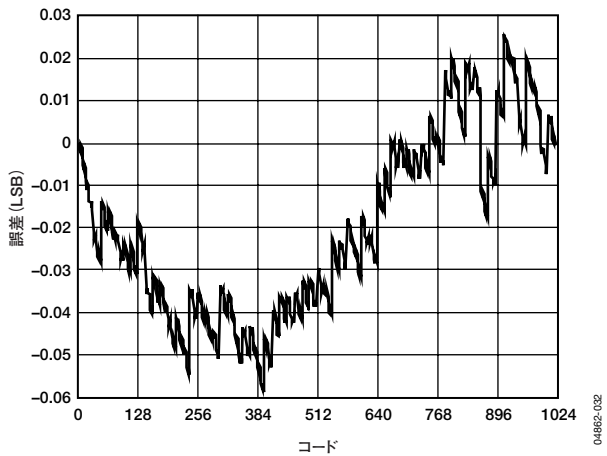


図34. AD9734のINL (25°C、20mAフルスケール)

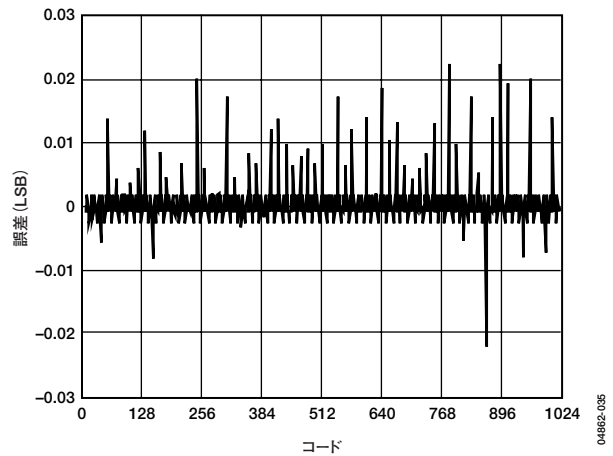


図37. AD9734のDNL (25°C、20mAフルスケール)

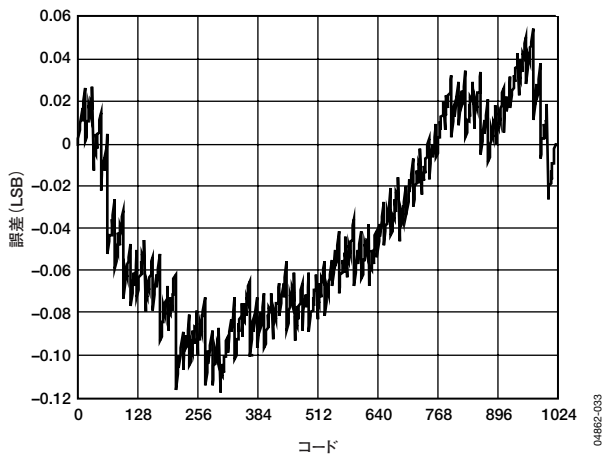


図35. AD9734のINL (25°C、30mAフルスケール)

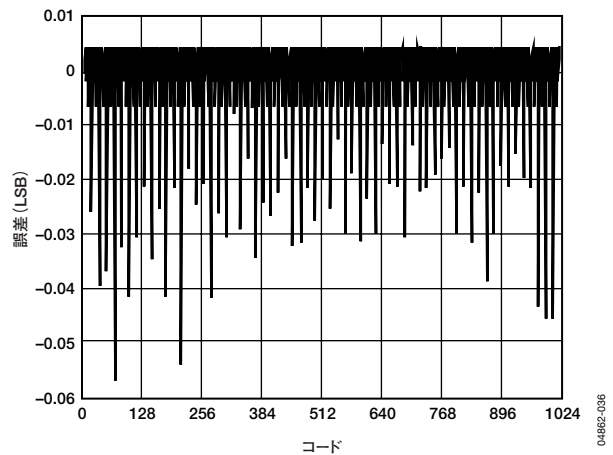


図38. AD9734のDNL (25°C、30mAフルスケール)

AD9736の消費電力（20mAフルスケール）

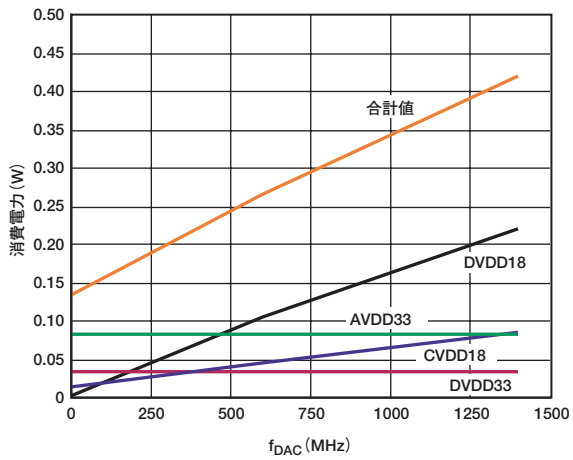


図39. AD9736の f_{DAC} 対 消費電力
(1倍モード、25°C)

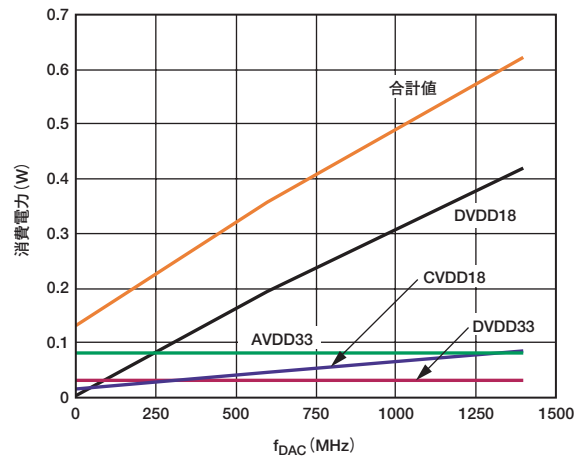


図40. AD9736の f_{DAC} 対 消費電力（2倍インター
ポレーション・モード、25°C）

AD9734/AD9735/AD9736

AD9736の動的性能（20mAフルスケール）

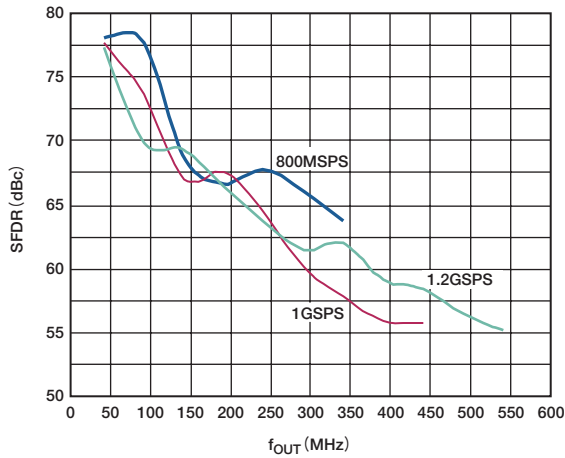


図41. AD9736のSFDR、 f_{OUT} 、 f_{DAC} の関連特性（25°C）

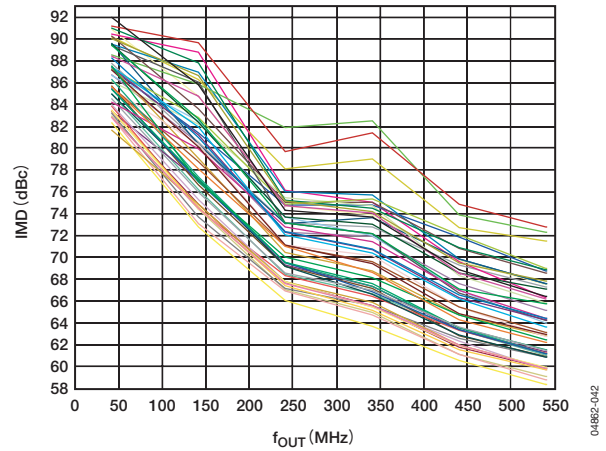


図44. AD9736 50個の f_{OUT} 対 IMD（25°C、1.2GSPS）

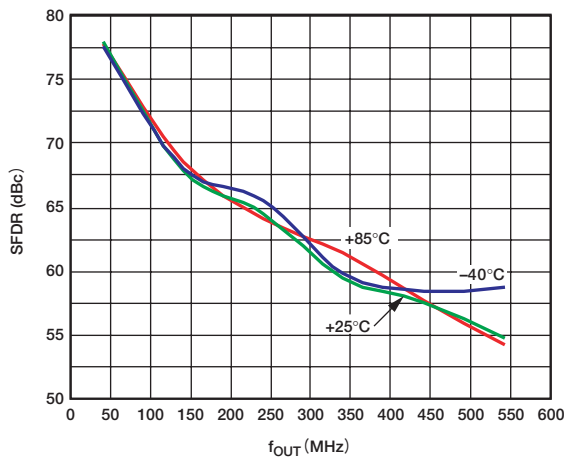


図42. AD9736のSFDR、 f_{OUT} 、温度の関連特性

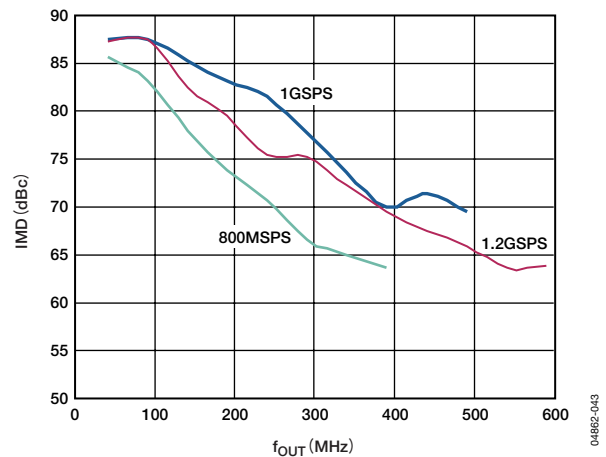


図45. AD9736のIMD、 f_{OUT} 、 f_{DAC} の関連特性（25°C）

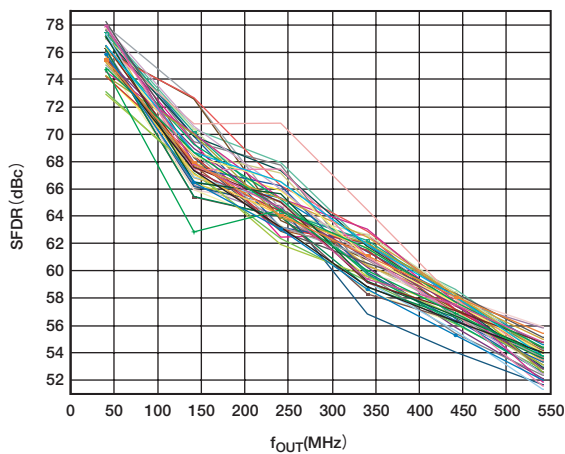


図43. AD9736 50個の f_{OUT} 対 SFDR（25°C、1.2GSPS）

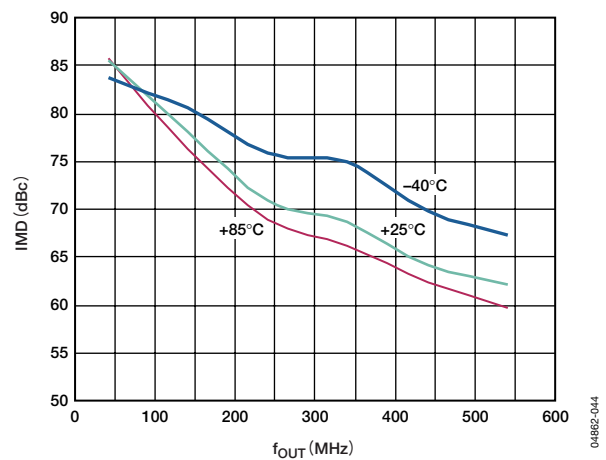


図46. AD9736のIMD、 f_{OUT} 、温度の関連特性（1.2GSPS）

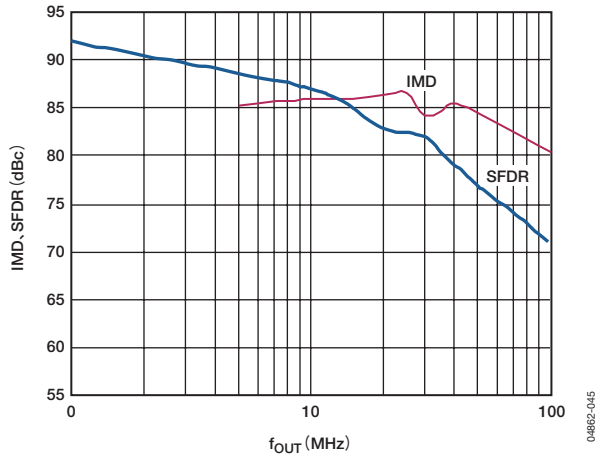


図47. AD9736の f_{OUT} 対 低周波数IMDおよびSFDR (25°C、1.2GSPS)

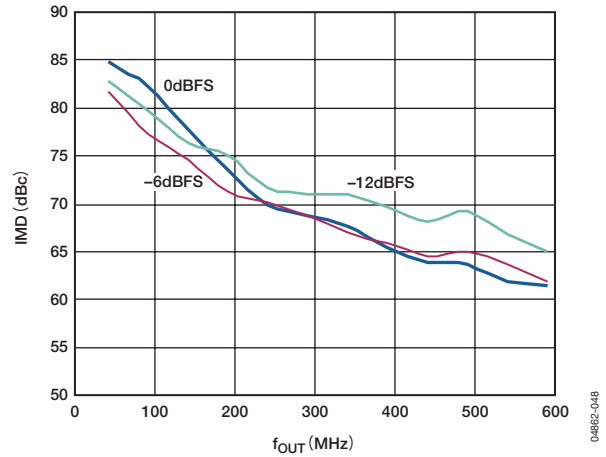


図50. AD9736のIMD、 f_{OUT} 、 A_{OUT} の関連特性 (25°C、1.2GSPS)

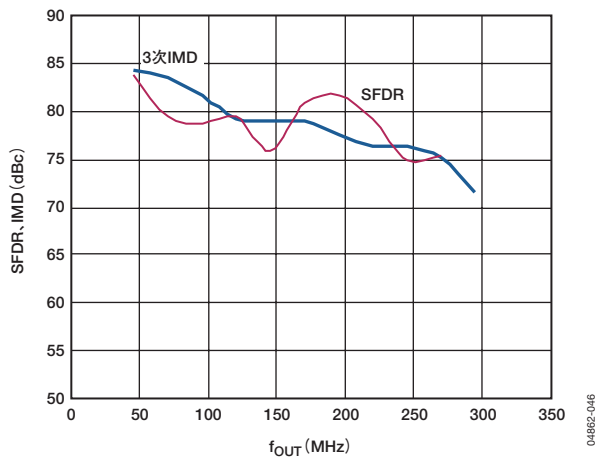


図48. AD9736の f_{OUT} 対 IMDおよびSFDR (25°C、1.2GSPS、2倍インターポレーション・モード)

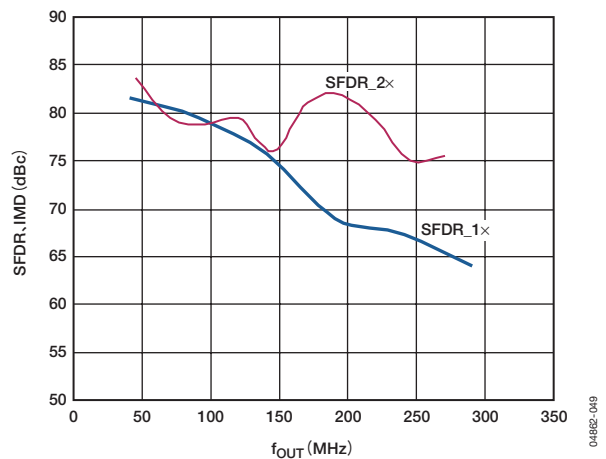


図51. AD9736の f_{OUT} 対 SFDR (25°C、1.2GSPS、1倍/2倍インターポレーション・モード)

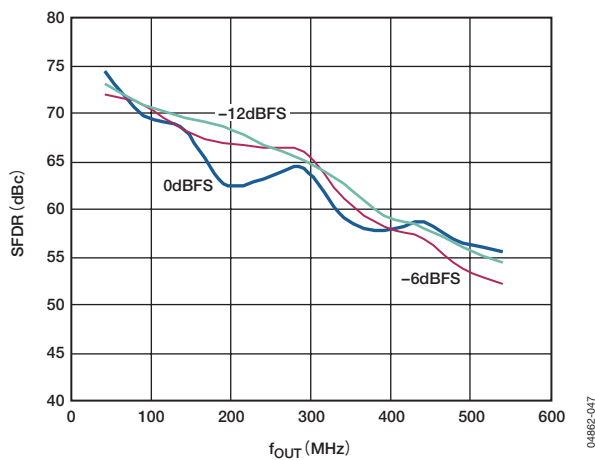


図49. AD9736のSFDR、 f_{OUT} 、 A_{OUT} の関連特性 (25°C、1.2GSPS)

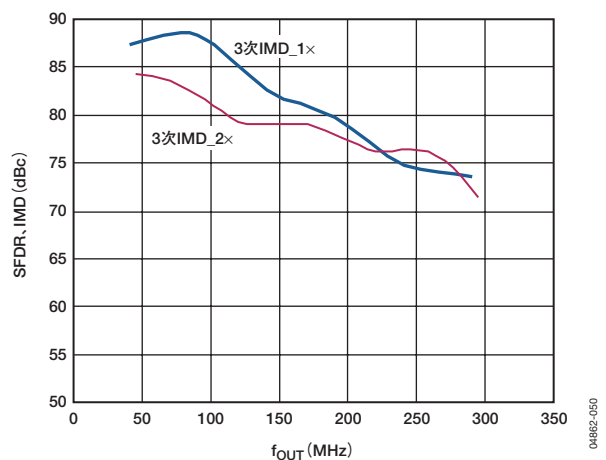


図52. AD9736の f_{OUT} 対 IMD (25°C、1.2GSPS、1倍/2倍インターポレーション・モード)

AD9734/AD9735/AD9736

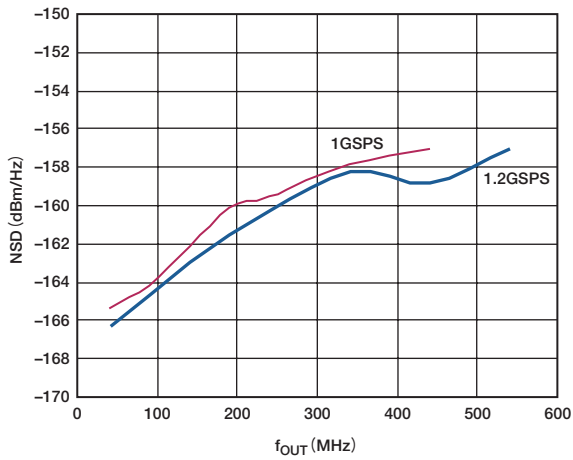


図53. AD9736のシングル・トーンNSD、 f_{OUT} 、 f_{DAC} の関連特性 (25°C)

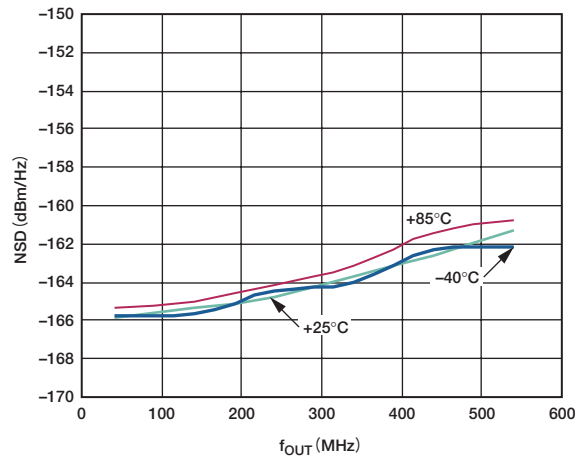


図56. AD9736の8トーンNSD、 f_{OUT} 、温度の関連特性 (1.2GSPS)

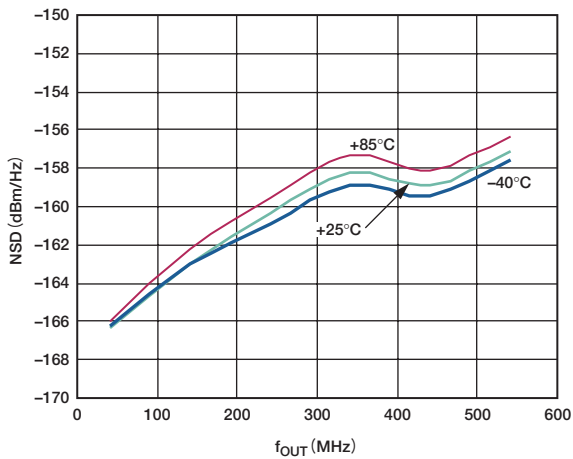


図54. AD9736のシングル・トーンNSD、 f_{OUT} 、温度の関連特性 (1.2GSPS)

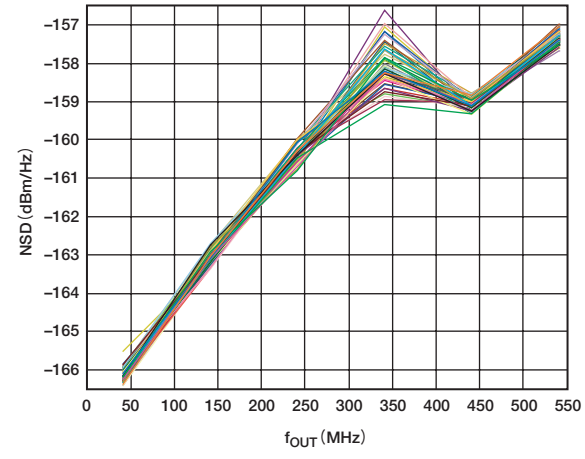


図57. AD9736 50個の f_{OUT} 対 シングル・トーン NSD (1.2GSPS、25°C)

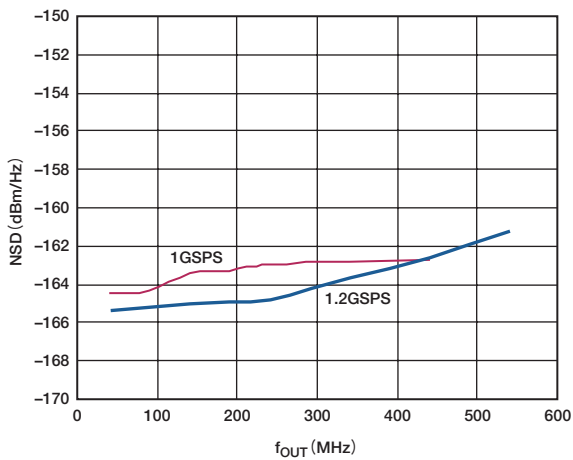


図55. AD9736の8トーンNSD、 f_{OUT} 、 f_{DAC} の関連特性 (25°C)

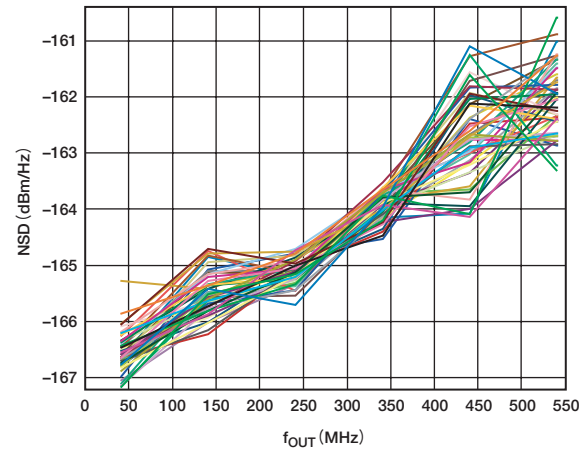


図58. AD9736 50個の f_{OUT} 対 8トーンNSD (1.2GSPS、25°C)

AD9735とAD9734の動的性能（20mAフルスケール）

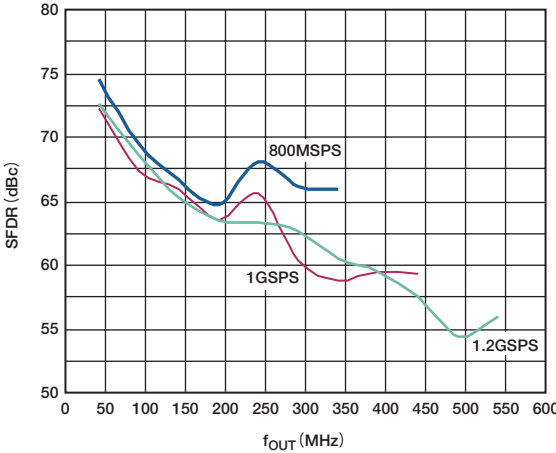


図59. AD9735のSFDR、 f_{OUT} 、 f_{DAC} の関連特性 (1.2GSPS)

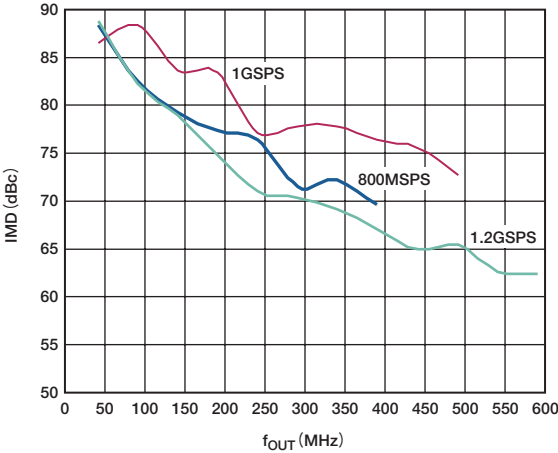


図62. AD9734のIMD、 f_{OUT} 、 f_{DAC} の関連特性 (1.2GSPS)

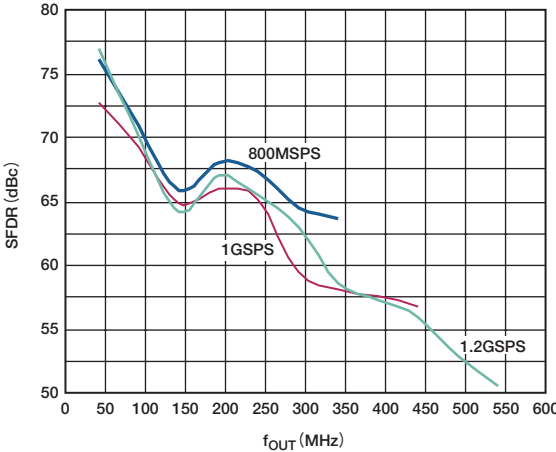


図60. AD9734のSFDR、 f_{OUT} 、 f_{DAC} の関連特性 (1.2GSPS)

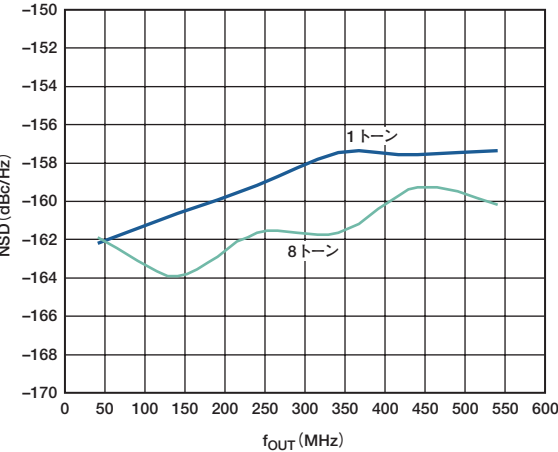


図63. AD9735の f_{OUT} 対 NSD (1.2GSPS)

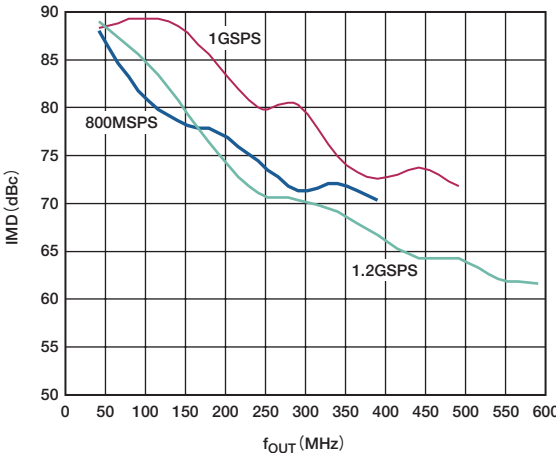


図61. AD9735のIMD、 f_{OUT} 、 f_{DAC} の関連特性 (1.2GSPS)

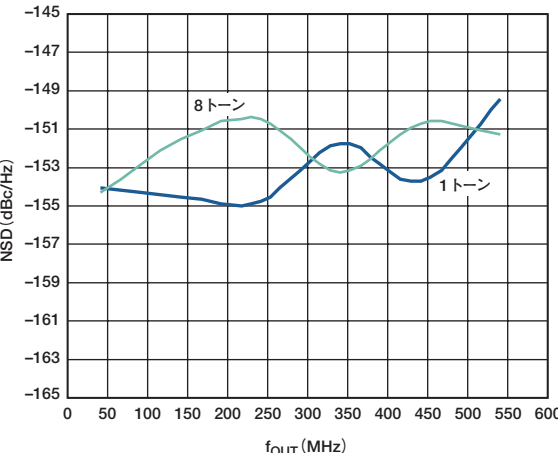


図64. AD9734の f_{OUT} 対 NSD (1.2GSPS)

AD9734/AD9735/AD9736

AD973xのWCDMA ACLR (20mAフルスケール)

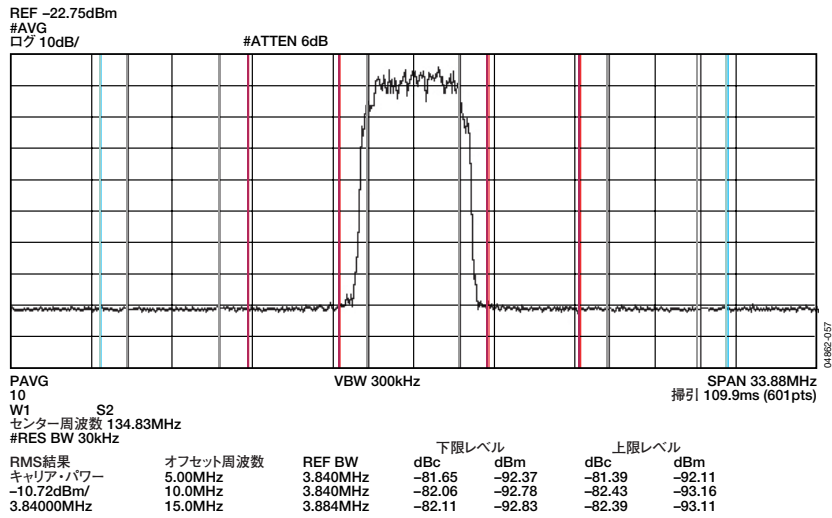


図65. AD9736の134.83MHzにおけるWCDMAキャリア ($f_{DAC}=491.52\text{MSPS}$)

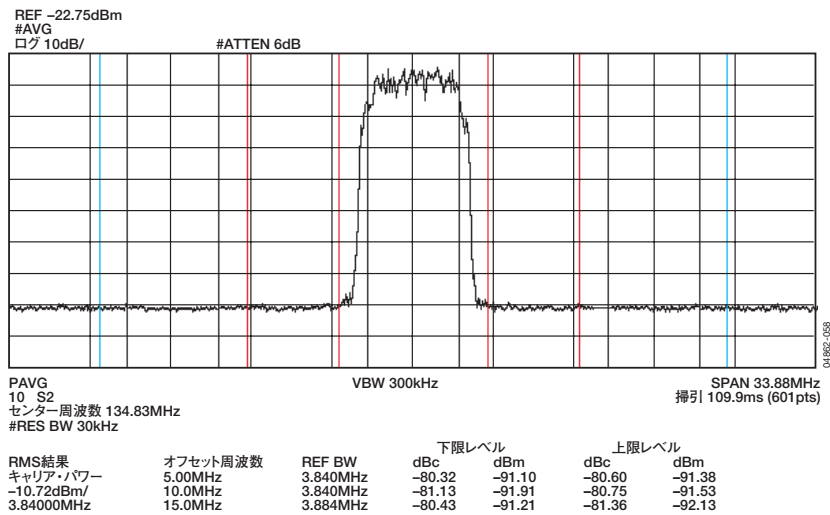


図66. AD9735の134.83MHzにおけるWCDMAキャリア ($f_{DAC}=491.52\text{MSPS}$)

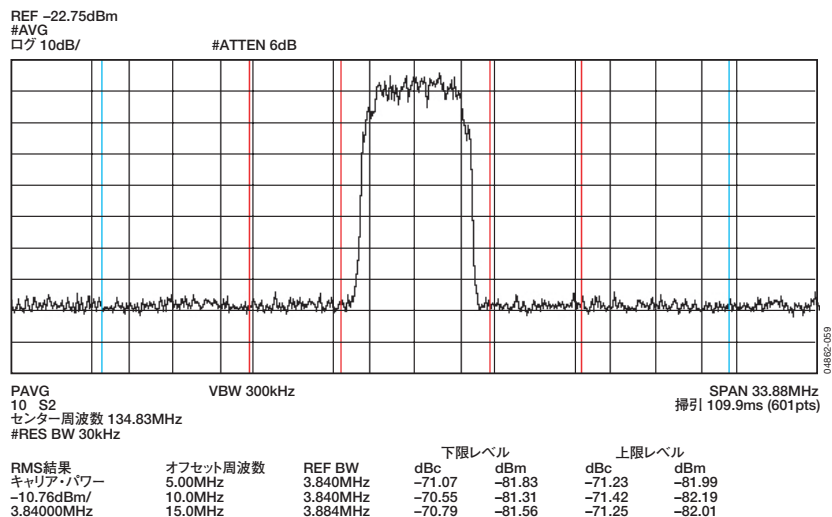


図67. AD9734の134.83MHz時のWCDMAキャリア ($f_{DAC}=491.52\text{MSPS}$)

SPIレジスタ・マップ

未指定または予備のビットの場所には0を書き込んでください。これらのビットを読み出すと、未知の値を返します。

表9. SPIレジスタ・マップ

アドレス (10進数値)	アドレス (16進数値)	レジスタ名	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	デフォルト値 (16進数値)	ピン・モード (16進数値)
0	00	MODE	SDIO_DIR	LSBFIRST	RESET	LONG_INS	2X MODE	FIFO MODE	DATAFRMT	PD	00	00
1	01	IRQ	LVDS	SYNC	CROSS	予備	IE_LVDS	IE_SYNC	IE_CROSS	予備	00	00
2	02	FSC_1	SLEEP						FSC<9>	FSC<8>	02	02
3	03	FSC_2	FSC<7>	FSC<6>	FSC<5>	FSC<4>	FSC<3>	FSC<2>	FSC<1>	FSC<0>	00	00
4	04	LVDS_CNT1	MSD<3>	MSD<2>	MSD<1>	MSD<0>	MHD<3>	MHD<2>	MHD<1>	MHD<0>	00	00
5	05	LVDS_CNT2	SD<3>	SD<2>	SD<1>	SD<0>	LCHANGE	ERR_HI	ERR_LO	CHECK	00	00
6	06	LVDS_CNT3	LSURV	LAUTO	LFLT<3>	LFLT<2>	LFLT<1>	LFLT<0>	LTRH<1>	LTRH<0>	00	00
7	07	SYNC_CNT1	FIFOSTAT3	FIFOSTAT2	FIFOSTAT1	FIFOSTAT0	VALID	SCHANGE	PHOF<1>	PHOF<0>	00	00
8	08	SYNC_CNT2	SSURV	SAUTO	SFLT<3>	SFLT<2>	SFLT<1>	SFLT<0>	予備	STRH<0>	00	00
9	09	予備										
10	0A	CROS_CNT1			UPDEL<5>	UPDEL<4>	UPDEL<3>	UPDEL<2>	UPDEL<1>	UPDEL<0>	00	00
11	0B	CROS_CNT2			DNDEL<5>	DNDEL<4>	DNDEL<3>	DNDEL<2>	DNDEL<1>	DNDEL<0>	00	00
12	0C	予備										
13	0D	予備										
14	0E	ANA_CNT1	MSEL<1>	MSEL<0>				TRMBG<2>	TRMBG<1>	TRMBG<0>	C0	C0
15	0F	ANA_CNT2	HDRM<7>	HDRM<6>	HDRM<5>	HDRM<4>	HDRM<3>	HDRM<2>	HDRM<1>	HDRM<0>	CA	CA
16	10	予備										
17	11	BIST_CNT	SEL<1>	SEL<0>	SIG_READ			LVDS_EN	SYNC_EN	CLEAR	00	00
18	12	BIST<7:0>										
19	13	BIST<15:8>										
20	14	BIST<23:16>										
21	15	BIST<31:24>										
22	16	CCLK_DIV	予備	予備	予備	予備	CCD<3>	CCD<2>	CCD<1>	CCD<0>	00	00

AD9734/AD9735/AD9736

SPIレジスタの説明

特に指定のない限り、これらのレジスタを読み出すと、定義済みの全レジスタ・ビットに書き込まれている値を返します。書き込みレジスタのリセット値は太字で表記しています。

MODEレジスタ (REG 0)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x00	MODE	SDIO_DIR	LSB/MSB	RESET	LONG_INS	2×MODE	FIFO MODE	DATAFRMT	PD

表10. MODEレジスタのビットの説明

ビット名	読出し／書込み	説明
SDIO_DIR	WRITE	0 、SPI規格準拠の入力専用 1、SPI規格準拠の双方向
LSB/MSB	WRITE	0 、SPI規格準拠のMSBファースト 1、SPI規格準拠のLSBファースト 注：ビットの順番エラーによる誤動作を防ぐため、LSB/MSBの順番を変更する場合はシングル・バイト命令で行ってください。
RESET	WRITE	0 、SPIとコントローラのソフトウェア・リセットを実行し、レジスタ0x00および0x04を除くデフォルトのレジスタ値を再ロードします。 1、ソフトウェア・リセットを設定し、次の（または後ろのいずれかの）サイクルで0を書き込み、リセットを解除します。
LONG_INS	WRITE	0 、ショート（シングル・バイト）命令ワード 1、ロング（2バイト）命令ワード。最大内部アドレスがREG31 (0x1F) であるため、必要ありません。
2 × _MODE	WRITE	0 、2倍インターポレーション・フィルタをディスエーブルにします。 1、2倍インターポレーション・フィルタをイネーブルにします。
FIFO_MODE	WRITE	0 、FIFO同期をディスエーブルにします。 1、FIFO同期をイネーブルにします。
DATAFRMT	WRITE	0 、ミッドスケール=0x0000の符号付き入力データ 1、ミッドスケール=0x2000の符号なし入力データ
PD	WRITE	0 、LVDSレシーバ、DAC、およびクロック回路をイネーブルにします。 1、LVDSレシーバ、DAC、およびクロック回路をパワーダウンします。

割込み要求レジスタ (IRQ) (REG 1)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x01	IRQ	LVDS	SYNC	CROSS	予備	IE_LVDS	IE_SYNC	IE_CROSS	予備

表11. 割込み要求レジスタのビットの説明

ビット名	読出し／書込み	説明
LVDS	WRITE READ	ドント・ケア 0 、LVDSレシーバの割込みはありません。 1、LVDSレシーバの割込みが発生しました。
SYNC	WRITE READ	ドント・ケア 0 、SYNCロジックの割込みはありません。 1、SYNCロジックの割込みが発生しました。
CROSS	WRITE READ	ドント・ケア 0 、CROSSロジックの割込みはありません。 1、CROSSロジックの割込みが発生しました。
IE_LVDS	WRITE	0 、LVDSレシーバの割込みをリセットし、以後のLVDSレシーバの割込みをディスエーブルにします。 1、LVDSレシーバの割込みをイネーブルにし、IRQピンをアクティブにします。
IE_SYNC	WRITE	0 、SYNCロジックの割込みをリセットし、以後のSYNCロジックの割込みをディスエーブルにします。 1、SYNCロジックの割込みをイネーブルにし、IRQピンをアクティブにします。
IE_CROSS	WRITE	0 、CROSSロジックの割込みをリセットし、以後のCROSSロジックの割込みをディスエーブルにします。 1、CROSSロジックの割込みをイネーブルにし、IRQピンをアクティブにします。

フルスケール電流 (FSC) レジスタ (REG 2、REG 3)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x02	FSC_1	SLEEP	—	—	—	—	—	FSC<9>	FSC<8>
0x03	FSC_2	FSC<7>	FSC<6>	FSC<5>	FSC<4>	FSC<3>	FSC<2>	FSC<1>	FSC<0>

表12. フルスケール電流出力レジスタのビットの説明

ビット名	読出し／書込み	説明
SLEEP	WRITE	0 、DAC出力をイネーブルにします。 1、DAC出力電流を0mAに設定します。
FSC<9:0>	WRITE	0x000、10mAのフルスケール出力電流 0x200 、20mAのフルスケール出力電流 0x3FF、30mAのフルスケール出力電流

LVDSコントローラ (LVDS_CNT) レジスタ (REG 4、REG 5、REG 6)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x04	LVDS_CNT1	MSD<3>	MSD<2>	MSD<1>	MSD<0>	MHD<3>	MHD<2>	MHD<1>	MHD<0>
0x05	LVDS_CNT2	SD<3>	SD<2>	SD<1>	SD<0>	LCHANGE	ERR_HI	ERR_LO	CHECK
0x06	LVDS_CNT3	LSURV	LAUTO	LFLT<3>	LFLT<2>	LFLT<1>	LFLT<0>	LTRH<1>	LTRH<0>

表13. LVDSコントローラ・レジスタのビットの説明

ビット名	読出し／書込み	説明
MSD<3:0>	WRITE READ	0x0 、測定システムのセットアップ遅延を設定します。 (LAUTO=1の場合)：セットアップ遅延の最新の測定値 (LAUTO=0の場合)：このビットに書き込まれた最後のSPI値を読み出します。
MHD<3:0>	WRITE READ	0x0 、測定システムのホールド遅延を設定します。 (LAUTO=1の場合)：ホールド遅延の最新の測定値 (LAUTO=0の場合)：このビットに書き込まれた最後のSPI値を読み出します。
SD<3:0>	WRITE READ	0x0 、サンプリング遅延を設定します。 (LAUTO=1の場合)：測定サイクルの結果がこのレジスタに格納されます。 (LAUTO=0の場合)：このビットに書き込まれた最後のSPI値を読み出します。
LCHANGE	READ	0、前の測定から変更がありません。 1、前の測定から値が変更されました。 注：平均フィルタとスレッショルド検出は、このビットに適用されません。
ERR_HI	READ	15のLVDS入力のうち1つが、IEEE低減幅LVDS仕様の入力電圧限界を上回っています。
ERR_LO	READ	15のLVDS入力のうち1つが、IEEE低減幅LVDS仕様の入力電圧限界を下回っています。
CHECK	READ	0、位相測定。前または後のデータ・サイクルでサンプリング 1、位相測定。正しいデータ・サイクルでサンプリング
LSURV	WRITE	0 、現在実行中の測定サイクルが完了した後で、コントローラが停止します。 1、測定を連続的に実行し、クロック・アライメントがスレッショルド値を超えると、割込みが発生します。
LAUTO	WRITE	0 、サンプル遅延を自動的に更新しません。 1、測定サイクルを連続的に開始し、測定結果に従ってサンプル遅延を更新します。 注：AUTOモードを選択するときは、LSURV (レジスタ6のビット7) を1に設定し、LVDS IRQ (レジスタ1のビット3) を0に設定する必要があります。
LFLT<3:0>	WRITE	0x0 、平均フィルタ長、遅延=遅延+Δ遅延/2 ^{LFLT<3:0>} 、12 (0x0C) よりも大きい値は12に切り詰められます。
LTRH<2:0>	WRITE	000 、自動更新のスレッショルド値を設定します。

AD9734/AD9735/AD9736

SYNCコントローラ (SYNC_CNT) レジスタ (REG 7、REG 8)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x07	SYNC_CNT1	FIFOSTAT3	FIFOSTAT2	FIFOSTAT1	FIFOSTAT0	VALID	SCHANGE	PHOF<1>	PHOF<0>
0x08	SYNC_CNT2	SSURV	SAUTO	SFLT<3>	SFLT<2>	SFLT<1>	SFLT<0>	予備	STRH<0>

表14. SYNCコントローラ・レジスタのビットの説明

ビット名	読出し／書込み	説明
FIFOSTAT<2:0>	READ	FIFO読出しカウンタの位置、0～7
FIFOSTAT<3>	READ	0、SYNCロジックOK 1、SYNCロジックにエラーが発生しています。
VALID	READ	0、FIFOSTAT<3:0>がまだ有効になっていません。 1、FIFOSTAT<3:0>がリセット後に有効になります。
SCHANGE	READ	0、FIFOSTAT<3:0>に変更はありません。 1、SSURV=1（サーベイランス・モードがアクティブ）のとき、前の測定サイクル以降にFIFOSTAT<3:0>に変更があります。
PHOF<1:0>	WRITE READ	00 、読出しカウンタを変更します。 割込みの後、サーベイランス・モード（SSURV=1）で適用される読出しカウンタ（PHOF<1:0>）の現在の設定 AUTOモード（SAUTO=1）で計算された最新の最適な読出しカウンタ値
SSURV	WRITE	0 、現在実行中の測定サイクル完了後、コントローラが停止します。 1、測定を連続的に実行し、読出しカウンタ値がスレッシュホールド値を超えると、割込みが発生します。
SAUTO	WRITE	0 、読出しカウンタ（PHOF<3:0>）を自動的に更新しません。 1、測定サイクルを連続的に開始し、測定結果に従って読出しカウンタを更新します。 注：AUTOモードを選択するときは、SSURV（レジスタ8のビット7）を1に設定し、SYNC IRQ（レジスタ1のビット2）を0に設定する必要があります。
SFLT<3:0>	WRITE	0x0 、平均フィルタ長、 $FIFOSTAT = FIFOSTAT + \Delta FIFOSTAT / 2^{\wedge} SFLT <3:0>$ 、12（0x0C）よりも大きい値は12に切り詰められます。
STRH<0>	WRITE	0 、FIFOSTAT<2:0>=0または7の場合、SYNC割込みが発生します。 1、FIFOSTAT<2:0>=0、1、6または7の場合、SYNC割込みが発生します。

CROSSコントローラ (CROS_CNT) レジスタ (REG 10、REG 11)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x0A	CROS_CNT1	—	—	UPDEL<5>	UPDEL<4>	UPDEL<3>	UPDEL<2>	UPDEL<1>	UPDEL<0>
0x0B	CROS_CNT2	—	—	DNDEL<5>	DNDEL<4>	DNDEL<3>	DNDEL<2>	DNDEL<1>	DNDEL<0>

表15. CROSSコントローラ・レジスタのビットの説明

ビット名	読出し／書込み	説明
UPDEL<5:0>	WRITE	0x00 、差動出力段のスイッチング・ポイントを上に移動します。DNDELがゼロ以外の場合は、0に設定してください。
DNDEL<5:0>	WRITE	0x00 、差動出力段のスイッチング・ポイントを下に移動します。UPDELがゼロ以外の場合は、0に設定してください。

アナログ制御 (ANA_CNT) レジスタ (REG 14、REG 15)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x0E	ANA_CNT1	MSEL<1>	MSEL<0>	—	—	—	TRMBG<2>	TRMBG<1>	TRMBG<0>
0x0F	ANA_CNT2	HDRM<7>	HDRM<6>	HDRM<5>	HDRM<4>	HDRM<3>	HDRM<2>	HDRM<1>	HDRM<0>

表16. アナログ制御レジスタのビットの説明

ビット名	読出し／書込み	説明
MSEL<1:0>	WRITE	00、ミラー・ロールオフ周波数の制御＝バイパス 01、ミラー・ロールオフ周波数の制御＝最も狭い帯域幅 10、ミラー・ロールオフ周波数の制御＝中程度の帯域幅 11、ミラー・ロールオフ周波数の制御＝最も広い帯域幅 注：「アナログ制御レジスタ」のプロットを参照してください。
TRMBG<2:0>	WRITE	000、バンドギャップ温度特性のトリム 注：「アナログ制御レジスタ」のプロットを参照してください。
HDRM<7:0>	WRITE	0xCA、出力スタックのヘッドルーム制御 HDRM<7:4>：AVDD33からのリファレンス・オフセットを設定します (VCASセンタリング)。 HDRM<3:0>：オーバードライブ (電流密度) トリム (温度トラッキング) を設定します。 注：最適な性能を得るために、0xCAに設定してください。

内蔵セルフテスト制御 (BIST_CNT) レジスタ (REG 17、REG 18、REG 19、REG 20、REG 21)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x11	BIST_CNT	SEL<1>	SEL<0>	SIG_READ	—	—	LVDS_EN	SYNC_EN	CLEAR
0x12	BIST<7:0>	BIST<7>	BIST<6>	BIST<5>	BIST<4>	BIST<3>	BIST<2>	BIST<1>	BIST<0>
0x13	BIST<15:8>	BIST<15>	BIST<14>	BIST<13>	BIST<12>	BIST<11>	BIST<10>	BIST<9>	BIST<8>
0x14	BIST<23:16>	BIST<23>	BIST<22>	BIST<21>	BIST<20>	BIST<19>	BIST<18>	BIST<17>	BIST<16>
0x15	BIST<31:24>	BIST<31>	BIST<30>	BIST<29>	BIST<28>	BIST<27>	BIST<26>	BIST<25>	BIST<24>

表17. BIST制御レジスタのビットの説明

ビット名	読出し／書込み	説明
SEL<1:0>	WRITE	00、LVDSフェーズ1 BISTの結果をBIST<31:0>に書き込みます。 01、LVDSフェーズ2 BISTの結果をBIST<31:0>に書き込みます。 10、SYNCフェーズ1 BISTの結果をBIST<31:0>に書き込みます。 11、SYNCフェーズ2 BISTの結果をBIST<31:0>に書き込みます。
SIG_READ	WRITE	0、動作なし 1、BIST符号定数の読出しをイネーブルにします。
LVDS_EN	WRITE	0、動作なし 1、LVDS BISTをイネーブルにします。
SYNC_EN	WRITE	0、動作なし 1、SYNC BISTをイネーブルにします。
CLEAR	WRITE	0、動作なし 1、すべてのBISTレジスタをクリアします。
BIST<31:0>	READ	内蔵セルフテストの結果

AD9734/AD9735/AD9736

コントローラ・クロック・プリディバイダ (CCLK_DIV) 読出しレジスタ (REG 22)

アドレス	名前	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
0x16	CCLK_DIV	予備	予備	予備	予備	CCD<3>	CCD<2>	CCD<1>	CCD<0>

表18. コントローラ・クロック・プリディバイダ・レジスタのビットの説明

ビット名	読出し／書込み	説明
CCD<3:0>	WRITE	0x0、コントローラのクロック=DACCLK/16 0x1、コントローラのクロック=DACCLK/32 0x2、コントローラのクロック=DACCLK/64... 0xF、コントローラのクロック=DACCLK/524288 注：正しく動作させるために、100MHz～1.2GHzのDACCLKを10MHz未満の周波数に必ず分周してください。以下の関係を損わないように、CCD<3:0>の設定によってDACCLKを分周してください。 コントローラのクロック=DACCLK/ (2^(CCD<3:0>+4))

動作原理

AD9736/AD9735/AD9734は、最大1.2GSPSの更新レートで動作する14/12/10ビットのD/Aコンバータ（DAC）です。最高1.2GSPSの更新レートで入力データを受け入れるほか、2倍インターポレーション・フィルタをイネーブルにして（2倍モード）600MSPSの入力データレートによる最高速動作も実行できます。DATAとDATACLK_INの各入力はパラレルのLVDSであり、入力ヒステリシスを除くIEEE低振幅LVDS仕様を満たします。DATACLK_IN入力は、ダブル・データレート（DDR）フォーマットによって、入力DATAレートの1/2の速度で動作します。図79に示すように、DATACLK_IN入力の立上がりとし下がりのエッジを使用して、DATAをAD9736に転送します。

DACCLK⁻/DACCLK⁺入力（E1、F1ピン）はDACコアを直接駆動し、クロック・ジッタを最小限に抑えます。さらに、DACCLK信号を2分周し（1倍/2倍モード）、DATACLK_OUTとして出力することもできます。DATACLK_OUT信号は、データ・ソースのクロック出力に使用します。DACは、DDR入力クロック（DATACLK_IN）にタイミングを合わせたDDR LVDSデータ（DB<13:0>）を図96の回路と同様の回路から得ることができます。クロックの関係を表19に示します。

表19. AD973xのクロックの関係

モード	DACCLK	DATACLK_OUT	DATACLK_IN	DATA
1×	1.2GHz	600MHz	600MHz	1.2GSPS
2×	1.2GHz	600MHz	300MHz	600MSPS

データとクロックのアライメントは高速DACに共通の課題ですが、温度などの動作条件の変化によってさらに複雑な作業になります。データの生成にDATACLK_OUT信号を使用すれば、内部プロセス、温度、電圧遅延の変動の大部分をなくすることができます。高速データ・キャプチャに関わるこの問題の解決をさらに容易にするのが、AD973xが搭載する2個のアダプティブ・クローズド・ループ・タイミング・コントローラです。

タイミング・コントローラの1つは、LVDSデータとデータ・クロックのアライメントを管理し（LVDSコントローラ）、もう1つのコントローラはLVDSデータとDACCLKのアライメントを管理します（SYNCコントローラ）。

LVDSコントローラはデータ遷移の場所を検出し、その遷移が有効なデータ・ウィンドウの中心に来るように、DATACLK_INを遅延させます。SYNCコントローラは、LVDSのDATACLK_IN領域からDACCLK領域にデータを移動するFIFOを管理します。

いずれのコントローラも、外部プロセッサで制御する手動モード、エラー状態のとき外部割込みが発生するサーベイランス・モード、エラーを自動的に修正する自動モードが可能です。

LVDSコントローラとSYNCコントローラには、ノイズ耐性を維持するための移動平均フィルタリング機能と、コントローラ動作を制御するための可変スレッシュホールドが組み込まれています。通常はコントローラを自動モードに設定します。このモードでは、DACに送信されるサンプルの欠落や重複を起こすことなく、必要な調整を自動的に実行します。いずれのコントローラも、自動更新モードに入る前に初期キャリブレーションが必要です。

AD973xのアナログ出力は、入力データがFIFOをディスエーブルにして1倍モードに変化してからDACCLKの35サイクル後に変化します。FIFOは8サイクル分までの遅延を追加することができます。この遅延はSPIポートから読み出すことができます。内部クロック遅延の変動は、1.2GHzのときDACCLKの1サイクル（833ps）未満に抑えられます。

DACCLKの実行中にAD973xのDATACLK_INを停止させると、予想外の出力信号が発生することがあります。これは内部のデジタル信号経路がインターリーブされるためです。DACにクロック入力された最後の2つのサンプルは、DATACLK_IN停止後もDACCLKによってクロック出力されます。その結果出力される信号の周波数は f_{DAC} の1/2となり、振幅は最後の2つのサンプル間の差によって決まります。

AD973xの機能は、表9に示すシリアル・プログラミング設定のレジスタを使用して制御します。オプションとして、一部の機能をピン・モードで外部ピンから直接設定することもできます。

AD9734/AD9735/AD9736

SPI（シリアル・ペリフェラル・インターフェース）

AD973xのシリアル・ポートは、柔軟性に優れた同期式のシリアル通信ポートであるため、業界標準の多くのマイクロコントローラおよびマイクロプロセッサとの間で容易にインターフェースをとることができます。シリアル入出力は、MotorolaのSPI®、Intel®のSSRのほか、ほとんどの同期転送フォーマットに対応しています。このインターフェースを介して、AD973xの設定に使用するすべてのレジスタに読み出し/書き込みアクセスを行うことができます。シングル・バイト、マルチバイトでの転送や、MSBファースト、LSBファーストの転送フォーマットにも対応しています。AD973xのシリアル・インターフェース・ポートは、シングル・ピンの入出力（SDIO）として、あるいは入出力用の2本の一方向ピン（SDIO/SDO）として構成できます。

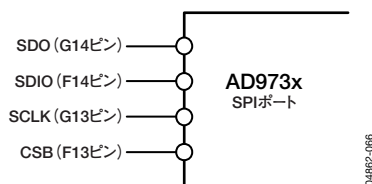


図68. AD973xのSPIポート

オプションとして、シリアル・インターフェースではなく、外部ピンを使用してAD973xを設定できます。PIN_MODE入力（L1ピン）がハイレベルのとき、シリアル・インターフェースがディスエーブルになり、そのピンがDACを直接制御するために割り当てられます。具体的な機能については、「ピン・モード動作」で説明します。

シリアル・インターフェースの一般的な動作

AD973xの通信サイクルには、2つのフェーズ（段階）があります。フェーズ1は、SCLKの最初から8番目までの立上がりエッジに同期して命令バイトをAD973xに書き込む命令サイクルです。命令バイトによって、フェーズ2の通信サイクルであるデータ転送サイクルに関する情報がAD973xのシリアル・ポート・コントローラに通知されます。フェーズ1の命令バイトは、これから実行するデータ転送が読み出しまたは書き込み動作のどちらであるかを指定し、さらにデータ転送のバイト数、データ転送の先頭バイトの開始レジスタ・アドレスを定義します。各通信サイクルのSCLKの1～8番目の立上がりエッジを使用して、命令バイトをAD973xに書き込みます。

SCLKの残りのエッジは、フェーズ2の通信サイクルで使用されます。フェーズ2では、AD973xとシステム・コントローラの間で実際にデータ転送が実行されます。フェーズ2の通信サイクルでは、命令バイトの指定に従って1～4データバイトが転送されます。マルチバイト転送によって1回で転送するのが望ましい方法です。シングル・バイトのデータ転送は、レジスタ・アクセスに必要なバイト数が1バイトのみで十分な場合にCPUのオーバーヘッドを軽減できます。各転送バイトの最後のビットを書き込むと、ただちにレジスタが変更されます。

バスをストールするために、8ビットのシーケンス（最後のバイトは除く）が終了するたびに、CSB（チップ・セレクト）をハイレベルに設定することができます。CSBをローレベルに戻すと、シリアル転送が再開されます。バイトが存在しない境界でストールを行うと、SPIがリセットされます。

ショート命令モード（8ビット命令）

ショート命令バイトを下記の表に示します。

MSB						LSB	
I7	I6	I5	I4	I3	I2	I1	I0
R/W	N1	N0	A4	A3	A2	A1	A0

命令バイトのビット7のR/Wは、命令バイトの書き込みの後に読み出しまたは書き込み動作のどちらを実行するかを指定します。ロジック・ハイレベルのときに読み出し動作、ロジック0のときに書き込み動作が指示されます。命令バイトのビット6と5のN1とN0は、データ転送サイクル時に転送されるバイトの数を指定します。このビット・デコードを表20に示します。

命令バイトのビット4、3、2、1、0であるA4、A3、A2、A1、A0は、通信サイクルのデータ転送時にアクセスするレジスタを指定します。マルチバイト転送の場合は、このアドレスが開始バイト・アドレスになります。その他のレジスタ・アドレスは、LSBFIRSTビット（レジスタ0のビット6）に基づいてAD973xが生成します。

表20. 転送バイト数

N1	N2	説明
0	0	1バイトの転送
0	1	2バイトの転送
1	0	3バイトの転送
1	1	4バイトの転送

ロング命令モード（16ビット命令）

ロング命令バイトを下記の表に示します。

MSB						LSB	
I15	I14	I13	I12	I11	I10	I9	I8
R/W	N1	N0	A12	A11	A10	A9	A8
I7	I6	I5	I4	I3	I2	I1	I0
A7	A6	A5	A4	A3	A2	A1	A0

LONG_INS=1（レジスタ0のビット4）の設定時には、命令バイトが2バイトに拡張され、2番目のバイトがもう8ビットのアドレス情報を含みます。アドレス0x00～0x1Fは、ショートとロング両方の命令モードに共通です。AD973xは31（0x1F）よりも大きいアドレスは使用しないため、常にLONG_INS=0に設定してください。

シリアル・インターフェース・ポート・ピンの説明

SCLK（シリアル・クロック）

シリアル・クロック・ピンは、AD973xの入出力データの同期化と内部ステート・マシンの実行に使用します。SCLKの最大周波数は20MHzです。AD973xのデータ入力はすべて、SCLKの立上がりエッジでレジスタに格納します。すべてのデータは、SCLKの立上がりエッジでAD973xから駆動されます。

CSB (チップ・セレクト)

アクティブ・ローレベルで入力すると、通信サイクルの開始とゲーティングを行います。このピンを使用して、複数のデバイスを同じシリアル通信ライン上で動作させることができます。この入力が高レベルのとき、SDOとSDIOの各ピンがハイ・インピーダンスの状態になります。通信サイクル期間中は、チップ・セレクトを必ずローレベルに保持してください。

SDIO (シリアル・データ入出力)

データは必ずこのピンからAD973xに書き込まれます。ただし、このピンは双方向のデータラインとして利用できます。このピンの設定は、レジスタ0、ビット7のSDIO_DIRを用いて制御します。デフォルトはロジック0で、そのときSDIOピンは一方のデータラインとして設定されます。

SDO (シリアル・データ出力)

プロトコルでデータの送信と受信に別々のラインを使用する場合に、このピンからデータを読み出します。AD973xが単一の双方向入出力モードで動作する場合は、このピンからデータは出力されず、ハイ・インピーダンスの状態に設定されます。

MSB/LSBの転送

AD973xのシリアル・ポートは、MSBファーストとLSBファースト両方のデータ・フォーマットに対応します。この機能はレジスタ0、ビット6のLSBFIRSTによって制御します。デフォルト設定は、MSBファースト (LSBFIRST=0) です。

LSBFIRST=0 (MSBファースト) のとき、命令バイトおよびデータバイトを最上位ビットから最下位ビットの順に書き込む必要があります。MSBファースト・フォーマットのマルチバイト・データ転送は、最上位データバイトのレジスタ・アドレスが含まれる命令バイトから開始されます。その後のデータバイトは、上位アドレスから下位アドレスの順に転送されます。MSBファースト・モードでは、マルチバイト通信サイクルのデータバイトが転送されるたびに、シリアル・ポート内部のバイト・アドレス発生器がデクリメントします。

LSBFIRST=1 (LSBファースト) のとき、命令およびデータバイトを最下位ビットから最上位ビットの順に書き込む必要があります。LSBファースト・フォーマットのマルチバイト・データ転送は、最下位データバイトのレジスタ・アドレスが含まれる命令バイトから開始され、その後複数のデータバイトが続いて転送されます。LSBファースト・モードでは、マルチバイト通信サイクルのデータバイトが転送されるたびに、シリアル・ポート内部のバイト・アドレス発生器がインクリメントします。

MSBファースト・モードをアクティブにしている場合、AD973xのシリアル・ポート・コントローラのデータ・アドレスは、マルチバイト入出力動作のとき0x00の方向に書き込まれるデータ・アドレスからデクリメントします。LSBファースト・モードをアクティブにしている場合は、シリアル・ポート・コントローラのデータ・アドレスは、マルチバイト入出力動作のとき0x1Fの方向に書き込まれるデータ・アドレスからインクリメントします。

シリアル・ポートの動作に関する注記事項

AD973xのシリアル・ポート設定は、レジスタ0のビット4~7を使用して制御します。レジスタの最後のビットを書き込むと、ただちに設定が変更されます。

マルチバイト転送の場合は、通信サイクルの実行中にこのレジスタの書き込みを行うことができます。ただし、現在実行中の通信サイクルの残りのバイトに対して、新しい設定の補償を行う必要があります。ソフトウェア・リセットのRESET (レジスタ0、ビット5) の設定にも同じ補償を行う必要があります。変

更を行わないレジスタ0とレジスタ4を除くすべてのレジスタが、デフォルト値に設定されます。

シリアル・ポートの設定を変更する場合や、ソフトウェア・リセットを開始する場合は、シングル・バイト転送を特に推奨します。予想外のプログラミング・シーケンスが発生した場合、AD973xのSPIがアクセス不能の状態になることがあります。たとえば、ユーザ・コードによってLONG_INSビットまたはLSBFIRSTビットが不用意に変更されると、その後のビットに予想外の結果が生じるおそれがあります。あるバイトの一部 (1~7ビット) にすべて0を書き込み、その後3バイトの0x00を書き込むと、SPIを既知の状態に戻すことができます。この操作によってMSBファーストのショート命令 (レジスタ0=0x00) に戻るため、デバイスを再初期化できます。

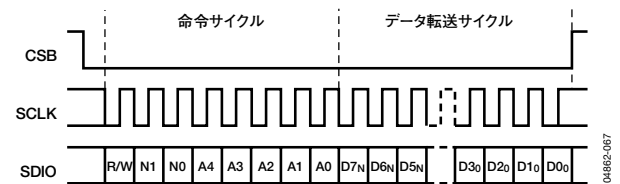


図69. レジスタのシリアル・インターフェース・タイミング (MSBファーストの書き込み動作)

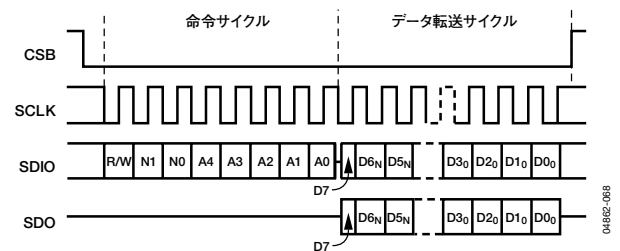


図70. レジスタのシリアル・インターフェース・タイミング (MSBファーストの読み出し動作)

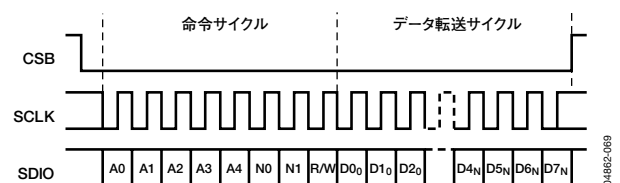


図71. レジスタのシリアル・インターフェース・タイミング (LSBファーストの書き込み動作)

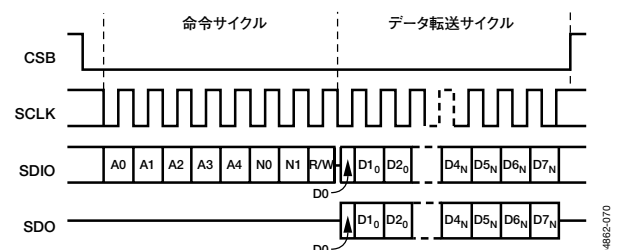


図72. レジスタのシリアル・インターフェース・タイミング (LSBファーストの読み出し動作)

AD9734/AD9735/AD9736

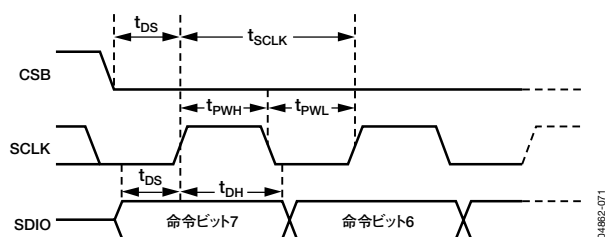


図73. SPIレジスタの書き込みタイミング図

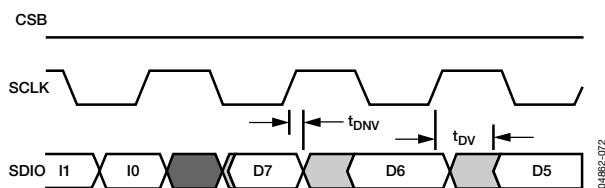


図74. SPIレジスタの読出しタイミング図

最後の命令ビットをSDIOピンに書き込んだ後、バスのターンアラウンドのタイミングに対応するために、駆動信号をハイ・インピーダンスに設定してください。AD973xから出力されるシリアル・データは、SCLKの立下がりエッジでイネーブルになります。これにともなって、図74に示すように最初の出力データビットがその他のデータビットよりも短くなります。

データが正しく読み出されるように、SCLKがローレベルからハイレベルに遷移する前に、SDIOまたはSDOピンの読出しを行ってください。より複雑なマルチバイト転送では、複数のAD973xデバイスをSPIバス上でデジチェーン接続することができません。複数のDACは、独立したCSB信号で制御する必要があります。

ピン・モード動作

PIN_MODE入力 (L1ピン) をハイレベルに設定すると、SPIポートがディスエーブルになります。表21に示すように、SPIポート・ピンはマッピングし直されます。これらのピンの機能を表22に示します。PIN_MODEレジスタのその他の設定は、表9に示しています。

表21. SPI_MODE入力とPIN_MODE入力の比較

ピン番号	PIN_MODE=0	PIN_MODE=1
E13	IRQ	UNSIGNED
F13	CSB	2×
G13	SCLK	FSC0
E14	RESET	PD
F14	SDIO	FIFO
G14	SDO	FSC1

表22. PIN_MODE入力の機能

ピン	機能
UNSIGNED	0: 2の補数の入力データ・フォーマット 1: 符号なしの入力データ・フォーマット
2×	0: インターポレーションをディスエーブル 1: インターポレーション=2倍をイネーブル
FSC1、FSC0	00: スリープ・モード 01: 10mAのフルスケール出力電流 10: 20mAのフルスケール出力電流 11: 30mAのフルスケール出力電流
PD	0: チップをイネーブル 1: チップをパワーダウン状態に設定
FIFO	0: 入力FIFOをディスエーブル 1: 入力FIFOをイネーブル

表22に示す制御ビット以外は変更できないため、PIN_MODE入力を使用する場合は注意が必要です。その他のレジスタのデフォルト値が目的の動作に適していない場合は、PIN_MODE入力を使用できません。FIFOをイネーブルにするときは、コントローラのクロックを必ず10MHz未満にしてください。これによってDACのクロックが160MHzに制限されます。

リセット動作

RESETピンは、SPIレジスタのすべてのデータ内容を強制的にデフォルト値 (表9を参照) に戻し、DACを既知の状態に設定します。ソフトウェア・リセット・ビットは、レジスタ0とレジスタ4を除くすべてのSPIレジスタのデータ内容をそのデフォルト値に強制的に戻します。

内部リセット信号は、RESETピンの状態に関する論理OR演算およびソフトウェア・リセット状態から生成されます。この内部リセット信号は、リセットの適用を受けないレジスタ0とレジスタ4を除くすべてのSPIレジスタをそのデフォルト値に戻します。データ・レジスタには、いずれのリセットも適用されません。

レジスタ0のビット5に1を書き込むと、ソフトウェア・リセットがアサートされます。これは以後のSPI書き込みサイクルでクリアできます。

プログラミングのシーケンス

AD973xレジスタのプログラミングは、以下の順番で設定してください。

- ハードウェア・リセット
- 必要に応じて、SPIポートの設定変更
- 符号なしの場合に入力フォーマットの選択
- 2倍モードの場合にインターポレーション
- LVDSコントローラのキャリブレーションと設定
- FIFOのイネーブル
- SYNCコントローラのキャリブレーションと設定

1~4は必須ですが、5~7はオプションです。LVDSコントローラによって、温度と電圧が変化する条件下でDACのデータを確実に正しく受信できます。SYNCコントローラはFIFOを管理し、温度と電圧が変化する条件下で受信データをDACコアに正しく転送します。DACは、データとクロックのアライメントを外部で管理しない限り、この2つのコントローラをアクティブにした状態で動作するようになっています。

インターポレーション・フィルタ

2倍モードでは、入力データは2という係数で補間されます。つまり、DACの更新レートが2倍になります。インターポレーション・フィルタはハード・コード、55タップの対称性FIRであり、0.001dBのパスバンド平坦性と約90dBのストップバンド減衰性能を備えています。遷移帯域の動作周波数は、 f_{DAC} の20%から f_{DAC} の30%までの範囲です。周波数軸が f_{DAC} に正規化されたFIR応答特性を図75に示します。図76はパスバンド平坦性、表23は16ビットのフィルタ係数をそれぞれ示しています。

表23. FIRインターポレーション・フィルタ係数

係数番号	係数番号	タップの重付け
1	55	-7
2	54	0
3	53	+24
4	52	0
5	51	-62
6	50	0
7	49	+135
8	48	0
9	47	-263
10	46	0
11	45	+471
12	44	0
13	43	-793
14	42	0
15	41	+1273
16	40	0
17	39	-1976
18	38	0
19	37	+3012
20	36	0
21	35	-4603
22	34	0
23	33	+7321
24	32	0
25	31	-13270
26	30	0
27	29	+41505
28		+65535

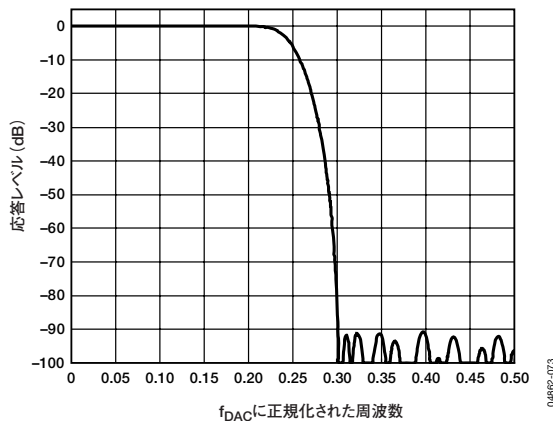


図75. インターポレーション・フィルタの応答特性

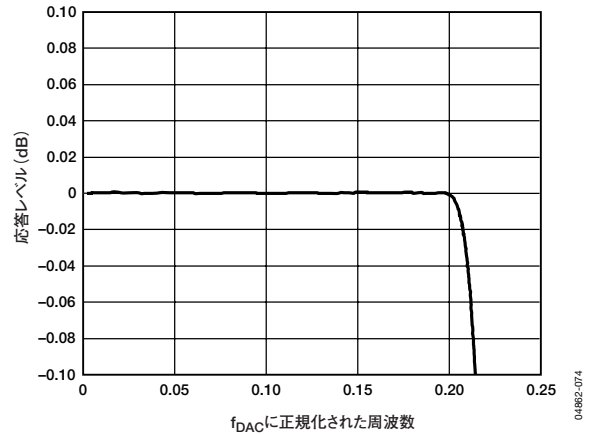


図76. インターポレーション・フィルタのパスバンド平坦性

データ・インターフェース・コントローラ

AD973xの動作時に使用する内部コントローラは2つあります。最適なLVDSデータ・サンプリングを可能にするコントローラと、DACCLKと入力データ間の最適な同期を可能にするコントローラです。前者はLVDSコントローラで、LVDSバス(DB13:0)からのデータのサンプリングを最適化します。後者はSYNCコントローラで、DAC_CLK (CLK+, CLK-)とDATACLK間のタイミングに関する問題を解消します。これらのコントローラのブロック図を図77に示します。

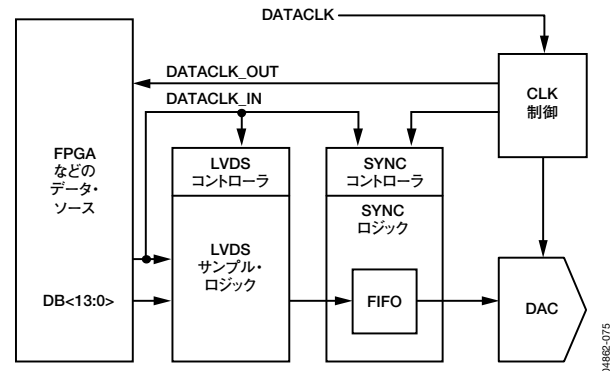


図77. データ・コントローラ

各コントローラは、DAC_CLKを分周した周波数のクロックで動作します。この分周比は、レジスタ22のビット3:0に割り当てられるコントローラ・クロック・プリディバイダ・ビット(CCD<3:0>)を使用して設定し、以下の数式から求められるコントローラ・クロックを生成します。

$$\text{コントローラのクロック} = \text{DAC_CLK} / (2(\text{CCD}<3:0> + 4))$$

正しく動作させるには、コントローラのクロックが10MHzを超えないようにする必要があります。CCD<3:0>を正しくプログラミングしてこの条件を満たさない限り、DACの出力は安定しません。つまり、DACCLKを160MHz未満にしない限り、FIFOはPIN_MODEでイネーブルにできません。

AD9734/AD9735/AD9736

SPIポート・レジスタの6と8を使用して、以下の3つのモードで、LVDSコントローラとSYNCコントローラを別々に動作させることができます。

- 手動モード
- サーベイランス・モード
- 自動モード

手動モードでは、タイミングの測定と更新のすべてをSPIを介して外部から制御します。

サーベイランス・モードでは、各コントローラが測定を実行し、新しい最適値を連続的に計算します。評価前の測定結果に平均化フィルタを適用して、ノイズ耐性を高めることができます。フィルタ処理された結果は、SPIポートのレジスタ6、レジスタ8で設定されたスレッシュホールド値と比較されます。誤差がこのスレッシュホールドよりも大きければ、割込みがトリガされ、コントローラの動作が停止します。

SPIポートのレジスタ1は、それぞれの割込みをイネーブルにするビット3と2、各コントローラの割込みを指示するビット7と6の設定に基づいて、割込みを制御します。割込みのイネーブル時には、AD973xのIRQピンもアクティブになります。割込みをクリアするには、各コントローラの割込みイネーブル・ビットをコントローラの少なくとも1クロック・サイクル（コントローラのクロックは10MHz未満）の間、0に設定してください。

自動モードはサーベイランス・モードとほとんど同じです。自動モードでは割込みのトリガとコントローラの停止は実行されず、コントローラは自動的にその設定を新しい最適計算値に更新し、その動作を継続します。

LVDSサンプル・ロジック

AD973xのLVDSデータ・サンプリング・エンジンの簡略ブロック図を図78に示し、そのタイミング図を図79に示します。

LVDS入力データは、DATACLK_INから生成されるデータ・サンプリング信号（DSS）によってラッチされます。LVDSコントローラは、DATACLK_INの遅延によってデータ・サンプリング信号（DSS）を生成し、有効なデータ・ウィンドウの中心でLVDSデータをサンプリングするように、DSSを調整します。正しく動作させるには、DATACLK_INとLVDSデータビット（DB<13:0>）間のスキューを最小限に抑える必要があります。したがって、LVDSデータビット（DB<13:0>）と同じ方法で、同じドライバおよびデータラインを使用して、DATACLK_INを生成することを推奨します（つまり、図96に示すように、DATACLK_INを01010101...の一定シーケンスを実行するもう1つのLVDSデータビットになるようにします）。

DATACLK_IN信号が停止しても、DACCLKは図78に示すように、D1とD2を駆動するレジスタにクロック入力された最後の2つの値に基づいて出力信号を継続的に生成します。この2つのレジスタが同等でない場合は、 f_{DAC} の1/2に相当する周波数の大きい出力がDAC出力で生成されます。

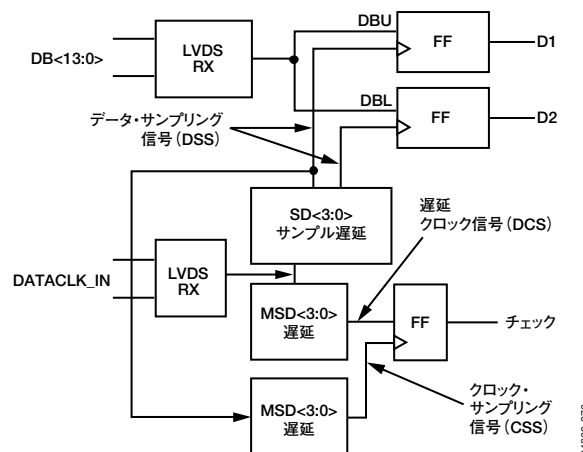


図78. 内部LVDSデータ・サンプリング・ロジック

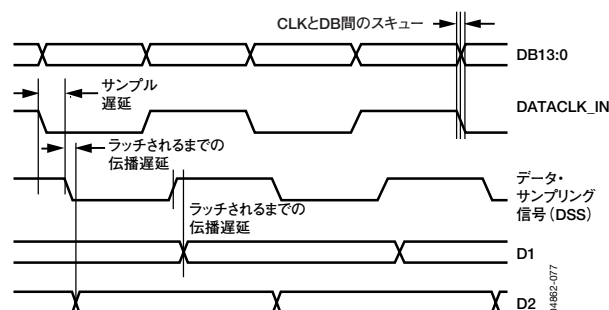


図79. 内部LVDSデータ・サンプリング・ロジックのタイミング図

LVDSサンプル・ロジックのキャリブレーション

内部DSS遅延にキャリブレーションを行って、データ・サンプリングのタイミングを最適化する必要があります。このキャリブレーションが完了すれば、温度または電圧の変動によってタイミングが大幅に変化する場合に、AD973xはIRQを生成するか、タイミングを自動的に補正できます。このキャリブレーションは、遅延したクロック・サンプリング信号（CSS）を使用して遅延クロック信号（DCS）をサンプリングすることによって実行します。LVDSサンプリング・ロジックは、DATACLK_IN信号のエッジを検出し、この測定に基づいて有効なデータ・ウィンドウの中心位置を見つけ出すことができます。

DATACLK_INから遅延DSSを生成する内部遅延ラインはSD<3:0>（レジスタ5のビット7:4）で制御し、DCSはMSD<3:0>（レジスタ4のビット7:4）、CSSはMHD<3:0>（レジスタ4のビット3:0）でそれぞれ制御します。

DATACLK_INの遷移は、LVDSデータ（DB<13:0>）の遷移とタイミングを合わせる必要があります。この条件を満たせば、DATACLK_INから生成したCSSは、DATACLK_INのエッジを検出することによって、DB<13:0>の有効なデータ・ウィンドウを見つけ出すことができます。CSSのラッチング（立上がり）エッジは、最初はビットSD<3:0>を使用してその位置を指定しますが、MSD<3:0>を用いて左側、MHD<3:0>を用いて右側の位置にシフトできます。CSSがDCSをサンプリングし、その結果が1であれば（レジスタ5のビット0にあるチェック・ビットを使用して読み出せます）、正しいデータ・サイクルでサンプリングが実行されています。

データ・サイクルの立上がりエッジを確認するには、チェック・ビットがローレベルになるまで、セットアップ遅延の測定値をインクリメントします。立下がりエッジを確認するときは、チェック・ビットがローレベルになるまで、ホールド遅延 (MHD) の測定値をインクリメントします。MSDをインクリメントするときはMHD=0に、MHDをインクリメントするときはMSD=0に必ず設定してください。

SD、MSD、MHDのインクリメント単位は実時間であり、クロック・サイクルの分周ではありません。ステップ・サイズの公称値は80psです。

SPIポートを利用したLVDSコントローラの手動モード動作

LVDSコントローラを手動モードで動作させるとき、セットアップとホールド両方の遅延設定を同時に進めて、最適なサンプリング遅延（データアイの中心）を計算できます。

SD<3:0>とMHD<3:0>を0に設定し、チェック・ビット（レジスタ5のビット0）がローレベルになるまで、セットアップ時間遅延（レジスタ4のビット7:4のMSD<3:0>）をインクリメントし、この値を記録します。これにより、図80に示すようにDATACLK_IN（およびデータ）の立上がり遷移の場所を確認できます。

SD<3:0>とMHD<3:0>を0に設定し、チェック・ビット（レジスタ5のビット0）がローレベルになるまで、ホールド時間遅延（レジスタ4のビット3:0のMHD<3:0>）をインクリメントし、この値を記録します。これにより、図81に示すようにDATACLK_IN（およびDB<13:0>）の立下がり遷移の場所を確認できます。

DATACLK_INの立上がりと立下がり両方のエッジを確認した後で、以下の数式に従ってサンプル遅延（レジスタ5のビット7:4のSD<3:0>）を更新する必要があります。

$$\text{サンプル遅延} = (MHD - MSD) / 2$$

SD<3:0>を更新した後で、チェック・ビットがローレベルになるまで、新しいサンプル遅延で最初にMHD、次にMSDを調整することによって、サンプリング信号が有効なデータ・ウィンドウの中心にあることを確認してください。SD<3:0>を正しく設定していれば、MHDとMSDの新しい値は1つの単位遅延に等しいか、その範囲内に入っているはずで

外部クロックのジッタとノイズが内部遅延分解能を上回る場合は、MHDとMSDが1つの単位遅延に等しくなることも、その範囲内に入ることもありません。この場合は複数の相違が発生する可能性があるため、動作を安定させるためにフィルタリングの強化が必要になることがあります。

サンプル遅延のキャリブレーションは、サーベイランス・モードまたは自動モードをイネーブルにする前に行ってください。

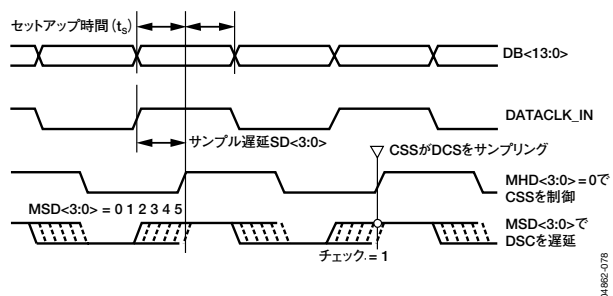


図80. セットアップ遅延の測定

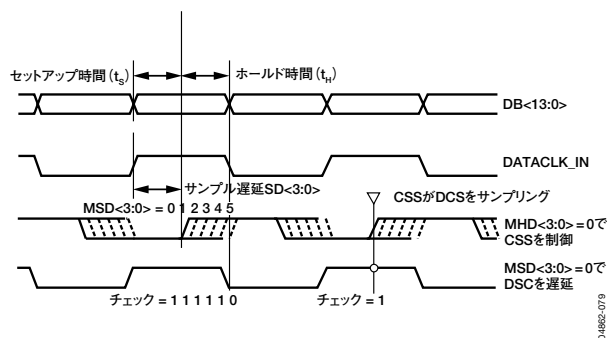


図81. ホールド遅延の測定

LVDSコントローラのサーベイランス・モードおよび自動モード動作

サーベイランス・モードでは、コントローラは手動動作モードと同じ方法でデータアイのエッジを検索し、LTHR<1:0>（レジスタ6のビット1:0）で設定されたスレッシュホールド値を超えた位置にクロック・サンプリング信号（CSS）が移動している場合に割込みをトリガします。

クロック・ライン上で発生するノイズとグリッチを完全にフィルタリングするために、セットアップ時間とホールド時間の測定値を平均化する内部フィルタがあります。

$$\text{平均値} = (MHD - MSD) / 2$$

$$\text{新しい平均値} = \text{平均値} + (\Delta \text{平均値} / 2 \wedge LFLT<3:0>)$$

平均値の累積誤差のために平均値がスレッシュホールド値（LTHR<1:0>）を超える場合、割込みが発生します。

LFLT<3:0>の最大許容値は12です。この値が極端に小さいと、クロックのジッタとノイズによって誤動作が起きることがあります。通常はLFLTを最大に設定してください。

サーベイランス・モードの場合、まず手動モードで理想的なサンプリング・ポイントを見つけ出し、サンプル遅延レジスタに適用してください。その後、割込み発生の前にCSS信号に対して許容されるドリフトの程度に応じて、スレッシュホールド値とフィルタ長を設定してください。次に、サーベイランス・ビット（レジスタ6のビット7）をハイレベルに設定し、SPIポート（レジスタ1のビット7）またはIRQピンを使用して、割込み信号をモニタします。

自動モードの場合にも上記と同じ手順に従って、サンプル遅延、スレッシュホールド、およびフィルタ長を設定してください。自動モードでコントローラを動作させるには、LAUTO（レジスタ6のビット6）とLSURV（レジスタ6のビット7）の両方のビットを1に設定する必要があります。LVDS割込み（レジスタ1のビット3）をローレベルに設定して、スレッシュホールド値を超えた場合にサンプル遅延を自動的に更新するようにしてください。

SYNCロジックおよびコントローラ

FIFO構造を使用して、DACCLKとDATACLK_INのクロック領域間におけるデータ転送を同期させます。DACCLK_INの遅延信号に相当するDSSによってクロック動作する巡回書込みカウンタに基づいて、SYNCコントローラはDB<13:0>からのデータを8ワードのメモリ・レジスタに書き込みます。メモリからのデータの読出しは、DACCLKをクロックとして動作する2番目の巡回読出しカウンタをに基づいて実行されます。図82に示す8ワードFIFOは、ほとんどの条件下で正しいタイミングを十分に維持できるようになっています。SYNCロジックは、読出しと書込みの各ポイントが交差しないように設計されています。位相オフセット（PHOF<1:0>）の更新が必要とされる範囲までタイミングがドリフトする場合は、2つのサンプルが複製されるか、廃棄されます。SYNCロジックのタイミング図を図83に示します。

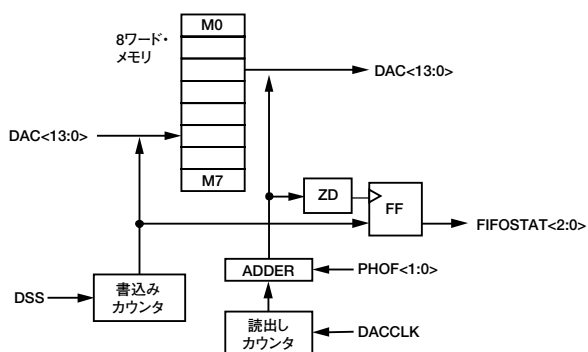


図82. SYNCロジックのブロック図

SYNCロジックおよびコントローラの動作

DACCLKとDATACLK_INの間の最初の関係が不明であるため、読出しポイントと書込みポイント間の最初の関係も不明です。SYNCロジックは、図82に示すゼロ検出ブロックとフリップフロップを使用して、この2つのカウンタ間の相対的な位相を測定します。相対的な位相はFIFOSTAT<2:0>（レジスタ7のビット6:4）で、SYNCロジックのエラーはFIFOSTAT<3>（レジスタ7のビット7）で表示されます。FIFOSTAT<2:0>が0または7の値を返す場合、メモリがクリティカルな状態（読出しと書込みの各ポイントが交差する状態に近づいている）でサンプリングを実行していることを示します。

FIFOSTAT<2:0>が3または4の値を返す場合は、メモリが最適な状態（読出しと書込みの各ポイントが最も遠く離れている状態）でサンプリングを実行していることを示します。FIFOSTAT<2:0>がクリティカルな値を返すときは、位相オフセットPHOF<1:0>（レジスタ7のビット1:0）を使用してポイントを調整してください。FIFOのアーキテクチャにより、位相オフセットで調整できるのは、2のステップの読出しポイントに限られます。

手動モードでの動作

DACの動作を手動モードで開始するには、DACCLKとDATACLK_INが安定するまで待ってからFIFOモード（レジスタ0のビット2）をイネーブルにします。FIFOSTAT<2:0>（レジスタ7のビット6:4）を読み出して、調整が必要であるかどうかを確認してください。たとえば、FIFOSTAT<2:0>=6の場合、タイミングはまだクリティカルではないにしても最適な状態ではありません。

最適な状態（FIFOSTAT<2:0>=4）に復帰するには、PHOF<1:0>（レジスタ7のビット1:0）を1に設定する必要があります。PHOF<1:0>=1に設定すれば、読出しポイントが2ずつ効果的にインクリメントします。その結果、2クロック後に書込みポイント値が取り込まれ、FIFOSTAT<2:0>の値が6から4に減少します。

サーベイランス・モードと自動モードでの動作

FIFOSTAT<2:0>を手動で最適な状態に設定したら、AD973xのSYNCロジックをサーベイランス・モードまたは自動モードで動作させることができます。この動作を開始するには、SSURV=1（レジスタ8のビット7）を設定してサーベイランス・モードをオンにし、SYNC割込み（レジスタ1のビット2）をイネーブルにしてください。STRH<0>=0（レジスタ8のビット0）の場合は、FIFOSTAT<2:0>=0または7のとき割込みが発生します。STRH<0>=1（レジスタ8のビット0）の場合は、FIFOSTAT<2:0>=0、1、6、7のとき割込みが発生します。割込みをレジスタ1のビット6またはAD973xのIRQピンから読み出すことができます。

自動モードに入るときは、上述の手順を完了してから、SAUTO=1（レジスタ8のビット6）を設定してください。次に、SYNC割込み=0（レジスタ1のビット2）を設定し、FIFOSTAT<2:0>がスレッシュホールド値を超える場合に位相オフセット（PHOF<1:0>）が自動的に更新されるようにします。FIFOSTAT信号はフィルタリングされるため、ノイズ耐性が改善され、不必要な位相オフセットの更新が少なくなります。フィルタは、以下のアルゴリズムに従って動作します。

$$FIFOSTAT = FIFOSTAT + \Delta FIFOSTAT / 2^{\wedge} SFLT<3:0>$$

ここで、

$$0 \leq SFLT<3:0> \leq 12$$

です。12よりも大きい値は12に設定されます。SFLT<3:0>の値が極端に小さいと、クロックのジッタとノイズによって誤動作が発生するおそれがあります。通常はSFLTを最大に設定してください。

FIFOのバイパス

FIFO_MODEビット（レジスタ1のビット2）を0に設定すると、FIFOがマルチプレクサとともにバイパスされます。FIFOのイネーブル時に、AD973x内部のパイプライン遅延は、FIFOの読出しポイントと書込みポイント間のデルタ値に4クロック・サイクル分を加えた時間だけ増加します。

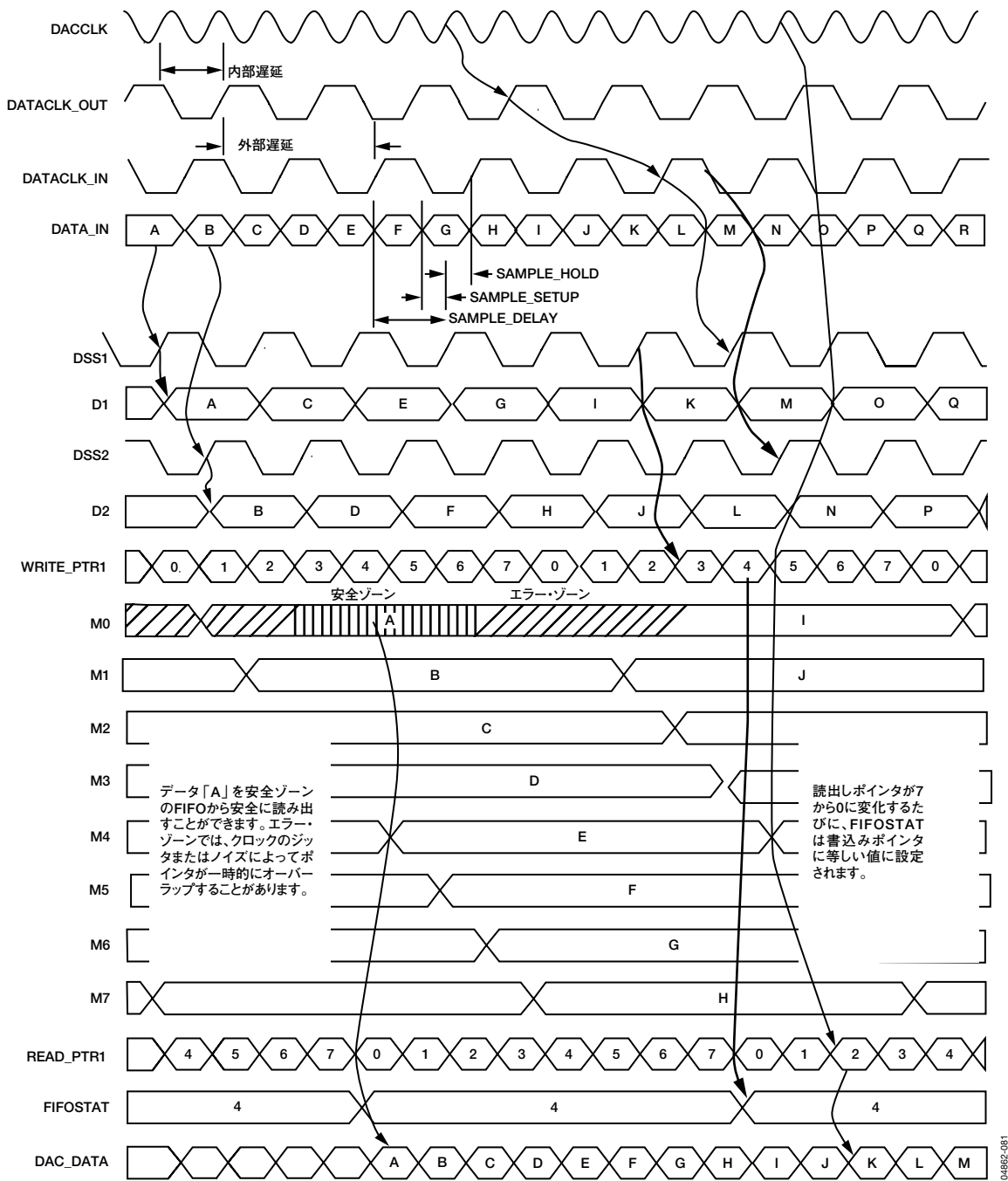


図83. SYNCロジックのタイミング図

AD9734/AD9735/AD9736

デジタル内蔵セルフテスト (BIST)

概要

AD973xは、入力データを処理して、一意性の符号定数を生成する符号定数発生器を内蔵しています。これらの符号定数はSPIポートから読み出せるため、AD973xに入力されるデータの転送が正しく実行されたか検証できます。AD973x-EB評価用ボードCDに収録されているBISTベクトルを利用して、すべての幅のデータ入力または個々のビットをチェックし、「AD973xのBIST手順」に示した手順によってPCボードのデバッグを行うことができます。別の方法として、予想符号定数が事前に計算されている場合に任意のベクトルを利用することもできます。

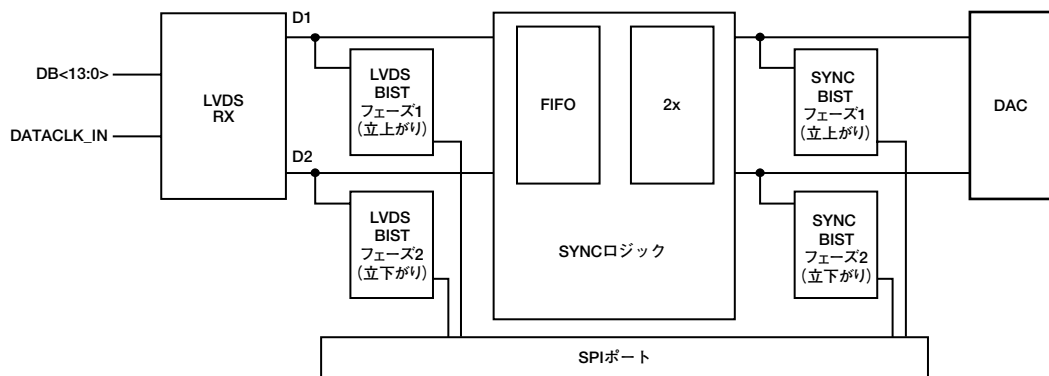
「予測される符号定数の生成」に示すMATLAB®ルーチンを使用して、予測される符号定数を計算します。すべてのエラーがスペクトル・アナライザで発見できるとは限らないため、正しいデータ転送の検証にBISTを利用します。BIST符号定数発生器は4個あり、表24に示すBIST選択ビット（レジスタ17のビット7:6）の設定に従いレジスタ18からレジスタ21までを使用して読み出せます。AD973xから返されるBIST符号定数は、テスト時に使用するデジタル入力に応じて異なります。DACのフィルタにはメモリが付いているため、BIST符号定数を読み出す前に正しいアイドル値をDATA入力に設定して、メモリをフラッシュする必要があります。

データ入力にアイドル値を指定すると、DACクロックの動作中にBISTを設定することもできます。アイドル値は、符号なしモード（0x0000）ではすべて0に設定し、2の補数モード（0x2000）ではMSBを除いてすべて0に設定してください。

BISTは2段で構成されます。最初の段はLVDSレシーバの後段、2番目の段はFIFOの後段です。最初のBIST段はLVDSバスから入力されるデータのサンプリングを検証し、2番目のBIST段ではDAC_CLK領域とDATA_CLK_IN領域間の同期を検証します。BISTベクトルは32ビットのLFSR符号定数ロジックを使用して生成されます。内部アーキテクチャが2パスの平行システムであるため、LVDSとSYNCの各ブロック上に2つの32ビットLFSR符号定数ロジック・ブロックが配備されます。図84は、LVDSとSYNCの各フェーズが配置される場所を示します。

表24. BIST選択ビット

ビット	SEL<1>	SEL<0>
LVDSフェーズ1	0	0
LVDSフェーズ2	0	1
SYNCフェーズ1	1	0
SYNCフェーズ2	1	1



04462-082

図84. LVDSとSYNCのフェーズ1とフェーズ2を示すブロック図

AD973xのBIST手順

- RESETピン=1を設定します。
- 符号付きモードの場合は入力DATA=0x0000（符号なしモードの場合は0x2000）に設定します。
- DATACLK_INをまだ実行していなければ、これをイネーブルにします。
- DATACLK_INを16サイクル以上実行します。
- RESETピン=0に設定します。
- DATACLK_INを16サイクル以上実行します。
- RESETピン=1に設定します。
- DATACLK_INを16サイクル以上実行します。
- RESETピン=0に設定します。
- 目的の動作モードを設定します（1倍モードと符号付きデータがデフォルト値として設定され、与えられるBISTベクトルに対して用意されます）。
- CLEAR（レジスタ17のビット0）、SYNC_EN（レジスタ17のビット1）、LVDS_EN（レジスタ17のビット2）をハイレベルに設定します。
- 0が完全に伝播されるまでDATACLK_INの50サイクル待ち、SYNC符号定数をクリアします。
- CLEARをローレベルに設定します。
- 4つのSEL値（レジスタ17のビット7:6）について、それぞれすべての符号定数レジスタ（REG 21、20、19、18）を読み出し、これらの値がすべて0x00であることを確認します。
LVDSフェーズ1
a. レジスタ17を0x26に設定します。（SEL1=0、SEL0=0、SIG_READ=1、LVDS_EN=1、SYNC_EN=1）
b. レジスタ20、19、18、17を読み出します。
LVDSフェーズ2
a. レジスタ17を0x66に設定します。（SEL1=0、SEL0=1、SIG_READ=1、LVDS_EN=1、SYNC_EN=1）
b. レジスタ20、19、18、17を読み出します。
SYNCフェーズ1
a. レジスタ17を0xA6に設定します。（SEL1=1、SEL0=0、SIG_READ=1、LVDS_EN=1、SYNC_EN=1）
b. レジスタ20、19、18、17を読み出します。
SYNCフェーズ2
a. レジスタ17を0xE6に設定します。（SEL1=1、SEL0=1、SIG_READ=1、LVDS_EN=1、SYNC_EN=1）
b. レジスタ20、19、18、17を読み出します。
- BISTベクトルをAD973xにクロック入力します。
- BISTベクトルがAD973xにクロック入力された後で、符号付きモードの場合はDATA=0x0000（符号なしモードの場合は0x2000）をホールドします。ゼロ以外のデータを追加すると、符号定数が変化します。
- 4つのSEL値（レジスタ17のビット7:6）について、それぞれすべての符号定数レジスタ（ステップ14で説明したREG 21、20、19、18）を読み出し、これらの値が表25に示す予測符号定数と一致することを確認します。

- BIST回路をフラッシュします。有効なデータを読み出す前に、これを一度実行する必要があります。ステップ11に戻り、テストを再度実行して正しい結果を得ます。

BISTモードに入るときには、このフラッシュを一度実行する必要があります。デバイスがBISTモードになっていれば、フラッシュを繰り返さずに複数のBISTを実行できます。

AD973xで予測されるBIST符号定数

AD973x-EB評価用ボードCDに収録されているBISTベクトルは符号付きモードで、BISTに合格するためにAD973xでプログラミングを行う必要がありません。このBISTベクトルは1倍モード、FIFOなし、および符号付きデータに対応します。

14個すべての入力ビットをテストする場合は、all_bits_unsnew.txtのベクトルを使用し、表25に示す符号定数を参考にして検証を行ってください。

表25. 全ビットについて予測されるBISTデータの読出し

LVDS フェーズ1	LVDS フェーズ2	SYNC フェーズ1	SYNC フェーズ2
CF71487C	66DF5250	CF71487C	66DF5250

各入力ビットを個別にテストする場合は、bitn.txt（nはテストしたいビットの番号）という名前のベクトルを使用し、表26の数値と比較してください。

表26. 個々のビットについて予測されるBISTデータの読出し

ベクトル	ビット 番号	LVDSの 立上がり予測値	LVDSの 立下がり予測値
bit0.txt	0	AABF0A00	2A400500
bit1.txt	1	2BBF0A00	6B400500
bit2.txt	2	29BE0A00	E9400500
bit3.txt	3	2DBC0A00	ED410500
bit4.txt	4	25B80A00	E5430500
bit5.txt	5	35B00A00	F5470500
bit6.txt	6	15A00A00	D54F0500
bit7.txt	7	55800A00	955F0500
bit8.txt	8	D5C00A00	157F0500
bit9.txt	9	D5410A00	153E0500
bit10.txt	10	D5430B00	15BC0500
bit11.txt	11	D5470900	15B80400
bit12.txt	12	D54F0D00	15B00600
bit13.txt	13	D55F0500	15A00200

表26に関して以下の点に注意してください。

- 「立上がり」はフェーズ1を示し、「立下がり」はフェーズ2を示します。
- バイトの順番はデシマル・レジスタ・アドレス21、20、19、18となります。
- SYNCフェーズは1倍モードのLVDSフェーズと常に同等となります。

AD9734/AD9735/AD9736

予測される符号定数の生成

以下のMATLABコードは、AD973xの内部ロジックを複製したものです。このコードを使用する場合は、bist.mという名前のファイルに保存してください。

```
--- begin bist.m ---
function [ ret1 , ret2 ] = bist(vec)
ret1 = bist1(vec(1:2:length(vec)-1));
ret2 = bist1(vec(2:2:length(vec)));
function ret = bist1(v)
sum = zeros(1,32);
for i = 1 :length(v)
if v(i) ~= 0
su(1) = ~xor(sum(32) ,bitget(v(i),1));
su(2) = ~xor(sum(1) ,bitget(v(i),2));
su(3) = ~xor(sum(2) ,bitget(v(i),3));
su(4) = ~xor(sum(3) ,bitget(v(i),4));
su(5) = ~xor(sum(4) ,bitget(v(i),5));
su(6) = ~xor(sum(5) ,bitget(v(i),6));
su(7) = ~xor(sum(6) ,bitget(v(i),7));
su(8) = ~xor(sum(7) ,bitget(v(i),8));
su(9) = ~xor(sum(8) ,bitget(v(i),9));
su(10) = ~xor(sum(9) ,bitget(v(i),10));
su(11) = ~xor(sum(10) ,bitget(v(i),11));
su(12) = ~xor(sum(11) ,bitget(v(i),12));
su(13) = ~xor(sum(12) ,bitget(v(i),13));
su(14) = ~xor(sum(13) ,bitget(v(i),14));
su(15) = sum(14); su(16) = sum(15);
su(17) = sum(16); su(18) = sum(17);
su(19) = sum(18); su(20) = sum(19);
su(21) = sum(20); su(22) = sum(21);
su(23) = sum(22); su(24) = sum(23);
su(25) = sum(24); su(26) = sum(25);
su(27) = sum(26); su(28) = sum(27);
su(29) = sum(28); su(30) = sum(29);
su(31) = sum(30); su(32) = sum(31);
sum = su;
end
end % for ret = dec2hex( 2.^[0:31]× sum',8);
--- end bist.m ---
```

予測されるBIST符号定数を生成するには、以下の手順に従います。

1. MATLABを起動し、コマンド・プロンプトで以下のように入力します。

```
t = round(randn(1,100) × 213/8+213);
[ b1 b2 ] = bits(t)
```

最初のステートメントによって、ベクトル長が100の14ビット・ワードのランダム・ベクトルが生成されます。

2. 目的のベクトルに等しい値として**t**を設定するか、あるいはこのランダム・ベクトルを取得して、これをAD973xに入力します。
3. 要求に応じてベクトル長を変更するために、コマンド **randn(1,100)** を変更します。
4. コマンド行に**b1**を入力し、LVDS BIST、フェーズ1について計算された符号定数を確認します。
5. **b2**を入力し、LVDS BIST、フェーズ2の値を確認します。

b1と**b2**について返される値は、32ビットの16進数値です。これらの値はレジスタ18、19、20、21に対応し、**b1**はSEL<1:0>=0,0のとき読み出される値であり（表17を参照）、**b2**はSEL<1:0>=0,1のとき読み出される値です。

DACが1倍モードに設定されている場合、SYNC BIST、フェーズ1の符号定数はLVDS BIST、フェーズ1の符号定数と同じになるはずですが、フェーズ2にも同様のことが言えます。

CROSSコントローラ・レジスタ

正と負の出力に注入されるチャージ・インジェクションを均等にするために、AD973xの差動出力段を調整できます。しかしこの調整を行うと、高調波歪みやIMDなど特定の性能特性に影響を与えます。このような場合は、クロス・コントローラの調整によって、システム性能を改善できます。

製造後にシステムのキャリブレーションを実施する場合は、クロス・コントローラのオフセットを調整して、性能を最適化します。HD2（2次高調波歪み）やIMDを観察しながら、DNDEL<5:0>（レジスタ11のビット5:0）からインクリメントしていき、最適値を見つけ出します。DNDELが性能に悪影響を及ぼさなければ、これを0に設定して、UPDEL<5:0>（レジスタ10のビット5:0）をインクリメントします。システムの特性評価に基づき、これらのコントロールのいずれかを最大値に設定すると、最良の性能を達成できます。

図85は、UPDELとDNDELの効果を示します。

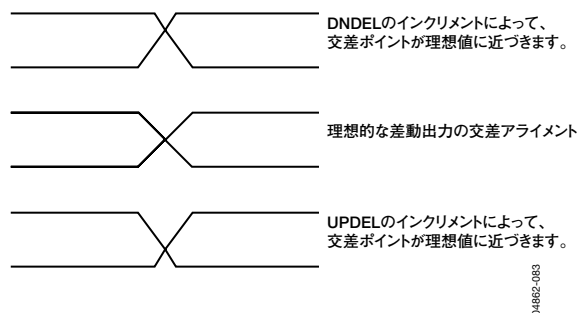


図85. UPDELとDNDELの効果

AD9734/AD9735/AD9736

アナログ制御レジスタ

AD973xは、アナログ性能を最適化するためのレジスタを複数内蔵しています。バンドギャップの温度調整、出力電流ミラーのノイズ削減、出力電流ミラーのヘッドルーム調整を行うレジスタなどがあります。

バンドギャップ温度特性調整ビット

TRMBG<2:0> (レジスタ14のビット2:0) を使用して内部バンドギャップの温度特性を調整し、図86に示すように温度ドリフトを最小限に抑えることができます。

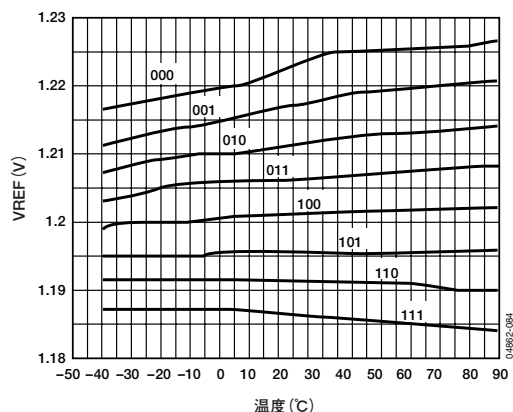


図86. さまざまなTRMBG値に対するバンドギャップ温度特性

温度変化はプロセスの変動に影響を受けやすいため、図86に示す温度特性はすべての製造ロットを代表するとは限りません。最適な調整を行うためには、2つの温度におけるデバイス動作を測定し、さらに調整アルゴリズムを作成して、正しいTRMBG<2:0>値を外部の不揮発性メモリで設定する必要があります。

ミラーのロールオフ周波数制御

MSEL<1:0> (レジスタ14のビット7:6) を使用して、内部の電流ミラーから発生するノイズを調整し、1/fノイズを最適化できます。図87は、50Ω抵抗に対して20mAのフルスケール電流を出力する場合に、MSELビットの設定別の1/fノイズ特性を示しています。

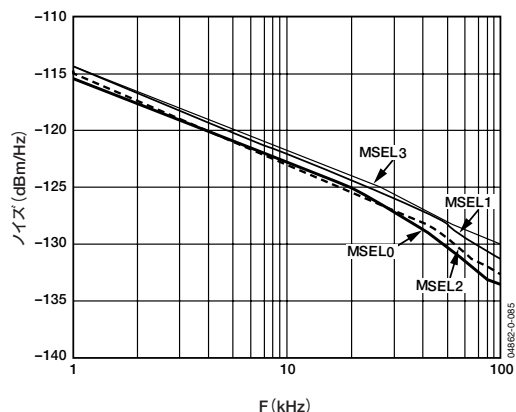


図87. MSELビット設定別の1/fノイズ

ヘッドルーム・ビット

HDRM<7:0> (レジスタ15のビット7:0) は内部評価用です。このデフォルトのリセット値は変更しないでください。

電圧リファレンス

図88に示すように、AD973xの出力電流はデジタル制御ビットとI120リファレンス電流を組み合わせ設定します。

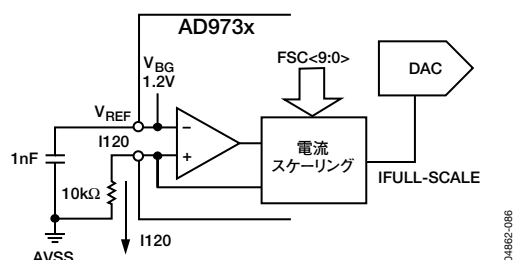


図88. 電圧リファレンス回路

リファレンス電流を得るには、I120 (B14ピン) とグラウンドの間に外付けする10kΩ抵抗をバンドギャップ電圧が通過するように強制設定します。公称値が1.2Vのバンドギャップ電圧 (V_{REF}) は、10kΩの抵抗で120μAのリファレンス電流を生成します。FSC<9:0> (レジスタ2、レジスタ3) を使用するデジタル手法でこの電流を調整し、以下の数式から求められるフルスケール出力電流 I_{FS} を設定します。

$$I_{FS} = \frac{V_{REF}}{R} \times \left(72 + \left(\frac{192}{1024} \times FSC <9:0> \right) \right)$$

レジスタ値を0x000から0x3FFまでの範囲とするときのフルスケール出力電流範囲は、およそ10~30mAです。0x200のデフォルト値を適用すると、フルスケール出力電流は20mAになります。図89に標準的なレンジを示します。

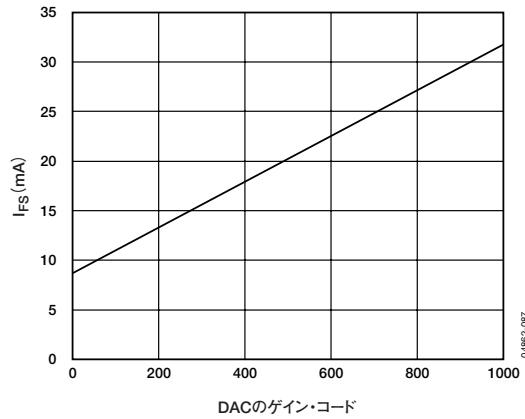


図89. DACのゲイン・コード 対 I_{FS}

常に10k Ω 抵抗をI120ピンとグラウンドの間に外付けし、デジタル制御手法を用いてフルスケール電流を変更してください。AD973xは乗算型DACではないため、アナログ信号をI120ピンに加えることはできません。

1nFのコンデンサを接続して、VREF (C14ピン) をグラウンド間で必ずバイパスしてください。バンドギャップ電圧はこのピン上に存在し、これを外部回路で使用するためにバッファできます。出力インピーダンスの代表値は、5k Ω 近傍です。必要に応じて外部リファレンスをVREFピンに接続し、内部リファレンスを無効にできます。

IPTAT (D14ピン) は工場でのテスト目的に使用されます。このピンは開放したままにしてください。

AD9734/AD9735/AD9736

アプリケーション情報

DACCLK入力の駆動

DACCLK入力には、ジッタの低い差動の駆動信号が必要です。これは1.8V電源動作のPMOS入力差動ペアであるため、規定の400mVの入力同相電圧を保ってください。各入力ピンは、400mVの入力同相電圧を基準にして200~800mV_{p-p}の範囲で安全な振幅動作を行うことができます。これらの入力レベルには、LVDSとの直接的な互換性はありませんが、図90に示すようにオフセットされたACカップリングのLVDS信号によってDACCLKを駆動できます。

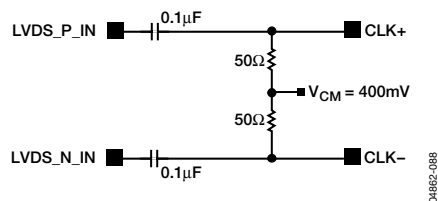


図90. LVDSのDACCLK駆動回路

クリーンなサイン波クロックを利用できる場合は、このクロックを図107に示すようにDACCLKにトランス・カップリングしてください。サンプリング・レートが比較的低速の場合は、CMOSまたはTTLのクロックを利用することもできます。このクロックはCMOS/LVDS変換器を通過するように配線し、その後前述のようにACカップリングを行います。別の方法として、図91に示すように、クロックをトランス・カップリングおよびクランプすることもできます。

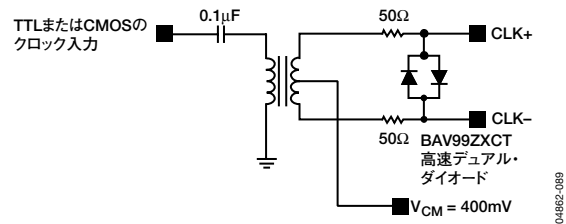


図91. TTLまたはCMOSのDACCLK駆動回路

V_{CM} を生成する単純な構成のバイアス・ネットワークを図92に示します。クロック・バイアス回路にCVDD18とCVSSを使用してください。クロックに結合されるノイズや他の信号はすべて、DACのデジタル入力信号によって乗算され、DACの性能を劣化させることがあります。

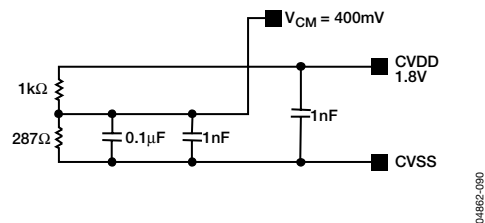


図92. DACCLK V_{CM} 発生回路

DAC出力の歪み発生源

ほとんどの場合、2次高調波の歪みは出力負荷の不平衡が原因で発生します。DACのDC伝達特性は、2次高調波歪みを -75dBc 以下に抑えることができます。出力負荷の不平衡またはDACCLKに結合するデジタル・データ・ノイズによって、2次高調波歪みが増加します。

DACアーキテクチャは本来、3次高調波を発生しますが、出力周波数と発生する振幅に応じてそのレベルは変化します。出力信号が整流され、DACのクロックに逆結合すると、3次高調波エネルギーが増加するおそれがあります。

歪み成分の振幅と位相は、AD973xの両方の出力で同じはずです。シングルエンドの各出力には、非常に大きい2次高調波エネルギーが含まれていますが、差動/シングルエンド変換を注意して行えば、その大部分を除去できます。図93に示すような出力回路を構成すれば、高い中間周波数（IF）出力時に最適な性能が得られます。

この回路は、評価用ボードに実装されている構成です（図107）。 20Ω の直列抵抗を接続すると、DACは反応性の比較的小さい負荷を駆動することができ、これにともなって歪み性能が改善されます。バランT3を追加して、両方のDAC出力にかかる負荷を同じ値にすれば、さらに歪み性能を改善できます。

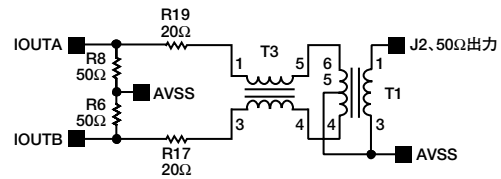


図93. IF信号出力回路

T1の入力は差動ですが、出力はシングルエンドであるため、3番ピンの寄生容量によってT1の4番ピンとグラウンド間の容量が高くなります。T1の6番ピンは1番ピンとの間で 50Ω を駆動するため、6番ピンとグラウンド間の寄生容量は低くなります。これによってDAC出力に不平衡負荷が生じるため、T3を追加して負荷の不平衡を緩和します。このトランスの部品番号については、図107を参照してください。

AD9734/AD9735/AD9736

DCカップリングでのDAC出力

AD973xの出力をDCカップリングすることが望ましい場合があります。図94に、DCカップリングに最適な回路を示します。この回路は電圧または電流フィードバック・アンプと組み合わせて利用できます。この回路ではDACの出力電流が仮想グラウンドを駆動しているため、セトリング時間を改善できます。セトリング時間はDACではなくオペアンプによって制約を受けます。この回路はアンプがバイポーラ電源で動作できる用途向けに構成されています。

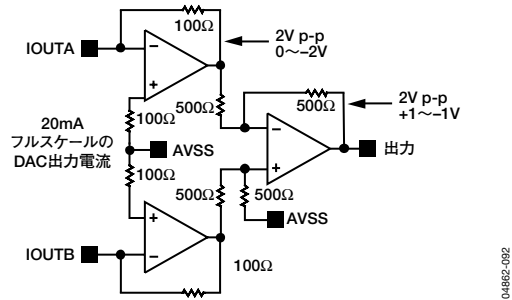


図94. オペアンプによる電流／電圧変換出力回路

別の回路の例を図95に示します。DACの負荷抵抗が、アンプで使用されるゲインおよび帰還抵抗より大きい場合、この回路では出力側でDCオフセットが発生します。

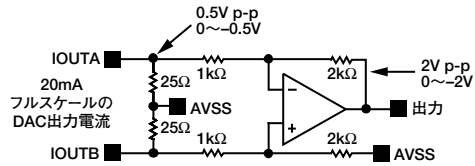


図95. 差動オペアンプ出力回路

DACデータ・ソース

図96に示す回路では、AD973xが最高速で動作しているときデータのアライメントを最適化できます。デジタル入力の駆動にFPGAまたはASICを使用すれば、この回路を容易に構成できます。タイミング・エラーの一部を打ち消すことができるDATACLK_OUT信号を利用してください。この回路構成では、AD973xを駆動するためのDDR LVDS DATACLK_IN信号をDATACLK_OUT信号が生成します。この回路はAD973xからの要求に従って、DATACLK_INとデジタル入力データ(DB<13:0>)のタイミングを合わせます。AD973xのLVDSコントローラは、DATACLK_INを使用して内部DSSを生成し、有効なデータ・ウィンドウの中心にある入力データを取り込みます。

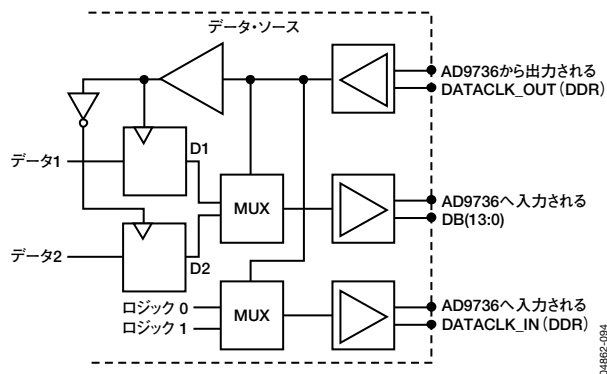


図96. AD9736のデジタル入力駆動用のFPGA/ASIC推奨構成回路 (1倍モード)

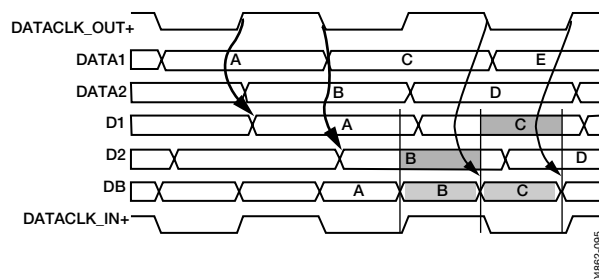


図97. AD973xのデジタル入力駆動用のFPGA/ASICのタイミング (1倍モード)

2倍モードでは、DATACLK_OUTの信号パスに2分周ブロックが組み込まれるように、図96の回路を変更する必要があります。この分周器を追加しなければ、データとDATACLK_INの速度が2倍を超えます。DATACLK_OUTは常にDACCLK/2とします。

FPGA製品の可能な最大出力データレートに関しては、FPGAの製造元に直接お問い合わせください。

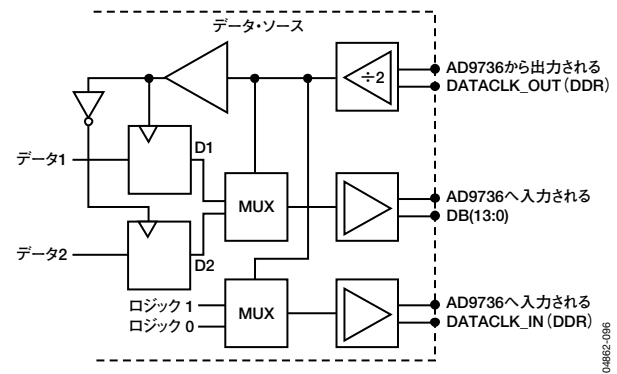


図98. AD9736のデジタル入力駆動用のFPGA/ASIC推奨構成回路 (2倍モード)

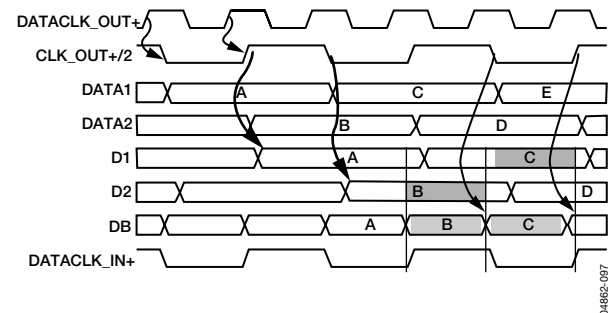


図99. AD973xのデジタル入力駆動用のFPGA/ASICのタイミング (2倍モード)

AD9734/AD9735/AD9736

入力データ・タイミング

AD973xは、電圧と温度の変動によるドリフトを補償するために、LVDSとSYNCの各コントローラをアクティブな状態にして動作します。このモードでデータを正しく取り込むには、有効なデータを最小時間保持することが重要です。AD973xの最小データ有効時間は、入力データレートを障害ポイントまで増加させる方法によって測定しました。公称の電源電圧を使用し、温度は最悪時の値である85℃に設定しました。DACの出力は入力データ・ロジックより速度が遅いため、入力データの検証はBIST符号定数レジスタを用いて行いました。以下の例では、代表的な性能におけるデータ有効時間の最小値を計算する方法を説明します。

レシーバ入力 of the 最小有効データ・ウィンドウを確定する場合は、以下の要素を考慮します。

- データの立上がり時間と立下がり時間：100ps（立上がりと立下がりの合計時間）
- 内部クロック・ジッタ：10ps（DATACLK_OUT + DATACLK_IN）
- ビット間のスキュー：50ps
- ビットとDATACLK_IN間のスキュー：50ps
- 内部データ・サンプリング信号分解能：80ps

通常のシリコンでは、BISTによって2.15GSPSまたは465psのDACCLK時間で障害が発生することが一般に確認されています。有効データ・ウィンドウは以下のように、データ・タイミングの合計値から他のすべての変数を減算する方法で計算します。

最小データ有効時間 = DACCLK時間 - データ立上がり時間 - データ立下がり時間 - ジッター - ビット間のスキュー - ビットとDATACLK_IN間のスキュー - データ・サンプリング信号分解能

400mVp-pのLVDS信号の場合は次のようになります。

最小データ有効時間 = 465ps - 100ps - 10ps - 50ps - 80ps = 465ps - 240ps = 225ps

したがって、データを正しく取り込むためには、入力データが225psの間有効であることが要求されます。エッジ、ジッタ、またはスキューの時間が長くなる場合は、最小データ有効時間を維持するために、クロック時間を長くする必要があります。表27には、LVDS信号の差動入力振幅が400mVp-pと250mVp-pの場合における最小データ有効時間（ t_{MDE} ）の代表値を示しています。

AD973xが入力データを取り込む能力は、各ロット間で異なるシリコンの速度によって左右されます。代表的（または平均的）なシリコンの動作速度では、85℃で225psの間有効なデータで動作します。統計上、低速シリコンを用いて最悪の条件で動作させた場合、最長344psの有効データ時間が必要です（表2の仕様規定を参照）。

表27. 代表的な最小データ有効時間

差動入力電圧	BISTの f_{CLK} 最大値	最小クロック時間	レシーバの代表的な最小データ有効時間
400mV	2.15GHz	465ps	225ps
250mV	2.00GHz	500ps	260ps

クロック周波数が1.2GHzのとき、400mVp-pのLVDS信号に対し代表的な最小データ有効時間が225psだとすると、他の要素にあてられる時間は608psです。これと同じ条件で、最悪時に予測される最小データ有効時間344psの場合、データの他の要素にあてられる時間は489psとなります。

100mVのLVDS V_{OD} スレッシュホールド・テストは、入力ロジックの状態変化を検証するためのDCテストです。このテストでは、動作速度は確認できません。レシーバがデータを復帰させる能力は、入力信号のオーバードライブによって左右されます。入力信号が250mVでは150mV、400mVでは300mVのオーバードライブが存在します。オーバードライブのレベルとタイミングとの関係は、強い非線形になります。オーバードライブのレベルが高くなると、これに応じて最小有効データ・ウィンドウが小さくなります。

代表的なシリコンの場合、LVDS信号の振幅を400mVp-pから250mVp-pに縮小するときは、最小データ有効時間を15%長くする必要があります。これを図100に示します。

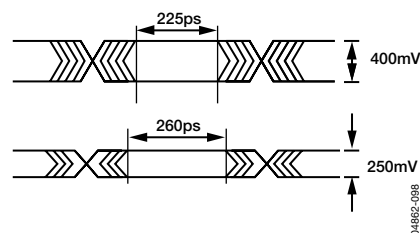


図100. LVDS信号の振幅に対する代表的な最小データ有効時間（ t_{MDE} ）

最小有効データ・ウィンドウは、温度、電圧、プロセスの変動にともなって変化します。仕様表に示すこの最大値は、最悪時の条件下で6 σ 分布に基づいて測定しました。

同期タイミング

複数のAD973xを同期させる必要がある場合、または一定の群遅延を維持しなければならない場合は、内部コントローラを使用できません。FIFOのイネーブル時には、複数のAD973xデバイス間の遅延を把握できません。複数のAD973xデバイスから出力されるDATACLK_OUTを使用するときは、DACCLKを基準とするDATACLK_OUTの初期位相を制御できないため、DACCLKの2サイクル分の不確実性が発生します。したがって、同期するすべてのDACに対して1個のDACからDATACLK_OUTを供給し、すべてのタイミングを外部から管理してください。以下のタイミング情報を参考にしてシステム・タイミングを計算し、複数のAD973xを同期させることができます。

図101に示すように、DATACLK_OUTはDACCLK+の立上がりエッジを基準にして変化し、遅延が発生します。DATACLK_OUTを生成するためにDACCLKは2分周されるため、DATACLK_OUTの位相を0度または180度にできます。この関係を予測または制御する方法はありません。これは各電源サイクルの後で変化することがあり、ハードウェアまたはソフトウェア・リセットの影響も受けません。

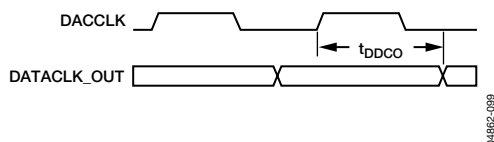


図101. DACCLKとDATACLK_OUT間の遅延

入力データのインターリーブは、図78に示すように解除されます。図78のDBU（上位）とDBL（下位）は、インターリーブが解除されたデータバスを表します。DATACLK_INのエッジが立ち上がるか、立ち下がるたびに、2個の代替レジスタが入力サンプルをラッチします。DATACLK_INからデータがセットアップおよびホールドされるまでのタイミングを図102に示します。セットアップおよびホールド時間中は、すべてのデータ入力が有効であることが必要です。外部スキューは、データ・ソースが満たさなければならないセットアップおよびホールド時間を実質的に増加させます。

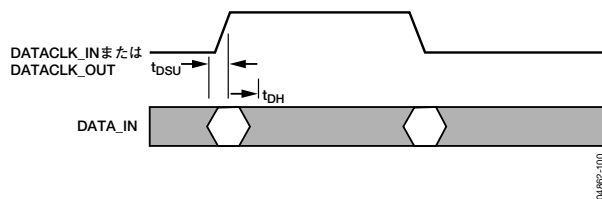


図102. DATACLK_INまたはDATACLK_OUTからデータ・セットアップおよびホールドまでのタイミングの標準定義（SD=0）

表28. AD973xのクロックおよびデータ・タイミングのパラメータ

記号と定義	高速スキュー・ロット (−40℃)	代表値 (−40℃)	すべての ロット (+25℃)	代表値 (+85℃)	低速スキュー・ロット (+85℃)	単位
t_{DDCO} (DACCLKからDATACLK_OUTまでの遅延)	+1650	+1800	+1890	+2050	+2350	ps
t_{DCISU} (DATACLK_INからDATAセットアップまでの時間)	−100	−120	−150	−170	−220	ps
t_{DCH} (DATACLK_INからDATAホールドまでの時間)	+210	+220	+240	+280	+360	ps
t_{DISU} (DATACLK_OUTからDATAセットアップまでの時間)	+1310	+1440	+1611	+1710	+1970	ps
t_{DH} (DATACLK_OUTからDATAホールドまでの時間)	−1250	−1360	−1548	−1640	−1890	ps

DATACLK_INとDATA_IN間の正しいタイミングは非常に重要ですが、入力データがDACCLKの領域に遷移するタイミングも同じように重要です。入力されるDATAとDATACLK_INのタイミングが、DATACLK_OUT信号を基準とするよう設定することによって、タイミングの不確実性のある程度排除できます。DATACLK_OUTのタイミングは、DACCLKに基づいて制御されるレジスタのタイミングをきわめて忠実にトラッキングします。パス遅延に少しでも変動があると、両方のパスにほとんど同じように影響が出ます。DATACLK_OUTを使用しなければ、DACCLKからDATACLK_OUTまでのパス全体の変動により、外部タイミングのマージンが低減します。図101は、密接に関連する遅延パスを備えた内部クロック動作方式の簡略回路図です。

内部アーキテクチャがインターリーブされるため、クロック領域に対する遷移が実行されるよう各位相の長さが2倍になります。その結果、入力データを安定した状態に保持しなければならないウィンドウが非常に狭くなります。

図101と図102に示すタイミングのパラメータを表28に示します。これらのパラメータは、5つのシリコン・ロットから選択した5個のサンプル・デバイスから測定しました。公称（または平均）ロットに加えて、最悪時の高速および低速スキューのロットも含まれています。−40℃のときの代表値から+85℃のときの代表値までの数値の分散は、単一ロットの温度変化にともなう変動性を示しています。ロット間の変動性と高速および低速ロットの変動性を追加すれば、最悪時のタイミング分散値が確認されます。

パラメータのすべてが同じ方向に移動するように、タイミングが変動します。たとえば、DATACLK_INからデータがセットアップされるまでの時間が短ければ、ホールド時間も短くなります。DACCLKとDATACLK_OUT間の遅延とDATACLK_OUTからデータ・セットアップおよびホールドまでの時間も同様に短くなります。

表28に示すセットアップおよびホールド時間の数値の極性は、図102に示すように、ラッチング・エッジの前に発生するセットアップ時間、およびラッチング・エッジの後に発生するホールド時間の標準規約に適合しています。

AD9734/AD9735/AD9736

電源シーケンス

1.8V電源は3.3V電源よりも前にイネーブルにしてください。1.8V電源が投入されていないときは、3.3V電源をイネーブルにしないでください。

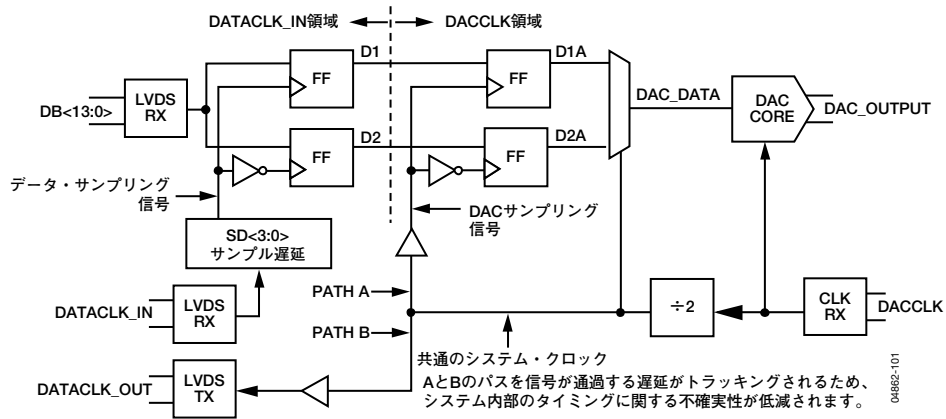


図103. 内部クロック・ルーティングの簡略回路図

AD973x評価用ボードの回路図

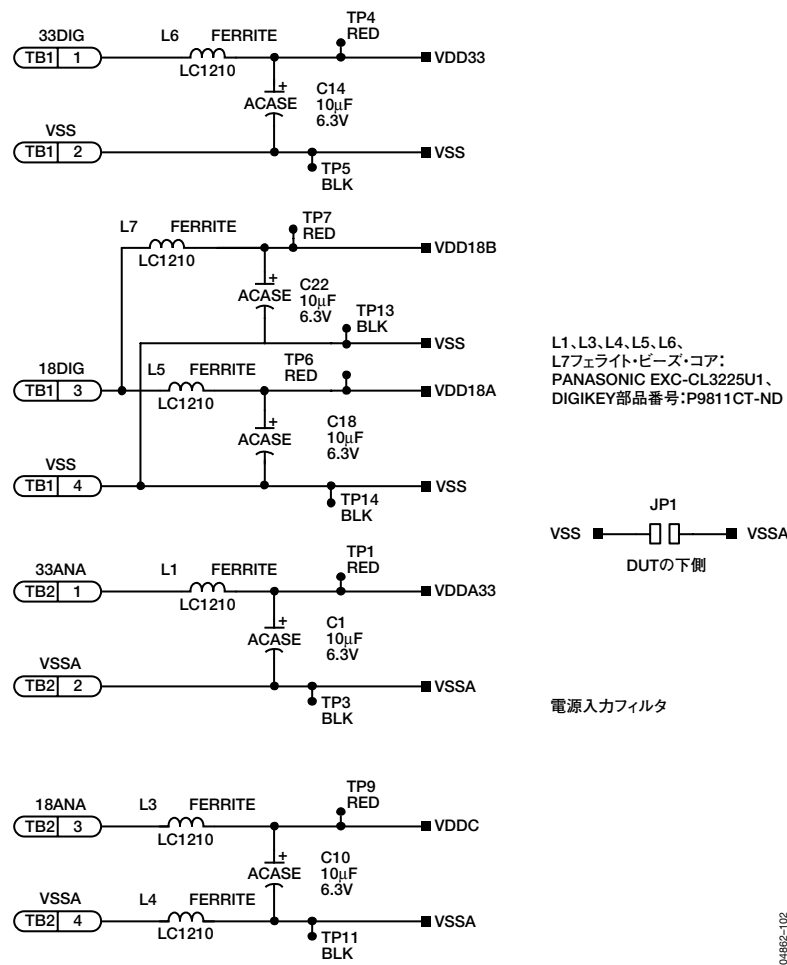


図104. AD973x評価用ボードRev. Fの電源入力

AD9734/AD9735/AD9736

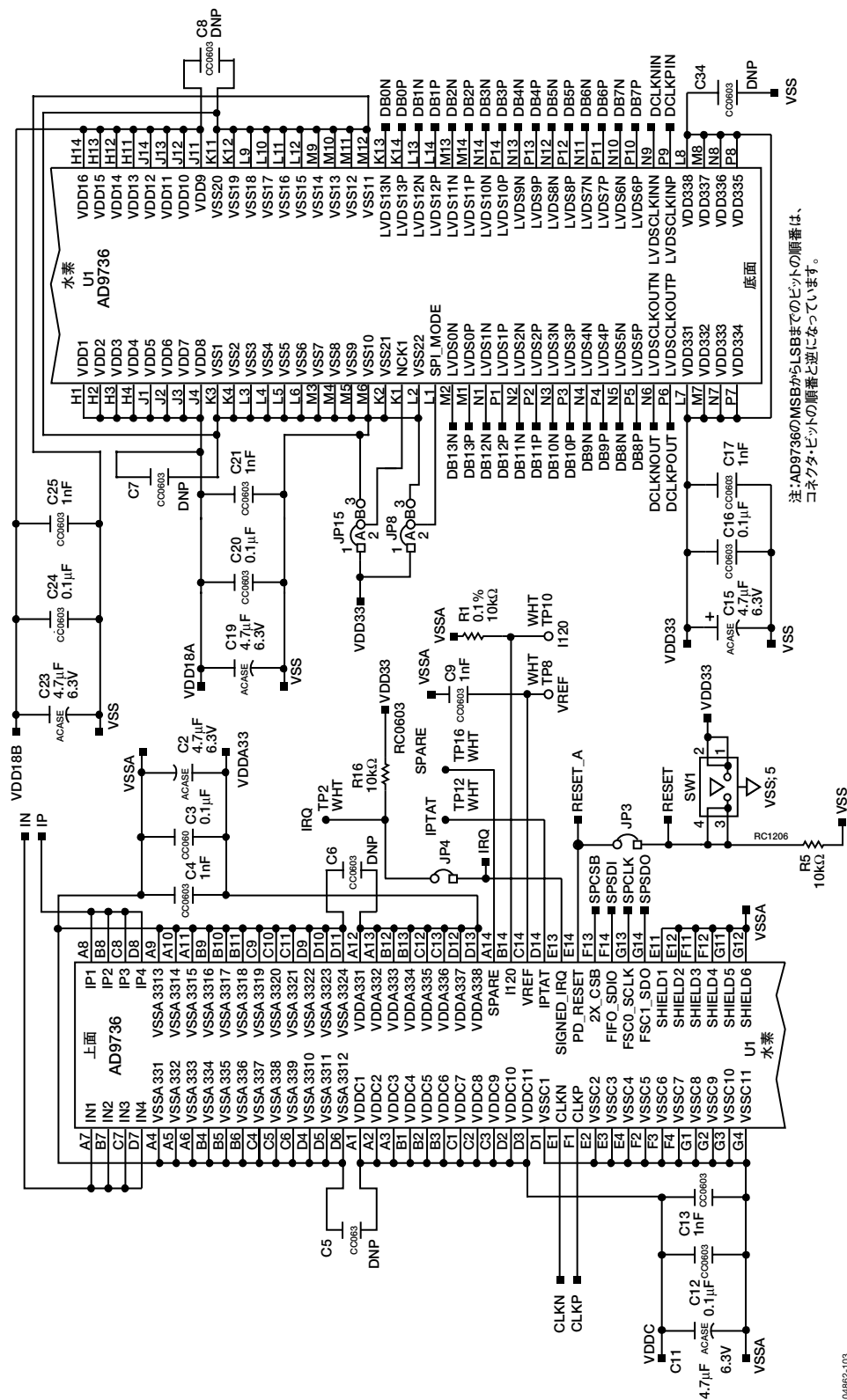


図105. AD973xのローカル回路 (評価用ボードRev. F)

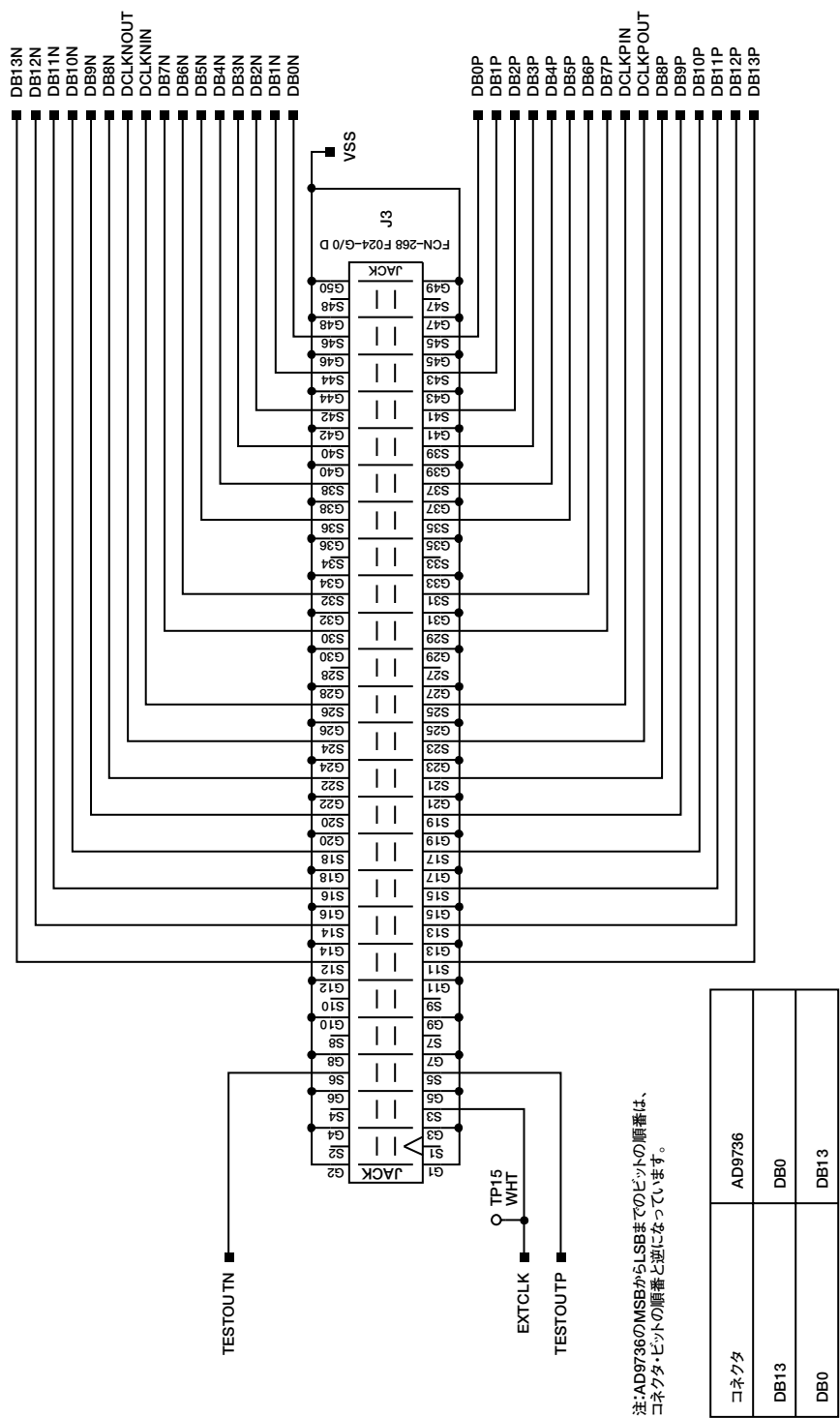


図106. 高速デジタル入出力コネクタ (D973x評価用ボードRev. F)

AD9734/AD9735/AD9736

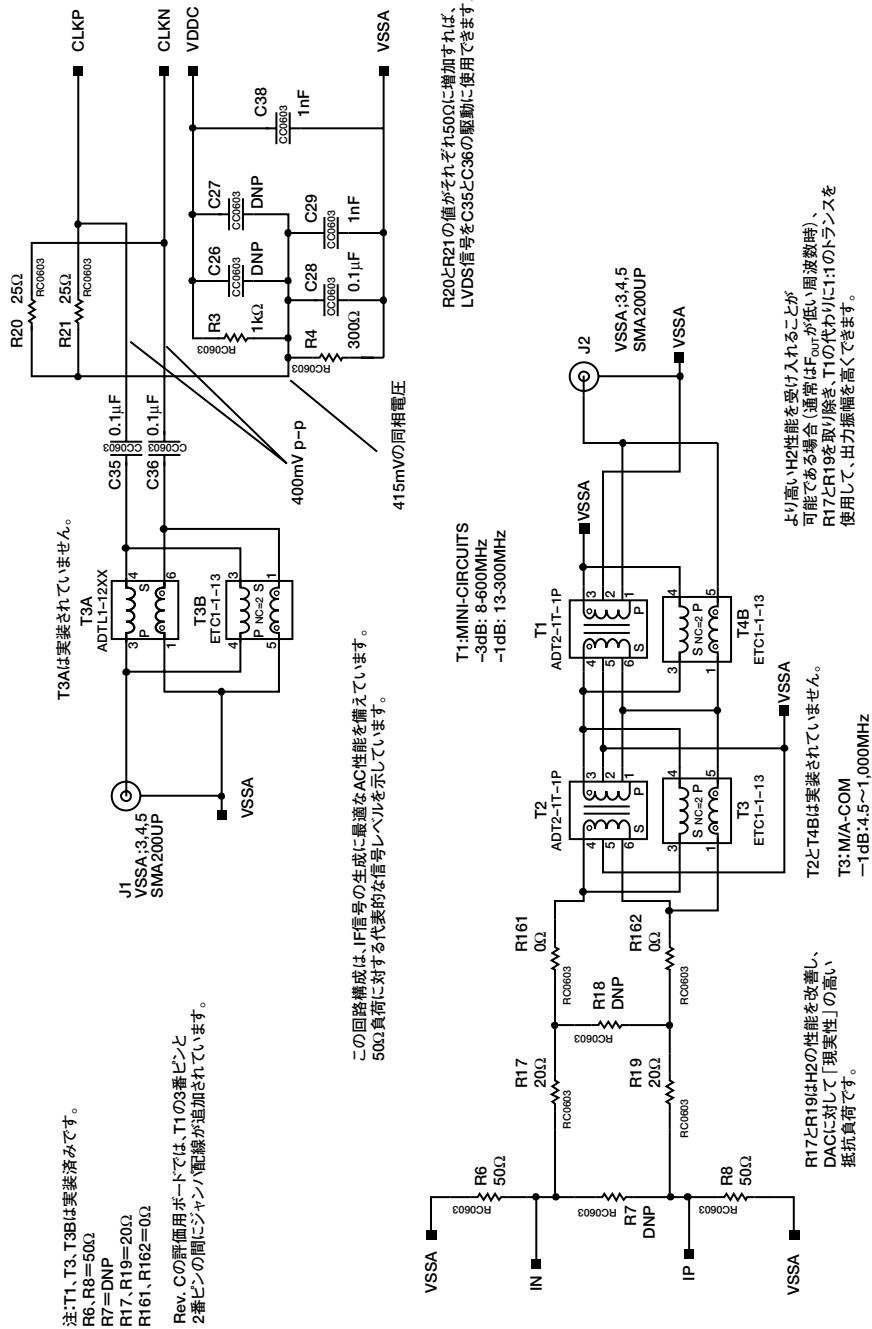
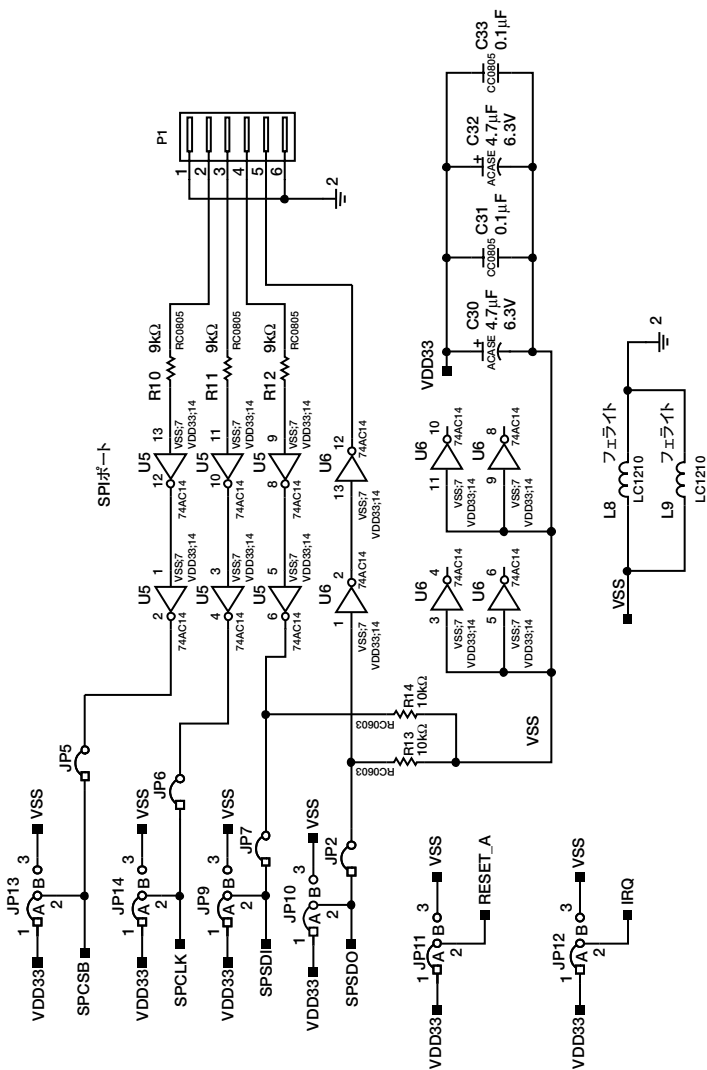


図107. クロック入力とアナログ出力 (AD973x評価用ボードRev. F)

0488261105

以下のジャンパ配線を適用して、PIN_MODE制御信号を設定するか、SPI_MODEでSPIポート信号を接続します。



フレライト・ビーズ・コア:
PANASONIC EXO-CL3225U1、
DIGIKEY部品番号:P9811CT-ND

04882-106

図108. SPIポート・インターフェース (AD973x評価用ボードRev. F)

AD9734/AD9735/AD9736

AD973x評価用ボードのPCボード・レイアウト

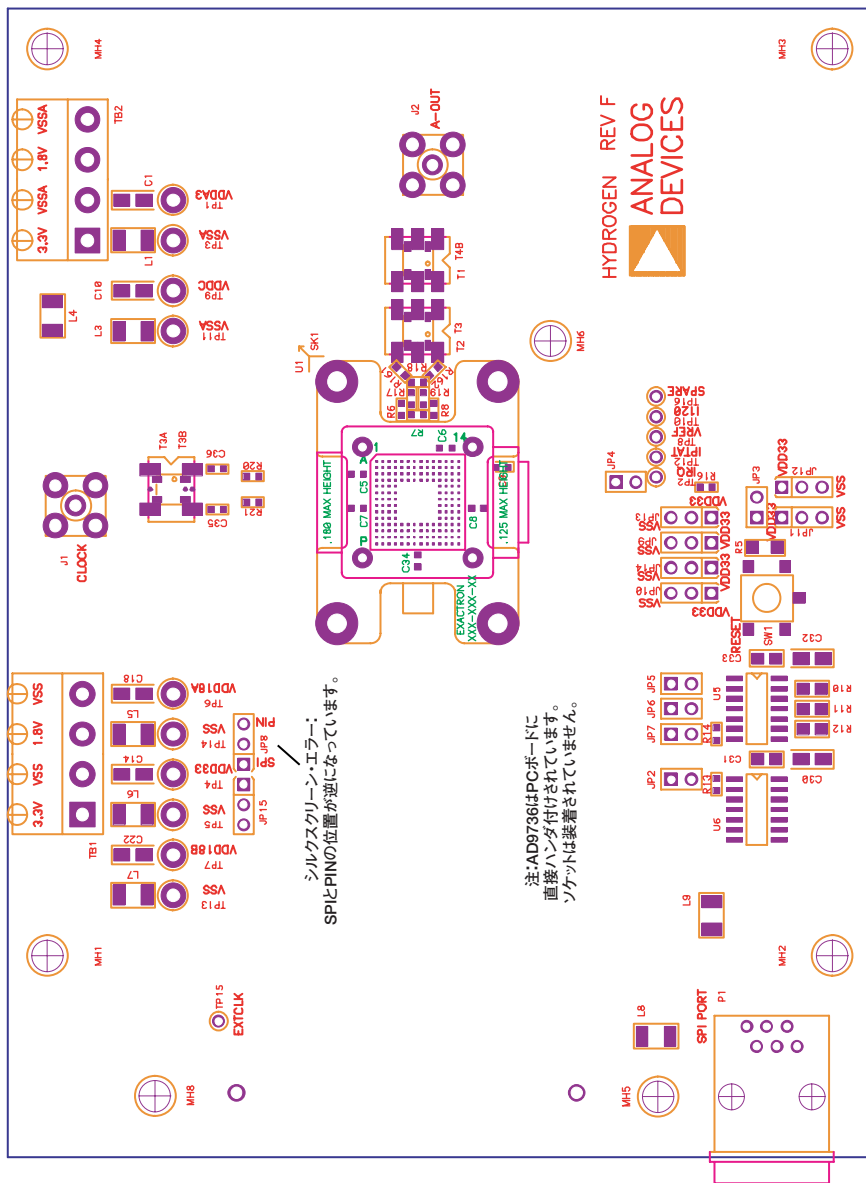
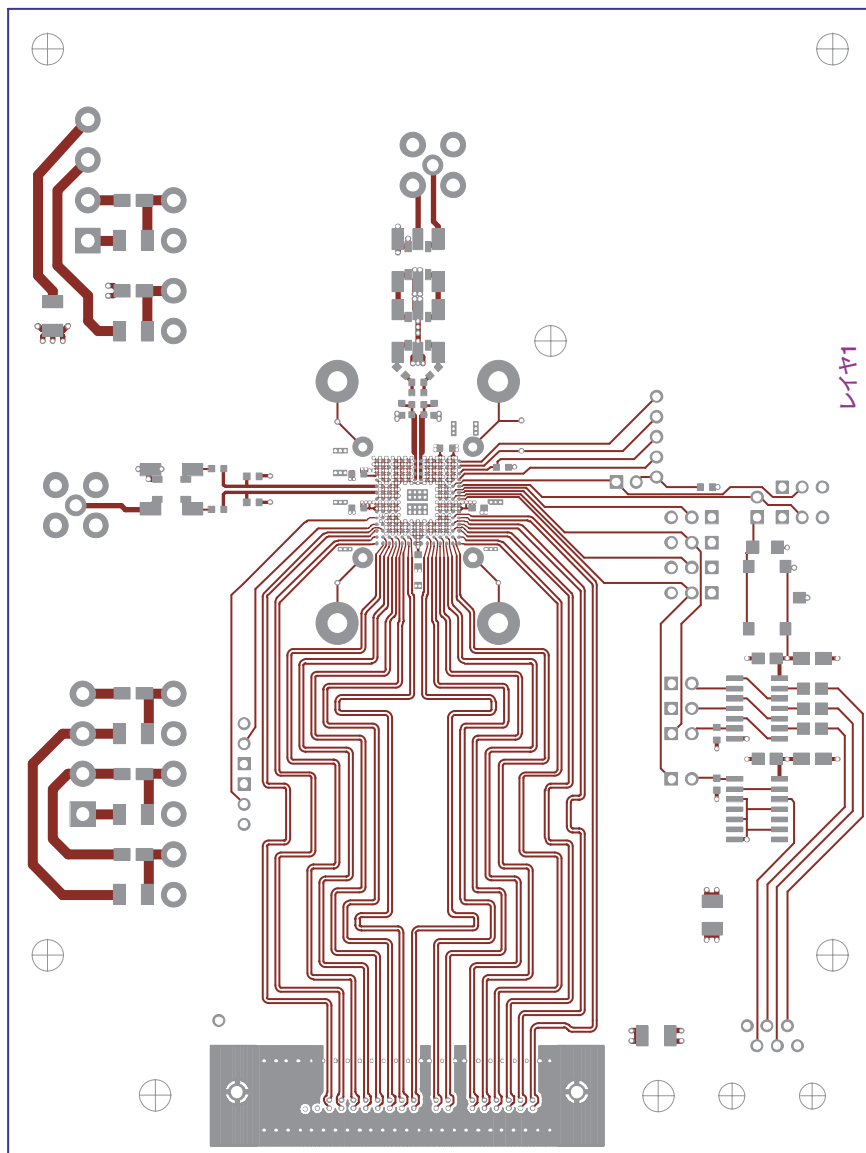


図109. PCボード・レイアウト上面の部品実装面 (AD973x評価用ボードRev. F)



048620-108

図110. PCボード・レイアウト、レイヤ1 (AD973x評価用ボードRev. F)

AD9734/AD9735/AD9736

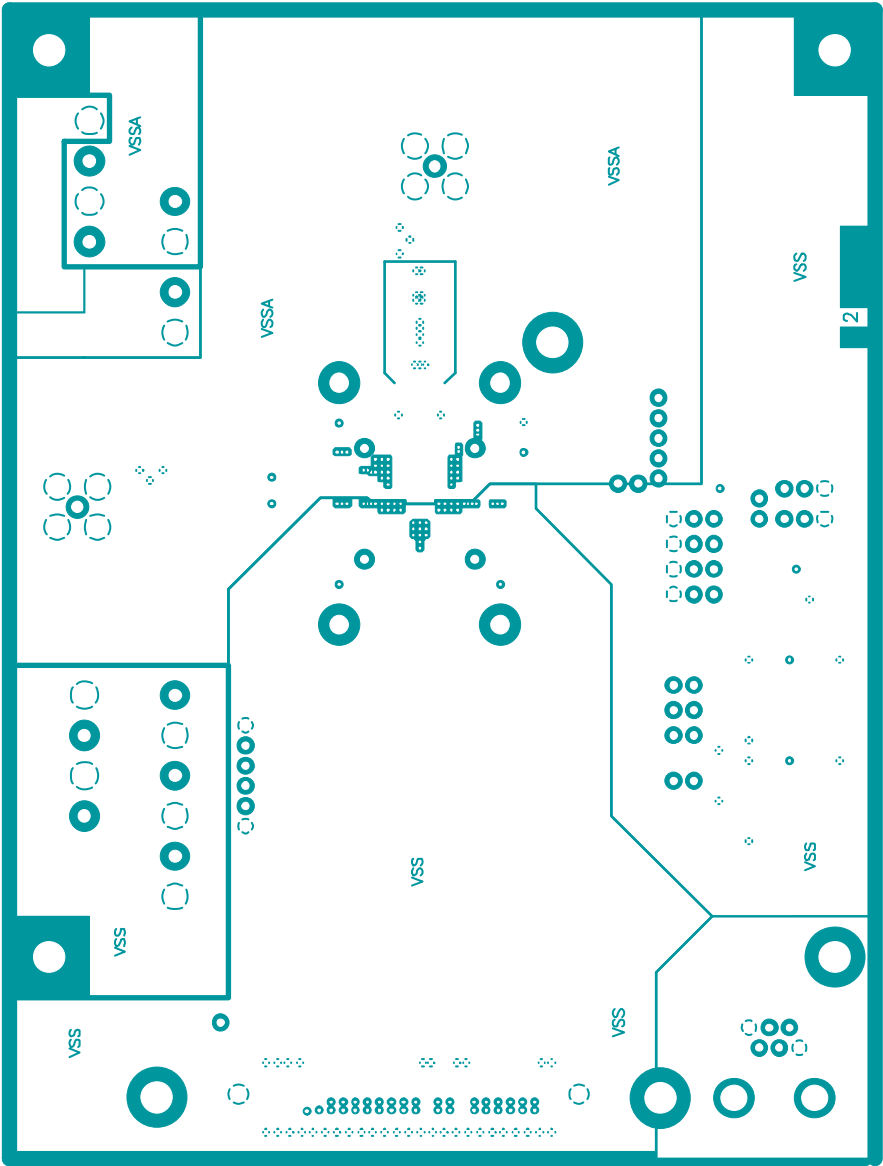


図111. PCボード・レイアウト、レイヤ2 (AD973x評価用ボードRev. F)



図112. PCボード・レイアウト、レイヤ3 (AD973x評価用ボードRev. F)

AD9734/AD9735/AD9736

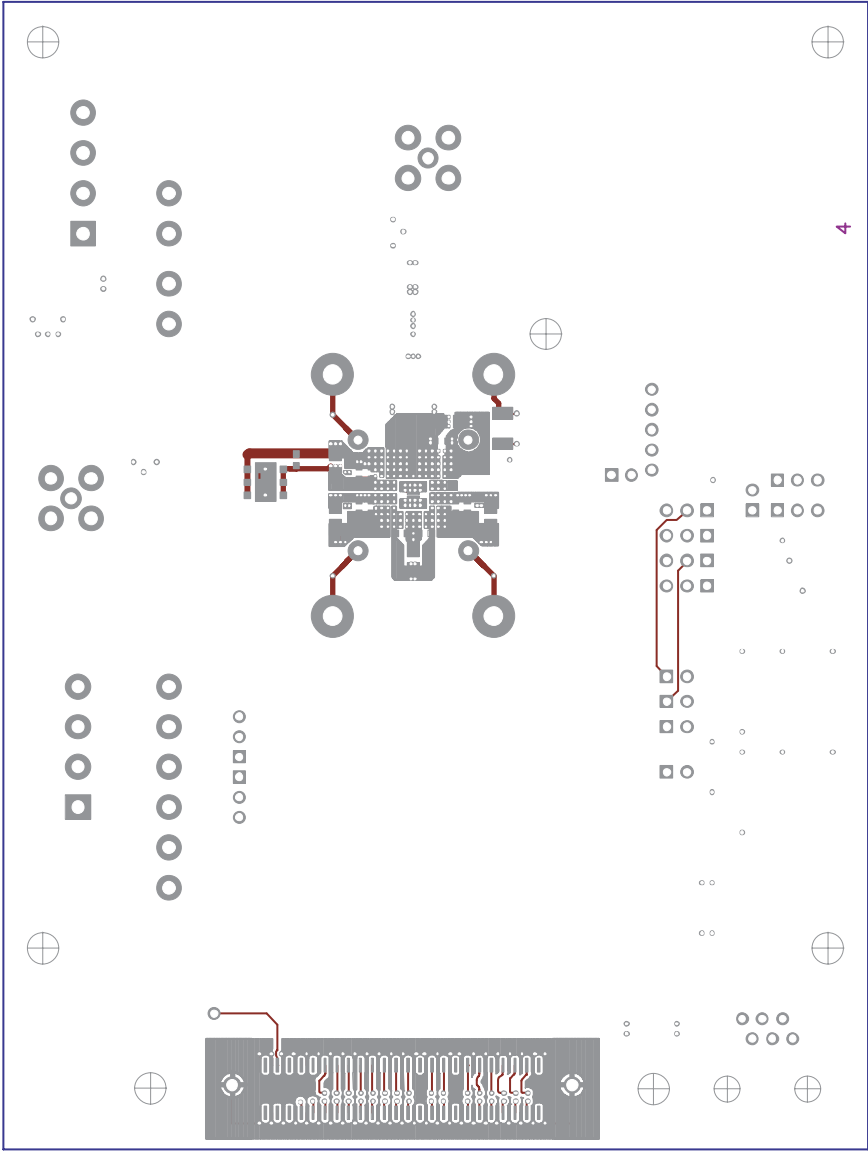


図113. PCボード・レイアウト、レイヤ4 (AD973x評価用ボードRev. F)

014852-111

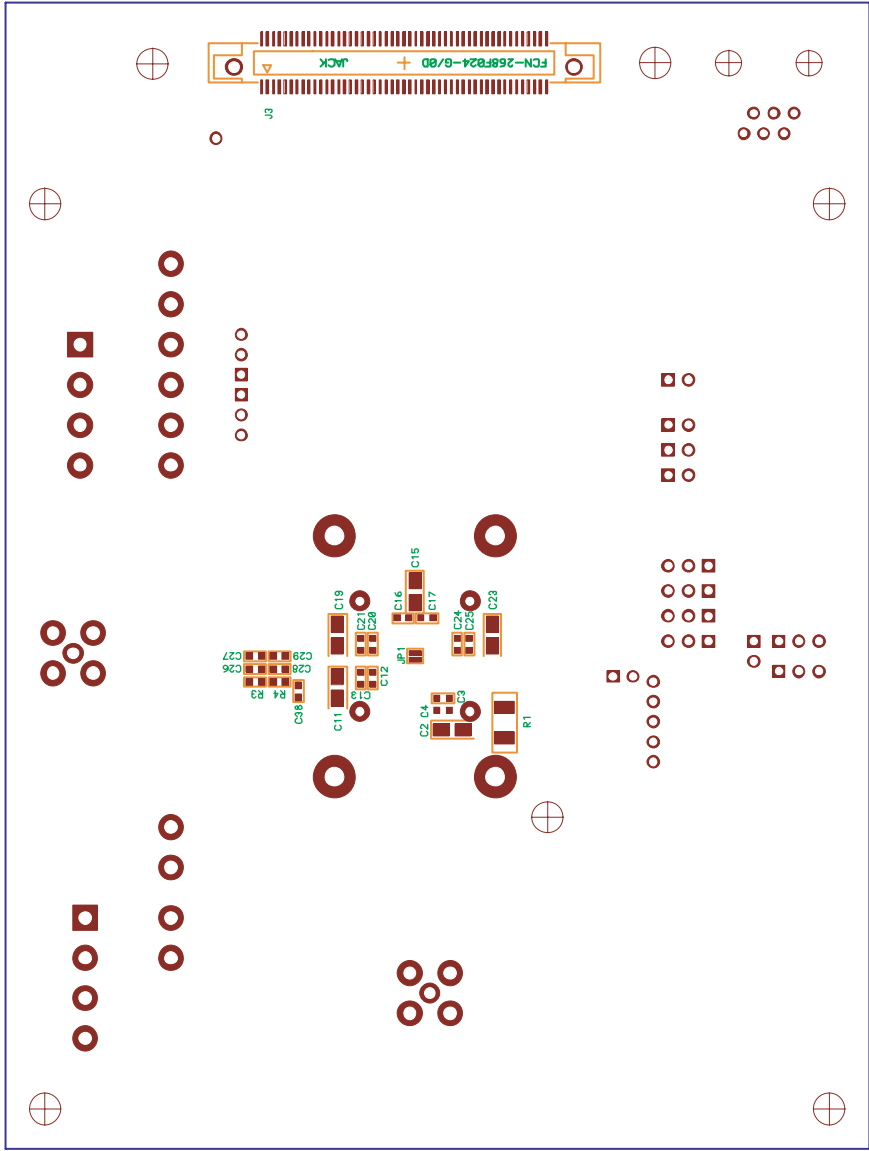


図114. PCボード・レイアウト底面の部品実装面（AD973x評価用ボードRev. F）

AD9734/AD9735/AD9736

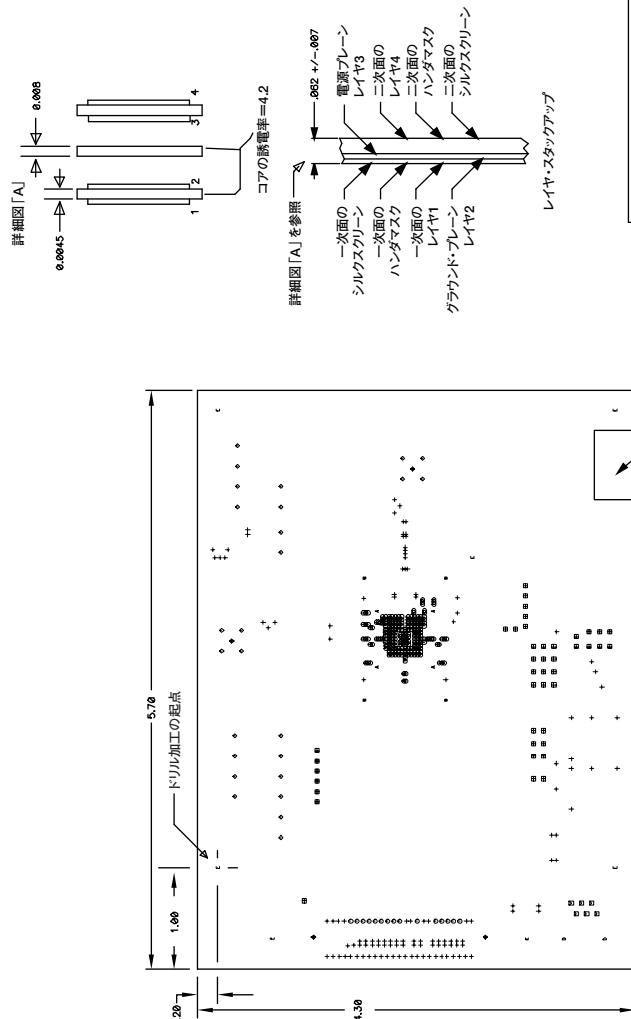


図115. PCボード製造の詳細 (AD973x評価用ボードRev. F)

生

1. 材料: 4層、FRGガラスエポキシ、ラミネート、 0.062 ± 0.007 の厚さ
1/4インチの銅板覆い;内層:メッキ処理の外部レイヤ
2. マスクの銅板覆い;内層
2インチの銅板覆い
3. メッキ処理されたスルーホールと導電性パターンの銅板覆い
銅を厚さ0.001インチ以上で電着メッキ処理します。
端子部および露出したメッキ処理加工のスルーホールは、
ハンダエポキシコーティングを施し、ボット・エアでレベリングを行います。
4. 処理の許容公差
5. A. 導電性パターンの前後間の最小値:0.002インチ
B. 穴を取り囲む環状リングの最小値:0.002インチ
C. 仕上げ処理された導電性パターン:±0.0005インチのアーバチャ・サイズ
D. 曲がりとねじれ:1インチあたり±0.005インチ
寸法は仕上げ処理された部品を対象とします。
6. ハンダマスク: 撮像処理が可能な液体の緑色ハンダマスク。
準備されたパターンを使用する両面に適用します。
露出部分にマスクを適用することは禁止されています。
7. スクリーニング: 不透明の白色インクを使用して、(必要に応じて)一次面と
二次面にスクリーニング部品のアウトラインを品名を表記します。
品名は読みやすい表示とします。スクリーンエッチング間の
レジストレーション:合計で±0.005インチ
穴あけ処理または機械加工された表面。
最大125マイクロンrms
8. 最大0.015FRの影射した端部箇所をすべて取り除いて平滑化します。
9. 製造ベンダーは、二次面のエリアにUL規格のID番号を追加します。
10. ドリル加工は行わないでください。ドリル加工がでる場合は金メッキ・ソケットを用いる場合のみです。

トルク内の直歯(インチ)	記号	数量	許容割合	メカ仕様
0.010	○	216	+0.000 -0.005	あり**
0.014	○	129	+0.000 -0.009	あり*
0.025	△	6	+0.003 -0.003	あり
0.046	△	42	+0.002 -0.003	あり
0.065	△	4	+0.002 -0.003	なし**
0.082	△	4	+0.003 -0.003	あり
0.095	△	26	+0.003 -0.003	あり
0.120	△	4	+0.000 -0.003	なし
0.155	△	2	+0.003 -0.003	なし
	E	7	+0.005 -0.003	★対応済

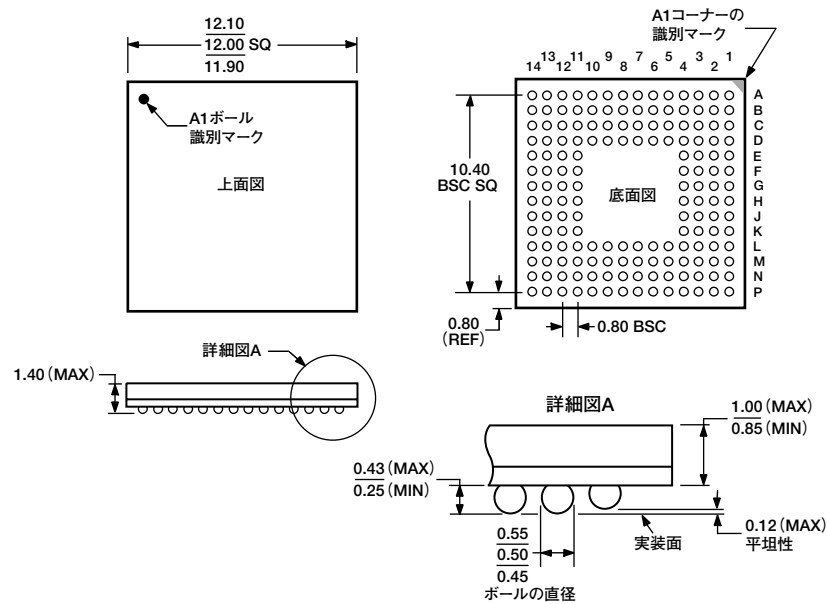
- 加工処理で使用する場合があります。

金属とハンダマスク、
またはこのいずれかで
充填できます。

*** 注11を参照してください。

04862-113

外形寸法



JEDEC規格MO-205-AEに準拠

図116. 160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]
(BC-160-1)

単位寸法：mm

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9734BBC	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9734BBCRL	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9734BBCZ ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9734BBCZRL ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9735BBC	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9735BBCZ ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9735BBCRL	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9735BBCZRL ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9736BBC	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9736BBCRL	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9736BBCZ ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9736BBCZRL ¹	−40〜+85℃	160ピン・チップスケール・ボールグリッド・アレイ・パッケージ [CSP_BGA]	BC-160-1
AD9734-EB		評価用ボード	
AD9735-EB		評価用ボード	
AD9736-EB		評価用ボード	

¹ Z=鉛フリー製品