

特長

ダイナミック性能

SFDR ≥ 78 dBc @ $f_{OUT} = 20$ MHz

IMD ≥ 82 dBc @ $f_{OUT} = 70$ MHz

ACLR ≥ 76 dBc @ $f_{OUT} = 70$ MHz

NSD ≤ -160 dB/Hz @ $f_{OUT} = 70$ MHz

高精度でキャリブレーションされた直線性

DNL $\leq \pm 0.5$ LSB @ +25°C

INL $\leq \pm 1.0$ LSB @ +25°C

THD ≤ -95 dB @ $f_{OUT} = 1$ MHz

100 Ω 終端付き LVDS 入力

自動データ/クロック・タイミング同期

シングル・データ・レートまたはダブル・データ・レートに対応

差動電流出力

高精度リファレンス電圧を内蔵

2.5 V および 3.3 V の電源で動作

拡張工業用温度範囲

熱強化型 80 ピン鉛フリー TQFP_EP パッケージを採用

アプリケーション

計装機器

テスト装置

波形シンセシス

通信システム

概要

AD9726 は、最大 400 MSPS の変換レートで最新性能を提供する 16 ビット D/A コンバータ(DAC)です。このデバイスは低電圧差動信号(LVDS)入力を採用し、100 Ω 終端を内蔵しています。アナログ出力は、シングルエンドまたは差動の電流出力とすることができます。高精度のリファレンス電圧を内蔵しています。

また、入力データとサンプル・クロックとの間のタイミングを監視して最適化する同期ロジックも内蔵しています。この機能によりシステムの複雑さが軽減され、タイミング条件が簡素化されます。シングル・データ・レート(SDR)モードまたはダブル・データ・レート(DDR)モードで外部データ源を駆動するために LVDS クロック出力も提供しています。

デバイスのすべての動作は、柔軟なシリアル・ポート・インターフェース(SPI)を経由して設定することができます。コントローラのないアプリケーションでは、AD9726 はデフォルト状態でフル機能することができます。

機能ブロック図

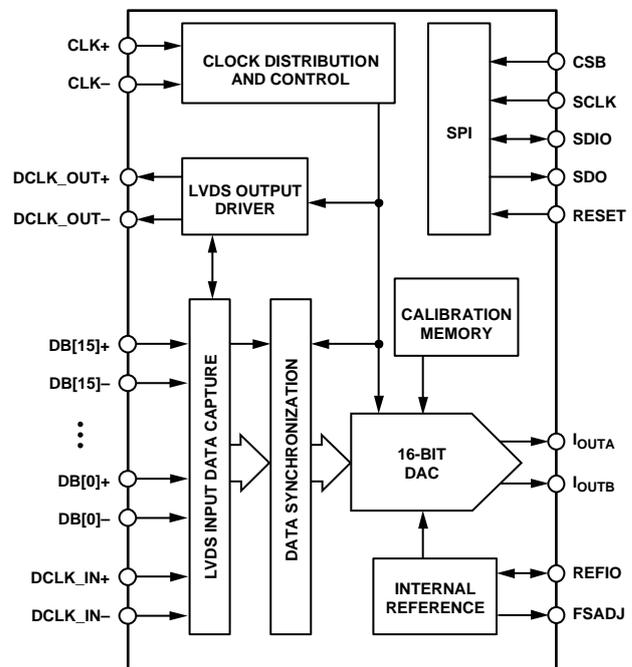


図1.

製品のハイライト

1. AD9726 はユニークな高精度と高性能の組み合わせを持つため、周波数領域または時間領域で厳しい条件を持つアプリケーションに適しています。
2. 出荷時の不揮発性キャリブレーションにより伝達関数の優れた直線性が保証されています。内部ロジックにより、拡張動作温度でも直線性のオンデマンド・セルフ・キャリブレーションを提供します。
3. 当社独自のアーキテクチャにより、データに依存する離散的ミキシング・スプリアスを抑え、広い出力周波数範囲でダイナミック性能を強化しています。高い入力データ・レートにより、非常に広い周波数シンセシス帯域幅を提供します。
4. ユーザからは見えない自動同期機能により、クロックとデータとの間の最適なタイミングをリアルタイムで維持し、さらに柔軟性を高めるプログラマブルな制御オプションを提供しています。
5. フルスケール出力電流は、外付け抵抗で設定することができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2005 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長	1	シリアル・ポート・インターフェース	13
アプリケーション	1	動作原理	15
機能ブロック図	1	DACクロックとデータ・クロックの出力	15
概要	1	データ・クロック入力	15
製品のハイライト	1	データ同期回路	16
仕様	3	アナログ出力	16
DC仕様	3	内蔵リファレンス電圧およびフル・スケール出力	16
AC仕様	4	リセット	17
デジタル信号仕様	5	シリアル・ポート・インターフェース	17
タイミング仕様	5	SPIピンの説明	18
タイミング図	6	キャリブレーション	19
絶対最大定格	7	同期ロジックの動作と設定	20
熱抵抗	7	外形寸法	22
ESDの注意	7	オーダー・ガイド	22
ピン配置およびピン機能説明	8		
用語	10		
代表的な性能特性	11		

改訂履歴

11/05—Rev. 0 to Rev. A

Changes to Features	1
Changes to Table 3 and Table 4	5
Changes to the Terminology Section	10
Changes to the Driving the DAC Clock Inputs Section	15
Changes to the Reset and Serial Port Interface Sections	17
Updated Outline Dimensions	22
Changes to the Ordering Guide	22

7/05—Revision 0: Initial Version

仕様

DC仕様

特に指定がない限り、DBVDD = AVDD1 = AVDD2 = 3.3 V、DVDD = CLKVDD = ADVDD = ACVDD = 2.5 V、 $I_{OUT-FS} = 20$ mA、内部リファレンス電圧を使用、 $T_{MIN} \sim T_{MAX}$ 。

表1.

Parameter	Min	Typ	Max	Unit
ACCURACY ¹				
DNL		±0.5	±1.0	LSB
INL		±1.0	±2.5	LSB
Offset Error		0.003		% FS
Gain Error		0.003		% FS
ANALOG OUTPUT				
Full-Scale Current		20		mA
Compliance Voltage		±1		V
Output Impedance		10		MΩ
INTERNAL REFERENCE				
Output Voltage	1.18	1.22	1.27	V
Output Current ²		1		μA
EXTERNAL REFERENCE				
Input Voltage		1.2		V
Input Resistance		10		MΩ
Small Signal Bandwidth		200		kHz
TEMPERATURE COEFFICIENTS				
Gain Drift		±10		ppm of FS/°C
Offset Drift		±10		ppm of FS/°C
Reference Drift		±30		ppm/°C
POWER SUPPLIES ³				
AVDD1, AVDD2				
Voltage Range	3.13		3.47	V
Supply Current ($I_{AVDD1} + I_{AVDD2}$)		52	60	mA
ADVDD, ACVDD				
Voltage Range	2.37		2.63	V
Supply Current ($I_{ACVDD} + I_{ADVDD}$)		16	18	mA
CLKVDD				
Voltage Range	2.37		2.63	V
Supply Current (I_{CLKVDD})		45	50	mA
DVDD				
Voltage Range	2.37		2.63	V
Supply Current (I_{DVDD})		80	90	mA
DBVDD				
Voltage Range	3.13		3.47	V
Supply Current (I_{DBVDD})		16	18	mA
POWER DISSIPATION (P_{DISS})		575		mW
Sleep Mode		465		mW
Power-Down Mode		≤10		mW
OPERATING TEMPERATURE RANGE	-40		+85	°C

¹ $T_{AMB} = 25^{\circ}\text{C}$.

² バッファ・アンプを使って外部負荷を駆動。

³ $f_{DAC} = 400$ MHz、 $f_{OUT} = 1$ MHz、SDR で測定した電源電流と消費電力。

AC仕様

特に指定がない限り、DBVDD = AVDD1 = AVDD2 = 3.3 V、DVDD = CLKVDD = ADVDD = ACVDD = 2.5 V、 $I_{OUT-FS} = 20$ mA、内部リファレンス電圧を使用、 $T_{MIN} \sim T_{MAX}$ 。

表2.

Parameter	Min	Typ	Max	Unit
TOTAL HARMONIC DISTORTION (THD) $f_{DAC} = 400$ MHz, $f_{OUT} = 1$ MHz, 0 dBFS		-95		dB
SPURIOUS-FREE DYNAMIC RANGE (SFDR) $f_{DAC} = 400$ MHz, 0 dBFS $f_{OUT} = 20$ MHz		78		dBc
$f_{OUT} = 70$ MHz		68		dBc
$f_{OUT} = 140$ MHz		62		dBc
$f_{DAC} = 400$ MHz, -3 dBFS $f_{OUT} = 20$ MHz		80		dBc
$f_{OUT} = 70$ MHz		70		dBc
$f_{OUT} = 140$ MHz		62		dBc
$f_{DAC} = 200$ MHz, 0 dBFS $f_{OUT} = 20$ MHz		84		dBc
$f_{OUT} = 70$ MHz		62		dBc
$f_{DAC} = 200$ MHz, -3 dBFS $f_{OUT} = 20$ MHz		82		dBc
$f_{OUT} = 70$ MHz		68		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD) $f_{DAC} = 400$ MHz, 0 dBFS $f_{OUT1} = 20$ MHz, $f_{OUT2} = 21$ MHz		86		dBc
$f_{OUT1} = 70$ MHz, $f_{OUT2} = 71$ MHz		82		dBc
$f_{OUT1} = 140$ MHz, $f_{OUT2} = 141$ MHz		74		dBc
ADJACENT CHANNEL LEAKAGE RATIO (ACLR) $f_{DATA} = 245.76$ MSPS, $f_{CARRIER} = 70$ MHz, 1-Carrier WCDMA		76		dBc
$f_{DATA} = 245.76$ MSPS, $f_{CARRIER} = 70$ MHz, 2-Carrier WCDMA		70		dBc
$f_{DATA} = 245.76$ MSPS, $f_{CARRIER1} = 70$ MHz, 4-Carrier WCDMA		66		dBc
$f_{DATA} = 245.76$ MSPS, $f_{CARRIER1} = 70$ MHz, 8-Carrier WCDMA		62		dBc
NOISE SPECTRAL DENSITY (NSD) $f_{DAC} = 400$ MHz, $f_{OUT} = 70$ MHz, 0 dBFS		-160		dBm/Hz
$f_{DAC} = 400$ MHz, $f_{OUT} = 70$ MHz, -3 dBFS		-163		dBm/Hz
$f_{DAC} = 400$ MHz, $f_{OUT} = 70$ MHz, -6 dBFS		-165		dBm/Hz
UPDATE RATE	0		400	MSPS

デジタル信号仕様

特に指定がない限り、DBVDD = AVDD1 = AVDD2 = 3.3 V、DVDD = CLKVDD = ADVDD = ACVDD = 2.5 V、 $I_{OUT-FS} = 20$ mA、内部リファレンス電圧を使用、 $T_{MIN} \sim T_{MAX}$ 。

表3.

Parameter	Min	Typ	Max	Unit
DAC CLOCK INPUTS (CLK+/-)				
Differential Voltage	0.5	1.0		V
Common-Mode Voltage	1.0	1.25		V
LVDS INPUTS (DB[15:0]+/-, DCLK_IN+/-)				
Input Voltage Range	825		1575	mV
Differential Threshold Voltage			100	mV
Differential Input Impedance		100		Ω
LVDS OUTPUT (DCLK_OUT+/-)				
Differential Output Voltage ¹	250	400		mV
Offset Voltage	1.0	1.2		V
Short-Circuit Output Current		20		mA
CMOS INPUTS (CSB, SCLK, SDIO, RESET)				
Logic 0 Voltage			0.5	V
Logic 1 Voltage	2.5			V
Input Current		1		nA
CMOS OUTPUTS (SDO, SDIO)				
Logic 0 Voltage			0.5	V
Logic 1 Voltage	3.0			V
Short-Circuit Output Current		10		mA
CONTROL INPUTS (SPI_DIS, SDR_EN)				
Logic 0 Voltage			0.5	V
Logic 1 Voltage	2.0			V
Input Current		1		nA

¹ 100 Ω の外部負荷。

タイミング仕様

特に指定がない限り、DBVDD = AVDD1 = AVDD2 = 3.3 V、DVDD = CLKVDD = ADVDD = ACVDD = 2.5 V、 $I_{OUT-FS} = 20$ mA、内部リファレンス電圧を使用、 $T_{MIN} \sim T_{MAX}$ 。

表4.

Parameter	Min	Typ	Max	Unit
LVDS DATA BUS				
DDR DCLK_OUT+/- Propagation Delay ($t_{DCPD-DDR}$)			2000	ps
DDR DB[15:0]+/- Set-Up Time ($t_{DSU-DDR}$)	-100			ps
DDR DB[15:0]+/- Hold Time (t_{DH-DDR})	500			ps
SDR DCLK_OUT+/- Propagation Delay ($t_{DCPD-SDR}$)			300	ps
SDR DB[15:0]+/- Set-Up Time ($t_{DSU-SDR}$)	-100			ps
SDR DB[15:0]+/- Hold Time (t_{DH-SDR})	500			ps
SERIAL PORT INTERFACE				
SCLK Frequency (f_{SCLK})			15	MHz
SCLK Rise/Fall Time			1	ns
SCLK Pulse Width High (t_{CPWH})	30			ns
SCLK Pulse Width Low (t_{CPWL})	30			ns
SCLK Set-Up Time (t_{CSU})	30			ns
SDIO Set-Up Time (t_{DSU})	30			ns
SDIO Hold Time (t_{DH})	0			ns
SDIO/SDO Valid Time (t_{DV})			30	ns
RESET PULSE WIDTH	1.5			ns

タイミング図

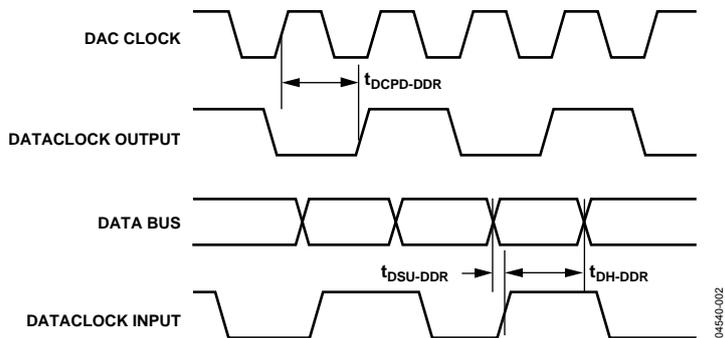


図2.DDRのタイミング図

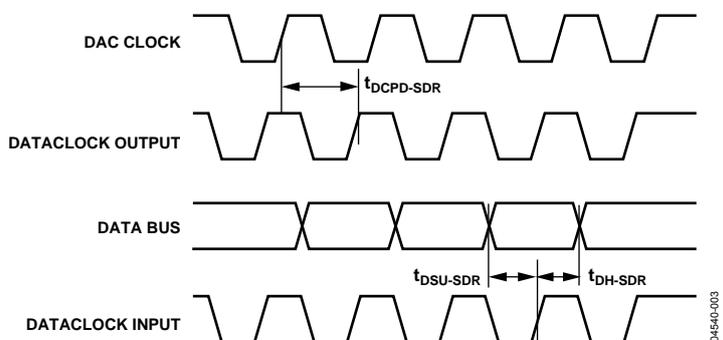


図3.SDRのタイミング図

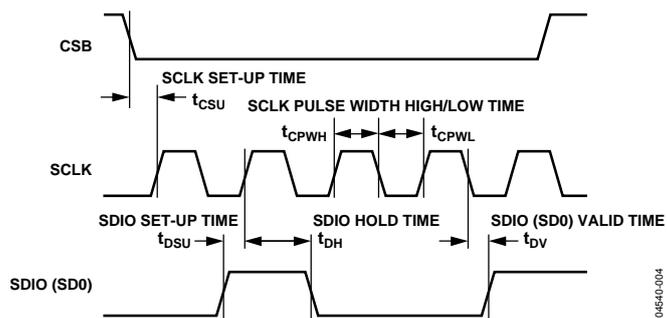


図4.SPIのタイミング図

絶対最大定格

表5.

Parameter	With Respect to	Rating
DBVDD, AVDD1, AVDD2	DBGND, AGND1, AGND2	-0.3 V to 3.6 V
DVDD, CLKVDD, ACVDD, ADVDD	DGND, CLKGND, ACGND, ADGND	-0.3 V to 2.8 V
DBGND, AGND1, AGND2	DBGND, AGND1, AGND2	-0.3 V to +0.3 V
DGND, CLKGND, ACGND, ADGND	DGND, CLKGND, ACGND, ADGND	-0.3 V to +0.3 V
REFIO, FSDAJ	AGND1	-0.3 V to AVDD1 + 0.3 V
IOUTA, IOUTB	AGND1	-1.0 V to AVDD1 + 0.3 V
CLK+, CLK-	CLKGND	-0.3 V to CLKVDD + 0.3 V
DB[15:0]+/-, DCLK_IN+/-, DCLK_OUT+/-	DBGND	-0.3 V to DBVDD + 0.3 V
CSB, SCLK, SDIO, SDO, RESET, REXT	DBGND	-0.3 V to DBVDD + 0.3 V
SDR_EN, SPI_DIS	ADGND	-0.3 V to ADVDD + 0.3 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

パッケージの露出パッドを外部ヒート・シンク(たとえば、PCB内層の銅グラウンド・プレーン)にハンダ付けすると熱抵抗を 23°C/W 小さくすることができますが、AD9726の消費電力と動作温度範囲に対しては必要ありません。

表6.熱抵抗

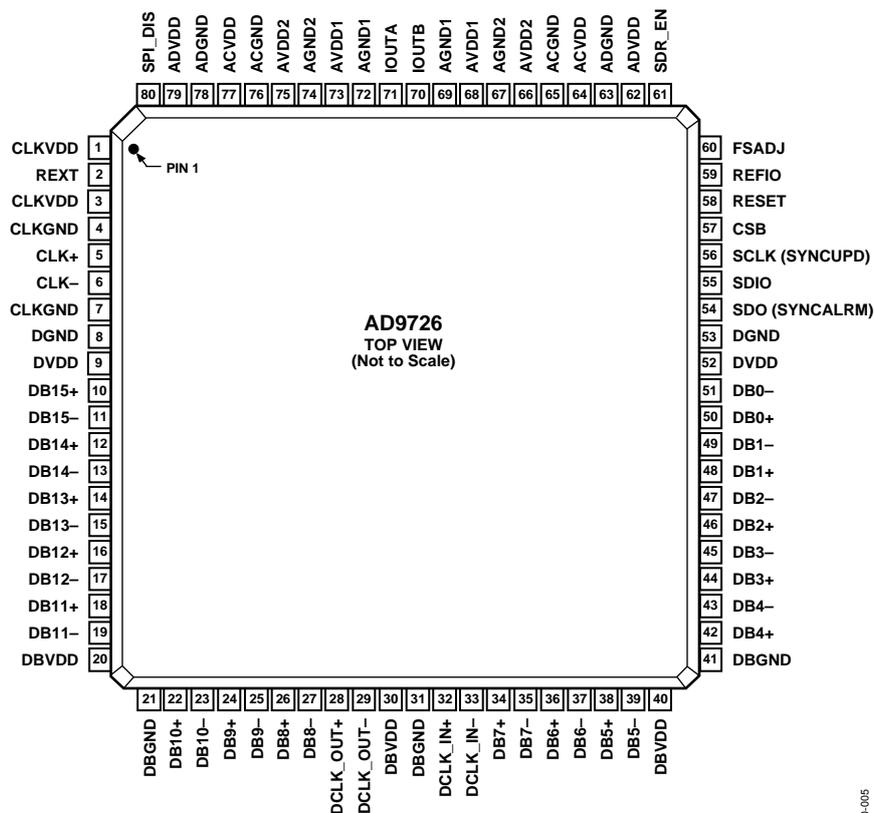
Package Type	θ_{JA}	Unit
80-Lead TQFP_EP Package, Thermally Enhanced	32	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



04540-005

図5. ピン配置

表7. ピン機能の説明

ピン番号	記号	説明	ピン番号	記号	説明
1	CLKVDD	クロック電源電圧	22	DB10+	データ・ビット 10—真
2	REXT	データ・クロック出力駆動を設定します ¹	23	DB10-	データ・ビット 10—相補
3	CLKVDD	クロック電源電圧	24	DB9+	データ・ビット 9—真
4	CLKGND	クロック電源コモン	25	DB9-	データ・ビット 9—相補
5	CLK+	DACクロック入力—真	26	DB8+	データ・ビット 8—真
6	CLK-	DACクロック入力—相補	27	DB8-	データ・ビット 8—相補
7	CLKGND	クロック電源コモン	28	DCLK_OUT+	データ・クロック出力—真
8	DGND	デジタル電源コモン	29	DCLK_OUT-	データ・クロック出力—相補
9	DVDD	デジタル電源電圧	30	DBVDD	データ・バス電源電圧
10	DB15+	データ・ビット 15—真	31	DBGND	データ・バス電源コモン
11	DB15-	データ・ビット 15—相補	32	DCLK_IN+	データ・クロック入力—真
12	DB14+	データ・ビット 14—真	33	DCLK_IN-	データ・クロック入力—相補
13	DB14-	データ・ビット 14—相補	34	DB7+	データ・ビット 7—真
14	DB13+	データ・ビット 13—真	35	DB7-	データ・ビット 7—相補
15	DB13-	データ・ビット 13—相補	36	DB6+	データ・ビット 6—真
16	DB12+	データ・ビット 12—真	37	DB6-	データ・ビット 6—相補
17	DB12-	データ・ビット 12—相補	38	DB5+	データ・ビット 5—真
18	DB11+	データ・ビット 11—真	39	DB5-	データ・ビット 5—相補
19	DB11-	データ・ビット 11—相補	40	DBVDD	データ・バス電源電圧
20	DBVDD	データ・バス電源電圧	41	DBGND	データ・バス電源コモン
21	DBGND	データ・バス電源コモン	42	DB4+	データ・ビット 4—真

ピン番号	記号	説明	ピン番号	記号	説明
43	DB4-	データ・ビット 4—相補	70	IOUTB	アナログ電流出力—相補
44	DB3+	データ・ビット 3—真	71	IOUTA	アナログ電流出力—真
45	DB3-	データ・ビット 3—相補	72	AGND1	アナログ電源コモン
46	DB2+	データ・ビット 2—真	73	AVDD1	アナログ電源電圧
47	DB2-	データ・ビット 2—相補	74	AGND2	アナログ電源コモン
48	DB1+	データ・ビット 1—真	75	AVDD2	アナログ電源電圧
49	DB1-	データ・ビット 1—相補	76	ACGND	アナログ電源コモン
50	DB0+	データ・ビット 0—真	77	ACVDD	アナログ電源電圧
51	DB0-	データ・ビット 0—相補	78	ADGND	アナログ電源コモン
52	DVDD	デジタル電源電圧	79	ADVDD	アナログ電源電圧
53	DGND	デジタル電源コモン	80	SPI_DIS	シリアル・ポート・インターフェース・ディスエーブル ⁸
54	SDO (SYNCALRM)	SPI データ出力(SYNCALRM) ²			
55	SDIO	SPI データ入力/出力 ³			¹ DBGND へ接続した公称 1 k Ω (データ・クロック出力を使用しないときは不要)。
56	SCLK (SYNCUPD)	SPI クロック入力(SYNCUPD) ⁴			² SDO は 4 線式 SPI モードで出力、3 線式 SPI モードでスリーステート。SPI をディスエーブルしたときは (SPI_DIS = ADVDD)、別のピン機能 SYNCALRM 出力になります。
57	CSB	SPI チップ・セレクト・バー (アクティブ・ロー)			³ SDIO は 4 線式 SPI モードで入力専用、3 線式 SPI モードで双方向。
58	RESET	ハードウェア・リセット(アクティブ・ハイ)			⁴ SPI をディスエーブルしたときは (SPI_DIS = ADVDD)、別のピン機能 SYNCUPD になります。
59	REFIO	内部リファレンス入力/出力 ⁵			⁵ 0.1 μ F で AGND1 へバイパス。バッファ・アンプを使って外部回路を駆動してください。出力電流を 1 μ A に制限してください。外部リファレンス電圧をこのピンに入力します。
60	FSADJ	電流出力フル・スケール調整 ⁶			⁶ 20 mA のフル・スケール出力(内蔵リファレンス電圧)には公称 2 k Ω を AGND1 との間に接続。
61	SDR_EN	シングル・データ・レート・モード・イネーブル ⁷			⁷ SPI をディスエーブルする場合は、ピンを ADVDD に接続して、SDR をイネーブル。その他の場合は ADGND に接続。
62	ADVDD	アナログ電源電圧			⁸ SPI をディスエーブルする場合は、このピンを ADVDD に接続。その他の場合は ADGND に接続。
63	ADGND	アナログ電源コモン			
64	ACVDD	アナログ電源電圧			
65	ACGND	アナログ電源コモン			
66	AVDD2	アナログ電源電圧			
67	AGND2	アナログ電源コモン			
68	AVDD1	アナログ電源電圧			
69	AGND1	アナログ電源コモン			

用語

直線性誤差

ゼロ・スケールとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

デジタル入力コードでの 1 LSB 変化に対応するアナログ出力での理論 LSB からの最大偏差を表します。

オフセット誤差

理論ゼロ・スケール電流と出力電流の差。差動出力の場合、全入力がロー・レベルのとき $I_{OUTA} = 0 \text{ mA}$ が、全入力がハイ・レベルのとき $I_{OUTB} = 0 \text{ mA}$ が、それぞれ期待されます。

単調性

入力が増加したとき、出力が増加するか不変である場合に、DAC は単調であるといえます。

ゲイン誤差

理論フル・スケール電流と出力電流の差。実際フル・スケール出力電流は、全入力がハイ・レベルのときの出力から全入力がロー・レベルのときの出力を減算して求めます。

出力コンプライアンス・レンジ

電流出力 DAC のアナログ出力からみた許容電圧範囲。コンプライアンス規定値を超えて動作させると、出力ステージの飽和および/またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(25°C)から T_{MIN} または T_{MAX} までのパラメータの最大変化として定義され、一般に ppm/°C で表されます。

電源除去比

各電源がそれぞれの動作電圧範囲で変化したときのフル・スケール出力の最大変化を意味します。

スプリアス・フリー・ダイナミック・レンジ(SFDR)

テスト・トーンのピーク振幅と規定帯域幅内の最大スプリアス信号のピーク振幅とのデシベル値で表した差。

相互変調歪み(IMD)

2つのテスト・トーンの最大ピーク振幅とテスト・トーンの整数倍の和または差から発生する歪み積の最大ピーク振幅との間のデシベル値で表した差。

隣接チャンネル・リーク比(ACLR)

隣接空きチャンネル内で測定した電力に対する、あるチャンネル内で測定した広帯域信号電力の比。

ノイズ・スペクトル密度(NSD)

アナログ出力で 1 Hz 帯域幅で測定したノイズ電力値。

総合高調波歪み(THD)

出力信号 rms 電力に対する 6 次までの高調波成分の rms 電力和の比をデシベル表示。

代表的な性能特性

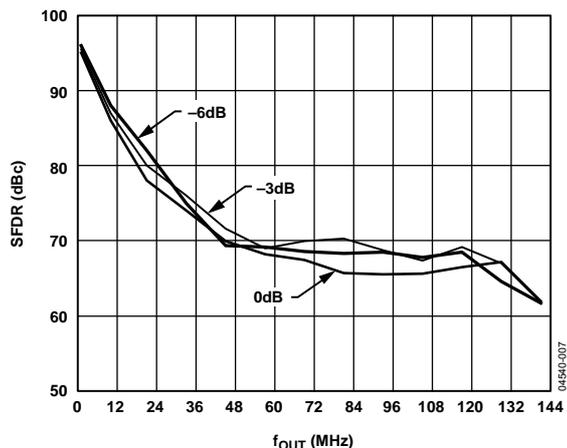


図6.SFDR 対 f_{OUT} 、400 MSPS

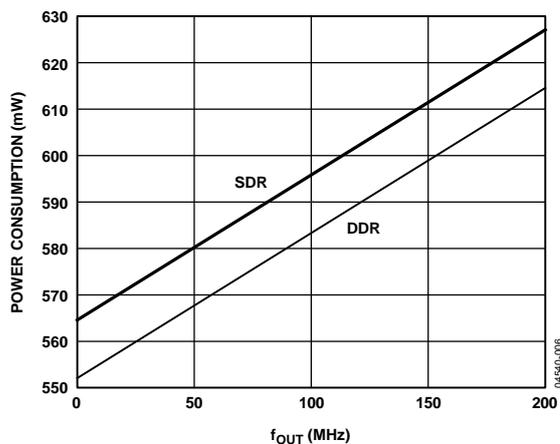


図9.消費電力対 f_{OUT} 、400 MSPS

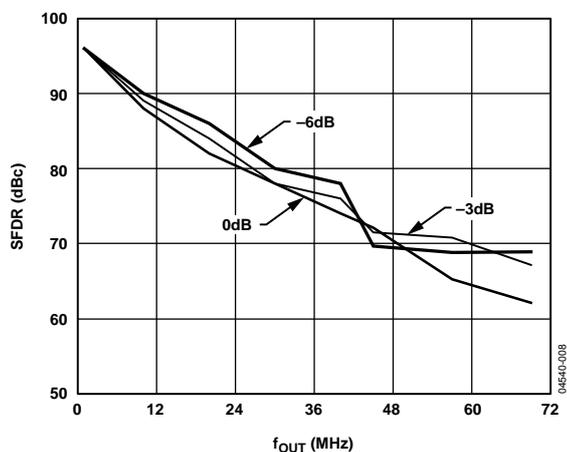


図7.SFDR 対 f_{OUT} 、200 MSPS

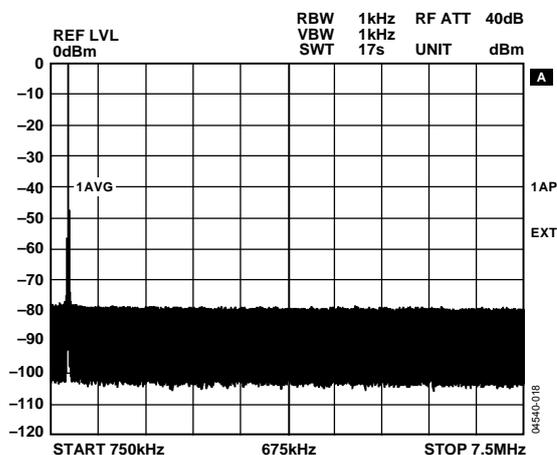


図10.THD、400 MSPS、 $f_{OUT} = 1$ MHz
(基本波 0 dBmを示すDiplexerローパス出力、
キャリアレーションの性能への影響のセクション参照)

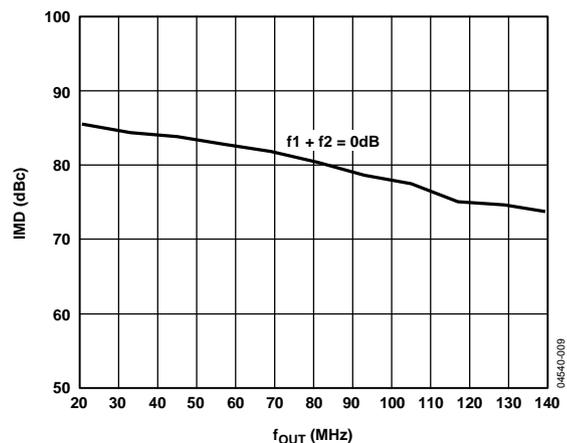


図8.2 トーン IMD 対 f_{OUT} 、400 MSPS

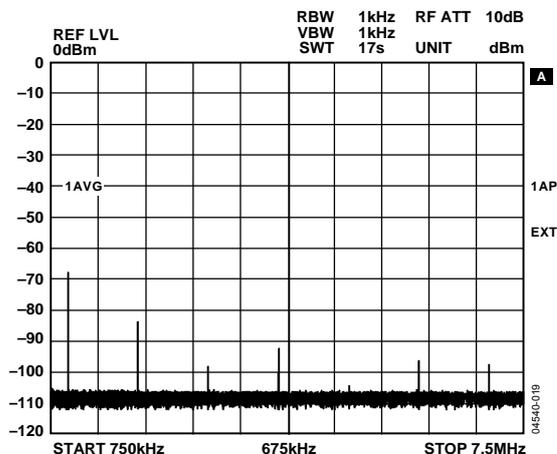


図11.THD、400 MSPS、 $f_{OUT} = 1$ MHz
(キャリアレーション前の高調波を示すDiplexerハイパス出力、
キャリアレーションの性能への影響のセクション参照)

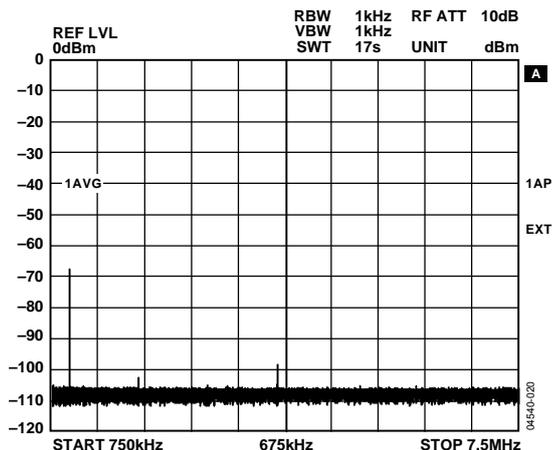


図12. THD、400 MSPS、 $f_{OUT} = 1$ MHz
 (キャリアブレージョン後の高調波を示すDuplexerハイパス出力、
 キャリブレージョンの性能への影響のセクション参照)

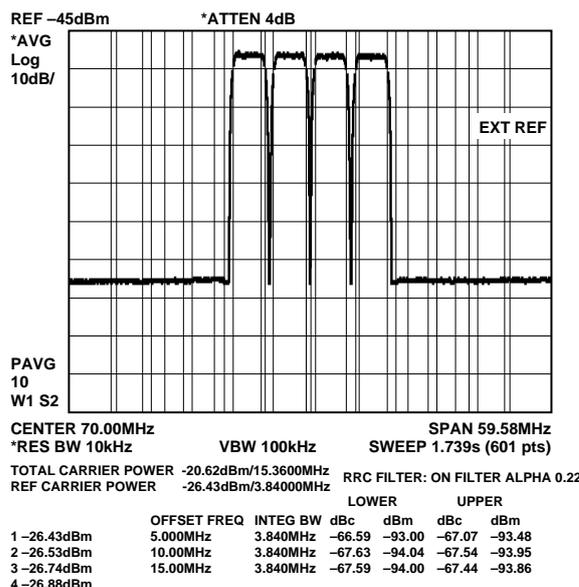


図15.4 キャリア WCDMA、400 MSPS、 $f_{OUT} = 70$ MHz

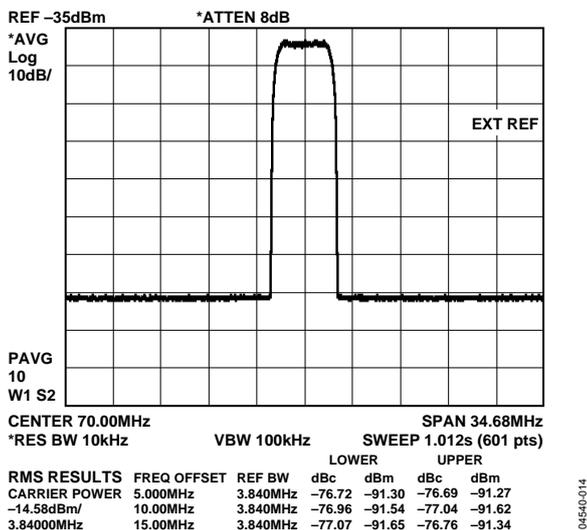


図13.1 キャリア WCDMA、400 MSPS、 $f_{OUT} = 70$ MHz

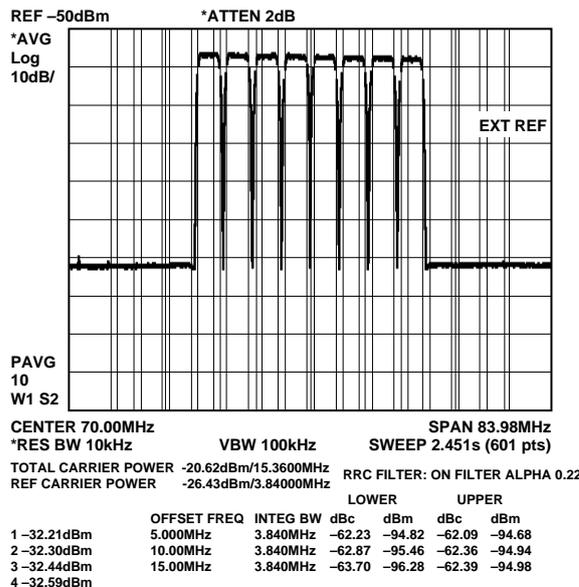


図16.8 キャリア WCDMA、400 MSPS、 $f_{OUT} = 70$ MHz

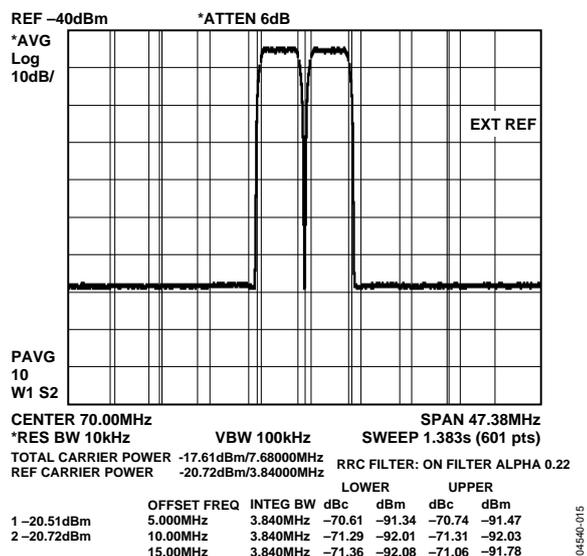


図14.2 キャリア WCDMA、400 MSPS、 $f_{OUT} = 70$ MHz

シリアル・ポート・インターフェース

表8.SPI レジスタ・マップ

Addr	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x00	SDIODIR	DATADIR	SWRESET	SLEEP	PWRDWN			EXTREF
0x02	DATAFMT	DATARATE	INVDCLKI	INVDCLKO	DISDCLKO	SYNCMAN	SYNCUPD	SYNCALRM
0x0E			CALMEM[1]	CALMEM[0]		CALCLK[2]	CALCLK[1]	CALCLK[0]
0x0F	SCALSTAT	SELCAL	XFERSTAT	MEMXFER	SMEMWR	SMEMRD	FMEMRD	UNCAL
0x10	MEMADR[7]	MEMADR[6]	MEMADR[5]	MEMADR[4]	MEMADR[3]	MEMADR[2]	MEMADR[1]	MEMADR[0]
0x11			MEMDAT[5]	MEMDAT[4]	MEMDAT[3]	MEMDAT[2]	MEMDAT[1]	MEMDAT[0]
0x15							SYNCOUT[1]	SYNCOUT[0]
0x16			SYNCEXT	SYNCIN[1]	SYNCIN[0]			

表9.SPI レジスタ・ビットのデフォルト値と説明

Addr	Name	Bit	I/O	Default	Description
0x00	SDIODIR	7	I	0	0: SDIO is input only (4-wire SPI mode), and SDO is used for output. 1: SDIO is input/output (3-wire SPI mode), and SDO is unused.
	DATADIR	6	I	0	0: SPI serial data byte is MSB first format. 1: SPI serial data byte is LSB first format.
	SWRESET	5	I	0	1: Software reset: SPI registers (except 0x00) to default values. ¹
	SLEEP	4	I	0	1: Analog outputs temporarily disabled.
	PWRDWN	3	I	0	1: Full device power-down; all circuits disabled except SPI.
	EXTREF	0	I	0	1: Power-down internal reference: use external reference source. ²
	0x02	DATAFMT	7	I	0
DATARATE		6	I	0	0: DDR mode. 1: SDR mode.
INVDCLKI		5	I	0	1: Inverts polarity of data clock input.
INVDCLKO		4	I	0	1: Inverts polarity of data clock output.
DISDCLKO		3	I	0	1: Disables data clock output.
SYNCMAN		2	I	0	1: Enable sync manual mode; disable automatic update.
SYNCUPD		1	I	0	1: Force manual sync update.
SYNCALRM		0	O	0	1: Indicates that sync logic requires update.
0x0E	CALMEM	[5:4]	O	00	2-bit SMEM contents and calibration status indicator. 00: Uncalibrated; SMEM contains default values (63). 01: Self-calibrated; SMEM contains values from self-calibration. 10: Factory-calibrated; SMEM values transferred from FMEM. 11: User-calibrated; SMEM contains user-entered values.
	CALCLK	[2:0]	I	000	3-bit self-calibration clock divider ratio. Affects time available for algorithm settling. Each value increase reduces time by 50%. ³ 000: Self-calibration clock is DAC clock/4096 (maximum self-calibration settling time for highest linearity accuracy). 001,010,011: Self-calibration clock is DAC clock/2048,1024,512. 100,101,110: Self-calibration clock is DAC clock/256,128,64. 111: Self-calibration clock is DAC clock/32 (minimum self-calibration settling time for fastest algorithm completion).
0x0F	SCALSTAT	7	O	0	1: Indicates completion of self-calibration cycle.
	SELCAL	6	I	0	1: Initiates self-calibration cycle. ⁴
	XFERSTAT	5	O	0	1: Indicates completion of memory transfer cycle.
	MEMXFER	4	I	0	1: Initiates FMEM to SMEM transfer. ⁵
	SMEMWR	3	I	0	1: Enable static memory (SMEM) write operation.
	SMEMRD	2	I	0	1: Enable static memory (SMEM) read operation.
	FMEMRD	1	I	0	1: Enable factory memory (FMEM) read operation.
UNCAL	0	I	0	1: Enable uncalibrated operation; all SMEM to default values. ⁶	
0x10	MEMADR	[7:0]	I	00000000	8-bit memory address value for read/write operations.
0x11	MEMDAT	[5:0]	I/O	000000	6-bit memory data value for read/write operations.
0x15	SYNCOUT	[1:0]	O	00	2-bit output value indicates current sync quadrant.

Addr	Name	Bit	I/O	Default	Description
0x16	SYNCEXT	5	I	0	1: Enable sync external mode; disable auto quadrant select.
	SYNCIN	[4:3]	I	00	2-bit input value used to specify sync quadrant.

¹ SWRESET は自分自身もリセット。SMEM 値は SWRESET の影響を受けませんが、CALMEM は未キャリブレーション状態を報告します。

² 内部リファレンス回路は外部電源で上書きされるようにデザインされているため、EXTREF はオプションです。

³ セルフ・キャリブレーション・クロックはメモリ転送サイクルにも使用されるため、CALCLK 値は MEMXFER 処理時間にも影響を与えます。

⁴ SELFCAL をアサートするときは、レジスタ・ビット 3:0 はすべて 0 である必要があります。セルフ・キャリブレーション・サイクルに必要な時間は、100 MHz かつ CALCLK = 0 で約 100 ms です。

⁵ MEMXFER をアサートするときは、レジスタ・ビット 3:0 はすべて 0 である必要があります。メモリ転送サイクルに必要な時間は、100 MHz かつ CALCLK = 0 で約 15ms です。

⁶ UNCAL ビットはサイクルが完了した後アサートのままです(SMEM 値はデフォルト値を維持)。これはユーザがビットをクリアするまで続きます。

動作原理

AD9726 は、高いサンプル・レートと高性能を可能にするため入力データに LVDS を採用しています。LVDS 技術では、ノイズ除去のために差動信号を、高速で低消費電力のために小信号振幅を、それぞれ採用しています。AD9726 の各 LVDS 入力には、終端用の $100\ \Omega$ アクティブ負荷が付いています。

DACクロックとデータ・クロックの出力

AD9726 は 2 つのクロックを入力し、1 つのクロックを出力します。すべてが差動信号です。

AD9726 はマスター入力クロックで駆動され、このクロックが変換を開始し、すべてのオンチップ動作を制御します。この信号は DAC クロックと呼ばれます。この信号は LVDS ではなく、CLK+ピンと CLK-ピンは高インピーダンス入力です。

DAC クロックは、データ・クロック出力の発生にも使われます。DCLK_OUT+ピンと DCLK_OUT-ピンは LVDS 信号を構成するため、外部 FPGA または別のデータ源の駆動に使うことができます。SDR モードでは、データ・クロック出力は常に DAC クロックと同じ周波数で動作します。DDR モードでは、データ・クロック出力は常に DAC クロック周波数の $\frac{1}{2}$ で動作します。

データ・クロック出力の使用はオプションです。入力データ・ストリームを制御する従来型の方法として機能することを意味します。ドライバは、 $100\ \Omega$ の差動終端を負荷とすることができます。駆動強度を設定するため、REXT ピンと DBGND との間に $1\ \text{k}\Omega$ の外付け抵抗も必要です。使用しない場合は、データ・クロック出力ピンは解放のままにし、REXT の $1\ \text{k}\Omega$ 抵抗は不要です。

SPI レジスタ $0x02$ の INVCLKO ビットをアサートすることによりデータ・クロック出力を反転することができます。また、同じレジスタの DISDCLKO ビットをアサートすることによりドライバをディスエーブルすることもできます。

データ・クロック入力

AD9726 の残りのクロック信号はデータ・クロック入力です。この LVDS 信号はオプションではなく、16 ビット・データ・バスでは必ず必要です。データ・クロック入力は、入力データを同期(sync)ロジックにラッチするときに使います。

データ・クロック入力は常に、SDR モードと DDR モードでデータ・クロック出力と同じ周波数で動作します。論理反転は、INVCLKI ビットをアサートすることにより行われます。

DACクロック入力の駆動

最高 AC 性能を保証するためには、DAC クロックは高精度でスペクトル的に高純度である必要があります。対称な 50% デューティ・サイクルを常に維持する必要があります。

CLK+入力ピンと CLK-入力ピンは、CLKVDD のほぼ $\frac{1}{2}$ の同相モード電圧を持つ信号で駆動する必要があります。この点から、ピーク to ピーク信号振幅は、少なくとも数百 mV の範囲で変化する必要があります。

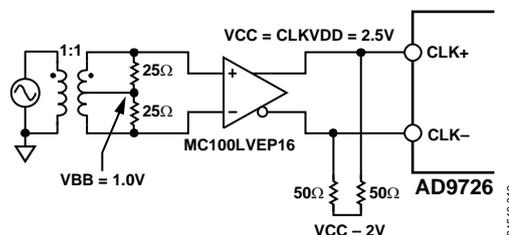


図17.DAC のアクティブ・クロック駆動回路

図 17 に示す回路オプションでは、2.5 V の LVPECL ロジック・ファミリーのレーザードライバ IC を使用して、これらのガイドラインを満たす相補出力を提供しています。トランスは 50% デューティ・サイクルの保証に役立ち、入力でシングルエンドから差動への変換を提供しています。

LVPECL デバイスの電源は CLKVDD と同じ電源から供給できるので便利です。トランス 2 次側のセンター・タップは 1 V に維持する必要があります。この電圧はレーザードライバ入力のスイッチング・スレッシュホールドです(この電圧の発生には抵抗分圧器を使うか、またはバッファ・アンプ付きの内部 VBB 電源を使います)。1:1 インピーダンス比を採用すると、2 次側の $25\ \Omega$ 抵抗は $50\ \Omega$ 電源に対する整合負荷を提供します。

ドライバ出力は AD9726 のできるだけ近くで $50\ \Omega$ により VCC-2 V へ終端します(またはテブナン等価回路を使います)。インピーダンスを制御した PCB パターンを使って反射を小さくする必要があります。CLK+ピンと CLK-ピンの信号レベルは、1500 mV 近くのハイ・レベルと 750 mV 近くのロー・レベルの間で変化します。

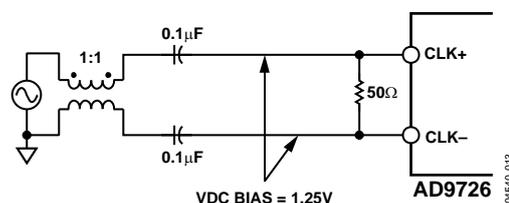


図18.DAC のパッシブ・クロック駆動回路

DAC クロック入力を駆動するもう 1 つの回路オプションでは、伝送線トランス(バラン)を使ってシングルエンドから差動への変換を行っています。この全パッシブ回路は非常にシンプルで安価であり、限定的な周波数範囲で許容性能を提供します。

この実施例では、正弦波(またはその他のシングルエンド・ソース)が $50\ \Omega$ のトランスを介して差動 DAC クロック入りに直接入力されています。コンデンサはアイソレーションのために使用され、各 DAC クロック・ピンは 1.25 V に DC

バイアスされる必要があります(シンプルな抵抗分圧器を使うことができます)。

50 Ω の終端抵抗は入力ピンのできるだけ近くに接続し、インピーダンスを制御した PCB パターンを使う必要があります。

アクティブまたはパッシブ DAC クロック 駆動回路から優れた AC 性能を期待することができますが、パッシブ回路では、出力スルー・レートが入力周波数に依存します。一方、アクティブ回路は広い範囲の入力周波数で高い出力スルー・レートを維持します。

データ同期回路

高性能の AD9726 では、入力ビットとデータのサンプルと変換に使用する DAC クロックとの間で同期を維持することが必要です。DAC クロックと LVDS データ・クロック入力との位相関係、およびインターフェースの高速動作から発生する問題を規定することは元々困難ですが、AD9726 は自動的に監視してデータ・バスと DAC クロックを一致させるリアルタイム・ロジックを内蔵しています。

SDR モードまたは DDR モードによらず、入力データは常に同じレートで入力されます。さらに、入力データのレートは常に DAC クロックの周波数に一致します。データ・レートと DAC クロックは周波数ロックされている必要があります。これを実現するために、データ・クロック出力の第一の目的は DAC クロックから直接駆動されるデータに対してタイム・ベースを提供することです。

データ・クロック入力の機能は、入力データを同期ブロックへラッチすることです。ここから、最適 AC 性能を得るために DAC クロックを基準としたデータの位置を決めるのは同期ロジックの機能です。

個々のデータ・ビットは、16 ビット・バス幅内で PCB パターンが一致した遅延を持つように相互に近い位置関係を保つ必要があります。さらに、データ・クロック入力とデータ・バスとの間で一定のセットアップとホールド・タイミング関係が必要ですが、同期ロジックがあるため、データ・バスと DAC クロックとの間の位相関係は内部で最適化されます。さらに、データ・バスと DAC クロックとの間の位相が時間または温度でドリフトしても、同期ロジックが自動的に更新して調節します。一旦同期が得られると、データ・バスと DAC クロックとの間の位相は、データの損失または破壊なしに 1 サイクルまで変化させることができます。

同期動作とオプションのプログラマブルなモードのさらに詳しい説明は、同期ロジックの動作と設定のセクションに記載してあります。これには SPI なしで同期ロジックを使う方法の説明も含まれています。

アナログ出力

AD9726 は広いダイナミック・レンジの CMOS コアを採用しています。アナログ出力は差動電流源で構成され、各々は最大 20 mA のフル・スケールが可能です。出力デバイスは PMOS ですが、 ± 1 V のコンプライアンス電圧範囲内で出力終端に電流を供給することができます。

一般的なアプリケーションでは、両出力がアナログ・グラウンドへ接続したディスクリット抵抗を駆動します。ここから、高周波出力の場合は特に、1:1 RF トランスの 2 次側セッター・タップを駆動します。差動からシングルエンドへの変換が行われ、ゲインが追加され、偶数次高調波が相殺されます。

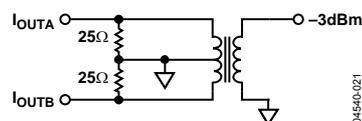
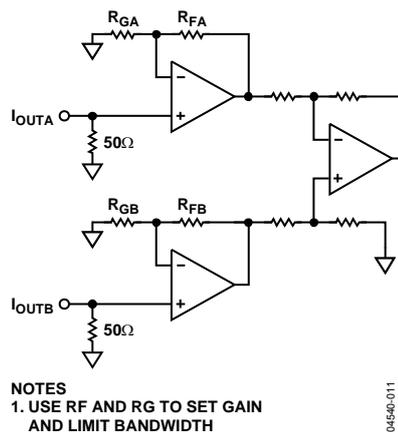


図19. トランス出力回路

最大出力電力を得るためには、抵抗値を 50 Ω に増やして、大部分のトランスで性能を損なうことなく、50 Ω 負荷で最大 0 dBm を得ることができます。



NOTES
1. USE RF AND RG TO SET GAIN AND LIMIT BANDWIDTH

図20. オペアンプ出力回路

これの代わりに、従来型計装アンプ構成でアクティブ出力ステージを使うことができます。この場合は、各 DAC 出力からアナログ・デバイス的高速相互インピーダンス・オペアンプの 1 つの非反転入力を駆動します。

内蔵リファレンス電圧およびフル・スケール出力

AD9726 は 1.2 V の高精度リファレンス電圧源を内蔵しています。このリファレンス電圧は REFIO ピンに出力されます。適切なバッファを使うと、外部回路の駆動に使うことができます。

必要に応じて、外付けリファレンス電圧源を REFIO ピンに接続します。内蔵電圧源は外付け電圧源で容易に上書き駆動できるようにデザインされていますが、内蔵リファレンス電圧を SPI レジスタ 0x00 の EXTREF ビットを使ってパワーダウンさせることもできます。

リファレンス電圧(内蔵または外付け)は、FSADJ ピンの外付け高精度抵抗に加えられます。得られた電流を内部で増幅して、次式に従い DAC 出力でのフル・スケール電流が提供されます。

$$I_{OUTFS} = VREF/R_{FSADJ} \times 32$$

データ・バス入力でのバイナリ値を考慮することにより、出力電流 I_{OUTA} と I_{OUTB} は次式で決定されます。

$$I_{OUTA} = I_{OUTFS} \times DB[15:0]/65536$$

$$I_{OUTB} = I_{OUTFS} \times (1 - DB[15:0])/65536$$

AD9726 は、内蔵リファレンス電圧源と高精度 2 k Ω 負荷を使って出荷時にキャリブレーションされたゲイン(不揮発性)を持っていることに注意してください。したがって、アプリケーションでのゲイン精度は、 R_{FSADJ} の精度に依存します。

リセット

最初のパワーアップと有効な DAC クロック信号を加えた後に、AD9726 は常に RESET ピンのアクティブ・ハイ・パルスで初期化される必要があります。これにより、プログラマブルなレジスタにデフォルト値が設定され、揮発性キャリブレーション・メモリが初期化され、データに対して同期ロジックが準備されます。データ・バスは、リセット・パルスの前は停止している必要があります。リセット後、LVDS データの入力が可能になります。

AD9726 のデフォルト状態は DDR と 2 の補数バイナリ入力データになっています。AD9726 をこのモードで使用する場合は、デバイス・レジスタを設定する必要はありませんが、SPI_DIS ピンがハイ・レベルに接続されない限り、デフォルトで SPI がイネーブルされます。ディスエーブルしない場合は、SPI 入力ピンをフローティングのままにしておくことはできません。

シリアル・ポート・インターフェース

シリアル・ポート・インターフェースは柔軟な同期シリアル通信ポートで、業界標準の多くのマイクロコントローラとマイクロプロセッサ・プロトコル(Motorola 社の SPI[®] と Intel[®] 社の SSR など)に容易にインターフェースすることができます。このインターフェースは、AD9726 の動作を設定するレジスタに対するリード/ライト・アクセスを提供します。

AD9726 SPI は、シングル・バイト転送、マルチ・バイト転送、さらに MSB 詰めまたは LSB 詰めデータ・フォーマットをサポートしています。このインターフェースは、3 線式モード(SDIO が双方向)またはデフォルトの 4 線式モード(SDIO と SDO がそれぞれ単方向のデータ入力とデータ出力として機能)に設定することができます。

通信サイクル

すべての通信サイクルは 2 つのフェーズから構成されています。最初のフェーズは命令バイトを SPI コントローラに書き込むことに関係し、常に SCLK の最初の 8 個の立ち上がりエッジで実行されます。命令バイトはサイクルの第 2

フェーズすなわちデータ転送フェーズについての情報をコントローラに提供します。命令バイトには、転送データ・バイト数(1~4)、レジスタ・アドレス、読み出しまたは書き込み動作を開始させるビットが含まれます。

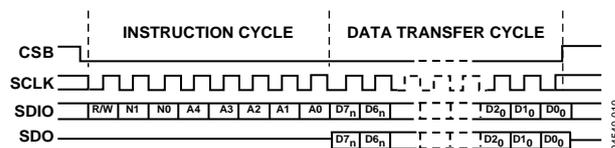


図21.SPI の通信サイクル

すべての通信サイクルは CSB の立ち下がりで開始され、SPI コントロール・ロジックもリセットされます。同様に、すべての通信サイクルは CSB の立ち上がりで終了し、未完了のデータ転送はアボートされます。通信サイクルが開始されると、次の 8 個の SCLK 立ち上がりエッジで SDIO ピンのデータが命令バイトとして解釈されます。

命令バイト

命令バイト・ビットを次のビット・マップに示します。

B7	B6	B5	B4	B3	B2	B1	B0
R/W	N1	N0	A4	A3	A2	A1	A0

R/W

命令バイトのビット 7 で、読み出し転送または書き込み転送を選択します。このビットがハイ・レベルに設定されると、読み出し動作が指定されます。これがロー・レベルの場合、書き込みコマンドが指定されます。

N1、N0

命令バイトのビット 6 とビット 5 により、転送するデータ・バイト数が指定されます(表 10)。

表 10.

N1	N0	Description
0	0	Transfer 1 data byte
0	1	Transfer 2 data bytes
1	0	Transfer 3 data bytes
1	1	Transfer 4 data bytes

A4、A3、A2、A1、A0

命令バイトのビット 4~ビット 0 により、有効レジスタ・アドレスに対応する 5 ビット・バイナリ値が指定されます。マルチ・バイト転送の場合は、指定されるロケーションは開始または終了レジスタ・アドレスになります。SPI コントローラは LSB 詰めまたは MSB 詰めいずれがアクティブになっているかに応じて、連続アドレス値を発生するためにこの値をインクリメントまたはデクリメントします。

MSB/LSBの転送

SPI は MSB 詰めと LSB 詰めシリアル・データ・バイト・フォーマットをサポートすることができます。この機能は、SPI レジスタ 0x00 のビット 6 により指定されます。このビットのデフォルト値はロー・レベル、MSB 詰めが選択されます。このモードでは、レジスタとの間でシリア

ル・データ・ビットがビット7からビット0への順でシーケンシャルに読み書きされます。

SPIレジスタ0x00のビット6がハイ・レベルに設定されると、コントローラはLSB詰めに切り替えます。このモードでは、レジスタに対してデータ・ビットがビット0からビット7への順でシーケンシャルに読み書きされます。命令バイトを書き込むとMSB詰めまたはLSB詰めに切り替わります。

MSB詰めのマルチ・バイト転送の場合、命令バイトのアドレスは最終アドレスとして解釈され、コントローラによりその値が自動的にデクリメントされます。LSB詰めのマルチ・バイト転送の場合、命令バイトのアドレスは開始アドレスとして解釈され、コントローラによりその値が自動的にインクリメントされます。

MSB詰めからLSB詰めに切り替わるとき注意が必要です。コントローラは、SPIレジスタ0x00の全8ビットが書き込まれると(マルチ・バイト転送が進行中でも)直ちにモードを切り替えます。このため、LSB詰め/MSB詰の切り替えにはシングル・バイト・コマンドの使用が推奨されます。

3 線式動作と4 線式動作

SPIレジスタ0x00のビット7はデフォルトでロー・レベルとなっており、4線式SPI動作を選択します。このモードでは、シリアル・データはSDIOピンから入力され、シリアル・データはSDOピンから出力されます。SPIレジスタ0x00のビット7をハイ・レベルに設定すると、3線式動作がイネーブルされます。このモードでは、SDIOは双方向になり、必要に応じて入力/出力が自動的に切り替えられます。このモードではSDOピンは使用されないため、高インピーダンス状態になります。

MSB詰めまたはLSB詰めの場合と同様に、動作モードを切り替えるときに注意が必要です。SPIレジスタ0x00の全8ビットが書き込まれると、直ちに変更されます。

レジスタ・データの書き込みと読み出し

CSBをロー・レベルにすると、新しい通信サイクルが開始されます。SCLKの次の8個の立ち上がりエッジで、SDIOからデータが命令バイトへラッチされます。命令バイトのビット7がロー・レベルの場合、書き込み動作がイネーブルされます。ビット7がハイ・レベルのときは、読み出し動作がイネーブルされます。

書き込み動作の場合、データ・バイトはSDIOピンからレジスタへSCLKの次の8個の立ち上がりエッジでラッチされます。命令バイトのビット6とビット5が共に0のときは、マルチ・バイト転送により、SCLKの8個の立ち上がりエッジの各連続するセットの後に、データ・バイトが隣接レジスタにラッチされます。MSB詰めまたはLSB詰めに応じて、コントローラはサイクル中に命令バイト内のアドレス値をデクリメントまたはインクリメントします。

読み出し動作がイネーブルされると、アドレス指定されたレジスタのデータ・ビットがSCLKの各立ち上がりエッジでSDO(またはSDIO)に出力されます。読み出し動作の場

合、命令バイトの8番目のビットはSCLKの8番目の立ち上がりエッジでラッチされ、最初の出力ビットはSCLKの次の立ち上がりエッジの直後にイネーブルされることに注意してください。

マルチ・バイト読み出しシーケンスの場合は、コントローラは必要に応じてレジスタ・アドレスを調整するため、後続データ・ビット値はSCLKの各立ち上がりエッジで出力に現れます。

SPIのディスエーブル

シリアル・ポート・インターフェースをディスエーブルするときは、SPI_DISピンをADVDDに接続してハイ・レベルにしてください。この状態で、SDR_ENピンをADVDDに接続してハイ・レベルにすることにより、デフォルトのDDR動作モードをSDRに切り替えることができます。さらに、SPIをディスエーブルすると、同期ロジックがフル自動モードで動作しなくなります。同期動作モードの詳細については、同期ロジックの動作と設定のセクションを参照してください。

SPIピンの説明

AD9726のSPIロジックはDBVDD電源で動作し、入力/出力スレッショルドは公称3.3Vレベルです。動作最大周波数は15MHzです。

チップ・セレクト(CSB)

CSBピンはアクティブ・ロー入力です。通信サイクルを開始および終了させ、サイクル中はロー・レベルを維持する必要があります。CSBが早くハイ・レベルに戻されると、サイクルは完了しないでアポートされます。

シリアル・クロック(SCLK)

SCLKピンを使ってSPIレジスタに入出力するデータを同期化し、コントローラの状態・マシンはこの入力から動作します。したがって、有効なDACクロックなしでレジスタ・データの読み書きが可能です(SMEM/FMEMは不可)。すべての入力データはSCLKの立ち上がりエッジでレジスタに入力され、出力データ・ビットはSCLKの立ち上がりエッジでイネーブルされます。

シリアル・データ入力/出力(SDIO)

データは常にSDIOピンからSPIへ書き込まれます。ただし、3線式モードでは、データもこのピンから駆動されます。入力から出力への切り替えは、読み出し動作の命令とデータ転送フェーズとの間で自動的に行われます。デフォルトの4線式モードでは、SDIOは単方向の入力専用になります。

シリアル・データ出力(SDO)

SPIがデフォルト4線式モードのとき、シリアル・データはSDOピンから出力されます。3線式モード(またはCSBがハイ・レベルのとき)では、SDOは高インピーダンス状態に設定されます。

キャリブレーション

直線性を 16 ビット・レベルにするため、AD9726 では 132 個のキャリブレーション DAC (CALDAC) を使います。これらは電流出力伝達関数の直線化に使用されます。各 CALDAC は 6 ビット・デバイスで、入力スタティック・メモリ (SMEM) から直接取得します。

16 ビット入力データ・ワードの各大きな変化(すなわち上位 7 ビットが関係する変化)に対応して 127 個の CALDAC があります。128 番目の CALDAC は、下位 9 ビットの総和に対して動作します。残りの 4 個の CALDAC (129~132) は、DAC の全体伝達関数のゲイン調節に使われます。

直線性 CALDAC は入力に反比例して動作します。すなわち、バイナリ入力値が増加すると、AD9726 出力でのこの DAC の電流成分の大きさは減少します。ゲイン CALDAC はこの例外です。AD9726 出力でのこの DAC 成分は、その DAC のバイナリ入力に比例します。

ゲイン CALDAC は直線性 CALDAC に比べて 1/2 の強度を持ちますが、これらを組み合わせて使用して単位とするため、総和で 2 倍の電流調節範囲を提供します。

キャリブレーション・メモリ

製造時テストで、AD9726 の直線性が測定されて最適化されます。すべての CALDAC の値が出荷時に不揮発性出荷時メモリ (FMEM) に保存されます。リセット時に、すべての出荷時メモリの内容がスタティック・メモリへ転送されます。CALMEM は出荷時キャリブレーション状態を表示します (CALMEM = 10b)。

MEMXFER ビットをアサートすることにより、何時でも FMEM の値を SMEM へ転送することもできます。XFERSTAT 表示ビットが転送サイクルの完了を報告し、MEMXFER がクリアされます。

他のメモリ・アクセス機能のイネーブル中(すなわちレジスタ 0x0F の任意のビット [3:0] がハイのとき)には、MEMXFER ビット(および SELFCAL)をアサートできないことに注意してください。この場合に MEMXFER (または SELFCAL) をアサートしようとする、レジスタ 0x0F 内のアサートされた全ビットがクリアされ、要求されたサイクルは開始されません。

出荷時メモリからスタティック・メモリへのデータ転送サイクルには、多くの DAC クロック・サイクル数が必要です。合計数は、CALCLK の値に依存します。この値により、DAC クロックの低速バージョンの発生に使われる分周器が設定されます。この低速バージョン・クロックはセルフ・キャリブレーション・サイクルでセトリング・タイムを延ばすために使われますが、この分周されたクロックはメモリ転送サイクルのシーケンスにも使われます。

分周器は、CALCLK がデフォルト値のとき、その最大値に設定されます。メモリ転送サイクルには、DAC クロック周波数が 100 MHz のとき、約 15 ms を要します。この時間は、

CALCLK 値を大きくするごとに、50% だけ小さくすることができます。

キャリブレーション・メモリのアサート

SPI レジスタ 0x0F の SMEMRD ビットまたは FMEMRD ビットをセットすることにより、SMEM または FMEM のロケーションを何時でも読み出すことができます。アドレスとデータ情報は、SPI レジスタ 0x10 と SPI レジスタ 0x11 を使って、それぞれ入力および/または出力することができます。

SMEMWR ビットをセットすることにより、SMEM ロケーションに書き込むこともできます。レジスタ 0x10 とレジスタ 0x11 は、ここでもアドレスとデータに使われます。SMEMWR ビットがアサートされた後は何時でも、デバイスはユーザがキャリブレーションした状態 (CALMEM = 11b) を報告してきます。これは別のアクションにより、キャリブレーション・メモリ・ステータスを変更されるまで続きます。

スタティック・メモリをリセットするときは、UNCAL ビットをアサートします。すべての SMEM ロケーションがデフォルト値 (63) にリセットされます。CALMEM は非キャリブレーション状態を報告してきます (CALMEM = 00b)。UNCAL は無限にアサートされたままになることに注意してください (SMEM の値はデフォルト値に維持されます)。UNCAL は自分自身でクリア (SWRESET のように) することはないため、ユーザがクリアする必要があります。

SPI レジスタは DAC クロックに依存しませんが (コントローラ・ステート・マシンのシーケンスには SCLK を使用)、SMEM および/または FMEM のアクセスには有効な DAC クロックが必要であることに注意してください。

SMEM/FMEM の読み出し/書き込み手順

スタティックおよび出荷時メモリは SPI を使ってアクセスされますが、これは SPI ロジックに含まれません。このため、メモリ・アクセスには有効な DAC クロックが必要ですが、SPI レジスタのアクセスには不要です。

AD9726 の SPI は、シングル・バイトとマルチ・バイトの読み出し/書き込み、さらに MSB 詰めまたは LSB 詰めデータも可能であるように非常に柔軟であるため、SMEM ロケーションまたは FMEM ロケーションをアクセスする多くの方法があるものと思われます。

エラーを防止するため、スタティックまたは出荷時メモリのアクセスで従うべき手順を次に示します。これらの手順では、アドレスのイネーブルとメモリ・アクセスのシーケンスを確実にするためシングル・バイト SPI コマンドのみを使っています。

SMEM または FMEM から読み出すときは、

1. レジスタ 0x0F のビット [3:0] をクリアします。

2. シングル・バイト SPI 書き込みコマンドを使ってレジスタ 0x10 にメモリ・アドレス値を書き込んでシーケンスを開始させます。
3. 別のシングル・バイト SPI 書き込みコマンドを使って、レジスタ 0x0F の SMEMRD ビットまたは FMEMRD ビットをアサートします。
4. シングル・バイト SPI 読み出しコマンドを使って、レジスタ 0x11 の値をインポートします。
5. 別のシングル・バイト・コマンドを使って、SMEMRD ビットまたは FMEMRD ビットをクリアします。

SMEM へ書き込むときは、

1. レジスタ 0x0F のビット[3:0]をクリアします。
2. シングル・バイト SPI 書き込みコマンドを使って、レジスタ 0x11 へデータ値を書き込むことにより、シーケンスを開始させます。
3. シングル・バイト SPI 書き込みコマンドを使って、SMEMWR ビットをアサートします。
4. シングル・バイト SPI 書き込みコマンドを使ってレジスタ 0x10 にメモリ・アドレス値を設定します。
5. 4つ目のシングル・バイト SPI 書き込みコマンドを使って SMEMWR ビットをクリアします。

セルフ・キャリブレーション

AD9726 は、伝達関数を自動的に直線化するセルフ・キャリブレーション・エンジンを内蔵しています。これは、出荷時キャリブレーションが適用できない温度で非常に便利です。SELFCAL ビットをアサートすると、自動サイクルが開始されます。

セルフ・キャリブレーションでは、固定の内蔵リファレンス電流を使ってすべての直線性とゲイン CALDAC がキャリブレーションされます。すべての CALDAC 値は、揮発性のスタティック・メモリに格納されます。CALSTAT ビットにより、サイクルの正常完了が表示され、SELFCAL ビットがクリアされます。サイクルの後に、デバイスはセルフ・キャリブレーション状態(CALMEM = 01b)を報告します。

MEMXFER の場合と同様に、SELFCAL ビットの正常アサートには、レジスタ 0x0F のビット[3:0]のクリアが必要です。これらのうちのいずれかのビットがアサートされていると(SMEM/FMEM リード/ライト/クリア状態がイネーブルされるなど)、セルフ・キャリブレーション・サイクルは開始されません。

セルフ・キャリブレーションに要する時間は、DAC クロック周波数と CALCLK 値に依存します。セルフ・キャリブレーションには通常動作より多くの時間がかかるため、DAC クロックを分周してプロセスの実行に使用します。セルフ・キャリブレーション・アルゴリズムで使用可能な時間が、精確な結果を提供できる能力に直接影響を与えます。

最大固定分周比(4096)は CALCLK の最小デフォルト値(0)に対応します。CALCLK の値を大きくすることにより、分周比を小さくすることができます。CALCLK 値を大きくすると DAC クロック分周比が(したがって、セルフ・キャリブレーションで使用可能な時間も)50%だけ小さくなります。CALCLK が最大値(7)のとき、分周比は最小値(32)になります。

CALCLK がデフォルト値のとき、セルフ・キャリブレーションには、DAC クロック周波数 100 MHz で約 100 ms 要します。CALCLK = 7 にすると、この時間を 0.8 ms より短くすることができます。時間は、DAC クロック周波数に応じて変化します。

キャリブレーションの性能への影響

低周波出力の高調波歪みは主に DAC 直線性の関数です。図 10～図 12 に、AD9726 の高調波歪み性能を示します。

図 10 に、1 MHz フル・スケール出力トーンを示します。出力は Diplexer と呼ばれるユニークなローパスおよびハイパス・フィルタを駆動します。このタイプのフィルタは均一な 50 Ω 負荷を DAC に与え、出力信号を低周波パスと高周波パスに分割します。Diplexer のローパス出力は 1 MHz の基本波を通過させますが高い周波数は減衰させ、Diplexer のハイパス出力は高い周波数を通過させて 1 MHz 基本波を減衰させます。図 10 に、Diplexer のローパス出力を示します。この場合のノイズ・フロアは高調波歪みより高くなります。これは高電力の入力信号では、スペクトル・アナライザで減衰が必要とされるためです。

図 11 に、減衰された入力信号が表示されている Diplexer のハイパス出力を示します。スペクトル・アナライザの減衰量が小さくなっているため、ノイズ・フロアが低くなっています。このため、基本波の整数倍の高調波積が見えています。これは、非キャリブレーション状態で AD9726 を使用したときの応答です。

図 12 に、キャリブレーションした状態で AD9726 を使用したときの応答を示します。D/A 変換の非直線性から生ずる高調波歪みは実質的に解消されています。

同期ロジックの動作と設定

データ・クロック入力とデータ・バスとの間の固定したセットアップとホールド・タイミング関係が必要です。データ・バスと DAC クロックは周波数ロックしていることも必要です。同期ロジックがあるため、データ・バスと DAC クロックとの間の位相関係は内部で最適化されます。したがって、着信データの伝搬遅延とサンプリング・タイミング付近でのデータ変化の心配はなくなります。

同期機能はリセット時に自動的にイネーブルされます。データが着信し同期が完了すると、時間および/または温度により位相ドリフトが発生したとき自動調節が行えるように、同期ロジックは連続的に自分自身を監視して、自動調節を行います。

同期機能と同期ロジック・ブロックの動作はユーザから見えず、自動的に実行されることに注意してください。設

定は不要です。ただし、この機能を使うアプリケーションでは、次のプログラマブルな制御機能が用意されています。

同期動作状態

同期ロジックは3つのモードで動作することができます。デフォルト・モードはフル自動です。

フル自動同期は、入力データ・ストリームを4チャンネルに分離して、各々が各4データ・ワードごとのデータを含むようにすることにより、行われます。データ・ワードは、4 DAC クロック・サイクルで出力されます。最適な DAC クロック・サイクルで各チャンネルをサンプリングすることにより、データは再度マルチプレクスされます。

最初の同期は、ハードウェア・リセットにより確立されます。これにより、同期ロジックもフルにイネーブルされて、必要に応じて、監視と再同期を行います。AD9726 は、データ・バスと DAC クロックとの間の位相が1クロック・サイクルを超えてくれた場合にのみ再同期されます。この場合、内部アラームが発生し、その後に自動更新が行われます。再同期を行う間に、一般に2データ・ワードが失われるか、繰り返されます。

フル自動モードの他に、2つの半自動モードがあります。

同期手動モード

フル自動モードでは、AD9726 が再同期の必要なタイミングを検出して更新を開始します。手動モードでは、自動更新はディスエーブルされます。SPI レジスタ 0x02 の SYNCMAN ビットをセットすると、手動モードがイネーブルされます。

手動モードでは、同期ロジックは入力データと DAC クロックの監視を続けますが、SYNCALRM ビットをアサートして更新の必要性を表示します。このモードでは、ユーザが定期的に、SYNCALRM ビットをポーリングすることが期待されます。このビットがハイ・レベルのとき、SPI レジスタ 0x02 の SYNCUPD ビットをアサートすることにより、手動同期更新を発行することもできます。

SYNCALRM はデータが現に失われていることを表示しませんが、データが失われてしまうポイントに近い状態であることを表示します。次の便利なときに SYNCUPD をアサートして、同期ロジックを再同期する必要があります。

手動モードでは、同期ロジックを更新するタイミングをユーザが選択できます。バースト・データで動作する場合、アクティブなバーストの間に同期更新を発行すると、データを失う危険性なしにシステムを更新することができます。実際、SYNCUPD は常に動作モードに関係なく再同期を強制するため、フル自動モードの場合であっても、アイドル動作時に同期更新をとどき実行させることにより、データ損失の危険性を減らすことができます。

何らかの理由で、データ・クロックまたは DAC クロックが中断される場合には、SYNCUPD を常に実行して、データ・バスと DAC クロックの位相関係が最適に維持されていることを確認する必要があります。

同期外部モード

手動モード以上に、同期外部モードは広いレベルの制御を提供するので、複数の DAC チャンネルを使うアプリケーションでは便利です。SPI レジスタ 0x16 の SYNCEXT ビットをアサートすると、同期外部モードがイネーブルされます。手動モードもイネーブルする必要があります。

各入力データ・ワードがマルチプレクスされている4つのチャンネルはクワドラントと呼ばれます。すべてのモードで、現在のクワドラント値は常に SYNCOUT (SPI レジスタ 0x15 のビット[1:0])使ってリードバックすることができます。同期更新時、ロジックが最適なクワドラントを選択して SYNCOUT の値をリフレッシュします。

SYNCIN (SPI レジスタ 0x16 のビット[4:3])に値を入力することは可能です。外部モードがイネーブルされると、SYNCIN 内のクワドラント値が更新の後に使われる以外、ロジックは期待通りに動作します。これは、複数のデバイス出力間で遅延を合わせる際に使うことができます。

SPIディスエーブル時の動作

SPI_DIS ピンを ADVDD に接続してハイ・レベルにして SPI をディスエーブルすると、同期ロジックは手動モードになります。

このとき、SYNCALRM ステータスは未使用の SPI ピン SDO (54)を使ってハードウェア内で監視でき、SYNCUPD 要求を未使用の SPI ピン SCLK (56)を使ってハードウェアに入力することができます。これらの2本のピンを相互に接続すると、フル自動同期動作を行うことができます。

外形寸法

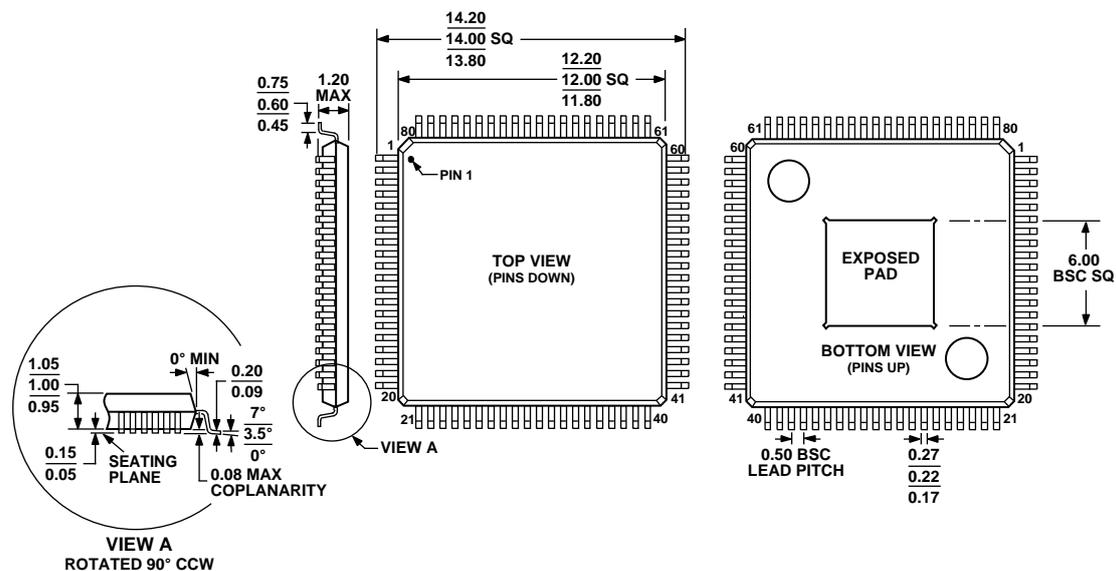


図22.80 ピン薄型プラスチック・クワッド・フラット・パッケージ、露出パッド[TQFP_EP]
(SV-80-1)
寸法は mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9726BSVZ ¹	-40°C to +85°C	80-Lead TQFP_EP	SV-80-1
AD9726BSVZRL ¹	-40°C to +85°C	80-Lead TQFP_EP	SV-80-1
AD9726-EB		Evaluation Board	

¹Z = 鉛フリー・デバイス。