

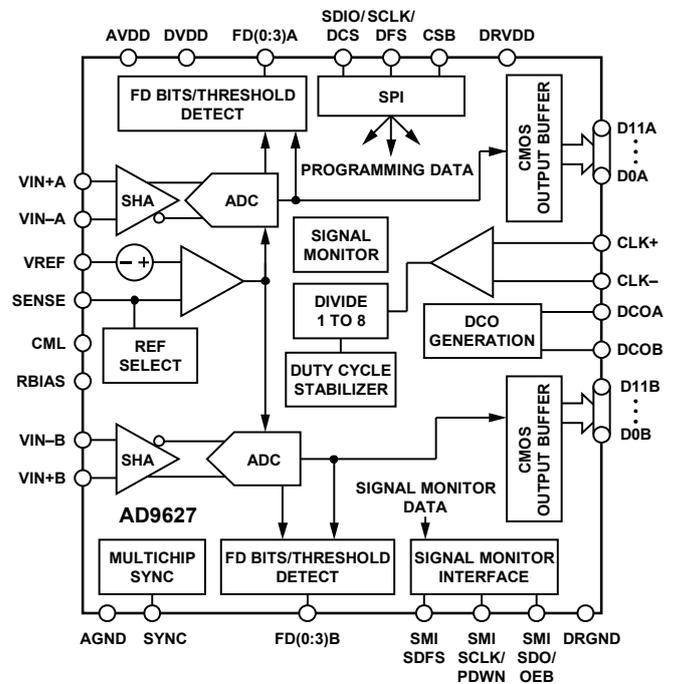
特長

- S/N比：最大 70 MHz の周波数まで、125 MSPS で 69.4 dBc (70.4 dBFS)
- SFDR：最大 70 MHz の周波数まで、125 MSPS で 85 dBc
- 低消費電力：125 MSPS で 750 mW
- S/N比：最大 70 MHz の周波数まで、150 MSPS で 69.2 dBc (70.2 dBFS)
- SFDR：最大 70 MHz の周波数まで、150 MSPS で 84 dBc
- 低消費電力：150 MSPS で 820 mW
- 1.8 V のアナログ電源動作
- 1.8~3.3 V の CMOS 出力電源または 1.8 V の LVDS 出力電源
- 整数分周比 1~8 の入力クロック分周器
- 最大 450 MHz の IF サンプリング周波数
- ADC リファレンス電圧を内蔵
- ADC サンプル&ホールド入力を内蔵
- 柔軟性に優れたアナログ入力範囲：1~2 V p-p
- 650 MHz 帯域幅の差動アナログ入力
- ADC クロック・デューティサイクル・スタビライザ
- 95 dB のチャンネル・アイソレーション/クロストーク
- シリアル・ポート・コントロール
- ユーザ設定可能なセルフテスト (BIST) 機能を内蔵
- 消費電力を節約するパワーダウン・モード
- 次のレシーバ機能を内蔵
 - 高速検出/スレッショルド・ビット
 - コンポジット信号モニタ

アプリケーション

- 通信
 - ダイバーシティ無線システム
 - マルチモード・デジタル・レシーバ (3G)
 - GSM、EDGE、WCDMA、
 - CDMA2000、WiMAX、TD-SCDMA
- I/Q 復調システム
- スマート・アンテナ・システム
- 汎用ソフトウェア無線
- ブロードバンド・データ・アプリケーション

機能ブロック図



NOTES
1. PIN NAMES ARE FOR THE CMOS PIN CONFIGURATION ONLY;
SEE FIGURE 7 FOR LVDS PIN NAMES.

06871-001

図1.

製品のハイライト

- デュアル、12ビット、80/105/125/150 MSPS の ADC を集積
- シリアル出力による高速オーバーレンジ検出および信号モニタ
- 専用のシリアル出力モードを備えた信号モニタ・ブロック
- 最大 450 MHz の入力周波数に対して優れた S/N 比性能を維持する独自の差動入力
- 1.8 V の単電源、および別電源による 1.8~3.3 V のロジック・ファミリーに対応するデジタル出力ドライバ動作
- データ・フォーマット設定 (オフセット・バイナリ、2 の補数、またはグレー・コーディング)、クロック DCS のイネーブル、パワーダウン、テスト・モード、リファレンス電圧モードなど、製品の各機能をサポートする標準のシリアル・ポート・インターフェース (SPI)
- AD9640、AD9627-11、AD9600 とのピン互換により、12 ビットから 14 ビット、11 ビット、10 ビットに容易に移行可能

目次

特長	1	信号モニタ	35
アプリケーション	1	ピーク検出器モード	35
機能ブロック図	1	RMS/MS 振幅モード	35
製品のハイライト	1	スレッショールド・クロス・モード	36
改訂履歴	2	追加コントロール・ビット	36
概要	3	DC 補正	36
仕様	4	信号モニタ SPORT 出力	37
ADC の DC 仕様—AD9627BCPZ-80/AD9627BCPZ-105	4	組込みセルフテスト (BIST) および出力テスト	38
ADC の DC 仕様—AD9627BCPZ-125/AD9627BCPZ-150	5	組込みセルフテスト (BIST)	38
ADC の AC 仕様—AD9627BCPZ-80/AD9627BCPZ-105	6	出力テスト・モード	38
ADC の AC 仕様—AD9627BCPZ-125/AD9627BCPZ-150	7	チャンネル/チップの同期	39
デジタル仕様	8	シリアル・ポート・インターフェース (SPI)	40
スイッチング仕様—AD9627BCPZ-80/AD9627BCPZ-105	10	SPI を使用した設定	40
スイッチング仕様—AD9627BCPZ-125/AD9627BCPZ-150	11	ハードウェア・インターフェース	40
タイミング仕様	12	SPI を使用しない設定	41
絶対最大定格	14	SPI からアクセス可能な機能	41
熱特性	14	メモリ・マップ	42
ESD に関する注意	14	メモリ・マップ・レジスタ・テーブルの読み方	42
ピン配置とピン機能の説明	15	メモリ・マップ・レジスタ・テーブル	43
等価回路	19	メモリ・マップ・レジスタの説明	46
代表的な性能特性	20	アプリケーション情報	49
動作原理	25	設計のガイドライン	49
ADC のアーキテクチャ	25	評価用ボード	50
アナログ入力に関する留意事項	25	電源	50
リファレンス電圧	27	入力信号	50
クロック入力に関する留意事項	28	出力信号	50
消費電力とスタンバイ・モード	30	デフォルト動作とジャンパ選択の設定	51
デジタル出力	31	その他のクロック設定	51
タイミング	31	その他のアナログ入力駆動構成	52
ADC のオーバーレンジおよびゲイン制御	32	回路図	53
高速検出の概要	32	評価用ボード・レイアウト	63
ADC 高速入力レベル	32	部品表	71
ADC オーバーレンジ (OR)	33	外形寸法	73
ゲイン・スイッチング	33	オーダー・ガイド	73

改訂履歴

10/07—Revision 0: Initial Version

概要

AD9627は12ビット、80/105/125/150 MSPSのデュアルA/Dコンバータ(ADC)です。AD9627は、低コスト、小型サイズ、多機能が必要とされる通信アプリケーションに対応するように設計されています。

デュアルADCコアは、出力誤差補正ロジックを内蔵した多段の差動パイプライン・アーキテクチャを採用しています。各ADCは広帯域幅の差動サンプル&ホールド・アナログ入力アンプを内蔵し、ユーザによる選択が可能な各種の入力範囲に対応できます。リファレンス電圧を内蔵しているため、設計労力が軽減されます。ADCクロックのデューティサイクル変動を補償するデューティサイクル・スタビライザを備えているため、コンバータは優れた性能を維持できます。

AD9627は、システム・レシーバの自動ゲイン制御(AGC)機能を簡略化する機能をいくつか備えています。高速検出機能は、きわめて短い遅延時間で4ビットの入力レベル情報を出力することにより、高速オーバーレンジ検出を可能にします。

さらに、プログラマブル・スレッショールド検出器は、きわめて短い遅延時間でADCの4つの高速検出ビットを使用して、入力信号パワーをモニタできます。入力信号レベルがプログラマブ

ル・スレッショールドを越えると、高精度上限スレッショールド・インジケータがハイレベルになります。このスレッショールド・インジケータは遅延時間がきわめて短いため、システム・ゲインを迅速に下げるため、オーバーレンジの状態を回避できます。

AGCに関連する2番目の機能は、信号モニタです。このブロックを使用して入力信号のコンポジット・レベルをモニタできるため、この機能はシステム全体のダイナミック・レンジが最適化されるように、ゲインを設定する場合に役立ちます。

ADCの出力データを2つの外部12ビット出力ポートに直接転送できます。これらの出力は、1.8~3.3VのCMOSまたは1.8VのLVDSに設定できます。

柔軟性に優れたパワーダウン・オプションを選択できるため、必要に応じて消費電力を大幅に節約することが可能です。

セットアップとコントロールのプログラミングは、3ビットのSPI互換シリアル・インターフェースを使用して行います。

AD9627は64ピンLFCSPパッケージで提供され、-40~+85°Cの工業用温度範囲で仕様規定されています。

仕様

ADC の DC 仕様—AD9627BCPZ-80/AD9627BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル、高速検出出力ピンをディスエーブル、信号モニタをディスエーブル。

表1.

Parameter	Temperature	AD9627BCPZ-80			AD9627BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	12			12			Bits
ACCURACY								
No Missing Codes	Full		Guaranteed			Guaranteed		
Offset Error	Full		±0.2	±0.6		±0.3	±0.7	% FSR
Gain Error	Full	+0.1	-1.8	-3.7	-0.5	-2.2	-3.7	% FSR
Differential Nonlinearity (DNL) ¹	Full			±0.4			±0.4	LSB
	25°C		±0.2			±0.2		LSB
Integral Nonlinearity (INL) ¹	Full			±0.9			±0.9	LSB
	25°C		±0.4			±0.4		LSB
MATCHING CHARACTERISTIC								
Offset Error	Full		±0.2	±0.6		±0.3	±0.7	% FSR
Gain Error	Full		±0.2	±0.75		±0.2	±0.75	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15		ppm/°C
Gain Error	Full		±95			±95		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full		±5	±16		±5	±16	mV
Load Regulation @ 1.0 mA	Full		7			7		mV
INPUT REFERRED NOISE								
VREF = 1.0 V	25°C		0.3			0.3		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ²	Full		8			8		pF
VREF INPUT RESISTANCE	Full		6			6		kΩ
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{1,3}	Full		233	278		310	365	mA
I _{DVDD} ^{1,3}	Full		26			34		mA
I _{DRVDD} ¹ (3.3 V CMOS)	Full		23			34		mA
I _{DRVDD} ¹ (1.8 V CMOS)	Full		11			15		mA
I _{DRVDD} ¹ (1.8 V LVDS)	Full		47			47		mA
POWER CONSUMPTION								
DC Input	Full		452	490		600	650	mW
Sine Wave Input ¹ (DRVDD = 1.8 V)	Full		495			657		mW
Sine Wave Input ¹ (DRVDD = 3.3 V)	Full		550			740		mW
Standby Power ⁴	Full		52			68		mW
Power-Down Power	Full		2.5	6		2.5	6	mW

¹ 低い入力周波数のフルスケール正弦波信号を使用し、各出力ビットに約 5 pF の負荷を接続した条件で測定しています。

² 入力容量は、1 本の差動入力ピンと AGND との間の実効容量を示します。アナログ入力構造の等価回路については、図 8 を参照してください。

³ 最大制限値は、I_{AVDD} と I_{DVDD} の各電流の合計値に適用されます。

⁴ スタンバイ時の消費電力は、DC 入力を使用し、CLK ピンを非アクティブ (AVDD または AGND に設定) に保持した条件で測定しています。

ADC の DC 仕様—AD9627BCPZ-125/AD9627BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル、高速検出出力ピンをディセーブル、信号モニタをディセーブル。

表2.

Parameter	Temperature	AD9627BCPZ-125			AD9627BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	12			12			Bits
ACCURACY								
No Missing Codes	Full		Guaranteed			Guaranteed		
Offset Error	Full		±0.3	±0.6		±0.2	±0.6	% FSR
Gain Error	Full	-0.7	-2.7	-3.9	-0.9	-3.2	-5.2	% FSR
Differential Nonlinearity (DNL) ¹	Full			±0.4			±0.9	LSB
	25°C		±0.2			±0.2		LSB
Integral Nonlinearity (INL) ¹	Full			±0.9			±1.3	LSB
	25°C		±0.4			±0.5		LSB
MATCHING CHARACTERISTIC								
Offset Error	25°C		±0.3	±0.6		±0.2	±0.7	% FSR
Gain Error	25°C		±0.1	±0.75		±0.2	±0.8	% FSR
TEMPERATURE DRIFT								
Offset Error	Full		±15			±15		ppm/°C
Gain Error	Full		±95			±95		ppm/°C
INTERNAL VOLTAGE REFERENCE								
Output Voltage Error (1 V Mode)	Full		±5	±16		±5	±16	mV
Load Regulation @ 1.0 mA	Full		7			7		mV
INPUT REFERRED NOISE								
VREF = 1.0 V	25°C		0.3			0.3		LSB rms
ANALOG INPUT								
Input Span, VREF = 1.0 V	Full		2			2		V p-p
Input Capacitance ²	Full		8			8		pF
VREF INPUT RESISTANCE	Full		6			6		kΩ
POWER SUPPLIES								
Supply Voltage								
AVDD, DVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD (CMOS Mode)	Full	1.7	3.3	3.6	1.7	3.3	3.6	V
DRVDD (LVDS Mode)	Full	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Current								
I _{AVDD} ^{1,3}	Full		385	455		419	495	mA
I _{DVDD} ^{1,3}	Full		42			50		mA
I _{DRVDD} ¹ (3.3 V CMOS)	Full		36			42		mA
I _{DRVDD} ¹ (1.8 V CMOS)	Full		18			22		mA
I _{DRVDD} ¹ (1.8 V LVDS)	Full		48			49		mA
POWER CONSUMPTION								
DC Input	Full		750	800		820	890	mW
Sine Wave Input ¹ (DRVDD = 1.8 V)	Full		814			895		mW
Sine Wave Input ¹ (DRVDD = 3.3 V)	Full		900			995		mW
Standby Power ⁴	Full		77			77		mW
Power-Down Power	Full		2.5	6		2.5	6	mW

¹ 低い入力周波数のフルスケール正弦波信号を使用し、各出力ビットに約 5 pF の負荷を接続した条件で測定しています。

² 入力容量は、1 本の差動入力ピンと AGND との間の実効容量を示します。アナログ入力構造の等価回路については、図 8 を参照してください。

³ 最大制限値は、I_{AVDD} と I_{DVDD} の各電流の合計値に適用されます。

⁴ スタンバイ時の消費電力は、DC 入力を使用し、CLK ピンを非アクティブ (AVDD または AGND に設定) に保持した条件で測定しています。

ADC の AC 仕様—AD9627BCPZ-80/AD9627BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル、高速検出出力ピンをディスエーブル、信号モニタをディスエーブル。

表3.

Parameter ¹	Temperature	AD9627BCPZ-80			AD9627BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		69.7			69.6		dB
$f_{IN} = 70 \text{ MHz}$	25°C		69.5			69.4		dB
	Full	68.1			68.6			dB
$f_{IN} = 140 \text{ MHz}$	25°C		69.2			69.1		dB
$f_{IN} = 220 \text{ MHz}$	25°C		68.5			68.4		dB
SIGNAL-TO-NOISE AND DISTORTION (SINAD)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		69.6			69.5		dB
$f_{IN} = 70 \text{ MHz}$	25°C		69.4			69.3		dB
	Full	67.4			68.0			dB
$f_{IN} = 140 \text{ MHz}$	25°C		69.0			69.0		dB
$f_{IN} = 220 \text{ MHz}$	25°C		68.3			68.1		dB
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		11.5			11.4		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		11.4			11.4		Bits
$f_{IN} = 140 \text{ MHz}$	25°C		11.4			11.4		Bits
$f_{IN} = 220 \text{ MHz}$	25°C		11.3			11.2		Bits
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-87			-87		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85			-85		dBc
	Full			-74			-74	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-84			-84		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-83			-83		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		87			87		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85			85		dBc
	Full	74			74			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		84			84		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		83			83		dBc
WORST OTHER HARMONIC OR SPUR								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-92			-92		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-89			-88		dBc
	Full			-82			-82	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-89			-87		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-89			-86		dBc
TWO-TONE SFDR								
$f_{IN} = 29.1 \text{ MHz}, 32.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		85			85		dBc
$f_{IN} = 169.1 \text{ MHz}, 172.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		82			82		dBc
CROSSTALK ²	Full		-95			-95		dB
ANALOG INPUT BANDWIDTH	25°C		650			650		MHz

¹ 一連の詳細な定義については、アプリケーション・ノート AN-835 『Understanding High Speed ADC Testing and Evaluation』を参照してください。

² クロストークの測定は、100MHzの周波数時に-1 dBFSの入力を1つのチャンネルに使用し、もう1つのチャンネルには信号を入力しない条件で行っています。

ADC の AC 仕様—AD9627BCPZ-125/AD9627BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル、高速検出力ピンをディスエーブル、信号モニタをディスエーブル。

表4.

Parameter ¹	Temperature	AD9627BCPZ-125			AD9627BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		69.5			69.4		dB
$f_{IN} = 70 \text{ MHz}$	25°C		69.4			69.2		dB
	Full	68.1			67.1			dB
$f_{IN} = 140 \text{ MHz}$	25°C		69.1			68.8		dB
$f_{IN} = 220 \text{ MHz}$	25°C		68.8			68.2		dB
SIGNAL-TO-NOISE AND DISTORTION (SINAD)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		69.4			69.3		dB
$f_{IN} = 70 \text{ MHz}$	25°C		69.3			69.1		dB
	Full	67.9			65.9			dB
$f_{IN} = 140 \text{ MHz}$	25°C		69.0			68.7		dB
$f_{IN} = 220 \text{ MHz}$	25°C		68.3			67.8		dB
EFFECTIVE NUMBER OF BITS (ENOB)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		11.4			11.4		Bits
$f_{IN} = 70 \text{ MHz}$	25°C		11.4			11.4		Bits
$f_{IN} = 140 \text{ MHz}$	25°C		11.3			11.3		Bits
$f_{IN} = 220 \text{ MHz}$	25°C		11.3			11.2		Bits
WORST SECOND OR THIRD HARMONIC								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-86.5			-86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-85			-84		dBc
	Full			-74			-73	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-84			-83.5		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-83			-77		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)								
$f_{IN} = 2.3 \text{ MHz}$	25°C		86.5			86.5		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		85			84		dBc
	Full	74			73			dBc
$f_{IN} = 140 \text{ MHz}$	25°C		84			83.5		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		83			77		dBc
WORST OTHER HARMONIC OR SPUR								
$f_{IN} = 2.3 \text{ MHz}$	25°C		-92			-92		dBc
$f_{IN} = 70 \text{ MHz}$	25°C		-89			-88		dBc
	Full			-81			-80	dBc
$f_{IN} = 140 \text{ MHz}$	25°C		-89			-88		dBc
$f_{IN} = 220 \text{ MHz}$	25°C		-89			-88		dBc
TWO-TONE SFDR								
$f_{IN} = 29.1 \text{ MHz}, 32.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		85			85		dBc
$f_{IN} = 169.1 \text{ MHz}, 172.1 \text{ MHz} (-7 \text{ dBFS})$	25°C		82			82		dBc
CROSSTALK ²	Full		-95			-95		dB
ANALOG INPUT BANDWIDTH	25°C		650			650		MHz

¹ 一連の詳細な定義については、アプリケーション・ノート AN-835 『Understanding High Speed ADC Testing and Evaluation』を参照してください。

² クロストークの測定は、100MHzの周波数時に-1 dBFSの入力を1つのチャンネルに使用し、もう1つのチャンネルには信号を入力しない条件で行っています。

デジタル仕様

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル。

表5.

Parameter	Temperature	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance		CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full		1.2		V
Differential Input Voltage	Full	0.2		6	V p-p
Input Voltage Range	Full	GND - 0.3		AVDD + 1.6	V
Input Common-Mode Range	Full	1.1		AVDD	V
High Level Input Voltage	Full	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
SYNC INPUT					
Logic Compliance		CMOS			
Internal Bias	Full		1.2		V
Input Voltage Range	Full	GND - 0.3		AVDD + 1.6	V
High Level Input Voltage	Full	1.2		3.6	V
Low Level Input Voltage	Full	0		0.8	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	-10		+10	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
LOGIC INPUT (CSB) ¹					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	40		132	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT (SCLK/DFS) ²					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 3.3 V)	Full	-92		-135	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUTS/OUTPUTS (SDIO/DCS, SMI SDFS) ¹					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	38		128	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
LOGIC INPUTS/OUTPUTS (SMI SDO/OEB, SMI SCLK/PDWN) ²					
High Level Input Voltage	Full	1.22		3.6	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 3.3 V)	Full	-90		-134	μA
Low Level Input Current	Full	-10		+10	μA

Parameter	Temperature	Min	Typ	Max	Unit
Input Resistance	Full		26		k Ω
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS					
CMOS Mode—DRVDD = 3.3 V					
High Level Output Voltage					
I _{OH} = 50 μ A	Full	3.29			V
I _{OH} = 0.5 mA	Full	3.25			V
Low Level Output Voltage					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μ A	Full			0.05	V
CMOS Mode—DRVDD = 1.8 V					
High Level Output Voltage					
I _{OH} = 50 μ A	Full	1.79			V
I _{OH} = 0.5 mA	Full	1.75			V
Low Level Output Voltage					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μ A	Full			0.05	V
LVDS Mode—DRVDD = 1.8 V					
Differential Output Voltage (V _{OD}), ANSI Mode	Full	250	350	450	mV
Output Offset Voltage (V _{OS}), ANSI Mode	Full	1.15	1.25	1.35	V
Differential Output Voltage (V _{OD}), Reduced Swing Mode	Full	150	200	280	mV
Output Offset Voltage (V _{OS}), Reduced Swing Mode	Full	1.15	1.25	1.35	V

¹ ブルアップ

² ブルダウン

スイッチング仕様—AD9627BCPZ-80/AD9627BCPZ-105

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル。

表6.

Parameter	Temperature	AD9627BCPZ-80			AD9627BCPZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate								
DCS Enabled ¹	Full	20		80	20		105	MSPS
DCS Disabled ¹	Full	10		80	10		105	MSPS
CLK Period—Divide-by-1 Mode (t_{CLK})	Full	12.5			9.5			ns
CLK Pulse Width High								
Divide-by-1 Mode, DCS Enabled	Full	3.75	6.25	8.75	2.85	4.75	6.65	ns
Divide-by-1-Mode, DCS Disabled	Full	5.63	6.25	6.88	4.28	4.75	5.23	ns
Divide-by-2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide-by-3 Through Divide-by-8 Modes, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Mode—DRVDD = 3.3 V								
Data Propagation Delay (t_{PD}) ²	Full	2.2	4.5	6.4	2.2	4.5	6.4	ns
DCO Propagation Delay (t_{DCO})	Full	3.8	5.0	6.8	3.8	5.0	6.8	ns
Setup Time (t_s)	Full		6.25			5.25		ns
Hold Time (t_H)	Full		5.75			4.25		ns
CMOS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.4	5.2	6.9	2.4	5.2	6.9	ns
DCO Propagation Delay (t_{DCO})	Full	4.0	5.6	7.3	4.0	5.6	7.3	ns
Setup Time (t_s)	Full		6.65			5.15		ns
Hold Time (t_H)	Full		5.85			4.35		ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t_{PD}) ²	Full	2.0	4.8	6.3	2.0	4.8	6.3	ns
DCO Propagation Delay (t_{DCO})	Full	5.2	7.3	9.0	5.2	7.3	9.0	ns
CMOS Mode Pipeline Delay (Latency)	Full		12			12		Cycles
LVDS Mode Pipeline Delay (Latency) Channel A/Channel B	Full		12/12.5			12/12.5		Cycles
Aperture Delay (t_A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.1			0.1		ps rms
Wake-Up Time ³	Full		350			350		μs
OUT-OF-RANGE RECOVERY TIME	Full		2			2		Cycles

¹ 変換レートは、分周器を通過した後のクロック・レートです。

² 出力伝播遅延は、5 pF 負荷の条件で CLK の 50% 変化から DATA の 50% 変化までのポイントを測定したものです。

³ ウェークアップ時間は、デカップリング・コンデンサの容量に応じて変化します。

スイッチング仕様—AD9627BCPZ-125/AD9627BCPZ-150

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、最大サンプリング・レート、VIN = -1.0 dBFS の差動入力、1.0 V の内部リファレンス、DCS をイネーブル。

表7.

Parameter	Temperature	AD9627BCPZ-125			AD9627BCPZ-150			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Input Clock Rate	Full			625			625	MHz
Conversion Rate								
DCS Enabled ¹	Full	20		125	20		150	MSPS
DCS Disabled ¹	Full	10		125	10		150	MSPS
CLK Period—Divide-by-1 Mode (t _{CLK})	Full	8			6.66			ns
CLK Pulse Width High								
Divide-by-1 Mode, DCS Enabled	Full	2.4	4	5.6	2.0	3.33	4.66	ns
Divide-by-1 Mode, DCS Disabled	Full	3.6	4	4.4	3.0	3.33	3.66	ns
Divide-by-2 Mode, DCS Enabled	Full	1.6			1.6			ns
Divide-by-3-Through-8 Mode, DCS Enabled	Full	0.8			0.8			ns
DATA OUTPUT PARAMETERS (DATA, FD)								
CMOS Mode—DRVDD = 3.3 V								
Data Propagation Delay (t _{PD}) ²	Full	2.2	4.5	6.4	2.2	4.5	6.4	ns
DCO Propagation Delay (t _{DCO})	Full	3.8	5.0	6.8	3.8	5.0	6.8	ns
Setup Time (t _s)	Full		4.5			3.83		ns
Hold Time (t _H)	Full		3.5			2.83		ns
CMOS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t _{PD}) ²	Full	2.4	5.2	6.9	2.4	5.2	6.9	ns
DCO Propagation Delay (t _{DCO})	Full	4.0	5.6	7.3	4.0	5.6	7.3	ns
Setup Time (t _s)	Full		4.4			3.73		ns
Hold Time (t _H)	Full		3.6			2.93		ns
LVDS Mode—DRVDD = 1.8 V								
Data Propagation Delay (t _{PD}) ²	Full	2.0	4.8	6.3	2.0	4.8	6.3	ns
DCO Propagation Delay (t _{DCO})	Full	5.2	7.3	9.0	5.2	7.3	9.0	ns
CMOS Mode Pipeline Delay (Latency)	Full		12			12		Cycles
LVDS Mode Pipeline Delay (Latency) Channel A/Channel B	Full		12/12.5			12/12.5		Cycles
Aperture Delay (t _A)	Full		1.0			1.0		ns
Aperture Uncertainty (Jitter, t _J)	Full		0.1			0.1		ps rms
Wake-Up Time ³	Full		350			350		μs
OUT-OF-RANGE RECOVERY TIME	Full		3			3		Cycles

¹ 変換レートは、分周器を通過した後のクロック・レートです。

² 出力伝播遅延は、5 pF 負荷の条件で CLK の 50%変化から DATA の 50%変化までのポイントを測定したものです。

³ ウェークアップ時間は、デカップリング・コンデンサの容量に応じて変化します。

タイミング仕様

表8.

Parameter	Conditions	Min	Typ	Max	Unit
SYNC TIMING REQUIREMENTS					
t_{SSYNC}	SYNC to rising edge of CLK setup time		0.24		ns
t_{HSYNC}	SYNC to rising edge of CLK hold time		0.40		ns
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	SCLK pulse width high	10			ns
t_{LOW}	SCLK pulse width low	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns
SPORT TIMING REQUIREMENTS					
t_{CSSCLK}	Delay from rising edge of CLK+ to rising edge of SMI SCLK	3.2	4.5	6.2	ns
$t_{SSCLKSDO}$	Delay from rising edge of SMI SCLK to SMI SDO	-0.4	0	0.4	ns
$t_{SSCLKSDFS}$	Delay from rising edge of SMI SCLK to SMI SDFS	-0.4	0	0.4	ns

タイミング図

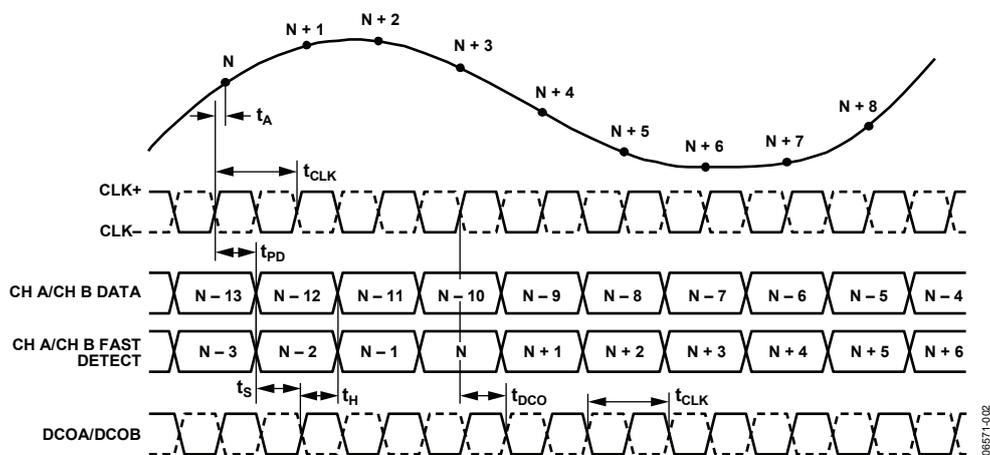


図2. CMOS 出力モードのデータおよび高速検出出力タイミング（高速検出モード選択ビット = 000）

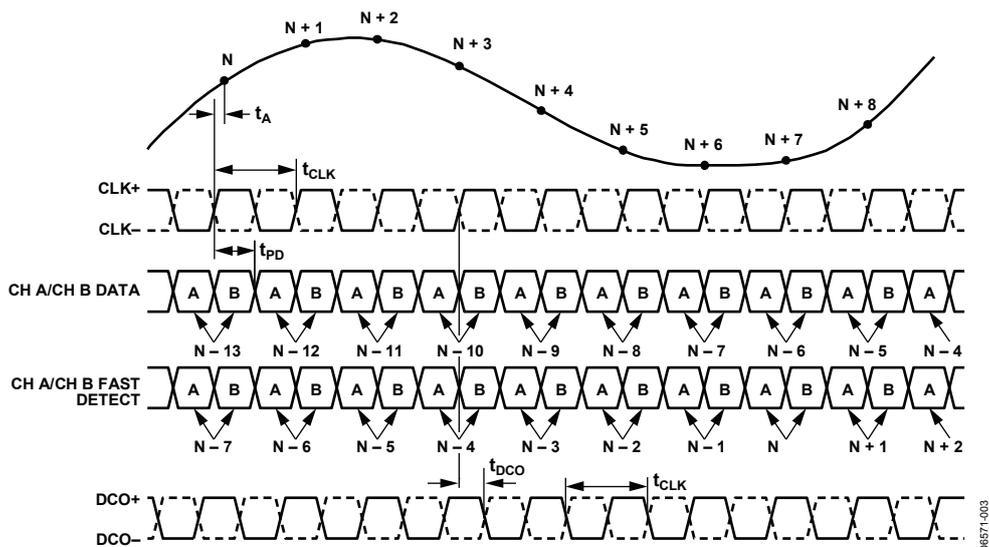


図3. LVDS モードのデータおよび高速検出出力タイミング（高速検出モード選択ビット = 001～高速検出モード選択ビット = 100）

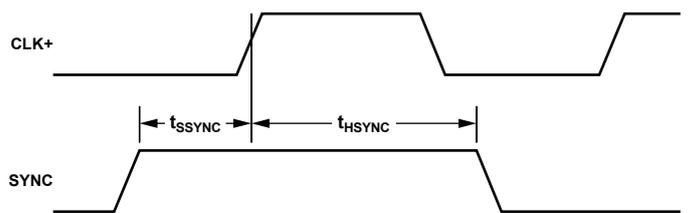


図4. SYNC 入力タイミング条件

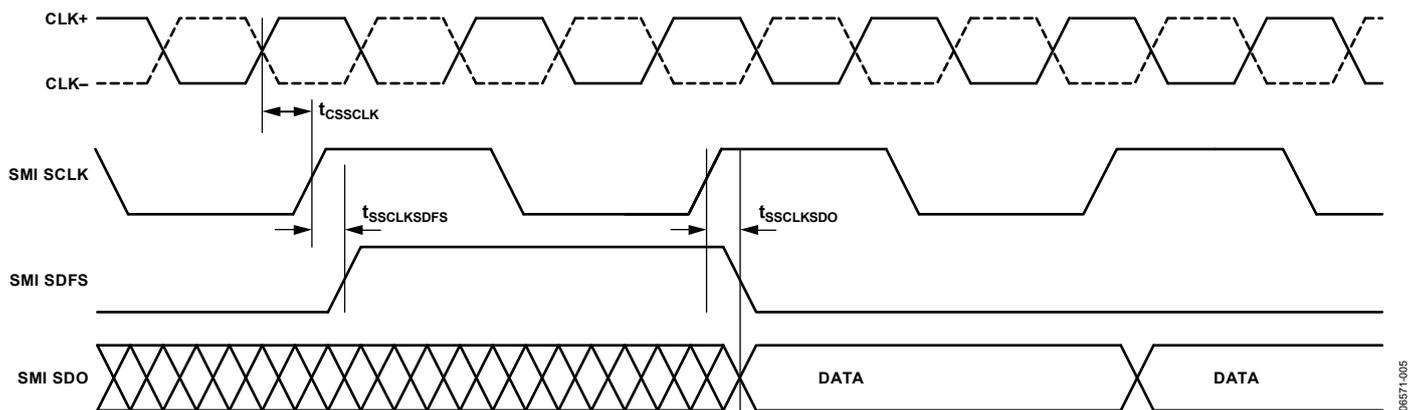


図5. 信号モニタの SPORT 出力タイミング（2分周モード）

絶対最大定格

表9.

Parameter	Rating
ELECTRICAL	
AVDD, DVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +3.9 V
AGND to DRGND	-0.3 V to +0.3 V
AVDD to DRVDD	-3.9 V to +2.0 V
VIN+A/VIN+B, VIN-A/VIN-B to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to +3.9 V
SYNC to AGND	-0.3 V to +3.9 V
VREF to AGND	-0.3 V to AVDD + 0.2 V
SENSE to AGND	-0.3 V to AVDD + 0.2 V
CML to AGND	-0.3 V to AVDD + 0.2 V
RBIAS to AGND	-0.3 V to AVDD + 0.2 V
CSB to AGND	-0.3 V to +3.9 V
SCLK/DFS to DRGND	-0.3 V to +3.9 V
SDIO/DCS to DRGND	-0.3 V to DRVDD + 0.3 V
SMI SDO/OEB	-0.3 V to DRVDD + 0.3 V
SMI SCLK/PDWN	-0.3 V to DRVDD + 0.3 V
SMI SDFS	-0.3 V to DRVDD + 0.3 V
D0A/D0B through D11A/D11B to DRGND	-0.3 V to DRVDD + 0.3 V
FD0A/FD0B through FD3A/FD3B to DRGND	-0.3 V to DRVDD + 0.3 V
DCOA/DCOB to DRGND	-0.3 V to DRVDD + 0.3 V
ENVIRONMENTAL	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱的特性

露出パドルを LFCSP パッケージのグラウンド・プレーンにハンダ付けする必要があります。露出パドルをボードにハンダ付けすると、ハンダ接合部の信頼性が向上し、パッケージの熱的性能が最大限に高くなります。

表10. 熱抵抗

Package Type	Airflow Velocity (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	Unit
64-Lead LFCSP 9 mm × 9 mm (CP-64-3)	0	18.8	0.6	6.0	°C/W
	1.0	16.5			°C/W
	2.0	15.8			°C/W

¹ JEDEC 51-7、および JEDEC 25-5 2S2P 準拠のテスト用ボード

² JEDEC JESD51-2 (自然空冷) または JEDEC JESD51-6 (強制空冷) に準拠

³ MIL-Std 883、Method 1012.1 に準拠

⁴ JEDEC JESD51-8 (自然空冷) に準拠

θ_{JA} の代表値は、強固なグラウンド・プレーンを備える 4 層の PCB について規定しています。上の表に示すように、気流は放熱性を高め、これに伴って θ_{JA} が低下します。さらに、金属パターン、スルーホール、グラウンド、電源プレーンからパッケージのピンに直接接触する金属によっても、 θ_{JA} が低下します。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検出されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置とピン機能の説明

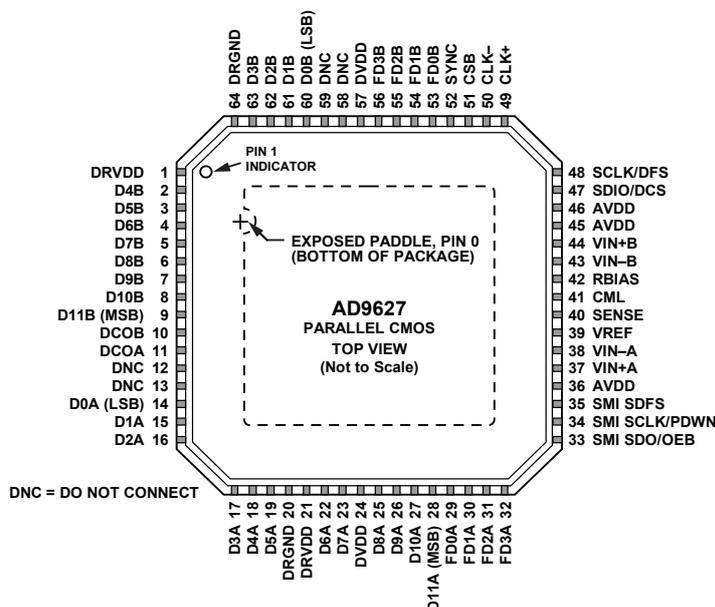


図6. ピン配置、LFCSP、パラレル CMOS (上面図)

表11. ピン機能の説明 (パラレル CMOS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
20, 64	DRGND	グラウンド	デジタル出力グラウンド
1, 21	DRVDD	電源	デジタル出力ドライバ電源 (1.8~3.3 V)
24, 57	DVDD	電源	デジタル電源 (公称値 1.8 V)
36, 45, 46	AVDD	電源	アナログ電源 (公称値 1.8 V)
0	AGND	グラウンド	アナログ・グラウンド。0 番ピンはパッケージ底面の露出サーマル・パッド
12, 13, 58, 59	DNC		接続しないでください。
ADC アナログ			
37	VIN+A	入力	チャンネル A の差動アナログ入力ピン (+)
38	VIN-A	入力	チャンネル A の差動アナログ入力ピン (-)
44	VIN+B	入力	チャンネル B の差動アナログ入力ピン (+)
43	VIN-B	入力	チャンネル B の差動アナログ入力ピン (-)
39	VREF	入出力	リファレンス電圧入力/出力
40	SENSE	入力	リファレンス電圧モード選択。詳細は図 14 を参照
42	RBIAS	入出力	外部リファレンス・バイアス抵抗
41	CML	出力	アナログ入力の同相レベル・バイアス出力
49	CLK+	入力	ADC クロック入力—正
50	CLK-	入力	ADC クロック入力—負
ADC 高速検出出力			
29	FD0A	出力	チャンネル A の高速検出インジケータ。詳細は表 17 を参照
30	FD1A	出力	チャンネル A の高速検出インジケータ。詳細は表 17 を参照
31	FD2A	出力	チャンネル A の高速検出インジケータ。詳細は表 17 を参照
32	FD3A	出力	チャンネル A の高速検出インジケータ。詳細は表 17 を参照
53	FD0B	出力	チャンネル B の高速検出インジケータ。詳細は表 17 を参照
54	FD1B	出力	チャンネル B の高速検出インジケータ。詳細は表 17 を参照
55	FD2B	出力	チャンネル B の高速検出インジケータ。詳細は表 17 を参照
56	FD3B	出力	チャンネル B の高速検出インジケータ。詳細は表 17 を参照
デジタル入力			
52	SYNC	入力	デジタル同期ピン。スレープ・モード専用

ピン番号	記号	タイプ	説明
デジタル出力			
14	D0A (LSB)	出力	チャンネル A の CMOS 出力データ
15	D1A	出力	チャンネル A の CMOS 出力データ
16	D2A	出力	チャンネル A の CMOS 出力データ
17	D3A	出力	チャンネル A の CMOS 出力データ
18	D4A	出力	チャンネル A の CMOS 出力データ
19	D5A	出力	チャンネル A の CMOS 出力データ
22	D6A	出力	チャンネル A の CMOS 出力データ
23	D7A	出力	チャンネル A の CMOS 出力データ
25	D8A	出力	チャンネル A の CMOS 出力データ
26	D9A	出力	チャンネル A の CMOS 出力データ
27	D10A	出力	チャンネル A の CMOS 出力データ
28	D11A (MSB)	出力	チャンネル A の CMOS 出力データ
60	D0B (LSB)	出力	チャンネル B の CMOS 出力データ
61	D1B	出力	チャンネル B の CMOS 出力データ
62	D2B	出力	チャンネル B の CMOS 出力データ
63	D3B	出力	チャンネル B の CMOS 出力データ
2	D4B	出力	チャンネル B の CMOS 出力データ
3	D5B	出力	チャンネル B の CMOS 出力データ
4	D6B	出力	チャンネル B の CMOS 出力データ
5	D7B	出力	チャンネル B の CMOS 出力データ
6	D8B	出力	チャンネル B の CMOS 出力データ
7	D9B	出力	チャンネル B の CMOS 出力データ
8	D10B	出力	チャンネル B の CMOS 出力データ
9	D11B (MSB)	出力	チャンネル B の CMOS 出力データ
11	DCOA	出力	チャンネル A のデータ・クロック出力
10	DCOB	出力	チャンネル B のデータ・クロック出力
SPI コントロール			
48	SCLK/DFS	入力	外部ピン・モードによる SPI シリアル・クロック/データ・フォーマット選択ピン
47	SDIO/DCS	入出力	外部ピン・モードによる SPI シリアル・データ I/O/デューティサイクル・スタビライザ・ピン
51	CSB	入力	SPI チップ・セレクト (アクティブ・ローレベル)
信号モニタ・ポート			
33	SMI SDO/OEB	入出力	外部ピン・モードによる信号モニタ・シリアル・データ出力/出力イネーブル入力 (アクティブ・ローレベル)
35	SMI SDFS	出力	信号モニタ・シリアル・データ・フレーム同期
34	SMI SCLK/PDWN	入出力	外部ピン・モードによる信号モニタ・シリアル・クロック出力/パワーダウン入力

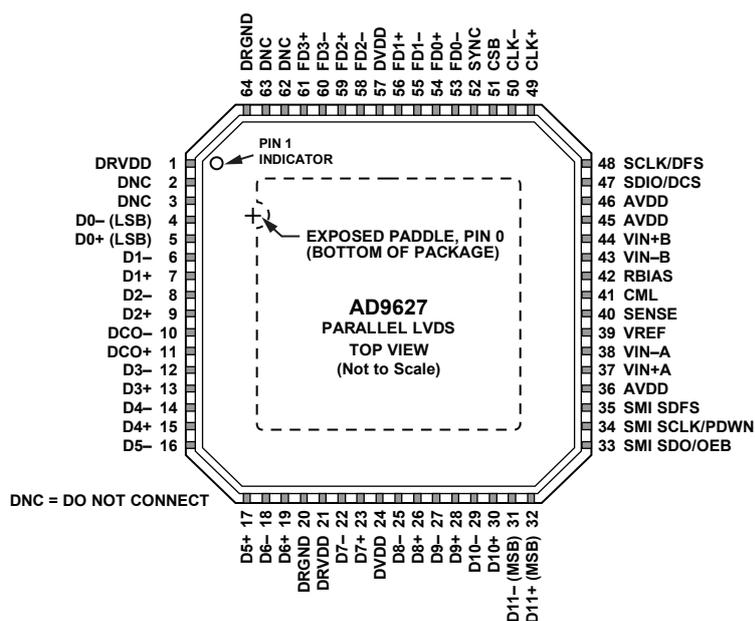


図7. ピン配置、LFCSP、インターリーブ型パラレル LVDS (上面図)

表12. ピン機能の説明 (インターリーブ型パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
20, 64	DRGND	グラウンド	デジタル出力グラウンド
1, 21	DRVDD	電源	デジタル出力ドライバ電源 (1.8~3.3 V)
24, 57	DVDD	電源	デジタル電源 (公称値 1.8 V)
36, 45, 46	AVDD	電源	アナログ電源 (公称値 1.8 V)
0	AGND	グラウンド	アナログ・グラウンド。0 番ピンは、パッケージ底面の露出サーマル・パッド
2, 3, 62, 63	DNC		接続しないでください。
ADC アナログ			
37	VIN+A	入力	チャンネル A の差動アナログ入力ピン (+)
38	VIN-A	入力	チャンネル A の差動アナログ入力ピン (-)
44	VIN+B	入力	チャンネル B の差動アナログ入力ピン (+)
43	VIN-B	入力	チャンネル B の差動アナログ入力ピン (-)
39	VREF	入出力	リファレンス電圧入出力
40	SENSE	入力	リファレンス電圧モード選択。詳細は表 14 を参照
42	RBIAS	入出力	外部リファレンス・バイアス抵抗
41	CML	出力	アナログ入力の同相レベル・バイアス出力
49	CLK+	入力	ADC クロック入力—正
50	CLK-	入力	ADC クロック入力—負
ADC 高速検出出力			
54	FD0+	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 0-正。詳細は表 17 を参照
53	FD0-	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 0-負。詳細は表 17 を参照
56	FD1+	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 1-正。詳細は表 17 を参照
55	FD1-	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 1-負。詳細は表 17 を参照
59	FD2+	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 2-正。詳細は表 17 を参照
58	FD2-	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 2-負。詳細は表 17 を参照
61	FD3+	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 3-正。詳細は表 17 を参照
60	FD3-	出力	チャンネル A/チャンネル B の LVDS 高速検出インジケータ 3-負。詳細は表 17 を参照
デジタル入力			
52	FD0+	入力	デジタル同期ピン。スレープ・モード専用

ピン番号	記号	タイプ	説明
デジタル出力			
5	D0+ (LSB)	出力	チャンネル A/チャンネル B の LVDS 出力データ 0—正
4	D0- (LSB)	出力	チャンネル A/チャンネル B の LVDS 出力データ 0—負
7	D1+	出力	チャンネル A/チャンネル B の LVDS 出力データ 1—正
6	D1-	出力	チャンネル A/チャンネル B の LVDS 出力データ 1—負
9	D2+	出力	チャンネル A/チャンネル B の LVDS 出力データ 2—正
8	D2-	出力	チャンネル A/チャンネル B の LVDS 出力データ 2—負
13	D3+	出力	チャンネル A/チャンネル B の LVDS 出力データ 3—正
12	D3-	出力	チャンネル A/チャンネル B の LVDS 出力データ 3—負
15	D4+	出力	チャンネル A/チャンネル B の LVDS 出力データ 4—正
14	D4-	出力	チャンネル A/チャンネル B の LVDS 出力データ 4—負
17	D5+	出力	チャンネル A/チャンネル B の LVDS 出力データ 5—正
16	D5-	出力	チャンネル A/チャンネル B の LVDS 出力データ 5—負
19	D6+	出力	チャンネル A/チャンネル B の LVDS 出力データ 6—正
18	D6-	出力	チャンネル A/チャンネル B の LVDS 出力データ 6—負
23	D7+	出力	チャンネル A/チャンネル B の LVDS 出力データ 7—正
22	D7-	出力	チャンネル A/チャンネル B の LVDS 出力データ 7—負
26	D8+	出力	チャンネル A/チャンネル B の LVDS 出力データ 8—正
25	D8-	出力	チャンネル A/チャンネル B の LVDS 出力データ 8—負
28	D9+	出力	チャンネル A/チャンネル B の LVDS 出力データ 9—正
27	D9-	出力	チャンネル A/チャンネル B の LVDS 出力データ 9—負
30	D10+	出力	チャンネル A/チャンネル B の LVDS 出力データ 10—正
29	D10-	出力	チャンネル A/チャンネル B の LVDS 出力データ 10—負
32	D11+ (MSB)	出力	チャンネル A/チャンネル B の LVDS 出力データ 11—正
31	D11- (MSB)	出力	チャンネル A/チャンネル B の LVDS 出力データ 11—負
11	DCO+	出力	チャンネル A/チャンネル B の LVDS データ・クロック出力—正
10	DCO-	出力	チャンネル A/チャンネル B の LVDS データ・クロック出力—負
SPI コントロール			
48	SCLK/DFS	入力	外部ピン・モードによる SPI シリアル・クロック/データ・フォーマット選択ピン
47	SDIO/DCS	入出力	外部ピン・モードによる SPI シリアル・データ I/O/デューティサイクル・スタビライザ・ピン
51	CSB	入力	SPI チップ・セレクト (アクティブ・ローレベル)
信号モニタ・ポート			
33	SMI SDO/OEB	入出力	外部ピン・モードによる信号モニタ・シリアル・データ出力/出力イネーブル入力 (アクティブ・ローレベル)
35	SMI SDFS	出力	信号モニタ・シリアル・データ・フレーム同期
34	SMI SCLK/PDWN	入出力	外部ピン・モードによる信号モニタ・シリアル・クロック出力/パワーダウン入力

等価回路

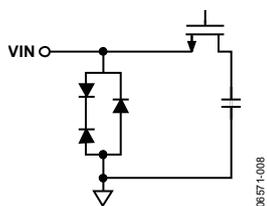


図8. アナログ入力等価回路

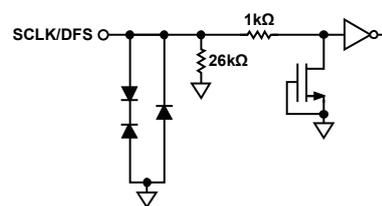


図12. SCLK/DFS 入力等価回路

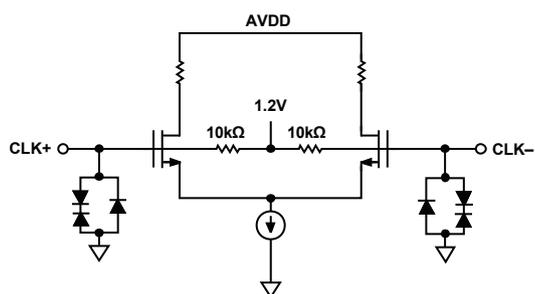


図9. クロック入力等価回路

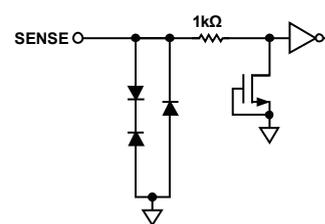


図13. SENSE 等価回路

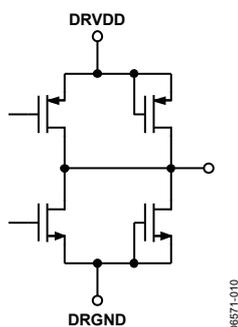


図10. デジタル出力

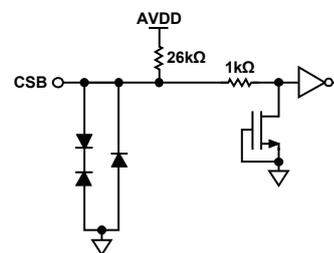


図14. CSB 入力等価回路

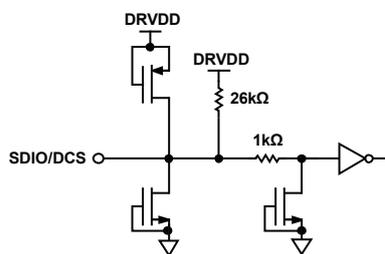


図11. SDIO/DCS または SMI SDFS 等価回路

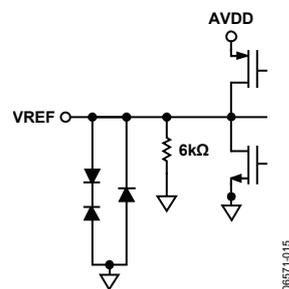


図15. VREF 等価回路

代表的な性能特性

特に指定のない限り、AVDD = 1.8 V、DVDD = 1.8 V、DRVDD = 3.3 V、サンプリング・レート = 150 MSPS、DCS をイネーブ、1.0 V の内部リファレンス、2 V p-p の差動入力、VIN = -1.0 dBFS、64k サンプル、TA = 25°C。

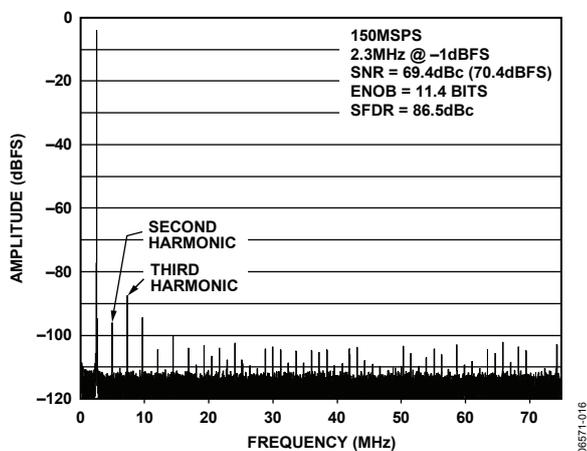


図16. AD9627-150 のシングルトーン FFT ($f_{IN} = 2.3$ MHz)

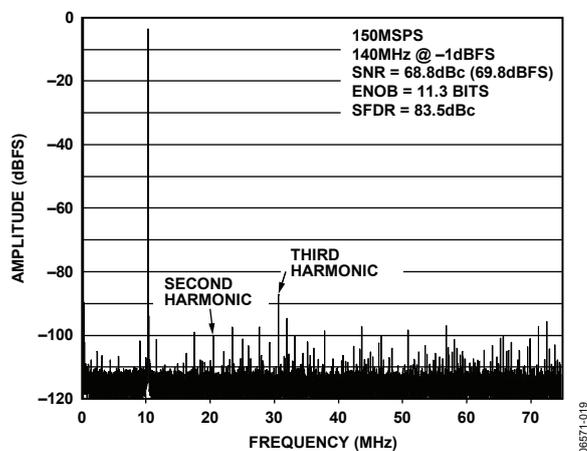


図19. AD9627-150 のシングルトーン FFT ($f_{IN} = 140$ MHz)

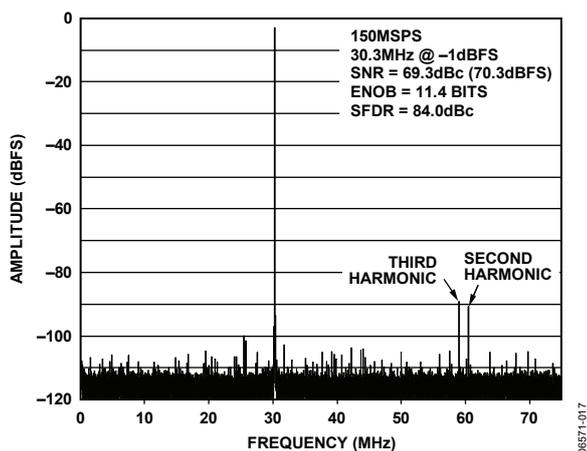


図17. AD9627-150 のシングルトーン FFT ($f_{IN} = 30.3$ MHz)

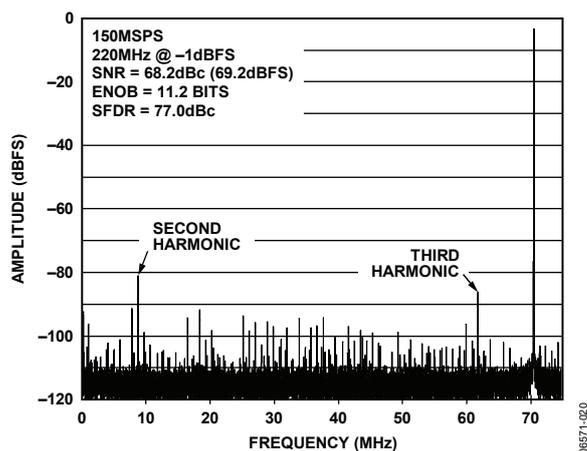


図20. AD9627-150 のシングルトーン FFT ($f_{IN} = 220$ MHz)

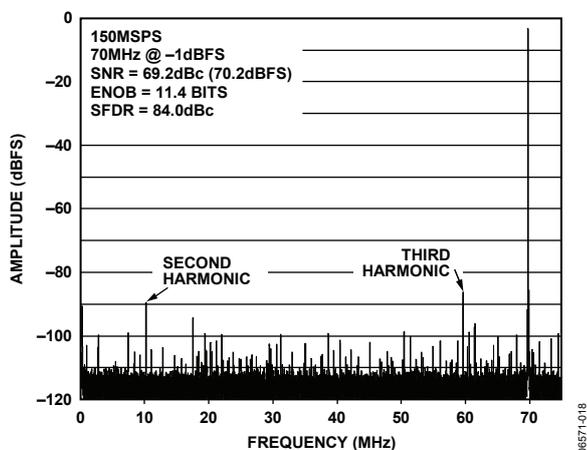


図18. AD9627-150 のシングルトーン FFT ($f_{IN} = 70$ MHz)

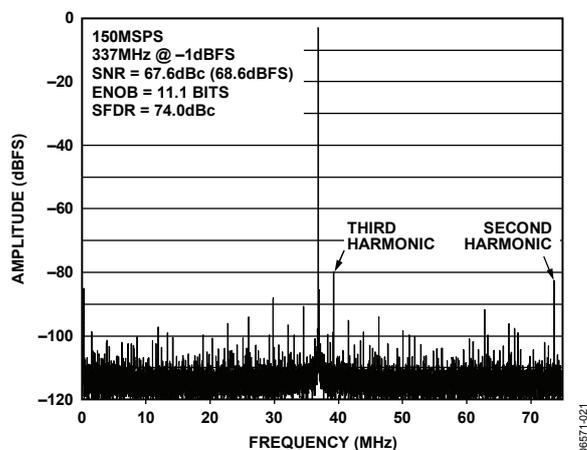


図21. AD9627-150 のシングルトーン FFT ($f_{IN} = 337$ MHz)

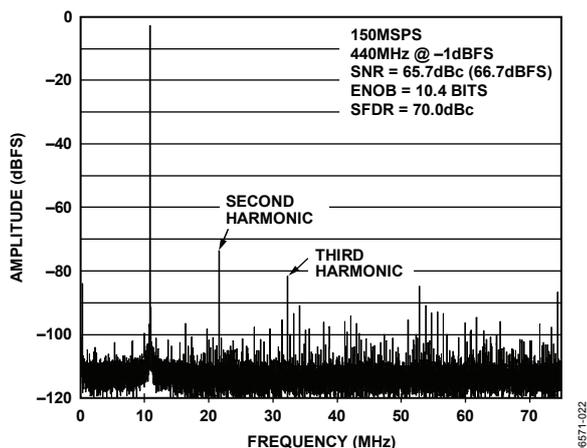


図22. AD9627-150 のシングルトーン FFT ($f_{IN} = 440$ MHz)

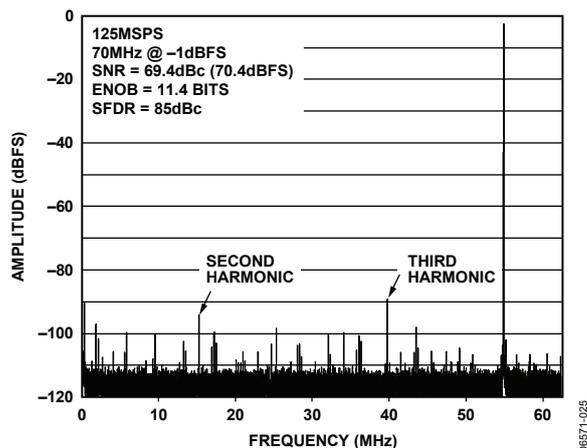


図25. AD9627-125 のシングルトーン FFT ($f_{IN} = 70$ MHz)

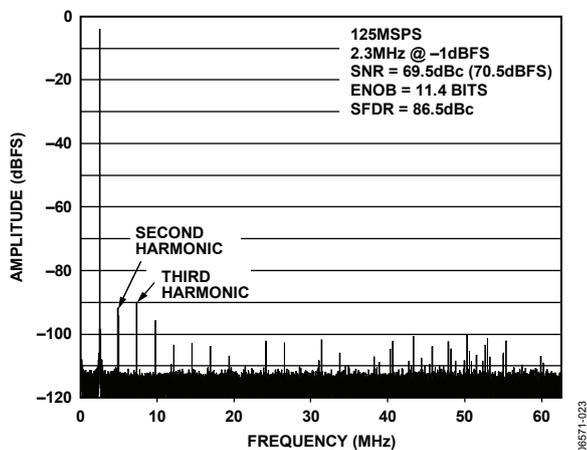


図23. AD9627-125 のシングルトーン FFT ($f_{IN} = 2.3$ MHz)

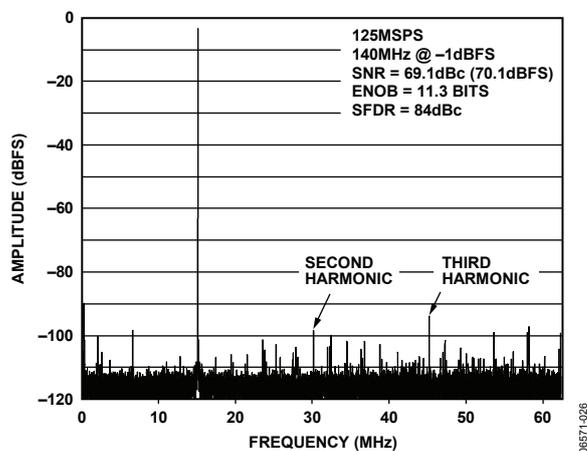


図26. AD9627-125 のシングルトーン FFT ($f_{IN} = 140$ MHz)

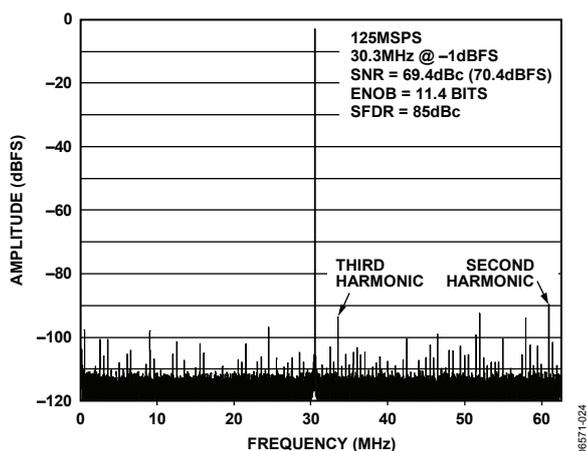


図24. AD9627-125 のシングルトーン FFT ($f_{IN} = 30.3$ MHz)

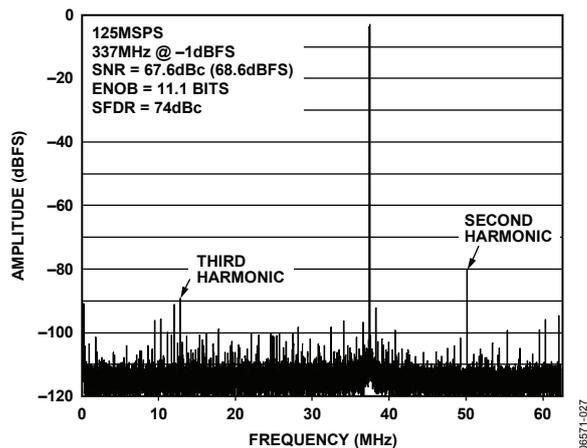


図27. AD9627-125 のシングルトーン FFT ($f_{IN} = 337$ MHz)

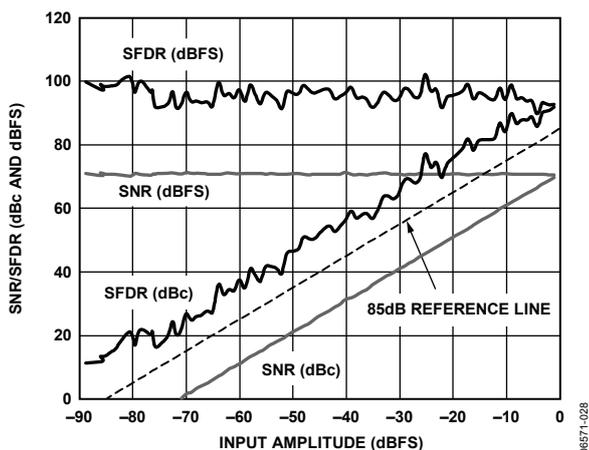


図28. AD9627-150の入力振幅 (A_{IN}) 対 シングルトーン S/N比/SFDR ($f_{IN} = 2.4$ MHz)

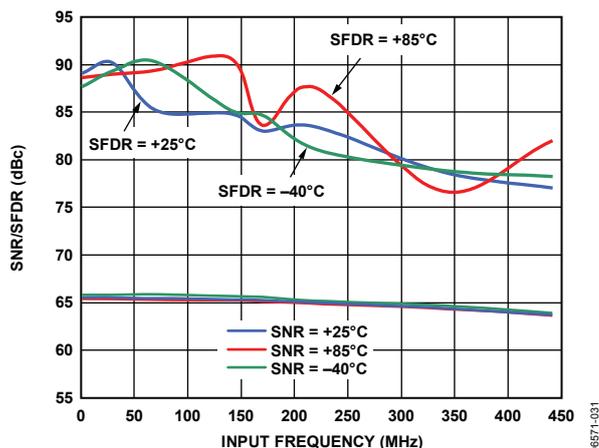


図31. AD9627-150のシングルトーン S/N比/SFDR 対入力周波数 (f_{IN}) および温度 (1 V p-p フルスケール)

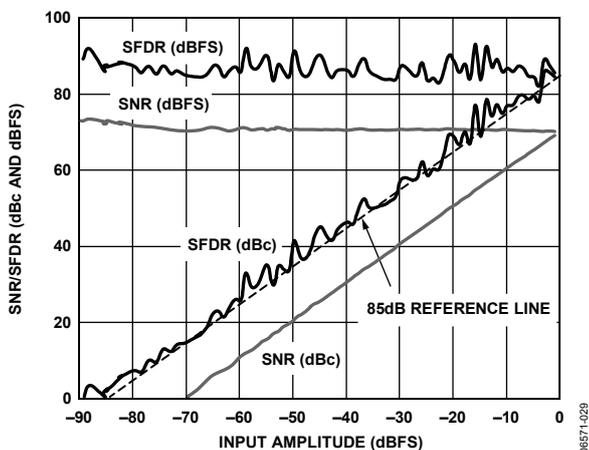


図29. AD9627-150の入力振幅 (A_{IN}) 対 シングルトーン S/N比/SFDR ($f_{IN} = 98.12$ MHz)

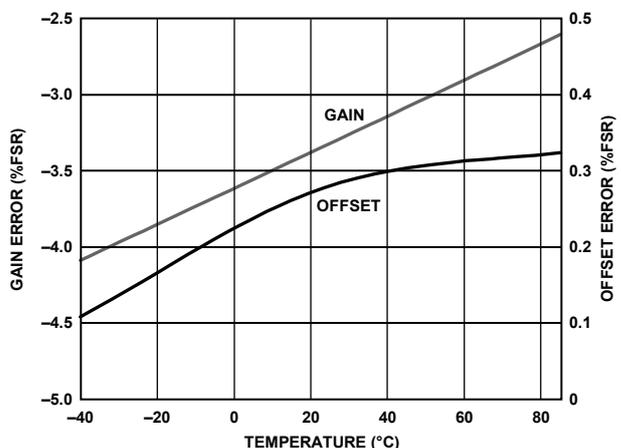


図32. AD9627-150のゲインおよびオフセットの温度特性

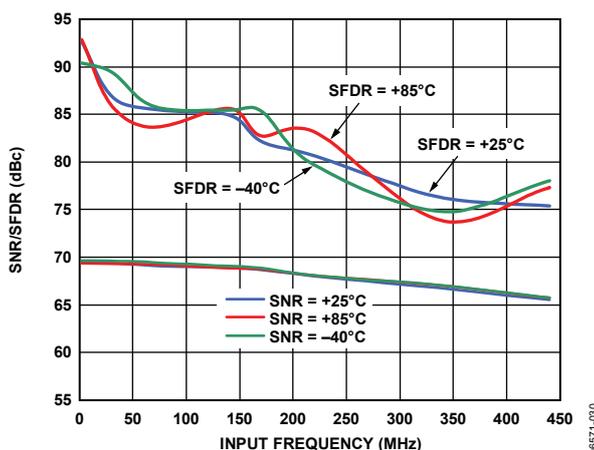


図30. AD9627-150のシングルトーン S/N比/SFDR 対入力周波数 (f_{IN}) および温度 (2 V p-p フルスケール)

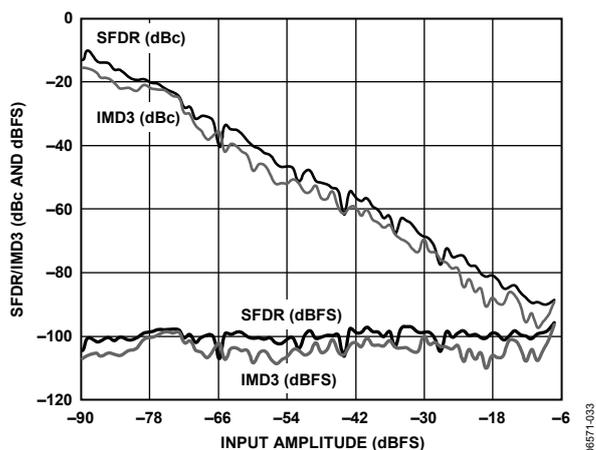


図33. AD9627-150の入力振幅 (A_{IN}) 対 ツートーン SFDR/IMD3 ($f_{IN1} = 29.1$ MHz、 $f_{IN2} = 32.1$ MHz、 $f_s = 150$ MSPS)

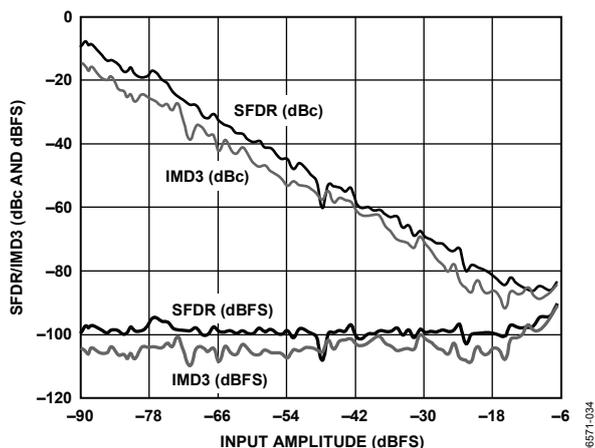


図34. AD9627-150 の入力振幅 (A_{IN}) 対 ツートーン SFDR/IMD3 ($f_{IN1} = 169.1$ MHz、 $f_{IN2} = 172.1$ MHz、 $f_s = 150$ MSPS)

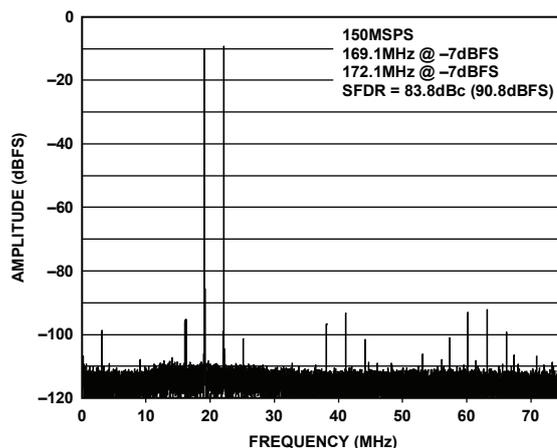


図37. AD9627-150 のツートーン FFT ($f_{IN1} = 169.1$ MHz および $f_{IN2} = 172.1$ MHz)

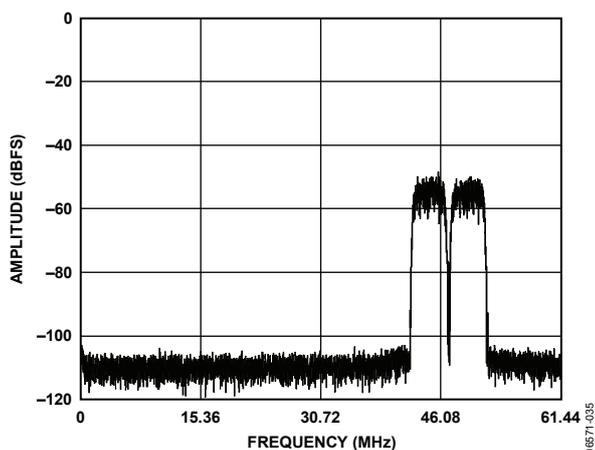


図35. AD9627-125、2つの64k WCDMA キャリア ($f_{IN} = 170$ MHz、 $f_s = 122.88$ MSPS)

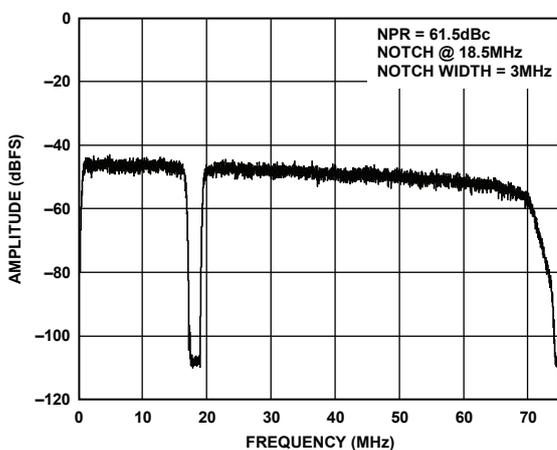


図38. AD9627-150 のノイズ・パワー比 (NPR)

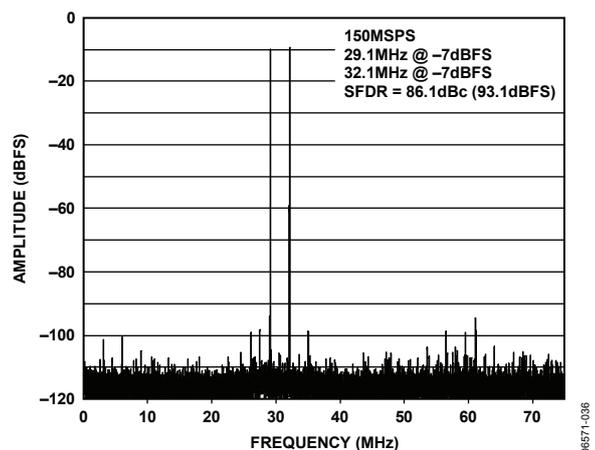


図36. AD9627-150 のツートーン FFT ($f_{IN1} = 29.1$ MHz および $f_{IN2} = 32.1$ MHz)

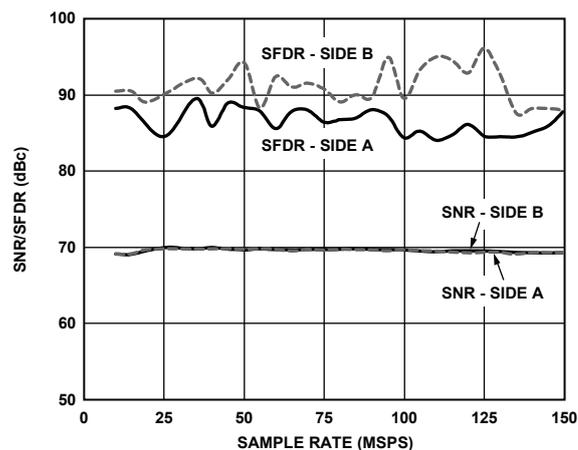


図39. AD9627-150 のサンプリング・レート (f_s) 対 シングルトーン S/N 比/SFDR ($f_{IN} = 2.3$ MHz)

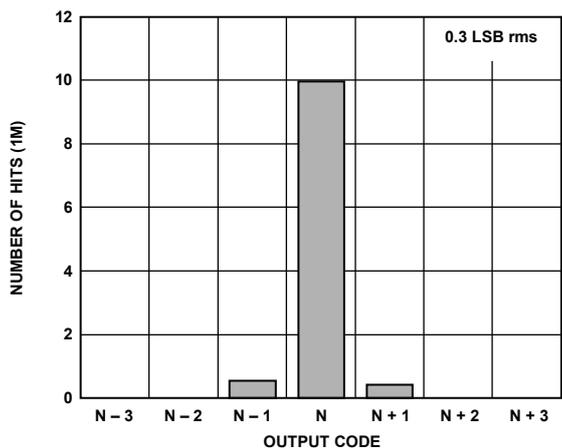


図40. AD9627 のグラウンド入力ヒストグラム

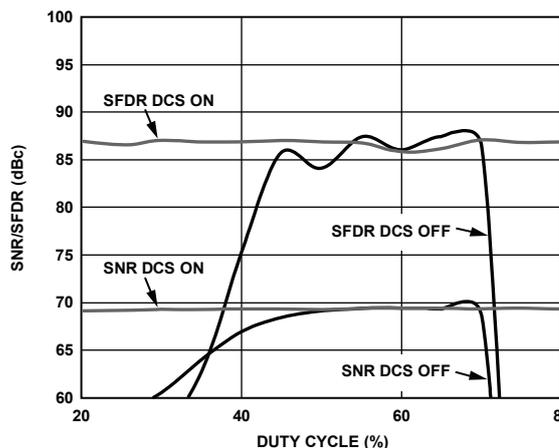


図43. AD9627-150 のデューティサイクル 対 S/N 比/SFDR ($f_{IN} = 10.3 \text{ MHz}$)

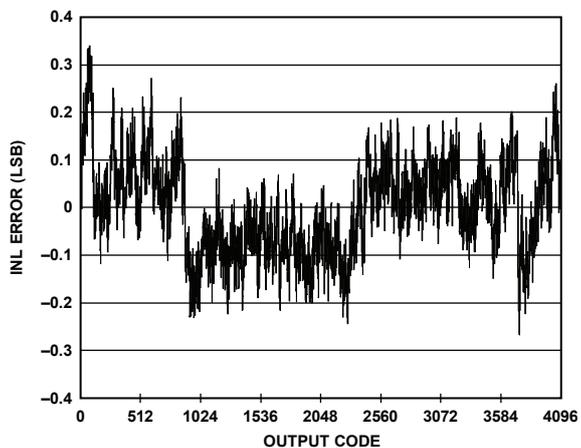


図41. AD9627 の INL ($f_{IN} = 10.3 \text{ MHz}$)

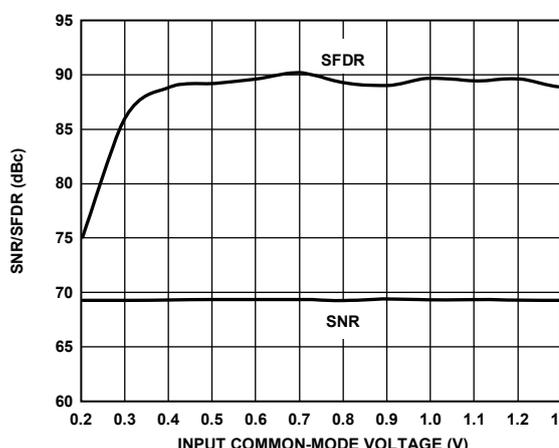


図44. AD9627-150 の入力同相電圧 (VCM) 対 S/N 比/SFDR ($f_{IN} = 30 \text{ MHz}$)

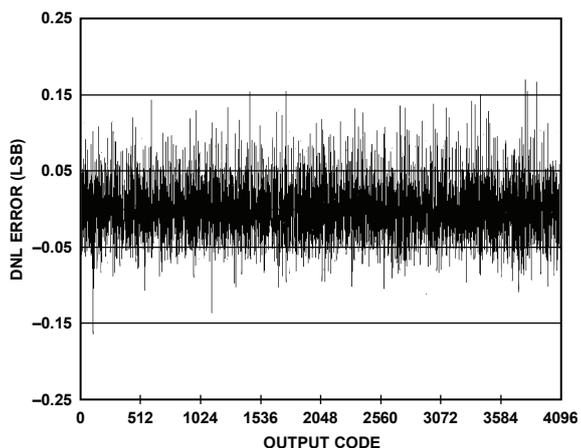


図42. AD9627 の DNL ($f_{IN} = 10.3 \text{ MHz}$)

動作原理

AD9627 のデュアル ADC 設計は、信号のダイバーシティ受信に使用できます。ダイバーシティ受信では、2つの異なるアンテナから受信される等しいキャリアで、2個の ADC が等しい動作を行います。2個の ADC を個別のアナログ入力で作動させることも可能です。ADC の入力に適切なローパスまたはバンドパス・フィルタを接続して、ADC 性能をほとんど低下させることなく DC から 200 MHz までの任意の $f_s/2$ 周波数セグメントをサンプリングできます。最大 450 MHz のアナログ入力動作が可能です。この場合には ADC のノイズと歪みが増加します。

ダイバーシティ受信以外のアプリケーションでは、AD9627 をベースバンド・レシーバまたはダイレクトダウンコンバージョンレシーバとして使用することが可能であり、一方の ADC を I 入力データ用、もう一方の ADC を Q 入力データ用として使用します。

同期機能を備えているため、複数チャンネル間または複数デバイス間のタイミング同期が可能です。

AD9627 のプログラミングとコントロールは、3 ビットの SPI 互換シリアル・インターフェースを使用しています。

ADC のアーキテクチャ

AD9627 のアーキテクチャは、デュアルのフロントエンド・サンプル&ホールド・アンプ (SHA) とその後段のパイプライン方式のスイッチド・キャパシタ ADC で構成されます。各段からの量子化出力は、デジタル補正ロジックで 12 ビットの最終結果に統合されます。パイプライン・アーキテクチャにより、初段は新しい入力サンプルに対して動作し、これ以降の段はその前のサンプルに対して動作することが可能です。クロックの立上がりエッジでサンプリングが行われます。

最終段を除き、パイプラインの各段は、低分解能のフラッシュ型 ADC とこれに接続されたスイッチド・キャパシタ D/A コンバータ (DAC)、および段間残差アンプ (MDAC) で構成されます。残差アンプは、再生された DAC 出力とパイプラインの次の段のフラッシュ入力間の電圧差を増幅します。フラッシュ誤差のデジタル補正を容易にするために、1 ビットの冗長ビットが各段で使用されます。最終段は、フラッシュ型 ADC 1 個のみで構成されます。

各チャンネルの入力段には、差動またはシングルエンドのモードで AC 結合または DC 結合が可能な差動 SHA が内蔵されています。出力段のブロックはデータのアライメントを行い、誤差補正を実行した後で、データを出力バッファに出力します。出力バッファは個別の電源で動作するため、出力電圧振幅の調整が可能です。パワーダウンのときに、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に関する留意事項

AD9627 のアナログ入力部は、差動スイッチド・キャパシタ SHA で差動入力信号も処理するときに最適な性能となるように設計されています。

クロック信号は、SHA をサンプル・モードとホールド・モードに交互に切り替えます (図 45 を参照)。SHA がサンプル・モードに切り替わるときに、1/2 クロック・サイクル以内でサンプル・コンデンサを充電して、セトリングすることが信号源に対して要求されます。

値の小さい抵抗を各入力に直列に接続すると、駆動信号源の出力段に要求されるピーク過渡電流を効果的に削減できます。動的な充電電流を確保するために、入力間にシャント・コンデンサを接続することも可能です。この受動回路は ADC 入力にローパス・フィルタを形成するため、正確な数値はアプリケーションによって異なります。

中間周波数 (IF) のアンダーサンプリング・アプリケーションでは、シャント・コンデンサの容量を小さくする必要があります。容量が大きいと、これが駆動信号源のインピーダンスと結合して、入力帯域幅が制限されます。この詳細については、アプリケーション・ノート AN-742 『Frequency Domain Response of Switched-Capacitor ADCs』、アプリケーション・ノート AN-827 『A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs』、「アナログ・ダイアログ」の記事『Transformer-Coupled Front-End for Wideband A/D Converters』を参照してください (www.analog.com を参照)。

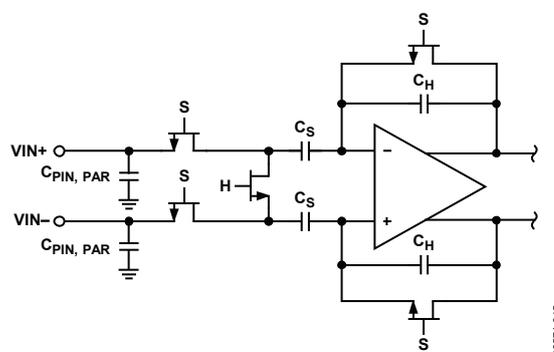


図45. スイッチド・キャパシタ SHA 入力

最適な動的性能を得るためには、VIN+ と VIN- を駆動する信号源のインピーダンスを一致させる必要があります。

内部の差動リファレンス・バッファは、ADC コアの入力スパンを決定する正と負のリファレンス電圧を発生します。ADC コアのスパンは、このバッファによって $2 \times V_{REF}$ に設定されます。

入力同相電圧

AD9627 のアナログ入力は、内部で DC バイアスされていません。AC 結合のアプリケーションでは、このバイアスを外部から行う必要があります。最適性能のためには $V_{CM} = 0.55 \times AV_{DD}$ となるようにデバイスを設定することが推奨されますが、デバイスは妥当な性能で幅広いレンジで機能します (図 44 を参照)。この設計には同相リファレンス電圧が内蔵されているため、リファレンス電圧を CML ピンから出力できます。アナログ入力の同相電圧を CML ピンの電圧 ($0.55 \times AV_{DD}$ (typ)) によって設定すると、最適な性能が得られます。「アプリケーション情報」で説明するように、CML ピンとグラウンドとの間に $0.1 \mu F$ のコンデンサを外付けして、デカップリングを行う必要があります。

差動入力構成

AD9627 を差動入力の構成で駆動すると、最適な性能が得られます。ベースバンド・アプリケーションでは、AD8138、ADA4937-2、ADA4938-2 の差動ドライバが優れた性能を発揮し、高い柔軟性で ADC とインターフェースします。

AD8138 の出力同相電圧は、AD9627 の CML ピンで容易に設定され (図 46 を参照)、ドライバをサレンキー・フィルタとして構成して、入力信号の帯域幅を制限できます。

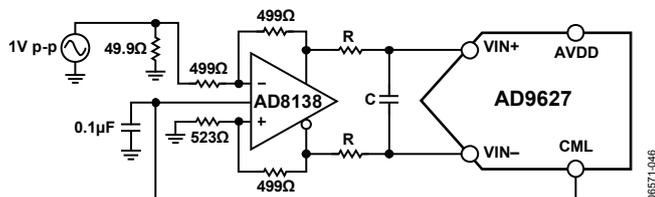


図46. AD8138 を用いた差動入力構成

S/N 比が重要なパラメータとなるベースバンド・アプリケーションでは、入力構成として差動トランス結合を推奨します。その例を図 47 に示します。アナログ入力をバイアスするために、トランスの 2 次巻線のセンター・タップに CML 電圧を接続することができます。

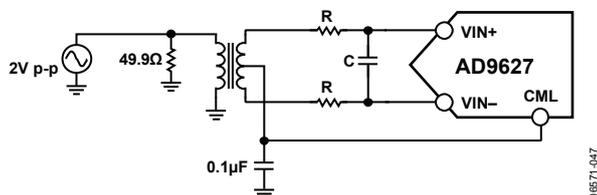


図47. 差動トランス結合の構成

トランスを選択する際は、信号特性を考慮する必要があります。大部分の RF トランスは数 MHz 以下の周波数で飽和します。過大な信号パワーによってもコアが飽和することがあり、それにより歪みが発生します。

入力周波数が第 2 ナイキスト・ゾーンを超えると、大半のアンプのノイズ性能が AD9627 の真の S/N 比性能を確保するうえで不十分になってしまいます。S/N 比が重要なパラメータであるアプリケーションでは、入力構成として差動の二重バラン結合を推奨します (図 49 を参照)。

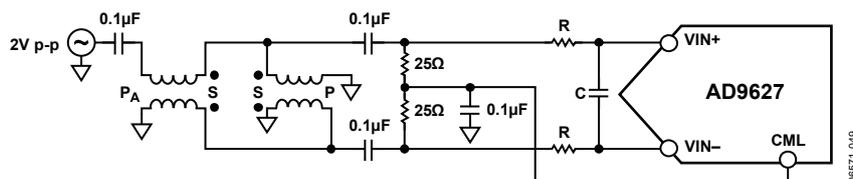


図49. 差動の二重バラン入力構成

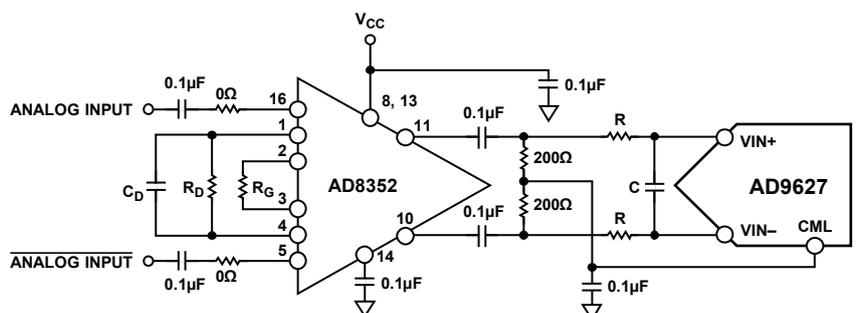


図50. AD8352 を用いた差動入力構成

第 2 ナイキスト・ゾーンの周波数でトランス結合入力を使用する代わりに、AD8352 差動ドライバを使用する方法もあります。その例を図 50 に示します。この詳細は、AD8352 のデータシートを参照してください。

どのような構成でも、シャント・コンデンサ C の容量は入力周波数と信号源インピーダンスに依存するため、容量を小さくするか、またはシャント・コンデンサを取り除く必要がある場合があります。RC 回路の構成に推奨される部品値を表 13 に示します。ただし、これらの数値は入力信号に依存するため、部品値の選択を開始する際のガイドとして参考にしてください。

表13. RC 回路部品値の例

Frequency Range (MHz)	R Series (Ω Each)	C Differential (pF)
0 to 70	33	15
70 to 200	33	5
200 to 300	15	5
>300	15	Open

シングルエンド入力構成

シングルエンド入力は、コストが重視されるアプリケーションで十分な性能を發揮できます。この構成では、入力同相電圧の変動が大きいと、SFDR と歪み性能が低下します。各入力信号の信号源インピーダンスが整合していれば、S/N 比性能への影響はほとんどありません。図 48 に、代表的なシングルエンド入力構成を示します。

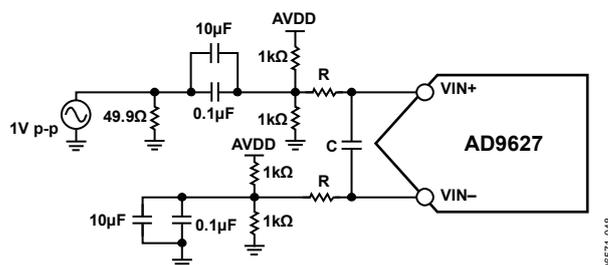


図48. シングルエンド入力構成

リファレンス電圧

AD9627には、安定した高精度のリファレンス電圧が内蔵されています。この内部リファレンスまたは外部から加えられるリファレンス電圧を使用して、AD9627に供給されるリファレンス電圧を変更することにより、入力範囲を調整できます。ADCの入力スパンは、リファレンス電圧の変化に対してリニアに追従します。各種のリファレンス・モードについて、以降の項で簡単に説明します。「リファレンスのデカップリング」では、リファレンスのPCボード・レイアウトに関する最も適切な実施手法を説明します。

内部リファレンス接続

AD9627 内部のコンパレータは SENSE ピンの電位を検出し、表 14 に要約する 4 つの選択可能なモードのいずれかにリファレンスを設定します。SENSE ピンをグラウンドに接続すると、リファレンス・アンプのスイッチが内部の抵抗分圧器に接続され（図 51 を参照）、VREF の設定が 1.0 V になります。SENSE ピンを VREF に接続すると、リファレンス・アンプの出力が SENSE ピンに切り替えられて、ループが形成され、0.5 V のリファレンス出力が供給されます。

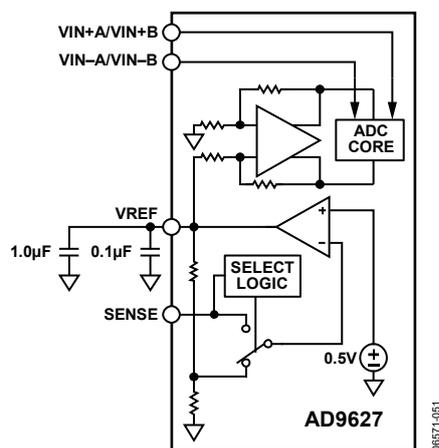


図51. 内部リファレンスの構成

図 52 に示すように、抵抗分圧器をチップの外部に接続すると、スイッチが再び SENSE ピンに接続するように設定されます。これにより、リファレンス・アンプが非反転モードになり、VREF 出力は次のように決定されます。

$$V_{REF} = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

表14. リファレンス設定の要約

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2 × external reference
Internal Fixed Reference	VREF	0.5	1.0
Programmable Reference	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (図 52 参照)	2 × VREF
Internal Fixed Reference	AGND to 0.2 V	1.0	2.0

内部または外部リファレンスのいずれの場合も、ADC の入力範囲は常にリファレンス・ピンの電圧の 2 倍に等しくなります。

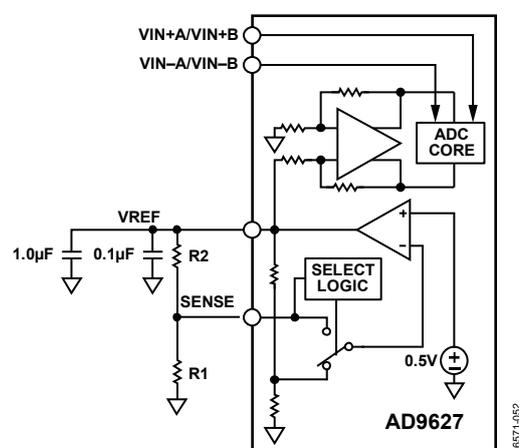


図52. プログラマブルなリファレンス構成

ゲインのマッチングを改善するために、AD9627 の内部リファレンスを複数のコンバータの駆動に使用する場合は、他のコンバータによるリファレンスの負荷を考慮する必要があります。図 53 に、負荷による内部リファレンス電圧への影響を示します。

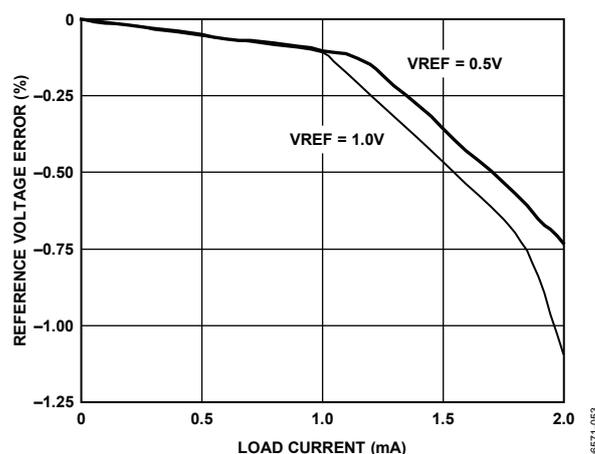


図53. 負荷対VREF精度

外部リファレンス動作

ADC のゲイン精度や温度ドリフト特性を改善するには、外部リファレンスの使用が必要になる場合があります。図 54 に、1.0 V モードの内部リファレンスの代表的なドリフト特性を示します。

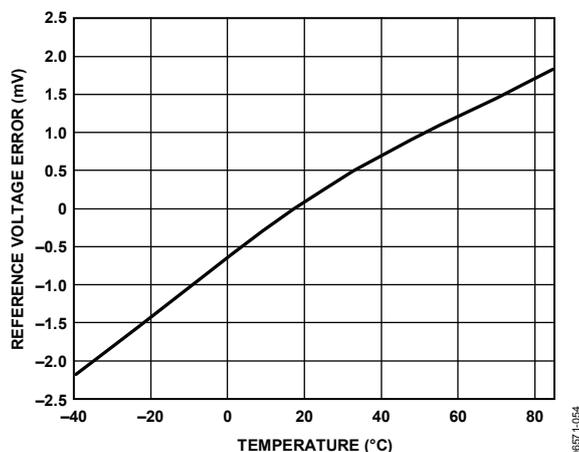


図54. 代表的な VREF ドリフト

SENSE ピンを AVDD に接続すると、内部リファレンスがディセーブルされて、外部リファレンスが使用可能になります。内部リファレンス・バッファは、6 kΩ の等価抵抗負荷を外部リファレンスに加えます (図 15 を参照)。この内部バッファは、ADC コアに対して正と負のフルスケール・リファレンスを発生しますが、外部リファレンスを最大 1.0 V に制限する必要があります。

クロック入力に関する留意事項

最適な性能を得るためには、AD9627 のサンプル・クロック入力 CLK+ および CLK- を差動信号にする必要があります。この信号は通常、トランスまたはコンデンサを使用して CLK+ と CLK- の各ピンに AC 結合します。これらのピンは内部でバイアスされているため (図 55 を参照)、外部バイアスを行う必要がありません。

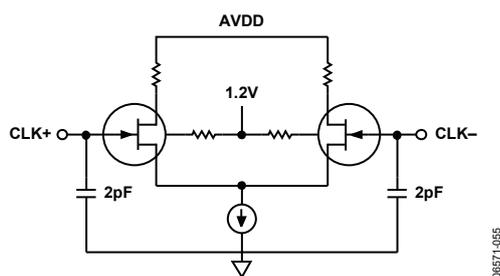


図55. クロック入力等価回路

クロック入力オプション

AD9627 のクロック入力構造は、きわめて高い柔軟性を備えています。クロック入力を CMOS、LVDS、LVPECL、または正弦波の信号とすることが可能です。「ジッタに関する留意事項」で説明するように、使用する信号のタイプに関係なく最も注意すべき点はクロック源のジッタです。

図 56 と図 57 に、AD9627 のクロック入力源 (最大 625 MHz のクロック・レート) として望ましい 2 つの方法を示します。これらの方法では、RF バランまたは RF トランスを使用して、ジッタの低いクロック源をシングルエンド信号から差動信号に変換します。

クロック周波数が 125~625 MHz のときには RF バランの構成を推奨し、クロック周波数が 10~200 MHz のときは RF トランスの構成を推奨します。トランス/バランの 2 次側に逆向きにショットキ・ダイオードを 2 個並列接続すると、AD9627 のクロック入力信号が約 0.8 V_{p-p} の差動電圧に制限されます。

この方法は、大きいクロック電圧振幅が AD9627 の他の回路部に混入する問題を防止すると同時に、低ジッタ性能を確保するうえできわめて重要とされる高速の立上がり時間と立下がり時間の維持にも効果的です。

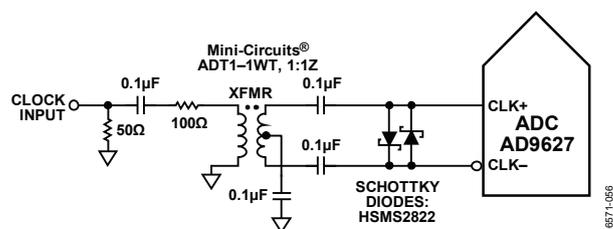


図56. トランス結合の差動クロック (最大 200 MHz)

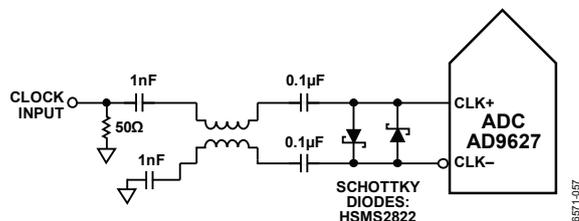


図57. バラン結合の差動クロック (最大 625 MHz)

低ジッタのクロック源がない場合は、別のオプションとして図 58 に示すように、差動の PECL 信号をサンプル・クロック入力ピンに AC 結合する方法があります。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516 の各クロック・ドライバは、優れたジッタ性能を備えています。

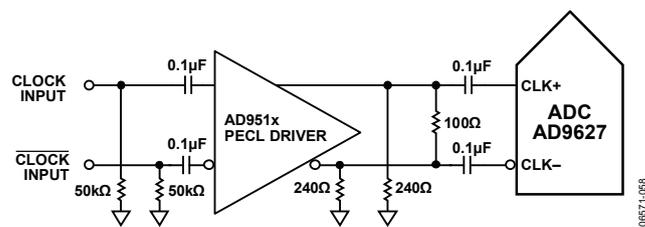


図58. 差動 PECL サンプル・クロック (最大 625 MHz)

3 番目のオプションは、図 59 に示すように差動の LVDS 信号をサンプル・クロック入力ピンに AC 結合する方法です。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515/AD9516 の各クロック・ドライバは、優れたジッタ性能を備えています。

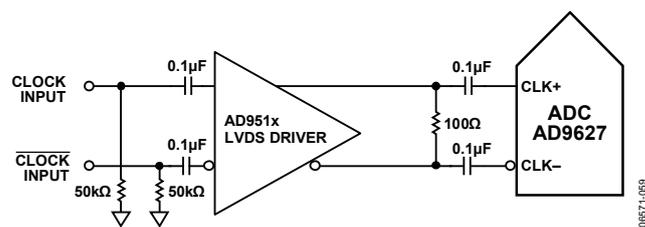


図59. 差動 LVDS サンプル・クロック (最大 625 MHz)

一部のアプリケーションでは、シングルエンドの CMOS 信号でサンプル・クロック入力を駆動できる場合があります。このようなアプリケーションでは、CLK+を CMOS ゲートから直接駆動し、CLK-ピンとグラウンドとの間に 0.1 μF のコンデンサと 39 k Ω の抵抗を並列接続して、CLK-ピンをグラウンドへバイパスする必要があります (図 60 を参照)。

CLK+を CMOS ゲートから直接駆動できます。CLK+入力回路の電源は AVDD (1.8 V) ですが、この入力は最大 3.6 V の入力電圧耐圧を持つように設計されているため、きわめて高い柔軟性で駆動ロジック電圧を選択できます。

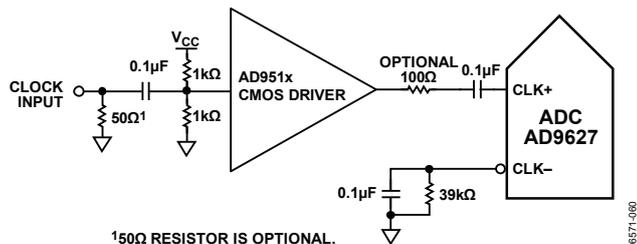


図60. シングルエンド 1.8 V CMOS サンプル・クロック (最大 150 MSPS)

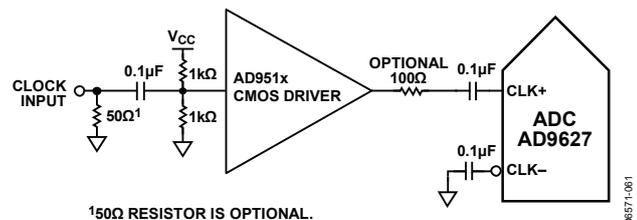


図61. シングルエンド 3.3 V CMOS サンプル・クロック (最大 150 MSPS)

入力クロック分周器

AD9627 には、1 から 8 までの整数比で入力クロックを分周する能力を備えた入力クロック分周器が内蔵されています。1 以外の分周比を選択すると、デューティサイクル・スタビライザが自動的にイネーブルされます。

外部の SYNC 入力を使用して、AD9627 のクロック分周器を同期させることが可能です。レジスタ 0x100 のビット 1 とビット 2 を使用して、SYNC 信号が入力されるたびに、またはレジスタに書き込みが行われた後で最初に SYNC 信号が入力される時に限り、クロック分周器を再同期させることができます。SYNC 信号が有効であれば、クロック分周器はその初期状態にリセットされます。この同期機能により、複数のデバイスのクロック分周器のアライメントが可能になるため、同時入力サンプリングが保証されます。

クロックのデューティサイクル

標準的な高速 ADC は、クロックの上上がりりと立下がり両方のエッジを使用して、各種の内部タイミング信号を発生するため、結果としてクロックのデューティサイクルの変化に対する影響を受けやすくなります。動的な性能特性を維持するためには、クロックのデューティサイクルに関して一般に $\pm 5\%$ の誤差が要求されます。

AD9627 には、非サンプリング (立下がり) エッジの再タイミングを行い、公称値 50% のデューティサイクルで内部クロック信号を出力するデューティサイクル・スタビライザ (DCS) が内蔵されています。そのため、AD9627 の性能を損うことなく幅広い範囲のクロック入力デューティサイクルを設定できます。図 43 に

示すように、DCS をオンにして幅広いデューティサイクル範囲で、ノイズおよび歪み性能がほとんど平坦なレベルに維持されます。

それでも入力の立上がりエッジのジッタには十分な注意が必要です。このジッタは、内部の安定化回路では容易に低減できません。公称値が 20 MHz 未満のクロック・レートでは、デューティサイクル制御ループが機能しません。クロック・レートが動的に変化するアプリケーションでは、このループの時定数を考慮する必要があります。動的なクロック周波数が増加 (または減少) してから DCS ループが入力信号に再ロックされるまでに、1.5~5 μs の待ち時間が必要となります。DCS ループがロックされない間は、ループがバイパスされ、内部デバイスのタイミングは入力クロック信号のデューティサイクルに依存します。このようなアプリケーションでは、デューティサイクル・スタビライザをディスエーブルした方がよい場合があります。それ以外のアプリケーションでは、AC 性能を最大化するために、DCS 回路をイネーブルすることを推奨します。

ジッタに関する留意事項

高速、高分解能の ADC の性能は、クロック入力の品質に左右されます。所定の入力周波数 (f_{INPUT}) においてジッタ ($t_{\text{J,RMS}}$) が原因で生じる低周波 S/N 比 (SNR_{LF}) の劣化は、次の式から計算できます。

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{INPUT}} \times t_{\text{J,RMS}})^2 + 10^{(-\text{SNR}_{\text{LF}}/10)}]$$

上の式で、RMS アパーチャ・ジッタは、クロック入力のジッタ仕様を表します。図 62 に示すように、IF アンダーサンプリング・アプリケーションは特にジッタの影響を受けやすくなります。

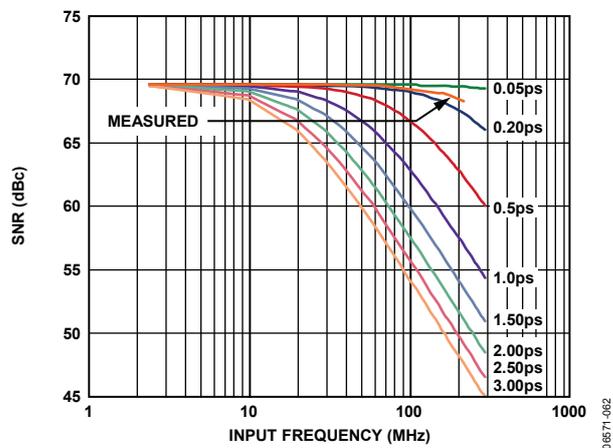


図62. 入力周波数およびジッタ 対 S/N 比

アパーチャ・ジッタが AD9627 のダイナミック・レンジに悪影響を及ぼすと考えられる場合は、クロック入力をアナログ信号として取り扱ってください。クロック・ドライバの電源を ADC 出力ドライバの電源から切り離し、デジタル・ノイズでクロック信号が変調しないようにします。低ジッタで水晶制御の発振器が最適なクロック源となります。他のタイプのクロック源 (ゲーティングや分周、またはその他の方法) からクロックを発生する場合は、最終段階で元のクロックを使ってクロックの再タイミングを行う必要があります。

ADC に関連するジッタ性能の詳細については、AN-501 と AN-756 の各アプリケーション・ノート (www.analog.com を参照) を参照してください。

消費電力とスタンバイ・モード

図 63～66 に示すように、AD9627 の消費電力はサンプリング・レートに比例します。CMOS 出力モードでのデジタル消費電力は、主にデジタル・ドライバの強度と各出力ビットの負荷によって決まります。

DRVDD 電流 (I_{DRVDD}) の最大値は、次の式から計算できます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLK} \times N$$

ここで、 N は出力ビット数 (AD9627 で高速検出出力ピンをディスプレイしている場合は 26) です。

すべての出力ビットが全クロック・サイクルで切り替わるとき、つまり $f_{CLK}/2$ のナイキスト周波数時にフルスケールの矩形波で切り替わるときに、この最大電流が発生します。実際には、サンプリング・レートとアナログ入力信号の特性によって決定される出力ビットの平均スイッチング回数によって、DRVDD 電流が決まります。

出力ドライバにかかる容量負荷を小さくすると、デジタル消費電力が最小限に抑えられます。図 63 のデータは、各出力ドライバの負荷を 5 pF として、「代表的な性能特性」と同じ動作条件下で取得したものです。

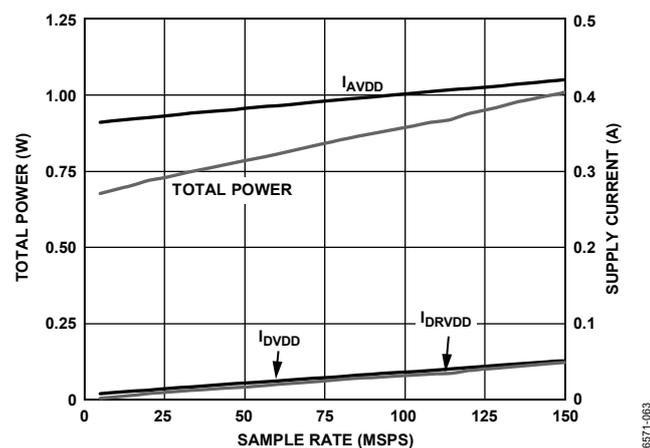


図63. AD9627-150 のサンプル・レート 対 消費電力および電流

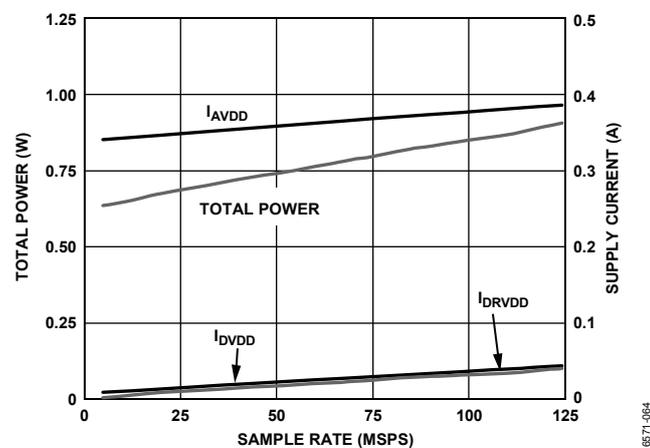


図64. AD9627-125 のサンプル・レート 対 消費電力および電流

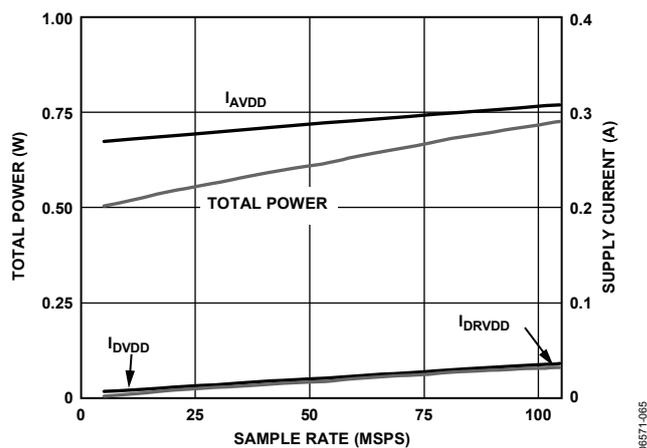


図65. AD9627-105 のサンプル・レート 対 消費電力および電流

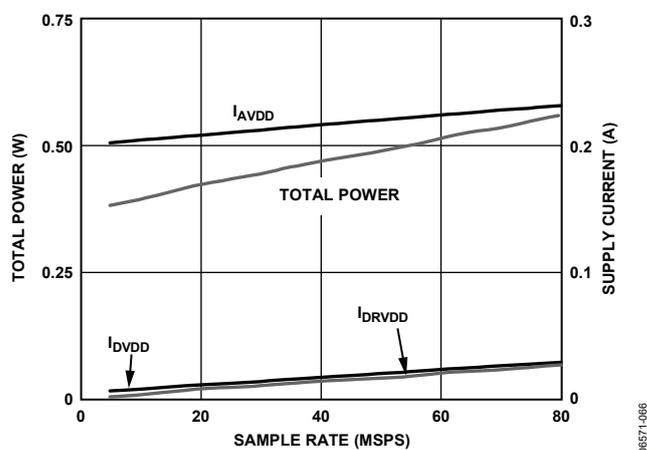


図66. AD9627-80 のサンプル・レート 対 消費電力および電流

PDWN をアサートすると (SPI ポートを通してアサートするか、または PDWN ピンをハイレベルにアサート)、AD9627 はパワーダウン・モードに設定されます。この状態での ADC の消費電力は 2.5 mW (typ) です。パワーダウン中に出力ドライバは、ハイ・インピーダンス状態になります。PDWN ピンをローレベルにアサートすると、AD9627 は通常動作モードに復帰します。PDWN はデジタル電源 (DRVDD) を基準とするため、電源電圧を超えないようにしてください。

パワーダウン・モードでの低消費電力は、リファレンス、リファレンス・バッファ、パイアシング・ネットワーク、クロックをシャットダウンすることによって達成されます。内部コンデンサは、パワーダウン・モードになった時点で放電されるため、通常の動作に復帰したときに再充電する必要があります。その結果、ウェイクアップ時間はパワーダウン・モードに費やされた時間に比例し、パワーダウン・サイクルが短ければ、これに比例してウェイクアップ時間も短くなります。

SPI ポート・インターフェースを使用して、ADC をパワーダウン・モードまたはスタンバイ・モードに設定できます。スタンバイ・モードでは、ウェイクアップ時間の高速化が要求される場合に、内部リファレンス回路を電源供給状態に維持することが可能です。この詳細については、「メモリ・マップ・レジスタの説明」を参照してください。

デジタル出力

DRVDD をインターフェース・ロジックのデジタル電源と一致させることにより、AD9627 の出力ドライバを 1.8~3.3 V の CMOS ロジック・ファミリーとインターフェースするように設定できます。1.8 V の DRVDD 電源電圧を使用して、LVDS 出力をサポートするように AD9627 を設定することも可能です。

CMOS 出力モードでは、各種のロジック・ファミリーの駆動に十分な出力電流を供給するように、出力ドライバが設定されます。ただし、駆動電流を大きくすると、電源から電流グリッチが発生する傾向が高くなり、そのためにコンバータの性能が損われる場合があります。

大きい容量負荷または大きいファンアウトを ADC で駆動する必要があるアプリケーションでは、外部バッファまたはラッチが必要になる場合があります。

外部ピン・モードの動作時に SCLK/DFS ピンをセットして、オフセット・バイナリまたは 2 の補数の出力データ・フォーマットを選択できます (表 15 を参照)。

アプリケーション・ノート AN-877『Interfacing to High Speed ADCs via SPI』で詳述されているように、SPI コントロールの使用時には出力データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択できます。

表15. SCLK/DFS モードの選択 (外部ピン・モード)

Voltage at Pin	SCLK/DFS	SDIO/DCS
AGND (default)	Offset binary	DCS disabled
AVDD	Twos complement	DCS enabled

表16. 出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode	OR
VIN+ - VIN-	< -VREF - 0.5 LSB	0000 0000 0000	1000 0000 0000	1
VIN+ - VIN-	= -VREF	0000 0000 0000	1000 0000 0000	0
VIN+ - VIN-	= 0	1000 0000 0000	0000 0000 0000	0
VIN+ - VIN-	= +VREF - 1.0 LSB	1111 1111 1111	0111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5 LSB	1111 1111 1111	0111 1111 1111	1

デジタル出力カインェブル機能 (OEB)

AD9627 は、柔軟性の高いデジタル出力ピンのスリーステート機能を備えています。SMI SDO/OEB ピンまたは SPI インターフェースを使用して、スリーステート・モードをイネーブルします。SMI SDO/OEB ピンをローレベルにすると、出力データ・ドライバがイネーブルされます。SMI SDO/OEB ピンをハイレベルにすると、出力データ・ドライバはハイ・インピーダンス状態に設定されません。この OEB 機能は、データ・バスへの高速アクセスを目的にしているものではありません。OEB はデジタル電源 (DRVDD) を基準とするため、電源電圧を超えないようにしてください。

SPI インターフェースの使用時には、レジスタ 0x14 の出力カインェブル・バー・ビットを使用して、各チャンネルのデータ出力と高速検出出力を個別にスリーステート状態に設定できます。

タイミング

AD9627 は、パイプライン遅延 12 クロック・サイクルのラッチされたデータを出力します。クロック信号のエッジが立ち上がった後で 1 伝播遅延 (t_{PD}) 経過後に、データ出力が有効になります。

AD9627 内部のトランジエントを削減するために、出力データ・ライン長と出力データ・ラインにかかる負荷を最小限に抑える必要があります。これらのトランジエントは、コンバータの動的性能を低下させるおそれがあります。

AD9627 の最小変換レートは、代表値で 10 MSPS です。クロック・レートが 10 MSPS 以下の場合、動的性能が低下することがあります。

データ・クロック出力 (DCO)

AD9627 は、外部レジスタにデータを取り込むために使用される 2 つのデータ・クロック出力 (DCO) 信号を供給します。SPI を使用して DCO クロックの極性を変更していない限り、データ出力は DCO の立上がりエッジで有効になります。このタイミングの説明については、図 2 と図 3 を参照してください。

ADCのオーバーレンジおよびゲイン制御

レシーバ・アプリケーションでは、コンバータがクリップされる直前の瞬間を高い信頼性で判別するメカニズムを備えることが望まれます。標準的なオーバーフロー・インジケータは、アナログ入力の状態に関する事後情報を出力するため、有用性が限られています。したがって、フルスケールよりも低いプログラマブル・スレッシュホールドを設定して、クリップが実際に発生する前にゲインを下げる時間を確保することが効果的です。さらに、入力信号のスルーレートがきわめて高速になる可能性があるため、この機能の遅延も重要な懸念事項です。高度なパイプライン方式のコンバータは、遅延がきわめて大きくなる場合があります。妥当な方法としては、ADCの初段の出力ビットをこの機能のために使用することです。これらの出力ビットの遅延はきわめて小さく、また全体の分解能はそれほど重要ではありません。ピーク入力信号の代表値は、フルスケールからフルスケールよりも6~10 dB低いレベルまでの範囲です。3ビットまたは4ビットの出力は、この機能にとって十分な範囲と分解能を維持できます。

SPIポートを使用してスレッシュホールドを設定し、このスレッシュホールドを超えた時点でオーバーレンジ出力がアクティブになるように指定できます。信号がそのスレッシュホールドよりも低い間は、出力がローレベルに維持される必要があります。複数ピンのうち1本が、オーバーレンジ検出機能を現在使用しているユーザが使用する従来方式のオーバーレンジ・ピンとして機能するように、SPIポートを使用して高速検出出力を設定することも可能です。このモードのときは、コンバータの全12ビットが従来の方法でチェックされ、通常どおりにオーバーフローと定義された状態で出力がハイレベルになります。このいずれのモードでも、データの大きさ（データの符号は考慮されない）が状態の計算で考慮されます。スレッシュホールド検出は、望ましい範囲（信号レベル）から外れた正と負の信号に対して同等に応答します。

高速検出の概要

AD9627は、高速オーバーレンジ検出を容易にする回路を内蔵しているため、非常に柔軟な外部ゲイン制御機能を可能にします。各ADCは4本の高速検出（FD）出力ピンを使用して、ADC入力レベルの現在の状態に関する情報を出力します。レジスタ0x104の高速検出モード選択ビットと高速検出イネーブル・ビットを使用して、これらのピンの機能を設定できるため、内部データ経路のいくつかのポイントからレンジ情報を出力できます。プログラマブルなスレッシュホールド・レベルに従って、オーバーレンジまたはアンダーレンジの状態が発生していることを通知するように、これらの出力ピンを設定することも可能です。表17は、高速検出ピンについて選択可能な6つの設定を示します。

表17. 高速検出モード選択ビットの設定

Fast Detect Mode Select Bits (Register 0x104[3:1])	Information Presented on Fast Detect (FD) Pins of Each ADC ^{1,2}			
	FD[3]	FD[2]	FD[1]	FD[0]
000	ADC fast magnitude (see Table 18)			
001	ADC fast magnitude (see Table 19)			OR
010	ADC fast magnitude (see Table 20)	OR	F_LT	
011	ADC fast magnitude (see Table 20)	C_UT	F_LT	
100	OR	C_UT	F_UT	F_LT
101	OR	F_UT	IG	DG

¹ 高速検出ピンは、CMOSモード設定の場合にFD0A/FD0B~FD9A/FD9B、LVDSモード設定の場合にFD0+/FD0~FD9+/FD9+が使用されます。

² OR、C_UT、F_UT、F_LT、IG、DGの詳細については、「ADCオーバーレンジ (OR)」と「ゲイン・スイッチング」を参照してください。

ADC高速入力レベル

ADC高速入力レベルを出力するように、高速検出出力ピンを設定（高速検出モード選択ビットを0b000に設定）している場合に出力される情報は、わずか2クロック・サイクルの遅延で（CMOS出力モードの場合）コンバータの初段から出力されるADCの入力レベルを使用しています。この設定で高速検出出力ピンを使用すると、可能な限り早い時点でレベル表示情報が出力されます。この情報はデータ経路の初期段階で提供されるため、表示されるレベルに大きい不確実性が存在します。ADC高速入力レベルの公称値に加えて、表示されるレベルの不確実性を表18に示します。

表18. ADC高速入力レベルの公称値
(高速検出モード選択ビット = 000)

ADC Fast Magnitude on FD[3:0] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
0000	<-24	Minimum to -18.07
0001	-24 to -14.5	-30.14 to -12.04
0010	-14.5 to -10	-18.07 to -8.52
0011	-10 to -7	-12.04 to -6.02
0100	-7 to -5	-8.52 to -4.08
0101	-5 to -3.25	-6.02 to -2.5
0110	-3.25 to -1.8	-4.08 to -1.16
0111	-1.8 to -0.56	-2.5 to FS
1000	-0.56 to 0	-1.16 to 0

高速検出モード選択ビットを 0b001、0b010、0b011 のいずれかに設定すると、高速検出出力ピンのサブセットを使用できます。これらのモードでは、高速検出出力ピンの遅延が 6 クロック・サイクルになります。表 19 に、高速検出出力ピンを 0b001 に設定する (ADC 高速入力レベルが FD[3:1] ピンから出力される) 場合に該当する ADC の入力レベルを示します。

表19. ADC 高速入力レベルの公称値
(高速検出モード選択ビット = 001)

ADC Fast Magnitude on FD[3:1] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
000	<-24	Minimum to -18.07
001	-24 to -14.5	-30.14 to -12.04
010	-14.5 to -10	-18.07 to -8.52
011	-10 to -7	-12.04 to -6.02
100	-7 to -5	-8.52 to -4.08
101	-5 to -3.25	-6.02 to -2.5
110	-3.25 to -1.8	-4.08 to -1.16
111	-1.8 to 0	-2.5 to 0

高速検出モード選択ビットを 0b010 または 0b011 に設定する (ADC 高速入力レベルが FD[3:2] ピンから出力される) 場合は、LSB が出力されません。表 20 に、このモードでの入力範囲を示します。

表20. ADC 高速入力レベルの公称値
(高速検出モード選択ビット = 010 または 011)

ADC Fast Magnitude on FD[2:1] Pins	Nominal Input Magnitude Below FS (dB)	Nominal Input Magnitude Uncertainty (dB)
00	<-14.5	Minimum to -12.04
01	-14.5 to -7	-18.07 to -6.02
10	-7 to -3.25	-8.52 to -2.5
11	-3.25 to 0	-4.08 to 0

ADC オーバーレンジ (OR)

ADC の入力上でオーバーレンジが検出されると、ADC オーバーレンジ・インジケータがアサートされます。オーバーレンジ状態は ADC パイプラインの出力で判定され、これにより 12 ADC クロック・サイクル分の遅延が生じます。入力のオーバーレンジは、発生してから 12 クロック・サイクル経過後に、このビットによって通知されます。

ゲイン・スイッチング

AD9627 には、ダイナミック・レンジが大きいアプリケーションやゲイン・レンジング・コンバータが採用されているアプリケーションで役立つ回路が内蔵されています。この回路によって、上限スレッシュホールドと下限スレッシュホールドの設定が可能になるように、デジタル・スレッシュホールドを設定できます。高速検出モード選択ビット= 010 から高速検出モード選択ビット= 101 までは、各種組合せのゲイン・スイッチング・オプションに対応します。

このような使用の例として、特定の入力条件で ADC がフルスケールに到達しようとしている瞬間を検出するという使い方があります。この場合、ADC のオーバードライブを防止する減衰器を迅速に挿入するために使用可能なインジケータ出力が供給されます。

粗上限スレッシュホールド (C_UT)

粗上限スレッシュホールド・レジスタ (アドレス 0x105[2:0]) で設定されたレベルを ADC 高速入力レベルが超えると、粗上限スレッシュホールド・インジケータがアサートされます。この値は、ADC 高速入力レベル・ビット[2:0]と比較されます。粗上限スレッシュホールド値は、入力レベルが超過してから 2 クロック・サイクル後に出力されるため、入力信号レベルが高速に表示されます。表 21 に粗上限スレッシュホールド・レベルを示します。このインジケータは最低でも 2 ADC クロック・サイクルの間、または信号がスレッシュホールド・レベルよりも低下するまで、アサートされた状態に維持されます。

表21. 粗上限スレッシュホールド・レベル

Coarse Upper Threshold Register 0x105[2:0]	C_UT Is Active When Signal Magnitude Below FS Is Greater Than (dB)
000	<-24
001	-24
010	-14.5
011	-10
100	-7
101	-5
110	-3.25
111	-1.8

高精度上限スレッシュホールド (F_UT)

レジスタ 0x106 とレジスタ 0x107 の高精度上限スレッシュホールド・レジスタで設定された値を入力レベルが超えると、高精度上限スレッシュホールド・インジケータがアサートされます。この 13 ビット・スレッシュホールド・レジスタ値は、ADC の出力信号レベルと比較されます。この比較に伴って ADC のクロック遅延が発生しますが、コンバータの分解能に対応して正確な比較結果が出力されます。高精度スレッシュホールド・レベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

高精度下限スレッシュホールド (F_LT)

レジスタ 0x108 とレジスタ 0x109 の高精度下限スレッシュホールド・レジスタで設定された値よりも入力レベルが低下すると、高精度下限スレッシュホールド・インジケータがアサートされます。高精度下限スレッシュホールド・レジスタは、その値が ADC の出力信号レベルと比較される 13 ビット・レジスタです。この比較に伴って ADC のクロック遅延が発生しますが、コンバータの分解能に対応して正確な比較結果が出力されます。高精度スレッシュホールド・レベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

図 67 は、高精度上限スレッシュホールド・インジケータと高精度下限スレッシュホールド・インジケータの動作を示します。

インクリメンタル・ゲイン (IG) とデクリメンタル・ゲイン (DG)

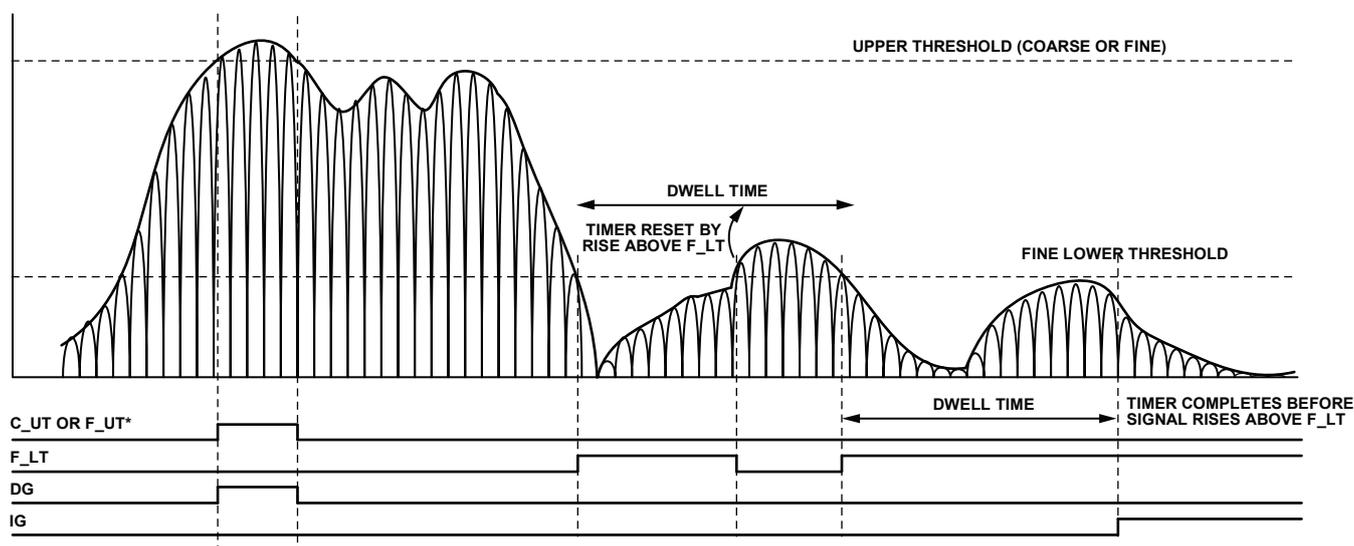
インクリメンタル・ゲイン・インジケータおよびデクリメンタル・ゲイン・インジケータの両方を使用して、外部ゲイン制御をイネーブルする情報を出力することができます。デクリメンタル・ゲイン・インジケータは、粗上限スレッシュホールド・ビットと関連して動作し、粗上限スレッシュホールド・レジスタ (アドレス 0x105) の 3 ビット値よりも入力レベルが高くなるとときにアサートされます。同様に、インクリメンタル・ゲイン・レジスタは高精度下限スレッシュホールド・ビットに対応しますが、ドウェル時間経過後に高精度下限スレッシュホールド・レジスタの設定値よりも入力レベルが低くなる場合に限りアサートされます。ドウェル時間は、アドレス 0x10A とアドレス 0x10B で指定された 16 ビットのドウェル時間値によって設定され、1 から 65,535 までの範囲の ADC 入力クロック・サイクルの単位で設定を行います。高精度下限スレッシュホールド・レジスタは、その値が ADC

の出力レベルと比較される 13 ビット・レジスタです。この比較に伴って ADC のクロック遅延が発生しますが、正確な比較結果が出力されます。高精度上限スレッシュホールド・レベルは、次の式で定義されます。

$$dBFS = 20 \log(\text{Threshold Magnitude}/2^{13})$$

デクリメンタル・ゲイン信号は、ADC 高速検出出力ピンから出力され、オーバーレンジ状態になった可能性があることを早期に通知します。インクリメンタル・ゲインは ADC の出力の比較を使用し、あらかじめ設定された時間、入力レベルが高精度に設定されたレベルよりも低い状態が続いた場合に、外部回路に対してゲインを増加するよう通知します。

図 67 は、インクリメンタル・ゲイン出力とデクリメンタル・ゲイン出力の動作を示します。



*C_UT AND F_UT DIFFER ONLY IN ACCURACY AND LATENCY.

NOTE: OUTPUTS FOLLOW THE INSTANTANEOUS SIGNAL LEVEL AND NOT THE ENVELOPE BUT ARE GUARANTEED ACTIVE FOR A MINIMUM OF 2 ADC CLOCK CYCLES.

06571-067

図67. C_UT、F_UT、IG、DG、F_LT のスレッシュホールド設定

信号モニタ

信号モニタ・ブロックは、ADC によってデジタル信号に変換される信号に関する追加情報を出力します。信号モニタは、RMS 入力振幅、ピーク振幅、入力振幅が特定のスレッシュホールドを超えるサンプル数を計算します。これらの機能を組み合わせて使用して、信号特性を十分に把握し、入力信号のピーク/平均比、または累積分布補関数 (CCDF) 曲線さえも計算できます。この情報を AGC ループの駆動に使用し、実際の信号が存在する条件下で ADC の入力範囲を最適化することも可能です。

SPI ポートを使用するか、または信号モニタの SPORT 出力を使用して、アドレス 0x116~0x11B の内部レジスタを読み出すことにより、信号モニタ結果の値を AD9627 から取得できます。信号モニタ・コントロール・レジスタの 2 つの信号モニタ・モード・ビットを使用して、SPI からアクセス可能な信号モニタ・レジスタの出力データを設定します。同じ信号モニタ・モードで両方の ADC チャンネルを設定する必要があります。SPI からアクセス可能な 20 ビットの信号モニタ結果 (SMR) レジスタが各 ADC チャンネル用として個別に用意されています。シリアル SPORT インターフェースを使用して、任意に組み合わせた信号モニタ機能を出力することも可能です。これらの出力をイネーブルするときは、信号モニタ SPORT コントロール・レジスタのピーク検出器出力イネーブル、RMS 振幅出力イネーブル、スレッシュホールド・クロス出力イネーブルの各ビットを使用します。

信号モニタ計測が行われるたびに、プログラマブル信号モニタ周期レジスタ (SMPR) が計測の継続時間を制御します。アドレス 0x113、アドレス 0x114、アドレス 0x115 の 24 ビット信号モニタ周期レジスタで、この期間を入力クロック・サイクル数として設定します。128 サンプルから 1,678 万 (2^{24}) サンプルまでの周期で、このレジスタを設定できます。

ADC の DC オフセットがモニタ対象信号よりも大幅に大きくなる場合があるため (これは信号モニタ結果に悪影響を及ぼします)、パワー計測の前に DC オフセットのゼロ調整を行う DC 補正回路が信号モニタ・ブロックの一部として含まれています。

ピーク検出器モード

設定可能な期間 (SMPR で設定) に入力ポート信号のレベルがモニタされ、ピーク検出値が得られます。この機能をイネーブルするには、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットでロジック 1 を設定するか、または信号モニタ SPORT コントロール・レジスタでピーク検出器出力イネーブル・ビットを設定します。このモードをアクティブにする前に、24 ビット SMPR の設定を行う必要があります。

このモードをイネーブルした後で、SMPR の値がモニタ周期タイマにロードされ、カウントダウンが開始されます。入力信号のレベルが内部ピーク・レベル保持レジスタ (ユーザによるアクセスは不可能) の値と比較され、この 2 つのうち大きい方の値が最新のピーク・レベルとして更新されます。ピーク・レベル保持レジスタの初期値は、その時点の ADC 入力信号レベルに設定されます。モニタ周期タイマがカウント 1 に達するまで、この比較が継続されます。

モニタ周期タイマがカウント 1 に達すると、13 ビットのピーク・レベル値が信号モニタ保持レジスタ (ユーザによるアクセスは不可能) に転送され、SPI ポートを介してこれを読み出すか、または SPORT シリアル・インターフェースを通して出力できます。その後で、SMPR の値がモニタ周期タイマに再ロードされ、カウントダウンが再開されます。さらに、最初の入力サンプルのレベ

ルがピーク・レベル保持レジスタで更新され、上述のように比較と更新の手順が継続されます。

図 68 に、ピーク検出器ロジックのブロック図を示します。SMR には、ピーク検出器ロジックによって検出されたピークの絶対レベルが格納されます。

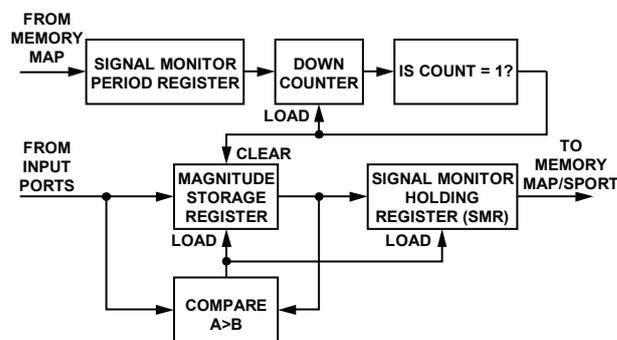


図68. ADC 入力ピーク検出器のブロック図

RMS/MS 振幅モード

このモードでは、設定可能な期間 (SMPR で設定) に入力ポート信号の実効値 (RMS) または平均 2 乗値 (MS) 振幅が (アキュムレータの加算によって) 積分され、入力信号の RMS または MS 振幅が得られます。このモードを設定するときは、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットでロジック 0 を設定するか、または信号モニタ SPORT コントロール・レジスタで RMS 振幅出力イネーブル・ビットを設定します。このモードをアクティブにする前に、積分の実行期間を表す 24 ビット SMPR の設定を行う必要があります。

RMS/MS 振幅モードをイネーブルした後で、SMPR の値がモニタ周期タイマにロードされ、カウントダウンが直ちに開始されます。各入力サンプルが浮動小数点のフォーマットに変換されて、2 乗されます。その後で、11 ビットの固定小数点フォーマットに変換され、24 ビット・アキュムレータのデータに加算されます。モニタ周期タイマがカウント 1 に達するまで、この積分が継続されます。

モニタ周期タイマがカウント 1 に達すると、アキュムレータ値の平方根が求められて、何らかのフォーマットの実行後に信号モニタ保持レジスタに転送され、SPI ポートを介してこれを読み出すか、または SPORT シリアル・ポートを介して出力できます。その後で、SMPR の値がモニタ周期タイマに再ロードされ、カウントダウンが再開されます。さらに、最初の入力サンプルの信号パワーがアキュムレータで更新され、次の入力サンプルの累算が継続されます。

図 69 に、RMS 振幅モニタリング・ロジックを示します。

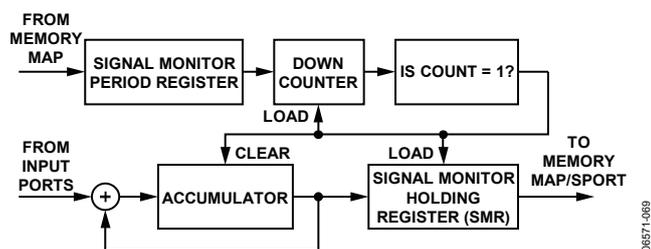


図69. ADC入力RMS振幅モニタリングのブロック図

RMS 振幅モードのときは、信号モニタリング結果 (SMR) の値が 20 ビットの固定小数点値になります。次の式を使用して、レジスタの MAG 値から RMS 振幅を dBFS の単位で求めることが可能です。信号モニタ周期 (SMP) が 2 の累乗である場合は、次式の 2 番目の項が 0 になります。

$$RMS\ Magnitude = 20 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{\text{ceil}[\log_2(SMP)]}} \right]$$

MS 振幅モードでは、SMR の値が 20 ビットの固定小数点値になります。次の式を使用して、レジスタの MAG 値から MS 振幅を dBFS の単位で求めることが可能です。SMP が 2 の累乗である場合は、次式の 2 番目の項が 0 になります。

$$MS\ Magnitude = 10 \log \left(\frac{MAG}{2^{20}} \right) - 10 \log \left[\frac{SMP}{2^{\text{ceil}[\log_2(SMP)]}} \right]$$

スレッシュヨールド・クロス・モード

スレッシュヨールド・クロス動作モードのときは、設定可能な期間 (SMR で設定) に入力ポート信号のレベルがモニタされ、これが特定のプログラマブル・スレッシュヨールド値を超える回数がカウントされます。このモードを設定するときは、信号モニタ・コントロール・レジスタの信号モニタ・モード・ビットでロジック 1x (x はドント・ケア・ビット) を設定するか、または信号モニタ SPORT コントロール・レジスタでスレッシュヨールド・クロス出力イネーブル・ビットを設定します。このモードをアクティブにする前に、24 ビット SMR と各入力ポート個別の 13 ビット上限スレッシュヨールド・レジスタの設定を行う必要があります。信号モニタリングとゲイン制御には、ともに同じ上限スレッシュヨールド・レジスタを使用します (「ADC のオーバーレンジおよびゲイン制御」を参照)。

このモードに入った後で、SMR の値がモニタ周期タイマにロードされ、カウントダウンが開始されます。各入力クロック・サイクルごとに入力信号のレベルが上限スレッシュヨールド・レジスタ (設定済み) の値と比較されます。入力信号のレベルが上限スレッシュヨールド・レジスタ値よりも大きければ、内部カウント・レジスタが 1 だけインクリメントします。

内部カウント・レジスタの初期値は 0 に設定されます。この比較と内部カウント・レジスタのインクリメントは、モニタ周期タイマがカウント 1 に達するまで続行されます。

モニタ周期タイマがカウント 1 に達すると、内部カウント・レジスタ値が信号モニタ保持レジスタに転送され、SPI ポートを介してこれを読み出すか、または SPORT シリアル・ポートを通して出力できます。

その後で、SMR レジスタ値がモニタ周期タイマに再ロードされ、カウントダウンが再開されます。内部カウント・レジスタも 0 にクリアされます。図 70 に、スレッシュヨールド・クロス・ロジックを示します。SMR レジスタ値は、入力レベルがスレッシュヨールド・レジスタ値よりも大きいサンプル数です。

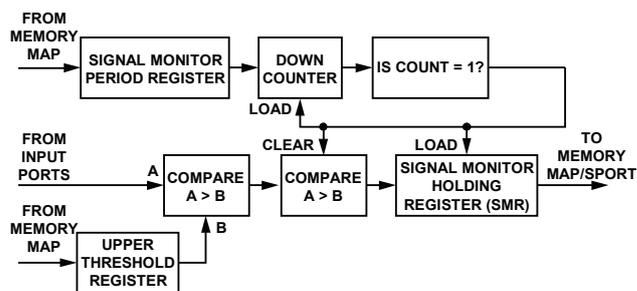


図70. ADC入力スレッシュヨールド・クロスのブロック図

追加コントロール・ビット

信号モニタリング処理の柔軟性を高めるために、信号モニタ・コントロール・レジスタには、信号モニタ・イネーブル・ビットと複素パワー計算モード・イネーブル・ビットの 2 つのコントロール・ビットが用意されています。

信号モニタ・イネーブル・ビット

レジスタ 0x112 のビット 0 として割り当てられている信号モニタ・イネーブル・ビットは、信号モニタ・ブロックの動作をイネーブルします。特定のアプリケーションで信号モニタ機能が不要な場合は、消費電力を節約するために、このビットをクリア (デフォルト) してください。

複素パワー計算モード・イネーブル・ビット

このビットを設定すると、チャンネル A で複素入力信号の I データをデジタル化し、チャンネル B で Q データをデジタル化します (またはその逆)。このモードでレポートされるパワーは、次の式から求められる数値に等しくなります。

$$\sqrt{I^2 + Q^2}$$

信号モニタ・モード・ビットを 00 に設定すると、この結果はチャンネル A の信号モニタ DC 値レジスタに格納されます。チャンネル B の信号モニタ DC 値レジスタは、チャンネル B の値の計算を続行します。

DC 補正

ADC の DC オフセットが計測対象信号よりも大幅に大きくなる場合があるため、パワー計測の前に DC オフセットをゼロ調整する DC 補正回路が用意されています。この DC 補正回路をメインの信号経路内に切り替えることも可能ですが、GSM などのように大きい DC 成分を含む経時変動信号を ADC でデジタル化する場合、この方法は適切ではありません。

DC 補正帯域幅

DC 補正回路は、帯域幅を設定可能な (125 MSPS で 0.15 Hz~1.2 kHz の範囲内で選択可能) ハイパス・フィルタです。帯域幅を制御するときは、レジスタ 0x10C として割り当てられた 4 ビット DC 補正レジスタのビット[5:2]に書き込みを行います。

次の式を用いて、DC 補正回路の帯域幅を計算できます。

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2 \times \pi}$$

ここで、

k はレジスタ 0x10C のビット[5:2]で設定する 4 ビット値です (k として 0~13 の値が有効です。14 または 15 を設定した場合、13 の設定時と同じ結果になります)。

f_{CLK} は AD9627 ADC のサンプル・レートです (Hz 単位)。

DC 補正読出し

最新の DC 補正值をチャンネル A のレジスタ 0x10C とレジスタ 0x10E、およびチャンネル B のレジスタ 0x10F とレジスタ 0x110 から読出できます。DC 補正值は、ADC の全入力範囲に対応可能な 12 ビット値です。

DC 補正フリーズ

レジスタ 0x10C のビット 6 を設定すると、その時点の状態 DC 補正が凍結され、DC 補正值として最後に更新された値の使用が継続されます。このビットをクリアすると、DC 補正が再開され、最新の計算値がデータに追加されます。

DC 補正イネーブル・ビット

レジスタ 0x10C のビット 0 を設定すると、DC 補正が信号モニタ計算に使用されるようにイネーブルされます。レジスタ 0x10C のビット 1 を設定して、DC 補正計算値を出力データ信号経路に追加できます。

信号モニタ SPORT 出力

SPORT は、SMI SCLK (SPORT クロック)、SMI SDFS (SPORT フレーム同期)、SMI SDO (SPORT データ出力) の 3 本の出力ピンで構成されるシリアル・インターフェースです。SPORT はマスターとして、これらの 3 本の SPORT 出力ピンをすべてチップ上で駆動します。

SMI SCLK

SMI SCLK の立上がりエッジでデータおよびフレーム同期が駆動されます。SMI SCLK は、3 つのボーレート設定が可能です。つまり、SPORT コントロールに基づいて、ADC クロック・レートの 1/2、1/4、1/8 のいずれかに設定できます。データをまったく送信しないときに、SPORT SMI SCLK スリープ・ビットを使用して、SMI SCLK をゲートオフすることも可能です。SMI SCLK が不要なときに、このビットを使用して SMI SCLK をディスエーブルすると、混入誤差がシステム内部の問題であることが判明している場合に、信号経路に混入する誤差のすべてを削減できます。この設定には、クロックの周波数成分が拡散するという欠点があります。したがって、周波数計画が容易になるように、必要に応じてクロックを動作状態に維持してください。

SMI SDFS

SMI SDFS はシリアル・データ・フレーム同期信号であり、フレームの開始を指定します。1 つの SPORT フレームには、両方のデータ・パスからのデータが含まれます。データ・パス A からのデータがフレーム同期の直後に送信され、その後データ・パス B からのデータが送信されます。

SMI SDO

SMI SDO は、ブロックのシリアル・データ出力です。このデータは、SMI SDFS の後の次の立上がりエッジで MSB ファーストで送信されます。各データ出力ブロックには、両方のデータ・パスから送信された 1 つまたは複数の RMS 振幅、ピーク・レベル、スレッシュールド・クロスの値がこの順番で含まれます。これをイネーブルすると、図 71 に示すように最初に RMS 振幅、次にピーク・レベル、スレッシュールド・クロスの順番でデータが送信されます。

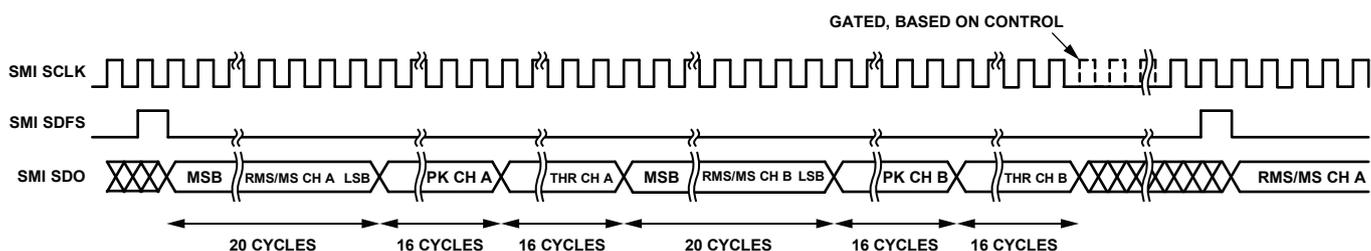


図71. 信号モニタ SPORT 出力のタイミング (RMS 振幅、ピーク・レベル、スレッシュールド・クロスをイネーブル)

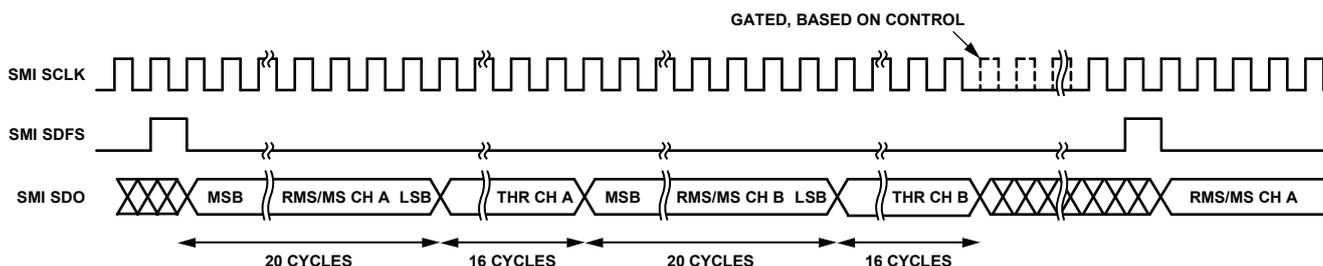


図72. 信号モニタ SPORT 出力のタイミング (RMS 振幅とスレッシュールド・クロスをイネーブル)

組込みセルフテスト (BIST) および出力テスト

AD9627には、各チャンネルの品質を検証するとともに、ボード・レベルのデバッグを容易にする組込みテスト機能が内蔵されています。AD9627のデジタル・データ・パスの品質を検証するBIST(組込みセルフテスト)機能が含まれています。AD9627の出力に予測可能な値を割り当てる各種の出力テスト・オプションも用意されています。

組込みセルフテスト (BIST)

BISTは、AD9627の選択された信号経路のデジタル部分を対象とする完全なテストです。これをイネーブルすると、内部の疑似ランダム(PN)ソースからADCブロック出力で始まるデジタル・データ・パスまでのテストが実行されます。BISTシーケンスは512サイクル実行された後で停止します。チャンネルAまたはチャンネルBのBIST符号定数値がレジスタ0x024とレジスタ0x025に格納されます。1つのチャンネルを選択すると、そのBIST符号定数値がこれらの2個のレジスタに書き込まれます。両方のチャンネルを選択すると、チャンネルAからの結果がBIST符号定数レジスタに格納されます。

このテストの実行中に出力の接続が切断されないため、PNシーケンスをその実行中に観察できます。レジスタ0x0Eのビット2の設定値に基づいて、PNシーケンスをその最後の値から続行するか、または最初から開始することができます。BIST符号定数の結果は、チャンネルの設定に応じて異なります。

出力テスト・モード

出力テスト・オプションを表25に示します。出力テスト・モードをイネーブルすると、ADCのアナログ回路部とデジタル・バックエンド・ブロック間の接続が切断され、出力フォーマッティング・ブロックを通過するまでテスト・パターンが実行されます。テスト・パターンによっては、出力フォーマットの設定が行われるものもあれば、その設定が行われないものもあります。レジスタ0x0Dのビット4またはビット5を設定することにより、PNリセット・ビットを使用してジェネレータをリセット・モードに維持すると、PNシーケンス・テストのシード値を強制設定できます。アナログ信号を使用するか、または使用せずに、これらのテストを実行できます(アナログ信号が存在する場合は無視されます)、テストにはエンコード・クロックが必要です。詳細については、アプリケーション・ノートAN-877『Interfacing to High Speed ADCs via SPI』を参照してください。

チャンネル／チップの同期

AD9627は、内部ブロックを同期させるための柔軟性の高い同期オプションを使用できるようにする SYNC 入力を備えています。クロック分周器同期機能は、複数の ADC 間でのサンプル・クロックの同期の保証に役立ちます。SYNC 入力を使用して信号モニタ・ブロックを同期させることも可能であるため、指定した期間中に入力信号の特性を計測できます。同期信号が 1 回発生するとき、または同期信号が発生するたびに、クロック分周器が同期するようにイネーブルすることができます。信号モニタ・ブロックは、SYNC 入力信号が発生するたびに同期します。

SYNC 入力は内部でサンプル・クロックと同期しますが、複数のデバイス間でタイミングの不確実性が存在しないことを保証するために、SYNC 入力信号を外部で入力クロック信号と同期させて、表 8 に示すセットアップ時間とホールド時間を満たす必要があります。シングルエンドの CMOS タイプ信号を使用して、SYNC 入力を駆動してください。

シリアル・ポート・インターフェース (SPI)

AD9627 のシリアル・ポート・インターフェース (SPI) は ADC 内部のレジスタを介して、特定の機能または動作を実行するようにコンバータを設定することができます。これにより、アプリケーションに応じてさらに高い柔軟性とカスタマイズ性を確保できます。シリアル・ポートを介してアドレスにアクセスし、シリアル・ポートを通してアドレスの書き込みまたは読出しを行うことが可能です。メモリは、さらにフィールドに分割可能なバイトで構成されますが、この説明は「メモリ・マップ」に記載しています。この動作に関する詳細については、アプリケーション・ノート AN-877『Interfacing to High Speed ADCs via SPI』を参照してください。

SPI を使用した設定

この ADC の SPI は、SCLK/DFS ピン、SDIO/DCS ピン、CSB ピンの 3 本のピンで定義されます (表 22 を参照)。SCLK/DFS (シリアル・クロック) は、ADC の入出力データの読出しおよび書き込みの同期に使用されます。SDIO/DCS (シリアル・データ入出力) は、ADC 内部のメモリ・マップ・レジスタのデータを読み書きする 2 つの目的を持つピンです。CSB (チップ・セレクト・バー) は、読出しおよび書き込みサイクルをイネーブルまたはディスエーブルするアクティブ・ローの制御ピンです。

表 22. シリアル・ポート・インターフェース・ピン

Pin	Function
SCLK	Serial Clock. The serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO	Serial Data Input/Output. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip Select Bar. An active-low control that gates the read and write cycles.

SCLK の立上がりエッジと CSB の立下がりエッジの組み合わせで、フレーミングの開始が決定されます。シリアル・タイミングの例とその定義を図 73 と表 8 に示しています。

CSB が関係するその他のモードも使用できます。CSB を固定的にローレベルに維持して、デバイスを常時イネーブル状態にすることが可能です。これをストリーミングと呼びます。バイトの転送後に次のバイトが転送されるまでの間に CSB をハイレベルにして、さらに外部タイミングを追加することができます。CSB をハイレベルに設定すると、SPI 機能がハイ・インピーダンス・モードになります。このモードでは、すべての SPI ピンの 2 つ目の機能がオンになります。

命令フェーズでは、16 ビットの命令が転送されます。データは命令フェーズの後ろに続き、データ長は W0 と W1 の各ビットによって指定されます。

データはすべて 8 ビット・ワードで構成されます。シリアル・データの各バイトの最初のビットは、読出しコマンドまたは書き込みコマンドのどちらが発行されるかを示します。これにより、シリアル・データ入出力 (SDIO) ピンの方向を入力から出力に変更します。

命令フェーズでは、ワード長に加えて、シリアル・フレームが読出しまたは書き込み動作のどちらであるかも指定されるため、チップのプログラミングとオンチップ・メモリのデータ読出しの両方にシリアル・ポートを使用できます。命令が読出し動作である場合に読出しを行うと、シリアル・フレームの適切なポイントでシリアル・データ入出力 (SDIO) ピンの方向が入力から出力に変化します。

MSB ファースト・モードまたは LSB ファースト・モードでデータを転送できます。MSB ファーストがパワーアップ時にデフォルト設定されますが、設定レジスタを使用してこれを変更することが可能です。この説明とその他の機能の詳細については、アプリケーション・ノート AN-877『Interfacing to High Speed ADCs via SPI』を参照してください。

ハードウェア・インターフェース

表 22 で説明するピンは、ユーザのプログラミング・デバイスと AD9627 のシリアル・ポートとの間の物理インターフェースを構成します。SPI インターフェースの使用時には、SCLK ピンと CSB ピンが入力として機能します。SDIO ピンは双方向であるため、書き込み時に入力として機能し、読出し時に出力として機能します。

SPI インターフェースは十分な柔軟性を備えているため、FPGA またはマイクロコントローラによる制御が可能です。SPI を設定する方法の 1 つを、アプリケーション・ノート AN-812『Microcontroller-Based Serial Port Interface (SPI) Boot Circuit』で詳しく述べています。

コンバータの最大動的性能が要求される期間中は、SPI ポートをアクティブにしないでください。SCLK 信号、CSB 信号、SDIO 信号は通常、ADC クロックと非同期であるため、これらの信号から発生するノイズがコンバータの性能を低下させることがあります。オンボードの SPI バスを他のデバイスに接続するときは、きわめて重要なサンプリングの実行中にこれらの信号がコンバータ入力で変化しないようにするために、このバスと AD9627 との間にバッファを設けることが必要になる場合があります。

SPI インターフェースを使用しないときには、一部のピンは他の機能に使用されます。これらのピンをデバイスのパワーオン時に AVDD またはグラウンドに接続すると、これらのピンが特定の機能を持つようになります。AD9627 上でサポートする選択可能な機能は、「デジタル出力」で説明しています。

SPI を使用しない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/DCS ピン、SCLK/DFS ピン、SMI SDO/OEB ピン、SMI SCLK/PDWN ピンが、独立した CMOS 互換の制御ピンとして使用されます。デバイスのパワーアップ時にこれらのピンは、デューティサイクル・スタビライザ、出力データ・フォーマット、出力イネーブル、パワーダウン機能をコントロールするスタティックな制御ラインとして使用されるものと見なされます。このモードでは、CSB チップ・セレクトを AVDD に接続して、シリアル・ポート・インターフェースをディスエーブルする必要があります。

表23. モード選択

Pin	External Voltage	Configuration
SDIO/DCS	AVDD (default)	Duty cycle stabilizer enabled
	AGND	Duty cycle stabilizer disabled
SCLK/DFS	AVDD	Twos complement enabled
	AGND (default)	Offset binary enabled
SMI SDO/OEB	AVDD	Outputs in high impedance
	AGND (default)	Outputs enabled
SMI SCLK/PDWN	AVDD	Chip in power-down or standby
	AGND (default)	Normal operation

SPI からアクセス可能な機能

SPI を介してアクセスできる一般的な機能について、次に簡単に説明します。これらの機能は、アプリケーション・ノート AN-877 『Interfacing to High Speed ADCs via SPI』で詳述されています。AD9627 の特定機能に関しては、表 25 の外部メモリ・マップ・レジスタ・テーブルの後で詳細に説明します。

表24. SPI を使用してアクセス可能な機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS via the SPI
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set up outputs
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage

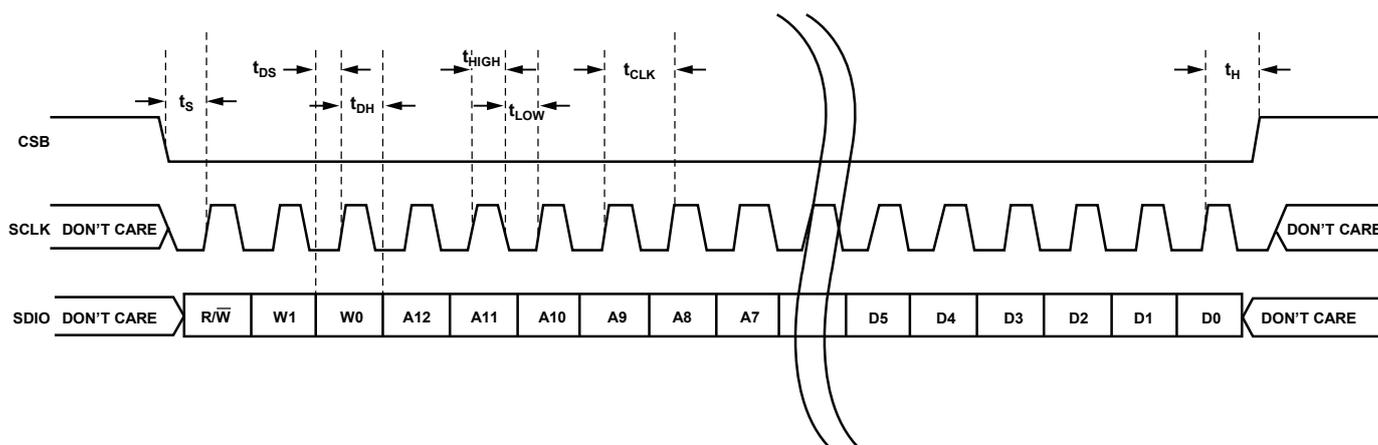


図73. シリアル・インターフェース・ポートのタイミング図

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読み方

メモリ・マップ・レジスタ・テーブルの各列には、8ビットのロケーションが記載されています。メモリ・マップは、チップ設定レジスタ（アドレス 0x00 からアドレス 0x02）、チャンネル・インデックスおよび送信レジスタ（アドレス 0x05 からアドレス 0xFF）、セットアップ/コントロール/テストを含む ADC 機能レジスタ（アドレス 0x08 からアドレス 0x25）、デジタル機能コントロール・レジスタ（アドレス 0x100 からアドレス 0x11B）の 4 つのセクションに大別されます。

メモリ・マップ・レジスタ・テーブル（表 25 を参照）の右側から左側の列の順に、各 16 進アドレス別に 16 進デフォルト値が記載されています。ビット 7 (MSB) の見出し欄から始めて、16 進デフォルト値が表記されています。たとえば、アドレス 0x18 の VREF 選択レジスタの 16 進デフォルト値は 0xC0 です。これはビット 7=1、ビット 6=1 で、その他のビットは 0 であることを意味します。これは、リファレンス電圧選択のデフォルト設定です。デフォルト値として、2.0 Vp-p のリファレンスが使用されます。この機能やその他の詳細については、アプリケーション・ノート AN-877『Interfacing to High Speed ADCs via SPI』を参照してください。これには、0x00 から 0xFF までのレジスタでコントロールされる機能が詳述されています。0x100 から 0x11B までのその他のレジスタについては、「メモリ・マップ・レジスタの説明」で解説しています。

オープン・ロケーション

表 25 に記載されていないすべてのアドレスとビット・ロケーションは、現在のところこのデバイスではサポートしていません。有効なアドレス・ロケーションの未使用ビットには、0 を書き込んでください。これらのロケーションの書き込みが必要となるのは、アドレス・ロケーションの欄がオープンになっている場合に限られます（たとえば、アドレス 0x18）。アドレス・ロケーション全体がオープンになっている場合は（たとえば、アドレス 0x13）、このアドレス・ロケーションに書き込みを行わないでください。

デフォルト値

重要度の高いレジスタには、AD9627 のリセット後にデフォルト値がロードされます。これらのレジスタのデフォルト値を表 25 のメモリ・マップ・レジスタ・テーブルに記載しています。

ロジック・レベル

ロジック・レベル用語の説明は、次のとおりです。

- 「ビットのセット」とは、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書き込む」ことと同じ意味です。
- 「ビットのクリア」とは、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書き込む」ことと同じ意味です。

送信レジスタ・マップ

0x08 から 0x18 までのアドレスは、シャドウレジスタです。これらのアドレスに書き込みを行ってもアドレス 0xFF に 0x01 を書き込んで送信ビットを設定して、送信コマンドを発行するまでは、デバイスの動作に適用されません。したがって、これらのレジスタは送信ビットがセットされると同時に内部で更新されます。送信ビットが設定された時点で内部更新が実行され、その後、送信ビットは自動的にクリアされます。

特定チャンネル・レジスタ

信号モニタ・スレッシュホールドなどの一部のチャンネル設定機能を各チャンネルで異なるように設定できます。このような場合は、チャンネル・アドレス・ロケーションが各チャンネル別に内部で複製されます。これらのレジスタは、表 25 のパラメータ名の欄でローカル・レジスタと指定されます。レジスタ 0x05 の該当するチャンネル A またはチャンネル B ビットをセットすることにより、これらのローカル・レジスタにアクセスできます。

両方のビットをセットした後で書き込みを行うと、これは両方のチャンネルのレジスタに適用されます。読出しサイクルでは、チャンネル A またはチャンネル B のいずれか一方のみをセットして、2 個のレジスタのうち 1 つから読出しを行ってください。SPI 読出しサイクルで両方のビットをセットすると、デバイスはチャンネル A の値を返します。表 25 のパラメータ名の欄でグローバルと指定されているレジスタは、チャンネル間で個別の設定を行うことができない場合に、デバイス全体または特定チャンネルの機能を設定するために使用されます。レジスタ 0x05 の設定は、グローバル・レジスタおよびビットには適用されません。

メモリ・マップ・レジスタ・テーブル

表 25 に記載されていないすべてのアドレスとビット・ロケーションは、現在のところこのデバイスに対応していません。

表25. メモリ・マップ・レジスタ

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
Chip Configuration Registers											
0x00	SPI Port Configuration (Global)	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so LSB-first mode or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID (Global)	8-bit Chip ID[7:0] (AD9627 = 0x12) (default)								0x12	Read only
0x02	Chip Grade (Global)	Open	Open	Speed grade ID 00 = 150 MSPS 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS	Open	Open	Open	Open	Open		Speed grade ID used to differentiate devices; read only
Channel Index and Transfer Registers											
0x05	Channel Index	Open	Open	Open	Open	Open	Open	Data Channel B (default)	Data Channel A (default)	0x03	Bits are set to determine which device on the chip receives the next write command; applies to local registers only
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave
ADC Functions											
0x08	Power Modes	Open	Open	External power-down pin function (global) 0 = pdwn 1 = stndby	Open	Open	Open	Internal power-down mode (local) 00 = normal operation 01 = full power-down 10 = standby 11 = normal operation		0x00	Determines various generic modes of chip operation
0x09	Global Clock (Global)	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer (default)	0x01	
0x0B	Clock Divide (Global)	Open	Open	Open	Open	Open	Clock divide ratio 000 = divide by 1 001 = divide by 2 010 = divide by 3 011 = divide by 4 100 = divide by 5 101 = divide by 6 110 = divide by 7 111 = divide by 8			0x00	Clock divide values other than 000 automatically cause the duty cycle stabilizer to become active
0x0D	Test Mode (Local)	Open	Open	Reset PN23 gen	Reset PN9 gen	Open	Output test mode 000 = off (default) 001 = midscale short 010 = positive FS 011 = negative FS 100 = alternating checkerboard 101 = PN 23 sequence 110 = PN 9 sequence 111 = one/zero word toggle			0x00	When this register is set, the test data is placed on the output pins in place of normal data

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x0E	BIST Enable (Local)	Open	Open	Open	Open	Open	Reset BIST sequence	Open	BIST enable	0x00	
0x10	Offset Adjust (Local)	Open	Open	Offset adjust in LSBs from +31 to -32 (twos complement format)						0x00	
0x14	Output Mode	Drive strength 0 V to 3.3 V CMOS or ANSI LVDS; 1 V to 1.8 V CMOS or reduced LVDS (global)	Output type 0 = CMOS 1 = LVDS (global)	Open	Output enable bar (local)	Open	Output invert (local)	00 = offset binary 01 = twos complement 10 = gray code 11 = offset binary (local)		0x00	Configures the outputs and the format of the data
0x16	Clock Phase Control (Global)	Invert DCO clock	Open	Open	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles			0x00	Allows selection of clock delays into the input clock divider
0x17	DCO Output Delay (Global)	Open	Open	Open	DCO clock delay (delay = 2500 ps × register value/31) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps					0x00	
0x18	VREF Select (Global)	Reference voltage selection 00 = 1.25 V p-p 01 = 1.5 V p-p 10 = 1.75 V p-p 11 = 2.0 V p-p (default)		Open	Open	Open	Open	Open	Open	0xC0	
0x24	BIST Signature LSB (Local)	BIST Signature[7:0]								0x00	Read only
0x25	BIST Signature MSB (Local)	BIST Signature[15:8]								0x00	Read only
Digital Feature Control											
0x100	Sync Control (Global)	Signal monitor sync enable	Open	Open	Open	Open	Clock divider next sync only	Clock divider sync enable	Master sync enable	0x00	
0x104	Fast Detect Control (Local)	Open	Open	Open	Open	Fast Detect Mode Select[2:0]			Fast detect enable	0x00	
0x105	Coarse Upper Threshold (Local)	Open	Open	Open	Open	Open	Coarse Upper Threshold[2:0]			0x00	
0x106	Fine Upper Threshold Register 0 (Local)	Fine Upper Threshold[7:0]								0x00	
0x107	Fine Upper Threshold Register 1 (Local)	Open	Open	Open	Fine Upper Threshold[12:8]					0x00	
0x108	Fine Lower Threshold Register 0 (Local)	Fine Lower Threshold[7:0]								0x00	

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
0x109	Fine Lower Threshold Register 1 (Local)	Open	Open	Open	Fine Lower Threshold[12:8]					0x00	
0x10A	Increase Gain Dwell Time Register 0 (Local)	Increase Gain Dwell Time[7:0]								0x00	In ADC clock cycles
0x10B	Increase Gain Dwell Time Register 1 (Local)	Increase Gain Dwell Time[15:8]								0x00	In ADC clock cycles
0x10C	Signal Monitor DC Correction Control (Global)	Open	DC correction freeze	DC Correction Bandwidth[3:0]			DC correction for signal path enable	DC correction for signal monitor enable		0x00	
0x10D	Signal Monitor DC Value Channel A Register 0 (Global)	DC Value Channel A[7:0]									Read only
0x10E	Signal Monitor DC Value Channel A Register 1 (Global)	Open	Open	DC Value Channel A[13:8]							Read only
0x10F	Signal Monitor DC Value Channel B Register 0 (Global)	DC Value Channel B[7:0]									Read only
0x110	Signal Monitor DC Value Channel B Register 1 (Global)	Open	Open	DC Value Channel B[13:8]							Read only
0x111	Signal Monitor SPORT Control (Global)	Open	RMS/MS magnitude output enable	Peak detector output enable	Threshold crossing output enable	SPORT SMI SCLK divide 00 = undefined 01 = divide by 2 10 = divide by 4 11 = divide by 8		SPORT SMI SCLK sleep	Signal monitor SPORT output enable	0x04	
0x112	Signal Monitor Control (Global)	Complex power calculation mode enable	Open	Open	Open	Signal monitor rms/ms select 0 = rms 1 = ms	Signal monitor mode 00 = rms/ms magnitude 01 = peak detector 10 = threshold crossing 11 = threshold crossing		Signal monitor enable	0x00	
0x113	Signal Monitor Period Register 0 (Global)	Signal Monitor Period[7:0]								0x80	In ADC clock cycles
0x114	Signal Monitor Period Register 1 (Global)	Signal Monitor Period[15:8]								0x00	In ADC clock cycles
0x115	Signal Monitor Period Register 2 (Global)	Signal Monitor Period[23:16]								0x00	In ADC clock cycles
0x116	Signal Monitor Result Channel A Register 0 (Global)	Signal Monitor Result Channel A[7:0]									Read only

Addr (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x117	Signal Monitor Result Channel A Register 1 (Global)	Signal Monitor Result Channel A[15:8]									Read only
0x118	Signal Monitor Result Channel A Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Value Channel A[19:16]					Read only
0x119	Signal Monitor Result Channel B Register 0 (Global)	Signal Monitor Result Channel B[7:0]									Read only
0x11A	Signal Monitor Result Channel B Register 1 (Global)	Signal Monitor Result Channel B[15:8]									Read only
0x11B	Signal Monitor Result Channel B Register 2 (Global)	Open	Open	Open	Open	Signal Monitor Result Channel B[19:16]					Read only

メモリ・マップ・レジスタの説明

レジスタ 0x00 からレジスタ 0xFF までを使用して制御する機能の詳細については、アプリケーション・ノート AN-877 『Interfacing to High Speed ADCs via SPI』を参照してください。

同期コントロール (レジスタ 0x100)

ビット 7—信号モニタ同期イネーブル

ビット 7 は、外部 SYNC 入力から信号モニタ・ブロックに送信される同期パルスをイネーブルします。ビット 7 とビット 0 がハイレベルのときに、同期信号が転送されます。これは連続同期モードです。

ビット [6:3]—予約済み

ビット 2—クロック分周器で次の同期のみ使用

マスター同期イネーブル・ビット (アドレス 0x100、ビット 0) とクロック分周器同期イネーブル・ビット (アドレス 0x100、ビット 1) がハイレベルのときに、ビット 2 を使用して、クロック分周器が最初に受信する同期パルスに同期し、それ以外の同期パルスを無視するように設定できます。クロック分周器同期イネーブル・ビット (アドレス 0x100、ビット 1) は、同期の終了後にリセットされます。

ビット 1—クロック分周器同期イネーブル

ビット 1 は、同期パルスをクロック分周器に対してイネーブルします。ビット 1 とビット 0 がハイレベルのときに、同期信号が転送されます。これは連続同期モードです。

ビット 0—マスター同期イネーブル

同期機能のいずれかをイネーブルするときは、ビット 0 をハイレベルに設定してください。

高速検出コントロール (レジスタ 0x104)

ビット [7:4]—予約済み

ビット [3:1]—高速検出モード選択

これらのビットを使用して、高速検出出力ピンのモードを設定します (表 17 を参照)。

ビット 0—高速検出イネーブル

高速検出出力ピンをイネーブルするときに、このビットを使用します。高速検出出力ピンをディスエーブルすると、出力がハイ・インピーダンス状態になります。LVDS モードで出力がインターリーブされる場合は、両方のチャンネルがターンオフされている場合 (パワーダウン/スタンバイ/出力をディスエーブル) に限り、出力がハイ・インピーダンス状態になります。1 つのチャンネルのみがターンオフされている場合 (パワーダウン/スタンバイ/出力をディスエーブル)、高速検出出力ピンはアクティブなチャンネルのデータを繰り返します。

粗上限スレッショールド (レジスタ 0x105)

ビット [7:3]—予約済み

ビット [2:0]—粗上限スレッショールド

これらのビットは、粗上限スレッショールド通知のアサートに必要なレベルを設定します (表 21 を参照)。

高精度上限スレッショールド (レジスタ 0x106 とレジスタ 0x107)

レジスタ 0x106、ビット [7:0]—高精度上限スレッショールド [7:0]

レジスタ 0x107、ビット [7:5]—予約済み

レジスタ 0x107、ビット [4:0]—高精度上限スレッショールド [12:8]

これらのレジスタは、高精度上限スレッショールドを設定します。この 13 ビット値が ADC ブロックからの 13 ビット入力レベル値と比較されます。ADC の入力レベルがこのスレッショールド値を超えていれば、F_UT フラグがセットされます。

高精度下限スレッショールド (レジスタ 0x108 とレジスタ 0x109)

レジスタ 0x108、ビット [7:0]—高精度下限スレッショールド [7:0]

レジスタ 0x109、ビット [7:5]—予約済み

レジスタ 0x109、ビット [4:0]—高精度下限スレッショールド [12:8]

これらのレジスタは、高精度下限スレッショールドを設定します。この 13 ビット値が ADC ブロックからの 13 ビット入力レベル値と比較されます。ADC の入力レベルがこのスレッショールド値よりも小さければ、F_LT フラグがセットされます。

ゲイン増加ドウェル時間（レジスタ 0x10A とレジスタ 0x10B）

レジスタ 0x10A、ビット[7:0]—ゲイン増加ドウェル時間[7:0]
 レジスタ 0x10B、ビット[7:0]—ゲイン増加ドウェル時間[15:8]
 これらのレジスタは、ADC クロック・サイクルのドウェル時間を設定します。この時間以上、信号が高精度下限スレッシュヨールド値を下回ると、ゲイン増加出力がアサートされます。

信号モニタ DC 補正コントロール（レジスタ 0x10C）

ビット 7—予約済み

ビット 6—DC 補正フリーズ

ビット 6 をハイレベルに設定すると、信号モニタ・ブロックの DC 補正が更新されなくなります。このビットは、最後に計算された DC 値を保持します。

ビット[5:2]—DC 補正帯域幅

これらのビットは、パワー・モニタ DC 補正機能の平均化時間を設定します。この 4 ビット・ワードは、次式に従って補正ブロックの帯域幅を設定します。

$$DC_Corr_BW = 2^{-k-14} \times \frac{f_{CLK}}{2\pi}$$

上の式で、

k はレジスタ 0x10C のビット[5:2]で設定される 4 ビット値です (k として 0~13 の値が有効です。14 または 15 を設定した場合、13 の設定時と同じ結果になります)。

f_{CLK} は AD9627 ADC サンプル・レートです (Hz 単位)。

ビット 1—信号経路 DC 補正イネーブル

ビット 1 をハイレベルに設定すると、DC 計測ブロックの出力が信号経路のデータと加算されて、信号経路から DC オフセットが除去されます。

ビット 0—信号モニタ DC 補正イネーブル

ビット 0 は、信号モニタ・ブロックの DC 補正機能をイネーブルします。DC 補正は、信号の DC オフセットを除去するために信号モニタで使用することが可能な平均化機能です。この DC オフセットを計測値から除去すると、読出し値の精度が高くなります。

チャンネル A 信号モニタ DC 値（レジスタ 0x10D とレジスタ 0x10E）

レジスタ 0x10D、ビット[7:0]—チャンネル A の DC 値 [7:0]

レジスタ 0x10E、ビット[7:6]—予約済み

レジスタ 0x10E、ビット[5:0]—チャンネル A の DC 値[13:8]

これらの読出し専用レジスタは、チャンネル A について信号モニタによって最後に計算された DC オフセット値を保持します。

チャンネル B 信号モニタ DC 値（レジスタ 0x10F とレジスタ 0x110）

レジスタ 0x10F、ビット[7:0]—チャンネル B の DC 値[7:0]

レジスタ 0x110、ビット[7:6]—予約済み

レジスタ 0x110、ビット[5:0]—チャンネル B の DC 値[13:8]

これらの読出し専用レジスタは、チャンネル B について信号モニタによって最後に計算された DC オフセット値を保持します。

信号モニタ SPORT コントロール（レジスタ 0x111）

ビット 7—予約済み

ビット 6—RMS/MS 振幅出力イネーブル

これらのビットは、20 ビットの RMS または MS 振幅計測値を SPORT の出力としてイネーブルします。

ビット 5—ピーク検出器出力イネーブル

ビット 5 は、13 ビットのピーク計測値を SPORT の出力としてイネーブルします。

ビット 4—スレッシュヨールド・クロス出力イネーブル

ビット 4 は、13 ビットのスレッシュヨールド計測値を SPORT の出力としてイネーブルします。

ビット[3:2]—SPORT SMI SCLK 分周

これらのビット値で、入力クロックからの SPORT SMI SCLK 分周比を設定します。0x01 の値で 2 分周（デフォルト値）、0x10 の値で 4 分周、0x11 の値で 8 分周が設定されます。

ビット 1—SPORT SMI SCLK スリープ

ビット 1 をハイレベルに設定すると、信号モニタ・ブロックに転送データが存在しないときに、SMI SCLK がローレベルに維持されます。

ビット 0—信号モニタ SPORT 出力イネーブル

ビット 0 を設定すると、信号モニタの SPORT 出力がイネーブルされ、信号モニタ・ブロックからの結果データのシフト出力が開始されます。

信号モニタ・コントロール（レジスタ 0x112）

ビット 7—複素パワー計算モード・イネーブル

このモードでは、I データが一方のチャンネル上に存在し、Q データが他方のチャンネル上に存在すると見なします。レポートされる結果は、次の式に基づいて測定される複素パワーです。

$$\sqrt{I^2 + Q^2}$$

ビット[6:4]—予約済み

ビット 3—信号モニタ RMS/MS 選択

ビット 3 をローレベルに設定すると、RMS パワー計測モードが選択されます。ビット 3 をハイレベルに設定すると、MS パワー計測モードが選択されます。

ビット[2:1]—信号モニタ・モード

ビット 2 とビット 1 で、レジスタ 0x116 からレジスタ 0x11B までを使用して、信号モニタのデータ出力モードを設定します。ビット 2 とビット 1 を 0x00 に設定すると、RMS/MS 振幅出力が選択されます。これらのビットを 0x01 に設定すると、ピーク検出器出力が選択され、0x10 または 0x11 に設定すると、スレッシュヨールド・クロス出力が選択されます。

ビット 0—信号モニタ・イネーブル

ビット 0 をハイレベルに設定すると、信号モニタ・ブロックがイネーブルされます。

信号モニタ周期（レジスタ 0x113～レジスタ 0x115）

レジスタ 0x113、ビット[7:0]—信号モニタ周期[7:0]

レジスタ 0x114、ビット[7:0]—信号モニタ周期[15:8]

レジスタ 0x115、ビット[7:0]—信号モニタ周期[23:16]

この 24 ビット値は、信号モニタが実行するクロック・サイクル数を設定します。このレジスタの最小値は、128 サイクル（128 未満の値にプログラムされても 128 に戻ります。）

チャンネル A 信号モニタ結果（レジスタ 0x116～レジスタ 0x118）

レジスタ 0x116、ビット[7:0]—チャンネル A 信号モニタ結果[7:0]

レジスタ 0x117、ビット[7:0]—チャンネル A 信号モニタ結果[15:8]

レジスタ 0x118、ビット[7:4]—予約済み

レジスタ 0x118、ビット[3:0]—チャンネル A 信号モニタ結果[19:16]

この 20 ビット値には、チャンネル A について信号モニタリング・ブロックによって計算された結果が含まれます。このデータの内容は、レジスタ 0x112[2:1]の設定に応じて変化します。

チャンネル B 信号モニタ結果（レジスタ 0x119～レジスタ 0x11B）

レジスタ 0x119、ビット[7:0]—チャンネル B 信号モニタ結果[7:0]

レジスタ 0x11A、ビット 7:0]—チャンネル B 信号モニタ結果[15:8]

レジスタ 0x11B、ビット[7:4]—予約済み

レジスタ 0x11B、ビット[3:0]—チャンネル B 信号モニタ結果[19:16]

この 20 ビット値には、チャンネル B について信号モニタリング・ブロックによって計算された結果が含まれます。このデータの内容は、レジスタ 0x112[2:1]の設定に応じて変化します。

アプリケーション情報

設計のガイドライン

システムとして AD9627 の設計とレイアウトを行う前には、設計技術者は次のガイドラインに精通しておくことが推奨されます。このガイドラインは、特別な回路接続と特定のピンに対して要求されるレイアウト条件について説明したものです。

電源とグラウンドに関する推奨事項

AD9627 の電源接続を行う際には、2 つの異なる 1.8V 電源を使用することを推奨します。つまり、1 つの電源をアナログ (AVDD) およびデジタル (DVDD) 電源として使用し、もう 1 つの電源をデジタル出力 (DRVDD) 電源として使用します。同じ電圧源から供給される AVDD および DVDD 電源は、フェライト・ビーズまたはフィルタ・チョークを使用し、さらにデカップリング・コンデンサを外付けして分離してください。高周波と低周波の両方に対応するために、複数の異なるデカップリング・コンデンサを使用できます。これらのコンデンサは、配線パターン長を可能な限り短くして、PC ボード・レベルで入力ポイントの近くで、デバイスのピンに近接した場所に接続してください。

AD9627 の使用時には、1 枚の PC ボード・グラウンド・プレーンを用意するだけで十分です。PC ボードのアナログ、デジタル、クロックの各回路部に対して適切なデカップリングを行い、この各回路部を適切に分離すれば、最適な性能が容易に得られます。

LVDS 動作

AD9627 はパワーアップ時に、CMOS 出力モードにデフォルト設定されます。LVDS 動作が望ましい場合は、パワーアップ後に SPI 設定レジスタを使用して、このモードを設定する必要があります。LVDS 終端抵抗 (100 Ω) を出力に接続した状態で、AD9627 が CMOS モードでパワーアップすると、AD9627 が LVDS モードに設定されるまでに、DRVDD 電流がその代表値よりも高くなる場合があります。この DRVDD 電流の増加に伴って AD9627 が損傷を起こすことはありませんが、AD9627 の DRVDD 電流の最大値を検討する際に、この点を考慮に入れる必要があります。

DRVDD 電流の増加を回避するために、OEB ピンをハイレベルに設定して、パワーアップ時に AD9627 の出力をディスエーブルする方法があります。SPI ポートを介して AD9627 を LVDS モードに設定した後で、OEB ピンをローレベルに戻して、出力をイネーブルすることが可能です。

露出パドルの熱ヒート・スラグに関する推奨事項

最適な電気的および熱的性能を確保するためには、ADC の下側の露出パドルをアナログ・グラウンド (AGND) に接続することが必須条件です。PC ボード上のハンダ・マスクのない連続した銅プレーンを AD9627 の 0 番ピンである露出パドルに接続してください。

熱が PC ボードの底面を流れて拡散されるように、抵抗値が可能な限り小さい熱経路を確保するために、銅プレーンに複数のビアを設けてください。これらのビアには非導電性のエポキシを充填または埋め込みます。

ADC と PC ボードとの間の被覆率と密着性を最大限に高めるために、シルクスクリーンで被覆して、PC ボード上の連続プレーンを複数の均一な部分に分割してください。この処置を行うと、リフロー処理時に ADC と PC ボードとの間に密着ポイントがいくつか形成されます。分割部分のない 1 枚の連続プレーンを使用する場合には、ADC と PC ボードとの間で保証される密着ポイントは 1 つのみです。PC ボードのレイアウト例に関しては、評価用ボードを参考にしてください。チップ・スケール・パッケージのパッケージングと PC ボード・レイアウトに関する詳細については、アプリケーション・ノート AN-772『A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)』を参照してください。

CML

CML ピンは図 47 に示すように、0.1 μF のコンデンサをグラウンドとの間に接続してデカップリングしてください。

RBIAS

AD9627 では、RBIAS ピンとグラウンドとの間に 10 kΩ の抵抗を外付けする必要があります。この抵抗は ADC コアのマスター基準電流を設定するものであり、少なくとも 1% 誤差のものが必須です。

リファレンスのデカップリング

ESR の低い 1.0 μF のコンデンサ、および同様に ESR の低い 0.1 μF のセラミック・コンデンサを VREF ピンとグラウンドとの間に並列に接続して、VREF ピンを外部でデカップリングする必要があります。

SPI ポート

コンバータの最大動的性能が要求される期間中に、SPI ポートをアクティブにしないでください。SCLK、CSB、SDIO の各信号は一般に ADC クロックと非同期であるため、これらの信号から発生するノイズがコンバータの性能を低下させることがあります。オンボードの SPI バスが他のデバイスに接続される場合は、きわめて重要なサンプリング・サイクル中にこれらの信号がコンバータの入力で変化しないように、このバスと AD9627 との間にバッファを接続することが必要になる場合があります。

評価用ボード

AD9627 の評価用ボードには、さまざまなモードと設定で ADC を動作させるために必要な回路がすべて実装されています。コンバータは、ダブル・バラン構成（デフォルト）か、AD8352 差動ドライバを使用して、差動で駆動できます。シングルエンドで ADC を駆動することも可能です。DUT を AD8352 の駆動回路から分離するために、電源ピンが別に用意されています。各部品を適切に接続することによって、それぞれの入力構成を選択できます（図 75～図 92 を参照）。図 74 に、AD9627 の AC 性能を評価するために使用した代表的なベンチ特性のセットアップを示します。

コンバータが最適な性能を発揮するには、アナログ入力とクロックに使用する信号源の位相ノイズを特に低く（1 ps を大きく下回る rms ジッタ）することが重要です。規定のノイズ性能を実現するには、アナログ入力信号を適切にフィルタ処理して高調波成分を除去し、入力の集積ノイズや広帯域ノイズを削減することも必要です。

図 75～図 79 に、システム・レベルで適用しなければならない信号配線やグラウンド処理を紹介する詳細な回路図とレイアウト図を示します。

電源

評価用ボードには、最大 6 V、2 A の出力を供給する壁取付け可能なスイッチング電源が用意されています。この電源を定格値 100～240 V AC、47～63 Hz の壁コンセントに接続してください。電源の出力は、J16 で PC ボードに接続する内径 2.1 mm の円形ジャックです。PC ボード上で 6 V 電源にヒューズを付けて調整を行ってから、ボード上の各回路部にそれぞれ適切なバイアス電圧を供給する 6 個の低ドロップアウト・リニア・レギュレータに接続してください。

外部電源から評価用ボードを動作させるには、L1、L3、L4、L13 を取り外して、スイッチング電源から供給される電圧のレギュレータ接続を切断します。これにより、ボードの各部を個別にバイアスできます。各回路部で異なる電源を接続するときは P3 と P4 を使用してください。AVDD と DVDD には、1 A の電流能力を備える 1.8 V 電源が少なくとも 1 つ必要です。DRVDD には、1.8～3.3 V 電源を個別に用意することを推奨します。AD8352 を使用するオプションで評価用ボードを動作させるときは、1 A の電流能力を備える 5.0 V 電源（AMP VDD）が別途必要です。代替の SPI オプションを使用して評価用ボードを動作させるときは、その他の電源に加えて 3.3 V のアナログ電源（VS）が別途必要です。3.3 V 電源（VS）も 1 A の電流能力を備えるものとします。必要に応じてハンダ・ジャンパ SJ35 を使用して、AVDD と DVDD を分離できます。

入力信号

クロックとアナログ信号源を接続するには、Rohde & Schwarz SMA100A 信号発生器またはその同等品などの、位相ノイズの低いクリーンな信号発生器を使用してください。評価用ボードの接続には、1 m 長のシールドした RG-58、50 Ω の同軸ケーブルを使用します。ADC に所望の周波数と振幅の信号を入力してください。アナログ・デバイゼズの AD9627 評価用ボードは、クロックとして約 2.8 V p-p または 13 dBm のサイン波入力を受け入れます。アナログ入力信号源を接続するには、50 Ω 終端の多極、ナローバンドのバンドパス・フィルタを使用することを推奨します。このタイプのバンドパス・フィルタは TTE、Allen Avionics、K&L Microwave, Inc. から販売されています。可能であれば、フィルタを評価用ボードに直接接続してください。

出力信号

並列の CMOS 出力は、アナログ・デバイゼズの標準的な ADC データ・キャプチャ・ボード（HSC-ADC-EVALCZ）と直接接続します。ADC データ・キャプチャ・ボードとそのオプション設定の詳細については、www.analog.com/FIFO をご覧ください。

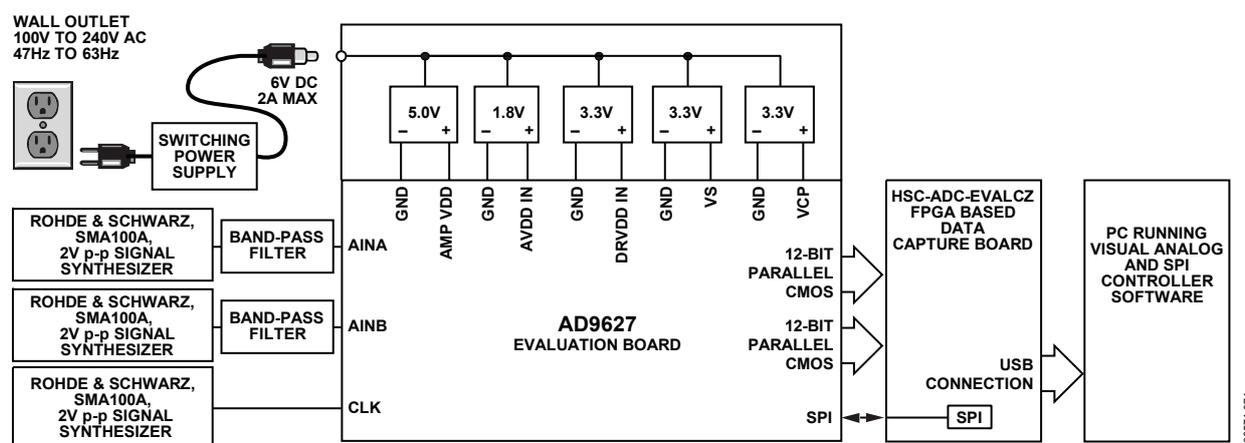


図74. 評価用ボードの接続

デフォルト動作とジャンパ選択の設定

AD9627 評価用ボード上で使用可能なデフォルトおよびオプションの設定またはモードを次に説明します。

電源

評価用キットに含まれるスイッチング電源を、定格値が 100～240 V AC、47～63 Hz のコンセントと P500 との間に接続します。

VIN

評価用ボードは、ダブル・バラコン構成のアナログ入力用に設定されており、70～200 MHz の周波数で最適な 50 Ω のインピーダンス・マッチングが可能です。帯域幅応答をさらに高くするには、アナログ入力間に接続された差動コンデンサを変更するか、または取り除いてください（表 13 を参照）。アナログ入力の同相電圧は、ADC の CML ピンを通してトランスのセンター・タップから生成されます（「アナログ入力に関する留意事項」を参照）。

VREF

ヘッダ J5 にジャンパ（1 番ピンと 2 番ピンの間）を追加し、SENSE ピンをグラウンドに接続することにより、VREF を 1.0 V に設定します。この設定によって、ADC は 2.0 V p-p のフルスケール・レンジで動作します。1.0 V p-p モード（VREF = 0.5 V）に ADC を設定する場合は、ヘッダ J4 のジャンパ配線を行います。評価用ボードには、外部リファレンス・オプションも別途用意されています。外部リファレンスを使用するには、J6（1 番ピンと 2 番ピンの間）を接続し、TP5 に外部リファレンスを供給します。VREF オプションの正しい使用法は、「リファレンス電圧」で詳述されています。

RBIAS

RBIAS の動作には、グラウンド間に 10 kΩ 抵抗（R503）を接続する必要があります。RBIAS を使用して、ADC コアのバイアス電流を設定します。

クロック

デフォルトのクロック入力回路は、クロック経路に追加されるジッタ量がきわめて小さい高帯域幅、インピーダンス比 1:1 のバラコン（T5）を使用する単純な構成のバラコン結合回路で駆動されます。クロック入力には 50 Ω に終端され AC 結合されることで、シングルエンドのサイン波入力に対応します。トランスはシングルエンド入力を差動信号に変換し、さらに差動信号はクリップされてから ADC のクロック入力に印加されます。AD9627 の入力クロック分周器を使用すると、コネクタ S5 を通して最大 625 MHz のクロック周波数を評価用ボードに入力できます。

PDWN

パワーダウン機能をイネーブルするには、J7 を接続して PDWN ピンを AVDD に短絡させます。

CSB

CSB ピンは内部でプルアップされることで、チップが外部ピン・モードになり、SDIO と SCLK の情報を無視するようになります。評価用ボード上の SPI 回路に CSB ピンの制御信号を接続する場合は、J21 の 1 番ピンと 2 番ピンを接続してください。

SCLK/DFS

SPI ポートが外部ピン・モードの場合は、SCLK/DFS ピンで出力のデータ・フォーマットを設定します。このピンをフローティング状態にすると、内部でプルダウンされ、デフォルトのデータ・フォーマット条件としてオフセット・バイナリが設定されます。J2 の 1 番ピンと 2 番ピンを接続すると、データ・フォーマットが 2 の補数に設定されます。SPI ポートがシリアル・ピン・モードの場合は、J2 の 2 番ピンと 3 番ピンを接続すると、ボード上の SPI 回路に SCLK ピンが接続されます（「シリアル・ポート・インターフェース（SPI）」を参照）。

SDIO/DCS

SPI ポートが外部ピン・モードの場合は、SDIO/DCS ピンでデューティサイクル・スタビライザを設定します。このピンがフローティング状態のときは、このピンが内部でプルアップされ、デフォルト条件として DCS イネーブルが設定されます。DCS をディスエーブルするには、J1 の 1 番ピンと 2 番ピンを接続します。SPI ポートがシリアル・ピン・モードの場合は、J1 の 2 番ピンと 3 番ピンを接続すると、ボード上の SPI 回路に SDIO ピンが接続されます（「シリアル・ポート・インターフェース（SPI）」を参照）。

その他のクロック設定

AD9627 の評価用ボードには、2 つの代替クロッキング・オプションがあります。最初のオプションは、オンボードの水晶発振器（Y1）を使用して、AD9627 にクロックを入力する方法です。この水晶発振器をイネーブルするには、抵抗 R8（0 Ω）と抵抗 R85（10 kΩ）を実装し、抵抗 R82 と抵抗 R30 を除去してください。

2 番目のクロック・オプションは、差動の LVPECL クロックを使用し、AD9516（U2）を使用して ADC 入力を駆動する方法です。この駆動オプションを使用するには、AD9516 チャージ・ポンプのフィルタ部品を実装する必要があります（図 79 を参照）。詳細は、AD9516 データシートをご覧ください。

ADC を直接駆動せずに、AD9516 のリファレンス入力を駆動するように、S5 からクロック入力を設定するには、次に示す部品の追加、削除、あるいは変更が必要です。

1. デフォルトのクロック経路にある R32、R33、R99、R101 を除去します。
2. 0.001 μF コンデンサの C78 と C79、0 Ω 抵抗の R78 と R79 をクロック経路に実装します。

さらに、未使用の AD9516 出力（1 つの LVDS と 1 つの LVPECL）が評価用ボードのオプション・コネクタ S8 から S11 に接続されるようになります。

その他のアナログ入力駆動構成

ここでは、AD8352を使用する、その他のアナログ入力駆動構成について簡単に説明します。この特別な駆動オプションを使用する場合は、いくつかの部品を追加実装する必要があります。AD8352 差動ドライバの動作方法とオプション・ピンの設定などの詳細については、AD8352のデータシートをご覧ください。

トランスを使用するデフォルトのオプションを選択せずに、AD8352によるアナログ入力駆動に設定する場合は、チャンネル A について次の部品の追加、削除、あるいは変更が必要です。チャンネル B については、該当部品の変更が必要です。

1. デフォルトのアナログ入力経路にある C1、C17、C18、C117 を除去します。
2. 0.1 μ F コンデンサの C8 と C9 をアナログ入力経路に実装します。AD8352 を差動入力モードで駆動するには、T10 トランス、R1、R37、R39、R126、R127 の各抵抗、C10、C11、C125 の各コンデンサを実装します。
3. オプションのローパス・フィルタを含む所望の部品をオプションのアンプ出力経路に実装します。0 Ω 抵抗の R44 と R48 を取り付けます。AD8352 にかかる出力インピーダンスを 200 Ω に増加させるために、R43 と R47 の値を大きくする必要があります (通常は 100 Ω) 。

回路図

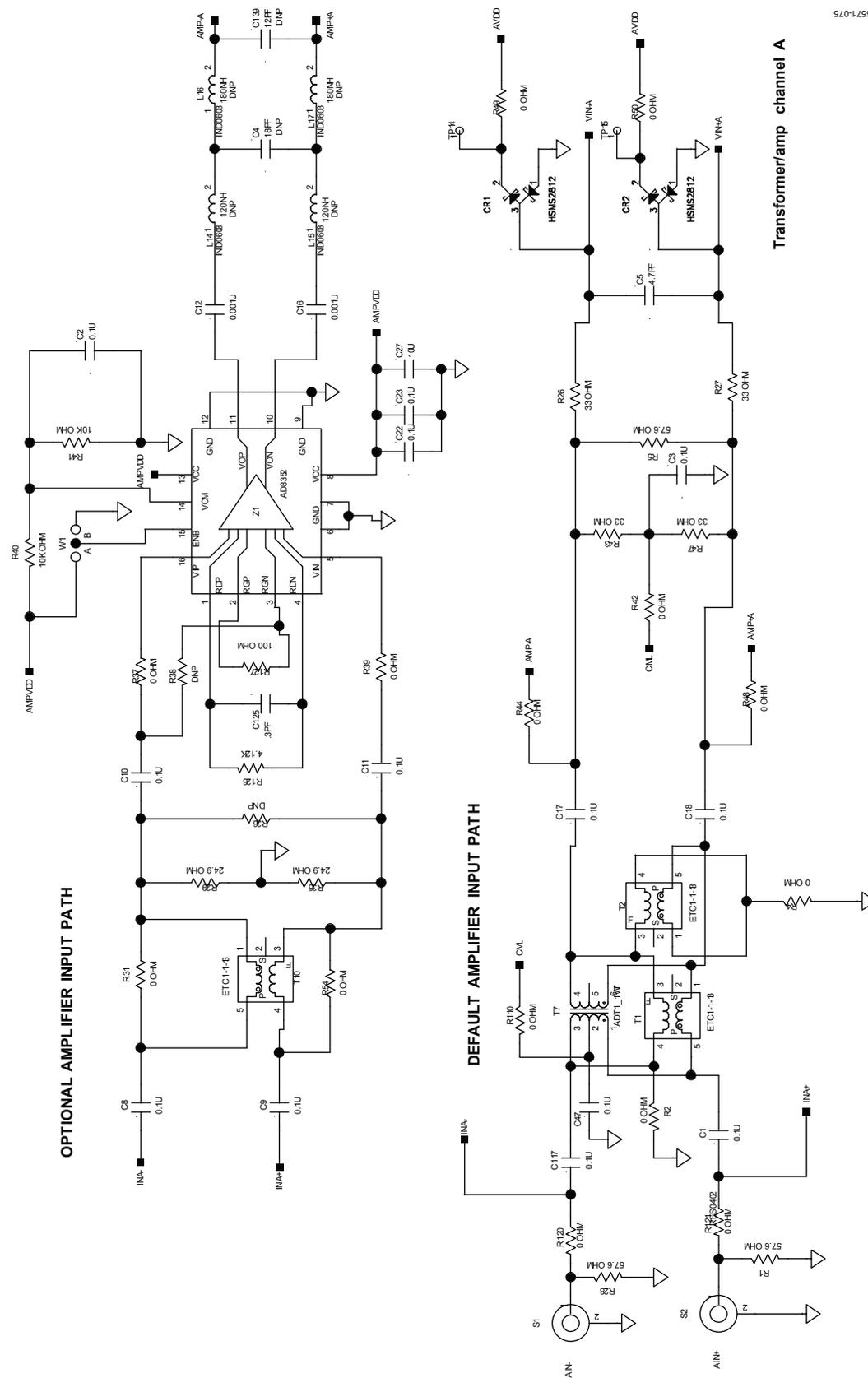


図75. 評価用ボード回路図 (チャンネルAのアナログ入力)

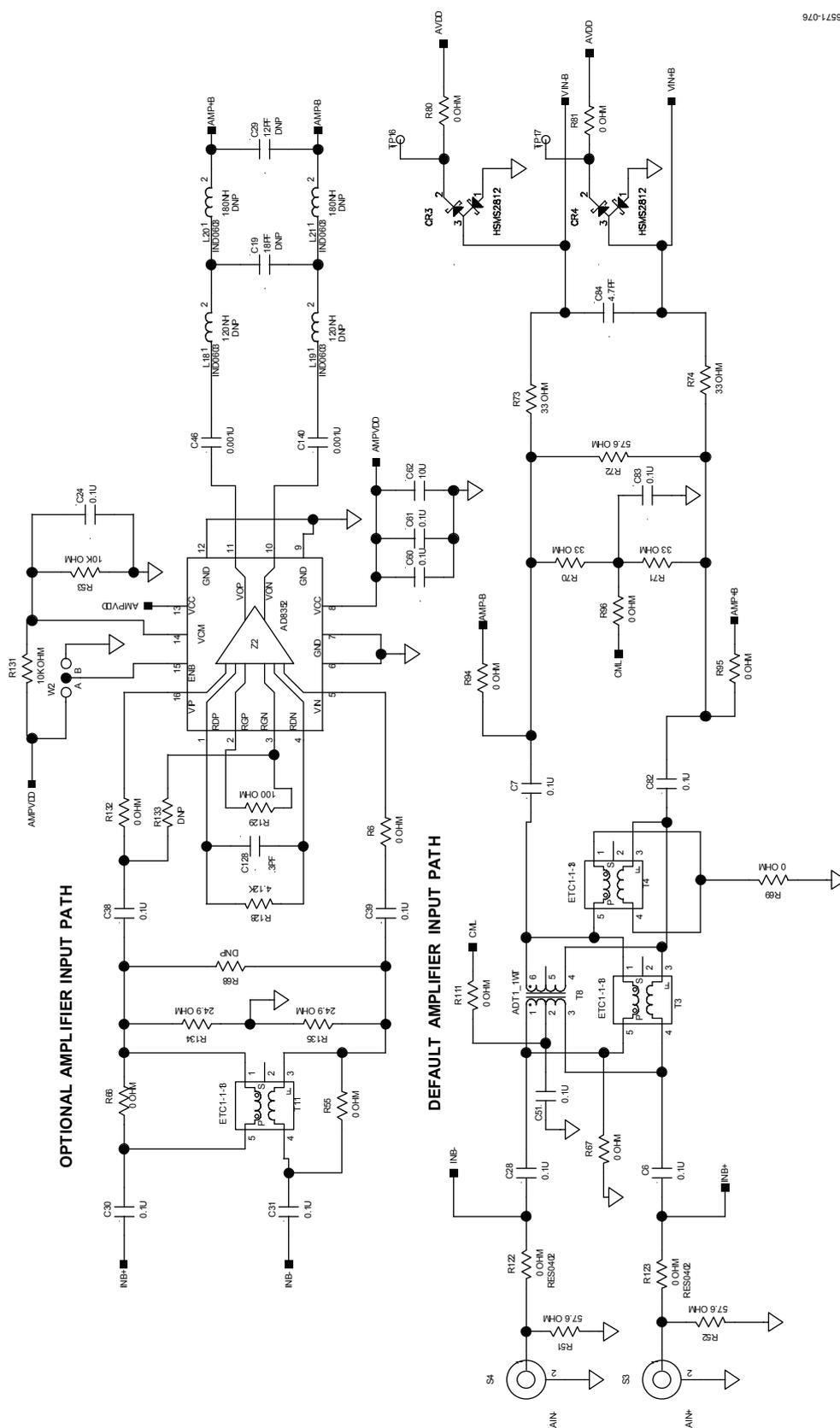


図76. 評価用ボード回路図 (チャンネル B のアナログ入力)

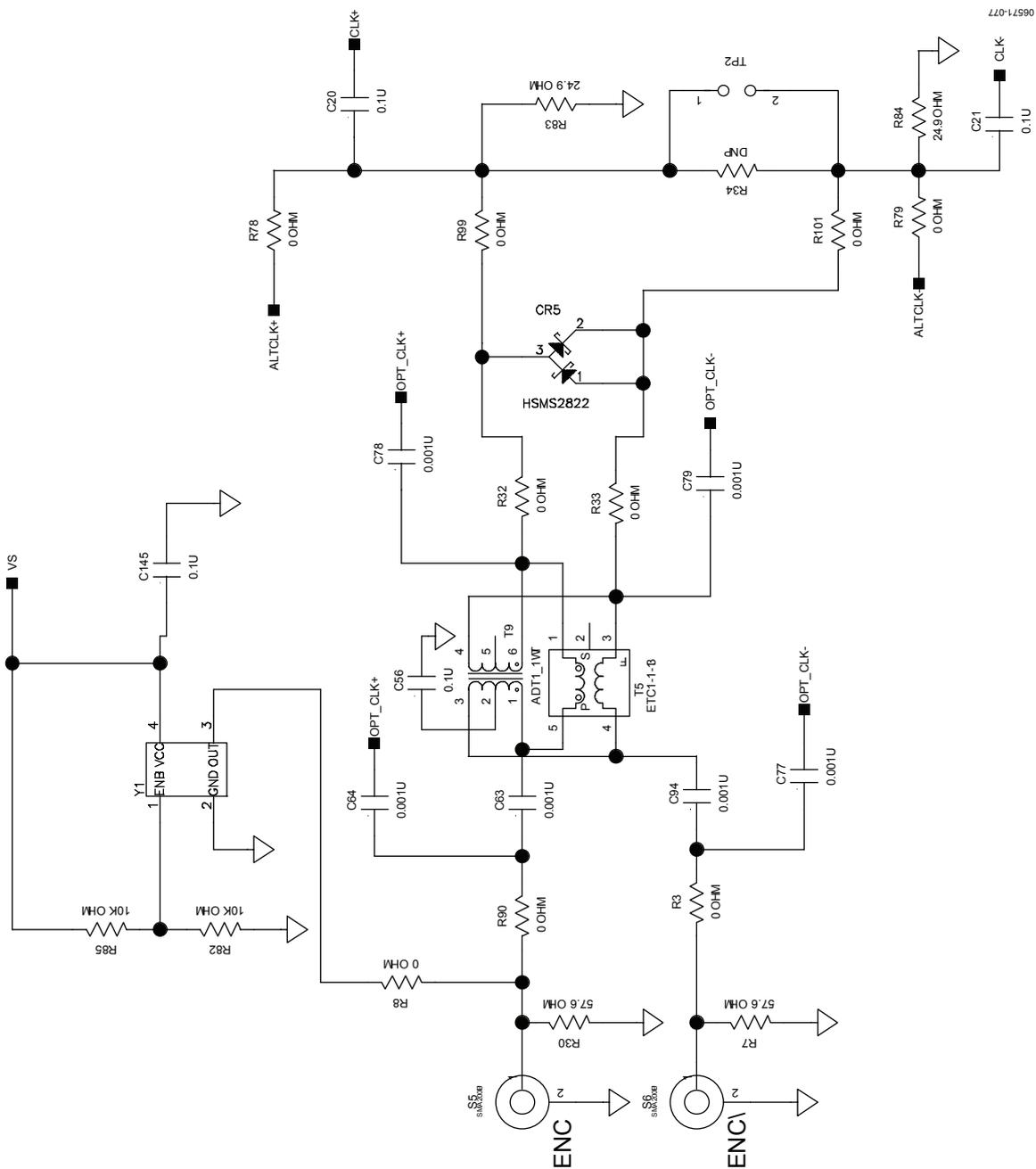


図77. 評価用ボード回路図 (DUTのクロック入力)

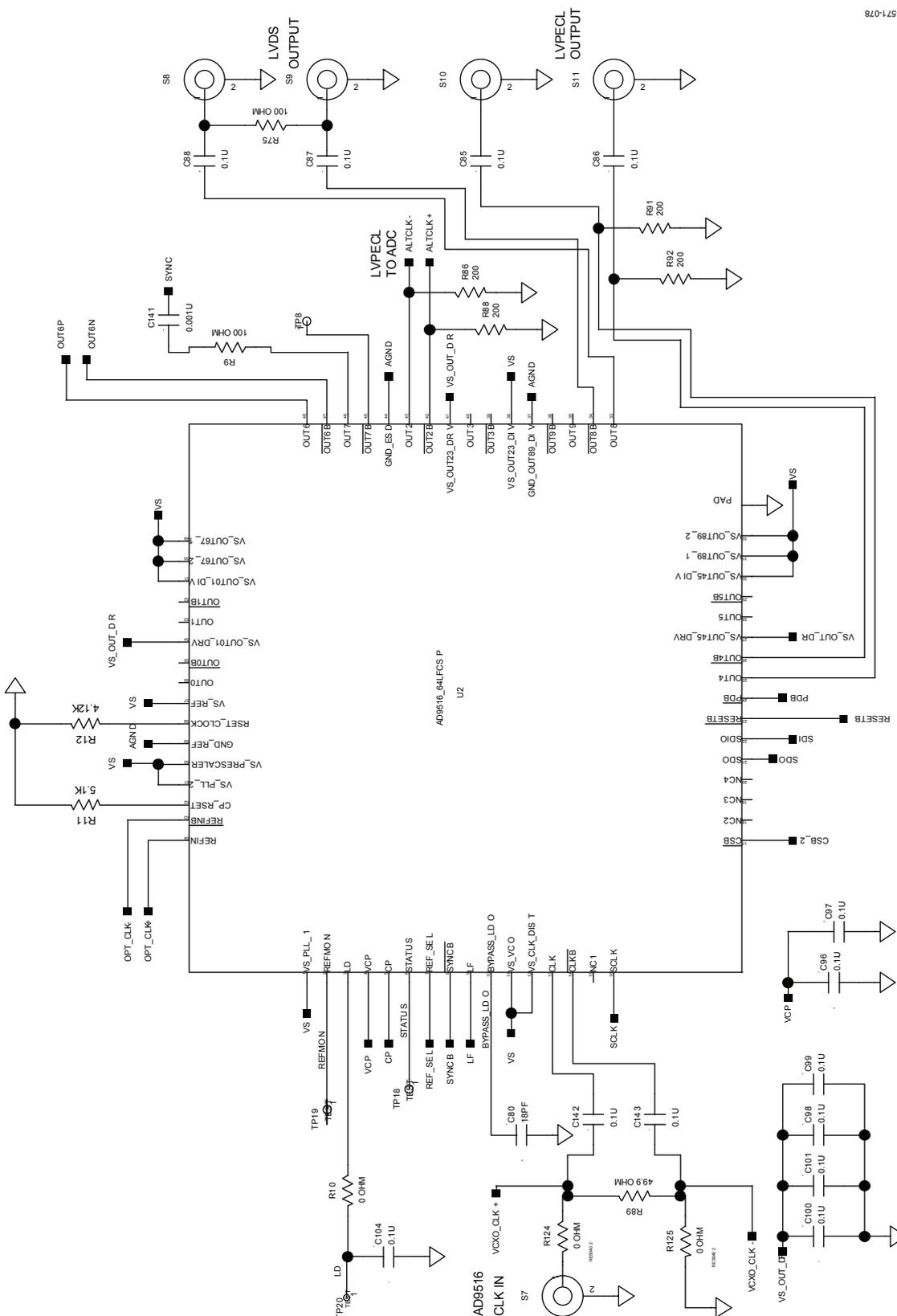


図78. 評価用ボード回路図 (オプションのAD9616クロック回路)

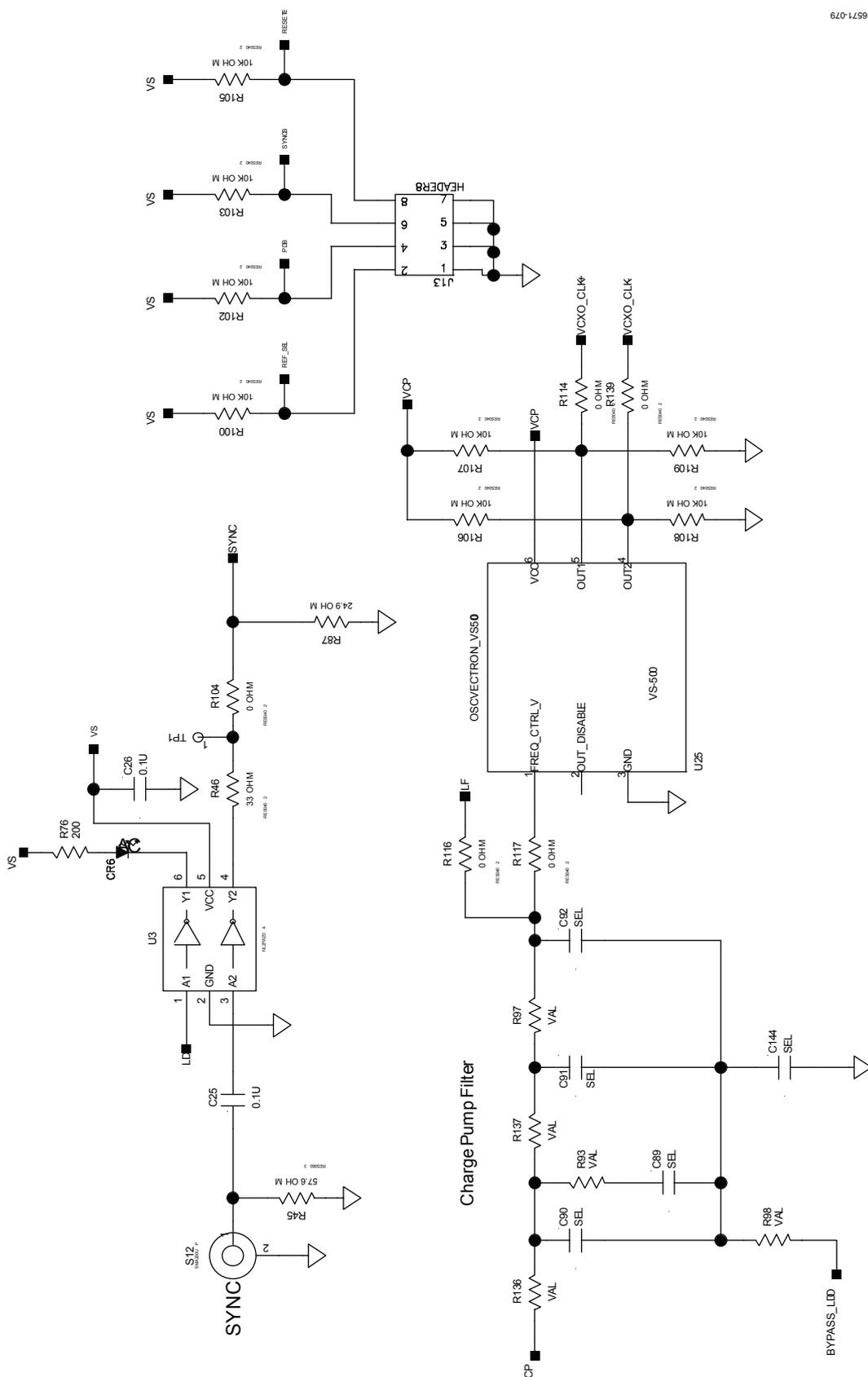


図79. 評価用ボード回路図 (オプションの AD9516 ループ・フィルタ/VCO および SYNC 入力)

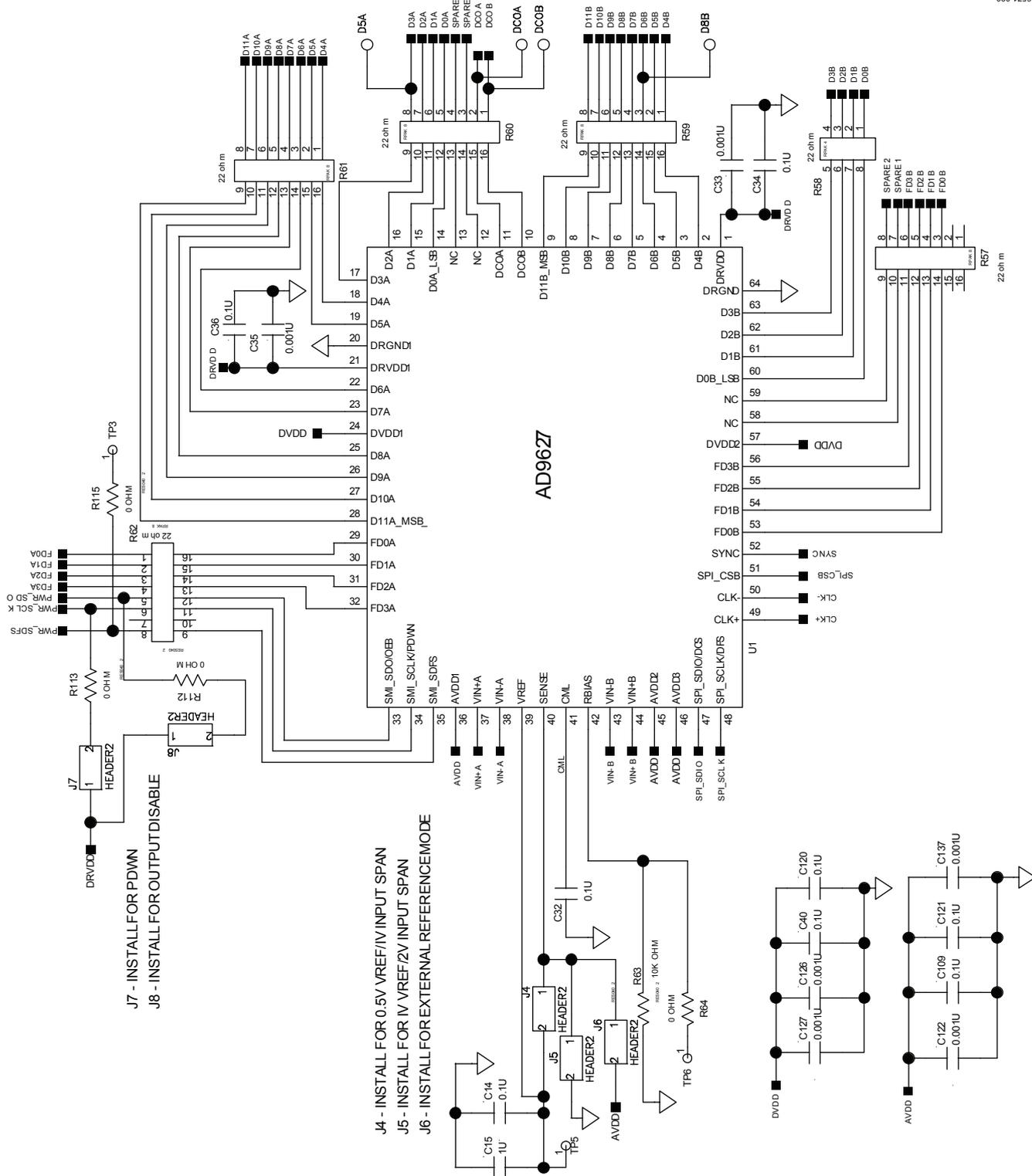


图80. 评价用单元回路图 (DUT)

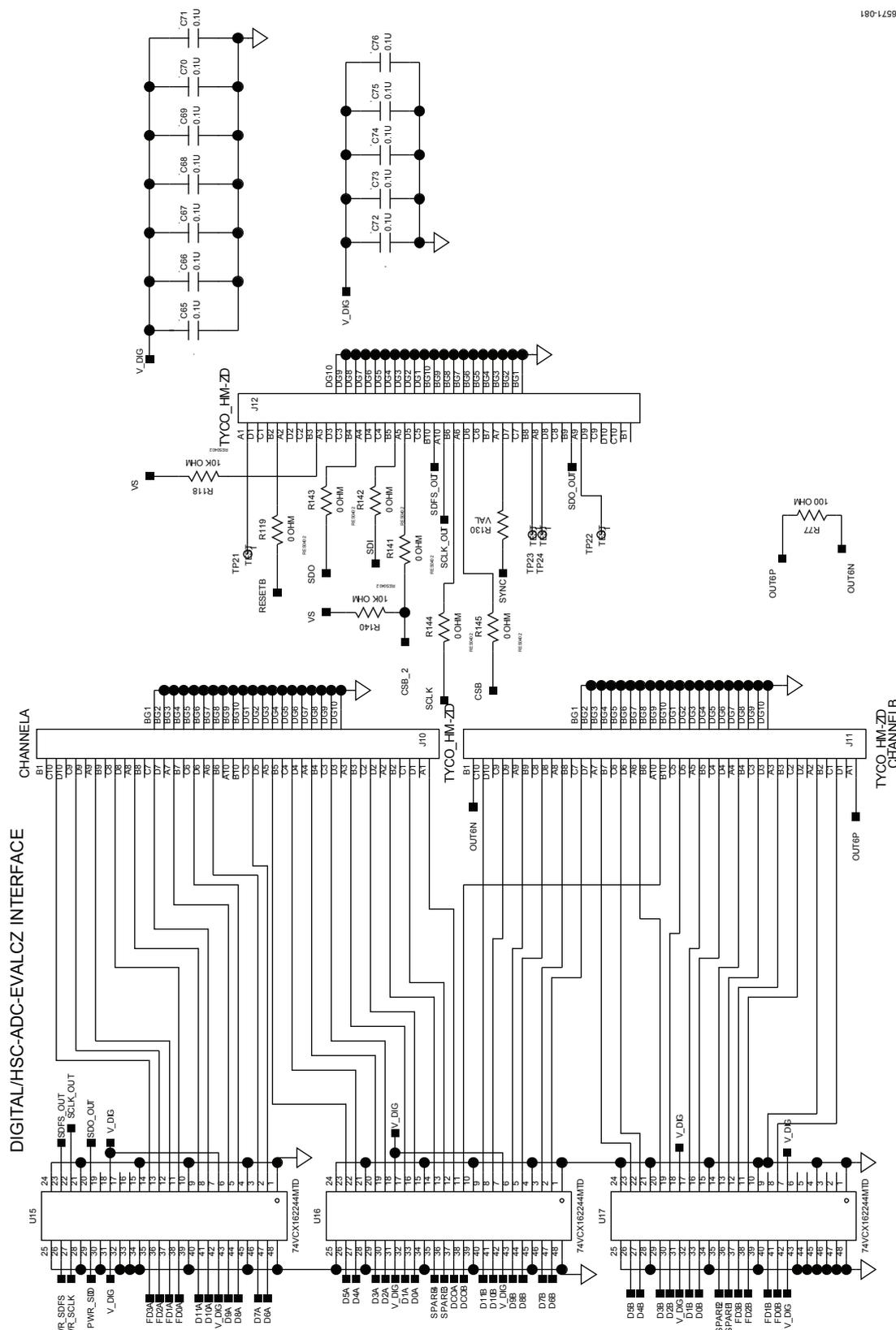


図81. 評価用ボード回路図 (デジタル出力インターフェース)

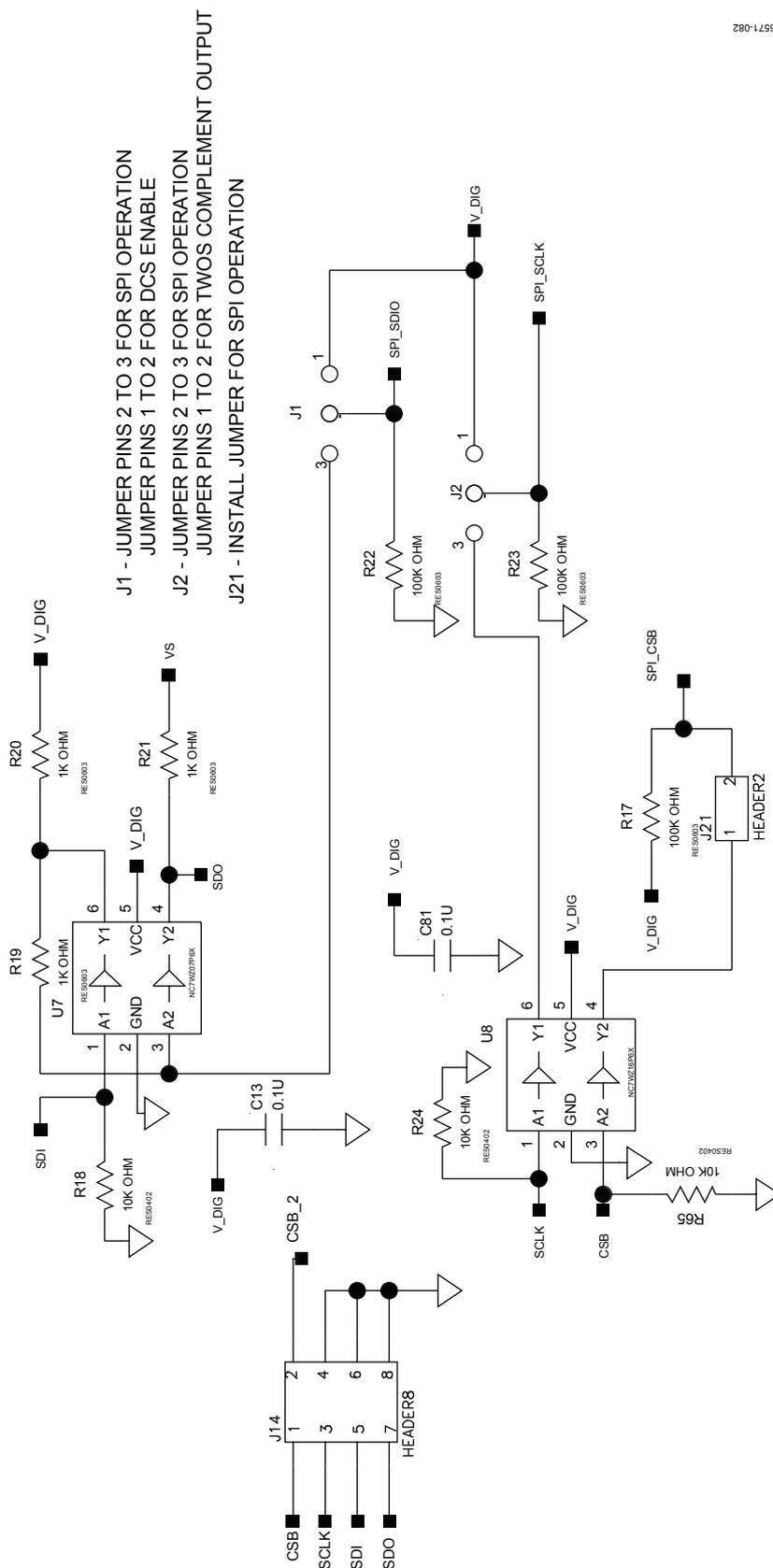


图82. 評価用ボード回路図 (SPI回路)

06571-083

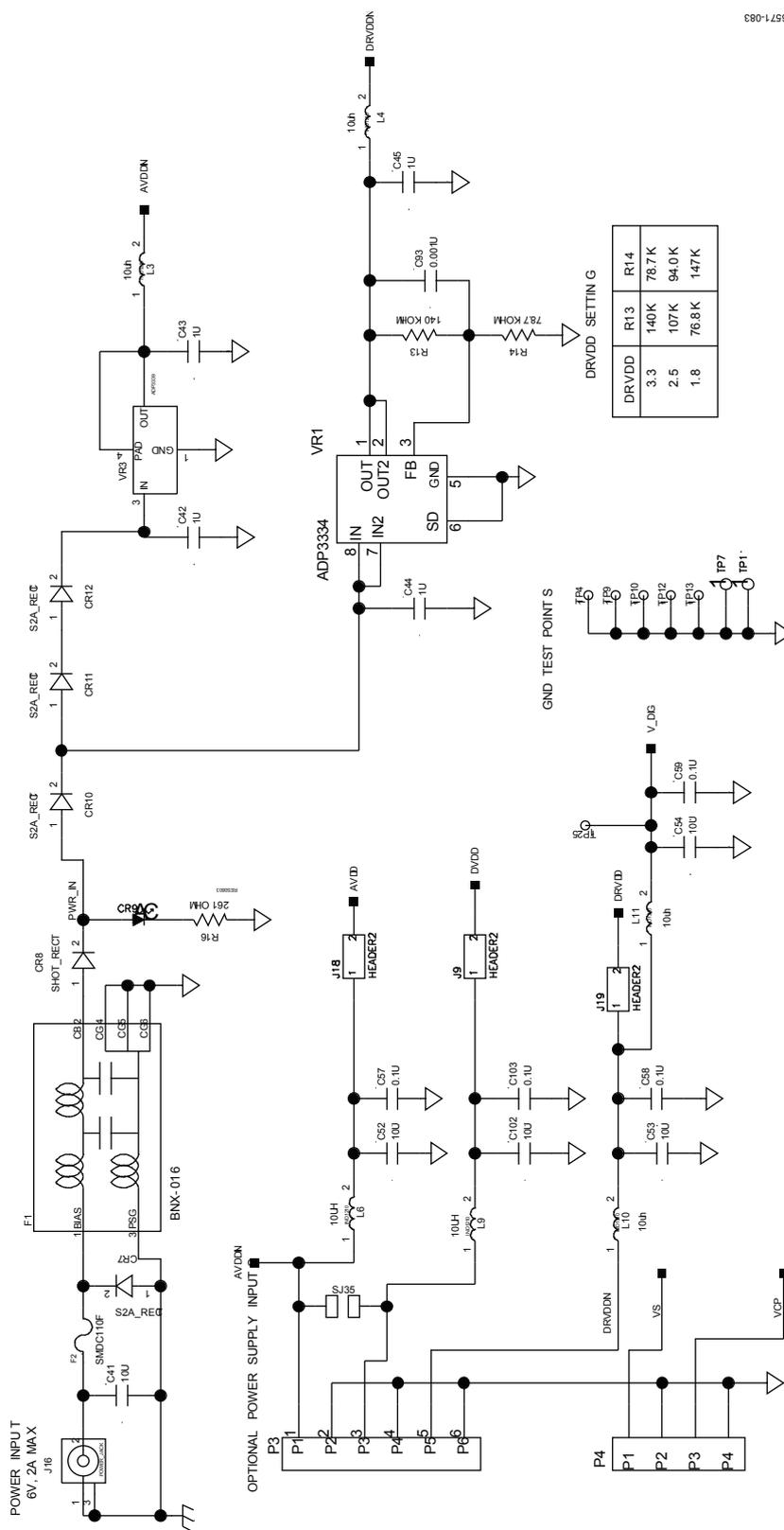


图83. 評価用ボード回路図（電源）

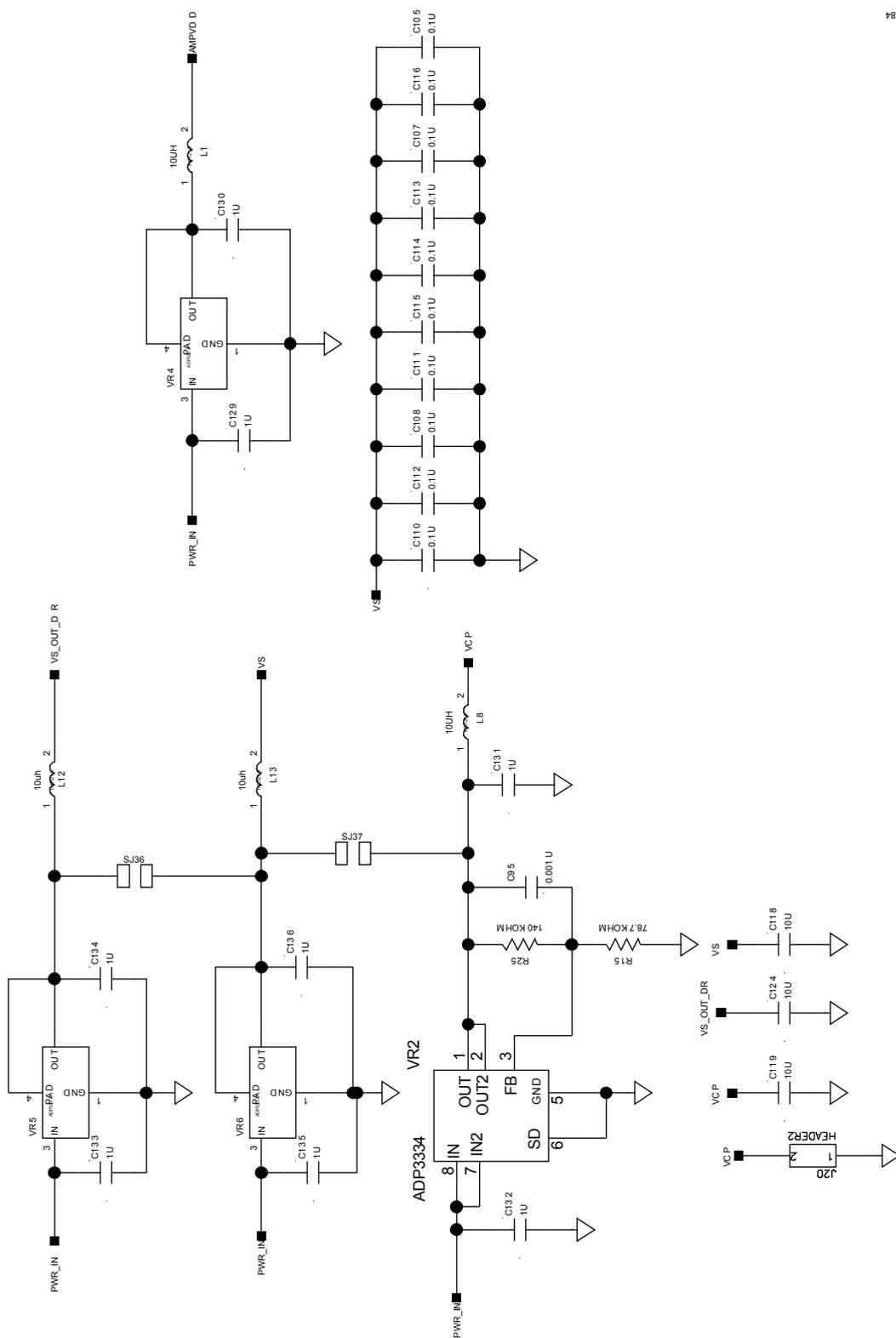


図84. 評価用ボ一下回路図 (電源、続き)

評価用ボード・レイアウト

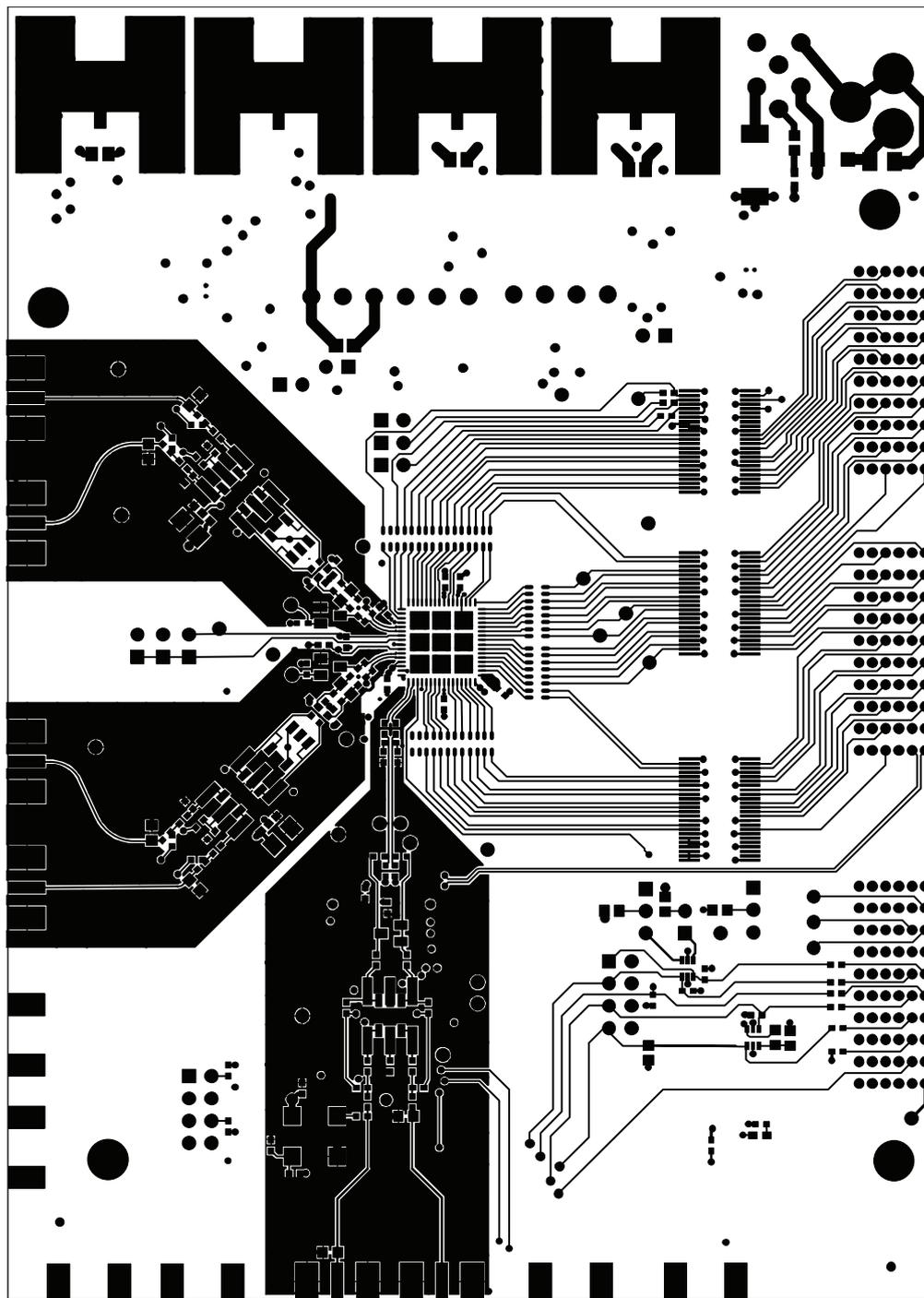
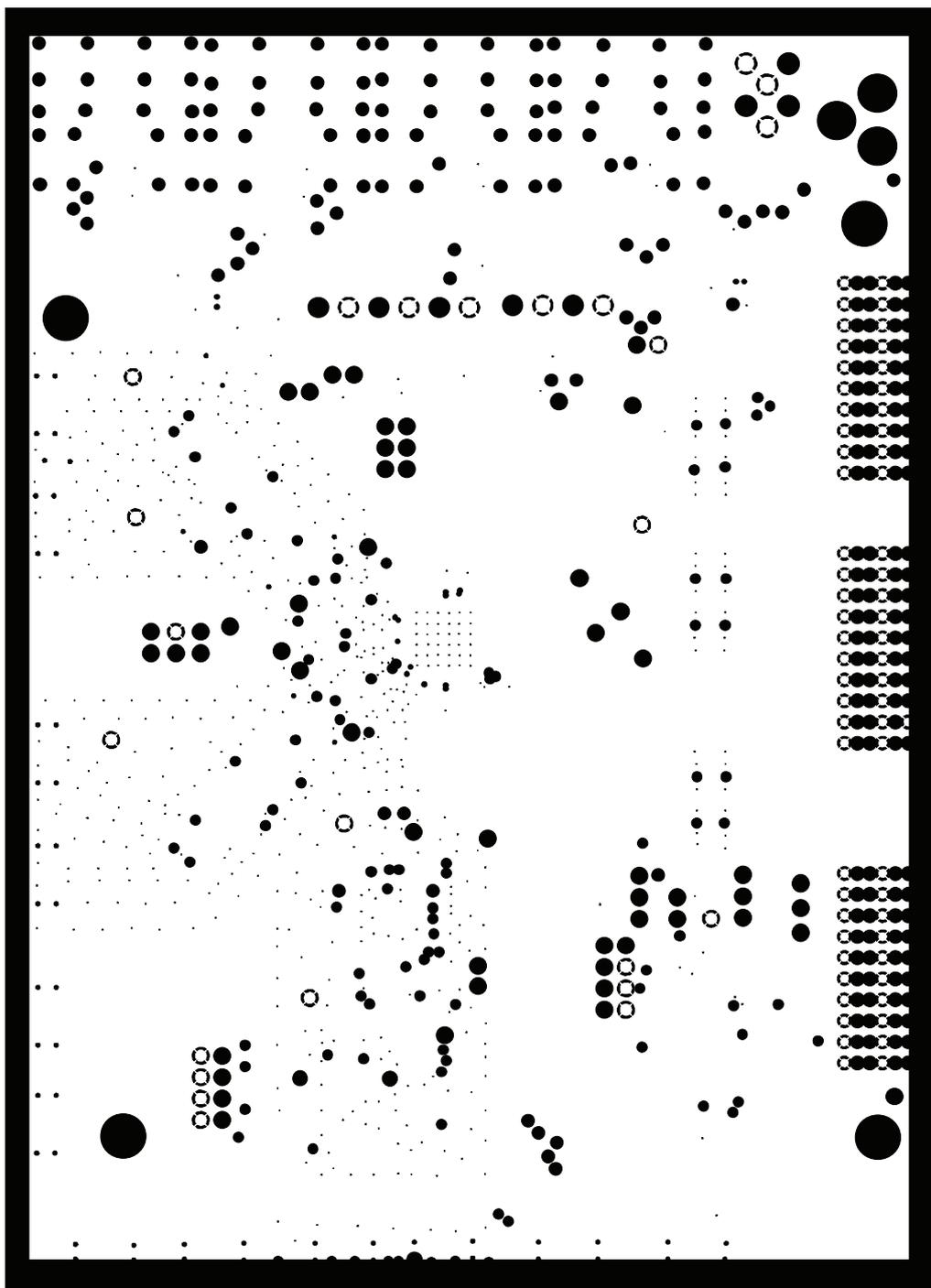
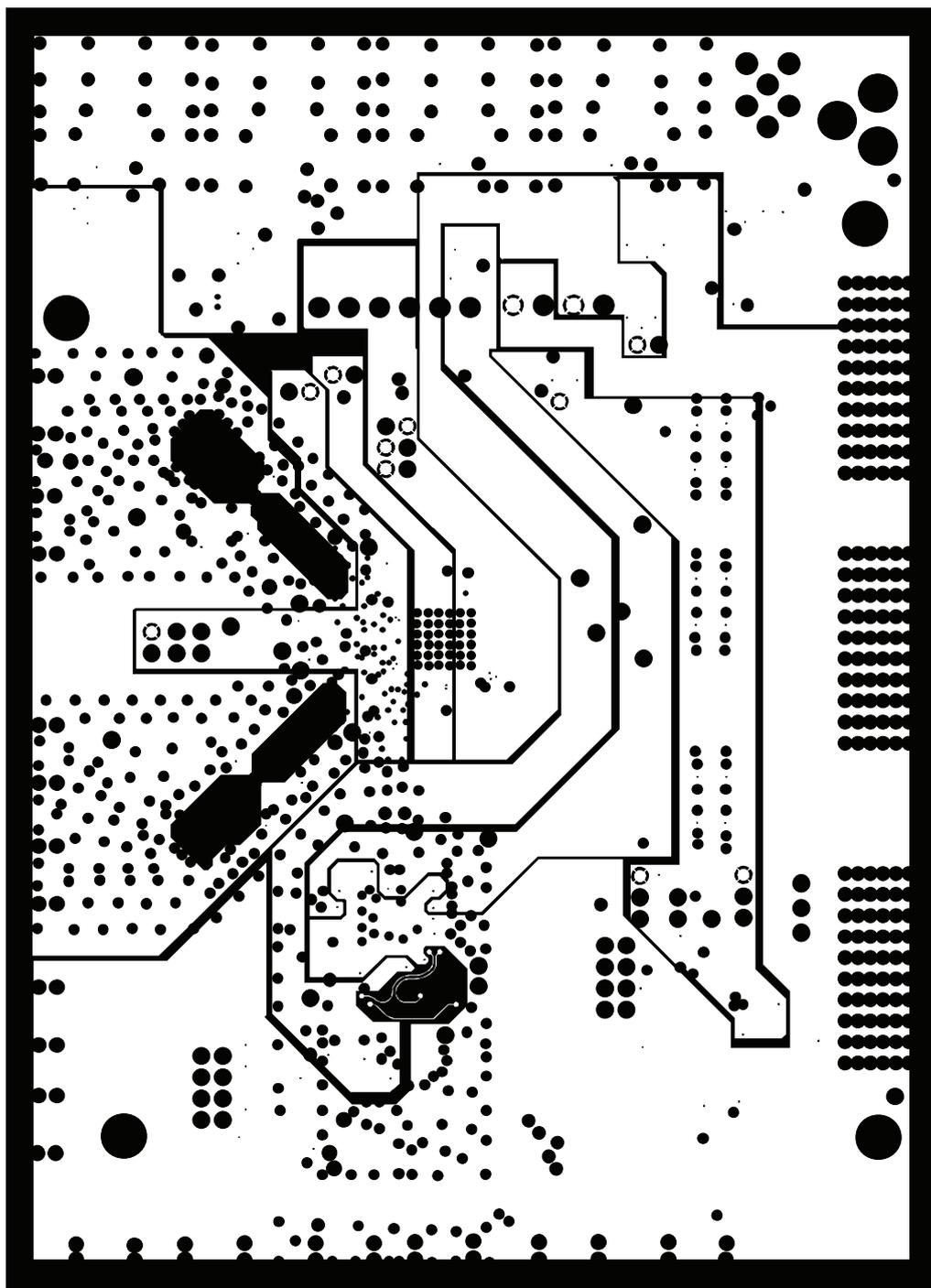


図85. 評価用ボード・レイアウト（1次面）



06571-086

図86. 評価用ボード・レイアウト（グラウンド・プレーン）



08571-387

図87. 評価用ボード・レイアウト（電源プレーン）

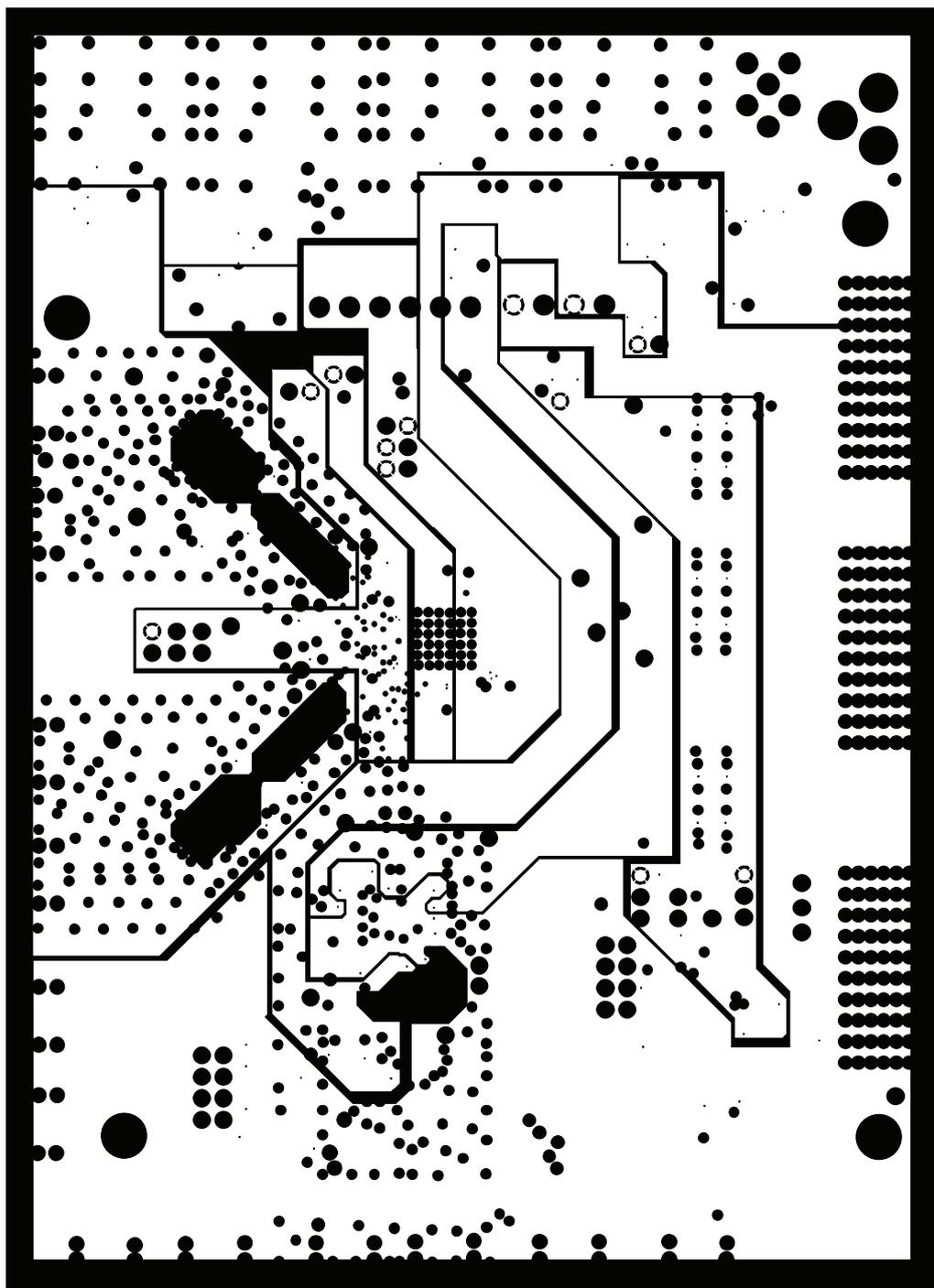
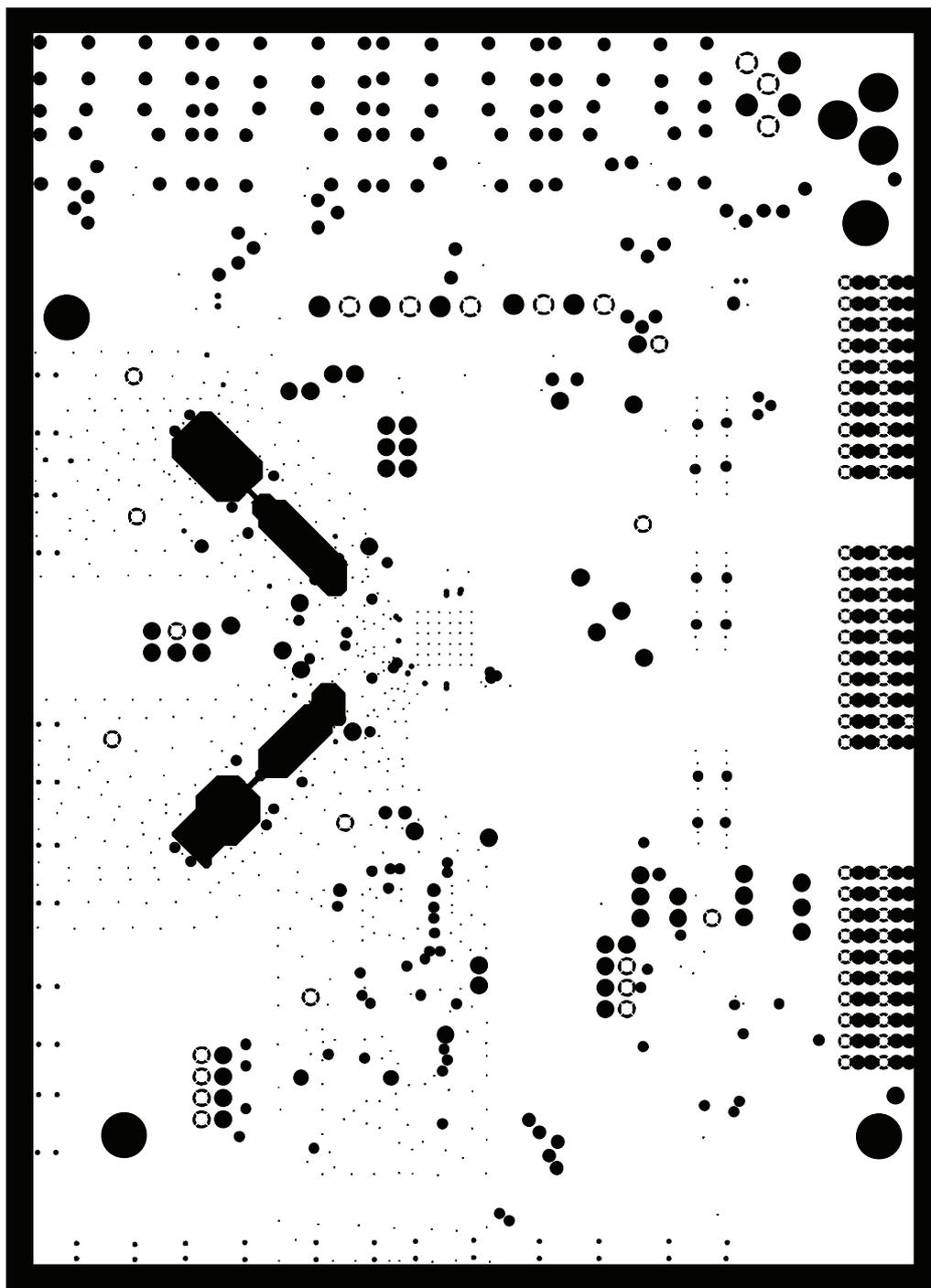
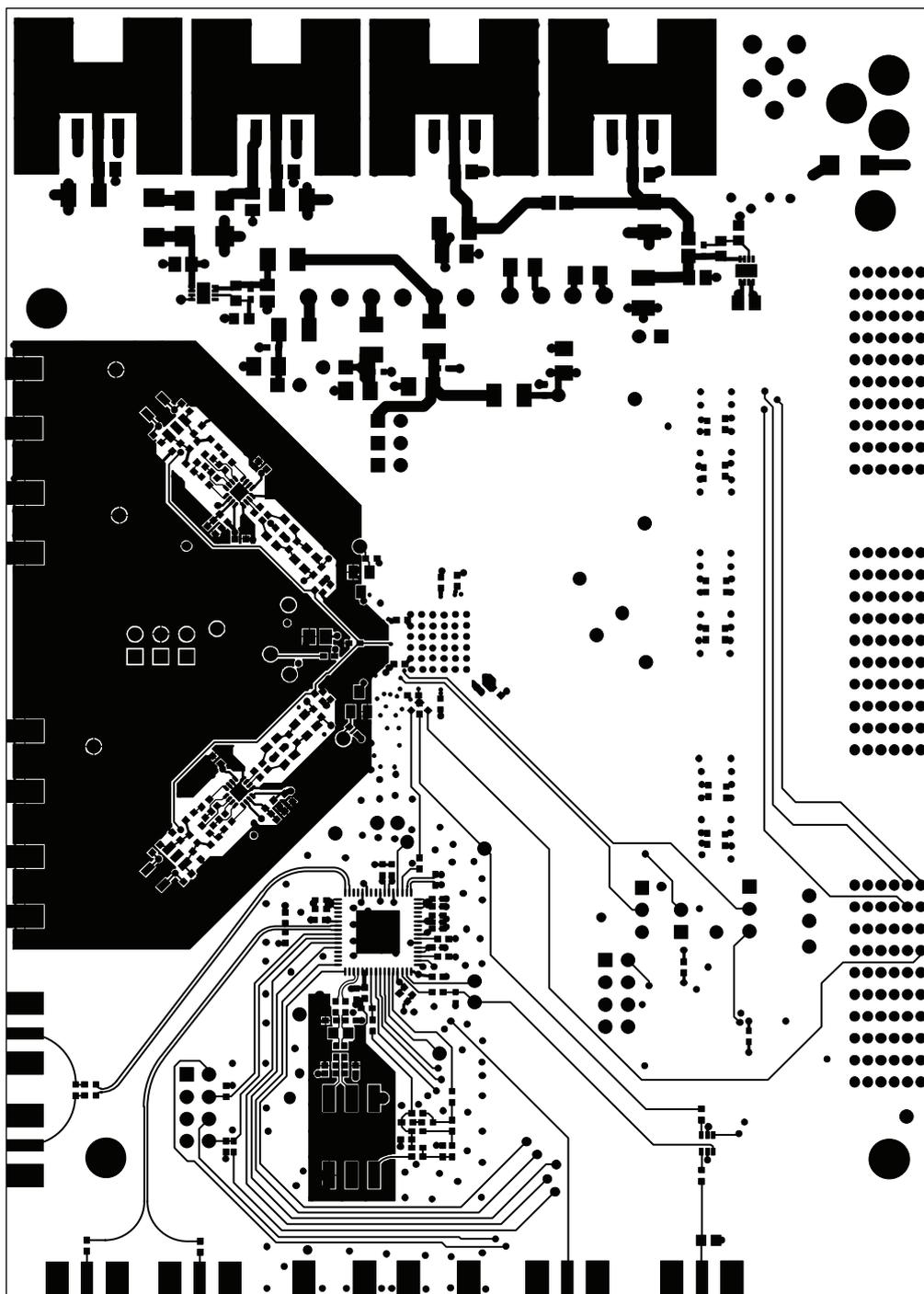


図88. 評価用ボード・レイアウト（電源プレーン）



016571-089

図89. 評価用ボード・レイアウト (グラウンド・プレーン)



06571-090

図90. 評価用ボード・レイアウト (2次面、ミラー・イメージ)

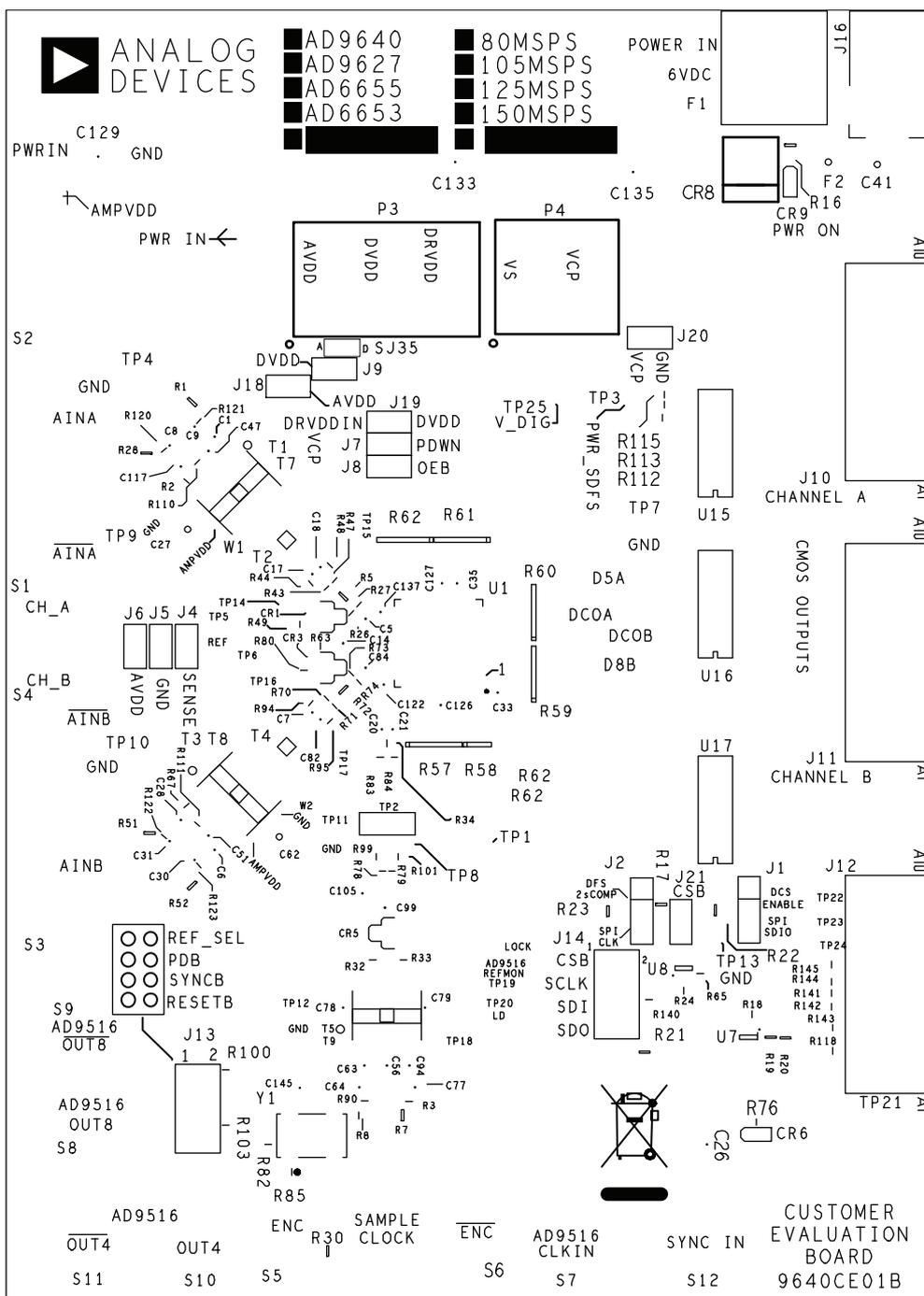
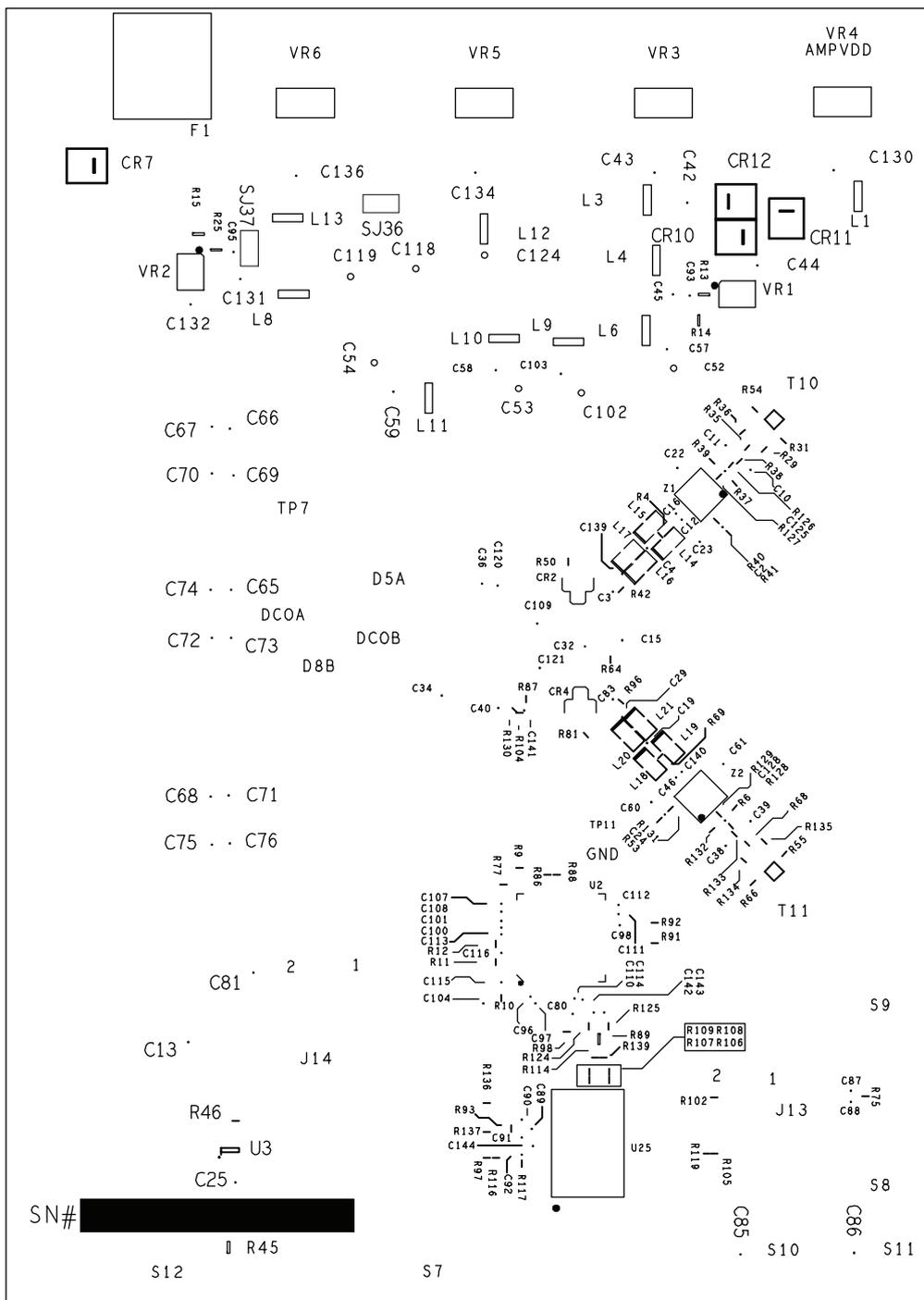


図91. 評価用ボード・レイアウト (シルクスクリーン、1次面)



06571-002

図92. 評価用ボード・レイアウト (シルクスクリーン、2次面)

部品表

表26. 評価用ボード部品表 (BOM) ^{1,2}

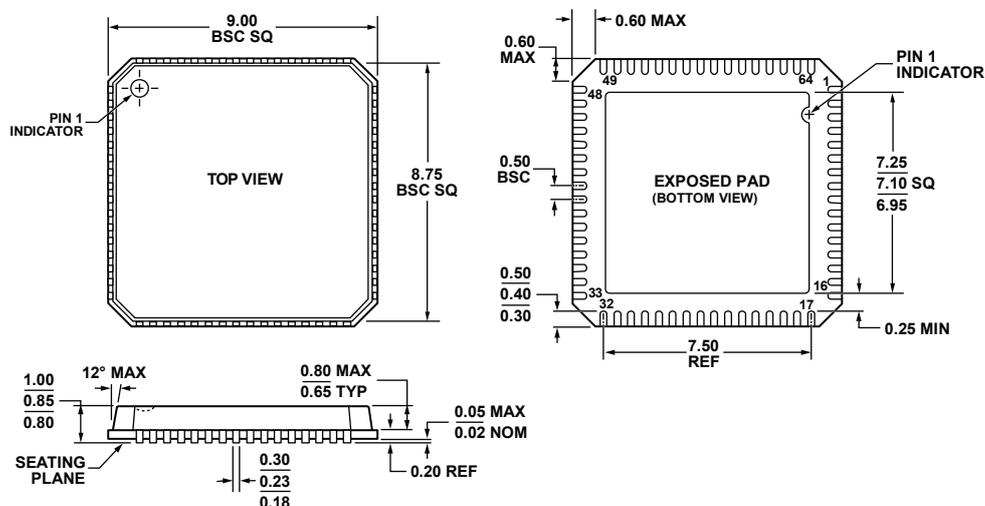
Item	Qty	Reference Designator	Description	Package	Manufacturer	Mfg. Part Number
1	1	AD9627CE_REV B	PCB	PCB	Analog Devices	
2	55	C1 to C3, C6, C7, C13, C14, C17, C18, C20 to C26, C32, C57 to C61, C65 to C76, C81 to C83, C96 to C101, C103, C105, C107, C108, C110 to C116, C145	0.1 μ F, 16 V ceramic capacitor, SMT 0402	C0402SM	Murata	GRM155R71C104KA88D
3	1	C80	18 pF, COG, 50 V, 5% ceramic capacitor, SMT 0402	C0402SM	Murata	GJM1555C1H180JB01J
4	2	C5, C84	4.7 pF, COG, 50 V, 5% ceramic capacitor, SMT 0402	C0402SM	Murata	GJM1555C1H4R7CB01J
5	10	C33, C35, C63, C93 to C95, C122, C126, C127, C137	0.001 μ F, X7R, 25 V, 10% ceramic capacitor, SMT 0402	C0402SM	Murata	GRM155R71H102KA01D
6	13	C15, C42 to C45, C129 to C136	1 μ F, X5R, 25 V, 10% ceramic capacitor, SMT 0805	C0805	Murata	GR4M219R61A105KC01D
7	10	C27, C41, C52 to C54, C62, C102, C118, C119, C124	10 μ F, X5R, 10 V, 10% ceramic capacitor, SMT 1206	C1206	Murata	GRM31CR61C106KC31L
8	1	CR5	Schottky diode HSMS2822, SOT23	SOT23	Avago Technologies	HSMS-2822-BLKG
9	2	CR6, CR9	LED RED, SMT, 0603, SS-type	LED0603	Panasonic	LNJ208R8ARA
10	4	CR7, CR10 to CR12	50 V, 2 A diode	DO_214AA	Micro Commercial Components	S2A-TP
11	1	CR8	30 V, 3 A diode	DO_214AB	Micro Commercial Components	SK33-TP
12	1	F1	EMI filter	FLTHMURATABNX01	Murata	BNX016-01
13	1	F2	6.0 V, 3.0 A, trip current resettable fuse	L1206	Tyco Raychem	NANOSMDC150F-2
14	2	J1 to J2	3-pin, male, single row, straight header	HDR3	Samtec	TWS-1003-08-G-S
15	9	J4 to J9, J18, J19, J21	2-pin, male, straight header	HDR2	Samtec	TWS-102-08-G-S
16	3	J10 to J12	Interface connector	TYCO_HM_ZD	Tyco	6469169-1
17	1	J14	8-pin, male, double row, straight header	CNBERG2X4H350LD	Samtec	TSW-104-08-T-D
18	1	J16	DC power jack connector	PWR_JACK1	Cui Stack	PJ-002A
19	10	L1, L3, L4, L6, L8 to L13	10 μ H, 2 A bead core, 1210	1210	Panasonic	EXC-CL3225U1
20	1	P3	6-terminal connector	PTMICRO6	Weiland Electric, Inc.	Z5.531.3625.0
21	1	P4	4-terminal connector	PTMICRO4	Weiland Electric, Inc.	Z5.531.3425.0
22	3	R7, R30, R45	57.6 Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F57R6TRF
23	27	R2, R3, R4, R32, R33, R42, R64, R67, R69, R90, R96, R99, R101, R104, R110 to R113, R115, R119, R121, R123, R141 to R145	0 Ω , 1/16 W, 5% resistor	R0402SM	NIC Components	NRC04ZOTRF
24	2	R13, R25	140 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1403TRF
25	2	R14, R15	78.7 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F7872TRF

Item	Qty	Reference Designator	Description	Package	Manufacturer	Mfg. Part Number
26	1	R16	261 Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F2610TRF
27	3	R17, R22, R23	100 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1003TRF
28	7	R18, R24, R63, R65, R82, R118, R140	10 k Ω , 0402, 1/16 W, 1% resistor	R0402SM	NIC Components	NRC04F1002TRF
29	3	R19, R20, R21	1 k Ω , 0603, 1/10 W, 1% resistor	R0603	NIC Components	NRC06F1001TRF
30	9	R26, R27, R43, R46, R47, R70, R71, R73, R74	33 Ω , 0402, 1/16 W, 5% resistor	R0402SM	NIC Components	NRC04J330TRF
31	5	R57, R59 to R62	22 Ω , 16-pin, 8-resistor, resistor array	R_742	CTS Corporation	742C163220JPTR
32	1	R58	22 Ω , 8-pin, 4-resistor, resistor array	RES_ARRAY	CTS Corporation	742C083220JPTR
33	1	R76	200 Ω , 0402, 1/16 W, 1% resistor	R0402SM	NIC Components	NCR04F2000TRF
34	4	S2, S3, S5, S12	SMA, inline, male, coaxial connector	SMA_EDGE	Emerson Network Power	142-0701-201
35	1	SJ35	0 Ω , 1/8 W, 1% resistor	SLDR_PAD2MUYL AR	NIC Components	NRC10ZOTRF
36	5	T1 to T5	Balun	TRAN6B	M/A-COM	MABA-007159-000000
37	1	U1	IC, AD9627	LFCSP64-9X9-9E	Analog Devices	AD9627BCPZ
38	1	U2	Clock distribution, PLL IC	LFCSP64-9X9	Analog Devices	AD9516-4BCPZ
39	1	U3	Dual inverter IC	SC70_6	Fairchild Semiconductor	NC7WZ04P6X_NL
40	1	U7	Dual buffer IC, open-drain circuits	SC70_6	Fairchild Semiconductor	NC7WZ07P6X_NL
41	1	U8	UHS dual buffer IC	SC70_6	Fairchild Semiconductor	NC7WZ16P6X_NL
42	3	U15 to U17	16-bit CMOS buffer IC	TSOP48_8_1MM	Fairchild Semiconductor	74VCX16244MTDX_NL
43	2	VR1, VR2	Adjustable regulator	LFCSP8-3X3	Analog Devices	ADP3334ACPZ
44	1	VR3	1.8 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-1.8
45	1	VR4	5.0 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-5.0
46	2	VR5, VR6	3.3 V high accuracy regulator	SOT223-HS	Analog Devices	ADP3339AKCZ-3.3
47	1	Y1	Oscillator clock, VFAC3	OSC-CTS-CB3	Valpey Fisher	VFAC3-BHL
48	2	Z1, Z2	High speed IC, op amp	LFCSP16-3X3-PAD	Analog Devices	AD8352ACPZ

¹ この部品表は RoHS に準拠しています。

² この部品表には、デフォルトの状態ですべての部品が記載されています。実装されない部品はこの BOM に記載されていません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VMM4

061007-C

図93. 64ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
(CP-64-3)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9627BCPZ-150 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9627BCPZ-125 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9627BCPZ-105 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9627BCPZ-80 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-64-3
AD9627-150EBZ ¹		Evaluation Board	
AD9627-125EBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品