



ANALOG DEVICES

12ビット、170/210/250 MSPS、1.8 V A/Dコンバータ

AD9626

特長

SNR = 64.8 dBFS @最大 70 MHz の f_{IN} @ 250 MSPS
10.5 の ENOB @最大 70 MHz の f_{IN} @ 250 MSPS (−1.0 dBFS)
SFDR = 80 dBc @最大 70 MHz の f_{IN} @ 250 MSPS (−1.0 dBFS)

優れた直線性

DNL = ± 0.3 LSB (typ)

INL = ± 0.7 LSB (typ)

CMOS 出力

単一データ・ポート@最大 250 MHz

インターリーブ式デュアル・ポート@サンプルレートの 1/2 最大 125 MHz

700 MHz のフルパワー・アナログ帯域幅

オンチップ電圧リファレンス (外部デカップリングは不要)

入力バッファとトラック&ホールドを内蔵

低消費電力

272 mW @ 170 MSPS

364 mW @ 250 MSPS

プログラマブルな入力電圧範囲

1.0~1.5 V、公称 1.25 V

1.8 V のアナログ/デジタル電源動作

選択可能な出力データ・フォーマット (オフセット・バイナリ、2 の補数、グレイ・コード)

クロック・デューティ・サイクル・スタビライザ

データ・キャプチャ・クロックを内蔵

アプリケーション

無線および有線のブロードバンド通信

ケーブル・リバーサ・パス

通信テスト機器

レーダおよび衛星サブシステム

パワーアンプのリニアライゼーション

機能ブロック図

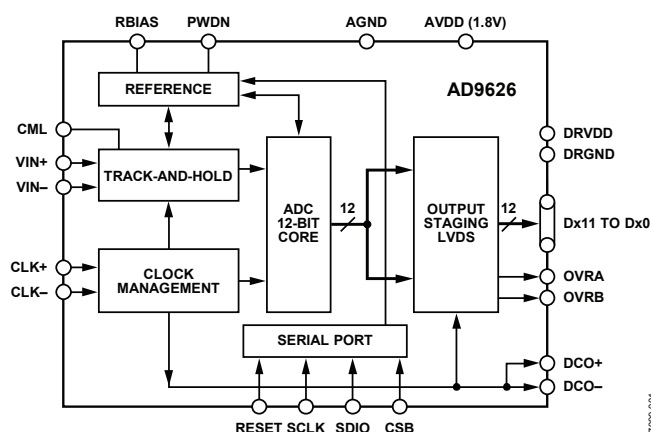


図 1.

概要

AD9626 は、高性能、低消費電力、使いやすさのために最適化された 12 ビットのモノリシック・サンプリング A/D コンバータ (ADC) です。最大 250 MSPS の変換レートで動作し、ワイドバンド・キャリア・システムとブロードバンド・システムで優れた動的性能を発揮するように最適化されています。トラック&ホールド (T/H) や電圧リファレンスなど、必要なすべての機能がチップ上に搭載された完全な信号変換ソリューションです。

この ADC のフル性能の動作には、1.8 V のアナログ電源電圧と差動クロックが必要です。デジタル出力は CMOS 互換で、2 の補数、オフセット・バイナリのフォーマット、グレイ・コードに対応します。データ・クロック出力もあり、データを正しいタイミングで出力できます。

先進的な CMOS プロセスで製造された AD9626 は、56 ピン LFCSP で提供し、工業用温度範囲 (−40~+85°C) で仕様が規定されています。

製品のハイライト

1. 高性能：70 MHz の入力で 64.9 dBFS の S/N 比@250 MSPS
2. 低消費電力：わずか 364 mW@250 MSPS
3. 使いやすさ：CMOS の出力データと出力クロック信号で、最新の FPGA 技術とのインターフェースが可能。リファレンスとサンプル&ホールド回路を内蔵しているため、柔軟性の高いシステム設計に対応。1.8 V 単電源の使用により、システム電源の設計が簡単。
4. シリアル・ポート制御：標準のシリアル・ポート・インターフェースにより、データ・フォーマッティング、クロック・デューティ・サイクル・スタビライザ、パワーダウン、ゲイン調整、出力テスト・パターン生成など、さまざまな製品機能に対応。
5. ピン互換ファミリー：10 ビットの AD9601 とピン互換ファミリー。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2007 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪 MT ビル 2 号
電話 06 (6350) 6868

目次

特長.....	1	クロック入力の考慮事項.....	19
アプリケーション.....	1	消費電力とパワーダウン・モード.....	20
機能ブロック図.....	1	デジタル出力.....	20
概要.....	1	タイミング—シングル・ポート・モード.....	21
製品のハイライト.....	1	タイミング—インターリーブ・モード.....	21
改訂履歴.....	2	レイアウトのポイント.....	22
仕様.....	3	電源とグラウンドの推奨事項.....	22
DC 仕様.....	3	CML.....	22
AC 仕様.....	4	RBIAS.....	22
デジタル仕様.....	5	SPI による AD9626 の設定.....	22
スイッチング仕様.....	6	ハードウェア・インターフェース.....	23
タイミング図.....	7	SPI を使用しない設定.....	23
絶対最大定格.....	8	メモリ・マップ.....	25
熱抵抗.....	8	メモリ・マップ・テーブルの読出し.....	25
ESD に関する注意.....	8	予約ロケーション.....	25
ピン配置と機能の説明.....	9	初期値.....	25
等価回路.....	11	ロジック・レベル.....	25
代表的な性能特性.....	12	評価ボード.....	27
動作原理.....	18	外形寸法.....	33
アナログ入力と電圧リファレンス.....	18	オーダー・ガイド.....	33

改訂履歴

11/07—Revision 0: Initial Version

仕様

DC 仕様

特に指定のない限り、AVDD=1.8 V、DRVDD=1.8 V、T_{MIN}=-40°C、T_{MAX}=+85°C、f_{IN}=-1.0 dBFS、フルスケール=1.25 V、シングルポート出力モード、DCS をイネーブル。

表 1.

Parameter ¹	Temp	AD9626-170			AD9626-210			AD9626-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION		12			12			12			Bits
ACCURACY		Guaranteed			Guaranteed			Guaranteed			
No Missing Codes	Full	Guaranteed			Guaranteed			Guaranteed			mV
Offset Error	25°C	4.0			4.0			4.0			mV
	Full	-12		+12	-12		+12	-12		+12	% FS
Gain Error	25°C	1.4			1.4			1.4			% FS
	Full	-2.1		+4.5	-2.1		+4.5	-2.1		+4.5	LSB
Differential Nonlinearity (DNL)	25°C	0.3			0.3			0.3			LSB
	Full	-0.6		+0.6	-0.6		+0.6	-0.6		+0.6	LSB
Integral Nonlinearity (INL)	25°C	0.7			0.6			0.7			LSB
	Full	-1.4		+1.4	-1.1		+1.1	-1.7		+1.7	LSB
TEMPERATURE DRIFT											
Offset Error	Full	±8			±8			±8			μV/°C
Gain Error	Full	0.021			0.021			0.021			%/°C
ANALOG INPUTS (VIN+, VIN-)											
Differential Input Voltage Range ²	Full	0.98	1.25	1.5	0.98	1.25	1.5	0.98	1.25	1.5	V p-p
Input Common-Mode Voltage	Full	1.4			1.4			1.4			V
Input Resistance (Differential)	Full	4.3			4.3			4.3			kΩ
Input Capacitance	25°C	2			2			2			pF
POWER SUPPLY											
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.58	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
Supply Currents											
I _{AVDD} ³	Full	134			151			178			mA
I _{DRVDD} ³ /Single Port Mode ⁴	Full	17			21			24			mA
I _{DRVDD} ³ /Interleaved Mode ⁵	Full	15			18			20			mA
Power Dissipation ³	Full										mW
Single Port Mode ⁴	Full	272			310			364			mW
Interleaved Mode ⁵	Full	268			304			357			mW
Power-Down Mode Supply Currents											
I _{AVDD}	Full	40			40			40			μA
I _{DRVDD}	Full	170			170			170			μA
Standby Mode Supply Currents											
I _{AVDD}	Full	19			19			19			mA
I _{DRVDD}	Full	170			170			170			μA

¹ すべての定義セットとテストの実施方法については、アプリケーション・ノート AN-835 『高速 A/D コンバータ (ADC) のテストと評価について』を参照してください。

² 入力レンジは SPI を介してプログラマブルであり、指定されたレンジは各設定の公称値に対応しています。「メモリ・マップ」を参照してください。

³ I_{AVDD} と I_{DRVDD} は、-1 dBFS、定格サンプル・レートでの 10.3 MHz のサイン波入力で測定しています。

⁴ シングル・データレート・モード。AD9626 のデフォルト・モードです。

⁵ インターリーブ・モード。ユーザ・プログラマブルな機能。「メモリ・マップ」を参照してください。

AC 仕様

特に指定のない限り、AVDD=1.8 V、DRVDD=1.8 V、T_{MIN}=-40°C、T_{MAX}=+85°C、f_{IN}=-1.0 dBFS、フルスケール=1.25 V、シングルポート出力モード、DCS をイネーブル。¹

表 2.

Parameter ²	Temp	AD9626-170			AD9626-210			AD9626-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SNR											
f _{IN} = 10 MHz	25°C		64.5			64.4			64.0		dB
	Full			63.6			63.0				dB
f _{IN} = 70 MHz	25°C		64.4			64.2			63.8		dB
	Full			63.0			62.3				dB
SINAD											
f _{IN} = 10 MHz	25°C		64.5			64.4			64.0		dB
	Full			63.5			62.8				dB
f _{IN} = 70 MHz	25°C		64.2			64.0			63.4		dB
	Full			62.6			62.0				dB
EFFECTIVE NUMBER OF BITS (ENOB)											
f _{IN} = 10 MHz	25°C		10.6			10.6			10.5		Bits
f _{IN} = 70 MHz	25°C		10.5			10.5			10.5		Bits
WORST HARMONIC (SECOND OR THIRD)											
f _{IN} = 10 MHz	25°C		84			86			83		dBc
	Full			75			77			73	dBc
f _{IN} = 70 MHz	25°C		79			79			80		dBc
	Full			71			73			71	dBc
WORST OTHER (SFDR EXCLUDING SECOND AND THIRD)											
f _{IN} = 10 MHz	25°C		92			90			84		dBc
	Full			85			79			76	dBc
f _{IN} = 70 MHz	25°C		92			87			84		dBc
	Full			81			77			73	dBc
TWO-TONE IMD											
140.2 MHz/141.3 MHz @ -7 dBFS	25°C		80								dBFS
170.2 MHz/171.3 MHz @ -7 dBFS	25°C					83			83		dBc
ANALOG INPUT BANDWIDTH	25°C		700			700			700		MHz

¹ すべての AC 仕様は、CLK+ と CLK- を差動で駆動してテストしています。

² すべての定義セットとテストの実施方法については、アプリケーション・ノート AN-835 『高速 A/D コンバータ (ADC) のテストと評価について』を参照してください。

デジタル仕様

特に指定のない限り、AVDD=1.8 V、DRVDD=1.8 V、T_{MIN}=−40°C、T_{MAX}=+85°C、f_{IN}=−1.0 dBFS、フルスケール=1.25 V、DCS をイネーブル。

表 3.

Parameter ¹	Temp	AD9626-170			AD9626-210			AD9626-250			Unit	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
CLOCK INPUTS												
Logic Compliance	Full	CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL			CMOS/LVDS/LVPECL				
Internal Common-Mode Bias	Full	1.2			1.2			1.2			V	
Differential Input Voltage	Full	0.2		6	0.2		6	0.2		6	V p-p	
Input Voltage Range	Full	AVDD − 0.3		AVDD + 1.6	AVDD − 0.3		AVDD + 1.6	AVDD − 0.3		AVDD + 1.6	V	
Input Common-Mode Range	Full	1.1		AVDD	1.1		AVDD	1.1		AVDD	V	
High Level Input Voltage (V _{IH})	Full	1.2		3.6	1.2		3.6	1.2		3.6	V	
Low Level Input Voltage (V _{IL})	Full	0		0.8	0		0.8	0		0.8	V	
Input Resistance (Differential)	Full	16	20	24	16	20	24	16	20	24	kΩ	
Input Capacitance	Full		4			4			4		pF	
LOGIC INPUTS												
Logic 1 Voltage	Full	0.8 × AVDD			0.8 × AVDD			0.8 × AVDD			V	
Logic 0 Voltage	Full			0.2 × AVDD			0.2 × AVDD			0.2 × AVDD	V	
Logic 1 Input Current (SDIO)	Full		0			0			0		μA	
Logic 0 Input Current (SDIO)	Full		−60			−60			−60		μA	
Logic 1 Input Current (SCLK, PDWN, CSB, RESET)	Full		55			55			50		μA	
Logic 0 Input Current (SCLK, PDWN, CSB, RESET)	Full		0			0			0		μA	
Input Capacitance	25°C		4			4			4		pF	
LOGIC OUTPUTS ²												
High Level Output Voltage	Full	DRVDD − 0.05			DRVDD − 0.05			DRVDD − 0.05			V	
Low Level Output Voltage	Full	GND + 0.05			GND + 0.05			GND + 0.05			V	
Output Coding		Twos complement, Gray code, or offset binary (default)										

¹ すべての定義セットとテストの実施方法については、アプリケーション・ノート AN-835 『高速 A/D コンバータ (ADC) のテストと評価について』を参照してください。

² LVDS R_{TERMINATION} = 100 Ω

スイッチング仕様

特に指定のない限り、AVDD=1.8 V、DRVDD=1.8 V、T_{MIN}=−40°C、T_{MAX}=+85°C、f_{IN}=−1.0 dBFS、フルスケール=1.25 V、DCS をイネーブル。

表 4.

Parameter (Conditions)	Temp	AD9626-170			AD9626-210			AD9626-250			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Maximum Conversion Rate	Full	170			210			250			MSPS
Minimum Conversion Rate	Full			40			40			40	MSPS
CLK+ Pulse Width High (t _{CH})	Full	2.65	2.9		2.15	2.4		1.8	2.0		ns
CLK+ Pulse Width Low (t _{CL})	Full	2.65	2.9		2.15	2.4		1.8	2.0		ns
Output, Single Data Port Mode ¹											
Data Propagation Delay (t _{PD})	25°C		3.7			3.7			3.7		ns
DCO Propagation Delay (t _{CPD})	25°C		3.4			3.4			3.4		ns
Data to DCO Skew (t _{SKEW})	Full	0	0.3	0.55	0	0.3	0.55	0	0.3	0.55	ns
Latency	Full		6			6			6		Cycles
Output, Interleaved Mode ²											
Data Propagation Delay (t _{PDA} , t _{PDB})	25°C		3.5			3.5			3.5		ns
DCO Propagation Delay (t _{CPDA} , t _{CPDB})	25°C		3.0			3.0			3.0		ns
Data to DCO Skew (t _{SKEWA} , t _{SKEWB})	Full	0	0.5	1.1	0	0.5	1.1	0	0.5	1.1	ns
Latency	Full		6			6			6		Cycles
Standby Recovery	25°C		250			250			250		ns
Power-Down Recovery			50			50			50		μs
Aperture Delay (t _A)	25°C		0.1			0.1			0.1		ns
Aperture Uncertainty (Jitter, t _J)	25°C		0.2			0.2			0.2		ps rms

¹ 図 2 を参照してください。

² 図 3 を参照してください。

タイミング図

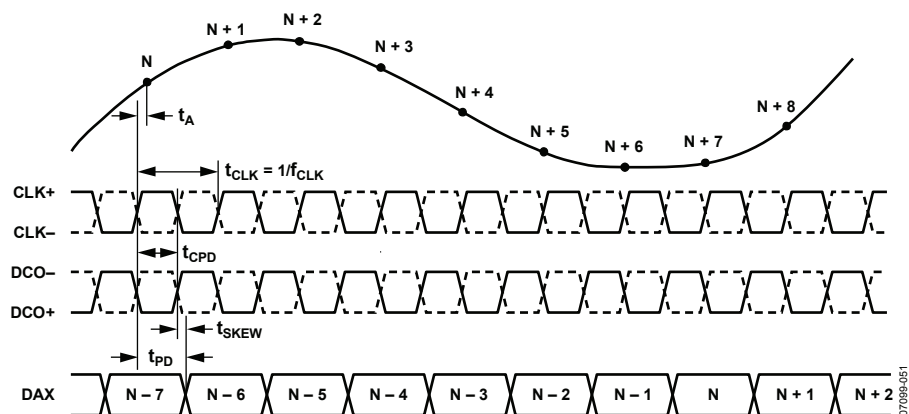


図 2. シングル・ポート・モード

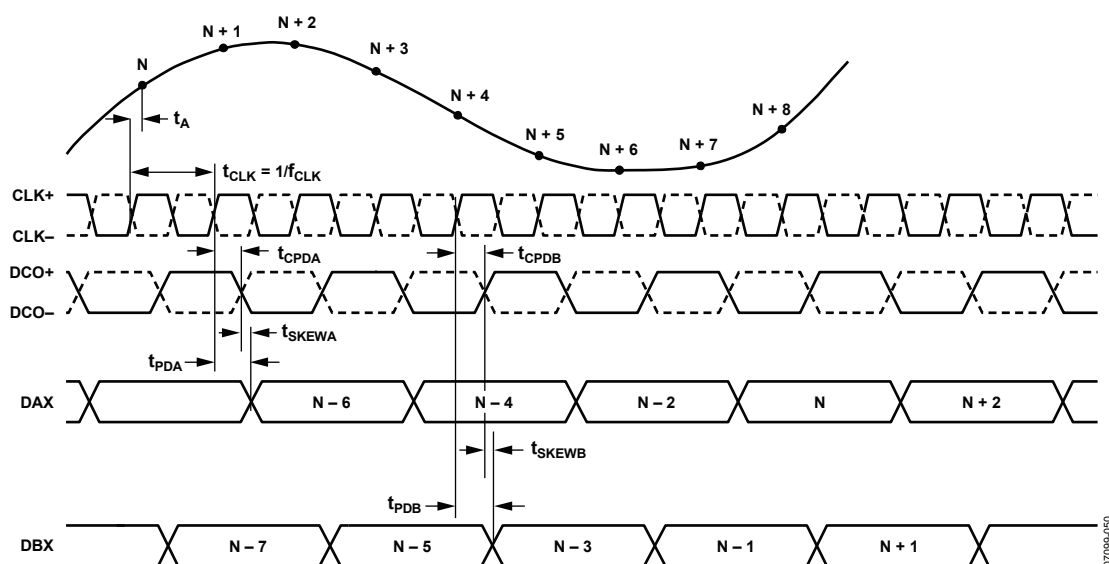


図 3. インターリーブ・モード

絶対最大定格

表 5.

Parameter	Rating
ELECTRICAL	
AVDD to AGND	−0.3 V to +2.0 V
DRVDD to DRGND	−0.3 V to +2.0 V
AGND to DRGND	−0.3 V to +0.3 V
AVDD to DRVDD	−2.0 V to +2.0 V
Dx0 Through Dx11 to DRGND	−0.3 V to DRVDD + 0.3 V
DCO+/DCO− to DRGND	−0.3 V to DRVDD + 0.3 V
OVRA/OVRB to DGND	−0.3 V to DRVDD + 0.3 V
CLK+ to AGND	−0.3 V to +3.6 V
CLK− to AGND	−0.3 V to +3.6 V
VIN+ to AGND	−0.3 V to AVDD + 0.2 V
VIN− to AGND	−0.3 V to AVDD + 0.2 V
SDIO/DCS to DGND	−0.3 V to DRVDD + 0.3 V
PDWN to AGND	−0.3 V to +3.6 V
CSB to AGND	−0.3 V to +3.6 V
SCLK/DFS to AGND	−0.3 V to +3.6 V
ENVIRONMENTAL	
Storage Temperature Range	−65°C to +125°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

放熱パッドは LFCSP パッケージのグラウンド・プレーンにハンダ付けする必要があります。放熱パッドをカスタム・ボードにハンダ付けすると、ハンダ接合部の信頼性が向上し、パッケージの最大の熱性能が得られます。

表 6.

Package Type	θ_{JA}	θ_{JC}	Unit
56-Lead LFCSP (CP-56-2)	30.4	2.9	°C/W

代表的な θ_{JA} と θ_{JC} は、自然空冷の 4 層ボードに対して規定されています。空気流によって放熱効果が改善され、 θ_{JA} の値が低くなります。また、メタル・パターン、スルー・ホール、グラウンド、電源プレーンからパッケージ・リードに直接接触する金属があると、 θ_{JA} が低くなります。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうちに放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

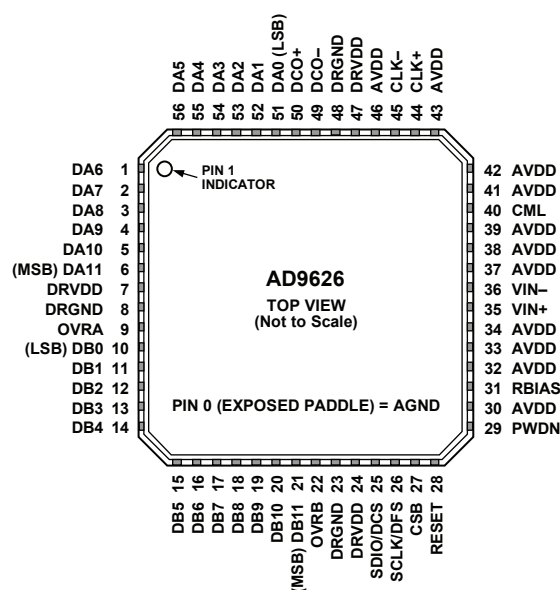


図 4. ピン配置

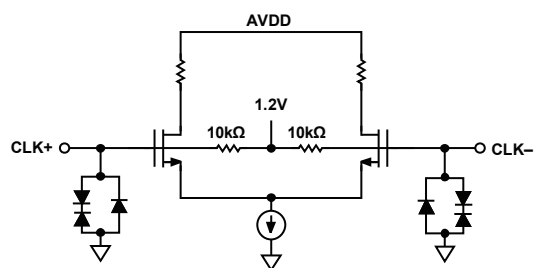
表 7. シングル・データレート・モードのピン機能の説明

ピン番号	記号	説明
30, 32, 33, 34, 37, 38, 39, 41, 42, 43, 46	AVDD	1.8 V アナログ電源
7, 24, 47	DRVDD	1.8 V デジタル出力電源
0	AGND ¹	アナログ・グラウンド
8, 23, 48	DRGND ¹	デジタル出力グラウンド
35	VIN+	アナログ入力：正側
36	VIN-	アナログ入力：負側
40	CML	同相出力ピン。このピンは SPI を介してイネーブルされ、VIN+/VIN-用に最適化された内部バイアス電圧にリファレンスを提供します。
44	CLK+	クロック入力：正側
45	CLK-	クロック入力：負側
31	RBIAS	チップ・バイアス電流設定ピン。（1% 10 kΩ の抵抗をグラウンドに終端接続します。）公称値 0.5 V
28	RESET	CMOS 互換のチップ・リセット（アクティブ・ロー）
25	SDIO/DCS	シリアル・ポート・インターフェース（SPI）のデータ入出力（シリアル・ポート・モード）、デューティ・サイクル・スタビライザ・セレクト（外部ピン・モード）
26	SCLK/DFS	シリアル・ポート・インターフェース・クロック（シリアル・ポート・モード）、データ・フォーマット・セレクト・ピン（外部ピン・モード）
27	CSB	シリアル・ポート・チップ・セレクト（アクティブ・ロー）
29	PWDN	チップ・パワーダウン
49	DCO-	データ・クロック出力：負側
50	DCO+	データ・クロック出力：正側
51	DA0 (LSB)	出力ポート A の出力ビット 0 (LSB)
52	DA1	出力ポート A の出力ビット 1
53	DA2	出力ポート A の出力ビット 2
54	DA3	出力ポート A の出力ビット 3
55	DA4	出力ポート A の出力ビット 4
56	DA5	出力ポート A の出力ビット 5
1	DA6	出力ポート A の出力ビット 6
2	DA7	出力ポート A の出力ビット 7

ピン番号	記号	説明
3	DA8	出力ポート A の出力ビット 8
4	DA9	出力ポート A の出力ビット 9
5	DA10	出力ポート A の出力ビット 10
6	DA11 (MSB)	出力ポート A の出力ビット 11 (MSB)
9	OVRA	出力ポート A のオーバーレンジ出力ビット
10	DB0 (LSB)	出力ポート B の出力ビット (LSB)
11	DB1	出力ポート B の出力ビット 1
12	DB2	出力ポート B の出力ビット 2
13	DB3	出力ポート B の出力ビット 3
14	DB4	出力ポート B の出力ビット 4
15	DB5	出力ポート B の出力ビット 5
16	DB6	出力ポート B の出力ビット 6
17	DB7	出力ポート B の出力ビット 7
18	DB8	出力ポート B の出力ビット 8
19	DB9	出力ポート B の出力ビット 9
20	DB10	出力ポート B の出力ビット 10
21	DB11 (MSB)	出力ポート B の出力ビット 11 (MSB)
22	OVRB	出力ポート B のオーバーレンジ出力ビット

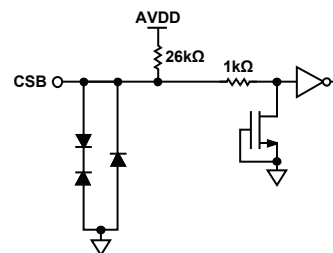
¹ AGND と DRGND は、共通の安定したグラウンド・プレーンに接続してください。

等価回路



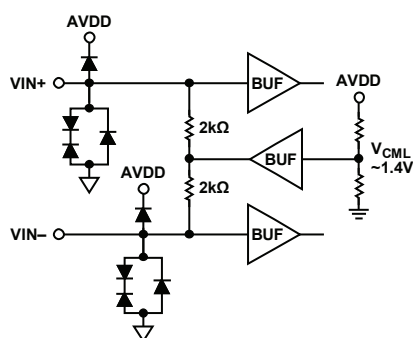
07099-003

図 5. クロック入力

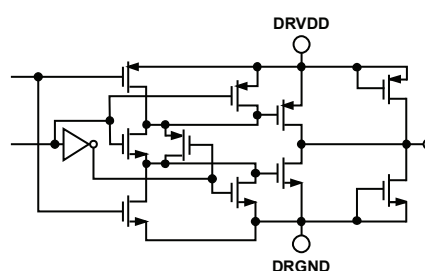


07099-006

図 8. CSB 等価入力回路

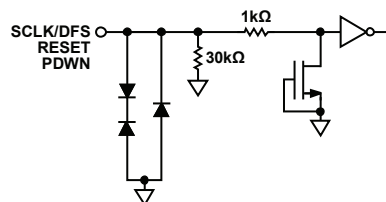


07099-004

図 6. アナログ入力 ($V_{CML} \approx 1.4\text{ V}$)

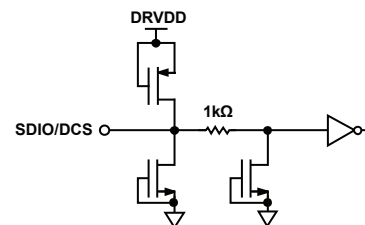
07099-052

図 9. CMOS 出力 (Dx、OVRA、OVRA、DCO+、DCO-)



07099-005

図 7. SCLK/DFS、RESET、PDWN 等価入力回路



07099-007

図 10. SDIO/DCS 等価入力回路

代表的な性能特性

特に指定のない限り、 $AVDD = 1.8\text{ V}$ 、 $DRVDD = 1.8\text{ V}$ 、定格サンプル・レート、DCSをイネーブル、 $T_A = 25^\circ\text{C}$ 、 1.25 V p-p 差動入力、 $A_{IN} = -1\text{ dBFS}$ 。

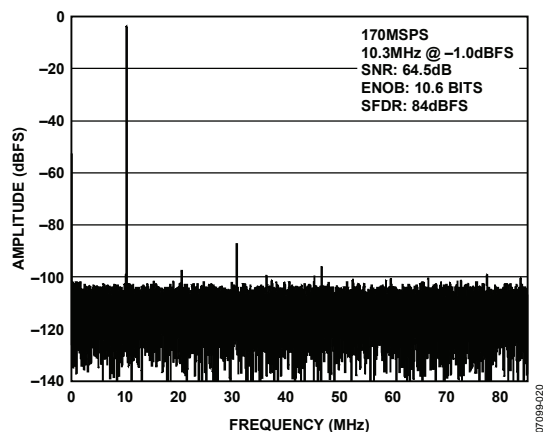


図 11. AD9626-170 : 64k ポイント・シングルトーン FFT (170 MSPS、10.3 MHz)

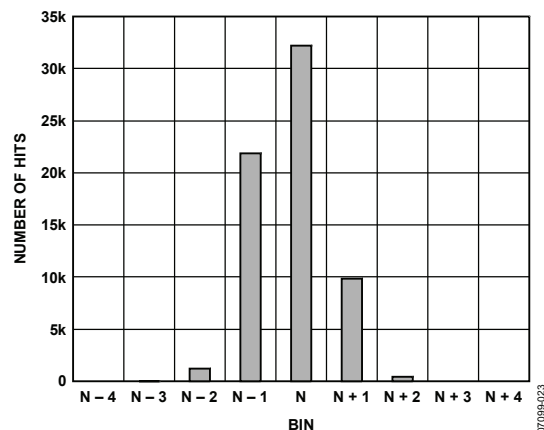


図 14. AD9626-170 : グラウンド入力ヒストグラム (170 MSPS)

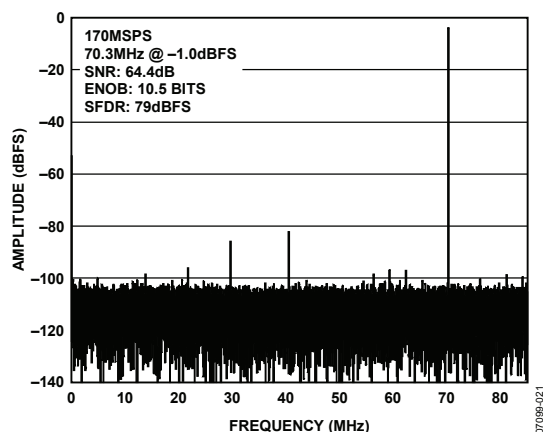


図 12. AD9626-170 : 64k ポイント・シングルトーン FFT (170 MSPS、70.3 MHz)

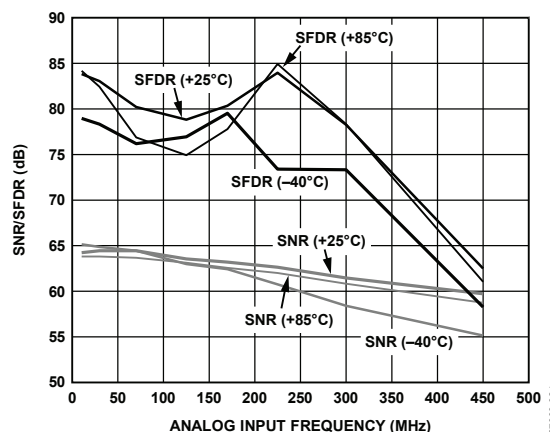


図 15. AD9626-170 : さまざまな温度における入力周波数 対 シングルトーン SNR/SFDR (f_{IN}) (1.25 V p-p フルスケール、170 MSPS)

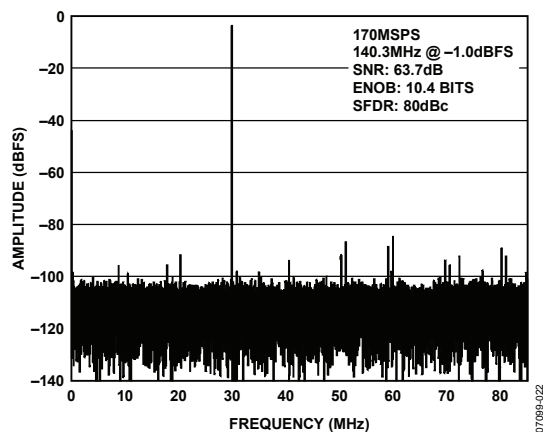


図 13. AD9626-170 : 64k ポイント・シングルトーン FFT (170 MSPS、140.3 MHz)

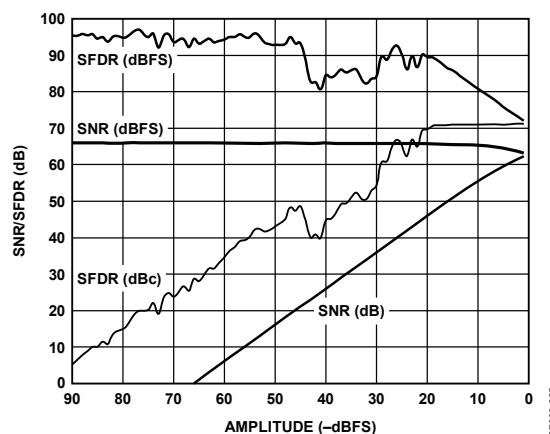


図 16. AD9626-170 : 入力振幅 対 SNR/SFDR (140.3 MHz)

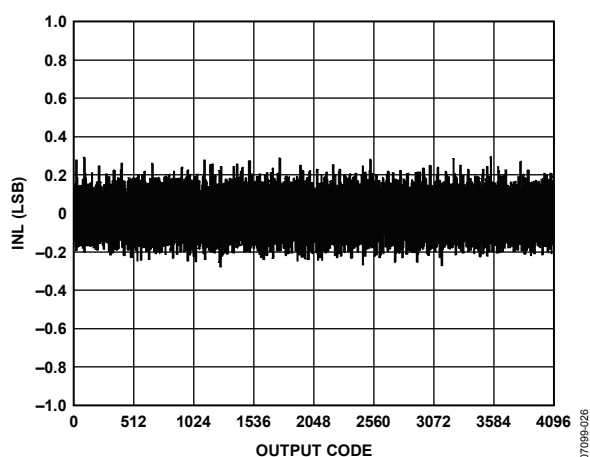


図 17. AD9626-170 : INL (170 MSPS)

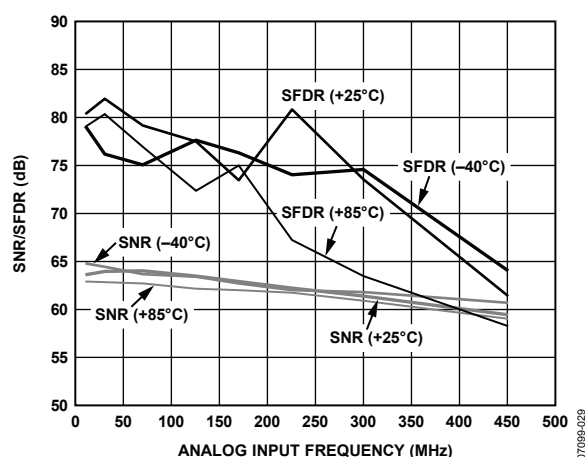


図 20. さまざまな温度におけるアナログ入力周波数 対 SNR/SFDR (インターリーブ・モード)

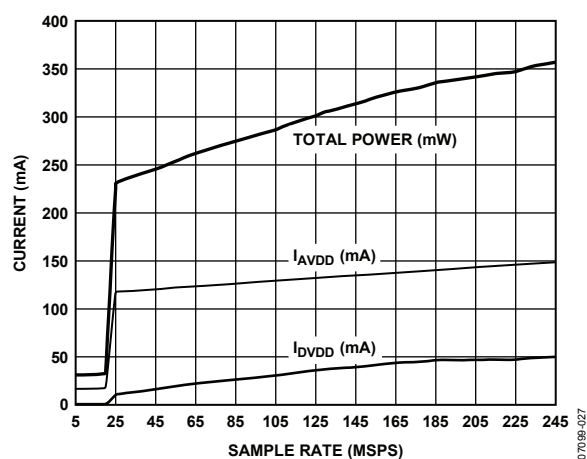


図 18. AD9626-170 : サンプル・レート 対 電源電流

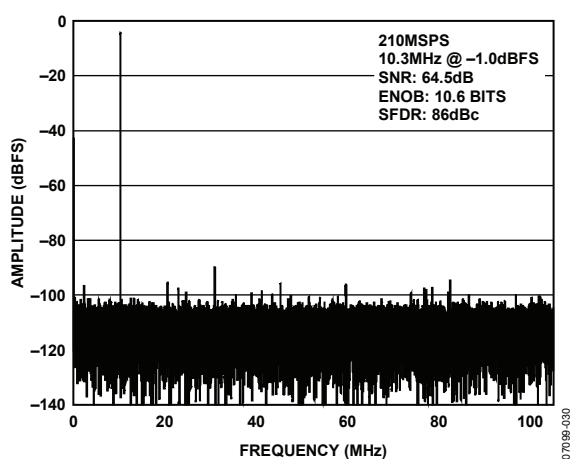


図 21. AD9626-210 : 64k ポイント・シングルトーン FFT (210 MSPS、10.3 MHz)

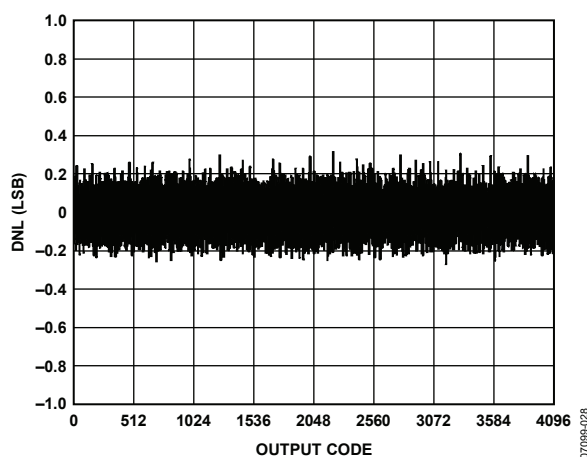


図 19. AD9626-170 : DNL (170 MSPS)

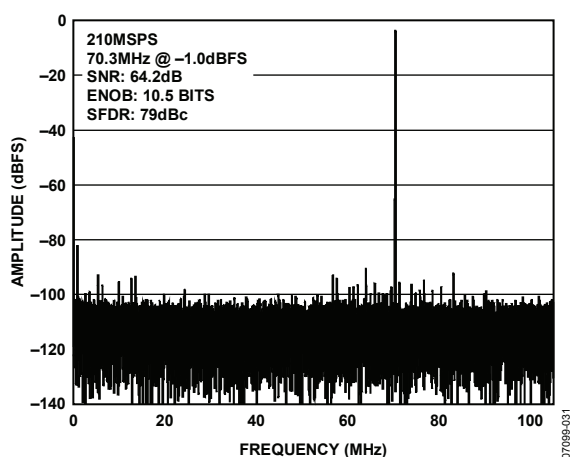


図 22. AD9626-210 : 64k ポイント・シングルトーン FFT (210 MSPS、70.3 MHz)

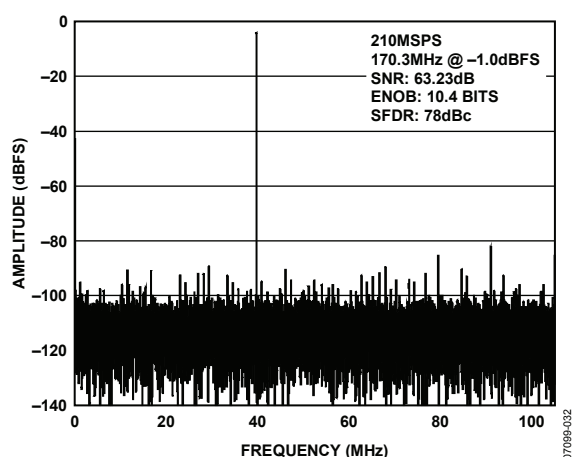


図 23. AD9626-210 : 64k ポイント・シングルトーン FFT (210 MSPS、170.3 MHz)

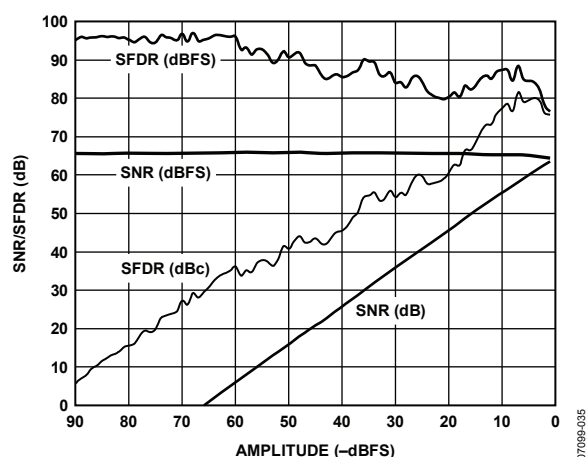


図 26. AD9626-210 : 入力振幅 対 SNR/SFDR (210 MSPS、170.3 MHz)

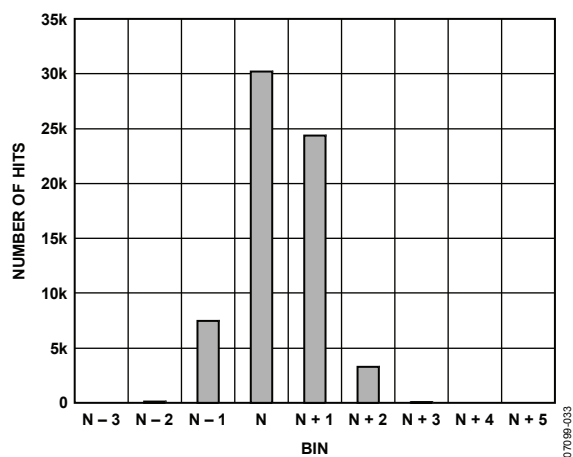


図 24. AD9626-210 : グラウンド入力ヒストグラム (210 MSPS)

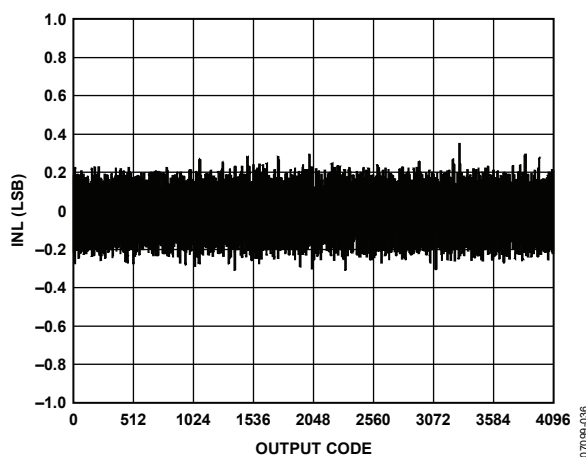


図 27. AD9626-210 : INL (210 MSPS)

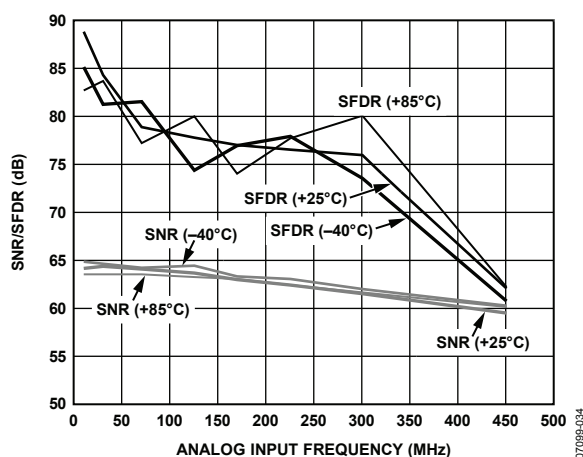


図 25. AD9626-210 : さまざまな温度における入力周波数 (f_{IN}) 対シングルトーン SNR/SFDR (1.25 V p-p フルスケール、210 MSPS)

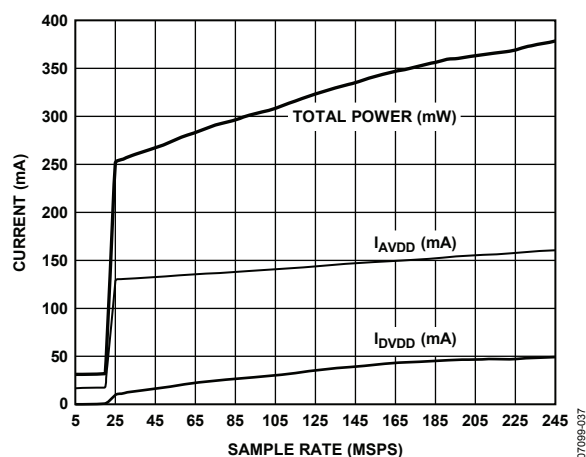


図 28. AD9626-210 : サンプル・レート 対 電源電流

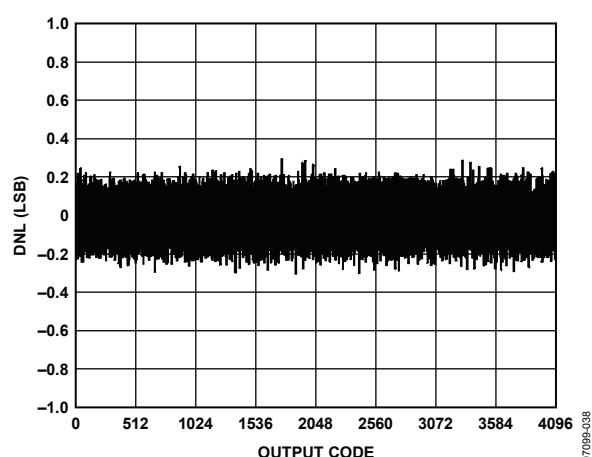


図 29. AD9626-210 : DNL (210 MSPS)

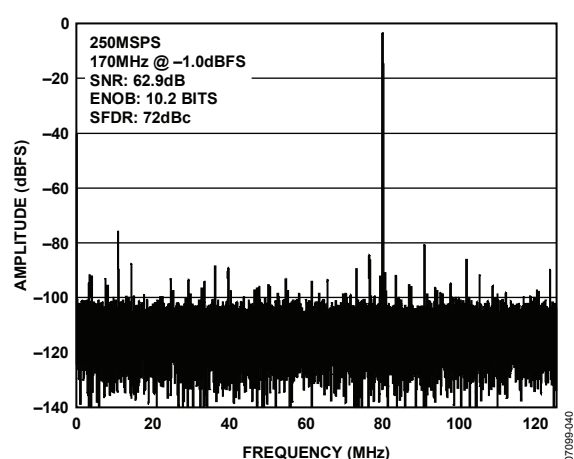


図 32. AD9626-250 : 64k ポイント・シングルトーン FFT (250 MSPS、170.3 MHz)

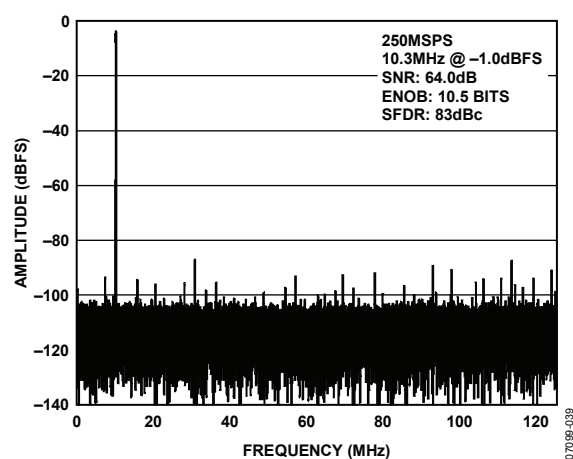


図 30. AD9626-250 : 64k ポイント・シングルトーン FFT (250 MSPS、10.3 MHz)

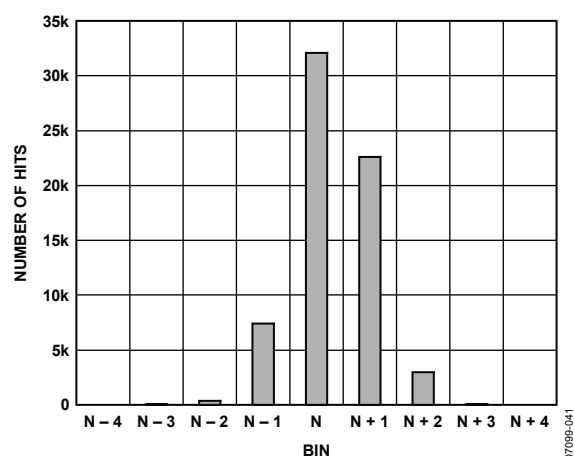


図 33. AD9626-250 : グラウンド入力ヒストグラム (250 MSPS)

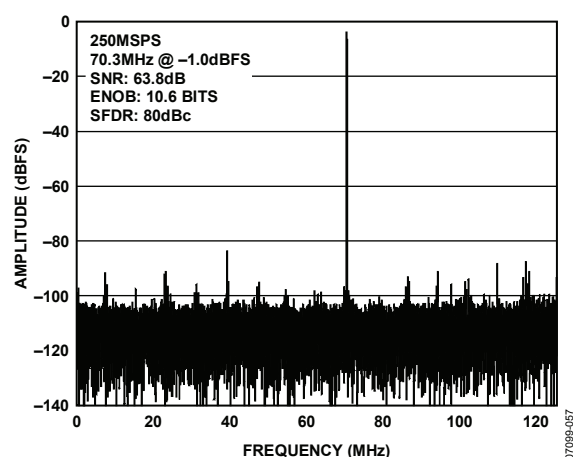


図 31. AD9626-250 : 64k ポイント・シングルトーン FFT (250 MSPS、70.3 MHz)

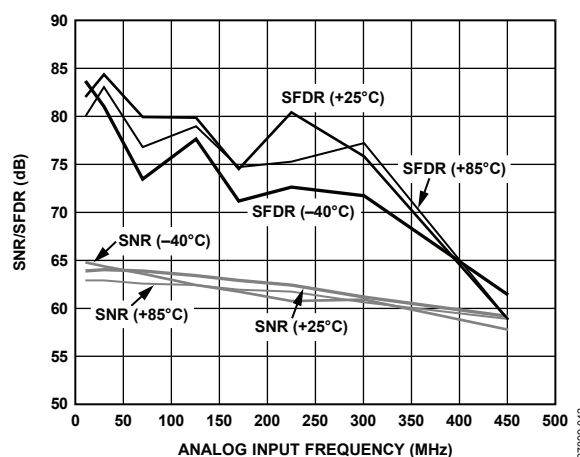


図 34. AD9626-250 : さまざまな温度における入力周波数 (f_{IN}) 対シングルトーン SNR/SFDR (1.25 V p-p フルスケール、250 MSPS)

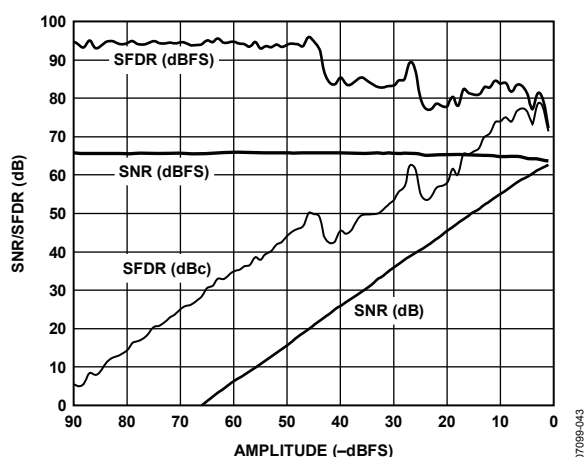


図 35. AD9626-250 : 入力振幅 対 SNR/SFDR
(250 MSPS、170.3 MHz)

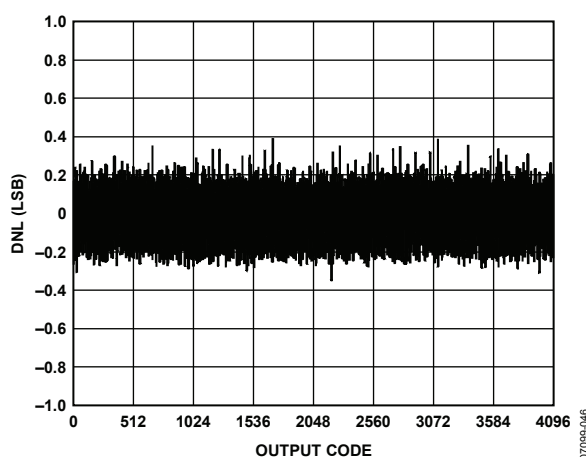


図 38. AD9626-250 : DNL (250 MSPS)

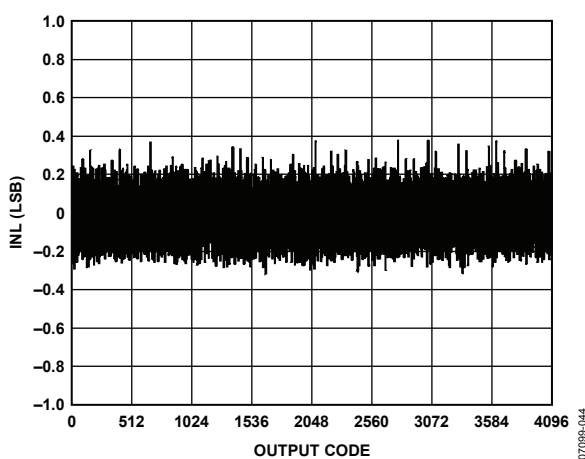


図 36. AD9626-250 : INL (250 MSPS)

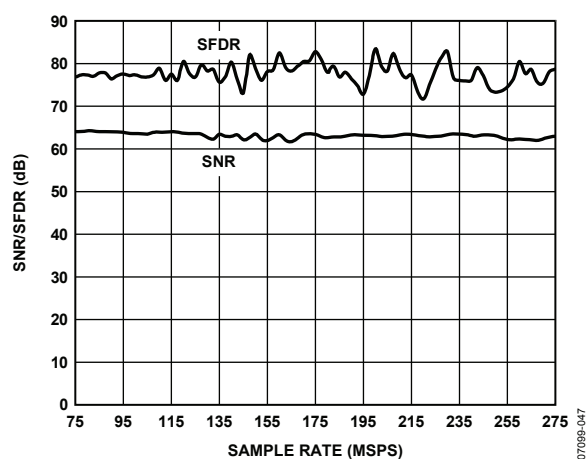


図 39. サンプル・レート 対 SNR/SFDR
(250 MSPS、170.3 MHz@-1 dBFS)

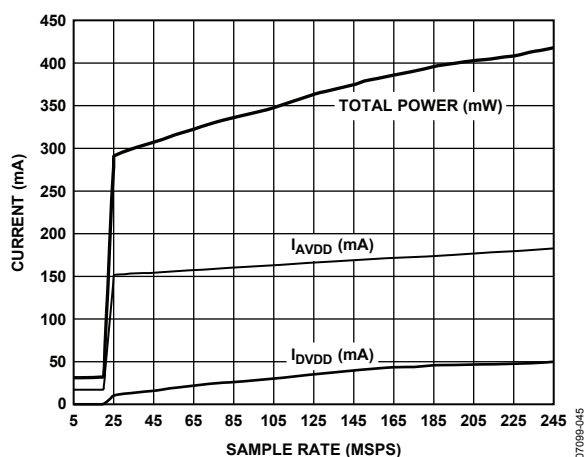


図 37. AD9626 : サンプル・レート 対 電源電流

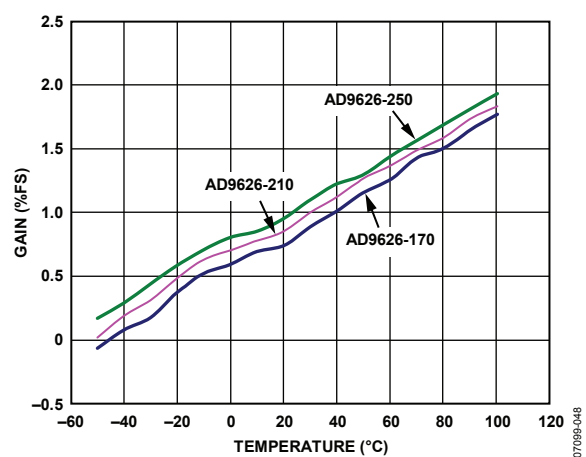


図 40. ゲインの温度特性

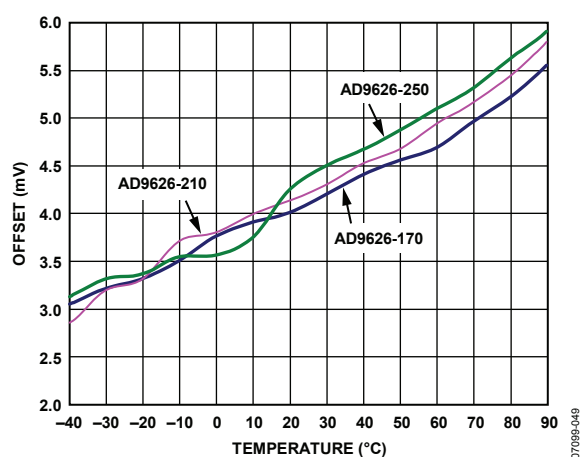


図 41. オフセットの温度特性

動作原理

AD9626 のアーキテクチャは、フロントエンドのサンプル&ホールド・アンプ (SHA) と、これに続くパイプライン化されたスイッチド・コンデンサ型 ADC で構成されています。各段からの量子化された出力は、最終的にデジタル補正ロジック内で結合されて 12 ビットの結果になります。パイプライン・アーキテクチャにより、初段で新しい入力サンプルを処理している間に後段では前のサンプル値を並行して処理できます。サンプリングはクロックの立上がりエッジで行われます。

最終段以外のパイプラインの各段は、スイッチド・コンデンサ DAC に接続された低分解能のフラッシュ ADC と段間残留アンプ (MDAC) で構成されています。残留アンプは、再生された DAC 出力とパイプライン内の次段に対するフラッシュ入力との差を増幅します。各段で冗長な 1 ビットを使用し、フラッシュ誤差をデジタル補正します。最終段はフラッシュ ADC のみです。

入力段には、AC 結合または DC 結合が可能な差動 SHA があります。出力段のブロックは、データを整理し、誤差補正を行った後、データを出力バッファに渡します。出力バッファは別電源で駆動するため、出力電圧振幅を調整できます。出力バッファは、パワーダウン時に高インピーダンス状態になります。

アナログ入力と電圧リファレンス

AD9626 のアナログ入力は差動バッファです。最適な動的性能を得るには、VIN+ と VIN- を駆動する信号源インピーダンスを整合させることによってコモン・モード整定誤差を対称にする必要があります。アナログ入力は優れた広帯域性能が得られるように最適化されており、各入力を差動で駆動する必要があります。

シングル・エンドから差動に変換しなければならないアプリケーションでは、Mini-Circuits[®] ADT1-1WT などの広帯域トランスによって差動アナログ入力が得られます。2 個のアナログ入力は、内蔵の抵抗分割器により公称 1.4 V にバイアスされます。

内部差動電圧リファレンスが正側と負側のリファレンス電圧を生成し、ADC コアの 1.25 V p-p 固定スパンが規定されます。内部電圧リファレンスは、SPI 制御によって調整できます。詳細については、「SPI による AD9626 の設定」を参照してください。

差動入力構成

最適な性能は差動入力構成で AD9626 を駆動するときに得られます。ベースバンド・アプリケーションでは、差動ドライバの AD8138 が優れた性能を提供し、ADC に対するフレキシブルなインターフェースになります。AD8138 の出力コモン・モード電圧は簡単に $AVDD/2 + 0.5$ V に設定することができ、入力信号帯域制限機能を持つ Sallen-Key フィルタ回路のドライバを構成できます。

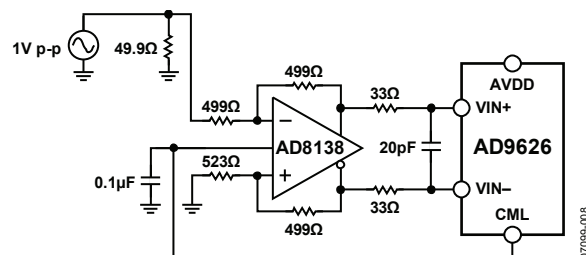


図 42. AD8138 を使用した差動入力構成

2 次ナイキスト領域内とそれ以上の入力周波数では、ほとんどのアンプは性能が不十分で AD9626 の真価を引き出すことができません。これは、特に 70~100 MHz の周波数をサンプリングする IF アンダーサンプリング・アプリケーションの場合にあてはまります。こうしたアプリケーションでは、差動トランス・カップリングの入力構成を推奨します。トランスを選ぶときは、信号特性を考慮する必要があります。大部分の RF トランスは数ミリヘルツ以下の周波数で飽和してしまい、信号電力が過剰でもコアが飽和状態になり、その結果歪みが生じてしまいます。

どのような構成でも、シャント・コンデンサの値 C を入力周波数に応じて減らすか、まったくなくする必要があります。

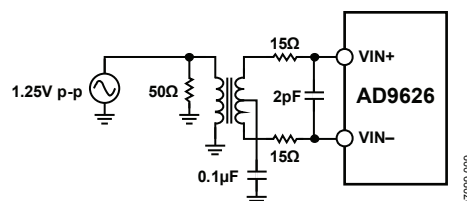


図 43. 差動トランス結合構成

2 次ナイキスト領域の周波数でトランス結合入力を使用する代わりに、AD8352 差動ドライバを使用することができます (図 44 を参照)。

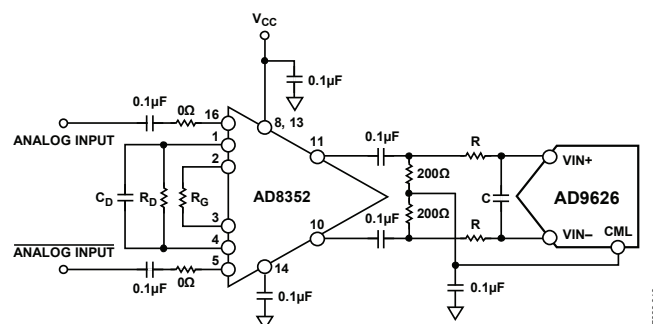


図 44. AD8352 を使用した差動入力構成

クロック入力の考慮事項

最適な性能を得るには、AD9626 のサンプル・クロック入力 (CLK+ と CLK-) に差動信号をクロックしてください。一般に、この信号はトランスまたはコンデンサを介して CLK+ピンと CLK-ピンに AC 結合されます。これらのピンは内部でバイアスされているため、バイアスを追加する必要はありません。

図 45 に、AD9626 にクロックするときの望ましい方法を示します。低ジッタのクロック・ソースは、RF トランスを使ってシングルエンドから差動に変換します。トランスの 2 次側の背中合わせに接続したショットキー・ダイオードが、AD9626 に入力するクロックを約 0.8 V p-p 差動に制限します。この機能によってクロックの大きな電圧振幅が AD9626 の他の部分に入らないようにし、低ジッタ性能に不可欠な信号の高速な立上がり／立下りを維持します。

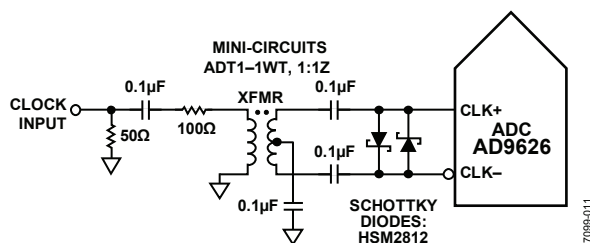


図 45. トランス結合差動クロック

低ジッタ・クロックを利用できる場合、もう 1 つのオプションとして、図 46 に示すように差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合する方法もあります。AD9510/AD9511/AD9512/AD9513/AD9514/AD9515 ファミリーのクロック・ドライバは、優れたジッタ性能を提供します。

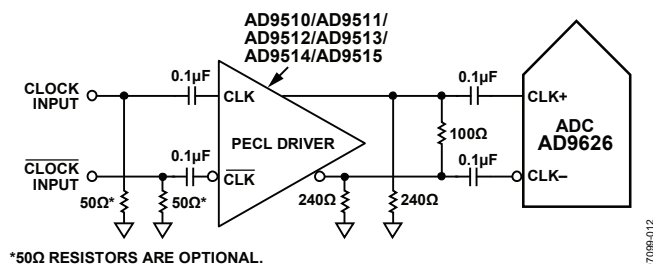


図 46. 差動 PECL のサンプル・クロック

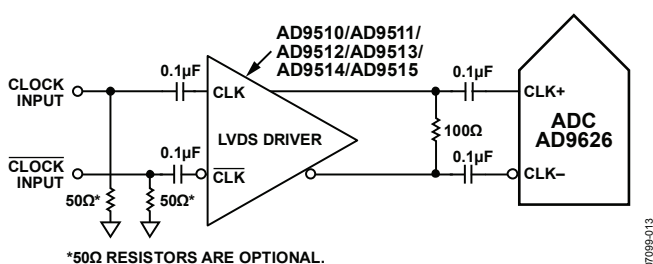


図 47. 差動 LVDS のサンプル・クロック

アプリケーションによっては、シングルエンドの CMOS 信号でサンプル・クロック入力を駆動することができます。そのようなアプリケーションでは、CLK+を CMOS ゲートから直接駆動し、0.1 µF コンデンサを 39 kΩ 抵抗に並列に接続することによって CLK-ピンをグラウンドにバイパスします (図 48 を参照)。CLK+ 入力回路電源は AVDD (1.8 V) ですが、この入力は最大 3.3 V の入力電圧に耐えるように設計されているため、駆動ロジック電圧を柔軟に選択することができます。

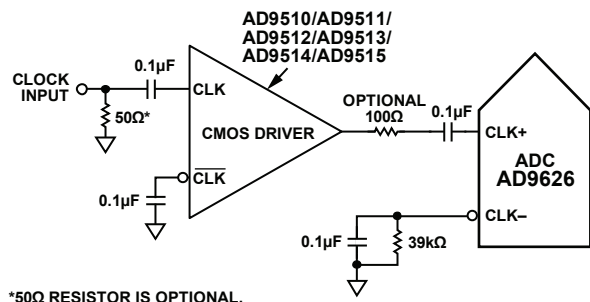


図 48. シングルエンドの 1.8 V CMOS サンプル・クロック

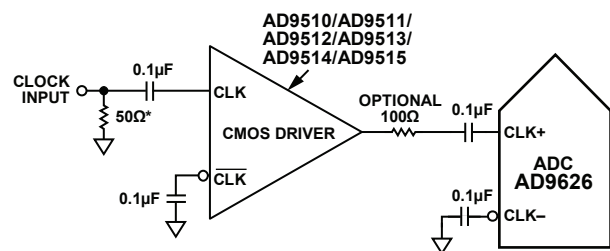


図 49. シングルエンドの 3.3 V CMOS サンプル・クロック

クロック・デューティ・サイクルの考慮事項

代表的な高速 ADC は、クロック・エッジを両方使用してさまざまな内部タイミング信号を生成します。その結果、こうした ADC はクロック・デューティ・サイクルに左右されやすくなります。動的性能特性を維持するには、一般にクロック・デューティ・サイクルの変化を 5%以内に抑える必要があります。AD9626 にはデューティ・サイクル・スタビライザ (DCS) が内蔵されており、非サンプリング・エッジのタイミングを取り直し、公称 50%のデューティ・サイクルを持つ内部クロック信号を供給します。このため、AD9626 の性能を落とさずに、広い範囲のデューティ・サイクルのクロック入力を利用できます。DCS がオンのときは、ノイズと歪みの性能は広範なデューティ・サイクルに対してほぼ平坦です。ただし、アプリケーションによっては DCS 機能をオフにする必要があります。その場合、この状態で動作させるとダイナミック・レンジ性能が劣化する可能性があることを忘れないでください。この機能の詳細な使い方に関しては、「SPI による AD9626 の設定」を参照してください。

デューティ・サイクル・スタビライザは、遅延ロック・ループ (DLL) を使って非サンプリング・エッジを生成します。そのため、サンプリング周波数が増えると、DLL が新しいレートにロックするために約 8 クロック・サイクルが必要になります。

クロック・ジッタの考慮事項

高速、高分解能の ADC は、クロック入力品質に左右されます。任意の入力周波数 (f_A) でアパーチャ・ジッタ (t_j) のみに起因するフルスケール入力信号の S/N 比の低下は、次式で計算できます。

$$\text{SNR Degradation} = 20 \times \log_{10}[1/2 \times \pi \times f_A \times t_j]$$

この式で、アパーチャ・ジッタ実効値はクロック入力、アナログ入力信号、ADC のアパーチャ・ジッタ仕様値を含む全ジッタ源の二乗和平方根になります。IF アンダーサンプリング・アプリケーションは特にジッタの影響を強く受けます (図 50 を参照)。

アパーチャ・ジッタが AD9626 のダイナミック・レンジに影響を与える場合は、クロック入力をアナログ信号として扱う必要があります。クロック・ドライバの電源を ADC 出力ドライバの電源と分離し、クロック信号がデジタル・ノイズによって変調されないようにする必要があります。低ジッタの水晶制御発振器は最適なクロック源になります。クロックを他のタイプの信号源 (ゲート、分周器、その他の方法) で生成する場合は、最終段で元のクロックを使ってタイミングを取り直す必要があります。

ジッタ性能は ADC に関係するため、詳細についてはアプリケーション・ノート AN-501 と AN-756 を参照してください (www.analog.com をご覧ください)。

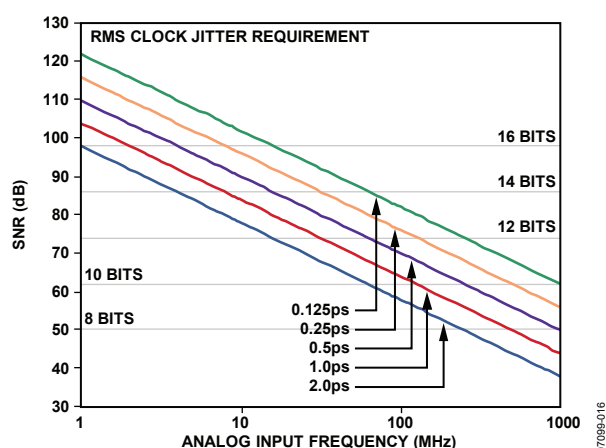


図 50. ジッタと入力周波数 対 理想的な S/N 比
(0 dBFS の入力信号の場合)

消費電力とパワーダウン・モード

図 37 に示すように、AD9626 の消費電力はサンプル・レートに比例します。デジタル消費電力は主に LVDS 出力ドライバのバイアス電流と DRVDD 電源に基づくため、あまり変動しません。

PDWN (29 番ピン) をハイにアサートすることによって、AD9626 はシリアル・ポート・レジスタ 08 の内容に従ってスタンバイ・モードかフル・パワーダウン・モードになります。PDWN ピンをローにアサートし直すことによって、AD9626 は通常の動作モードに戻ります。

クロック入力を変化させることによって、他のスタンバイ・モードも可能です。クロック・レートが 50 MHz を下回ると、AD9626

はスタンバイ状態になります。この場合、バイアス回路と内部リファレンスはオンのままですが、デジタル回路はパワーダウンします。クロックが再びアクティブになると、パイプライン遅延の後に AD9626 は通常の動作を再開します。

デジタル出力

デジタル出力とタイミング

AD9626 上のオフチップ・ドライバは、CMOS 互換の出力レベルです。出力は別電源 (DRVDD) からバイアスされるためアナログ電源から分離でき、外部ロジックとのインターフェースが簡単にできます。出力は、振幅がグラウンド電位から DRVDD まで (DC 負荷がない場合) の CMOS デバイス出力です。出力パターン配線を短くして (C_{LOAD} のトータル容量が 5 pF より小さい場合は 1 インチ未満)、ADC が駆動する容量性負荷を最小限に抑えることを推奨します。CMOS モードの動作時には、スイッチング・トランジェントが性能に及ぼす影響を低減するために値が小さい (20 Ω) 直列ダンピング抵抗をデータ・ラインに配置することも推奨します。

出力データのフォーマットは、デフォルトでオフセット・バイナリになります。出力コーディング・フォーマットの例を表 11 に示します。フォーマットを 2 の補数に変更したい場合は、「SPI による AD9626 の設定」を参照してください。

AD9626 からデータを取得するために出力クロック信号を利用できます。DCO+/DCO-信号を使用して出力データをクロック駆動しますが、この信号はシングル・ポート・モードではサンプリング・クロック (CLK) レートに等しく、インタリーブ出力モードではクロック・レートの半分になります。詳細については、図 2 と図 3 のタイミング図を参照してください。

範囲外

アナログ入力電圧が ADC の入力レンジを超えると、範囲外の状態になります。OVRA/OVRB は、サンプリングされた特定の入力電圧に対応するデータ出力と一緒に更新されるデジタル出力です。したがって、OVRA/OVRB にはデジタル・データと同じパイプライン遅延があります。図 51 に示すように、アナログ入力電圧がアナログ入力レンジ内のとき OVRA/OVRB はローレベルになり、アナログ入力電圧が入力レンジを超えると OVRA/OVRB はハイレベルになります。アナログ入力が入力レンジ内に戻り、次の変換が完了するまで、OVRA/OVRB はハイレベルを維持します。オーバーレンジ・ハイレベルまたはアンダーレンジ・ローレベルの状態を検出するには、OVRA/OVRB と MSB の AND をとって反転します。

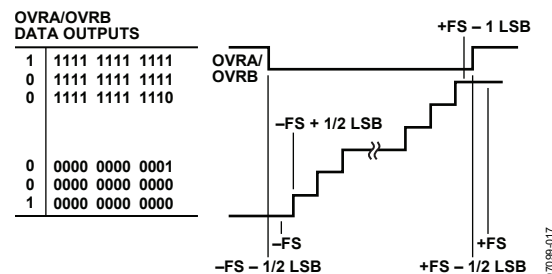


図 51. OVRA/OVRB と入力電圧/出力データの関係

タイミグーシングル・ポート・モード

シングル・ポート・モードでは、データ・ポート A (DA0~DA11) から CMOS 出力データが得られます。ポート B (DB0~DB11) の出力は使用せず、ハイ・インピーダンス状態になります。ポート A 出力と差動出力データ・クロック (DCO+/DCO-) は、DCO+ の立上がりエッジ中にほぼ同時にスイッチします。このモードでは、DCO- の立上がりエッジを使用してポート A からのデータを取得することを推奨します。セットアップ/ホールド時間は入力サンプル・クロック周期に基づき、約 $1/f_{CLK} \pm t_{SKEW}$ になります。

タイミグーインターリーブ・モード

インターリーブ・モードでは、AD9626 の出力データは、ポート A (DA0~DA11) とポート B (DB0~DB11) の 2 つのデータ・ポート・バスにデマルチプレクス (分離) されます。出力データと差動データ・キャプチャ・クロックがサンプル・クロック入力 (CLK+/CLK-) の半分のレートに変わります。そのため、シングル・ポート・モードに比べて外部データ・キャプチャ回路のセットアップ/ホールド時間が増大します (図 3 のインターリーブ・モードのタイミグ図を参照)。2 つのポートは交互のサンプル・クロック・サイクルでスイッチし、ポート A のデータは DCO+ の立上がりエッジ中に有効になり、ポート B のデータは DCO- の立上がりエッジ中に有効になります。両方のポートのパイプライン遅延は、6 サイクル分のサンプル・クロックです。インターリーブ・モードで出力段のタイミグを生成する ± 2 回路のランダム特性によって、パワーアップ時の最初のデータ・サンプルはデータ・ポート A かポート B のいずれかに割り当てられます。ユーザが入力サンプル・クロックによって出力データ・クロックの極性を制御することはできません。このモードでは、ポート A

からデータを取得するには DCO+ の立上がりエッジを使用し、ポート B からデータを取得するには DCO- の立上がりエッジを使用することを推奨します。いずれの場合も、セットアップ/ホールド時間は入力サンプル・クロック周期に依存し、どちらもおよそ $2/f_S \pm t_{SKEW}$ になります。

$f_S/2$ スプリアス

インターリーブ出力モードで AD9626 の出力データレートはサンプリング周波数の半分になるため、デバイスの出力には相当な $f_S/2$ エネルギーがあり、ADC 出力スペクトルの $f_S/2$ にかなりのエネルギーが生じます。この $f_S/2$ エネルギーが AD9626 のアナログ入力やクロック回路に結合しないように注意する必要があります。これらに $f_S/2$ エネルギーが結合すると、スプリアス・トーンが $f_S/4$ 、 $3f_S/4$ 、 $5f_S/4$ のあたりに生じます。たとえば、90 MHz のシングル・アナログ入力の 125 MSPS サンプリング・アプリケーションでは、このエネルギーは 97.5 MHz でトーンを生成します。

$$[(3 \times 125 \text{ MSPS}/4 - 90 \text{ MHz}) + 3 \times 125 \text{ MSPS}/4]$$

IF 周波数とナイキスト領域の中心との関係に応じて、このスプリアス・トーンが対象となる帯域に出たり出なかったりします。AD9601 には $f_S/2$ の残留エネルギーがいくらか存在しますが、一般にこのスプリアスのレベルはクロック・レートの高調波のレベルを下回ります。図 20 に、AD9626-250 におけるアナログ入力周波数と $f_S/2$ のスプリアス・レベルの関係を示します。表 2 に示す仕様では、デバイスはシングル・ポート出力モードで規定されているため、 $f_S/2$ のスプリアス効果は考慮されていません。

レイアウトのポイント

電源とグラウンドの推奨事項

AD9626 に電源を接続するときは、2 つの独立した電源を使用することを推奨します。1 つはアナログ (AVDD、公称 1.8 V) 用、もう 1 つはデジタル (DRVDD、公称 1.8 V) 用です。1.8 V の単電源のみの場合は、まず AVDD に接続し、そこから分岐してデカップリング・コンデンサを接続した後にフェライト・ビーズまたはフィルタ・チョークでアイソレーションし、DRVDD に接続します。高周波と低周波に対応するために複数の異なるデカップリング・コンデンサを使用できます。これらのデカップリング・コンデンサは PC ボード・レベルの入り口の近く、またデバイスの近くに最短パターンを用いて配置する必要があります。

AD9626 を使用するときは、PC ボードに 1 層のグラウンド・プレーンで十分です。適切なデカップリングを行い、PC ボードのアナログ部分、デジタル部分、クロック部分をそれぞれ効率的に分けることによって最適な性能が簡単に得られます。

放熱パッドのサーマル・ヒート・スラグの推奨事項

AD9626 の最適な電気性能と熱性能を得るには、ADC の下側の放熱パッドをアナログ・グラウンド (AGND) に接続する必要があります。AD9626 の放熱パッド (ピン 0) を PC ボードの連続的な銅プレーンに重ね合わせてください。銅プレーンには複数のビアを設け、PC ボードの裏面から最小の抵抗で放熱する経路を作る必要があります。これらのビアはハンダで埋めるか詰めてください。

ADC と PC ボードとの接触面と接着を最大にするため、シルクスクリーンで覆い、PC ボードの連続的な銅プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時にこの 2 つの間に複数の接続点が形成されます。シルクスクリーン・パーティションのない 1 枚の連続プレーンを使用すると、ADC と PC ボードの間の接続点が 1 つだけになってしまいます。図 52 の PC ボードのレイアウト例を参照してください。パッケージとチップ・スケール・パッケージの PC ボード・レイアウトの詳細については、アプリケーション・ノート AN-772 『リード・フレーム・チップ・スケール・パッケージ (LFCSP) の設計および製造ガイド』をご覧ください。

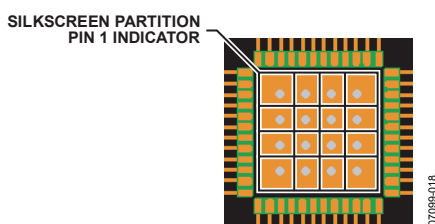


図 52. 代表的な PC ボードのレイアウト

CML

図 54 に示すように、CML ピンは、0.1 μ F のコンデンサを用いてグラウンドにデカップリングする必要があります。

RBIAS

AD9626 では、RBIAS ピンとグラウンドの間に 10 k Ω の抵抗を接続する必要があります。この抵抗は ADC コアのマスター電流リファレンスを設定するもので、少なくとも 1% の許容誤差が必要です。

SPI による AD9626 の設定

AD9626 のシリアル・ポート・インターフェース (SPI) によって、ADC 内部の構成レジスタ・スペースを介して特定の機能や動作を設定できます。これによって、アプリケーションに応じてきわめて柔軟にデバイスの動作をカスタマイズできるようになります。アドレスへのアクセスは 1 バイト・ワード単位で、シリアルに書き込みや読み出しができます。「メモリ・マップ」で説明するように、各バイトはさらにフィールドに分割されます。

この ADC へのシリアル・ポート・インターフェース (SPI) は、SPI SCLK/DFS、SPI SDIO/DCS、CSB の 3 本のピンで定義します。SCLK/DFS (シリアル・クロック) は、ADC の読み出しデータと書き込みデータの同期に使用します。SDIO/DCS (シリアル・データ入出力) には 2 つの役割があり、ADC 内のメモリ・マップ・レジスタへのデータの送信および読み出しを行います。CSB ピンは、読み出しサイクルと書き込みサイクルをイネーブルまたはディスエーブルするアクティブ・ローの制御ピンです (表 8 を参照)。

表 8. シリアル・ポート・ピン

Mnemonic	Function
SCLK	SCLK (Serial Clock) is the serial shift clock in. SCLK is used to synchronize serial interface reads and writes.
SDIO	SDIO (Serial Data Input/Output) is a dual-purpose pin. The typical role for this pin is an input and output depending on the instruction being sent and the relative position in the timing frame.
CSB	CSB (Chip Select Bar) is an active low control that gates the read and write cycles.
RESET	Master Device Reset. When asserted, device assumes default settings. Active low.

CSB の立下がりエッジと SCLK の立上がりエッジによって、フレーミングが開始します。図 53 と表 10 に、シリアル・タイミングの例とその定義を示します。

命令フェーズでは、16 ビットの命令が送信されます。データは命令フェーズに続き、W0 ビットと W1 ビットにより定まる 1 バイト以上のデータになります。データはすべて 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットが読み出された後は書き込みのいずれのコマンドかを示します。これに基づいて、シリアル・データ入出力 (SDIO) ピンが入力から出力に方向を変更します。

データは、MSB ファーストまたは LSB ファーストで送信できます。パワーアップ時にデフォルトで MSB ファーストに設定されますが、設定レジスタで変更できます。詳細については、www.analog.com の『Interfacing to High Speed ADCs via SPI』を参照してください。

ハードウェア・インターフェース

表 8 に示したピンは、ユーザのプログラミング・デバイスと AD9626 のシリアル・ポートの間の物理的なインターフェースになります。すべてのシリアル・ピンは入力であり、オープン・ドレイン出力として外部のプルアップまたはプルダウン抵抗（推奨値は 10 kΩ）に接続する必要があります。

SPI インターフェースはきわめてフレキシブルであり、PROM でも PIC マイクロコントローラでも制御できます。これによって、SPI コントローラを使用しなくても ADC をプログラミングできます。

SPI インターフェースを使用しないときは、一部のピンを 2 つの機能に使用できます。デバイスのパワーオン時に AVDD またはグラウンドにピンを接続することで、特定の機能に関連付けることができます。AD9626 が対応する接続可能な機能については「SPI を使用しない設定」で説明します。

SPI を使用しない設定

SPI の制御レジスタに接続しないアプリケーションでは、SPI SDIO/DCS ピンと SPI SCLK/DFS ピンをスタンダロンの CMOS 互換制御ピンに使用できます。デバイスのパワーアップ時に、これらのピンはデューティ・サイクル・スタビライザを設定するためのスタティックな制御ラインとして使用できる状態になります。このモードでは、チップ・セレクトの SPI CSB ピンをグラウンドに接続してください。これによって、シリアル・ポート・インターフェースがディスエーブルになります。

表 9. モードの選択

Mnemonic	External Voltage	Configuration
SPI SDIO/DCS	AVDD	Duty cycle stabilizer enabled
	AGND	Duty cycle stabilizer disabled
SPI SCLK/DFS	AVDD	Twos complement enabled
	AGND	Offset binary enabled

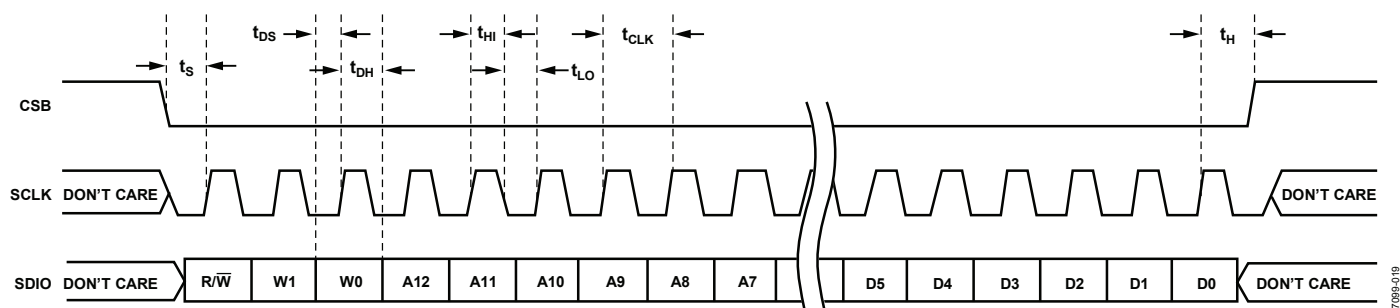


図 53. シリアル・ポート・インターフェースのタイミング図

07059-019

表 10. シリアル・タイミングの定義

パラメータ	タイミング（最小、ns）	説明
t_{DS}	5	データから SCLK の立上がりエッジまでのセットアップ時間
t_{DH}	2	データから SCLK の立上がりエッジまでのホールド時間
t_{CLK}	40	クロック期間
t_S	5	CSB から SCLK までのセットアップ時間
t_H	2	CSB から SCLK までのホールド時間
t_{HI}	16	SCLK をロジック・ハイレベルに維持しなければならない最小時間
t_{LO}	16	SCLK をロジック・ローレベルに維持しなければならない最小時間
t_{EN_SDIO}	1	SCLK の立下がりエッジを基準にして、SDIO ピンが入力から出力にスイッチするための最小時間（図 53 には図示していません）
t_{DIS_SDIO}	5	SCLK の立上がりエッジを基準にして、SDIO ピンが出力から入力にスイッチするための最小時間（図 53 には図示していません）

表 11. 出力データのフォーマット

Input (V)	Condition (V)	Offset Binary Output Mode D11 to D0	Twos Complement Mode D11 to D0	Gray Code Mode (SPI Accessible) D11 to D0	OR
VIN+ – VIN–	< -0.62	0000 0000 0000	0000 0000 0000	0000 0000 0000	1
VIN+ – VIN–	= -0.62	0000 0000 0000	0000 0000 0000	0000 0000 0000	0
VIN+ – VIN–	= 0	0000 0000 0000	0000 0000 0000	0000 0000 0000	0
VIN+ – VIN–	= 0.62	1111 1111 1111	1111 1111 1111	0000 0000 0000	0
VIN+ – VIN–	> 0.62 + 0.5 LSB	1111 1111 1111	1111 1111 1111	0000 0000 0000	1

メモリ・マップ

メモリ・マップ・テーブルの読み出し

メモリ・マップ・テーブルの各行には、8つの対象となるロケーションがあります。メモリ・マップは大きく 3 つのセクション「チップ設定レジスタ」（アドレス 0x00～0x02）、「転送レジスタ」（アドレス 0xFF）、「プログラム・レジスタ」（アドレス 0x08～0x2A）に分かれています。

メモリ・マップの「Addr (Hex)」列には、16 進数のレジスタ・アドレスが記載されています。「Default Value (Hex)」列は、レジスタに書き込まれている 16 進数の初期値です。「Bit 7 (MSB)」列は、それぞれの 16 進数の初期値の先頭です。たとえば、16 進数アドレスが 0x09 の「clock」は 0x01 という 16 進数の初期値になります。Bit 7=0、Bit 6=0、Bit 5=0、Bit 4=0、Bit 3=0、Bit 2=0、Bit 1=0、Bit 0=1 ですから、2 進数で 0000 0001 となります。このデフォルト値がデューティ・サイクル・スタビライザをイネーブルします。このデフォルトを上書きして Bit 0=0 にすると、デューティ・サイクル・スタビライザがディセーブルされます。詳細については、www.analog.com にあるユーザ・マニュアル『Interfacing to High Speed ADCs via SPI』を参照してください。

表 12. メモリ・マップ・レジスタ

Addr (Hex)	Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
Chip Configuration Registers											
00	chip_port_config	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles should be mirrored by the user so that LSB or MSB first mode registers correctly, regardless of shift mode.
01	chip_id	8-bit chip ID, Bits[7:0] AD9626 = 0x3c								Read-only	Default is unique chip ID, different for each device. This is a read-only register.
02	chip_grade	0	0	0	Speed grade: 00 = 170 MSPS 01 = 210 MSPS 10 = 250 MSPS		X	X	X	Read-only	Child ID used to differentiate graded devices.
Transfer Register											
FF	device_update	0	0	0	0	0	0	0	SW transfer	0x00	Synchronously transfers data from the master shift register to the slave.
ADC Functions											
08	modes	0	0	PDWN: 0 = full (default) 1 = standby	0	0	Internal power-down mode: 000 = normal (power-up, default) 001 = full power-down 010 = standby 011 = normal (power-up) Note: external PDWN pin overrides this setting			0x00	Determines various generic modes of chip operation.

予約ロケーション

未定義のメモリ・ロケーションには、このデータシートに記載されたデフォルト値以外の値を書き込まないでください。値が 0 となっているアドレスは予約ロケーションと見なされ、パワーアップ時に 0 が書き込まれます。

初期値

リセットが行われると、重要なレジスタに初期値がロードされます。表 12 にレジスタの初期値を示します。他のレジスタには初期値がなく、リセット後に前の値を保持しています。

ロジック・レベル

レジスタの説明においては、「ビットがセットされる」とは「ビットがロジック入力「1」に設定される」または「ビットにロジック入力「1」を書き込む」と同義です。同様に、「ビットをクリアする」とは「ビットがロジック入力「0」に設定される」または「ビットにロジック入力「0」を書き込む」と同義です。

Addr (Hex)	Parameter Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
09	clock	0	0	0	0	0	0	0	Duty cycle stabilizer: 0 = disabled 1 = enabled (default)	0x01	
OD	test_io			Reset PN23 gen: 1 = on 0 = off (default)	Reset PN9 gen: 1 = on 0 = off (default)	Output test mode: 0000 = off (default) 0001 = midscale short 0010 = +FS short 0011 = -FS short 0100 = checker board output 0101 = PN 23 sequence 0110 = PN 9 0111 = one/zero word toggle 1000 = unused 1001 = unused 1010 = unused 1011 = unused 1100 = unused (Format determined by output_mode)				0x00	When set, the test data is placed on the output pins in place of normal data.
OF	ain_config	0	0	0	0	0	Analog input disable: 1 = on 0 = off (default)	CML enable: 1 = on 0 = off (default)	0	0x00	
14	output_mode	0	0	Interleave output mode: 1 = enabled 0 = disabled (default)	Output enable: 0 = enable (default) 1 = disable	0	Output invert: 1 = on 0 = off (default)	Data format select: 00 = offset binary (default) 01 = twos complement 10 = Gray code		0x00	
16	output_phase	Output clock polarity 1 = inverted 0 = normal (default)	0	0	0					0x03	
17	flex_output_delay	Output delay enable: 0 = enable 1 = disable			Output clock delay: 00000 = 0.1 ns 00001 = 0.2 ns 00010 = 0.3 ns ... 11101 = 3.0 ns 11110 = 3.1 ns 11111 = 3.2 ns					0x00	
18	flex_vref				Input voltage range setting: 10000 = 0.98 V 10001 = 1.00 V 10010 = 1.02 V 10011 = 1.04 V ... 11111 = 1.23 V 00000 = 1.25 V 00001 = 1.27 V ... 01110 = 1.48 V 01111 = 1.50 V					0x00	



図 54. AD9601：評価用ボードの回路図（1 ページ）

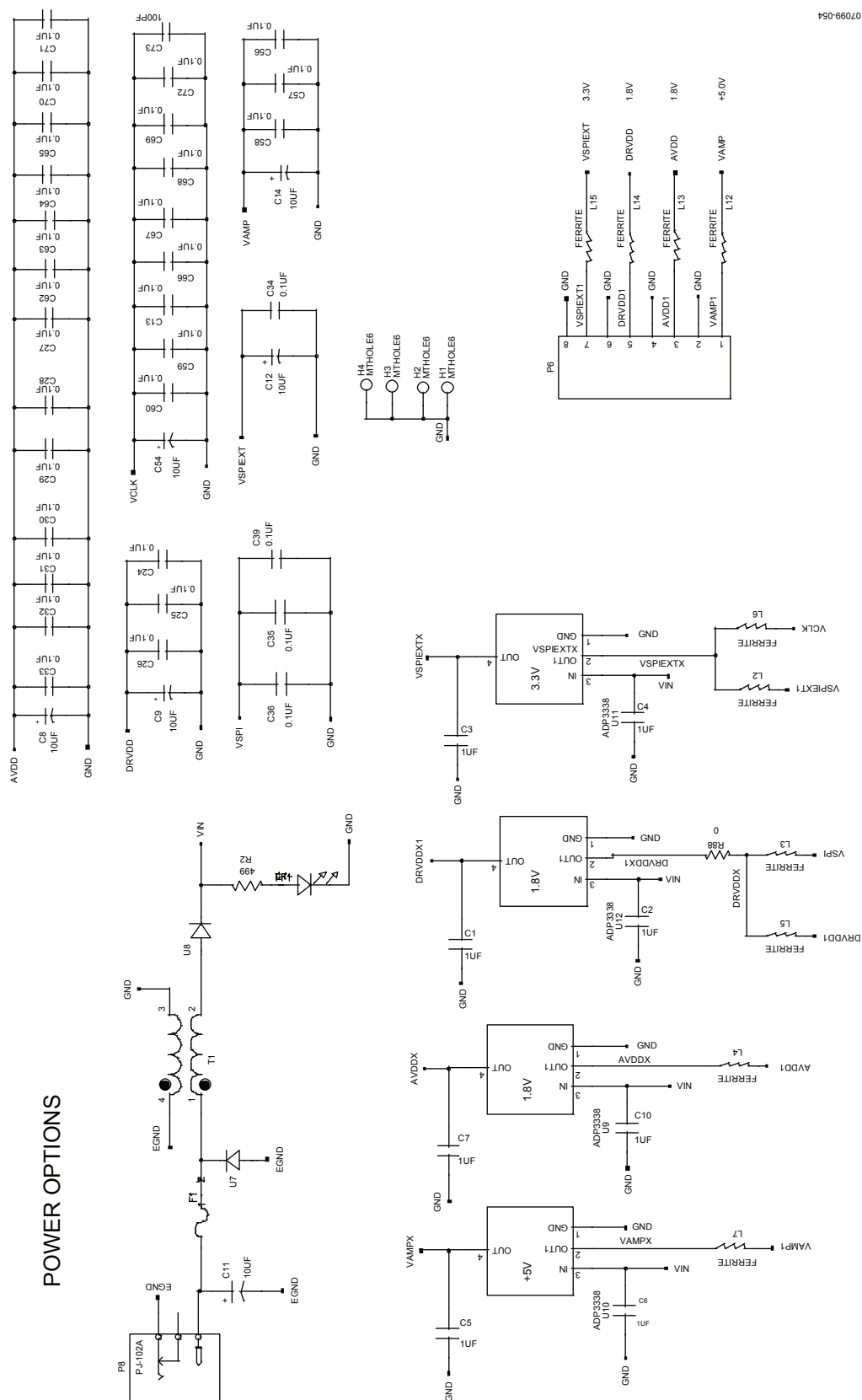
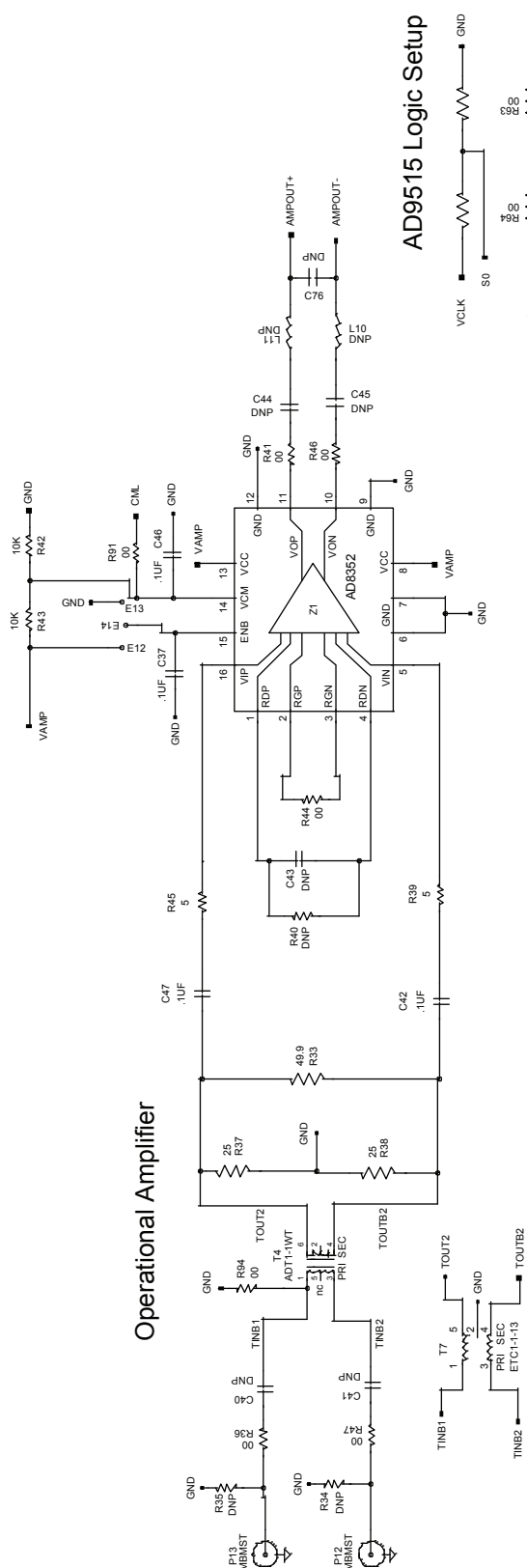
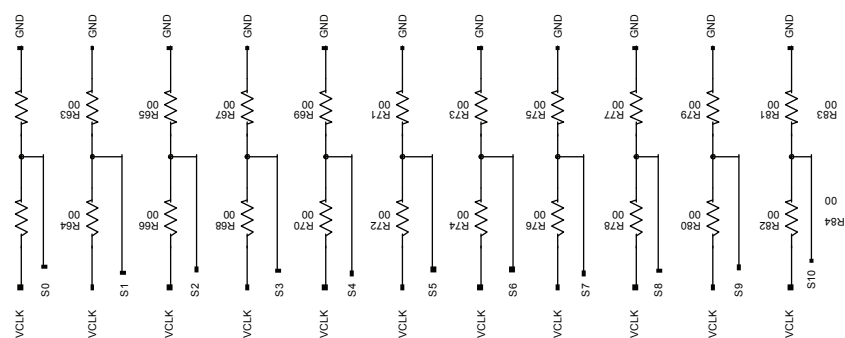


図 55. AD9601 : 評価用ボードの回路図 (2 ページ)

Operational Amplifier



AD9515 Logic Setup



AD9515(Opt_Clk Circuit)

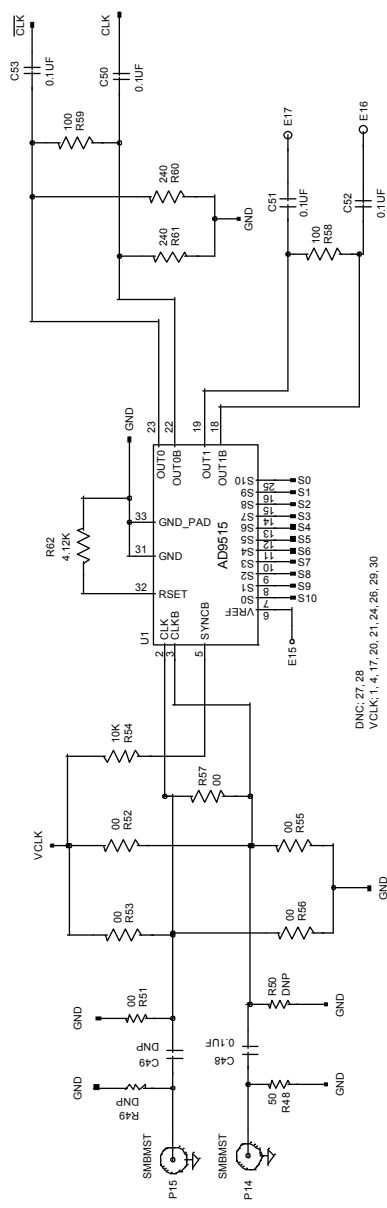


図 56. AD9601 : 評価用ボードの回路図 (3 ページ)

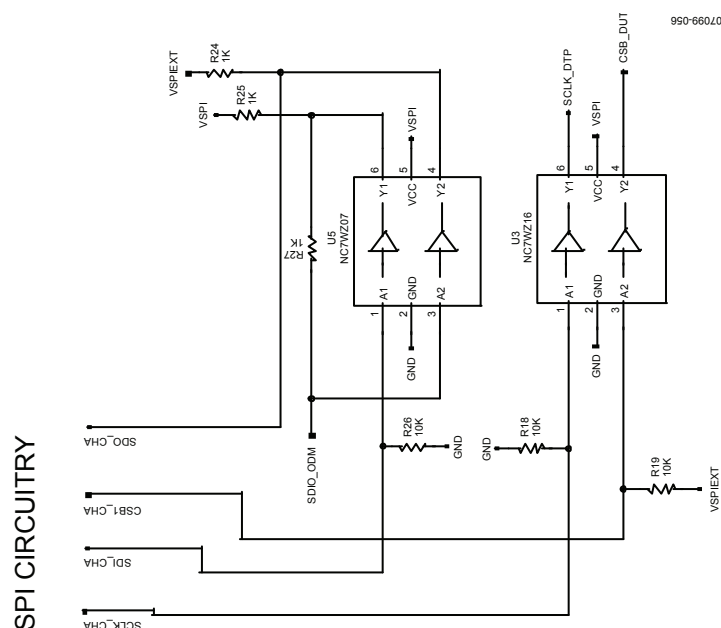


図 57. AD9601：評価用ボードの回路図（4 ページ）

表 13. 部品表（BOM）

数量	参照記号	パッケージ	説明	メーカー	製品番号
1		PCB	PC ボード、AD9230 カスタム評価用ボード、Rev. G	Moog	AD9230revG
7	C1, C3, C4, C5, C6, C7, C10	603	コンデンサ、1 μ F、0603、X5R、セラミック、6.3 V、10%	Panasonic	ECJ-1VB0J105K
6	C8, C9, C11, C12, C14, C55	6032-28	コンデンサ、10 μ F、タンタル、16 V、10%	Kemet	T491C106K016AS
1	C17	402	コンデンサ、2.0 pF、50 V、セラミック、0402、SMD	Murata	GRM1555C1H2R0GZ01D
7	C27, C32, C33, C62, C63, C64, C71	402	コンデンサ、0.33 μ F、セラミック、X5R、10 V、10%	Murata	GRM155R61A334KE15D
6	C28, C29, C30, C31, C65, C70	402	コンデンサ、120 pF、セラミック、C0G、25 V、5%	Murata	GRM1555C1H121JA01J
10	C21, C22, C23, C24, C25, C26, C34, C35, C36, C39	402	コンデンサ、0.1 μ F、セラミック、X5R、10 V、10%	Murata	GRM155R71C104KA88D
1	CR4	603	LED 緑色、SMT、0603、SS-TYPE	Panasonic	LNJ314G8TRA
1	CR2	Mini 3P	ダイオード、30 V、20 mA	Agilent	HSMS2812
1	F1	1210	ヒューズ、6.0 V、2.2 A トリップ電流のリセットが可能なヒューズ	Tyco/Raychem	NANOSMDC110F-2
15	E1, E2, E3, E4, E5, E7, E8, E9, E10, E12, E13, E14, E31, E32, E33		コネクタ、ヘッダ、0.1"	Samtec	TSW-150-08-G-S
2	J2, J3	SMA end launch	コネクタ、SMA PC ボード同軸エンド・ランチ、Johnson 142	Johnson	142-0701-851
10	L2, L3, L4, L5, L7, L12, L13, L14, L15, R88	1206	フェライト・ビーズ、BLM、3 A、50 Ω @100 MHz	Murata	BLM31PG500SN1L
1	P8		電源ジャック、オス、2.1 mm 電源ジャック dc	CUI Inc	CP-102A-ND
1	R1	201	抵抗、100 Ω 、0201、1/20 W、1%	NIC Components	NRC02F1000TRF
1	R2	603	抵抗、499 Ω 、0603、1/10 W、1%	NIC Components	NRC06F4990TRF

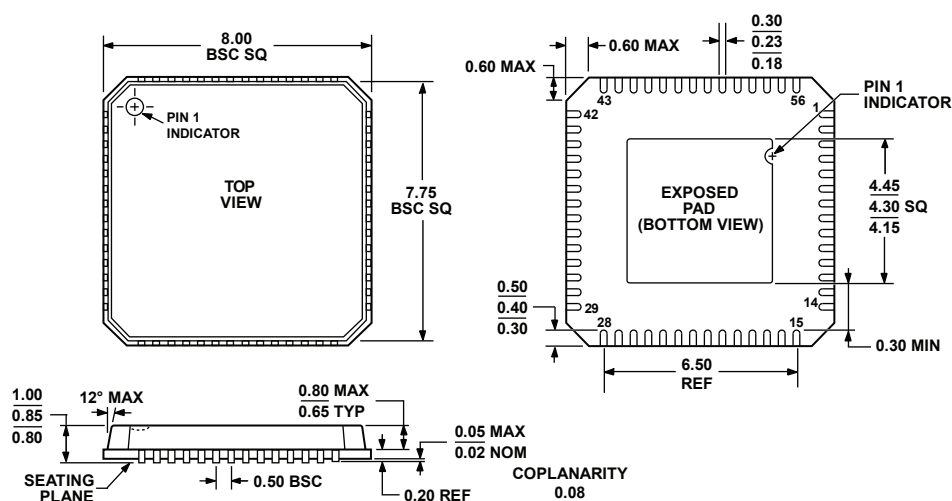
数量	参照記号	パッケージ	説明	メーカー	製品番号
2	R5, R6	402	抵抗、36 Ω、0402、1/16 W、1%	Panasonic	ERJ-2GEJ360X
2	R7, R16	402	抵抗、15 Ω、0402、1/16 W、5%	Panasonic	ERJ-2RKF15R0X
6	R10, R11, R13, R24, R25, R27	402	抵抗、1 kΩ、0402、1/16 W、1%	NIC Components	NRC04F1001TRF
4	R12, R18, R19, R26,	402	抵抗、10 kΩ、0402、1/16 W、5%	NIC Components	NRC04J103TRF
7	R15, C16, C18, C19, C20, R89, R90	402	抵抗、0 Ω、0402、1/16 W、5%	NIC Components	NRC04ZOTRF
4	RN1, RN2, RN3, RN4	0402x8	抵抗アレイ、SMT 0402; 0 Ω、¼ W、5%、RESNEXB-2HV	Panasonic	EXB2HV050JV
3	L1, L8, L9	603	抵抗、0 Ω、0603、1/10 W、5%	NIC Components	NRC06ZOTRF
1	P9, P10	805	抵抗、0 Ω、0805、1/8 W、1%	NIC Components	NRC10ZOTRF
1	SW3	EVQ-Q2F03 W	スイッチ、ライト・タッチ SMD	Panasonic	P12937SCT-ND
1	T1	2020	フェライト・ビーズ、5 A、50 V、190 Ω@100MHz	Murata	DLW5BSN191SQ2L
2	T2,T3	CD542	トランス、0.5 W、30 mA	Mini-Circuits	ADT1-1WT+
1	U3	6-SC70	IC、バッファ、インバータ、UHS デュアル SC70-6	Fairchild	NC7WZ16P6X
1	U5	6-SC70	IC、バッファ、インバータ、UHS デュアル OD 出力 SC70-6	Fairchild	NC7WZ07P6X
1	U7	DO-214AA	ダイオード、50 V、2 A	Micro Commercial	S2A-TPMSTR-ND
1	U8	DO-214AB	ダイオード、30 V、3 A (SMC)	Micro Commercial	SK33-TPMSCT-ND
1	U11	SOT-223	電圧レギュレータ、3.3 V、1.5 A	Analog Devices	ADP3339AKCZ-3.3
2	U9, U12	SOT-223	電圧レギュレータ、1.8 V、1.5 A	Analog Devices	ADP3339AKCZ-1.8
1	U4	LFCSP56	AD9230 12 ビット、170/210/250 MSPS、1.8 V ADC、LFCSP-56	Analog Devices	AD9230BCPZ-xxx
2	P7, P11	HM-Zd PCB	コネクタ、2-Pr、10 カラム、高速、HM-Zd、PC ボード・マウント	Tyco	6469169-1

以下はインストールしません。

0	C2, C54	TAJD	コンデンサ、タンタル、SMT 6032、10 μF、16 V、10%	Kemet	T491C106K016AS
0	C15, C37, C38, C40, C41, C61, C42, C43, C44, C45, C46, C47, C48, C49, C50, C51, C52, C53, C39, C56, C57, C58, C59, C74, C75, C60, C66, C67, C68, C69, C72	402	コンデンサ、0.1 μF、セラミック、10%	Murata	GRM155R71C104KA88D
0	CR1	Led_ss	LED 緑色、USS タイプ 0603	Panasonic	LNJ314G8TRA
0	CR3	Diode	ショットキー・ダイオード	Agilent	HSMS2812
0		805		Tyco/Raychem	NANOSMDC110F-2
0	E6, E15, E16, E17, E18, E19, E20		コネクタ、ヘッダ、0.1"	Samtec	TSW-150-08-G-S
0	J1	10-pin header	TSW-110-08-G-D	Samtec	TSW-110-08-G-D
0	J4	SMA	コネクタ、PC ボード同軸 SMA エンド・ランチ、Johnson 142	Johnson	142-0701-851
0	L6	1206	インダクタ、10 nH	Murata	BLM31P500S
0	P12, P13, P14, P15		SMA	Amphenol RF	ARFX1231-ND

数量	参照記号	パッケージ	説明	メーカー	製品番号
0	R3, R14, R33, R34, R35, R48, R49	402	抵抗、49.9 Ω	Susumu	RR0510R-49R9-D
0	R42, R43, R54, R85, R86	402	抵抗、10 k Ω	NIC Components	NRC04J103TRF
0	R28, R29, R30, R31, R32	402	抵抗、5 k Ω	NIC Components	NRC04F4991TRF
0	R37, R38	402	抵抗、25 Ω	NIC Components	NRC04F24R9TRF
0	R39, R45	402	抵抗、5 Ω	NIC Components	NRC04J5R1TRF
0	R58, R59	402	抵抗、100 Ω	NIC Components	NRC04F1000TRF
0	R60, R61	402	抵抗、240 Ω	NIC Components	NRC04J241TRF
0	R8, R9, R17, R36, R40, R41, R44, R46, R47, R87, R50, R51, R52, R53, R55, R56, R57, R62, R63, R64, R65, R66, R67, R68, R69, R70, R71, R72, R73, R74, R75, R76, R77, R78, R79, R80, R81, R82, R83, R84	402	抵抗、0 Ω	NIC Components	NRC04ZOTRF
0	P1, P2, P16, P17	805	抵抗、0 Ω	NIC Components	NRC10ZOTRF
0	SW1	EVQ-Q2F03W	スイッチ、ライト・タッチ SMD	Panasonic	P12937SCT-ND
0	T4		トランス、RF、0.4~800MHz、SMD ケース・スタイル CD542	Mini-Circuits	ADT1-1WT+
0	T5, T6	sm-22	バラン	M/A-Com	MABA007159-0000
0	U2	SOIC-8	PIC12F629	Microchip Tech	PIC12F629-I/SN
0	U6	Crystal	Cvhd_956 水晶発振器		CVHD_956
0	U10	SOT-223	レギュレータ		ADP3339AKCZ-5.0
0	Z1	16CSP4X4	AD8352		
0	U1	16CSP8X8	AD9515		
0	P6		8 ピン電源コネクタ・ポスト	Wieland	Z5.530.0825.0
0	P6		8 ピン電源コネクタ・トップ	Wieland	25.602.2853.0

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VLLD-2

図 58. 56 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
 8 mm × 8 mm ボディ、超薄型クワッド
 (CP-56-2)
 寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9626BCPZ-170 ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-2
AD9626BCPZ-210 ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-2
AD9626BCPZ-250 ¹	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-2
AD9626-250EBZ ¹		CMOS Evaluation Board with AD9626BCPZ-250	

¹ Z = RoHS 準拠製品