



発振器周波数アップコンバータ

AD9552

特長

- 低周波入力リファレンス信号を高周波出力信号へ変換
- 入力周波数: 6.6 MHz~112.5 MHz
- 出力周波数: 最大 900 MHz
- プリセット・ピンで周波数変換比を設定可能
- 任意の周波数変換比をSPIポートから設定可能
- VCOを内蔵
- リファレンス周波数ソースとして水晶共振子および/または外部発振器を接続可能
- プライマリ出力の整数倍またはリファレンス入力の複製をセカンダリ出力に出力
- RMSジッタ: 0.5 ps以下
- SPI互換の3線式設定用インターフェース
- 単電源 (3.3 V)
- 非常に小さい消費電力: 400 mW以下(ほとんどの条件で)
- 小型パッケージ・サイズ (5 mm × 5 mm)を採用

アプリケーション

- 高周波VCXO、OCXO、SAW共振子のコスト/パフォーマンスの優れた置き換え品
- SONET/SDH (FECなど)、10 Gbイーサネット、ファイバ・チャネル、DRFI/DOCSISを対象とする低ジッタの極めて柔軟な周波数変換
- HDビデオ用周波数変換
- ワイヤレス・インフラストラクチャ
- テストおよび計測機器(携帯型機器を含む)

概要

AD9552 は、高周波水晶発振器と共振子を置き換えるために特別にデザインされたクロック・ジェネレータを採用した非整数型N位相ロック・ループ(PLL)です。このデバイスは、非整数周波数シンセシスを可能にするためシグマ・デルタ($\Sigma\Delta$)変調器(SDM)を採用しています。入力リファレンス信号は、REFピンへシングルエンド・クロック信号を直接接続するか、または両XTALピン間に水晶共振子を接続することにより入力します。AD9552 はピン設定により、8種類の共通入力周波数に基いて64種類の出力周波数を提供します。また、このデバイスは3線式SPIインターフェースを内蔵しているため、ユーザー指定の入力対出力周波数比を設定することができます。AD9552 では、外付けコンデンサを使用してPLLのループ・フィルタを構成します。AD9552 はCMOSプロセスで製造されていますが、出力はLVPECL、LVDS、シングルエンドCMOSロジック・レベルと互換です。AD9552 の動作は、 $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$ の拡張工業温度範囲で規定されています。

基本ブロック図

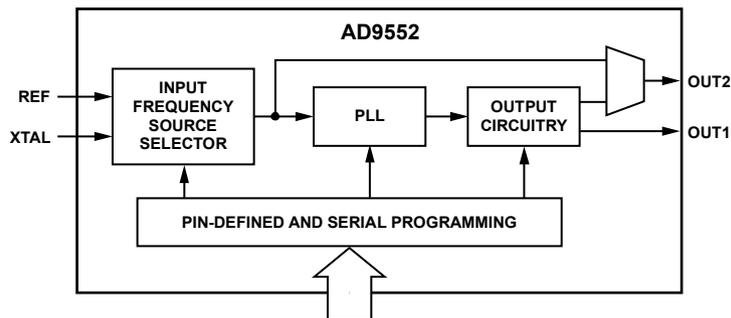


図 1.

07806-001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. D

©2009-2011 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	プリセット周波数比	13
アプリケーション	1	コンポーネント・ブロック	15
概要	1	デバイスの初期化と自動パワーオン・リセット	17
基本ブロック図	1	出力周波数と入力周波数の関係	17
改訂履歴	2	分周値の計算	17
仕様	3	低ドロップアウト(LDO)レギュレータ	18
水晶入力特性	4	アプリケーション情報	19
出力特性	4	熱性能	19
ジッタ特性	5	シリアル・コントロール・ポート	20
シリアル・コントロール・ポート	6	シリアル・コントロール・ポート・ピンの説明	20
シリアル・コントロール・ポートのタイミング	6	シリアル・コントロール・ポートの動作	20
絶対最大定格	7	命令ワード(16ビット)	21
ESDの注意	7	MSB/LSBファースト転送	21
ピン配置およびピン機能説明	8	レジスタ・マップ	24
代表的な性能特性	9	レジスタ・マップの説明	25
推奨入力/出力終端	12	外形寸法	31
動作原理	13	オーダー・ガイド	31

改訂履歴

7/11—Rev. C to Rev. D

Changes to Table 1, Reference Clock Input Characteristics, Input High Voltage and Input Low Voltage Parameter Values	4
Changes to Table 8, Added Endnote for Pin 9 and Pin 10	8
Changes to Part Initialization Automatic Power-On Reset Section, Second Paragraph	17
Changes to Thermal Performance Section, First Paragraph	19
Changes to Serial Port Control Section, First Paragraph	20
Changes to Table 20, Added Endnote to Bit 2 Description	27
Updated Outline Dimensions	31

7/10—Rev. B to Rev. C

Changed Crystal Load Capacitance to 15 pF	Throughout
Added Conditions Statement to Specifications Section, Supply Voltage Specifications, and Input Voltage Specifications	3
Reformatted Specifications Section (Renumbered Sequentially)	3
Added Input/Output Termination Recommendations Section, Figure 17, and Figure 18 (Renumbered Sequentially)	13
Moved Preset Frequency Ratios Section	13
Changes to Component Blocks Section	15
Added Part Initialization and Automatic Power-On Reset Section	17

4/10—Rev. A to Rev. B

Changes to Preset Frequency Ratios Section	12
Moved Table 15 and Changes to Table 15	13
Changes to Figure 17	14
Changes to PLL Section, Output Dividers Section, and Input-to-OUT2 Option Section	15
Changes to Output/Input Frequency Relationship Section	16
Changes to Table 22	23
Changes to Table 26	26

9/09—Rev. 0 to Rev. A

Changes to Table 4	3
Changes to Table 5	4
Added Table 6; Renumbered Sequentially	4
Changes to Figure 5	9
Changes to PLL Section	14
Changes to Table 22	21
Changes to Table 25	24

7/09—Revision 0: Initial Version

仕様

最小(min)値と最大(max)値は、電源電圧変動と動作温度変動の全範囲に適用されます。typ 値は、VDD = 3.3 V の場合の値です。特に指定がない限り、T_A = 25°C。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE	3.135	3.30	3.465	V	Pin 7, Pin 18, Pin 21, Pin 28
POWER CONSUMPTION					
Total Current		149	169	mA	At maximum output frequency with both output channels active
VDD Current By Pin					
Pin 7		2	3	mA	
Pin 18		77	86	mA	
Pin 21		35	41	mA	
Pin 28		35	41	mA	
LVPECL Output Driver		36	41	mA	900 MHz with 100 Ω termination between both pins of the output driver
LOGIC INPUT PINS					
INPUT CHARACTERISTICS ¹					
Logic 1 Voltage, V _{IH}	1.0			V	For the CMOS inputs, a static Logic 1 results from either a pull-up resistor or no connection
Logic 0 Voltage, V _{IL}			0.8	V	
Logic 1 Current, I _{IH}			3	μA	
Logic 0 Current, I _{IL}			17	μA	
LOGIC OUTPUT PINS					
Output Characteristics					
Output Voltage High, V _{OH}	2.7			V	
Output Voltage Low, V _{OL}			0.4	V	
RESET PIN					
Input Characteristics ²					
Input Voltage High, V _{IH}	1.8			V	
Input Voltage Low, V _{IL}			1.3	V	
Input Current High, I _{INH}		0.3	12.5	μA	
Input Current Low, I _{INL}		31	43	μA	
Minimum Pulse Width High	2			ns	
REFERENCE CLOCK INPUT CHARACTERISTICS					
Frequency Range	7.94			MHz	N ³ = 255; 2× frequency multiplier enabled; valid for all VCO bands
	6.57			MHz	N ³ = 255; 2× frequency multiplier enabled; f _{VCO} = 3.35 GHz, which constrains the frequency at OUT1 to be an integer sub-multiple of 3.35 GHz (that is, f _{OUT1} = 3.35 ÷ M GHz, where M is the product of the P ₀ and P ₁ output divider values)
			93.06	MHz	SDM ⁴ disabled; N ³ = 36 ⁵ ; valid for all VCO bands
			71.28	MHz	SDM ⁴ enabled; N ³ = 47 ⁶ ; valid for all VCO bands
			112.5	MHz	SDM ⁴ disabled; N ³ = 36 ⁵ ; f _{VCO} = 4.05 GHz, which constrains the frequency at OUT1 to be an integer sub-multiple of 4.05 GHz (that is, f _{OUT1} = 4.05 ÷ M GHz, where M is the product of the P ₀ and P ₁ output divider values)
			86.17	MHz	SDM ⁴ enabled; N ³ = 47 ⁶ ; f _{VCO} = 4.05 GHz, which constrains the frequency at OUT1 to be an integer sub-multiple of 4.05 GHz (that is, f _{OUT1} = 4.05 ÷ M GHz, where M is the product of the P ₀ and P ₁ output divider values)

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Input Capacitance		3		pF	
Input Resistance		130		k Ω	
Duty Cycle	40		60	%	
Input Voltage					
Input High Voltage, V_{IH}	1.62			V	
Input Low Voltage, V_{IL}			0.52	V	
Input Threshold Voltage		1.0		V	When ac coupling to the input receiver, the user must dc bias the input to 1 V
VCO CHARACTERISTICS					
Frequency Range					
Upper Bound		4050		MHz	
Lower Bound		3350		MHz	
VCO Gain		45		MHz/V	
VCO Tracking Range	± 300			ppm	
VCO Calibration Time		140		μ s	$f_{PFD}^7 = 77.76$ MHz; time between completion of the VCO calibration command (the rising edge of \overline{CS} (Pin 12)) to the rising edge of LOCKED (Pin 20).

¹ A[2:0], Y[5:0], OUTSEL の各ピンには 100 k Ω の内部プルアップ抵抗がついています。

² デバイスのデフォルト状態がリセットされるように、RESET ピンは 100 k Ω プルアップ抵抗を内蔵しています。

³ N は帰還分周器の整数部分です。

⁴ シグマ・デルタ変調器。

⁵ SDM ディスエーブル時の最小許容帰還分周値。

⁶ SDM イネーブル時の最小許容帰還分周値。

⁷ 位相周波数検出器入力での周波数。

水晶入力特性

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CRYSTAL FREQUENCY					
Range	10	26	52	MHz	
Tolerance			20	ppm	
CRYSTAL MOTIONAL RESISTANCE			100	Ω	
CRYSTAL LOAD CAPACITANCE		15		pF	Using a crystal with a specified load capacitance other than 15 pF (8 pF to 24 pF) is possible, but necessitates using the SPI port to configure the AD9552 crystal input capacitance.

出力特性

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL MODE					
Differential Output Voltage Swing	690	765	889	mV	Output driver static
Common-Mode Output Voltage	$V_{DD} - 1.77$	$V_{DD} - 1.66$	$V_{DD} - 1.20$	V	Output driver static
Frequency Range	0		900	MHz	
Duty Cycle	40		60	%	Up to 805 MHz output frequency
Rise/Fall Time ¹ (20% to 80%)		255	305	ps	100 Ω termination between both pins of the output driver

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVDS MODE					
Differential Output Voltage Swing					
Balanced, V_{OD}	247		454	mV	Voltage swing between output pins; output driver static
Unbalanced, ΔV_{OD}			25	mV	Absolute difference between voltage swing of normal pin and inverted pin; output driver static
Offset Voltage					
Common Mode, V_{OS}	1.125		1.375	V	Output driver static
Common-Mode Difference, ΔV_{OS}			25	mV	Voltage difference between output pins; output driver static
Short-Circuit Output Current		17	24	mA	
Frequency Range	0		900	MHz	
Duty Cycle	40		60	%	Up to 805 MHz output frequency
Rise/Fall Time ¹ (20% to 80%)		285	355	ps	100 Ω termination between both pins of the output driver
CMOS MODE					
Output Voltage High, V_{OH}					Output driver static; standard drive strength setting
$I_{OH} = 10$ mA	2.8			V	
$I_{OH} = 1$ mA	2.8			V	
Output Voltage Low, V_{OL}					Output driver static; standard drive strength setting
$I_{OL} = 10$ mA			0.5	V	
$I_{OL} = 1$ mA			0.3	V	
Frequency Range	0		200	MHz	3.3 V CMOS; standard drive strength setting
Duty Cycle	45		55	%	At maximum output frequency
Rise/Fall Time ¹ (20% to 80%)		500	745	ps	3.3 V CMOS; standard drive strength setting; 15 pF load

¹ 表示の値は、低速エッジ(立上がりまたは立下がり)に対するものです。

ジッタ特性

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
JITTER GENERATION					
12 kHz to 20 MHz		0.64		ps rms	Input = 19.44 MHz crystal resonator $f_{OUT} = 622.08$ MHz (integer mode)
		0.70		ps rms	$f_{OUT} = 625$ MHz (fractional mode)
50 kHz to 80 MHz		0.47		ps rms	$f_{OUT} = 622.08$ MHz (integer mode)
		0.50		ps rms	$f_{OUT} = 625$ MHz (fractional mode)
4 MHz to 80 MHz		0.11		ps rms	$f_{OUT} = 622.08$ MHz (integer mode)
		0.12		ps rms	$f_{OUT} = 625$ MHz (fractional mode)
JITTER TRANSFER BANDWIDTH		100		kHz	See the Typical Performance Characteristics section
JITTER TRANSFER PEAKING		0.3		dB	See the Typical Performance Characteristics section

シリアル・コントロール・ポート

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CS					
Input Logic 1 Voltage	1.6			V	
Input Logic 0 Voltage			0.5	V	
Input Logic 1 Current			0.03	μ A	
Input Logic 0 Current		2		μ A	
Input Capacitance		2		pF	
SCLK					
Input Logic 1 Voltage	1.6			V	
Input Logic 0 Voltage			0.5	V	
Input Logic 1 Current		2		μ A	
Input Logic 0 Current			0.03	μ A	
Input Capacitance		2		pF	
SDIO					
Input					
Input Logic 1 Voltage	1.6			V	
Input Logic 0 Voltage			0.5	V	
Input Logic 1 Current		1		μ A	
Input Logic 0 Current		1		μ A	
Input Capacitance		2		pF	
Output					
Output Logic 1 Voltage	2.8			V	1 mA load current
Output Logic 0 Voltage			0.3	V	1 mA load current

シリアル・コントロール・ポートのタイミング

表 6.

Parameter	Limit	Unit
SCLK		
Clock Rate, $1/t_{CLK}$	50	MHz max
Pulse Width High, t_{HIGH}	3	ns min
Pulse Width Low, t_{LOW}	3	ns min
SDIO to SCLK Setup, t_{DS}	4	ns min
SCLK to SDIO Hold, t_{DH}	0	ns min
SCLK to Valid SDIO, t_{DV}	13	ns max
CS to SCLK Setup (t_s) and Hold (t_H)	0	ns min
CS Minimum Pulse Width High	6.4	ns min

絶対最大定格

表 7.

Parameter	Rating
Supply Voltage (VDD)	3.6 V
Maximum Digital Input Voltage	-0.5 V to VDD + 0.5 V
Storage Temperature	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

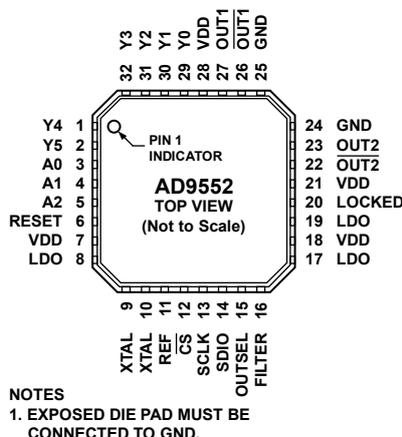


図 2. ピン配置

表 8. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
29、30、31、32、1、2	Y0、Y1、Y2、Y3、Y4、Y5	I	コントロール・ピン。A[0:2]ピンを使って選択した入力リファレンス周波数に基づき、これらのピンにより PLL 帰還分周器と OUT1 分周器のプリセット値を選択します。これらのピンは 100 k Ω プルアップ抵抗を内蔵しています。
3、4、5	A0、A1、A2	I	コントロール・ピン。これらのピンを使って入力リファレンス周波数を選択します。100 k Ω プルアップ抵抗を内蔵しています。
6	RESET	I	アクティブ・ハイのデジタル入力。内部ロジックをデフォルト状態へリセットします。デバイスのデフォルト状態がリセットされるように、このピンは 100 k Ω プルアップ抵抗を内蔵しています。
7、18、21、28	VDD	P	電源接続、3.3 V アナログ電源。
8、17、19	LDO	P/O	LDO デカップリング・ピン。これらの各ピンとグラウンドの間に 0.47 μ F のデカップリング・コンデンサを接続してください。
9、10	XTAL	I	水晶共振器入力。これらのピンの間に水晶共振器を接続します ² 。
11	REF	I	リファレンス・クロック入力。このピンへアクティブ・クロック入力信号を接続するか、または XTAL ピン間に水晶共振器を接続する場合にはこのピンを VDD へ接続します。
12	$\overline{\text{CS}}$	I	デジタル入力。アクティブ・ローのチップ・セレクト。
13	SCLK	I	シリアル・データ・クロック。
14	SDIO	I/O	デジタル・シリアル・データ入力/出力。
15	OUTSEL	I	出力が SPI ポートから制御されていない場合、このピンにロジック 0 を入力すると LVDS が、ロジック 1 を入力すると LVPECL 互換レベルが、それぞれ OUT1 と OUT2 に対して選択されます。レジスタ設定により、上書きすることができます。このピンは 100 k Ω プルアップ抵抗を内蔵しています。
16	FILTER	I/O	PLL のループ・フィルタ・ノード。このピンとピン 17 (LDO)の間に 12 nF の外付けコンデンサを接続します。
20	ロック	O	アクティブ・ハイの PLL ロック・ステータス・インジケータ。
26、22	$\overline{\text{OUT1}}$ 、 $\overline{\text{OUT2}}$	O	方形波クロック相補出力。
27、23	OUT1、OUT2	O	方形波クロック出力。
24、25	GND	P	アナログ・グラウンド。
EP	エクスポーズド・パッド		エクスポーズド・チップ・パッドは GND へ接続する必要があります。

¹ I = 入力、I/O = 入力/出力、O = 出力、P = 電源、P/O = 電源/出力。² 水晶を使用しない場合は、これらのピンをフローティングのままにしてください。終端は内部回路で行われます。

代表的な性能特性

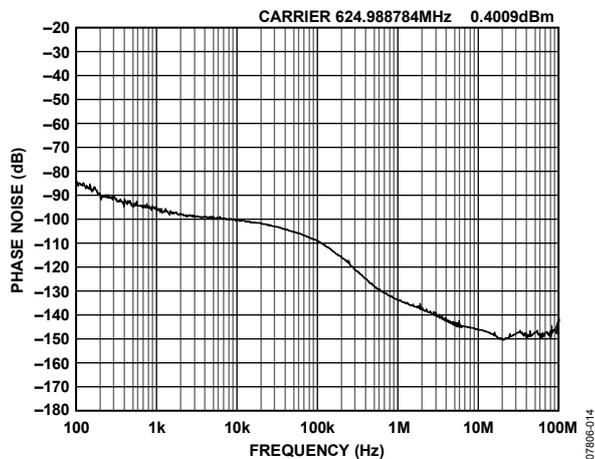


図 3.位相ノイズ、非整数 N、ピン設定
($f_{XTAL} = 19.44 \text{ MHz}$, $f_{OUT1} = 625 \text{ MHz}$)

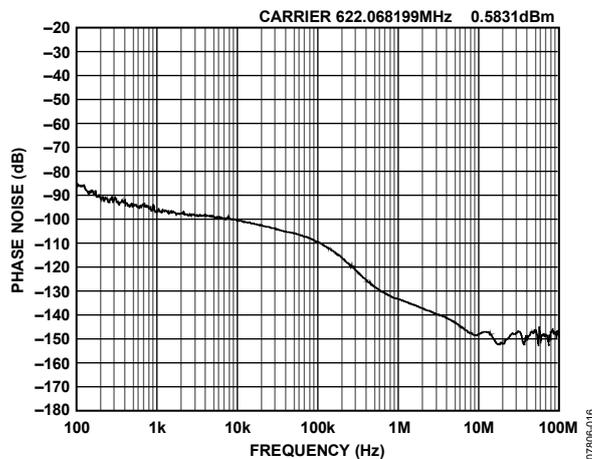


図 6.位相ノイズ、整数、SDM オフ
($f_{XTAL} = 19.44 \text{ MHz}$, $f_{OUT1} = 622.08 \text{ MHz}$)

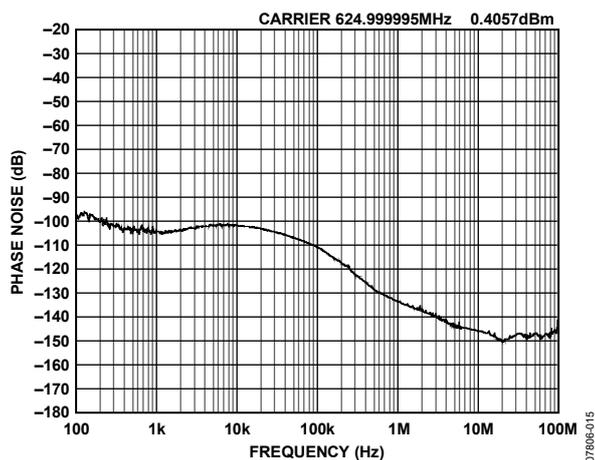


図 4.位相ノイズ、非整数 N、ピン設定
($f_{REF} = 19.44 \text{ MHz}$, $f_{OUT1} = 625 \text{ MHz}$)

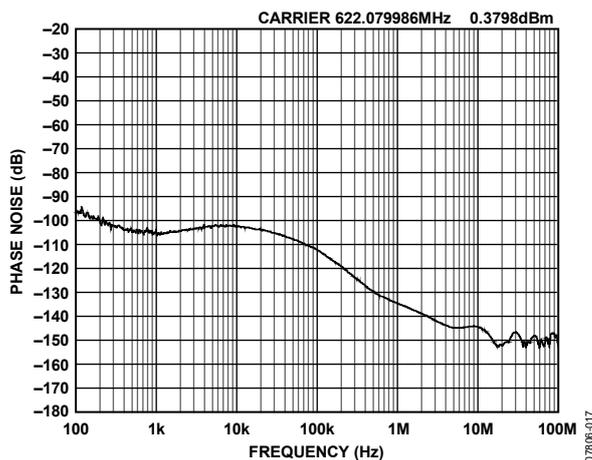


図 7.位相ノイズ、整数、SDM オフ
($f_{REF} = 19.44 \text{ MHz}$, $f_{OUT1} = 622.08 \text{ MHz}$)

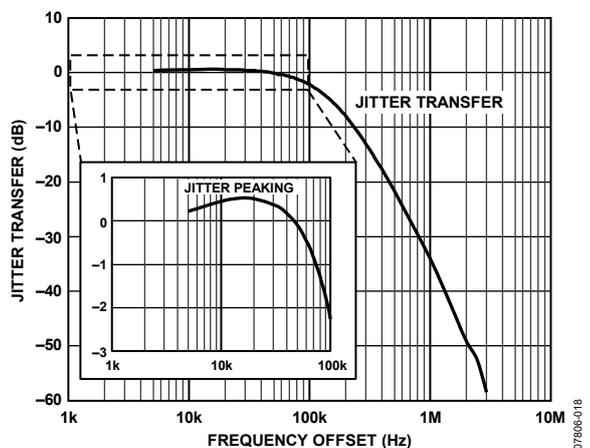


図 5.ジッタ伝達およびジッタ・ピーキング

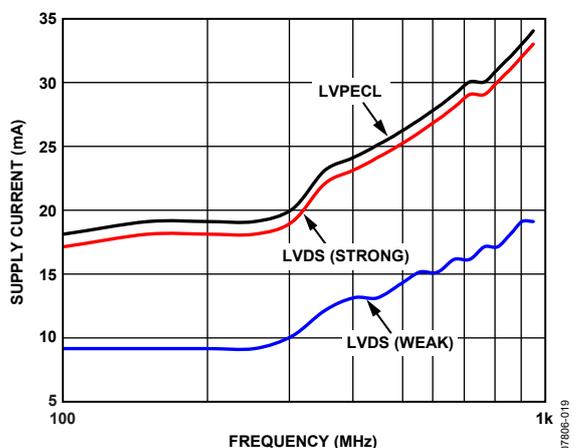


図 8.出力周波数対電源電流
LVPECL および LVDS (15 pF 負荷)

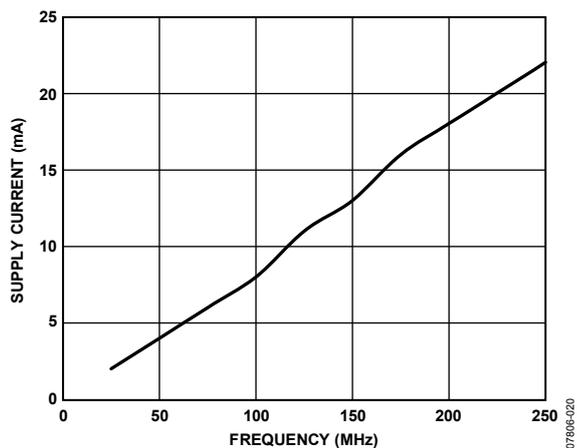


図 9.出力周波数対電源電流
CMOS (15 pF 負荷)

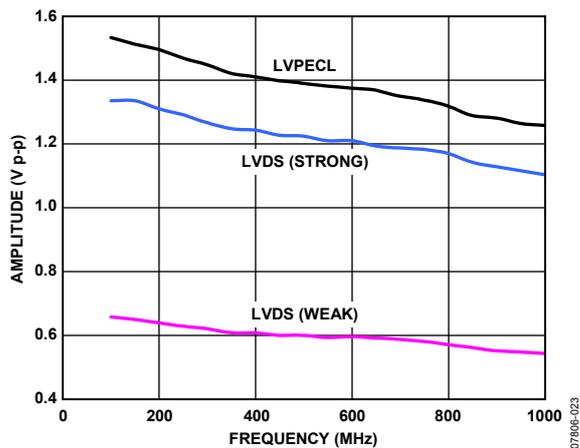


図 12.ピーク to ピーク出力電圧の周波数特性
LVPECL および LVDS (15 pF 負荷)

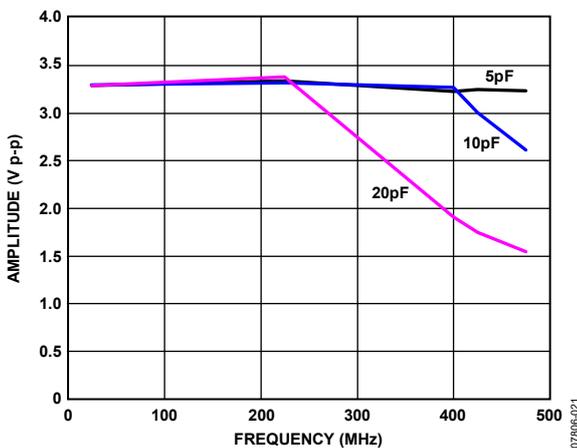


図 10.ピーク to ピーク出力電圧の周波数特性、CMOS

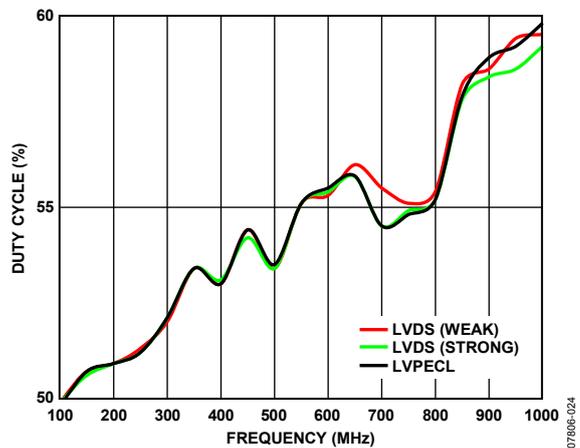


図 13.出力周波数対デューティ・サイクル
LVPECL および LVDS (15 pF 負荷)

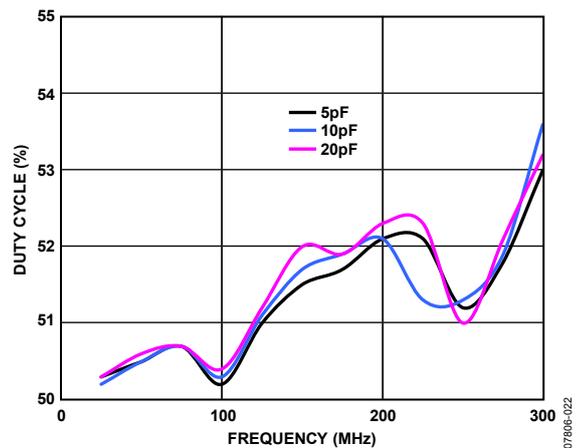


図 11.出力周波数対デューティ・サイクル、CMOS

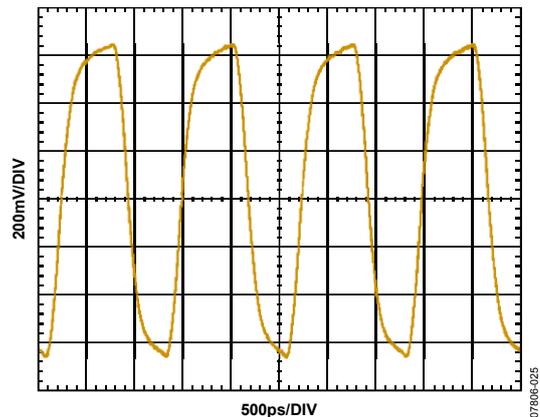


図 14.代表的出力波形、LVPECL (805 MHz)

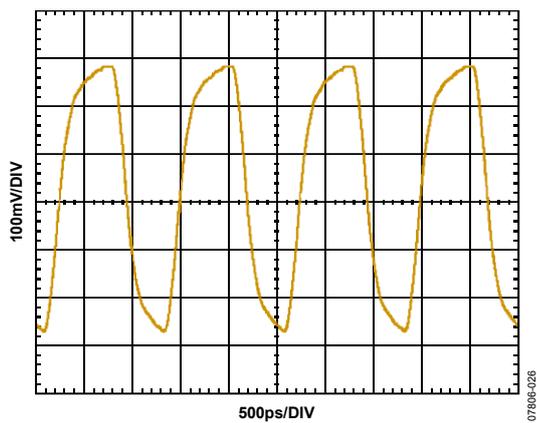


图 15.代表的出力波形、LVDS
(805 MHz、駆動電流 3.5 mA)

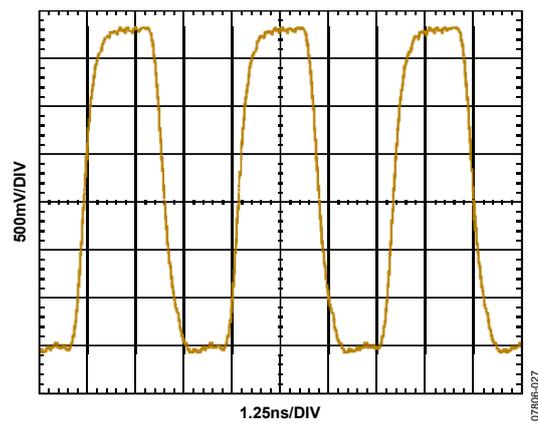


图 16.代表的出力波形、CMOS
(250 MHz、15 pF 負荷)

推奨入力/出力終端

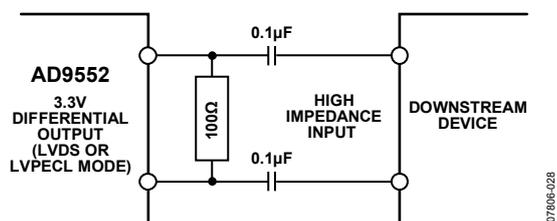


図 17.AC 結合の LVDS または LVPECL 出力ドライバ

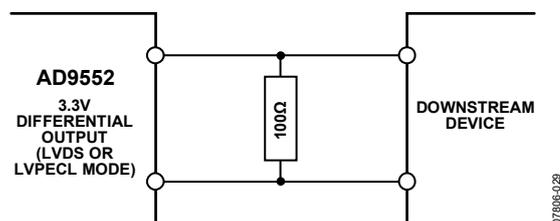


図 18.DC 結合の LVDS または LVPECL 出力ドライバ

動作原理

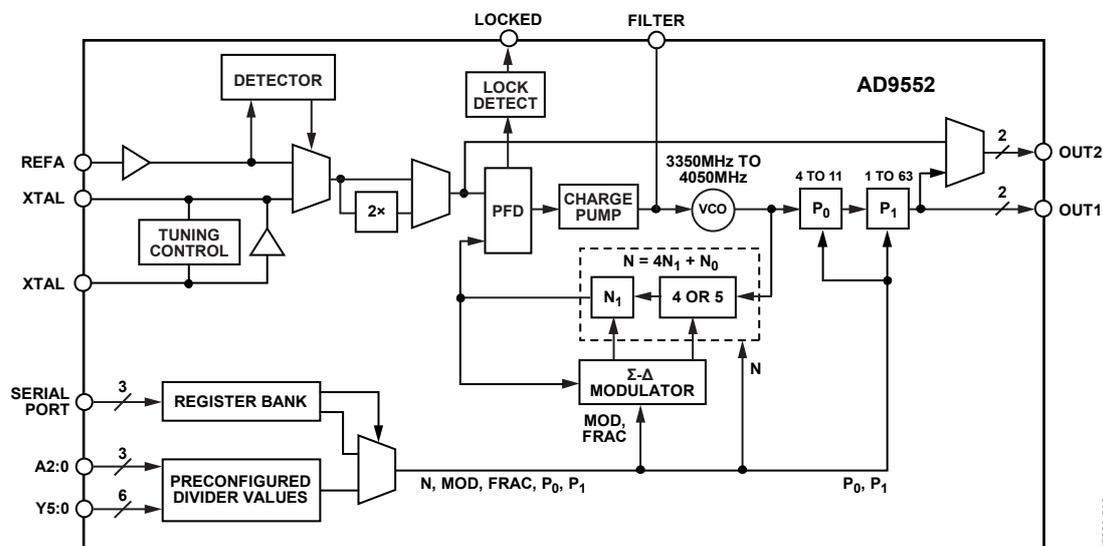


図 19.詳細ブロック図

プリセット周波数比

周波数選択ピン (A[2:0]と Y[5:0])を使うと、ピン・ロジック状態に応じてデバイスをプリセット入力/出力分周値にハードワイヤ設定することができます(図 19 参照)。このピンのロジック 0 とロジック 1 により、それぞれグラウンドまたは開放が指定されます。A[2:0]ピンと Y[5:0]ピンで設定されたプリセット値から分周値を変更するときはシリアル I/O ポートを使用してください。

A[2:0]ピンにより、8 種類の入力リファレンス周波数を選択します(表 9 参照)。シングルエンド・クロック信号を REF ピンへ接続するか、または両 XTAL ピン間に水晶共振子を接続することにより、入力リファレンス周波数を入力してください。A[2:0]ピンで 10 MHz、12 MHz、12.8 MHz、または 16 MHz を選択すると、AD9552 への入力周波数は内部で 2 倍にされます。あるいは、レジスタ 0x1D[2]に 1 を設定しても、入力周波数が 2 倍にされます。

表 9.入力リファレンス周波数選択ピン

A2	A1	A0	Reference Frequency (MHz)
0	0	0	10.00
0	0	1	12.00
0	1	0	12.80
0	1	1	16.00
1	0	0	19.20
1	0	1	19.44
1	1	0	20.00
1	1	1	26.00

Y[5:0]ピンにより、出力周波数を合成するために適切な帰還分周器と出力分周器を選択します(表 10)。表 10 に示す出力周波数は、フル精度を維持するために十分な桁数を持っています。10 進数形式が使用できない場合は、非整数型通倍器が使用されます。

VCO および出力の周波数は、使用するリファレンス周波数と表 9 に示す周波数との比で周波数がシフト・インします。VCO 周波数は、表 1 に示す最小範囲と最大範囲内にある必要があることに注意してください。一般に、VCO 周波数帯域の選択と外部ピンのストラップ接続によるゲイン調整はデバイスの自動 VCO キャリブレーション・プロセス(パワーアップまたはリセットで起動されます)内で行われます。ただし、SPI インターフェースを使って VCO 周波数帯域を変更する場合は、VCO キャリブレーション(レジスタ 0x0E[2] = 1)の SPI 制御をイネーブルした後にキャリブレート VCO ビット(レジスタ 0x0E[7])に 1 を書込んで、VCO キャリブレーションを起動する必要があります。

表 10.出力周波数選択ピン

Y5	Y4	Y3	Y2	Y1	Y0	VCO Frequency (MHz)	Output (MHz)
0	0	0	0	0	0	3732.48	51.84
0	0	0	0	0	1	3888	54
0	0	0	0	1	0	3840	60
0	0	0	0	1	1	3932.16	61.44
0	0	0	1	0	0	3750	62.5
0	0	0	1	0	1	3733.296	66.666
0	0	0	1	1	0	3560.439	74.17582
0	0	0	1	1	1	3564	74.25
0	0	1	0	0	0	3732.48	77.76
0	0	1	0	0	1	3932.16	98.304
0	0	1	0	1	0	4000	100
0	0	1	0	1	1	3825	106.25
0	0	1	1	0	0	3840	120
0	0	1	1	0	1	4000	125
0	0	1	1	1	0	3724	133
0	0	1	1	1	1	3732.48	155.52
0	1	0	0	0	0	3750	156.25
0	1	0	0	0	1	3825	159.375
0	1	0	0	1	0	3867.188	161.1328125
0	1	0	0	1	1	3944.531	10518.75/64
0	1	0	1	0	0	3999.086	155.52 × (15/14)
0	1	0	1	0	1	4015.959	155.52 × (255/237)
0	1	0	1	1	0	4023.878	167.6616
0	1	0	1	1	1	3554.742	177.7371
0	1	1	0	0	0	3932.16	245.76
0	1	1	0	0	1	4000	250
0	1	1	0	1	0	3732.48	311.04
0	1	1	0	1	1	3840	320
0	1	1	1	0	0	4000	400
0	1	1	1	0	1	3471.4	433.925
0	1	1	1	1	0	3718.75	531.25
0	1	1	1	1	1	3763.2	537.6
1	0	0	0	0	0	3984.375	569.1964
1	0	0	0	0	1	3732.48	622.08
1	0	0	0	1	0	3748.229	624.7048
1	0	0	0	1	1	3750	625
1	0	0	1	0	0	3763.978	622.08 × (239/237)
1	0	0	1	0	1	3779.927	629.9878
1	0	0	1	1	0	3840	640
1	0	0	1	1	1	3849.12	641.52
1	0	1	0	0	0	3867.188	625 × (66/64)
1	0	1	0	0	1	3944.531	657.421875
1	0	1	0	1	0	3961.105	657.421875 × (239/238)
1	0	1	0	1	1	3999.086	622.08 × (15/14)
1	0	1	1	0	0	4014.769	669.1281
1	0	1	1	0	1	4015.959	622.08 × (255/237)
1	0	1	1	1	0	4017.857	625 × (15/14)
1	0	1	1	1	1	4025.032	670.8386
1	1	0	0	0	0	4032.976	622.08 × (255/236)
1	1	0	0	0	1	3452.846	625 × (66/64) × (15/14)
1	1	0	0	1	0	3467.415	625 × (255/237) × (66/64)
1	1	0	0	1	1	3468.75	693.75
1	1	0	1	0	0	3481.996	622.08 × (253/226)

Y5	Y4	Y3	Y2	Y1	Y0	VCO Frequency (MHz)	Output (MHz)
1	1	0	1	0	1	3521.903	657.421875 × (255/238)
1	1	0	1	1	0	3536.763	657.421875 × (255/237)
1	1	0	1	1	1	3582.686	716.5372
1	1	1	0	0	0	3593.75	718.75
1	1	1	0	0	1	3598.672	719.7344
1	1	1	0	1	0	3740.355	748.0709
1	1	1	0	1	1	3750	750
1	1	1	1	0	0	3888	777.6
1	1	1	1	0	1	3897.843	779.5686
1	1	1	1	1	0	3906.25	781.25
1	1	1	1	1	1	4028.32	625 × (10/8) × (66/64)

コンポーネント・ブロック

入力リファレンス

AD9552 には次の入力リファレンス・オプションがあります。

- 水晶共振子を両 XTAL ピン間に直接接続
- CMOS 互換のシングルエンド・クロック・ソースを REF ピンへ直接接続

水晶共振子の場合、AD9552 は規定負荷容量 15 pF (デフォルト) を持つ水晶を想定しています。AD9552 は、負荷容量を内部に用意しています。この内蔵負荷容量は 13 pF の固定成分と 0 pF ~ 15.75 pF の可変成分(設定可能)で構成されています。

AD9552 に電源を接続した後(またはデバイス・リセット後)、可変成分値を 2 pF と見なします。これにより、デフォルトの負荷容量 15 pF が設定されます。

15 pF 以外の規定負荷容量を持つ水晶 (8 pF ~ 23.75 pF) を使用できるようにするため、レジスタ 0x1B[5:0] を使ってプログラマブル容量を 0.25 pF 単位で調整することができます。レジスタ 0x1B[7] に 0 を設定すると(XTAL チューニング・コンデンサの SPI 制御を可能にすると)、レジスタ 0x1B[5:0] のデフォルト値のため可変容量は 2 pF (パワーアップ値) から 15.75 pF へ変化することに注意してください。このために水晶負荷容量が 23.75 pF になります。これはレジスタ 0x1B[5:0] のデフォルト値を上書きするまで続きます。

幾つかの水晶メーカーをアルファベット順に示します。

- AVX/Kyocera
- ECS
- Epson Toyocom
- Fox Electronics
- NDK
- Siward

AD9552 評価用ボードは、NDK NX3225SA 水晶または Siward 571200-A258-001 水晶を使用して動作しています。これらの水晶はデータシートに規定する AD9552 の負荷容量条件と動作抵抗条件を満たしますが、アナログ・デバイセズは AD9552 での動作を保証するものではなく、またアナログ・デバイセズは特定の水晶メーカーを保証するものではありません。

リファレンス・モニタ

REF 入力、REF 入力の信号を検出するモニタ回路を内蔵しています。デバイスが REF ピンでクロック信号を検出すると、自動的に REF 入力を入力リファレンス・ソースとして選択し、水晶発振器をシャットダウンさせます。この REF 入力信号の自動検出は、デフォルト動作モードになっていますが、レジスタ 0x1D[0] を使ってこのデフォルト設定を上書きすることができます。このビットをセットすると、デバイスは REF 入力に対応する信号検出器を無視して、水晶発振器を起動させます(REF 入力信号の有無によらず)。

周波数 2 倍器

周波数 2 倍器は、REF 入力または XTAL 入力から得られる周波数を 2 倍にするオプションを提供します。この機能には、PLL に入力する周波数を高くできる利点があります。これにより、PLL で発生される周波数と対応するリファレンス・スプリアスの間の間隔を大きくすることができますが、リファレンス・スプリアスの分離を大きくする代わりに、周波数通倍器から発生する高調波スプリアスが大きくなる犠牲がともないます。このため、周波数通倍器の使用はアプリケーションに依存します。

PLL

PLL は、位相/周波数検出器(PFD)、一部内蔵のアナログ・ループ・フィルタ(図 20 参照)、電圧制御発振器(VCO)、非整数分周比を可能にするオプションの 3 次 SDM を持つ帰還分周器から構成されています。PLL は、入力リファレンス信号に位相ロックされた、公称 3.7 GHz の信号を発生します。

PLL のループ帯域幅は公称 50 kHz です。PLL の PFD は、帰還分周値に比例して電流を自動的に変化させるチャージ・ポンプを駆動します。電流のこの増減により、入力リファレンスまたは出力周波数の変化に対して一定のループ帯域幅を維持します。

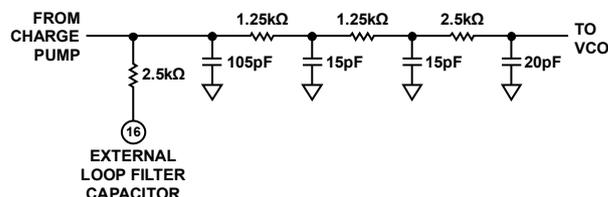


図 20. 内部ループ・フィルタ

PLL のゲインは、チャージ・ポンプからの電流に比例します。ユーザーはチャージ・ポンプのデフォルト電流設定値を上書きすることができ、したがって、レジスタ 0x0A[7:0]を使って PLL ゲインも上書きすることができます。

PLL は 3350 MHz~4050 MHz (公称 3700 MHz) の範囲の 128 種類の周波数帯域を持つ VCO を内蔵していますが、特定帯域内の実際の動作周波数は、ループ・フィルタ・コンデンサに現れる制御電圧に依存します。この制御電圧により、VCO 出力周波数は選択した帯域内で直線的に変化します。この周波数変化により、PLL の制御ループは VCO 出力信号を PFD に加えられるリファレンス信号に同期化させることができますようになります。一般に、VCO 周波数帯域の選択(さらにゲイン調整)は、パワーアップ(またはリセット)時に起動されるデバイスの自動 VCO キャリブレーション・プロセス内で自動的に行われます。あるいは、VCO キャリブレーション(レジスタ 0x0E[2] = 1)の SPI 制御をイネーブルした後に、キャリブレート VCO ビット(レジスタ 0x0E[7])に 1 を書き込むことにより、VCO キャリブレーションを開始させることができます。システム・デバッグを可能にするときは、VCO 帯域 (レジスタ 0x0E[0] = 1)の SPI 制御をイネーブルした後にレジスタ 0x10[7:1]に値を書き込むことにより、VCO 帯域設定値を上書きすることができます。

PLL は、帰還分周器と PLL で整数プラス非整数周波数アップコンバージョンを可能にする 3 次 SDM の組み合わせを内蔵しています。整数係数 N は、8 ビット設定レジスタを使って変更することができます。N の範囲は N_{MIN} ~255 です。ここで、 N_{MIN} は SDM のディスエーブルとイネーブルに応じてそれぞれ 36 または 47 です。帰還パス内の SDM では $N + F/M$ で表される非整数分周値が可能です。ここで、N は整数部分(8 ビット)、M はモジュラス(20 ビット)、F は小数部分(20 ビット)で、これら 3 個のパラメータはすべて正の整数です。

この帰還 SDM により、AD9552 は入力リファレンスに対して正確な周波数比を持つ広範囲な出力周波数をサポートすることができますようになります。

PLL ロック・インジケータ

PLL は、外部ピン(LOCKED)に出力するステータス・インジケータを持っています。このインジケータは、PLL がロック状態になったタイミングを表示します。

出力分周器

出力チェーン内には 2 個の整数分周器があります。1 つ目の分周器(P_0)は、VCO 周波数の約数を発生します。2 つ目の分周器(P_1)は、OUT1 の周波数を P_0 分周器出力周波数の約数として設定します。

入力-OUT2 間のオプション

デフォルトでは、OUT2 は OUT1 と同じ周波数を出力しますが、設定レジスタ 33[3] = 1 を設定して、入力周波数 (REF または XTAL)の複製を OUT2 に出力させることができます。

出力ドライバ

設定レジスタを使って次の出力ドライバ・パラメータを制御することができます。

- ロジック・ファミリーとピン機能
- 極性 (CMOS ファミリーの場合)
- 駆動電流
- パワーダウン

ロジック・ファミリーは、LVDS、LVPECL、CMOS です。ロジック・ファミリーの選択は、OUT1 ドライバ・コントロール・レジスタ(レジスタ 0x32[5:3])と OUT2 ドライバ・コントロール・レジスタ(レジスタ 0x34[5:3])のモード・コントロール・ビットを使って行います(表 11 参照)。選択したロジック・ファミリーによらず、各出力ドライバでは 2 本のピンを使います。OUT1 と OUT2 は 1 個のドライバが、OUT2 と OUT2 は別のドライバが、それぞれ使います。この機能により、LVDS と LVPECL のロジック・ファミリーによる差動信号をサポートすることができます。これに対して、CMOS は出力ピンのみを必要とするシングルエンド信号ですが、両出力ピンは 2 本のシングルエンド CMOS 出力クロック・オプションに使うことができます。表 11 の最初の行(CMOS (両ピン))を参照してください。

表 11. 出力チャンネル・ロジック・ファミリーとピン機能

Mode Control Bits[2:0]	Logic Family and Pin Functionality
000	CMOS (both pins)
001	CMOS (positive pin), tristate (negative pin)
010	Tristate (positive pin), CMOS (negative pin)
011	Tristate (both pins)
100	LVDS
101	LVPECL
110	Undefined
111	Undefined

モード・ビットで CMOS ロジック・ファミリーを指定した場合、OUT1 と OUT2 のドライバ・コントロール・レジスタを使って各 CMOS 出力ピンのロジック極性を制御することができます。モード・ビットで CMOS または LVDS ロジック・ファミリーを指定した場合、OUT1 と OUT2 のドライバ・コントロール・レジスタを使って、出力ドライバで弱い駆動能力または強い駆動能力を使うことができます。CMOS ファミリーの場合、強い駆動能力を使うと、大きな容量負荷を駆動することができます。LVDS ファミリーの場合、弱い駆動電流と強い駆動電流の公称値は、それぞれ 3.5 mA と 7 mA です。

また、OUT1 と OUT2 のドライバ・コントロール・レジスタには、出力ドライバをイネーブル/ディスエーブルするパワーダウン・ビットがあります。パワーダウン機能は、ロジック・ファミリーの選択と無関係です。

デバイスで出力ドライバの SPI ポート制御を可能にする設定をしない限り、OUTSEL ピン(ピン 15)のロジック・レベルに応じて、ドライバはデフォルトで LVPECL または LVDS になります。OUTSEL = 0 の場合、両出力は LVDS になります。OUTSEL = 1 の場合、両出力は LVPECL になります。ピンで選択した LVDS モードでも、SPI ポートを使って駆動強度を制御することができます。

デバイスの初期化と自動パワーオン・リセット

AD9552 はパワーオン・リセット回路を内蔵しています。パワーアップ時、内部ロジックは水晶発振器またはリファレンス入力の選択に内部リファレンス・モニタを使用し、その後で見つかった方を使って VCO キャリブレーションを起動します。両方共存する場合は、外部リファレンス・パスが選択されます。

デバイスがロックするためには、VCO キャリブレーションが必要です。入力リファレンス信号がない場合、有効な入力リファレンスが入力されるまで VCO キャリブレーションを待ちます。入力リファレンス信号が入力されると直ちに、VCO キャリブレーションが開始されます。VCO キャリブレーション・ルーチンが終了するまで少なくとも 3 ms 待って、シリアル通信を使用して VCO コントロール・レジスタ(レジスタ 0x0E)を設定する必要があります。

リファレンス入力が存在しているときに水晶発振器入力を使う場合は、レジスタ 0x1D のビット 0 (水晶共振子の使用)をセットする必要があります。

プリセット周波数選択ピンまたは PLL 分周比を変更するときは、常に VCO を再キャリブレーションする必要があります。

出力周波数と入力周波数の関係

OUT1 と OUT2 の周波数は、PLL 帰還分周値(N、FRAC、MOD)と出力分周値(P₀ と P₁)の関数です。OUT1 と OUT2 の周波数(それぞれ f_{OUT1} と f_{OUT2})を決定する式は次のようになります。

$$f_{OUT1} = f_{REF} \left(K \times \frac{N + \frac{FRAC}{MOD}}{P_0 P_1} \right)$$

$$f_{OUT2} = f_{OUT1}$$

ここで、

f_{REF}は入力リファレンスまたは水晶共振子の周波数。

Kは入力モード・スケール・ファクタ。

Nは整数の帰還分周値。

FRACとMODは小数の帰還分周値。

P₀とP₁はOUT1分周値。

f_{OUT1} 式の分子には、帰還分周係数が含まれます。この係数には整数分周器と、帰還 SDM に対応するオプションの小数部分 (FRAC/MOD)に起因する整数部分(N)があります。

次の条件が適用されます。

$$N_{MIN} \in \{36, 47\}$$

$$N \in \{N_{MIN}, N_{MIN} + 1, \dots, 255\}$$

$$FRAC \in \{0, 1, \dots, 1,048,575\}$$

$$MOD \in \{1, 2, \dots, 1,048,575\}$$

$$K \in \{1, 2\}$$

$$P_0 \in \{4, 5, \dots, 11\}$$

$$P_1 \in \{1, 2, \dots, 63\}$$

N_{MIN} と K は、2 つ値の内のいずれかであることを注意してください。N_{MIN} の値は、SDM の状態に依存します。SDM のディスエーブル時は N_{MIN} = 36 で、イネーブル時は N_{MIN} = 47。K の値は周波数 2 倍器に依存します。周波数 2 倍器のバイパス時は K = 1 で、イネーブル時は K = 2 です。

PFD (f_{PFD})入力の周波数は次のように計算されます。

$$f_{PFD} = K \times f_{REF}$$

VCO の動作範囲 (3.35 GHz ≤ f_{VCO} ≤ 4.05 GHz)により、f_{PFD}に対して次の条件があります。

$$\left(\frac{3350}{N + \frac{FRAC}{MOD}} \right) \text{MHz} \leq f_{PFD} \leq \left(\frac{4050}{N + \frac{FRAC}{MOD}} \right) \text{MHz}$$

分周値の計算

このセクションでは、特定の f_{OUT1}/f_{REF} 比 (f_{REF} は REF 入力信号ソースまたは外付け水晶共振子の周波数)が与えられたときの分周値を計算する 3 ステップの手順を説明します。計算プロセスは一般項で説明しますが、分かり易くするため特定の例を示します。この例では、A[2:0] = 111 (表 9 参照)と Y[5:0] = 101000 (表 10 参照)の周波数制御ピン設定を採用し、次の結果を得ています。

$$f_{REF} = 26 \text{ MHz}$$

$$f_{OUT1} = 625 \times (66/64) \text{ MHz}$$

- 出力分周係数(ODF)を求めます。

VCO 周波数(f_{VCO})は 3350 MHz~4050 MHz であることに注意してください。比 f_{VCO}/f_{OUT1} は、必要とされる ODF を指定します。与えられた f_{OUT1} (約 644.53 MHz)の規定値と f_{VCO} の範囲に対して、ODF 範囲は 5.2 ~6.3 になります。ODF は整数である必要があり、ODF = 6 を意味します(6 は 5.2 と 6.3 の間の唯一の整数です)。

- P₀ と P₁ の適切な値を求めます。

ODF は 2 つの出力分周器の積で、ODF = P₀P₁ となります。与えられた例に対して ODF = 6 が既に求められています。したがって、P₀ と P₁ はともに整数で 4 ≤ P₀ ≤ 11 という条件から P₀P₁ = 6 になります (出力周波数と入力周波数の関係のセクション参照)。これらの条件から、P₀ = 6 と P₁ = 1 の 1 つのソリューションが得られます。

この特定の例では、f_{OUT1} ≈ 644.53 MHz で出力分周値に対する 1 つのソリューションが得られますが、幾つかの f_{OUT1} 周波数では 1 つではなく複数の ODF が得られます。例えば、f_{OUT1} = 100 MHz の場合 ODF 範囲は 34~40 になります。このため、表 12 に示すように、P₀ と P₁ に対する可能な値の組み合わせが得られます。

表 12. P₀ と P₁ の組み合わせ

P ₀	P ₁	ODF (P ₀ × P ₁)
4	9	36
4	10	40
5	7	35
5	8	40
6	6	36
7	5	35
8	5	40
9	4	36
10	4	40

表 12 に示す P₀ と P₁ の組み合わせはすべて有効ですが、元の範囲 34~40 から有効な 3 個の ODF 値(35、36、40)のみが得られることに注意してください。

3. PLL の帰還分周値を求めます。

複数の ODF が存在する場合 (例えば表 12 の場合 35、36、40)、各 ODF に対してこのステップを繰り返します。与えられた ODF に対して帰還分周値を計算するときは、次式を使います。

$$\left(\frac{f_{OUT1}}{f_{REF}} \right) \times ODF = \frac{X}{Y}$$

式の左辺には既知の大きさを持つ変数が含まれていることに注意してください。さらに、左辺が 2 つの整数 X と Y の比で表せるように、適切な値である必要があります。式の例を次に示します。

$$\left(\frac{625 \left[\frac{66}{64} \right]}{26} \right) \times 6 = \frac{625(66)(6)}{26(64)} = \frac{247,500}{1664} = \frac{X}{Y}$$

AD9552 では、X/Y は常に不適切な小数です。このため、整数 N と適切な小数 R/Y (R と Y は整数)との和として表すことができます。

$$\frac{X}{Y} = N + \frac{R}{Y}$$

$$\frac{247,500}{1664} = N + \frac{R}{Y}$$

この特定の例では N = 148、Y = 1664、R = 1228 が得られません。この結果を得るためには、不適切な X/Y を整数(N)と適切な小数(R/Y)に変換するために long division を使います。long division を使って Y を X で除算して、整数 N と余り R を得ることに注意してください。図 21 に示すように、適切な小数は分子(余り R)と分母(除数 Y)を持ちます。

$$\begin{array}{r} N \\ Y \overline{) X} \\ \underline{-NY} \\ R \end{array} \rightarrow \frac{X}{Y} = N + \frac{R}{Y}$$

図 21. long division の例

正しい結果を得るためには long division を使う必要があります。電卓または計算プログラムの使用は避けてください。これらは内部丸め処理および/または切り詰め処理のために正しい結果が得られるとは限りません。非常に大きな整数演算が可能な場合は電卓または計算プログラムを使うことができますが、これらは一般的ではありません。

この例では、N = 148 と R/Y = 1228/1664 が得られますが、R/Y = 307/416 に切り詰められています。これらの値 N、R、Y は、それぞれ次の帰還分周値 N = 148、FRAC = 307、MOD = 416 を構成します。

唯一の注意点は、N と MOD が出力周波数と入力周波数の関係のセクションで与えられた制約を満たす必要があることです。

この例では、FRAC は非ゼロであるため、除算値は整数+非整数部分 FRAC/MOD になります。これは、帰還 SDM が帰還分周器の一部として必要であることを意味します。FRAC = 0 の場合、帰還分周比は整数で、SDM は必要ありません(バイパスできます)。この方法で得られる帰還分周値は、正確な出力周波数を合成する正しい帰還分周比を提供しますが、最終出力で最適ジッタ性能が得られるとは限りません。この 1 つの理由は、MOD 値が SDM の周期を決定し、この周期が SDM のスプリアス出力に直接影響を与えることです。特に、DC~f_{PDF} のスペクトル帯域で、SDM は f_{PDF}/MOD の間隔でスプリアスを持ちます。このため、帰還 SDM に対応するスプリアスのスペクトル間隔(Δf)は次のようになります。

$$\Delta f = \frac{f_{PDF}}{MOD}$$

SDM は PLL の帰還パス内にあるため、これらのスプリアスは出力信号内で f_{OUT1} から Δf 離れたスプリアス成分として現れます。このため、MOD 値が小さい場合、f_{OUT1} から比較的大きく離れた周波数オフセットで、比較的大きなスプリアスが発生します。これに対して MOD 値が大きい場合は、スプリアスは小さくなりますが、f_{OUT1} に近くなります。明らかに、MOD 値は OUT1 でのスプリアス値(すなわちジッタ)に直接影響を与えます。一般に、MOD 値が大きいほどスプリアスは小さくなります。このため、2²⁰ の整数部分を前に求めた MOD 値で除算して MOD と FRAC をスケールすることが望まれます。この例では、MOD 値が 416 であるため、スケール・ファクタ 2520 (220/416 の整数部分)が得られます。スケール・ファクタ 2520 から、FRAC = 307 × 2520 = 773,640 および MOD = 416 × 2520 = 1,048,320 が得られます。

低ドロップアウト(LDO)レギュレータ

AD9552 の電源は 3.3 V 単電源であるため、各機能に対して LDO レギュレータを内蔵して外付け LDO を不要にしています。最適性能を保証するため、各 LDO 出力には、アクセス・ピンとグラウンドの間に 0.47 μF のコンデンサを接続する必要があります。このコンデンサはデバイスのできるだけ近くに配置する必要があります。

アプリケーション情報

熱性能

表 13.32 ピン LFCSP パッケージの熱パラメータ

Symbol	Thermal Characteristic Using a JEDEC51-7 Plus JEDEC51-5 2S2P Test Board ¹	Value ²	Unit
θ_{JA}	Junction-to-ambient thermal resistance, 0.0 m/sec airflow per JEDEC JESD51-2 (still air)	40.5	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 1.0 m/sec airflow per JEDEC JESD51-6 (moving air)	35.4	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 2.5 m/sec airflow per JEDEC JESD51-6 (moving air)	31.8	°C/W
θ_{JB}	Junction-to-board thermal resistance, 1.0 m/sec airflow per JEDEC JESD51-8 (moving air)	23.3	°C/W
θ_{JC}	Junction-to-case thermal resistance (die-to-heat sink) per MIL-Std 883, Method 1012.1	4.2	°C/W
Ψ_{JT}	Junction-to-top-of-package characterization parameter, 0 m/sec airflow per JEDEC JESD51-2 (still air)	0.4	°C/W

¹ 規定の熱性能を実現するためには、パッケージ底面のエクスポーズド・パッドをグラウンドにハンダ付けする必要があります。

² 結果はシミュレーションから得たものです。PCBはJEDEC多層タイプです。実際のアプリケーションの熱性能では、これらの計算での仮定と同じであることを確認するために、アプリケーションでの条件を注意深く調べることが必要です。

AD9552は周囲温度(T_A)に対して仕様が規定されています。 T_A を超えないようにするため、強制空冷を使用することができます。アプリケーション PCB 上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、

T_J はジャンクション温度(°C)。

T_{CASE} はパッケージ上面の中央で測定したケース温度(°C)。

Ψ_{JT} は表 13 に示す値。

P_D は消費電力(仕様のセクション参照)。

θ_{JA} の値はパッケージの比較と PCB デザインのために記載してあります。 θ_{JA} は次式による T_J の 1 次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、 T_A は周囲温度(°C)。

θ_{JC} の値は、外付けヒート・シンクが必要な場合にパッケージの比較と PCB デザインのために記載してあります。

θ_{JB} の値はパッケージの比較と PCB デザインのために記載してあります。

シリアル・コントロール・ポート

AD9552 のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。1 バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。AD9552 シリアル・コントロール・ポートは、1 本の双方向 I/O ピンで構成されます(SDIO の場合)。AD9552 とのシリアル通信をイネーブルするときは、ピン選択ピン A[2:0] (ピン 3、ピン 4、ピン 5)と Y[5:0] (ピン 29~ピン 32、ピン 1、ピン 2)を、すべてロジック 1 に設定する必要があることに注意してください。これらの各ピンは 100 kΩ のプルアップ抵抗を内蔵しているため、シリアル通信中フローティングのままにすることができます。

シリアル・コントロール・ポートには、読み出し専用とバッファ付きの 2 つのタイプがあります。読み出し専用レジスタにはバッファがなく、書き込みコマンドは無視されます。すべての書き込み可能レジスタはバッファ付きで(ミラードとも呼ばれます)であるため、チップ上の一時バッファから実際のレジスタへ新しい値を転送するための I/O 更新が必要です。I/O 更新を開始するときは、レジスタ 0x05[0]の I/O 更新ビットへ 1 を書き込みます。更新コマンドを発行する前に任意数のデータバイトを変更することができるため、前の更新以来のすべてのレジスタ変更が、この更新により同時に有効にされます。

シリアル・コントロール・ポート・ピンの説明

SCLK (シリアル・データ・クロック)は、シリアル・シフト・クロックです。このピンは入力です。SCLK は、シリアル・コントロール・ポートの読み出しと書き込みを同期化するために使います。書き込みデータビットは、このクロックの立上がりエッジでレジスタに取込まれ、読み出しデータビットは立下がりエッジでレジスタに取込まれます。このピンは、内部で 30 kΩ の抵抗でグラウンドにプルダウンされています。

SDIO (デジタル・シリアル・データ入力/出力)は、入力専用または入力/出力として機能する共用ピンです。AD9552 ではデフォルトとして I/O 用の双方向ピンになっています。

CS (チップ・セレクト・バー)はアクティブ・ローであり、読み出しサイクルと書き込みサイクルをゲーティングします。CS がハイ・レベルのとき、SDIO はハイ・インピーダンス状態になります。このピンは、内部で 100 kΩ の抵抗で 3.3 V にプルアップされています。フローティングのままにしないでください。通信サイクルでの CS ピンの使い方については、シリアル・コントロール・ポートの動作のセクションを参照してください。

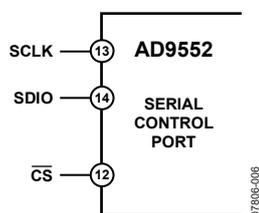


図 22.シリアル・コントロール・ポート

シリアル・コントロール・ポートの動作

CSによる通信サイクルのフレーミング

CSラインは通信サイクル(書き込み動作または読み出し動作)をゲーティングします。通信サイクルを開始するときは、CSをロー・レベルにする必要があります。

CSハイ固定機能は、3 バイト以下のデータ(さらに命令データ)を

転送するモードでサポートされています。ビット[W1:W0]に 00、01、または 10 を設定する必要があります(表 14 参照)。これらのモードでは、任意のバイト境界でCSを一時的にハイ・レベルに戻して、システム・コントローラが次のバイトを処理する時間を確保できるようにします。CSはバイト境界でのみハイ・レベルになることができ、転送のいずれかの部分(命令またはデータ)でハイ・レベルになることができます。この区間に、シリアル・コントロール・ポートのステート・マシンがウェイト・ステートに入り、すべてのデータが送信されるまでウェイト・ステートを続けます。システム・コントローラが全データを送信する前に転送の中止を決定した場合、残りの転送を完了させるか、または SCLK の少なくとも 1 サイクル間(ただし SCLK の 8 サイクル未満)CSをロー・レベルに戻すことによって、ステート・マシンをリセットする必要があります。バイト境界以外でCSをハイ・レベルにすると、シリアル転送が停止され、バッファがクリアされます。

表 14.バイト転送カウント

W1	W0	Bytes to Transfer (Excluding the 2-Byte Instruction)
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

ストリーミング・モード(ビット[W1:W0]=11)では、任意数のデータバイトを 1 つの連続ストリームで転送することができます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます(MSB/LSB ファースト転送のセクション参照)。転送される最終バイトの終わりでCSをハイ・レベルにして、ストリーム・モードを終了する必要があります。

通信サイクル—命令 + データ

AD9552 との通信サイクルには 2 つの部分があります。まず、16 ビットの命令ワードを AD9552 に書き込みます。このとき 16 個の SCLK 立上がりエッジが発生します。この命令ワードは、データ転送についての情報を AD9552 シリアル・コントロール・ポートに提供します。このデータ転送は通信サイクルの 2 番目の部分になります。この命令ワードは、次のデータ転送の読み出し/書き込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。

書き込み

命令ワードが書き込み動作の場合(ビット I15 = 0)、2 番目の部分は AD9552 のシリアル・コントロール・ポートのバッファに対するデータ転送になります。転送長(1、2、3 バイト、またはストリーミング・モード)は、命令バイト内の 2 ビット(ビット[W1:W0])で表示されます。(ビット[W1:W0])で指定される転送長には 2 バイト命令は含まれません。8 ビットの各シーケンスの後(ただし、サイクルが終了する最終バイトは除きます)でCSをハイ・レベルにしてバスを停止させることができます。バスが停止しているときに、CSがロー・レベルになると、シリアル転送が再開されます。非バイト境界で停止させると、シリアル・コントロール・ポートがリセットされます。

読み出し

命令ワードが読み出し動作の場合(ビット I15 = 1)、次の N×8 SCLK サイクルの間に、データが命令ワードで指定されたアドレスから出力されます(N = 1~4、ビット[W1:W0]で指定)。この場合、4 は各読み出しで 4 ワード以上が転送されるストリーミング・モードに対して使用されます。データ・リードバックは

SCLK の立下がりエッジで有効になります。

AD9552 シリアル・コントロール・ポートのデフォルト・モードは双方向モードであるため、リードバックされたデータは SDIO ピンに出力されます。

デフォルトでは、読出し要求により AD9552 が使用中のレジスタの値が読出されますが、レジスタ 0x04[0] = 1 を設定すると、代わりにバッファ付きレジスタが読出されます。このバッファ付きレジスタは、次の I/O 更新で有効になるレジスタです。

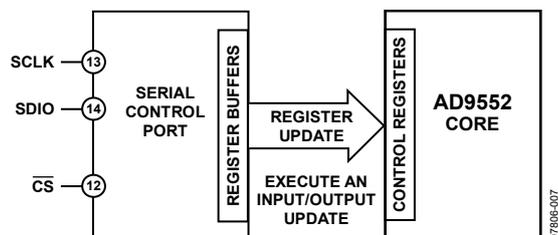


図 23. シリアル・コントロール・ポート・レジスタ・バッファとコントロール・レジスタとの関係

AD9552 では、レジスタ 0x00～レジスタ 0x34 を使用しています。AD9552 シリアル・コントロール・ポートでは、8 ビットと 16 ビットの命令を使うことができますが、8 ビットの命令モードでは、5 アドレス(アドレス・ビット[A4:A0])しかアクセスできないため、アドレス空間 0x00～0x01 だけの使用に制限されています。AD9552 ではパワーアップ時にデフォルトとして 16 ビット命令モードを使用し、8 ビット命令モードはサポートしていません。

命令ワード(16 ビット)

命令ワードの MSB (表 15 参照)は $\overline{R/\overline{W}}$ であり、読出し命令/書き込み命令のいずれであるかを表示します。次の 2 ビットは W1 と W0 であり、転送バイト長を表示します。最後の 13 ビットはアドレス (アドレス・ビット[A12:A0])であり、読出しまたは書き込み動作の開始アドレスを表示します。書き込みの場合、命令ワードに続いて、データバイト数がビット [W1:W0]で表示されます。これは表 14 に従って解釈されます。アドレス・ビット[A12:A0]は、レジスタ・マップ内のアドレスを選択します。通信サイクルのデータ転送部分で、このアドレスに対して書き込みまたは読出しが実行されます。AD9552 では、13 ビット・アドレス空間をすべて使用します。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。

表 15. シリアル・コントロール・ポート、16 ビット命令ワード、MSB ファースト

MSB													LSB		
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
$\overline{R/\overline{W}}$	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

表 16. シリアル・コントロール・ポートのタイミング図で使用される用語の定義

Parameter	Description
t _{CLK}	Period of SCLK
t _{DV}	Read data valid time (time from falling edge of SCLK to valid data on SDIO)
t _{DS}	Setup time between data and rising edge of SCLK
t _{DH}	Hold time between data and rising edge of SCLK
t _S	Setup time between \overline{CS} and SCLK
t _H	Hold time between \overline{CS} and SCLK
t _{HIGH}	Minimum period that SCLK should be in a logic high state
t _{LOW}	Minimum period that SCLK should be in a logic low state

MSB/LSB ファースト転送

AD9552 の命令ワードとバイト・データは MSB ファーストまたは LSB ファーストで転送することができます。AD9552 のデフォルトは MSB ファーストです。LSB ファースト・モードは、レジスタ 0x00[6]に 1 を書き込むことにより設定でき、I/O 更新の実行が必要です。LSB ファースト・ビットが設定された直後に、すべてのシリアル・コントロール・ポートの動作は LSB ファーストに変更されます。

MSB ファースト・モードがアクティブの場合、命令とデータバイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データバイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータバイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・コントロール・ポートの内部アドレス・ジェネレータが、複数バイト転送サイクルの各データバイトに対してデクリメントします。

LSB ファースト= 1 (LSB ファースト)の場合、命令とデータバイトは、LSB から MSB への順序で書き込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データバイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータバイトがその後ろに続きます。シリアル・コントロール・ポートの内部バイト・アドレス・ジェネレータが、複数バイト転送サイクルの各データバイトに対してインクリメントします。

AD9552 シリアル・コントロール・ポート・レジスタのアドレスは、MSB ファースト・モードがアクティブの場合(デフォルト)、複数バイト I/O 動作に対して書込んだレジスタ・アドレスから 0x00 に向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・コントロール・ポート・レジスタのアドレスは、複数バイト I/O 動作に対して書込んだアドレスから 0x34 に向かってインクリメントされます。マルチバイト I/O 動作で未使用アドレスはスキップされません。予約済みレジスタにはデフォルト値を書込み、マップされていないレジスタにはゼロを書込む必要があります。連続する 2 個以上の予約済み(または未マップ)レジスタにデフォルト値を書込むより、新しい書き込みコマンドを発行する方が効率良いことに注意してください。

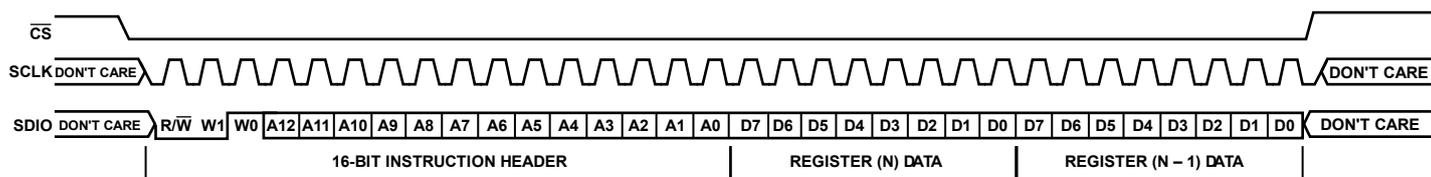


図 24. シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、2 バイト・データ

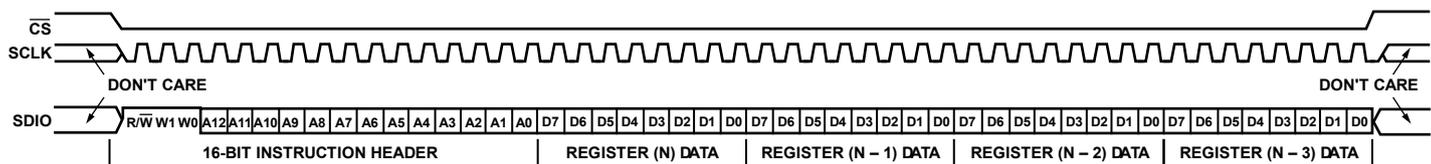


図 25. シリアル・コントロール・ポートの読み出し—MSB ファースト、16 ビット命令、4 バイト・データ

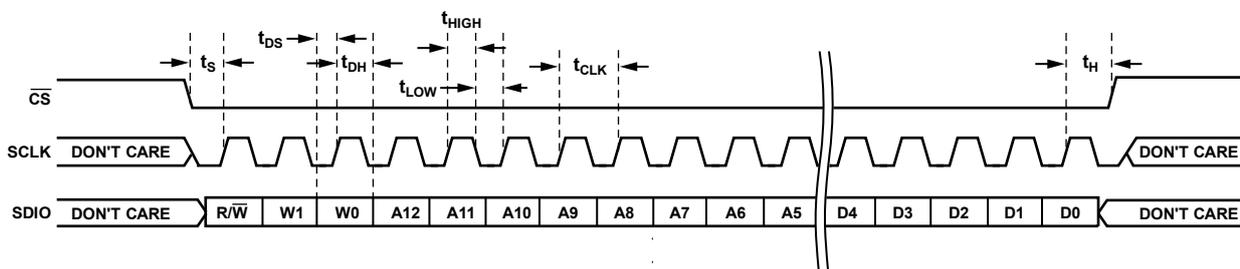


図 26. シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、タイミング測定

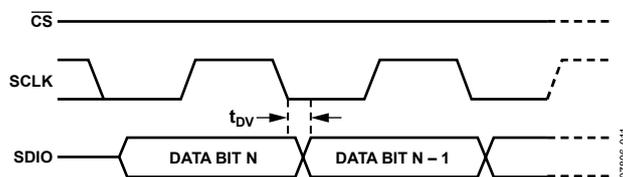


図 27. シリアル・コントロール・ポート・レジスタ読み出しのタイミング図

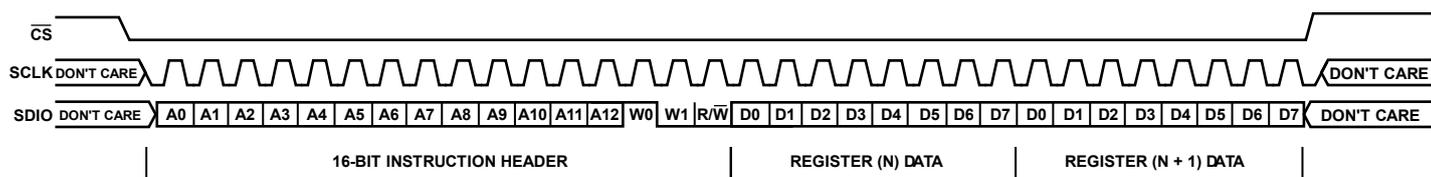


図 28. シリアル・コントロール・ポートの書き込み—LSB ファースト、16 ビット命令、2 バイト・データ

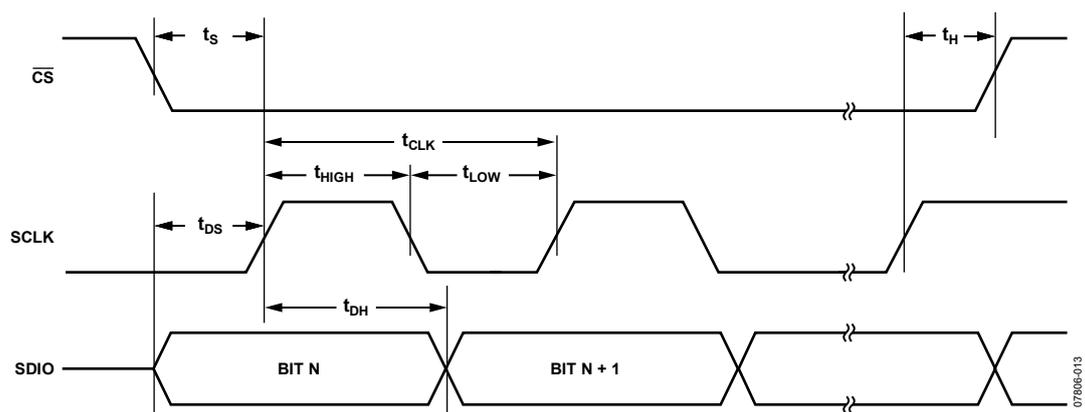


図 29. シリアル・コントロール・ポートのタイミング—書込み

レジスタ・マップ

“aclr”と表示したビットはアクティブ・ハイで、自動クリア・ビットです。ロジック 1 状態に設定すると、指定したタスクが完了したとき、制御ロジックが自動的にこのビットをロジック 0 状態に戻します。

表 17. レジスタ・マップ

Addr. (Hex)	Register Name	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default
0x00	Serial port control	0	LSB first	Soft reset (aclr)	1	1	Soft reset	LSB first	0	0x18
0x04	Readback control	Unused	Unused	Unused	Unused	Unused	Unused	Unused	Readback control	0x00
0x05	I/O update	Unused	Unused	Unused	Unused	Unused	Unused	Unused	I/O update (aclr)	0x00
0x0A	PLL charge pump and PFD control	Charge pump current control[7:0] (3.5 μ A granularity, ~900 μ A full scale)								0x80
0x0B	PLL charge pump and PFD control	Enable SPI control of charge pump current	Enable SPI control of antiback-lash period	CP mode[1:0]		Enable CP mode control	PFD feedback input edge control	PFD reference input edge control	Force VCO to midpoint frequency	0x30
0x0C	PLL charge pump and PFD control	Unused	CP offset current polarity	CP offset current[1:0]		Enable CP offset current polarity control	Reserved	Reserved	Reserved	0x00
0x0D	PLL charge pump and PFD control	Antibacklash control[1:0]		Unused	Unused	Unused	Unused	Unused	PLL lock detector power-down	0x00
0x0E	VCO control	Calibrate VCO (aclr)	Enable ALC	ALC threshold[2:0]			Enable SPI control of VCO calibration	Boost VCO supply	Enable SPI control of VCO band setting	0x70
0x0F	VCO control	VCO level control[5:0]						Unused	Unused	0x80
0x10	VCO control	VCO band control[6:0]							Unused	0x80
0x11	PLL control	N[7:0] (SDM integer part)								0x00
0x12	PLL control	MOD[19:12] (SDM modulus)								0x80
0x13	PLL control	MOD[11:4] (SDM modulus)								0x00
0x14	PLL control	MOD[3:0] (SDM modulus)				Enable SPI control of output frequency	Bypass SDM	Disable SDM	Reset PLL	0x00
0x15	PLL control	FRAC[19:12] (SDM fractional part)								0x20
0x16	PLL control	FRAC[11:4] (SDM fractional part)								0x00
0x17	PLL control	FRAC[3:0] (SDM fractional part)				Unused	Unused	Unused	P ₁ divider[5]	0x01
0x18	PLL control	P ₁ divider[4:0]				P ₀ divider[2:0]				0x00
0x19	PLL control	Enable SPI control of OUT1 dividers	Unused	Unused						0x20
0x1A	Input receiver and band gap	Receiver reset (aclr)	Band gap voltage adjust[4:0] (00000 = maximum, 11111 = minimum)					Unused	Enable SPI control of band gap voltage	0x00
0x1B	XTAL tuning control	Disable SPI control of XTAL tuning capacitance	Unused	XTAL tuning capacitor control[5:0] (0.25 pF per bit, inverted binary coding)						0x80

Addr. (Hex)	Register Name	(MSB) Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	(LSB) Bit 0	Default
0x1C	XTAL control	Unused	Unused	Unused	Unused	Unused	Unused	Unused	Unused	0x00
0x1D	XTAL control	Unused	Unused	Unused	Unused	Unused	Select 2× frequency multiplier	Unused	Use crystal resonator	0x00
0x32	OUT1 driver control	OUT1 drive strength	OUT1 power-down	OUT1 mode control[2:0]			OUT1 CMOS polarity[1:0]		Enable SPI control of OUT1 driver control	0xA8
0x33	Select OUT2 source	Unused	Unused	Unused	Unused	OUT2 source	Unused	Unused	Unused	0x00
0x34	OUT2 driver control	OUT2 drive strength	OUT2 power-down	OUT2 mode control[2:0]			OUT2 CMOS polarity[1:0]		Enable SPI control of OUT2 driver control	0xA8

レジスタ・マップの説明

コントロール・ビット機能は、特に指定がない限りアクティブ・ハイです。レジスタ・アドレス値は、特に指定がない限り 16 進数表示です。

シリアル・ポート・コントロール (レジスタ 0x00～レジスタ 0x05)

表 18.

Address	Bit	Bit Name	Description
0x00	7	Unused	Forced to Logic 0 internally, which enables 3-wire mode only.
	6	LSB first	Bit order for SPI port. 0 = most significant bit and byte first (default). 1 = least significant bit and byte first.
	5	Soft reset	Software initiated reset (register values set to default). This is an autoclearing bit.
	4	Unused	Forced to Logic 1 internally, which enables 16-bit mode (the only mode supported by the device).
	[3:0]	Unused	Mirrored version of the contents of Register 0x00[7:4] (that is, Bits[3:0] = Bits[7:4]).
0x04	[7:1]	Unused	Unused.
	0	Readback control	For buffered registers, serial port readback reads from actual (active) registers instead of from the buffer. 0 = reads values currently applied to the internal logic of the device (default). 1 = reads buffered values that take effect on next assertion of I/O update.
0x05	[7:1]	Unused	Unused.
	0	I/O update	Writing a 1 to this bit transfers the data in the serial I/O buffer registers to the internal control registers of the device. This is an autoclearing bit.

PLLチャージャ・ポンプとPFDコントロール (レジスタ 0x0A~レジスタ 0x0D)

表 19.

Address	Bit	Bit Name	Description
0x0A	[7:0]	Charge pump current control	These bits set the magnitude of the PLL charge pump current. The granularity is $\sim 3.5 \mu\text{A}$ with a full-scale magnitude of $\sim 900 \mu\text{A}$. Register 0x0A is ineffective unless Register 0x0B[7] = 1. Default is 0x80, or $\sim 448 \mu\text{A}$.
0x0B	7	Enable SPI control of charge pump current	Controls functionality of Register 0x0A. 0 = the device automatically controls the charge pump current (default). 1 = charge pump current defined by Register 0x0A.
	6	Enable SPI control of antibacklash period	Controls functionality of Register 0x0D[7:6]. 0 = the device automatically controls the antibacklash period (default). 1 = antibacklash period defined by Register 0x0D[7:6].
	[5:4]	CP mode	Controls the mode of the PLL charge pump. 00 = tristate. 01 = pump up. 10 = pump down. 11 = normal (default).
	3	Enable CP mode control	Controls functionality of Bits[5:4] (CP mode). 0 = the device automatically controls the charge pump mode (default). 1 = charge pump mode is defined by Bits[5:4].
	2	PFD feedback input edge control	Selects the polarity of the active edge of the PLL's feedback input. 0 = positive edge (default). 1 = negative edge.
	1	PFD reference input edge control	Selects the polarity of the active edge of the PLL's reference input. 0 = positive edge (default). 1 = negative edge.
	0	Force VCO to midpoint frequency	Selects VCO control voltage functionality. 0 = normal VCO operation (default). 1 = force VCO control voltage to midscale.
0x0C	7	Unused	Unused.
	6	CP offset current polarity	Selects the polarity of the charge pump offset current of the PLL. This bit is ineffective unless Bit 3 = 1. 0 = pump up (default). 1 = pump down.
	[5:4]	CP offset current	Controls the magnitude of the charge pump offset current of the PLL as a fraction of the value in Register 0x0A. This bit is ineffective unless Bit 3 = 1. 00 = 1/2 (default). 01 = 1/4. 10 = 1/8. 11 = 1/16.
	3	Enable CP offset current control	Controls functionality of Bits[6:4]. 0 = the device automatically controls charge pump offset current (default). 1 = charge pump offset current defined by Bits[6:4].
	2:0	Reserved	
0x0D	[7:6]	Antibacklash control	Controls the PFD antibacklash period of the PLL. These bits are ineffective unless Register 0x0B[6] = 1. 00 = minimum (default). 01 = low. 10 = high. 11 = maximum.
	[5:1]	Unused	Unused.
	0	PLL lock detector power-down	Controls power-down of the PLL lock detector. 0 = lock detector active (default). 1 = lock detector powered down.

VCOコントロール (レジスタ 0x0E~レジスタ 0x10)

表 20.

Address	Bit	Bit Name	Description
0x0E	7	Calibrate VCO	Initiates VCO calibration (this is an autoclearing bit). This bit is ineffective unless Bit 2 = 1.
	6	Enable ALC	Enables automatic level control (ALC) of the VCO. 0 = Register 0x0F[7:2] defines the VCO level. 1 = the device automatically controls the VCO level (default).
	[5:3]	ALC threshold	Controls the VCO ALC threshold detector level from minimum (000) to maximum (111). The default is 110.
	2	Enable SPI control of VCO calibration	Enables functionality of Bit 7 ¹ . 0 = the device automatically performs VCO calibration (default). 1 = Bit 7 controls VCO calibration.
	1	Boost VCO supply	Selects VCO supply voltage. 0 = normal supply voltage (default). 1 = increase supply voltage by 100 mV.
	0	Enable SPI control of VCO band setting	Controls VCO band setting functionality. 0 = the device automatically selects the VCO band (default). 1 = VCO band defined by Register 0x10[7:1].
0x0F	[7:2]	VCO level control	Controls the VCO amplitude from minimum (00 0000) to maximum (11 1111). The default is 10 0000. These bits are ineffective unless 0x0E[6] = 0.
	[1:0]	Unused	Unused.
0x10	[7:1]	VCO band control	Controls the VCO frequency band from minimum (000 0000) to maximum (111 1111). The default is 100 0000.
	0	Unused	Unused.

¹ このビットをセットした後で、かつ SPI 制御による VCO キャリブレーションを発行する前に I/O 更新を起動する必要があります(レジスタ 0x0E のビット 7~1 を書込みます)。

PLLコントロール (レジスタ 0x11~レジスタ 0x19)

表 21.

Address	Bit	Bit Name	Description
0x11	[7:0]	N	The 8-bit integer divide value for the SDM. Default is 0x00. Note that operational limitations impose a lower boundary of 64 (0x40) on N.
0x12	[7:0]	MOD	Bits[19:12] of the 20-bit modulus of the SDM.
0x13	[7:0]	MOD	Bits[11:4] of the 20-bit modulus of the SDM.
0x14	[7:4]	MOD	Bits[3:0] of the 20-bit modulus of the SDM. Default is MOD = 1000 0000 0000 0000 0000 (524,288).
	3	Enable SPI control of output frequency	Controls output frequency functionality. 0 = output frequency defined by the Y[3:0] pins (default). 1 = contents of Register 0x11 to Register 0x17 define output frequency via N, MOD, and FRAC.
	2	Bypass SDM	Controls bypassing of the SDM. 0 = allow integer-plus-fractional division (default). 1 = allow only integer division.
	1	Disable SDM	Controls the SDM internal clocks. 0 = normal operation (SDM clocks active) (default). 1 = SDM disabled (SDM clocks stopped).
	0	Reset PLL	Controls initialization of the PLL. 0 = normal operation (default). 1 = resets the counters and logic associated with the PLL but does not affect the output dividers.
0x15	[7:0]	FRAC	Bits[19:12] of the 20-bit fractional part of the SDM.
0x16	[7:0]	FRAC	Bits[11:4] of the 20-bit fractional part of the SDM.
0x17	[7:4]	FRAC	Bits[3:0] of the 20-bit fractional part of the SDM. Default is FRAC = 0010 0000 0000 0000 0000 (131,072).
	[3:1]	Unused	Write zeros to these bits when programming this register.
	0	P ₁ divider	Bit 5 of the 6-bit P ₁ divider for OUT1.

Address	Bit	Bit Name	Description
0x18	[7:3]	P ₁ divider	Bits[4:0] of the 6-bit P ₁ divider for OUT1 (1 ≤ P ₁ ≤ 63). Do not set these bits to 000000. Default is P ₁ = 10 0000 (32). The P ₁ bits are ineffective unless Register 0x19[7] = 1.
	[2:0]	P ₀ divider	The 3-bit P ₀ divider for OUT1. The P ₀ divide value is as follows: 000 = 4 (default). 001 = 5. 010 = 6. 011 = 7. 100 = 8. 101 = 9. 110 = 10. 111 = 11. The P ₀ bits are ineffective unless Register 0x19[7] = 1.
0x19	7	Enable SPI control of OUT1 dividers	Controls functionality of OUT1 dividers. 0 = OUT1 dividers defined by the Y[5:0] pins (default). 1 = contents of Register 0x17 and Register 0x18 define OUT1 dividers (P ₀ and P ₁).
	[6:0]	Unused	Unused.

入力レシーバとバンド・ギャップ・コントロール (レジスタ 0x1A)

表 22.

Address	Bit	Bit Name	Description
0x1A	7	Receiver reset	Input receiver reset control. This is an autoclearing bit. 0 = normal operation (default). 1 = reset input receiver logic.
	[6:2]	Band gap voltage adjust	Controls the band gap voltage setting from minimum (0 0000) to maximum (1 1111). Default is 0 0000.
	1	Unused	Unused.
	0	Enable SPI control of band gap voltage	Enables functionality of Bits[6:2]. 0 = the device automatically selects receiver band gap voltage (default). 1 = Bits[6:2] define the receiver band gap voltage.

XTALコントロール (レジスタ 0x1B~レジスタ 0x1D)

表 23.

Address	Bit	Bit Name	Description
0x1B	7	Disable SPI control of XTAL tuning capacitance	Disables functionality of Bits[5:0]. 0 = tuning capacitance defined by Bits[5:0]. 1 = the device automatically selects XTAL tuning capacitance (default).
	6	Unused	Unused.
	[5:0]	XTAL tuning capacitor control	Capacitance value coded as inverted binary (0.25 pF per bit); that is, 111111 is 0 pF, 111110 is 0.25 pF, and so on. The default value, 000000, is 15.75 pF.
0x1C	[7:0]	Unused	Unused.
0x1D	[7:3]	Unused	Unused.
	2	Select 2× frequency multiplier	Select/bypass the 2× frequency multiplier. 0 = bypassed (default). 1 = selected.
	1	Unused	Unused.
	0	Use crystal resonator	Automatic external reference select override. 0 = the device automatically selects the external reference path if an external reference signal is present (default). 1 = the device uses the crystal resonator input whether or not an external reference signal is present.

OUT1 ドライバ・コントロール (レジスタ 0x32)

表 24.

Address	Bit	Bit Name	Description
0x32	7	OUT1 drive strength	Controls the output drive capability of the OUT1 driver. 0 = weak. 1 = strong (default).
	6	OUT1 power-down	Controls power-down functionality of the OUT1 driver. 0 = OUT1 active (default). 1 = OUT1 powered down.
	[5:3]	OUT1 mode control	OUT1 driver mode selection. 000 = CMOS, both pins active. 001 = CMOS, positive pin active, negative pin tristate. 010 = CMOS, positive pin tristate, negative pin active. 011 = CMOS, both pins tristate. 100 = LVDS. 101 = LVPECL (default). 110 = not used. 111 = not used.
	[2:1]	OUT1 CMOS polarity	Selects the polarity of the OUT1 pins in CMOS mode. 00 = positive pin logic is true = 1, false = 0/negative pin logic is true = 0, false = 1 (default). 01 = positive pin logic is true = 1, false = 0/negative pin logic is true = 1, false = 0. 10 = positive pin logic is true = 0, false = 1/negative pin logic is true = 0, false = 1. 11 = positive pin logic is true = 0, false = 1/negative pin logic is true = 1, false = 0. These bits are ineffective unless Bits[5:3] select CMOS mode.
	0	Enable SPI control of OUT1 driver control	Controls OUT1 driver functionality. 0 = OUT1 is LVDS or LVPECL, per the OUTSEL pin (Pin 15) (default). 1 = OUT1 functionality defined by Bits[7:1].

OUT2 ソース選択コントロール (レジスタ 0x33)

表 25.

Address	Bit	Bit Name	Description
0x33	[7:4]	Unused	Unused.
	3	OUT2 source	Selects the signal source for OUT2. 0 = source for OUT2 is the output of the P ₁ divider (default). 1 = source for OUT2 is the input reference (REF or XTAL).
	[2:0]	Unused	Unused.

OUT2 ドライバ・コントロール (レジスタ 0x34)

表 26.

Address	Bit	Bit Name	Description
0x34	7	OUT2 drive strength	Controls the output drive capability of the OUT2 driver. 0 = weak. 1 = strong (default).
	6	OUT2 power-down	Controls power-down functionality of the OUT2 driver. 0 = OUT2 active (default). 1 = OUT2 powered down.
	[5:3]	OUT2 mode control	OUT2 driver mode selection. 000 = CMOS, both pins active. 001 = CMOS, positive pin active, negative pin tristate. 010 = CMOS, positive pin tristate, negative pin active. 011 = CMOS, both pins tristate. 100 = LVDS. 101 = LVPECL (default). 110 = not used. 111 = not used.
	[2:1]	OUT2 CMOS polarity	Selects the polarity of the OUT2 pins in CMOS mode. 00 = positive pin logic is true = 1, false = 0/negative pin logic is true = 0, false = 1 (default). 01 = positive pin logic is true = 1, false = 0/negative pin logic is true = 1, false = 0. 10 = positive pin logic is true = 0, false = 1/negative pin logic is true = 0, false = 1. 11 = positive pin logic is true = 0, false = 1/negative pin logic is true = 1, false = 0. These bits are ineffective unless Bits[5:3] select CMOS mode.
	0	Enable SPI control of OUT2 driver control	Controls OUT2 driver functionality. 0 = OUT2 is LVDS or LVPECL, per the OUTSEL pin (Pin 15) (default). 1 = OUT2 functionality defined by Bits[7:1].

