

特長

低位相ノイズの位相ロック・ループ(PLL)

- 2.53 GHz~2.95 GHzで同調する VCO を内蔵
- 2.4 GHz までの外付け 3.3 V/5 V VCO/VCXO をサポート
- リファレンス入力: 差動が 1 個またはシングルエンドが 2 個
- 250 MHz までの CMOS、LVDS、または LVPECL リファレンスが入力可能
- リファレンスに 16.67 MHz~33.3 MHz の水晶を入力可能
- オプションのリファレンス・クロック・ダブラー
- リファレンス電圧モニター機能
- 復帰/非復帰切り替えが選択可能な自動およびマニュアルのリファレンス切り替え/ホールドオーバー・モード
- リファレンスをグリッチなしで切り替え
- ホールドオーバーからの自動回復
- デジタルまたはアナログのロック検出が選択可能
- オプションのゼロ遅延動作

12 個の 1.6 GHz LVPECL 出力を 4 グループ化

- 3 個からなる各グループに位相遅延付きの 1~32 分周器を内蔵
- 小さい出力ジッタ増加: 225 fs rms
- チャンネル間スキューごとにグループ化した出力<16 ps
- 各 LVPECL 出力は 2 個の CMOS 出力に構成可能($f_{OUT} \leq 250$ MHz)

パワーアップ時にすべての出力が自動同期

必要に応じて出力をマニュアル同期

SPI および I²C 互換シリアル・コントロール・ポート

64 ピン LFCSP

設定値を不揮発性 EEPROM に保存

アプリケーション

低ジッタ低位相ノイズ・クロックの分配

SONET、10Ge、10G FC、その他の 10 Gbps プロトコルに対する
クロックの発生と変換

前方誤り訂正(G.710)

高速な ADC、DAC、DDS、DDC、DUC、MxFE のクロック駆動

高性能ワイヤレス・トランシーバ

ATE および高性能計装機器

ブロードバンド・インフラストラクチャ

概要

AD9520-0¹ は、ピコ秒以下以下のジッタ性能を持ち、PLL と VCO を内蔵するマルチ出力クロック分配機能を提供します。内蔵 VCO は 2.53 GHz~2.95 GHz で同調します。2.4 GHz までの外付け 3.3 V/5 V VCO/VCXO も使用することができます。

¹ このデータシートでは、すべての AD9520 ファミリー・メンバーの意味で AD9520 を使っていますが、AD9520-0 を使用した場合は、AD9520 ファミリーの特定のメンバーを意味します。

機能ブロック図

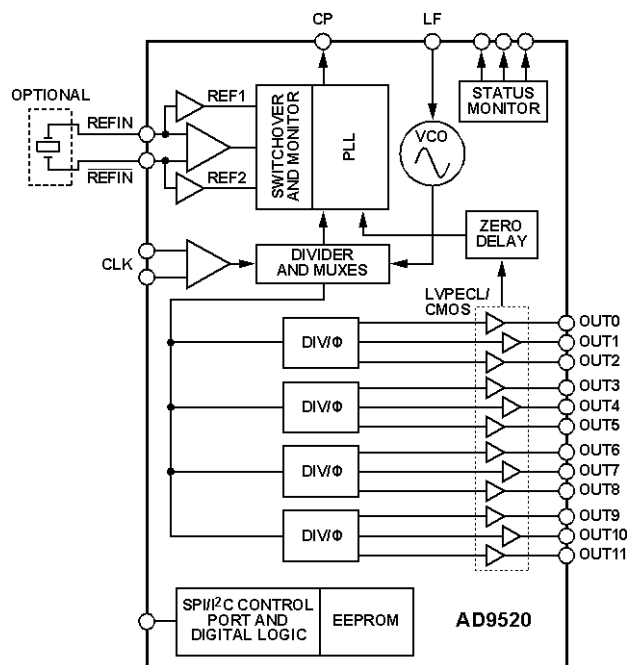


図 1.

AD9520 のシリアル・インターフェースは、SPI と I²C®の両ポートをサポートします。内蔵 EEPROM はシリアル・インターフェースを介して書き込むことができ、パワーアップとチップ・リセット時のユーザー定義レジスタ設定値を保存します。

AD9520 は、4 グループに分けた 12 個の LVPECL 出力を持っています。いずれの 1.6 GHz LVPECL 出力も、2 個の 250 MHz CMOS 出力として構成することができます。

出力の各グループには、分周比(1~32)と位相(粗調整遅延)が設定できる分周器が内蔵されています。

AD9520 は 64 ピン LFCSP パッケージを採用し、3.3 V の単電源で動作します。外付け VCO の動作電圧は最大 5.5 V です。出力ドライバの別電源の範囲は 2.375 V~3.465 V です。

AD9520 の動作は、-40°C~+85°C の標準工業温度で規定されています。

目次

特長	1	PLL リファレンス入力	34
アプリケーション	1	リファレンス電圧の切り替え	35
概要	1	リファレンス分周器 R	35
機能ブロック図	1	VCO/VCXO 帰還分周器 N: P、A、B、R	35
改訂履歴	3	デジタル・ロック検出(DLD)	37
仕様	4	アナログ・ロック検出(ALD)	37
電源条件	4	電流ソース・デジタル・ロック検出(CSDL)	37
PLL 特性	4	外付け VCXO/VCO クロック入力(CLK/CLK)	37
クロック入力	7	ホールドオーバー	38
クロック出力	7	外部/マニュアル・ホールドオーバー・モード	38
タイミング特性	8	自動/内部ホールドオーバー・モード	38
タイミング図	9	周波数ステータス・モニター	40
クロック出力の位相ノイズ増加(分配セクション、VCO 分周器非使用)	9	VCO のキャリブレーション	40
クロック出力の絶対位相ノイズ(内蔵 VCO を使用)	10	ゼロ遅延動作	42
クロック出力の絶対時間ジッタ(内蔵 VCO を使用してクロックを発生)	11	内部ゼロ遅延モード	42
クロック出力の絶対時間ジッタ(内蔵 VCO を使用してクロックをクリーンアップ)	11	外部ゼロ遅延モード	42
クロック出力の絶対時間ジッタ(外付け VCXO を使用してクロックを発生)	11	クロック分配	43
クロック出力の時間ジッタ増加(VCO 分周器を非使用)	11	動作モード	43
クロック出力の時間ジッタ増加(VCO 分周器を使用)	12	クロック周波数分周比	44
シリアル・コントロール・ポート—SPI モード	12	VCO 分周器	44
シリアル・コントロール・ポート—I ² C モード	13	チャンネル分周器	44
PD、SYNC、RESET の各ピン	14	出力の同期—SYNC 機能	46
シリアル・ポート・セットアップ・ピン: SP1、SP0	14	LVPECL 出力ドライバ	47
LD、STATUS、REFMON の各ピン	14	CMOS 出力ドライバ	48
消費電力	15	リセット・モード	48
絶対最大定格	16	パワーオン・リセット	48
熱抵抗	16	RESET ピンによるハードウェア・リセット	48
ESD の注意	16	シリアル・ポートからのソフト・リセット	48
ピン配置およびピン機能説明	17	シリアル・ポートを介して EEPROM ピン=0 を設定した EEPROM 格納設定値へのソフト・リセット	48
代表的な性能特性	20	パワーダウン・モード	48
用語	25	PD によるチップ・パワーダウン	48
詳細ブロック図	26	PLL のパワーダウン	49
動作原理	27	分配のパワーダウン	49
動作設定	27	個別クロック出力のパワーダウン	49
モード 0: 内蔵 VCO とクロック分配	27	個別クロック・チャンネルのパワーダウン	49
モード 1: クロック分配または外付け VCO < 1600 MHz	29	シリアル・コントロール・ポート	50
モード 2: 高周波クロック分配—CLK または外付け VCO > 1600 MHz	31	SPI/I ² C ポートの選択	50
位相ロック・ループ(PLL)	33	I ² C シリアル・ポートの動作	50
PLL の設定	33	I ² C バスの特性	50
位相周波数検出器(PFD)	33	データ転送処理	51
チャージ・ポンプ(CP)	33	データ転送フォーマット	52
内蔵 VCO	34	I ² C シリアル・ポートのタイミング	52
外付け PLL ループ・フィルタ	34	SPI シリアル・ポートの動作	53
		ピンの説明	53
		SPI モードの動作	53
		通信サイクル—命令+データ	53

書き込み.....	53	アプリケーション情報.....	79
読み出し.....	53	AD9520を使用した周波数プランニング.....	79
SPI 命令ワード(16 ビット).....	54	ADC クロック・アプリケーションでの AD9520 出力の使用.....	79
SPI の MSB/LSB ファースト転送.....	54	CMOS クロックの分配.....	79
EEPROM の動作.....	57	CMOS クロックの分配.....	80
EEPROM への書き込み.....	57	外形寸法.....	81
EEPROM からの読み出し.....	57	オーダー・ガイド.....	81
EEPROM バッファ・セグメントへの書き込み.....	58		
レジスタ・セクション定義グループ.....	58		
IO_UPDATE (命令コード 0x80).....	58		
End-of-data (命令コード 0xFF).....	58		
Pseudo-End-of-data (命令コード 0xFE).....	58		
熱性能.....	60		
レジスタ・マップ.....	61		
レジスタ・マップの説明.....	66		

改訂履歴

9/08—Revision 0: Initial Version

仕様

特に指定がない限り、typ 値は $VS = VS_DRV = 3.3\text{ V} \pm 5\%$ 、 $VS \leq VCP \leq 5.25\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $RSET = 4.12\text{ k}\Omega$ 、 $CPRSET = 5.1\text{ k}\Omega$ のときの値。最小(min)と最大(max)値は、 VS と T_A ($-40^\circ\text{C} \sim +85^\circ\text{C}$)の全変動での値。

電源条件

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VS	3.135	3.3	3.465	V	$3.3\text{ V} \pm 5\%$
VS_DRV	2.375		VS	V	This is nominally 2.5 V to $3.3\text{ V} \pm 5\%$
VCP	VS		5.25	V	This is nominally 3.3 V to $5.0\text{ V} \pm 5\%$
RSET Pin Resistor		4.12		k Ω	Sets internal biasing currents; connect to ground
CPRSET Pin Resistor		5.1		k Ω	Sets internal CP current range, nominally 4.8 mA ($CP_lsb = 600\text{ }\mu\text{A}$); actual current can be calculated by $CP_lsb = 3.06/CPRSET$; connect to ground
BYPASS Pin Capacitor		220		nF	Bypass for internal LDO regulator; necessary for LDO stability; connect to ground

PLL 特性

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
VCO (ON-CHIP)					
Frequency Range	2530		2950	MHz	See Figure 13
VCO Gain (K_{VCO})		52		MHz/V	See Figure 8
Tuning Voltage (V_T)	0.5		$VCP - 0.5$	V	$VCP \leq VS$ when using internal VCO
Frequency Pushing (Open-Loop)		1		MHz/V	
Phase Noise @ 1 kHz Offset		-51		dBc/Hz	$f = 2550\text{ MHz}$
Phase Noise @ 100 kHz Offset		-108		dBc/Hz	$f = 2550\text{ MHz}$
Phase Noise @ 1 MHz Offset		-127		dBc/Hz	$f = 2550\text{ MHz}$
REFERENCE INPUTS					
Differential Mode ($\overline{REFIN}$, $\overline{REFIN}$)					Differential mode (can accommodate single-ended input by ac grounding undriven input)
Input Frequency	0		250	MHz	Frequencies below about 1 MHz should be dc-coupled; be careful to match V_{CM} (self-bias voltage)
Input Sensitivity		280		mV p-p	
Self-Bias Voltage, $\overline{REFIN}$	1.34	1.60	1.75	V	Self-bias voltage of $\overline{REFIN}^1$
Self-Bias Voltage, $\overline{REFIN}$	1.30	1.50	1.60	V	Self-bias voltage of $\overline{REFIN}^1$
Input Resistance, $\overline{REFIN}$	4.0	4.8	5.9	k Ω	Self-biased ¹
Input Resistance, $\overline{REFIN}$	4.4	5.3	6.4	k Ω	Self-biased ¹
Dual Single-Ended Mode ($\overline{REF1}$, $\overline{REF2}$)					Two single-ended CMOS-compatible inputs
Input Frequency (AC-Coupled with DC Offset Off)	10		250	MHz	Slew rate must be $> 50\text{ V}/\mu\text{s}$
Input Frequency (AC-Coupled with DC Offset On)			250	MHz	Slew rate must be $> 50\text{ V}/\mu\text{s}$, and input amplitude sensitivity specification must be met; see input sensitivity
Input Frequency (DC-Coupled)	0		250	MHz	Slew rate $> 50\text{ V}/\mu\text{s}$; CMOS levels
Input Sensitivity (AC-Coupled with DC Offset Off)	0.55		3.28	V p-p	V_{IH} should not exceed VS
Input Sensitivity (AC-Coupled with DC Offset On)	1.5		2.78	V p-p	V_{IH} should not exceed VS
Input Logic High, DC Offset Off	2.0			V	
Input Logic Low, DC Offset Off			0.8	V	
Input Current	-100		+100	μA	
Input Capacitance		2		pF	Each pin, $\overline{REFIN}$ ($\overline{REF1}$)/ $\overline{REFIN}$ ($\overline{REF2}$)
Crystal Oscillator					
Crystal Resonator Frequency Range	16.67		33.33	MHz	
Maximum Crystal Motional Resistance			30	Ω	
PHASE/FREQUENCY DETECTOR (PFD)					
PFD Input Frequency			100	MHz	Antibacklash pulse width = 1.3 ns, 2.9 ns

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Reference Input Clock Doubler Frequency	0.004		45	MHz	Antibacklash pulse width = 6.0 ns
Antibacklash Pulse Width		1.3	50	MHz	Antibacklash pulse width = 1.3 ns, 2.9 ns
		2.9		ns	0x017[1:0] = 01b
		6.0		ns	0x017[1:0] = 00b; 0x017[1:0] = 11b
				ns	0x017[1:0] = 10b
CHARGE PUMP (CP)					
I _{CP} Sink/Source					Programmable
High Value		4.8		mA	With CPRSET = 5.1 k Ω ; higher I _{CP} is possible by changing CPRSET
Low Value		0.60		mA	With CPRSET = 5.1 k Ω ; lower I _{CP} is possible by changing CPRSET
Absolute Accuracy		2.5		%	Charge pump voltage set to V _{CP} /2
CPRSET Range	2.7		10	k Ω	
I _{CP} High Impedance Mode Leakage		1		nA	
Sink-and-Source Current Matching		1		%	0.5 V < V _{CP} < VCP – 0.5 V; V _{CP} is the voltage on the CP (charge pump) pin; VCP is the voltage on the VCP power supply pin
I _{CP} vs. V _{CP}		1.5		%	0.5 V < V _{CP} < VCP – 0.5 V
I _{CP} vs. Temperature		2		%	V _{CP} = VCP/2 V
PRESCALER (PART OF N DIVIDER)					
Prescaler Input Frequency					
P = 1 FD			300	MHz	
P = 2 FD			600	MHz	
P = 3 FD			900	MHz	
P = 2 DM (2/3)			600	MHz	
P = 4 DM (4/5)			1000	MHz	
P = 8 DM (8/9)			2400	MHz	
P = 16 DM (16/17)			3000	MHz	
P = 32 DM (32/33)			3000	MHz	
Prescaler Output Frequency			300	MHz	A, B counter input frequency (prescaler input frequency divided by P)
PLL N DIVIDER DELAY					
000		Off			Register 0x019[2:0]; see Table 53
001		410		ps	
010		530		ps	
011		650		ps	
100		770		ps	
101		890		ps	
110		1010		ps	
111		1130		ps	
PLL R DIVIDER DELAY					
000		Off			Register 0x019[5:3]; see Table 53
001		370		ps	
010		490		ps	
011		610		ps	
100		730		ps	
101		850		ps	
110		970		ps	
111		1090		ps	
PHASE OFFSET IN ZERO DELAY					
Phase Offset (REF-to-LVPECL Clock Output Pins) in Internal Zero Delay Mode	560	1060	1310	ps	REF refers to REFIN (REF1)/REFIN (REF2)
Phase Offset (REF-to-LVPECL Clock Output Pins) in Internal Zero Delay Mode	–320	+50	+240	ps	When N delay and R delay are bypassed
Phase Offset (REF-to-CLK Input Pins) in External Zero Delay Mode	140	630	870	ps	When N delay = Setting 110 and R delay is bypassed
Phase Offset (REF-to-CLK Input Pins) in External Zero Delay Mode	–460	–20	+200	ps	When N delay and R delay are bypassed
					When N delay = Setting 011 and R delay is bypassed
NOISE CHARACTERISTICS					
In-Band Phase Noise of the Charge Pump/					The PLL in-band phase noise floor is estimated by

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Phase Frequency Detector (In-Band Means Within the LBW of the PLL)					measuring the in-band phase noise at the output of the VCO and subtracting $20 \log(N)$ (where N is the value of the N divider)
@ 500 kHz PFD Frequency		-165		dBc/Hz	
@ 1 MHz PFD Frequency		-162		dBc/Hz	
@ 10 MHz PFD Frequency		-152		dBc/Hz	
@ 50 MHz PFD Frequency		-144		dBc/Hz	
PLL Figure of Merit (FOM)		-222		dBc/Hz	Reference slew rate > 0.5 V/ns; $FOM + 10 \log(f_{PFD})$ is an approximation of the PFD/CP in-band phase noise (in the flat region) inside the PLL loop bandwidth; when running closed-loop, the phase noise, as observed at the VCO output, is increased by $20 \log(N)$; PLL figure of merit decreases with decreasing slew rate; see Figure 12
PLL DIGITAL LOCK DETECT WINDOW ²					Signal available at LD, STATUS, and REFMON pins when selected by appropriate register settings; lock detect window settings can be varied by changing the CPRSET resistor
Lock Threshold (Coincidence of Edges)					Selected by 0x017[1:0] and 0x018[4] (This is the threshold to go from unlock to lock)
Low Range (ABP 1.3 ns, 2.9 ns)		3.5		ns	0x017[1:0] = 00b, 01b, 11b; 0x018[4] = 1b
High Range (ABP 1.3 ns, 2.9 ns)		7.5		ns	0x017[1:0] = 00b, 01b, 11b; 0x018[4] = 0b
High Range (ABP 6.0 ns)		3.5		ns	0x017[1:0] = 10b; 0x018[4] = 0b
Unlock Threshold (Hysteresis) ²					Selected by 0x017[1:0] and 0x018[4] (This is the threshold to go from lock to unlock)
Low Range (ABP 1.3 ns, 2.9 ns)		7		ns	0x017[1:0] = 00b, 01b, 11b; 0x018[4] = 1b
High Range (ABP 1.3 ns, 2.9 ns)		15		ns	0x017[1:0] = 00b, 01b, 11b; 0x018[4] = 0b
High Range (ABP 6.0 ns)		11		ns	0x017[1:0] = 10b; 0x018[4] = 0b

¹ REF $\overline{IN}$ と $\overline{REFIN}$ のセルフ・バイアス・ポイントは、入力オープン状態でのチャタリングを防止するため少しオフセットさせてあります。

² デジタル・ロック検出の確かな動作のためには、PFD 周波数の周期は、ロック・アンロック時間より大きい必要があります。

クロック入力

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLOCK INPUTS (CLK, $\overline{\text{CLK}}$)					Differential input
Input Frequency	0 ¹		2.4	GHz	High frequency distribution (VCO divider)
	0 ¹		1.6	GHz	Distribution only (VCO divider bypassed); this is the frequency range supported by the channel divider
Input Sensitivity, Differential		150		mV p-p	Measured at 2.4 GHz; jitter performance is improved with slew rates > 1 V/ns
Input Level, Differential			2	V p-p	Larger voltage swings can turn on the protection diodes and can degrade jitter performance
Input Common-Mode Voltage, V_{CM}	1.3	1.57	1.8	V	Self-biased; enables ac coupling
Input Common-Mode Range, V_{CMR}	1.3		1.8	V	With 200 mV p-p signal applied; dc-coupled
Input Sensitivity, Single-Ended		150		mV p-p	CLK ac-coupled; $\overline{\text{CLK}}$ ac-bypassed to RF ground
Input Resistance	3.9	4.7	5.7	k Ω	Self-biased
Input Capacitance		2		pF	

¹ 約 1MHz 以下では、入力を DC 結合する必要があります。 V_{CM} に一致させるように注意が必要です。

クロック出力

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL CLOCK OUTPUTS					Termination = 50 Ω to $V_{\text{S_DRV}} - 2 \text{ V}$
OUT0, OUT1, OUT2, OUT3, OUT4, OUT5, OUT6, OUT7, OUT8, OUT9, OUT10, OUT11					Differential (OUT, $\overline{\text{OUT}}$)
Output Frequency, Maximum	2400			MHz	Using direct to output; see Figure 21 (higher frequencies are possible, but amplitude will not meet the V_{OD} specification); the maximum output frequency is limited by either the maximum VCO frequency or the frequency at the CLK inputs, depending on the AD9520 configuration
Output High Voltage, V_{OH}	$V_{\text{S_DRV}} - 1.07$	$V_{\text{S_DRV}} - 0.96$	$V_{\text{S_DRV}} - 0.84$	V	
Output Low Voltage, V_{OL}	$V_{\text{S_DRV}} - 1.95$	$V_{\text{S_DRV}} - 1.79$	$V_{\text{S_DRV}} - 1.64$	V	
Output Differential Voltage, V_{OD}	660	820	950	mV	
CMOS CLOCK OUTPUTS					Single-ended; termination = 10 pF
OUT0A, OUT0B, OUT1A, OUT1B, OUT2A, OUT2B, OUT3A, OUT3B, OUT4A, OUT4B, OUT5A, OUT5B, OUT6A, OUT6B, OUT7A, OUT7B, OUT8A, OUT8B, OUT9A, OUT9B, OUT10A, OUT10B, OUT11A, OUT11B					
Output Frequency			250	MHz	See Figure 22
Output Voltage High, V_{OH}	$V_{\text{S}} - 0.1$			V	@ 1 mA load, $V_{\text{S_DRV}} = 3.3 \text{ V}/2.5 \text{ V}$
Output Voltage Low, V_{OL}			0.1	V	@ 1 mA load, $V_{\text{S_DRV}} = 3.3 \text{ V}/2.5 \text{ V}$
Output Voltage High, V_{OH}	2.7			V	@ 10 mA load, $V_{\text{S_DRV}} = 3.3 \text{ V}$
Output Voltage Low, V_{OL}			0.5	V	@ 10 mA load, $V_{\text{S_DRV}} = 3.3 \text{ V}$
Output Voltage High, V_{OH}	1.8			V	@ 10 mA load, $V_{\text{S_DRV}} = 2.5 \text{ V}$
Output Voltage Low, V_{OL}			0.6	V	@ 10 mA load, $V_{\text{S_DRV}} = 2.5 \text{ V}$

タイミング特性

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT RISE/FALL TIMES					Termination = 50 Ω to VS_DRV – 2 V
Output Rise Time, t_{RP}		130	170	ps	20% to 80%, measured differentially (rise/fall times are independent of VS and are valid for VS_DRV = 3.3 V and 2.5 V)
Output Fall Time, t_{FP}		130	170	ps	80% to 20%, measured differentially (rise/fall times are independent of VS and are valid for VS_DRV = 3.3 V and 2.5 V)
PROPAGATION DELAY, t_{PECL} , CLK-TO-LVPECL OUTPUT					
For All Divide Values	850	1050	1280	ps	High frequency clock distribution configuration
Variation with Temperature		1.0		ps/ $^{\circ}$ C	Clock distribution configuration
OUTPUT SKEW, LVPECL OUTPUTS ¹					Termination = 50 Ω to VS_DRV – 2 V
LVPECL Outputs That Share the Same Divider		5	16	ps	VS_DRV = 3.3 V
		5	20	ps	VS_DRV = 2.5 V
LVPECL Outputs on Different Dividers		5	45	ps	VS_DRV = 3.3 V
		5	60	ps	VS_DRV = 2.5 V
All LVPECL Outputs Across Multiple Parts			190	ps	VS_DRV = 3.3 V and 2.5 V
CMOS OUTPUT RISE/FALL TIMES					Termination = open
Output Rise Time, t_{RC}		750	960	ps	20% to 80%; C_{LOAD} = 10 pF; VS_DRV = 3.3 V
Output Fall Time, t_{FC}		715	890	ps	80% to 20%; C_{LOAD} = 10 pF; VS_DRV = 3.3 V
Output Rise Time, t_{RC}		965	1280	ps	20% to 80%; C_{LOAD} = 10 pF; VS_DRV = 2.5 V
Output Fall Time, t_{FC}		890	1100	ps	80% to 20%; C_{LOAD} = 10 pF; VS_DRV = 2.5 V
PROPAGATION DELAY, t_{CMOS} , CLK-TO-CMOS OUTPUT					Clock distribution configuration
For All Divide Values	2.1	2.75	3.55	ns	VS_DRV = 3.3 V
		3.35		ns	VS_DRV = 2.5 V
Variation with Temperature		2		ps/ $^{\circ}$ C	VS_DRV = 3.3 V and 2.5 V
OUTPUT SKEW, CMOS OUTPUTS ¹					
CMOS Outputs That Share the Same Divider		7	85	ps	VS_DRV = 3.3 V
		10	105	ps	VS_DRV = 2.5 V
All CMOS Outputs on Different Dividers		10	240	ps	VS_DRV = 3.3 V
		10	285	ps	VS_DRV = 2.5 V
All CMOS Outputs Across Multiple Parts			600	ps	VS_DRV = 3.3 V
			620	ps	VS_DRV = 2.5 V
OUTPUT SKEW, LVPECL-TO-CMOS OUTPUT ¹					All settings identical; different logic type
Outputs That Share the Same Divider	1.18	1.76	2.48	ns	LVPECL to CMOS on same part
Outputs That Are on Different Dividers	1.20	1.78	2.50	ns	LVPECL to CMOS on same part

¹ 出力スキューは、同じ電圧と温度で動作する間での任意の 2 つの同様な遅延パス間の差です。

タイミング図

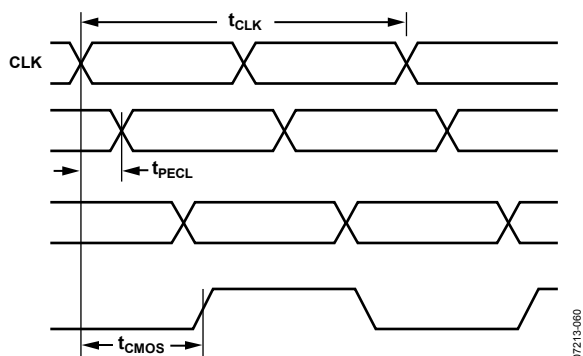


図 2. CLK/CLK からクロック出力までのタイミング、Div = 1

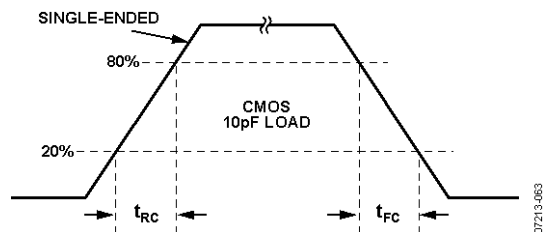


図 4. CMOS のタイミング、シングルエンド、10 pF 負荷

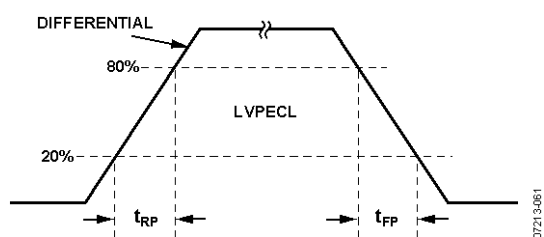


図 3. LVPECL タイミング、差動

クロック出力の位相ノイズ増加(分配セクション、VCO 分周器非使用)

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK-TO-LVPECL ADDITIVE PHASE NOISE					
CLK = 1 GHz, Output = 1 GHz					Distribution section only; does not include PLL and VCO
Divider = 1					Input slew rate > 1 V/ns
@ 10 Hz Offset		-107		dBc/Hz	
@ 100 Hz Offset		-117		dBc/Hz	
@ 1 kHz Offset		-127		dBc/Hz	
@ 10 kHz Offset		-135		dBc/Hz	
@ 100 kHz Offset		-142		dBc/Hz	
@ 1 MHz Offset		-145		dBc/Hz	
@ 10 MHz Offset		-147		dBc/Hz	
@ 100 MHz Offset		-150		dBc/Hz	
CLK = 1 GHz, Output = 200 MHz					Input slew rate > 1 V/ns
Divider = 5					
@ 10 Hz Offset		-122		dBc/Hz	
@ 100 Hz Offset		-132		dBc/Hz	
@ 1 kHz Offset		-143		dBc/Hz	
@ 10 kHz Offset		-150		dBc/Hz	
@ 100 kHz Offset		-156		dBc/Hz	
@ 1 MHz Offset		-157		dBc/Hz	
>10 MHz Offset		-157		dBc/Hz	
CLK-TO-CMOS ADDITIVE PHASE NOISE					
CLK = 1 GHz, Output = 250 MHz					Distribution section only; does not include PLL and VCO
Divider = 4					Input slew rate > 1 V/ns
@ 10 Hz Offset		-107		dBc/Hz	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
@ 100 Hz Offset		-119		dBc/Hz	Input slew rate > 1 V/ns
@ 1 kHz Offset		-125		dBc/Hz	
@ 10 kHz Offset		-134		dBc/Hz	
@ 100 kHz Offset		-144		dBc/Hz	
@ 1 MHz Offset		-148		dBc/Hz	
>10 MHz Offset		-154		dBc/Hz	
CLK = 1 GHz, Output = 50 MHz					
Divider = 20					
@ 10 Hz Offset		-126		dBc/Hz	
@ 100 Hz Offset		-133		dBc/Hz	
@ 1 kHz Offset		-140		dBc/Hz	
@ 10 kHz Offset		-148		dBc/Hz	
@ 100 kHz Offset		-157		dBc/Hz	
@ 1 MHz Offset		-160		dBc/Hz	
>10 MHz Offset		-163		dBc/Hz	

クロック出力の絶対位相ノイズ(内蔵 VCO を使用)

表 7.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL ABSOLUTE PHASE NOISE					Internal VCO; direct-to-LVPECL output and for loop bandwidths < 1 kHz
VCO = 2.95 GHz; Output = 2.95 GHz					
@ 1 kHz Offset		-46		dBc/Hz	
@ 10 kHz Offset		-78		dBc/Hz	
@ 100 kHz Offset		-104		dBc/Hz	
@ 1 MHz Offset		-123		dBc/Hz	
@ 10 MHz Offset		-139		dBc/Hz	
@ 40 MHz Offset		-145		dBc/Hz	
VCO = 2.75 GHz; Output = 2.75 GHz					
@ 1 kHz Offset		-49		dBc/Hz	
@ 10 kHz Offset		-80		dBc/Hz	
@ 100 kHz Offset		-106		dBc/Hz	
@ 1 MHz Offset		-125		dBc/Hz	
@ 10 MHz Offset		-140		dBc/Hz	
@ 40 MHz Offset		-146		dBc/Hz	
VCO = 2.55 GHz; Output = 2.55 GHz					
@ 1 kHz Offset		-51		dBc/Hz	
@ 10 kHz Offset		-82		dBc/Hz	
@ 100 kHz Offset		-108		dBc/Hz	
@ 1 MHz Offset		-127		dBc/Hz	
@ 10 MHz Offset		-140		dBc/Hz	
@ 40 MHz Offset		-146		dBc/Hz	

クロック出力の絶対時間ジッタ(内蔵 VCO を使用してクロックを発生)

表 8.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup where the reference source is clean, so a wider PLL loop bandwidth is used; reference = 15.36 MHz; R DIV = 1
VCO = 2.949 GHz; LVPECL = 245.76 MHz; PLL LBW = 63 kHz		176		fs rms	Integration BW = 200 kHz to 10 MHz
		351		fs rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.703 GHz; LVPECL = 122.88 MHz; PLL LBW = 63 kHz		158		fs rms	Integration BW = 200 kHz to 10 MHz
		324		fs rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.703 GHz; LVPECL = 61.44 MHz; PLL LBW = 63 kHz		177		fs rms	Integration BW = 200 kHz to 10 MHz
		330		fs rms	Integration BW = 12 kHz to 20 MHz

クロック出力の絶対時間ジッタ(内蔵 VCO を使用してクロックをクリーンアップ)

表 9.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup where the reference source is jittery, so a narrower PLL loop bandwidth is used; reference = 19.44 MHz; R DIV = 162
VCO = 2.799 GHz; LVPECL = 155.52 MHz; PLL LBW = 1.8 kHz		652		fs rms	Integration BW = 12 kHz to 20 MHz
VCO = 2.703 GHz; LVPECL = 122.88 MHz; PLL LBW = 2.1 kHz		607		fs rms	Integration BW = 12 kHz to 20 MHz

クロック出力の絶対時間ジッタ(外付け VCXO を使用してクロックを発生)

表 10.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ABSOLUTE TIME JITTER					Application example based on a typical setup using an external 245.76 MHz VCXO (Toyocom TCO-2112); reference = 15.36 MHz; R DIV = 1
LVPECL = 245.76 MHz; PLL LBW = 125 Hz		54		fs rms	Integration BW = 200 kHz to 5 MHz
		77		fs rms	Integration BW = 200 kHz to 10 MHz
		109		fs rms	Integration BW = 12 kHz to 20 MHz
LVPECL = 122.88 MHz; PLL LBW = 125 Hz		79		fs rms	Integration BW = 200 kHz to 5 MHz
		114		fs rms	Integration BW = 200 kHz to 10 MHz
		163		fs rms	Integration BW = 12 kHz to 20 MHz
LVPECL = 61.44 MHz; PLL LBW = 125 Hz		124		fs rms	Integration BW = 200 kHz to 5 MHz
		176		fs rms	Integration BW = 200 kHz to 10 MHz
		259		fs rms	Integration BW = 12 kHz to 20 MHz

クロック出力の時間ジッタ増加(VCO 分周器を非使用)

表 11.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ADDITIVE TIME JITTER					Distribution section only; does not include PLL and VCO; measured at rising edge of clock signal
CLK = 622.08 MHz Any LVPECL Output = 622.08 MHz Divide Ratio = 1		46		fs rms	Integration bandwidth = 12 kHz to 20 MHz
CLK = 622.08 MHz Any LVPECL Output = 155.52 MHz Divide Ratio = 4		64		fs rms	Integration bandwidth = 12 kHz to 20 MHz
CLK = 1000 MHz Any LVPECL Output = 100 MHz Divide Ratio = 10		223		fs rms	Calculated from SNR of ADC method Broadband jitter

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK = 500 MHz Any LVPECL Output = 100 MHz Divide Ratio = 5		209		fs rms	Calculated from SNR of ADC method Broadband jitter
CMOS OUTPUT ADDITIVE TIME JITTER CLK = 200 MHz Any CMOS Output Pair = 100 MHz Divide Ratio = 2		325		fs rms	Distribution section only; does not include PLL and VCO Calculated from SNR of ADC method Broadband jitter

クロック出力の時間ジッタ増加(VCO 分周器を使用)

表 12.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVPECL OUTPUT ADDITIVE TIME JITTER CLK = 1.0 GHz; VCO DIV = 5; LVPECL = 100 MHz; Channel Divider = 2; Duty-Cycle Correction = Off		230		fs rms	Distribution section only; does not include PLL and VCO; uses rising edge of clock signal Calculated from SNR of ADC method (broadband jitter)
CLK = 500 MHz; VCO DIV = 5; LVPECL = 100 MHz; Bypass Channel Divider; Duty-Cycle Correction = On		215		fs rms	Calculated from SNR of ADC method (broadband jitter)
CMOS OUTPUT ADDITIVE TIME JITTER CLK = 200 MHz; VCO DIV = 2; CMOS = 100 MHz; Bypass Channel Divider; Duty-Cycle Correction = Off		326		fs rms	Distribution section only; does not include PLL and VCO; uses rising edge of clock signal Calculated from SNR of ADC method (broadband jitter)
CLK = 1600 MHz; VCO DIV = 2; CMOS = 100 MHz; Channel Divider = 8; Duty-Cycle Correction = Off		362		fs rms	Calculated from SNR of ADC method (broadband jitter)

シリアル・コントロール・ポート—SPI モード

表 13.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
$\overline{\text{CS}}$ (INPUT) Input Logic 1 Voltage Input Logic 0 Voltage Input Logic 1 Current Input Logic 0 Current Input Capacitance	2.0		0.8 3	V V μA μA pF	$\overline{\text{CS}}$ has an internal 30 k Ω pull-up resistor The minus sign indicates that current is flowing out of the AD9520, which is due to the internal pull-up resistor
SCLK (INPUT) IN SPI MODE Input Logic 1 Voltage Input Logic 0 Voltage Input Logic 1 Current Input Logic 0 Current Input Capacitance	2.0		0.8 110 1 2	V V μA μA pF	SCLK has an internal 30 k Ω pull-down resistor in SPI mode, but not in I2C mode
SDIO (WHEN AN INPUT IN BIDIRECTIONAL MODE) Input Logic 1 Voltage Input Logic 0 Voltage Input Logic 1 Current Input Logic 0 Current Input Capacitance	2.0		0.8 1 1 2	V V μA μA pF	
SDIO, SDO (OUTPUTS) Output Logic 1 Voltage Output Logic 0 Voltage	2.7		0.4	V V	
TIMING Clock Rate (SCLK, $1/t_{\text{SCLK}}$) Pulse Width High, t_{HIGH}			25 16	MHz ns	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Pulse Width Low, t_{LOW}	16			ns	
SDIO to SCLK Setup, t_{DS}	4			ns	
SCLK to SDIO Hold, t_{DH}	0			ns	
SCLK to Valid SDIO and SDO, t_{DV}			11	ns	
$\overline{CS}$ to SCLK Setup and Hold, t_s, t_c	2			ns	
$\overline{CS}$ Minimum Pulse Width High, t_{PWH}	3			ns	

シリアル・コントロール・ポート—I²C モード

表 14.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SDA, SCL (WHEN INPUTTING DATA)					
Input Logic 1 Voltage	$0.7 \times V_S$			V	
Input Logic 0 Voltage			$0.3 \times V_S$	V	
Input Current with an Input Voltage Between $0.1 \times V_S$ and $0.9 \times V_S$	-10		+10	μA	
Hysteresis of Schmitt Trigger Inputs	$0.015 \times V_S$			V	
Pulse Width of Spikes That Must Be Suppressed by the Input Filter, t_{SPIKE}			50	ns	
SDA (WHEN OUTPUTTING DATA)					
Output Logic 0 Voltage at 3 mA Sink Current			0.4	V	
Output Fall Time from $V_{IH_{MIN}}$ to $V_{IL_{MAX}}$ with a Bus Capacitance from 10 pF to 400 pF	$20 + 0.1 C_b$		250	ns	C_b = capacitance of one bus line in pF
TIMING					Note that all I ² C timing values are referred to $V_{IH_{MIN}}$ ($0.3 \times V_S$) and $V_{IL_{MAX}}$ levels ($0.7 \times V_S$)
Clock Rate (SCL, f_{I2C})			400	kHz	
Bus Free Time Between a Stop and Start Condition, t_{IDLE}	1.3			μs	
Setup Time for a Repeated Start Condition, $t_{SET; STR}$	0.6			μs	
Hold Time (Repeated) Start Condition (After This Period, the First Clock Pulse Is Generated), $t_{HLD; STR}$	0.6			μs	
Setup Time for Stop Condition, $t_{SET; STP}$	0.6			μs	
Low Period of the SCL Clock, t_{LOW}	1.3			μs	
High Period of the SCL Clock, t_{HIGH}	0.6			μs	
SCL, SDA Rise Time, t_{RISE}	$20 + 0.1 C_b$		300	ns	
SCL, SDA Fall Time, t_{FALL}	$20 + 0.1 C_b$		300	ns	
Data Setup Time, $t_{SET; DAT}$	120			ns	This is a minor deviation from the original I ² C specification of 100 ns minimum
Data Hold Time, $t_{HLD; DAT}$	140		880	ns	This is a minor deviation from the original I ² C specification of 0 ns minimum ¹
Capacitive Load for Each Bus Line, C_b			400	pF	

¹ I²C 仕様に従い、SCL の立ち下がりエッジの不定領域をブリッジするため、I²C マスター・デバイスは、SDA 信号に対して最小 300 ns のホールド・タイムも確保する必要があります。

PD、SYNC、RESETの各ピン

表 15.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
INPUT CHARACTERISTICS					
Logic 1 Voltage	2.0			V	These pins each have a 30 kΩ internal pull-up resistor The minus sign indicates that current is flowing out of the AD9520, which is due to the internal pull-up resistor
Logic 0 Voltage			0.8	V	
Logic 1 Current			1	μA	
Logic 0 Current		−110		μA	
Capacitance		2		pF	
RESET TIMING					
Pulse Width Low	50			ns	
RESET Inactive to Start of Register Programming	100			ns	
SYNC TIMING					
Pulse Width Low	1.3			ns	High speed clock is CLK input signal

シリアル・ポート・セットアップ・ピン: SP1、SP0

表 16.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SP1, SP0					These pins do not have internal pull-up/pull-down resistors
Logic Level 0			$0.25 \times V_S$	V	V_S is the voltage on the V_S pin
Logic Level ½	$0.4 \times V_S$		$0.65 \times V_S$	V	User can float these pins to obtain Logic Level ½; if floating this pin, user should connect a capacitor to ground
Logic Level 1	$0.8 \times V_S$			V	

LD、STATUS、REFMON の各ピン

表 17.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT CHARACTERISTICS					
Output Voltage High, V_{OH}	2.7			V	When selected as a digital output (CMOS); there are other modes in which these pins are not CMOS digital outputs; see Table 53, 0x017, 0x01A, and 0x01B
Output Voltage Low, V_{OL}			0.4	V	
MAXIMUM TOGGLE RATE		100		MHz	Applies when mux is set to any divider or counter output, or PFD up/down pulse; also applies in analog lock detect mode; usually debug mode only; beware that spurs can couple to output when any of these pins are toggling
ANALOG LOCK DETECT					
Capacitance		3		pF	On-chip capacitance; used to calculate RC time constant for analog lock detect readback; use a pull-up resistor
REF1, REF2, AND VCO FREQUENCY STATUS MONITOR					
Normal Range	1.02			MHz	Frequency above which the monitor indicates the presence of the reference
Extended Range	8			kHz	Frequency above which the monitor indicates the presence of the reference
LD PIN COMPARATOR					
Trip Point		1.6		V	
Hysteresis		260		mV	

消費電力

表 18.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER DISSIPATION, CHIP					
Power-On Default		1.32	1.5	W	Does not include power dissipated in external resistors; all LVPECL outputs terminated with $50\ \Omega$ to $V_{CC} - 2\text{ V}$; all CMOS outputs have 10 pF capacitive loading; $VS_DRV = 3.3\text{ V}$
PLL Locked; One LVPECL Output Enabled		0.55	0.64	W	No clock; no programming; default register values $f_{REF} = 25\text{ MHz}$; $f_{OUT} = 250\text{ MHz}$; VCO = 2.75 GHz; VCO divider = 2; one LVPECL output and output divider enabled; zero delay off; $I_{CP} = 4.8\text{ mA}$
PLL Locked; One CMOS Output Enabled		0.52	0.62	W	$f_{REF} = 25\text{ MHz}$; $f_{OUT} = 62.5\text{ MHz}$; VCO = 2.75 GHz; VCO divider = 2; one CMOS output and output divider enabled; zero delay off; $I_{CP} = 4.8\text{ mA}$
Distribution Only Mode; VCO Divider On; One LVPECL Output Enabled		0.39	0.46	W	$f_{CLK} = 2.4\text{ GHz}$; $f_{OUT} = 200\text{ MHz}$; VCO divider = 2; one LVPECL output and output divider enabled; zero delay off
Distribution Only Mode; VCO Divider Off; One LVPECL Output Enabled		0.36	0.42	W	$f_{CLK} = 2.4\text{ GHz}$; $f_{OUT} = 200\text{ MHz}$; VCO divider bypassed; one LVPECL output and output divider enabled; zero delay off
Maximum Power, Full Operation		1.5	1.7	W	PLL on; internal VCO = 2750 MHz; VCO divider = 2; all channel dividers on; 12 LVPECL outputs @ 125 MHz; zero delay on
$\overline{PD}$ Power-Down		60	80	mW	$\overline{PD}$ pin pulled low; does not include power dissipated in termination resistors
$\overline{PD}$ Power-Down, Maximum Sleep		24	33	mW	$\overline{PD}$ pin pulled low; PLL power-down, 0x010[1:0] = 01b; power-down SYNC, 0x230[2] = 1b; power-down distribution reference, 0x230[1] = 1b
VCP Supply		4	4.8	mW	PLL operating; typical closed-loop configuration
POWER DELTAS, INDIVIDUAL FUNCTIONS					
VCO Divider On/Off		32	40	mW	Power delta when a function is enabled/disabled VCO divider not used
REFIN (Differential) Off		25	30	mW	Delta between reference input off and differential reference input mode
REF1, REF2 (Single-Ended) On/Off		15	20	mW	Delta between reference inputs off and one singled-ended reference enabled; double this number if both REF1 and REF2 are powered up
VCO On/Off		67	104	mW	Internal VCO disabled; CLK input selected
PLL Dividers and Phase Detector On/Off		51	63	mW	PLL off to PLL on, normal operation; no reference enabled
LVPECL Channel		121	144	mW	No LVPECL output on to one LVPECL output on; channel divider set to 1
LVPECL Driver		51	73	mW	Second LVPECL output turned on, same channel
CMOS Channel		145	180	mW	No CMOS output on to one CMOS output on; channel divider set to 1; $f_{OUT} = 62.5\text{ MHz}$ and 10 pF of capacitive loading
CMOS Driver On/Off		11	24	mW	Additional CMOS outputs within the same channel turned on
Channel Divider Enabled		40	57	mW	Delta between divider bypassed (divide-by-1) and divide-by-2 to divide-by-32
Zero Delay Block On/Off		30	34	mW	

絶対最大定格

表 19.

Parameter or Pin	With Respect to	Rating
VS	GND	−0.3 V to +3.6 V
VCP, CP	GND	−0.3 V to +5.8 V
VS_DRV	GND	−0.3 V to +3.6 V
REFIN, $\overline{\text{REFIN}}$	GND	−0.3 V to VS + 0.3 V
RSET, LF, BYPASS	GND	−0.3 V to VS + 0.3 V
CPRSET	GND	−0.3 V to VS + 0.3 V
CLK, $\overline{\text{CLK}}$	GND	−0.3 V to VS + 0.3 V
CLK	$\overline{\text{CLK}}$	−1.2 V to +1.2 V
SCLK/SCL, SDIO/SDA, SDO, $\overline{\text{CS}}$	GND	−0.3 V to VS + 0.3 V
OUT0, $\overline{\text{OUT0}}$, OUT1, $\overline{\text{OUT1}}$, OUT2, $\overline{\text{OUT2}}$, OUT3, $\overline{\text{OUT3}}$, OUT4, $\overline{\text{OUT4}}$, OUT5, $\overline{\text{OUT5}}$, OUT6, $\overline{\text{OUT6}}$, OUT7, $\overline{\text{OUT7}}$, OUT8, $\overline{\text{OUT8}}$, OUT9, $\overline{\text{OUT9}}$, OUT10, $\overline{\text{OUT10}}$, OUT11, $\overline{\text{OUT11}}$	GND	−0.3 V to VS + 0.3 V
SYNC, $\overline{\text{RESET}}$, $\overline{\text{PD}}$	GND	−0.3 V to VS + 0.3 V
REFMON, STATUS, LD	GND	−0.3 V to VS + 0.3 V
SP0, SP1, EEPROM	GND	−0.3 V to VS + 0.3 V
Junction Temperature ¹		150°C
Storage Temperature Range		−65°C to +150°C
Lead Temperature (10 sec)		300°C

¹ θ_{JA} については表 20 を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

熱抵抗の測定は、JEDEC JESD51-2 に準拠して自然空冷の JEDEC 51-5 2S2P テスト・ボードで実施。詳細については、熱性能のセクションを参照してください。

表 20.

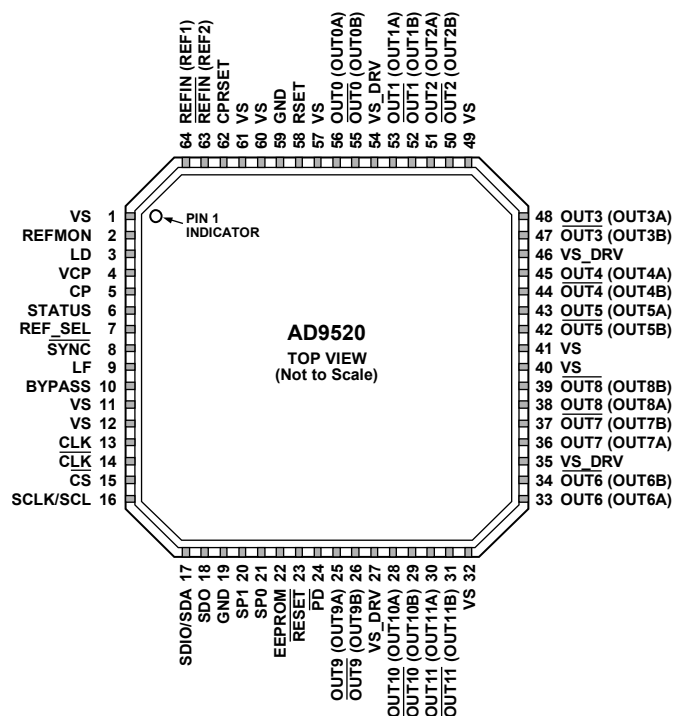
Package Type	θ_{JA}	Unit
64-Lead LFCSP (CP-64-4)	22	°C/W

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
1. EXPOSED DIE PAD MUST BE CONNECTED TO GND.

07213-003

図 5. ピン配置

表 21. ピン機能の説明

ピン番号	入力/出力	ピン タイプ	記号	説明
1、11、 12、32、 40、 41、49、 57、60、 61	I	電源	VS	3.3 V 電源ピン。
2	O	3.3 V CMOS	REFMON	リファレンス電圧モニター(出力)。このピンは、複数の選択可能な出力を持っています。
3	O	3.3 V CMOS	LD	ロック検出(出力)。このピンは、複数の選択可能な出力を持っています。
4	I	電源	VCP	チャージ・ポンプの電源(CP)、 $VS < VCP < 5.0\text{ V}$ 。PLL を使用しない場合は VCP を 3.3 V に接続する必要があります。
5	O	ループ・フ ィルタ	CP	チャージ・ポンプ(出力)。このピンは外付けループ・フィルタに接続します。PLL を使用しないときは、このピンを解放のままにすることができます。
6	O	3.3 V CMOS	STATUS	プログラマブルなステータス出力。
7	I	3.3 V CMOS	REF_SEL	リファレンス・セレクト。REF1 (ロー・レベル)または REF2 (ハイ・レベル)を選択します。このピンには 30 k Ω の内部プルダウン抵抗が付いています。
8	I	3.3 V CMOS	SYNC	マニュアル同期とマニュアル・ホールドオーバー。このピンはマニュアル同期を開始させ、マニュアル・ホールドオーバーに使用されます。アクティブ・ロー。このピンには 30 k Ω の内部プルダウン抵抗が付いています。
9	I	ループ・フ ィルタ	LF	ループ・フィルタ(入力)。内部 1 で VCO 制御電圧ノードに接続されています。
10	O	ループ・フ ィルタ	BYPASS	このピンを使って、220 nF のコンデンサで LDO をグラウンドへバイパスします。
13	I	差動クロック	CLK	CLK と組み合わせて、このピンはクロック分配セクションの差動入力になります。

ピン番号	入力/出力	ピン タイプ	記号	説明
14	I	ク入力 差動クロック ク入力	$\overline{\text{CLK}}$	CLKと組み合わせて、このピンはクロック分配セクションの差動入力になります。シングルエンド入力を CLK ピンに接続する場合は、このピンとグラウンドの間に 0.1 μF のバイパス・コンデンサを接続してください。
15	I	3.3 V CMOS	$\overline{\text{CS}}$	シリアル・コントロール・ポートのチップ・セレクト、アクティブ・ロー。このピンには 30 k Ω の内部プルアップ抵抗が付いています。
16	I	3.3 V CMOS	SCLK/SCL	シリアル・コントロール・ポートのクロック信号。SPI モードでは、このピンに内部 30 k Ω プルダウン抵抗が付いていますが、PC モードでは高インピーダンスになります。
17	I/O	3.3 V CMOS	SDIO/SDA	シリアル・コントロール・ポートの双方向シリアル・データ入力/出力。
18	O	3.3 V CMOS	SDO	シリアル・コントロール・ポートの単方向シリアル・データ出力。
19、59	I	GND	GND	グラウンド・ピン。
20	I	3 レベル・ ロジック	SP1	SPI または PC をシリアル・インターフェース・ポートとして選択し、PC モードでは PC スレーブ・アドレスを選択します。3 レベル・ロジック。このピンは内部でオープン・ロジック・レベルにバイアスされています。
21	I	3 レベル・ ロジック	SP0	SPI または PC をシリアル・インターフェース・ポートとして選択し、PC モードでは PC スレーブ・アドレスを選択します。3 レベル・ロジック。このピンは内部でオープン・ロジック・レベルにバイアスされています。
22	I	3.3 V CMOS	EEPROM	このピンをハイ・レベルに設定すると、リセットおよび/またはパワーアップでロードする内部 EEPROM に格納されているレジスタ値が選択されます。このピンをロー・レベルに設定すると、AD9520 はパワーアップ/リセット時にハード・コードされたデフォルト・レジスタ値をロードします。このピンには 30 k Ω の内部プルダウン抵抗が付いています。
23	I	3.3 V CMOS	$\overline{\text{RESET}}$	チップ・リセット、アクティブ・ロー。このピンには 30 k Ω の内部プルアップ抵抗が付いています。
24	I	3.3 V CMOS	$\overline{\text{PD}}$	チップ・パワーダウン、アクティブ・ロー。このピンには 30 k Ω の内部プルアップ抵抗が付いています。
25	O	LVPECL または CMOS	OUT9 (OUT9A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
26	O	LVPECL または CMOS	$\overline{\text{OUT9}}$ (OUT9B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
27、35、 46、54	I	電源	VS_DRV	出力ドライバ電源ピン。1つのグループとして、これらのピンは 2.5 V または 3.3 V に設定することができます。4 本の全ピンを同じ電圧に設定する必要があります。
28	O	LVPECL または CMOS	OUT10 (OUT10A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
29	O	LVPECL または CMOS	$\overline{\text{OUT10}}$ (OUT10B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
30	O	LVPECL または CMOS	OUT11 (OUT11A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
31	O	LVPECL または CMOS	$\overline{\text{OUT11}}$ (OUT11B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
33	O	LVPECL または CMOS	OUT6 (OUT6A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
34	O	LVPECL または CMOS	$\overline{\text{OUT6}}$ (OUT6B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
36	O	LVPECL または CMOS	OUT7 (OUT7A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
37	O	LVPECL または CMOS	$\overline{\text{OUT7}}$ (OUT7B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
38	O	LVPECL または CMOS	OUT8 (OUT8A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
39	O	LVPECL または CMOS	$\overline{\text{OUT8}}$ (OUT8B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
42	O	LVPECL または CMOS	$\overline{\text{OUT5}}$ (OUT5B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
43	O	LVPECL ま	OUT5 (OUT5A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS

ピン番号	入力/出力	ピン タイプ	記号	説明
44	O	または CMOS LVPECL ま たは CMOS	$\overline{\text{OUT4}}$ (OUT4B)	出力として構成することができます。 クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
45	O	または CMOS LVPECL ま たは CMOS	OUT4 (OUT4A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
47	O	または CMOS LVPECL ま たは CMOS	$\overline{\text{OUT3}}$ (OUT3B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
48	O	または CMOS LVPECL ま たは CMOS	OUT3 (OUT3A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
50	O	または CMOS LVPECL ま たは CMOS	$\overline{\text{OUT2}}$ (OUT2B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
51	O	または CMOS LVPECL ま たは CMOS	OUT2 (OUT2A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
52	O	または CMOS LVPECL ま たは CMOS	$\overline{\text{OUT1}}$ (OUT1B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
53	O	または CMOS LVPECL ま たは CMOS	OUT1 (OUT1A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
55	O	または CMOS LVPECL ま たは CMOS	$\overline{\text{OUT0}}$ (OUT0B)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
56	O	または CMOS LVPECL ま たは CMOS	OUT0 (OUT0A)	クロック出力。このピンは、差動 LVPECL 出力の片側またはシングルエンド CMOS 出力として構成することができます。
58	O	電流設定抵 抗	RSET	クロック分配電流設定抵抗。このピンと GND との間に 4.12 k Ω の抵抗を接続してくだ さい。
62	O	電流設定抵 抗	CPRSET	チャージ・ポンプ電流設定抵抗。このピンと GND との間に 5.1 k Ω の抵抗を接続して ください。PLL を使用しない場合は、この抵抗を省略することができます。
63	I	リファレン ス入力	$\overline{\text{REFIN}}$ (REF2)	$\overline{\text{REFIN}}$ と組み合わせて、このピンは PLL リファレンスの差動入力になります。ある いは、このピンは REF2 のシングルエンド入力になります。
64	I	リファレン ス入力	REFIN (REF1)	$\overline{\text{REFIN}}$ と組み合わせて、このピンは PLL リファレンスの差動入力になります。ある いは、このピンは REF1 のシングルエンド入力になります。
EPAD		GND	GND	露出チップ・パッドは GND へ接続する必要があります。

代表的な性能特性

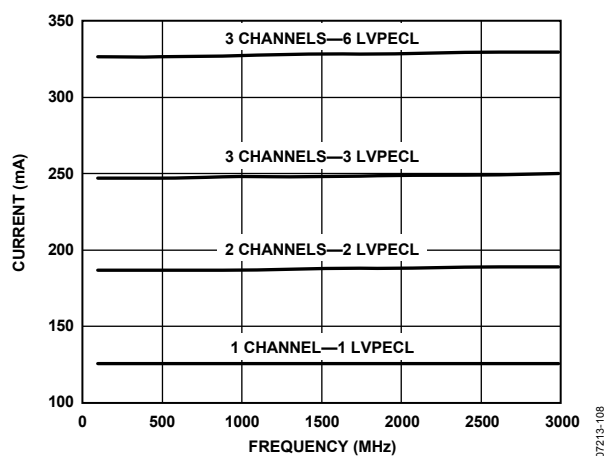


図 6. 総合電流の周波数特性、CLK—出力間(PLL オフ)
LVPECL 出力は 50 Ω で V_{S_DRV} -2 V へ終端

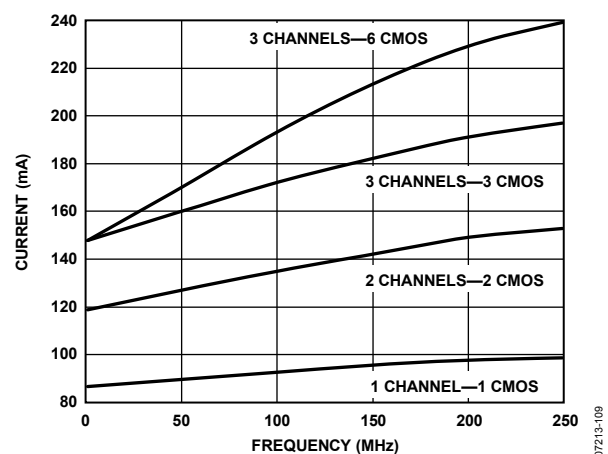


図 7. 総合電流の周波数特性、CLK—出力間(PLL オフ)
CMOS 出力、10 pF 負荷

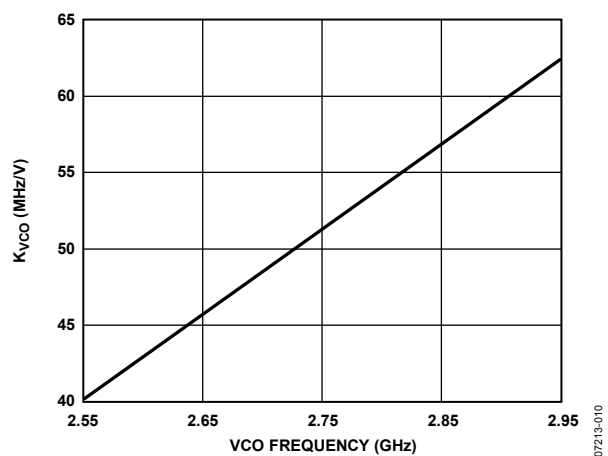


図 8. K_{VCO} 対 VCO 周波数

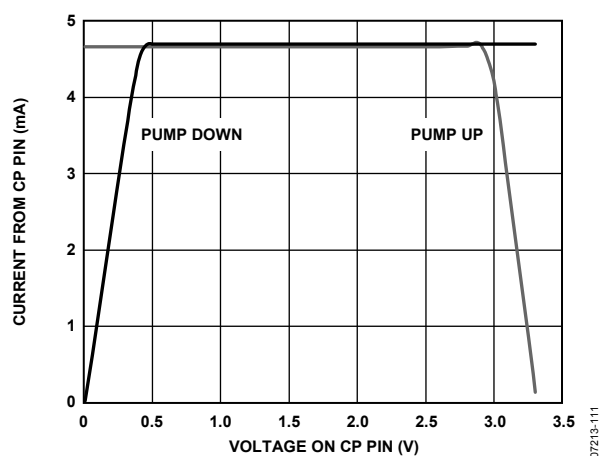


図 9. チャージ・ポンプ特性@ $V_{CP} = 3.3$ V

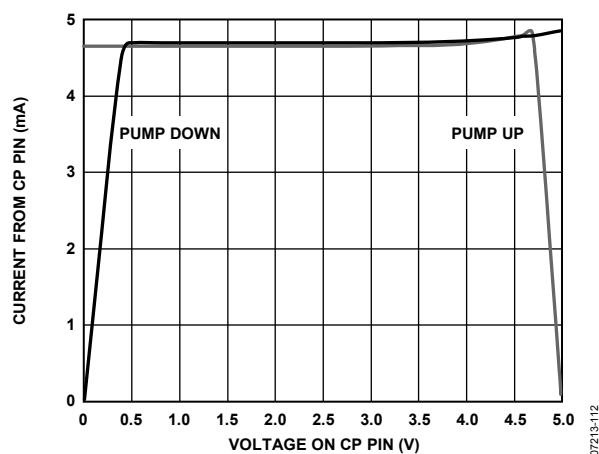


図 10. チャージ・ポンプ特性@ $V_{CP} = 5.0$ V

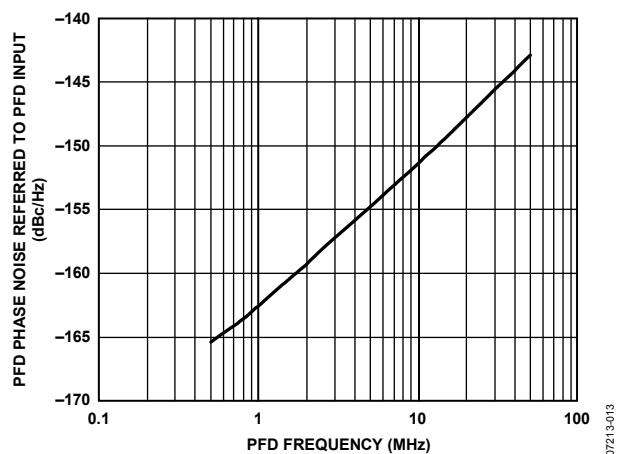


図 11. PFD 位相ノイズ(PFD 入力基準)対 PFD 周波数

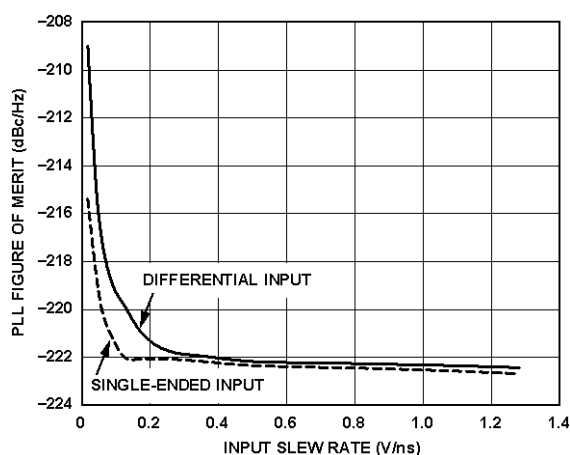


図 12. PLL 係数(FOM)対 $\overline{\text{REFIN}}/\overline{\text{REFIN}}$ のスルーレート

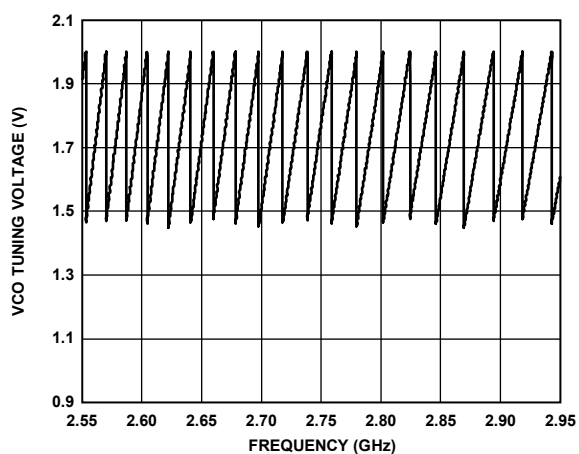


図 13. VCO チューニング電圧の周波数特性

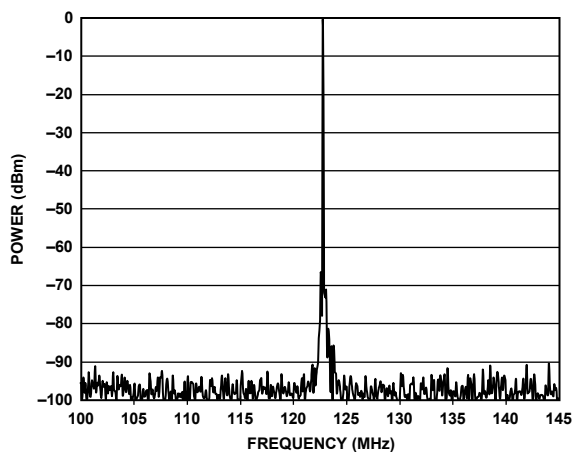


図 14. PFD/CP スプリアス; 122.88 MHz; PFD = 15.36 MHz
LBW = 127 kHz; I_{CP} = 3.0 mA; f_{VCO} = 2703.4 MHz

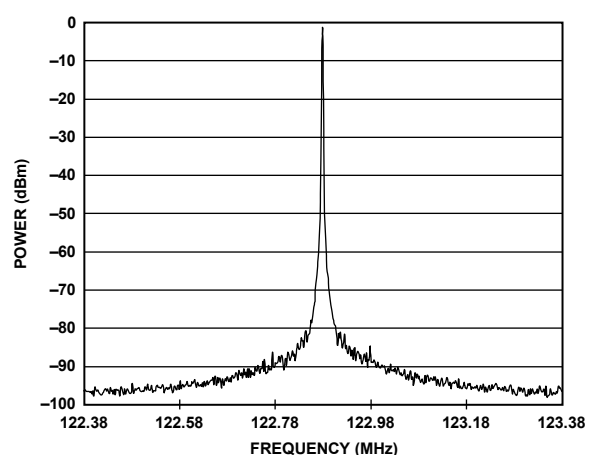


図 15. 出力スペクトル、LVPECL; 122.88 MHz; PFD = 15.36 MHz;
LBW = 127 kHz; I_{CP} = 3.0 mA; f_{VCO} = 2703.4 MHz

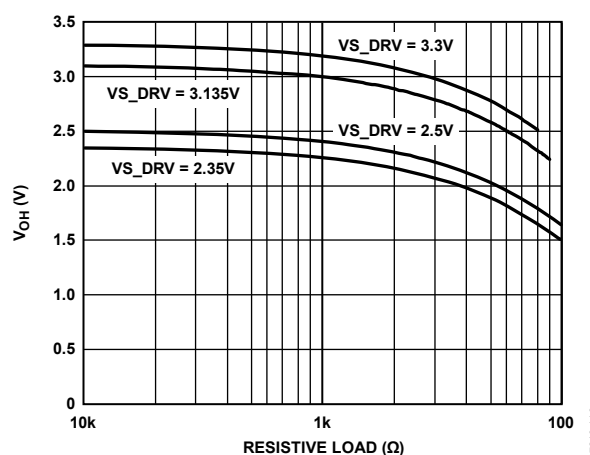


図 16. CMOS 出力 V_{OH} (スタティク)対 R_{LOAD} (グラウンドへ接続)

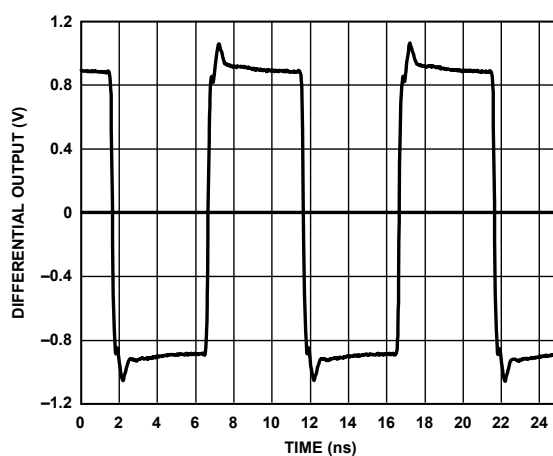


図 17. LVPECL 出力(差動)、100 MHz

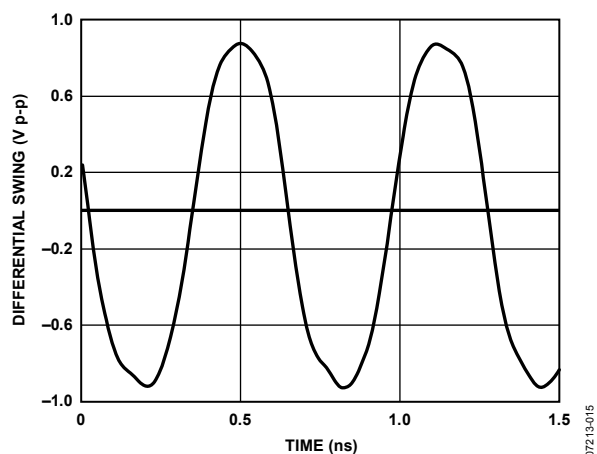


図 18.LVPECL 差動電圧振幅、1600 MHz

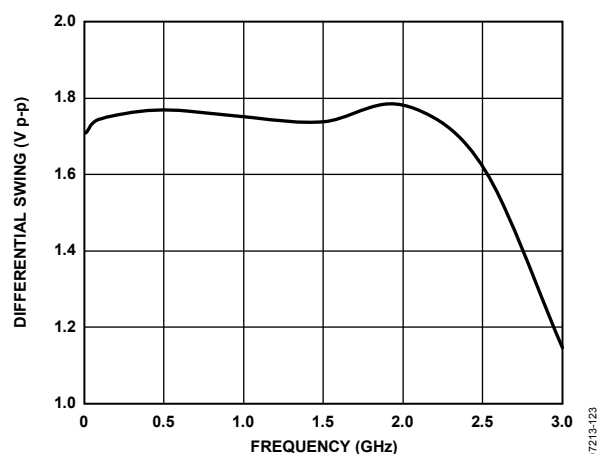


図 21.LVPECL 差動電圧振幅の周波数特性

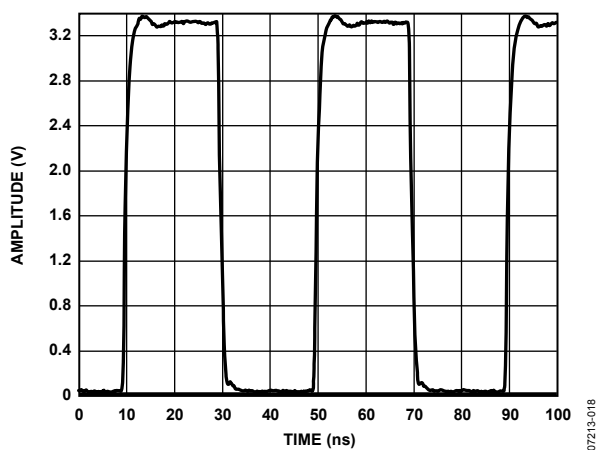


図 19.CMOS 出力、10 pF 負荷、25 MHz

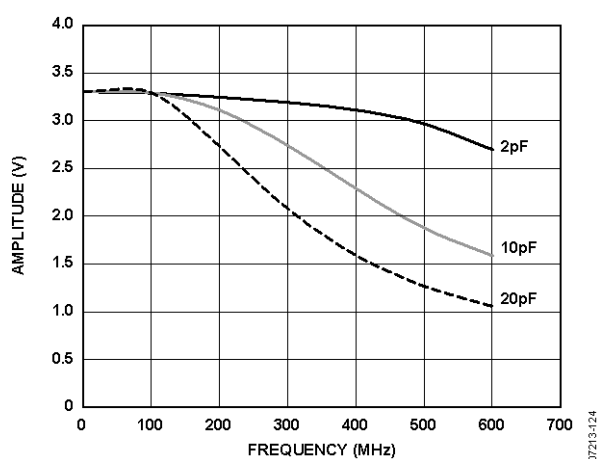


図 22.CMOS 出力振幅の周波数特性と容量負荷

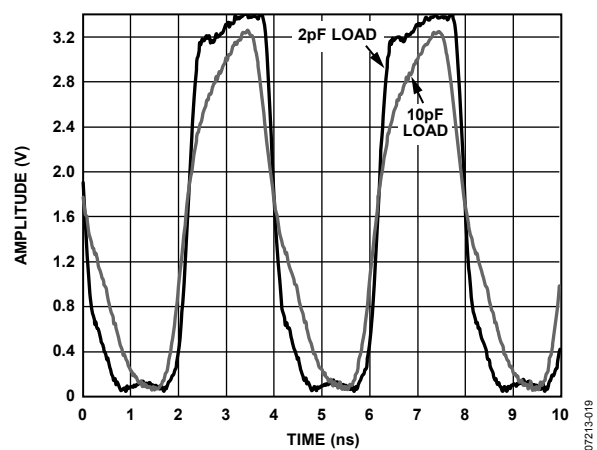


図 20.CMOS 出力、2 pF と 10 pF の負荷、250 MHz

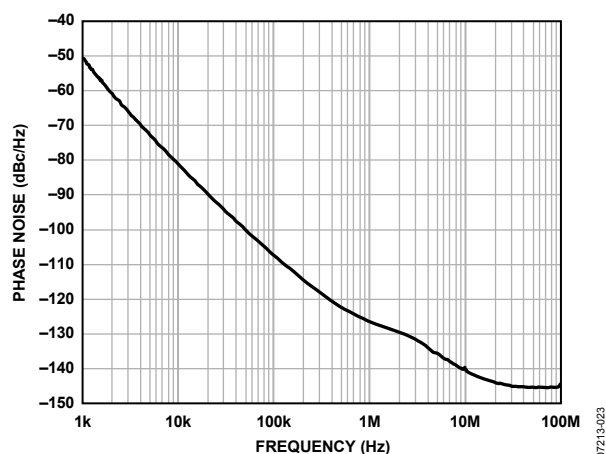


図 23.内蔵 VCO 位相ノイズ(絶対)、Direct—LVPECL 間、2550 MHz

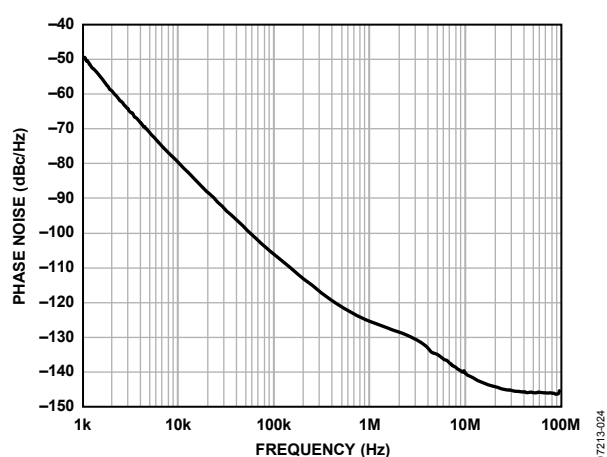


図 24.内蔵 VCO 位相ノイズ(絶対)、Direct—LVPECL 間
2750 MHz

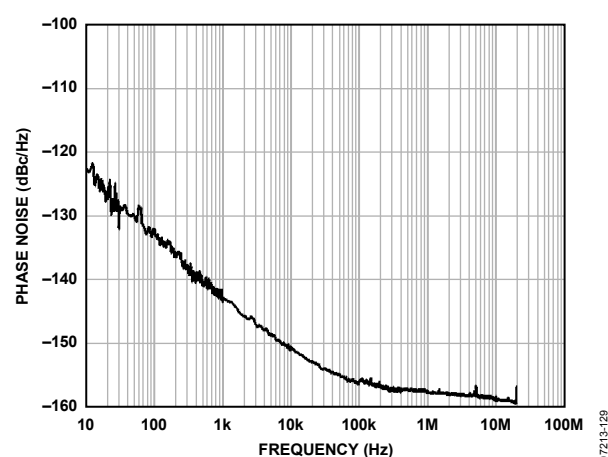


図 27.(残留)位相ノイズ増加、CLK—LVPECL 間、200 MHz
分周比 5

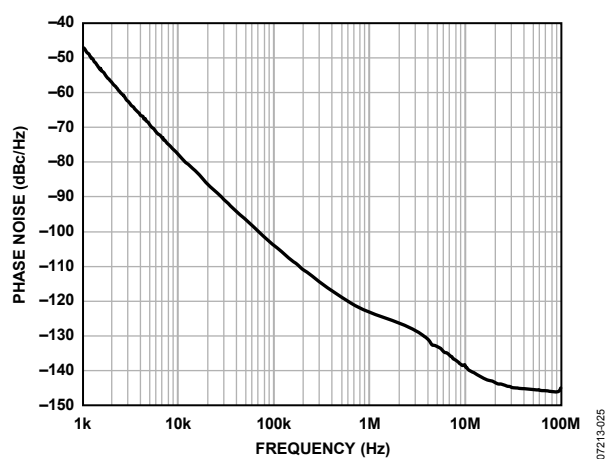


図 25.内蔵 VCO 位相ノイズ(絶対)、Direct—LVPECL 間
2950 MHz

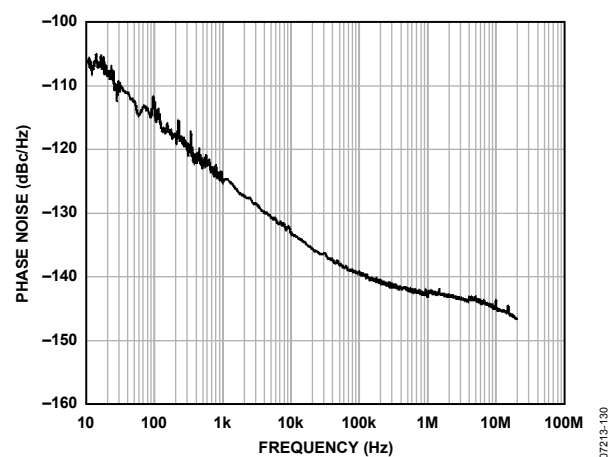


図 28.(残留)位相ノイズ増加、CLK—LVPECL 間、1600 MHz
分周比 1

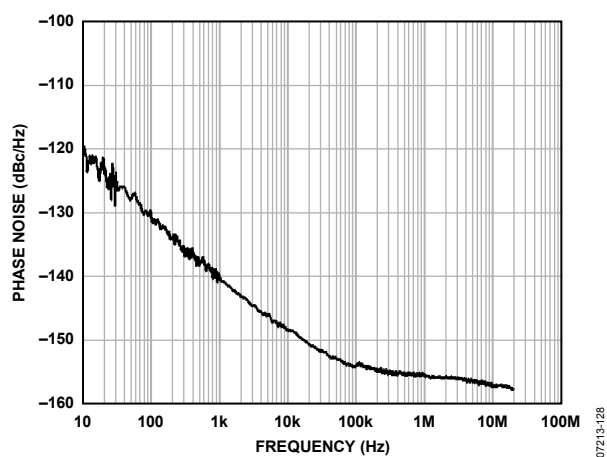


図 26.(残留)位相ノイズ増加、CLK—LVPECL 間、245.76 MHz
分周比 1

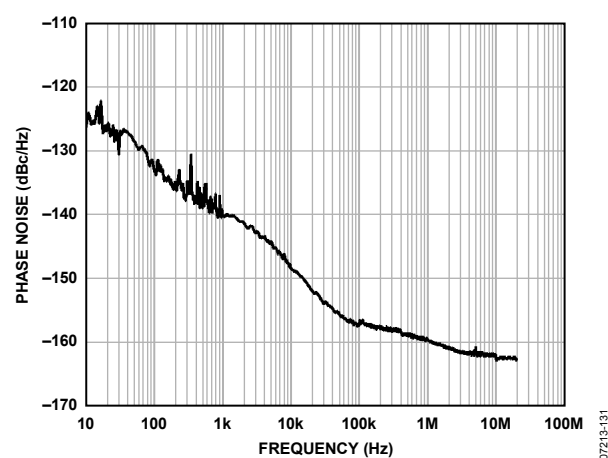


図 29.(残留)位相ノイズ増加、CLK—CMOS 間、50 MHz
分周比 20

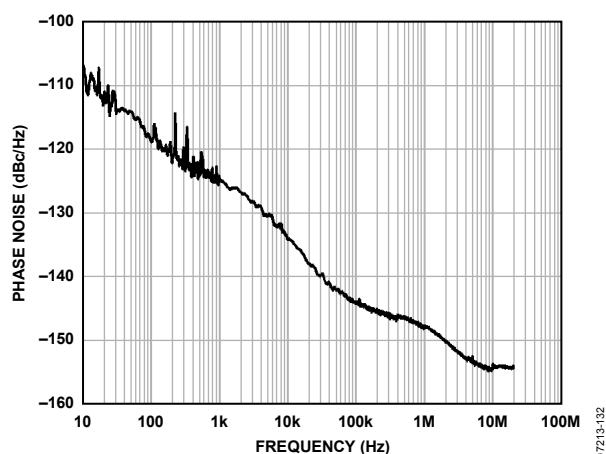


図 30.(残留)位相ノイズ増加、CLK—CMOS 間、250 MHz
分周比 4

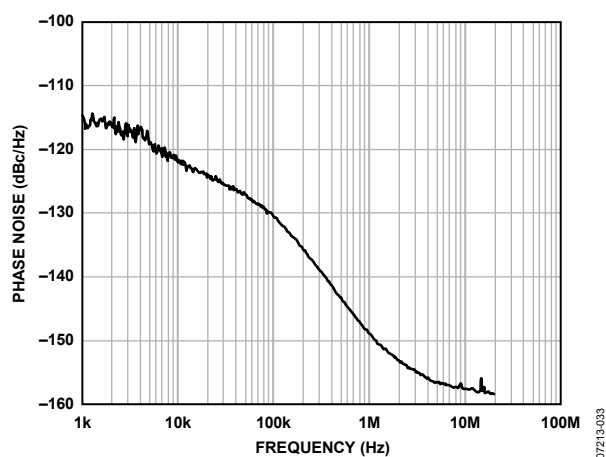


図 31.位相ノイズ(絶対)クロック発生
内蔵 VCO = 2.703 GHz; PFD = 15.36 MHz; LBW = 63 kHz
LVPECL 出力= 122.88 MHz

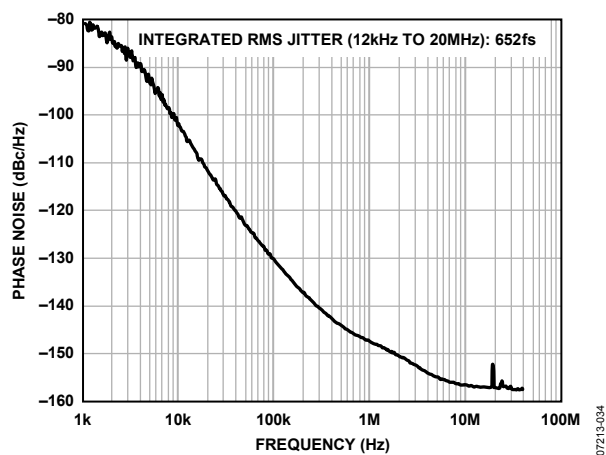


図 32.位相ノイズ(絶対)クロック・クリーンアップ
内蔵 VCO = 2.799 GHz; PFD = 120 kHz; LBW = 2.1 kHz
LVPECL 出力= 155.52 MHz

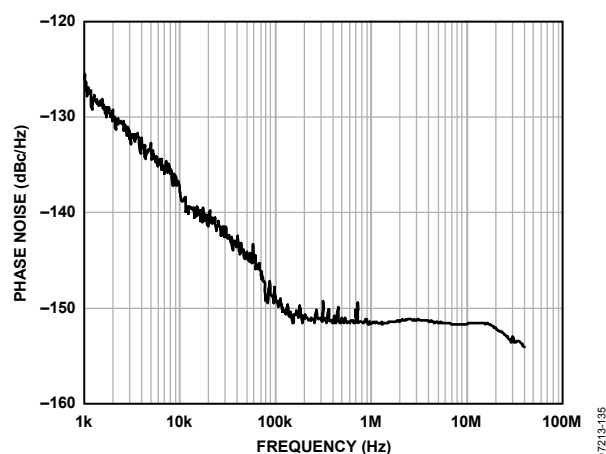


図 33.位相ノイズ(絶対)
外付け VCXO (Toyocom TCO-2112) = 245.76 MHz
PFD = 15.36 MHz; LBW = 250 Hz; LVPECL 出力= 245.76 MHz

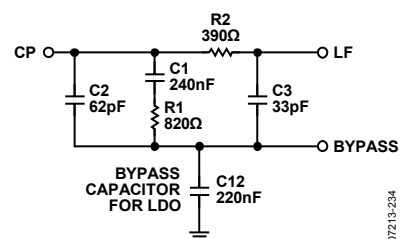


図 34.クロック発生に使用した PLL ループ・フィルタの
プロット(図 31 参照)

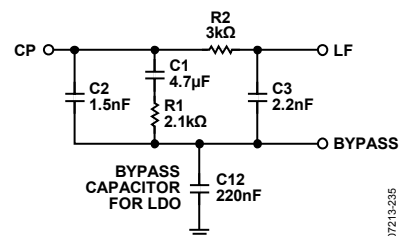


図 35.クロック・クリーンアップに使用した PLL ループ・フィルタ
のプロット(図 32 参照)

用語

位相ジッタと位相ノイズ

理想的な正弦波は、時間に対して連続な位相持つもの、さらに各サイクルで 0~360 度の位相進みを持つものとも理解することができます。しかし、実際の信号は、時間に対する理想的な位相進みからある変動を持っています。この現象が位相ジッタと呼ばれています。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス分布(ノーマル)で特徴づけられます。

この位相ジッタにより、周波数領域で正弦波のエネルギーが分散されて、連続電力スペクトルが発生されます。この電力スペクトルは一般に、数列として報告されます。この数列は、正弦波(キャリア)からの与えられた周波数オフセット位置で単位 dBc/Hz で表されます。この値は、キャリア周波数での電力に対する 1 Hz 帯域幅内に含まれる電力の比(dB)です。各測定値に対して、キャリア周波数からのオフセットも与えられます。

オフセット周波数のある区間内(たとえば、10 kHz~10 MHz の区間)に含まれる合計電力を求めることは意味のあることです。これは、その周波数オフセット区間での積分位相ノイズと呼ばれ、そのオフセット周波数区間内の位相ノイズに起因する時間ジッタに直接関係しています。

位相ノイズは、ADC、DAC、RF ミキサーの性能に悪影響を与えます。コンバータとミキサーのダイナミック・レンジを小さくします(ただし、影響の仕方は異なります)。

時間ジッタ

位相ノイズは周波数領域の現象です。時間領域では、同じ影響が時間ジッタとして現れます。正弦波を観測すると、連続するゼロ交差の時間が変化しているように見えます。方形波では、時間ジッタは理想時間(正常)からのエッジ変位として見えます。両ケースとも、理想からのタイミング変動が時間ジッタです。これらの変動はランダムであるため、時間ジッタは 2 乗平均(rms)の単位またはガウス分配の 1 シグマで規定されます。

DAC または ADC のサンプリング・クロックで発生する時間ジッタは、コンバータの SNR とダイナミック・レンジを減少させます。サンプリング・クロックのジッタを最小にすると、与えられたコンバータの最高性能が得られます。

増加位相ノイズ

これは、被測定デバイスまたはサブシステムから発生する位相ノイズの大きさを表します。すべての外付け発振器またはクロック・ソースの位相ノイズは除かれています。これにより、種々の発振器とクロック・ソースを組合せて使う場合に合計システム位相ノイズに対するデバイスの影響が予測可能になります。多くのケースで、1つの要素から発生する位相ノイズがシステム位相ノイズを支配します。位相ノイズの成分が複数ある場合、合計は各成分の和の 2 乗平均になります。

増加時間ジッタ

これは、被測定デバイスまたはサブシステムから発生する位相ジッタの大きさを表します。すべての外付け発振器またはクロック・ソースの位相ジッタは除かれています。これにより、種々の発振器とクロック・ソースを組合せて使う場合に合計システム時間ジッタに対するデバイスの影響が予測可能になります。多くのケースで、外付けの発振器とクロック・ソースから発生する時間ジッタがシステム時間ジッタを支配します。

詳細ブロック図

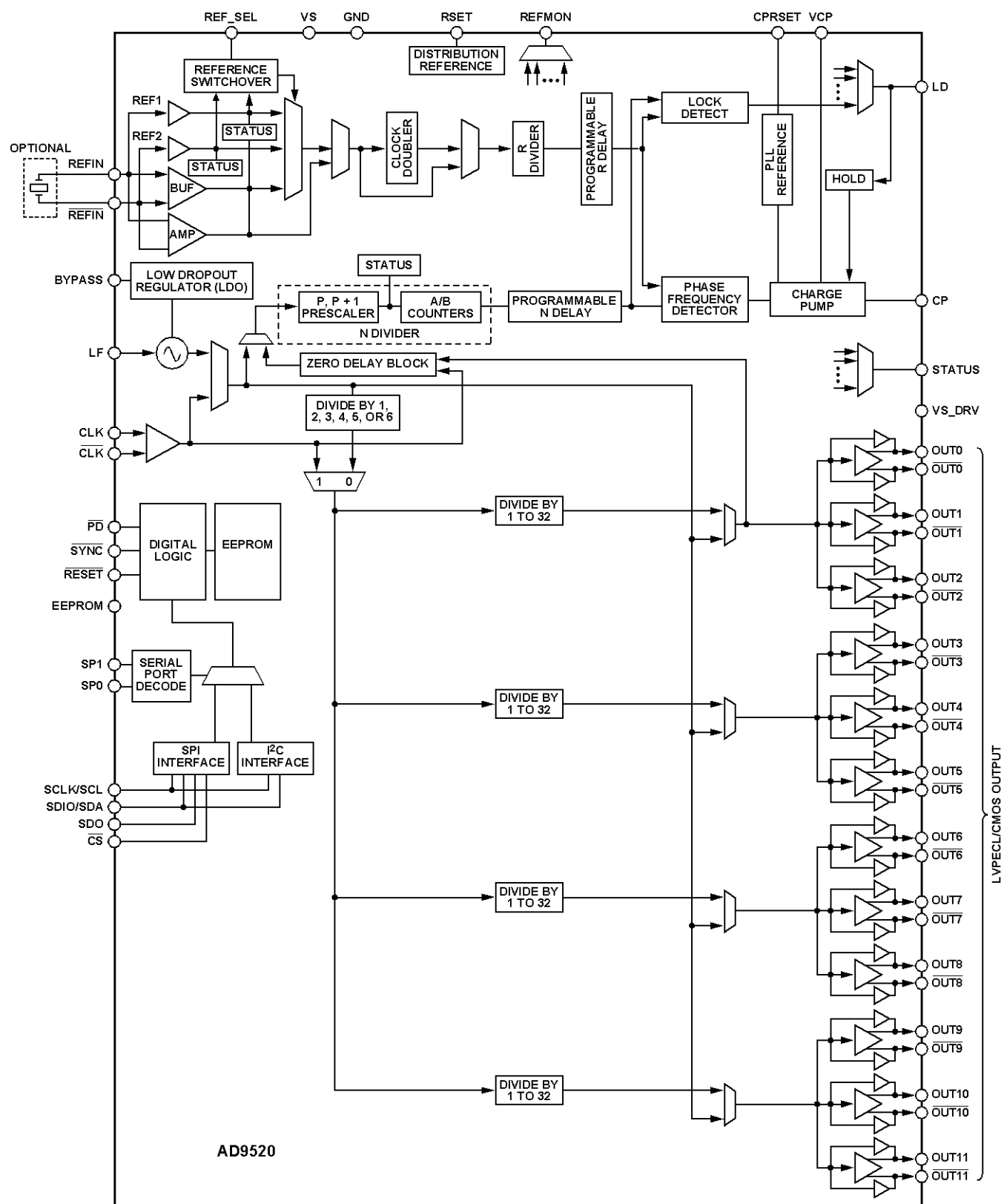


図 36.

動作原理

動作設定

AD9520 では複数の設定が可能です。これらの設定は、コントロール・レジスタに書き込むことにより行われます(表 49～表 60 参照)。各セクションまたは各機能は、対応するコントロール・レジスタまたはレジスタ群の該当するビットを設定することにより、個別にプログラムする必要があります。設定を書き込んだ後、これらの値を内蔵 EEPROM に保存して、デバイスがパワーアップするときその設定を自動的に使用するようにさせることができます。

モード 0: 内蔵 VCO とクロック分配

内蔵の VCO と PLL を使用する場合、VCO 分周器を使用して、チャンネル分周器へ出力される周波数が規定の最大周波数を超えないようにする必要があります(表 3 参照)。内蔵 PLL では、外付けループ・フィルタを使ってループ帯域幅を設定します。外付けループ・フィルタもループの安定性にとって重要です。

内蔵 VCO を使用する際、最適性能になるように VCO (0x018[0]) をキャリブレーションする必要があります。

内蔵 VCO とクロック分配アプリケーションに対しては、表 22 に示すレジスタ設定値を使用する必要があります。

表 22.内蔵 VCO を使用する際の設定値

Register	Description
0x010[1:0] = 00b	PLL normal operation (PLL on)
0x010 to 0x01E	PLL settings; select and enable a reference input; set R, N (P, A, B), PFD polarity, and I _{CP} according to the intended loop configuration
0x1E1[1] = 1b	VCO selected as the source
0x01C[2:0]	Enable reference inputs
0x1E0[2:0]	Set VCO divider
0x1E1[0] = 0b	Use the VCO divider as source for distribution section
0x018[0] = 0b 0x232[0] = 1b	Reset VCO calibration and issue IO_UPDATE (not necessary for first time after power-up, but must be done subsequently)
0x018[0] = 1b 0x232[0] = 1b	Initiate VCO calibration, issue IO_UPDATE

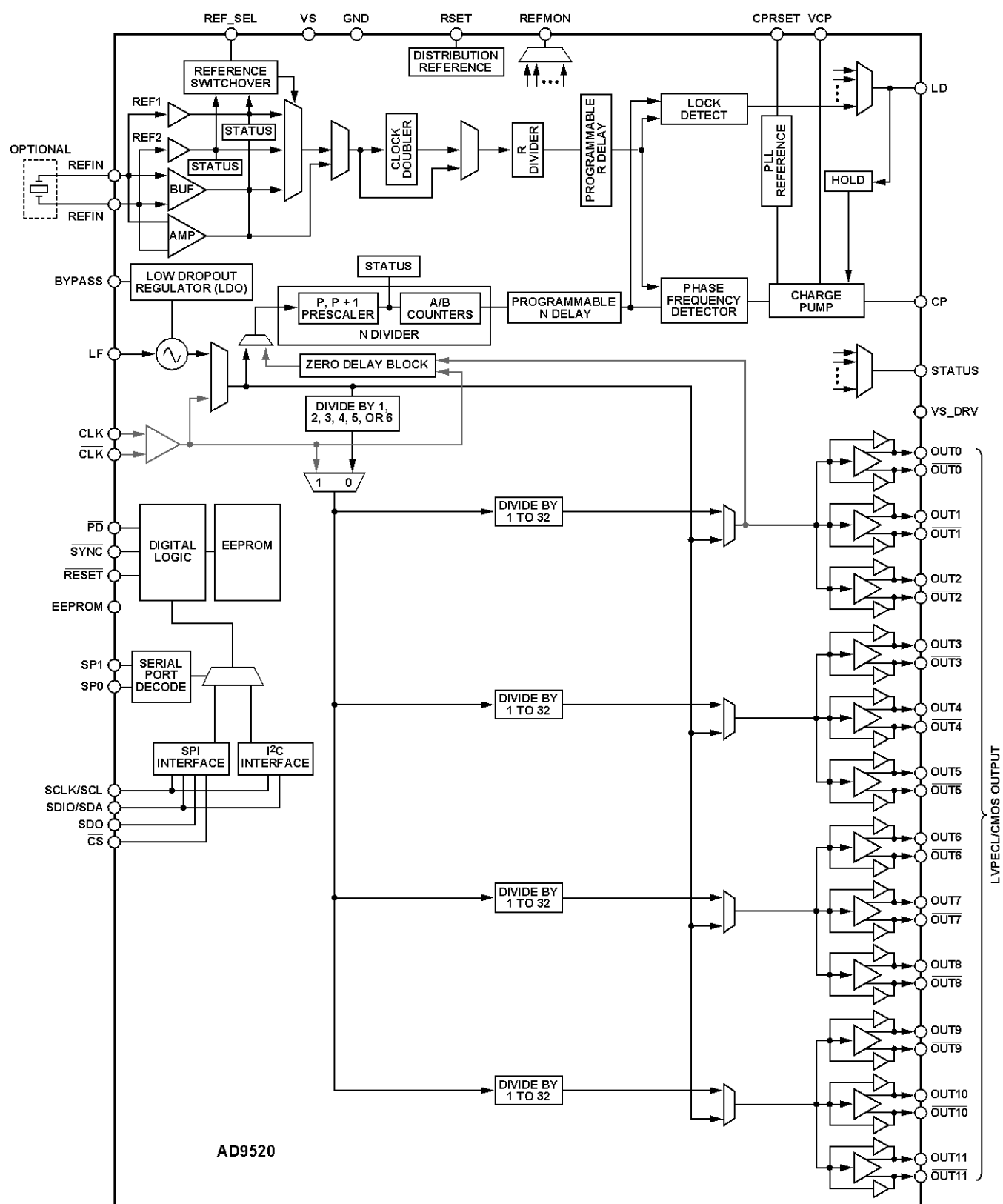


図 37.内蔵 VCO とクロック分配(モード 0)

モード 1: クロック分配または外付け VCO <1600 MHz

分配される外付けクロック・ソースまたは外付け VCO/VCXO が 1600 MHz 未満の場合は、VCO 分周器をバイパスした設定を使うことができます。これが、モード 2 との唯一の違いです。VCO 分周器をバイパスすると、クロック・ソースの周波数が 1600 MHz 未満に制限されます(チャンネル分周器に許容される最大入力周波数のため)。

設定とレジスタ設定値

外付けクロックが 1600 MHz 未満のクロック分配アプリケーションの場合、表 23 に示すレジスタ設定値を使用する必要があります。

表 23. クロック分配に対する設定値 < 1600 MHz

Register	Description
0x010[1:0] = 01b	PLL asynchronous power-down (PLL off)
0x1E1[0] = 1b	Bypass the VCO divider as source for distribution section
0x1E1[1] = 0b	CLK selected as the source

内蔵 PLL と外付け VCO (< 1600 MHz) の組み合わせを使う場合、PLL はターンオンしておく必要があります。

表 24. 内蔵 PLL と外付け VCO (< 1600 MHz) を使用する場合は設定値

Register	Description
0x1E1[0] = 1b	Bypass the VCO divider as source for distribution section
0x010[1:0] = 00b	PLL normal operation (PLL on) along with other appropriate PLL settings in 0x010 to 0x01E

外付け VCO/VCXO は外付けループ・フィルタを必要とし、このフィルタは CP と VCO/VCXO のチューニング・ピンとの間に接続する必要があります。このループ・フィルタがループ帯域幅と PLL の安定性を決定します。使用する VCO/VCXO に一致した PFD 極性を選択するように注意してください。

表 25. PFD 極性の設定

Register	Description
0x010[7] = 0b	PFD polarity positive (higher control voltage produces higher frequency)
0x010[7] = 1b	PFD polarity negative (higher control voltage produces lower frequency)

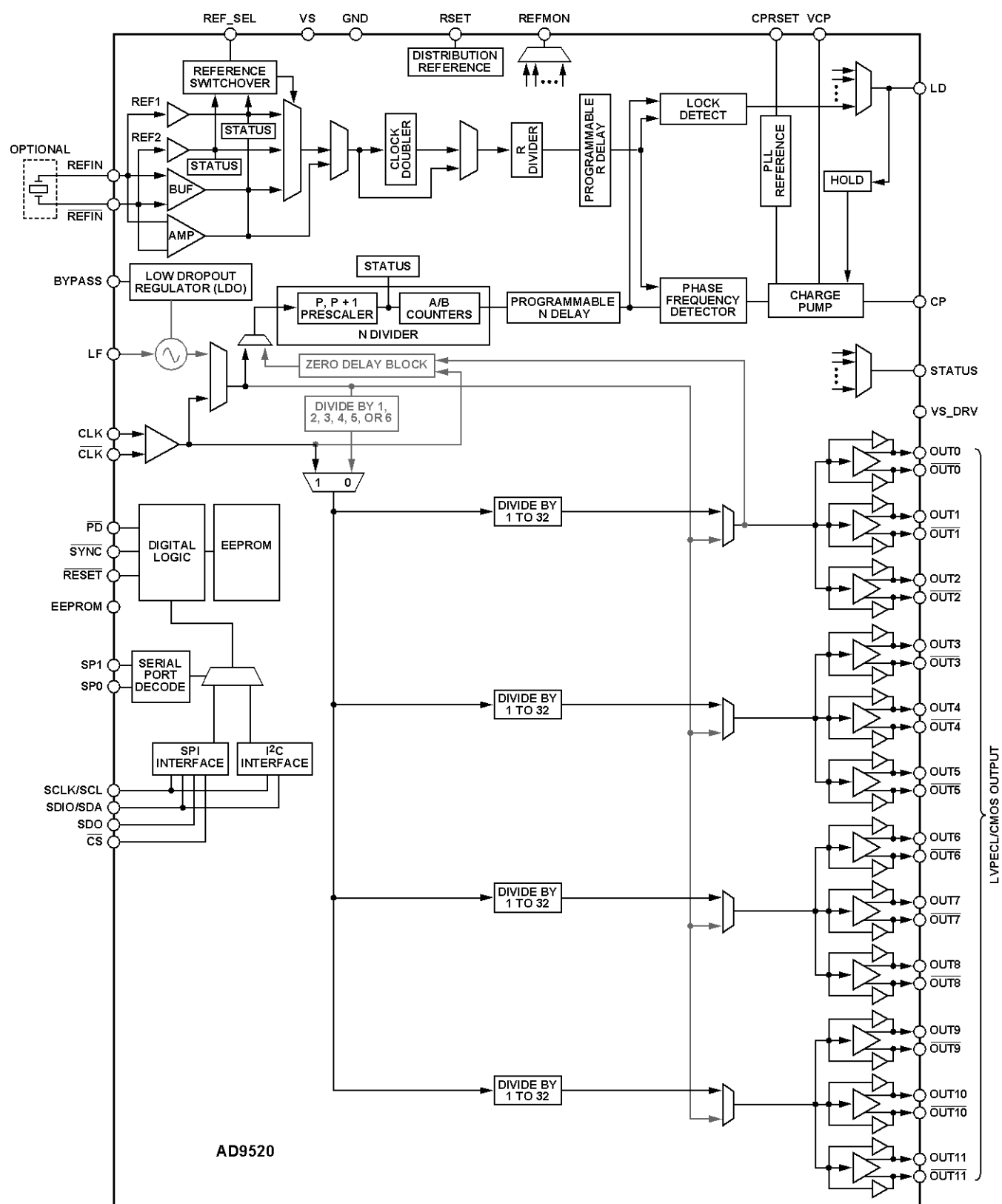


図 38. クロック分配または外付け VCO < 1600 MHz (モード 1)

モード 2:高周波クロック分配—CLK または外付け VCO > 1600 MHz

AD9520 のパワーアップ・デフォルト設定では、PLL がパワーオフされ、CLK/CLK入力が VCO 分周器(分周比 1/分周比 2/分周比 3/分周比 4/分周比 5/分周比 6)を経由して分配セクションに接続されるように入力が構成されています。これは、最大 2400 MHz の外付け入力を許容する唯一の分配モードです(表 3 参照)。チャンネル分周器に指定できる最大周波数は 1600 MHz であるため、これより高い入力周波数はチャンネル分周器の前で分周する必要があります。

PLL をイネーブルする場合、この接続により PLL と外付け VCO または VCXO (周波数<2400 MHz)の組み合わせの使用も可能になります。この設定では、内蔵 VCO は使用されないためパワーオフされます。外付け VCO/VCXO は直接プリスケアラに接続されます。

表 24 に示すレジスタ設定値は、パワーアップ時またはリセット動作でのこれらのレジスタのデフォルト値になっています。

表 26.クロック分配モードのデフォルト・レジスタ設定値

Register	Description
0x010[1:0] = 01b	PLL asynchronous power-down (PLL off)
0x1E0[2:0] = 000b	Set VCO divider = 2
0x1E1[0] = 0b	Use the VCO divider
0x1E1[1] = 0b	CLK selected as the source

内蔵 PLL と外付け VCO の組み合わせを使う場合、PLL はターンオンしておく必要があります。

表 27.外付け VCO を使用する際の設定値

Register	Description
0x010[1:0] = 00b	PLL normal operation (PLL on)
0x010 to 0x01E	PLL settings; select and enable a reference input; set R, N (P, A, B), PFD polarity, and I_{CP} according to the intended loop configuration
0x1E1[1] = 0b	CLK selected as the source

外付け VCO は外付けループ・フィルタを必要とし、このフィルタは CP と VCO のチューニング・ピンとの間に接続する必要があります。このループ・フィルタがループ帯域幅と PLL の安定性を決定します。使用する VCO に一致した PFD 極性を選択するように注意してください。

表 28.PFD 極性の設定

Register	Description
0x010[7] = 0b	PFD polarity positive (higher control voltage produces higher frequency)
0x010[7] = 1b	PFD polarity negative (higher control voltage produces lower frequency)

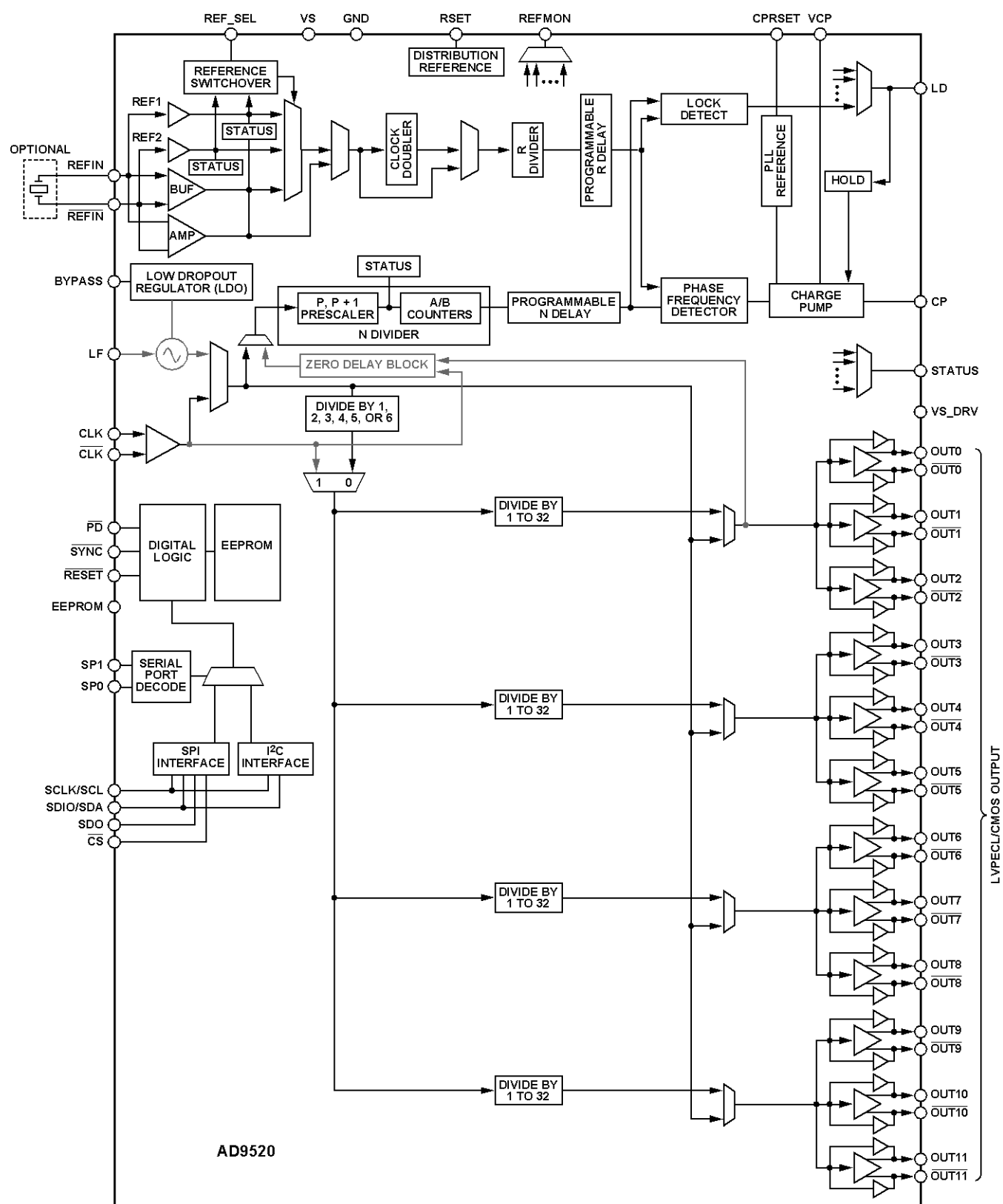


図 39. 高周波クロック分配または外付け VCO > 1600 MHz (モード 2)

CP 電流の LSB 値は、公称 5.1 k Ω の CPR 設定抵抗で設定されます。

内蔵 VCO

AD9520 は、表 2 に示す周波数範囲をカバーする VCO を内蔵しています。低い VCO 位相ノイズを実現することが、VCO デザインの最優先事項です。

この VCO がカバーする広い範囲の周波数で同調させるために、複数のレンジが使用されています。これはユーザーには見えませんが、PLL ループを最初にセットアップするとき VCO のキャリブレーションが必要なためです。キャリブレーション手順により、VCO 周波数の正しいバンド・レンジでの VCO 動作が保証されます。詳細については、VCO のキャリブレーションのセクションを参照してください。

内蔵 VCO の電源は、内蔵のロー・ドロップアウト(LDO)リニア電圧レギュレータから供給されます。この LDO は、電源電圧レベルの変動から VCO をある程度アイソレーションします。BYPASS ピンは、安定性のために 220 nF のコンデンサを使ってグラウンドへ接続する必要があります。この LDO では、アナログ・デバイセズのレギュレータの anyCAP®ラインと同じ技術を採用して、使用するコンデンサ・タイプに依存しないようにしています。BYPASS ピンから外付け負荷を駆動することはサポートしていません。

外付け PLL ループ・フィルタ

内蔵 VCO を使う場合、最適なノイズ性能とスプリアス性能を得るため、外付けループ・フィルタは BYPASS ピンを基準とする必要があります。PLL の外付けループ・フィルタ例を図 41 に示します。ループ・フィルタは、各 PLL 構成ごとに計算する必要があります。部品値は、VCO 周波数、 K_{VCO} 、PFD 周波数、CP 電流、ループ帯域幅、位相マージンに依存します。ループ・フィルタは、位相ノイズ、ループのセトリング・タイム、ループ安定性に影響を与えます。ループ・フィルタ・デザインの理解には、PLL 理論の知識が必要です。ADIsimCLK のようなツールは、アプリケーション条件に従ったループ・フィルタの計算に役立ちます。

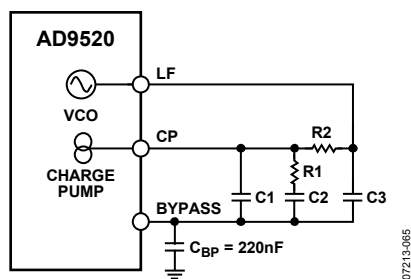


図 41. 外付け PLL ループ・フィルタの例

PLL リファレンス入力

AD9520 は、フル差動入力、2 つのシングルエンド入力、または維持アンプ付きの 16.67 MHz~33.33 MHz 水晶発振器を接続できる柔軟な PLL リファレンス入力回路を採用しています。オプションのリファレンス・クロック・ダブラーを使うと、PLL リファレンス周波数を 2 倍にすることができます。リファレンス入力の入力周波数範囲は、表 2 に規定します。差動入力とシングルエンド入力はセルフ・バイアスされているため、入力信号の AC 結合を容易に行うことができます。

差動またはシングルエンドのリファレンスは特別にイネーブルする必要があります。すべての PLL リファレンス入力はデフォルトでオフになっています。

差動入力とシングルエンド入力は、REFIN (REF1)/REFIN (REF2) の 2 本のピンを共用しています。リファレンス入力タイプは、0x01C を使って選択し制御します(表 49 と表 53 参照)。

差動リファレンス入力を選択すると、リファレンスが低速または無くなったときに入力バッファのチャタリングを防止するため、両側のセルフバイアス・レベルを少しオフセットさせます。この電圧レベルの仕様は表 2 に示します。この入力ヒステリシスのため、オフセットを相殺するために必要とされるドライブの電圧振幅が大きくなります。

シングルエンド入力は、DC 結合の CMOS レベル信号または AC 結合の正弦波または方形波で駆動することができます。シングルエンドの AC 結合入力信号がトグルしなくなったときの入力バッファのチャタリングを防止するときは、0x018[7] に 1b を設定する必要があります。これにより、DC オフセット・バイアス・ポイントが 140 mV にシフトダウンされます。アイソレーションを大きくし、消費電力を削減するために、各シングルエンド入力を独立にパワーダウンさせることができます。

差動リファレンス入力を選択しない場合または PLL がパワーダウンしている場合は、差動リファレンス入力回路がパワーダウンします。PLL がパワーダウンしている場合または該当する個別パワーダウン・レジスタが設定された場合は、シングルエンド・バッファがパワーダウンします。差動モードが選択されると、シングルエンド入力がパワーダウンします。

差動モードでは、リファレンス入力ピンは内部でセルフ・バイアスされているため、コンデンサを使って AC 結合することができます。これらの入力は DC 結合することができます。差動 REFIN をシングルエンド信号で駆動する場合、未使用側 (REFIN) は適切なコンデンサでノイズのないグラウンドへデカップリングする必要があります。図 42 に、REFIN の等価回路を示します。

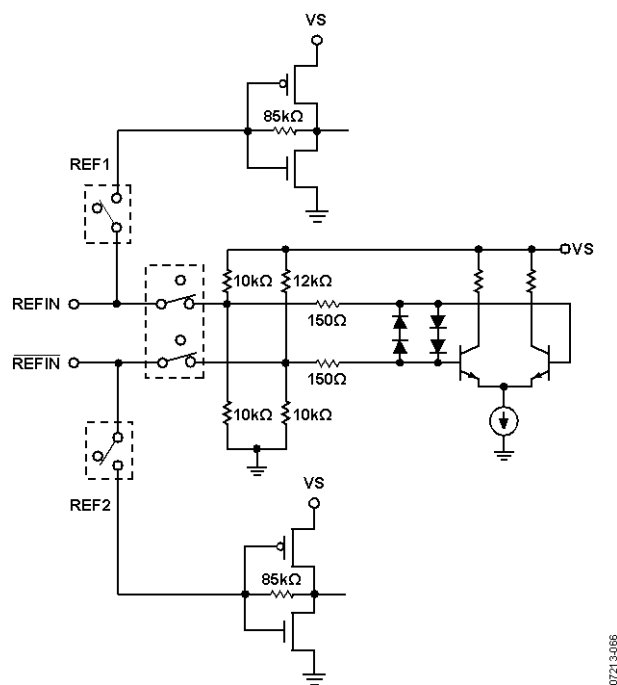


図 42. 非 XTAL モードでの REFIN の等価回路

水晶モードは、ほぼ差動モードと同じです。イネーブル XTAL OSC ビットをセットし、AT 基本カットの直列共振水晶を REFIN/REFIN ピンの間に接続して維持アンプをイネーブルします。

リファレンス電圧の切り替え

AD9520 では、デュアル・シングルエンド CMOS 入力とシングル差動リファレンス入力をサポートしています。AD9520 のデュアル・シングルエンド・リファレンス・モードでは、REF1 (REFIN ピン)と REF2 (REFIN ピン)の間での自動とマニュアルの PLL リファレンス・クロック切り替えをサポートしています。この機能は、ネットワークと冗長リファレンスを必要とするその他のアプリケーションをサポートします。

AD9520 には、シングルエンド・モードで DC オフセット・オプションがあります。このオプションは、AC 結合されているリファレンス・クロックを喪失したときに、リファレンス入力チャタリングの危険性を無くするためにデザインされています。リファレンス切り替えを使用する場合、シングルエンド・リファレンス入力は DC 結合の CMOS レベルにする必要があります(ただし AD9520 の DC オフセット機能はディスエーブル)。あるいは、入力を AC 結合して DC オフセット機能をイネーブルすることができます。ただし、DC オフセットをターンオンすると、リファレンス入力の最小入力振幅が大きくなることに注意する必要があります。

リファレンス切り替えには複数の設定可能なモードがあります。この切り替えはマニュアルまたは自動的で行うことができます。マニュアル切り替えは、レジスタ 0x01C または REF_SEL ピンを使って行います。REF1 が消失したときに自動切り替えが行われます。切り替えグリッチ除去機能も提供されており、この機能により、新しく選択したリファレンスから離れた位置にある立ち上がりエッジを PLL が受信しないようにします。

2つの自動リファレンス切り替えモードがあります(0x01C):

- **Prefer REF1.** REF1 が消失したとき、REF1 から REF2 へ切り替わります。REF1 が回復したとき、REF2 から REF1 へ戻ります。
- **Stay on REF2.** REF1 が消失したとき REF2 に自動的に切り替わりますが、REF1 が回復しても元に戻りません。リファレンスは、適当な時にマニュアルで REF1 へ戻ることができます。

自動モードでは、REF1 は REF2 からモニターされています。REF1 が消失すると(REF1 にエッジ変化なしで、REF2 の立ち上がりエッジが 2 個連続する)、REF1 は消失したと見なされます。REF2 の次の立ち上がりエッジで、REF2 が PLL のリファレンス・クロックとして使用されます。0x01C[3] = 0b (デフォルト)の場合、REF1 が回復すると(REF1 の複数エッジ間で REF2 の 2 個の立ち上がりエッジがなく、かつ REF1 の 4 個の立ち上がりエッジが発生)、PLL リファレンスは REF1 に戻ります。0x01C[3] = 1b の場合、REF1 へ戻すタイミングをユーザーから制御することができます。これは、デバイスをマニュアル・リファレンス選択モード(0x01C[4] = 0b)に設定して、レジスタおよび/または REF_SEL ピンを使って所望のリファレンスを選択することにより行われます。自動モードは、REF1 が再選択されたとき、再イネーブルすることができます。

マニュアル切り替えでは、切り替え対象のリファレンス入力にクロックが存在すること、またはグリッチ除去機能をディスエーブルしていること(0x01C[7])が必要です。

リファレンス分周器 R

リファレンス入力はリファレンス分周器 R に接続されます。R (14 ビット・カウンタ)には、0x011 と 0x012 に書き込みを行うことにより、0~16,383 の任意の値を設定することができます(R = 0 と R = 1 はともに分周比 1 に該当します)。R 分周器の出力は PFD の片方の入力に接続され、N 分周された VCO 周波数と比較されます。PFD に入力される周波数は、最大許容周波数を超えることはできません。この最大許容周波数はバックラッシュ防止パルス設定に依存します(表 2)。

R 分周器には専用のリセットがあります。R 分周器は、R、A、B の各カウンタ間で共用されているリセット・ピンを使ってリセットすることができます。R 分周器は SYNC 動作からもリセットされます。

VCO/VCXO 帰還分周器 N: P、A、B、R

N 分周器は、プリスケアラ(P)、A カウンタ、B カウンタを組み合わせたものです。総合分周比は、

$$N = (P \times B) + A$$

ここで、P = 2、4、8、16、32。

プリスケアラ

AD9520 のプリスケアラでは、1、2、3 の固定分周(FD)モードとデュアル・モジュラス(DM)モードの 2 つの動作モードが可能です。この DM モードでは、プリスケアラ比 P: (P + 1)として 2: 3、4: 5、8: 9、16: 17、または 32: 33 が可能です。プリスケアラ動作モードは、表 53 で 0x016[2:0]として表示してあります。すべての周波数ですべてのモードが使用できるとはかぎりません(表 2 参照)。

AD9520 がデュアル・モジュラス・モード P/(P + 1)で動作する場合、入力リファレンス周波数と VCO 出力周波数の関係は次式で表されます。

$$f_{VCO} = (f_{REF}/R) \times (P \times B + A) = f_{REF} \times N/R$$

ただし、プリスケアラが FD モード 1、FD モード 2、または FD モード 3 で動作する場合、A カウンタは使用されないため(A = 0)、式は次のように簡単になります。

$$f_{VCO} = (f_{REF}/R) \times (P \times B) = f_{REF} \times N/R$$

A = 0 のとき、分周比は固定の P = 2、4、8、16、または 32。

AD9520 では、DM モードと FD モードの組み合わせを使うと、N が N = 1 までのすべての値を実現することができます。表 29 に、10 MHz のリファレンス入力が N の任意の整数倍にロックできることを示します。

N の同じ値を異なる方法で実現できることに注意してください。N = 12 のケースで説明します。P = 2 と B = 6 の固定分周モードを選択することができるので、A = 0、B = 6 のデュアル・モジュラス・モード 2/3 または A = 0、B = 3 のデュアル・モジュラス・モード 4/5 を使用することができます。

A カウンタおよび B カウンタ

B カウンタは 3 以上かバイパスが可能で、R カウンタとは異なり、A = 0 は実際にはゼロになります。

A/B カウンタの最大入力周波数は、表 2 に規定する最大プリスケアラ出力周波数(約 300 MHz)に反映されます。この値はプリスケアラ入力周波数(VCO または CLK)を P 分周したものです。たとえば、デュアル・モジュラス P = 8/9 モードは使用できません。これは、VCO 周波数が 2400 MHz より高い場合には、A/B カウンタに入力される周波数が高過ぎるためです。

AD9520 B カウンタをバイパスする場合(B = 1)、A カウンタはゼロに設定する必要があるため、総合分周比はプリスケアラ設定 P に一致します。このモードでの可能な分周比は、1、2、3、4、8、16、32 になります。このモードは、外付け VCO/VCXO を使用したときのみ使用できます。これは、内蔵 VCO の周波数範囲から、32 より大きい総合帰還分周比が必要となるためです。

マニュアル・リセットは通常不要ですが、A/B カウンタには専用のリセット・ビットがあります。あるいは、A カウンタと B カウンタは、R、A、B の各カウンタ間で共用されているリセット・ビットを使ってリセットすることもできます。これらのリセッ

ト・ビットにはセルフ・クリア機能がないことに注意してください。

R、A、B の各カウンタ: $\overline{\text{SYNC}}$ ピン・リセット

R、A、B の各カウンタは、 $\overline{\text{SYNC}}$ ピンを使って同時にリセットすることができます。この機能は、0x019[7:6]から制御されます(表 53 参照)。 $\overline{\text{SYNC}}$ ピン・リセットはデフォルトでディスエーブルされています。

R と N の分周器遅延

R 分周器と N 分周器は、プログラマブルな遅延セルを内蔵しています。これらの遅延をイネーブルして、PLL リファレンス・クロックと VCO または CLK との間の位相関係を調整することができます。各遅延は 3 ビットにより制御されます。合計遅延範囲は約 1 ns です。表 53 の 0x019 を参照してください。

表 29.10 MHz リファレンス入力を N の任意の整数倍にロックさせる方法

f_{REF} (MHz)	R	P	A	B	N	f_{VCO} (MHz)	Mode	Notes
10	1	1	X ¹	1	1	10	FD	P = 1, B = 1 (bypassed)
10	1	2	X ¹	1	2	20	FD	P = 2, B = 1 (bypassed)
10	1	1	X ¹	3	3	30	FD	P = 1, B = 3
10	1	1	X ¹	4	4	40	FD	P = 1, B = 4
10	1	1	X ¹	5	5	50	FD	P = 1, B = 5
10	1	2	X ¹	3	6	60	FD	P = 2, B = 3
10	1	2	0	3	6	60	DM	P and P + 1 = 2 and 3, A = 0, B = 3
10	1	2	1	3	7	70	DM	P and P + 1 = 2 and 3, A = 1, B = 3
10	1	2	2	3	8	80	DM	P and P + 1 = 2 and 3, A = 2, B = 3
10	1	2	1	4	9	90	DM	P and P + 1 = 2 and 3, A = 1, B = 4
10	1	2	X ¹	5	10	100	FD	P = 2, B = 5
10	1	2	0	5	10	100	DM	P and P + 1 = 2 and 3, A = 0, B = 5
10	1	2	1	5	11	110	DM	P and P + 1 = 2 and 3, A = 1, B = 5
10	1	2	X ¹	6	12	120	FD	P = 2, B = 6
10	1	2	0	6	12	120	DM	P and P + 1 = 2 and 3, A = 0, B = 6
10	1	4	0	3	12	120	DM	P and P + 1 = 4 and 5, A = 0, B = 3
10	1	4	1	3	13	130	DM	P and P + 1 = 4 and 5, A = 1, B = 3

¹ X = don't care。

デジタル・ロック検出(DLD)

各ピンのマルチプレクサを使って出力を選択することにより、DLD 機能を LD、STATUS、REFMON の各ピンで 사용할ことができます。デジタル・ロック検出回路は、PFD 入力での立ち上がりエッジの時間差が規定値(ロック・スレッシュホールド)より小さくなったときに、ロックを表示します。ロックの喪失は、時間差が規定値(アンロック・スレッシュホールド)を超えたとき表示されます。アンロック・スレッシュホールドはロック・スレッシュホールドより広いことに注意してください。これにより、ロック・ウィンドウを超える位相誤差の発生をロック・インジケータでのチャタリングなしで許容できるようになります。

ロック検出ウィンドウのタイミングは、CPR 設定抵抗の値、デジタル・ロック検出ウィンドウ・ビット(0x018[4])、バックラッシュ防止パルス幅ビット(0x017[1:0]、表 2 参照)、ロック検出カウンタ(0x018[6:5])に依存します。表 2 のロックとアンロックの検出値は、CPRSET = 5.11 k Ω の公称値に対するものです。CPRSET 値を倍にして 10 k Ω にすると、表 2 の値も倍になります。

ロックは、ロック検出スレッシュホールドより小さい時間差でプログラブルな連続 PFD サイクル数が発生するまで表示されません。ロック検出回路は、後続の 1 サイクル内でアンロック・スレッシュホールドを超える時間差が発生するまでロックを表示し続けます。ロック検出が正常に動作するためには、PFD 周波数の周期がアンロック・スレッシュホールドより大きい必要があります。ロックに必要な PFD の連続サイクル数は設定可能です(0x018[6:5])。

アキュイジション中に AD9520 のホールドオーバーを自動的に開始/終了させる DLD チャタリングを発生させる、高位相マージンのケースである 500 Hz 以下の狭いループ帯域幅で、これが発生することに注意してください。この問題を回避するため、LD ピンとグラウンドとの間にコンデンサを接続して、電流ソース・デジタル・ロック検出(CSDLD)モードを使用できるようにすることが推奨されます。

アナログ・ロック検出(ALD)

AD9520 は、LD ピンに対して選択できる ALD 機能を提供しています。ALD には次の 2 つの動作モードがあります。

- N チャンネル・オープン・ドレイン・ロック検出。この信号は正電源 VS へのプルアップ抵抗を必要とします。出力は、短時間ノーマル・ハイでその後ロー・レベルになるパルスです。ロックは、立ち下がりパルスの最小デューティ・サイクルで表示されます。
- P チャンネル・オープン・ドレイン・ロック検出。この信号は、GND へのプルダウン抵抗を必要とします。出力は短時間ノーマル・ローでその後ハイ・レベルになるパルスです。ロックは、立ち上がりパルスの最小デューティ・サイクルで表示されます。

アナログ・ロック検出機能では、ロック/アンロックを表すロジック・レベルを提供する RC フィルタが必要です。ADIsimCLK ツールは、ALD の動作に必要な受動部品値の選択に役立ちます。

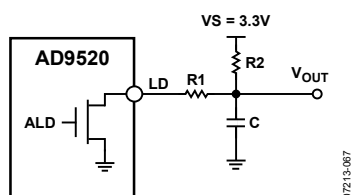


図 43. N チャンネル・オープン・ドレイン・ドライバを使用するアナログ・ロック検出フィルタの例

電流ソース・デジタル・ロック検出(CSDLD)

PLL ロック・シーケンスで、PLL が完全にロックして安定するまでに DLD 信号が何回もトグルすることは通常の動作です。PLL が完全にロックした場合にのみ DLD をアサートすることが必要なアプリケーションも存在します。電流ソース・ロック検出機能を使うと、これが可能になります。LD ピンとグラウンドの間にコンデンサを接続して、DLD を LD ピンの出力として選択すると(0x01A[5:0] = 0x00)、この機能がイネーブルされます。

LD ピン・コンパレータ(0x01D[3] = 1)をイネーブルすると、次のようになります。

- 自動切り替えおよびホールドオーバーと組み合わせて CSDLD を使用すること
- STATUS ピンと REFMON ピンに CSDLD ステータスを表示すること

DLD が真のとき電流ソース・ロック検出は 110 μ A の電流を出力し、DLD が偽のときグラウンドへ短絡されます。コンデンサを LD ピンに接続すると、DLD の真区間の電流ソースで決まるレートで充電され、DLD が偽のときは、ほぼ瞬時に放電します。LD ピン(コンデンサの上側)で電圧をモニターすると、DLD の真が十分長時間続いた後に LD がハイ・レベルになります。DLD が一時的にでも偽になると、充電がリセットされます。適切なサイズのコンデンサを選択すると、PLL が安定にロックされて、ロック検出のチャタリングが発生しなくなるまでロック検出表示を遅延させることができます。

コンデンサの電圧は、LD ピンに外付けコンパレータを接続して検出することができますが、LD ピン・コンパレータが内蔵されており、これはアクティブ・ハイ信号として REFMON ピン制御(0x01B[4:0])または STATUS ピン制御(0x017[7:2])により読み出すことができます。また、アクティブ・ロー信号として使用することもできます(REFMON、0x01B[4:0] および STATUS、0x017[7:2])。内蔵 LD ピン・コンパレータのトリップ・ポイントとヒステリシスを表 17 に示します。

また、CSDLD を使用すると、CSDLD がハイ・レベルのときのみ個別クロック出力を同期してイネーブルできるようになります。この機能をイネーブルするときは、CSDLD レジスタ(0x0FC と 0x0FD)のネーブル出力の該当するビットをセットします。

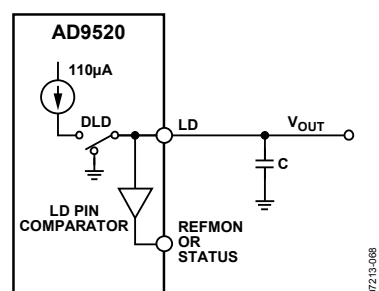


図 44. 電流ソース・デジタル・ロック検出

外付け VCXO/VCO クロック入力(CLK/CLK)

この差動入力、AD9520 のクロック分配セクションを駆動するときに使います。この入力には 2.4 GHz まで入力することができます。このピンは内部でセルフバイアスされているため、入力信号はコンデンサを使った AC 結合にする必要があります。

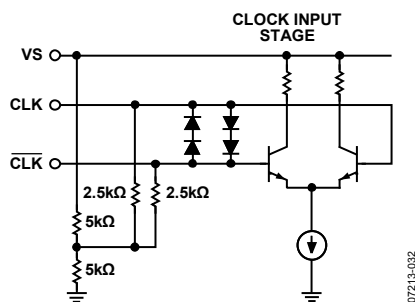


図 45.CLK の等価入力回路

CLK/CLK入力は、分配専用入力(PLL オフのとき)として、または内蔵 VCO を使用しないときに内蔵 PLL を使用する際の外付け VCO/VCXO の帰還入力として使用することができます。また、これらの入力も外付けゼロ遅延モードの帰還パスとして使用されます。

ホールドオーバー

AD9520 PLL にはホールドオーバー機能があります。ホールドオーバーは、チャージ・ポンプを高インピーダンス状態にすることにより実現されます。この機能は、PLL リファレンス・クロックを喪失したときに使われます。ホールドオーバー・モードを使うと、リファレンス・クロックがないときでも VCO は比較的一定した周波数を維持することができます。この機能なしのときは、チャージ・ポンプを一定のポンプアップ状態またはポンプダウン状態にするため、大きな VCO 周波数シフトが発生します。チャージ・ポンプは高インピーダンス状態になるため、チャージ・ポンプ出力または VCO チューニング・ノードで発生するリーク電流により VCO 周波数ドリフトが発生します。このドリフトは VCO 制御電圧のスルーレート(I_{LEAK}/C)により発生するリーク電流により制限されるため、大きな容量成分を持つループ・フィルタを使うこと、この問題を軽減することができます。

SYNCピンを使うマニュアル・ホールドオーバー・モードと自動ホールドオーバー・モードがあります。いずれの機能を使うときも、ホールドオーバー機能をイネーブルする必要があります(0x01D[0])。

外部/マニュアル・ホールドオーバー・モード

マニュアル・ホールドオーバー・モードをイネーブルして、SYNCピンがロー・レベルになったときチャージ・ポンプを高インピーダンス状態にすることができます。この動作は、レベル検出ではなくエッジ検出です。チャージ・ポンプは直ちに高インピーダンス状態になります。チャージ・ポンプを高インピーダンス状態から抜け出させるときは、SYNCピンをハイ・レベルにします。次に、リファレンス・クロックからの PFD の次の立ち上がりエッジに同期してチャージ・ポンプを高インピーダンス状態にします。これにより、SYNCの立ち上がりとの次の PFD イベントの間に余分なチャージ・ポンプ・イベントが発生するのが防止されます。また、これは、リファレンス・クロックが喪失したときにも、チャージ・ポンプが高インピーダンス状態に留まることを意味します。

B カウンタ(N 分周器内)は、リファレンス・パス PFD イベント時にチャージ・ポンプが高インピーダンス状態を抜け出のに同期して、リセットされます。これは、R 分周器と N 分周器からのエッジを一致させて、PLL のセトリングを高速化するのに役立ちます。プリスケアラはリセットされないで、B と R の値が近いときにこの機能は良く機能します。これは小さい位相差でループが安定するためです。

このモードを使うとき、チャンネル分周器を設定してSYNCピン(少なくとも最初のSYNCイベント)を無視する必要があります。SYNCピンを無視するために分周器を設定しない場合は、SYNCをロー・レベルするごとに、デバイスをホールドオーバー状態にして、分配出力をターンオフします。チャンネル分周器による SYNC 無視機能は、チャンネル分周器 0、チャンネル分周器 1、チャンネル分周器 2、チャンネル分周器 3 のそれぞれ 0x191[6]、0x194[6]、0x197[6]、0x19A[6]に示します。

自動/内部ホールドオーバー・モード

この機能をイネーブルすると、ループでロックが失われたとき、チャージ・ポンプは自動的に高インピーダンス状態になります。ループのロック喪失の理由として唯一想定できることは、PLL のリファレンス・クロックがなくなることにより発生することです。その場合には、ホールドオーバー機能によりチャージ・ポンプを高インピーダンス状態にして、リファレンス・クロックが消失する前に VCO 周波数を元の周波数のできるだけ近くに維持します。

自動/内部ホールドオーバー機能動作のフローチャートを図 46 に示します。

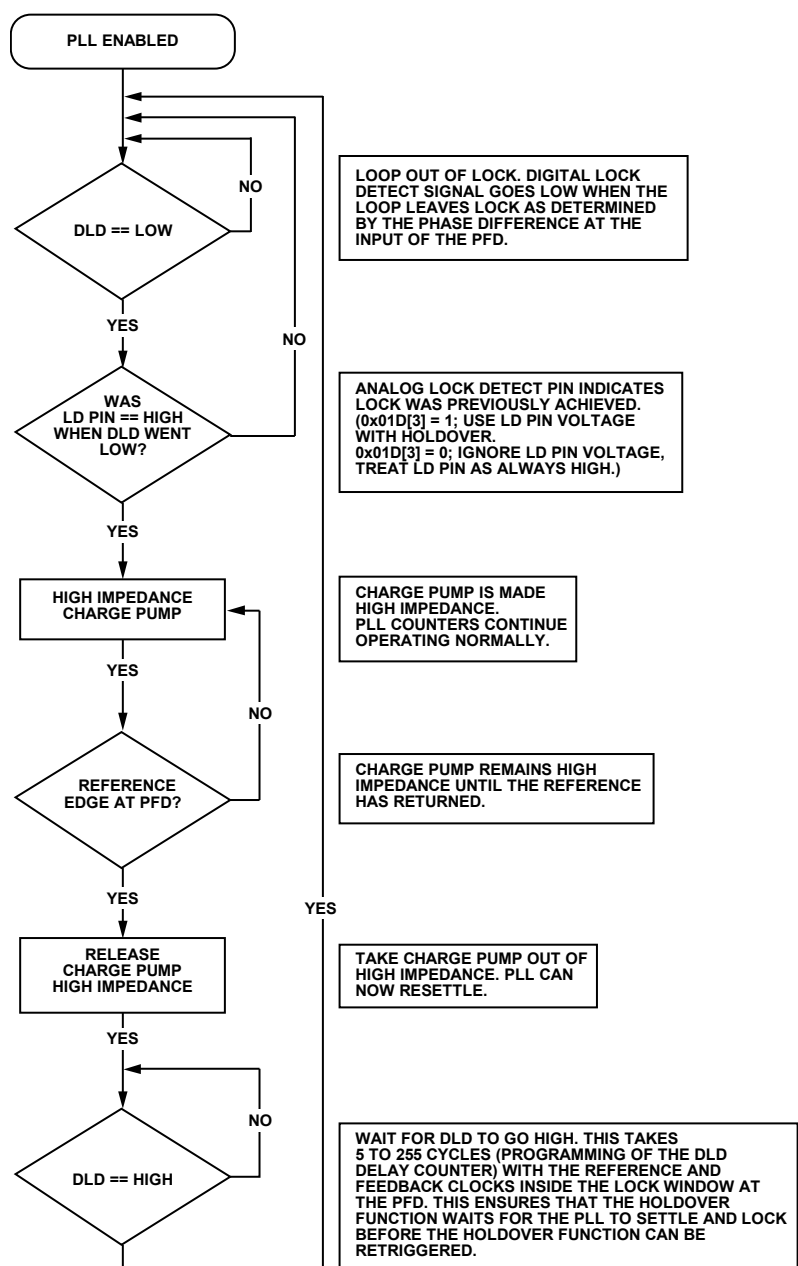


図 46.自動/内部ホールドオーバー・モードのフローチャート

ホールドオーバー機能は、ホールドオーバーを開始する条件として、LD ピンのロジック・レベルを検出します。LD の信号は、DLD、ALD、または電流ソース LD モードから出力することができます。ホールドオーバーに常に LD のハイ・レベルを検出させるようにする LD コンパレータ(0x01D[3])をディスエーブルすることが可能です。DLD を使用する場合、PLL が再ロックしようとしているとき DLD 信号はチャタリングすることがあります。ホールドオーバー機能は再起動できるため、ホールドオーバー・モードの終了を防止することができます。この状況を回避するためには、電流ソース・ロック検出モードの使用が推奨されます(電流ソース・デジタル・ロック検出(CSDL)のセクション参照)。

ホールドオーバー・モードにある場合、チャージ・ポンプはリファレンス・クロックが喪失しているかぎり高インピーダンス状態を維持します。

外部ホールドオーバー・モードの場合と同様に、B カウンタ(N 分周器内)は、リファレンス・パス PFD イベント時にチャージ・ポンプが高インピーダンス状態を抜け出るのに同期して、リセットされます。これは、R 分周器と N 分周器からのエッジを一致させて、PLL のセトリングを高速化するのに役立ち、セトリング時の周波数誤差を小さくします。プリスケアラはリセットされないため、B と R の値が近いときにこの機能は良く機能します。これは小さい位相差でループが安定するためです。

ホールドオーバー状態を抜け出た後、ループは再ロックし、再度ホールドオーバー(CP 高インピーダンス)を開始するまで LD ピンは充電する必要があります(0x01D[3] = 1 の場合)。

VCO キャリブレーションは、パワーアップ時の自動とマニュアルの 2 つの方法で行うことができます。自動 VCO キャリブレーションは、EEPROM 内の書き込み済みの値を自動的にロードするように EEPROM が設定されたときに開始されて、自動的に VCO をキャリブレーションします。自動キャリブレーションを完了するためには、パワーアップ時に有効なリファレンスを入力する必要があります。このケース以外では、VCO をマニュアルでキャリブレーションする必要があります。

AD9520 のパワーアップまたはリセット後の最初の初期化で、0x018[0] = 1b の設定を行うと、マニュアル VCO キャリブレーション・シーケンスが開始されます。これは、レジスタの更新 (0x232[0] = 1b) を実行する前の初期セットアップの一部として実行することができます。初期セットアップに続いて、0x018[0] = 0b を再設定し、レジスタ更新動作を実行し (0x018[0] = 1b を設定)、さらに別のレジスタ更新動作を実行して、VCO キャリブレーション・シーケンスを開始します。リードバック・ビット (0x01F[6]) は、ロジック真 (= 1b) を返して VCO キャリブレーションが完了したタイミングを表示します。

VCO キャリブレーションの動作シーケンスを次に示します。

1. PLL レジスタに PLL ループの適切な値を書き込みます。VCO キャリブレーション中、VCO 分周器 (0x1E0[2:0]) をステディックに設定しないように注意してください。
2. パワーアップまたはリセット後のレジスタの初期設定では、0x018[0] = 1b を設定して、VCO キャリブレーションを開始します。続いて、キャリブレーションが必要な場合、0x018[0] = 0b のレジスタ更新を設定し、0x018[0] = 1b のレジスタ更新を設定します。
3. 内部で SYNC 動作が開始されるため、出力が通常の SYNC 機能動作で決定されるステディック状態になります。
4. VCO は、所望の VCO 周波数に対して指定された設定に対してキャリブレーションされます。
5. 内部で SYNC 信号が解除されて、クロック出力が可能になります。
6. PLL ループが閉じられます。
7. PLL がロックします。

VCO キャリブレーション中に SYNC が実行されるため、キャリブレーション中 AD9520 の出力は静止して、不要な周波数の発生が防止されますが、VCO キャリブレーションの終わりで、PLL ループが完全に安定する前に、出力からクロックが発生します。

VCO キャリブレーション・クロック分周器は、表 53 のように設定されます (0x018[2:1])。

キャリブレーション分周器は、PFD 周波数を分周して (リファレンス周波数 $\div R$)、キャリブレーション・クロックを発生します。キャリブレーションは、PFD 周波数をキャリブレーション分周比設定値で分周した周波数で行われます。VCO キャリブレーション・クロック周波数が低いほど、キャリブレーション時間が長くなります。

VCO キャリブレーション・クロック周波数は次式で表されます。

$$f_{CAL_CLOCK} = f_{REFIN} / (R \times cal_div)$$

ここで、 f_{REFIN} は REFIN 信号の周波数。R は R カウンタ値。 cal_div は VCO キャリブレーション分周器 (0x018[2:1]) に設定する分周比。

キャリブレーション周波数が 6.25 MHz より低くなるように、キャリブレーション分周比を設定する必要があります。表 30 に、キャリブレーション分周比の適切な値を示します。

表 30. さまざまな位相検出器周波数に対する VCO キャリブレーション分周比

PFD Rate (MHz)	Recommended VCO Calibration Divider
<12	Any
12 to 25	4, 8, 16
25 to 50	8, 16
50 to 100	16

VCO キャリブレーションには、4400 キャリブレーション・クロック・サイクルを要します。このため、PLL リファレンス・クロック・サイクル数で表す VCO キャリブレーション時間は、次式で表されます。

$$VCO \text{ キャリブレーション時間} =$$

$$4400 \times R \times cal_div \text{ PLL リファレンス・クロック・サイクル数}$$

AD9520 では PLL 設定を変更したとき、自動的に VCO をキャリブレーションしません。これにより、PLL レジスタ値を変更するごとに行う代わりに、レジスタを書き込む順序とキャリブレーションを開始するタイミングを決めるときの柔軟性が増えます。たとえば、その都度自動キャリブレーションを行うことなく VCO 周波数を少し変化させることができます。これは、VCO 制御電圧が公称最適性能規定値を超えないことをユーザーが知っているきのみ行うことができます。たとえば、数 100 kHz ステップは小さすぎるが、数 MHz にはできない場合です。さらに、キャリブレーション手順により VCO 周波数が急激に変化する場合、分配セクションはキャリブレーションが終わるまで自動的に SYNC 状態になります。このために、この出力の一時的な喪失が発生することが予測されます。

VCO キャリブレーションは次の条件で開始してください。

- PLL R、P、B、A の分周比設定を変更した後、または PLL リファレンス・クロック周波数を変更した後。これは実質的に、PLL レジスタまたはリファレンス・クロックが変更されるごとに、VCO 周波数が変わることを意味します。
- システム・キャリブレーションが必要とされる場合。VCO は反対側の温度限界値でキャリブレーションされていても、温度の両限界値内で正常に動作するようにデザインされていますが、VCO キャリブレーションは必要に応じて何時でも開始することができます。

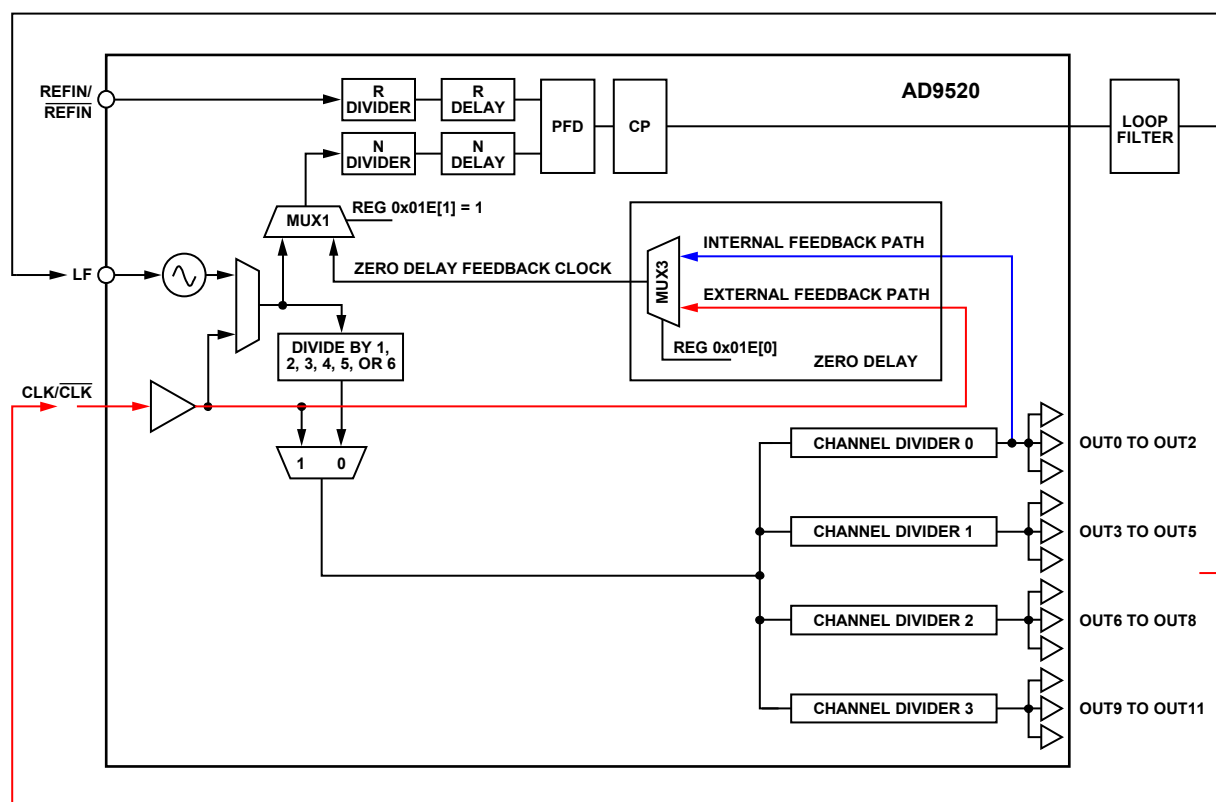


図 48.ゼロ遅延機能

ゼロ遅延動作

ゼロ遅延動作は、出力クロックの位相と外部 PLL リファレンス入力の位相を一致させます。AD9520 には、内部と外部の 2 つのゼロ遅延モードがあります。

内部ゼロ遅延モード

AD9520 の内部ゼロ遅延機能は、チャンネル分周器 0 の出力を PLL N 分周器へ帰還させることにより実現されています。図 48 に、内部ゼロ遅延モードの信号経路の変更を青で示します。

レジスタ 0x01E[2:1]=01b の設定を行うと、内部ゼロ遅延モードが選択されます。デフォルトの内部ゼロ遅延モードでは、チャンネル分周器 0 の出力が Mux3 と Mux1 を経由して PLL (N 分周器) へ戻されます(図 48 で青の帰還パス)。PLL は、チャンネル分周器 0 出力の位相/エッジとリファレンス入力の位相/エッジを一致させます。レジスタ 0x01E[4:3]の値を変えることにより、チャンネル分周器 1、チャンネル分周器 2、またはチャンネル分周器 3 もゼロ遅延帰還に指定することができます。

チャンネル分周器は相互に同期化されるため、チャンネル分周器の出力はリファレンス入力に同期化されます。PLL 内部の R 遅延と N 遅延は、出力ドライバと PLL コンポーネントからの伝搬遅延を補償し、クロック出力とリファレンス入力との間の位相オフセットを小さくしてゼロ遅延を実現するように、設定することができます。

外部ゼロ遅延モード

AD9520 の外部ゼロ遅延機能は、1 つのクロック出力を CLK 入力へ帰還し、最終的に PLL N 分周器へ戻すことにより実現されています。図 48 に、外部ゼロ遅延モードの信号経路変更を赤で示します。

0x01E[2:1] = 11 を設定すると、外部ゼロ遅延モードが選択されます。外部ゼロ遅延モードでは、12 個の出力クロック(OUT0～OUT11)の内の 1 個を CLK/CLK ピン、Mux3、Mux1 を経由して PLL (N 分周器)へ戻すことができます。この帰還パスを図 48 に赤で示します。

PLL は、帰還出力クロックの位相/エッジとリファレンス入力の位相/エッジを一致させます。チャンネル分周器は相互に同期化されるため、クロック出力はリファレンス入力に同期化されます。PLL 内部の R 遅延と N 遅延は、PLL コンポーネントからの伝搬遅延を補償し、クロック出力とリファレンス入力との間の位相オフセットを小さくするように、設定することができます。

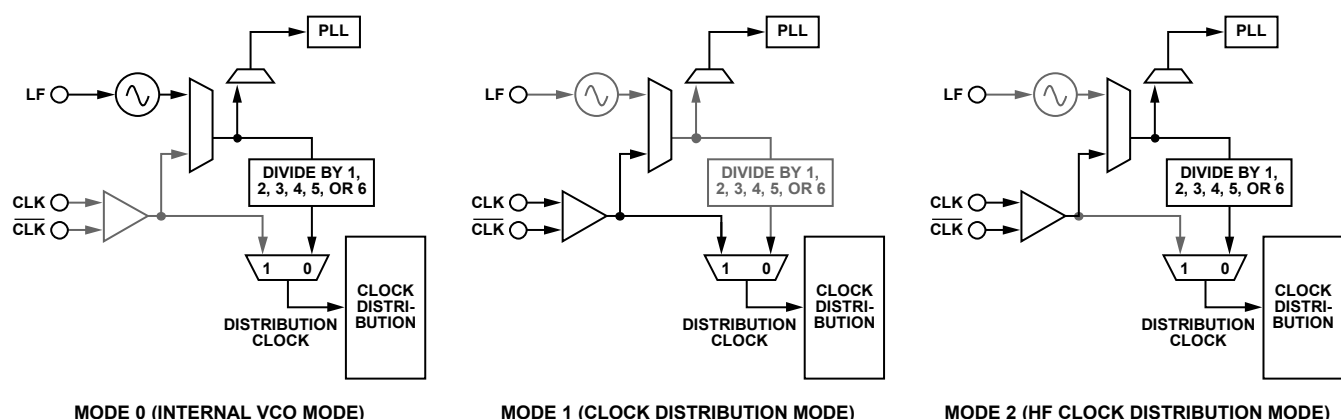


図 49.3 個のクロック分配動作モードの簡略化した図

クロック分配

1 つのクロック・チャンネルは、3 個の LVPECL クロック出力または共通分周器を共用する 6 個の CMOS クロック出力から構成されています。クロック出力は、出力ピンに接続されたドライバから構成されています。クロック出力には、LVPECL または CMOS のピンがあります。

AD9520 には 4 個のクロック・チャンネルがあります。各チャンネルには、専用のプログラマブルな分周器があり、入力に与えられたクロック周波数を分周します。チャンネル分周器は、1～32 の任意の整数で分周することができます。

AD9520 は、VCO 出力を 1、2、3、4、5、または 6 分周して各チャンネル分周器へ出力する VCO 分周器を内蔵しています。VCO 分周器には 2 つの用途があります。1 つ目は、チャンネル分周器の最大入力周波数を 1.6 GHz に制限することです。2 つ目は、AD9520 がシンプルなポスト分周器でのみ可能な低い周波数を発生できるようにすることです。CLK 入力に接続されている外部クロック信号も VCO 分周器を使用することができます。

チャンネル分周器を使うと、現在設定されている分周比に応じて、種々のデューティ・サイクルを選択することができます。すなわち、任意の分周比 D に対して、分周器出力を入力クロック・サイクル数 $N+1$ 間ハイ・レベルに、入力クロック・サイクル数 $M+1$ 間ロー・レベルに、それぞれ設定することができます(ここで、 $D=N+M+2$)。たとえば、分周比 5 を 1 分周器入力サイクル間ハイ・レベルに、4 サイクル間ロー・レベルに、あるいは分周比 5 を 3 分周器入力サイクル間ハイ・レベルに、2 サイクル間ロー・レベルに、それぞれ設定することができます。その他の組み合わせも可能です。

チャンネル分周器はデューティ・サイクル補正機能を内蔵しており、これはディスエーブルすることができます。上述の選択可能なデューティ・サイクルとは対照的に、この機能は奇数分周比で発生する非 50%のデューティ・サイクルを補正することができますが、分周比を $M=N+1$ に設定する必要があります。

さらに、チャンネル分周器を使うと、粗調整位相オフセットまたは遅延を設定することができます。選択した分周比に応じて、出力を最大 15 入力クロック・サイクル遅延させることができます。たとえば、チャンネル分周器入力での周波数が 1 GHz の場合、チャンネル分周器出力を最大 15 ns 遅延させることができます。分周器出力をハイ・レベルまたはロー・レベルからスタートさせることもできます。

動作モード

3 つのクロック分配動作モードがあり、これらを図 49 に示します。これらのモードの 1 つでは内蔵 VCO を使い、他の 2 つのモードでは内蔵 VCO をバイパスして、CLK/CLK ピンに入力された信号を使います。

モード 0 (内蔵 VCO モード)では、2 つの信号パスがあります。1 つ目のパスでは、VCO 信号が VCO 分周器へ送られ、次に個々のチャンネル分周器へ送られます。2 つ目のパスでは、VCO とチャンネル分周器をバイパスして、VCO 信号が直接ドライバへ送られます。

CLK をソースとして選択したとき、CLK 周波数が最大チャンネル分周器入力周波数(1600 MHz)より低い場合は、VCO 分周器を使う必要はありません。その他の場合は、VCO 分周器を使ってチャンネル分周器へ行く周波数を下げる必要があります。

表 31 に、VCO、CLK、VCO 分周器を選択する方法を示します。0x1E1[1:0]を使って、チャンネル分周器のソースを選択し、VCO 分周器の使用の有無を指定します。VCO 分周器の使用なしで VCO を選択することはできません。

表 31.動作モード

Mode	0x1E1		Channel Divider Source	VCO Divider
	[1]	[0]		
2	0	0	CLK	Used
1	0	1	CLK	Not used
0	1	0	VCO	Used
	1	1	Not allowed	Not allowed

CLK または VCO の直接 LVPECL 出力

内蔵 VCO または CLK (VCO 分周器への入力として選択した方)を直接 LVPECL 出力へ接続することができます。この構成では、VCO の最大周波数までの周波数を直接 LVPECL 出力へ渡すことができますが、LVPECL 出力は最高周波数で表 4 の V_{OD} 仕様を満たすことができないことがあります。

内蔵 VCO または CLK を直接出力構成の信号ソースとして選択することができます。LVPECL 出力を直接内蔵 VCO または CLK に接続するときは、VCO 分周器を使用しているチャンネルがない場合でも、VCO 分周器を分配セクションへのソースとして選択する必要があります。

表 32.VCO 分周器入力を出力へ直接接続

Register Setting	Selection
0x1E1[1:0] = 00b	CLK is the source; VCO divider selected
0x1E1[1:0] = 10b	VCO is the source; VCO divider selected
0x192[1] = 1b	Direct-to-output OUT0, OUT1, OUT2
0x195[1] = 1b	Direct-to-output OUT3, OUT4, OUT5
0x198[1] = 1b	Direct-to-output OUT6, OUT7, OUT8
0x19B[1] = 1b	Direct-to-output OUT9, OUT10, OUT11

クロック周波数分周比

総合周波数分周比は、VCO 分周器(使用の場合)とチャンネル分周器の組み合わせになります。VCO 分周器を使用する場合、VCO または CLK から出力までの総合分周比は、VCO 分周器(1、2、3、4、5、6)とチャンネル分周器の積になります。表 33 に、チャンネルの周波数比の設定方法を示します。

表 33.周波数分周比

CLK or VCO Selected	VCO Divider Setting ¹	Channel Divider Setting	Direct-to-Output Setting	Resulting Frequency Division
CLK or VCO input	1 to 6	Don't care	Enable	1
CLK or VCO input	1 to 6	2 to 32	Disable	(1 to 6) × (2 to 32)
CLK or VCO input	2 to 6	Bypass	Disable	(2 to 6) × (1)
CLK or VCO input	1	Bypass	Disable	Output static (illegal state)
CLK (internal VCO off)	VCO divider bypassed	Bypass	Don't care	1
CLK (internal VCO off)	VCO divider bypassed	2 to 32	Don't care	2 to 32

¹ VCO 分周器のバイパス(0x1E1[0] = 1)は VCO 分周器 = 1 と異なります。

出力ドライバに接続されるチャンネル分周器には 2～32 分周の分周器が 1 個含まれます。この分周器は 1 分周から 32 分周まで可能です。1 分周では分周器をバイパスします。分周器はプログラマブルなデューティ・サイクルも提供し、分周比が奇数の場合にはオプションのデューティ・サイクル補正機能が付きます。位相オフセットまたは遅延は、入力クロック・サイクルのインクリメント単位で選択することができます。チャンネル分周器は、入力で最大 1600 MHz の信号に対して動作します。分周器の機能と設定は、該当するセットアップ・レジスタとコントロール・レジスタを書き込む行うことにより選択します(表 49～表 60 参照)。

VCO 分周器

VCO 分周器は、内蔵 VCO または外部 CLK 入力とクロック分配チャンネル分周器の間での周波数分周を行います。VCO 分周器では 1、2、3、4、5、6 の分周比を設定することができます(表 56、0x1E0[2:0])が、VCO 分周器に 1 を設定すると、バイパスできるチャンネル出力分周器がなくなります。

また、VCO 分周器をスタティックに設定することができ、必要とされる出力周波数が VCO 周波数だけであるアプリケーションでこの機能は便利です。VCO 分周器をスタティックにすると、スプリアス・フリー・ダイナミック・レンジ(SFDR)が広がります。VCO キャリブレーション時に VCO 分周器がスタティックである場合、出力信号はありません。このため、VCO キャリ

ブレーション時に、VCO 分周器に非スタティック値を設定して VCO のキャリブレーションを行い、VCO キャリブレーション後に VCO 分周器をスタティックに設定することが推奨されます。

同じ SFDR 性能を得るもう 1 つの推奨方法は、VCO 分周器に 1 を設定し、VCO 直接モードをイネーブルする方法です。この方法を使うと、EEPROM に所望の値を書き込むだけで、VCO キャリブレーション後のアクションは不要になります。

チャンネル分周器

チャンネル分周器は、3 個の LVPECL 出力の各グループを駆動します。4 個のチャンネル分周器(0、1、2、3)があり、12 個の LVPECL 出力(OUT0～OUT11)を駆動します。表 34 に、これらの分周器の分周比とその他の機能の設定に使うレジスタのロケーションを示します。分周比は M と N の値で設定されます。バイパス・ビットを設定して、分周器をバイパスすることができます(分周比 1 と同じ、分周回路はパワーダウン)。ディスエーブル div DCC ビットの設定に従って、デューティ・サイクル補正機能をイネーブル/ディスエーブルすることができます。

表 34.出力分周器に対する D_X の設定

Divider	Low Cycles M	High Cycles N	Bypass	Disable Div DCC
0	0x190[7:4]	0x190[3:0]	0x191[7]	0x192[0]
1	0x193[7:4]	0x193[3:0]	0x194[7]	0x195[0]
2	0x196[7:4]	0x196[3:0]	0x197[7]	0x198[0]
3	0x199[7:4]	0x199[3:0]	0x19A[7]	0x19B[0]

チャンネル周波数分周(0、1、2、3)

各チャンネル(チャンネル x 番号は 0、1、2、3)の周波数分周比 D_xは、M と N の値(10 進値 0～15 を表す 4 ビット)により設定されます。ここで、

$$\text{ロー・サイクル数} = M + 1$$

$$\text{ハイ・サイクル数} = N + 1$$

ハイとローのサイクル数は、チャンネル分周器の入力(VCO 分周器 out or CLK)へ現在接続されているクロック信号のサイクル数。

分周器のバイパス時は、D_x = 1。

その他の場合は、D_x = (N + 1) + (M + 1) = N + M + 2。これにより、各チャンネル分周器では任意の整数 1～32 の分周比が可能になります。

デューティ・サイクルとデューティ・サイクルの補正

チャンネル出力でのクロック信号のデューティ・サイクルは、次の条件の一部または全部により決定されます。

- チャンネルに対する M と N の値
- DCC のイネーブル/ディスエーブル
- VCO 分周器のイネーブル/バイパス
- CLK 入力のデューティ・サイクル(内蔵 VCO のデューティ・サイクルは 50%)

DCC 機能はデフォルトで各チャンネル分周器に対してイネーブルされていますが、DCC 機能は、各チャンネルのディスエーブル分周器 DCC ビットを設定して、そのチャンネル分周器を個別にディスエーブルすることができます。

チャンネル分周器の M と N のある値では、デューティ・サイクルが 50%にならなくなります。非 50%のデューティ・サイクルは、M ≠ N のとき偶数分周比でも発生します。デューティ・サイクル補正機能は、チャンネル分周器出力での非 50%デューティ・サイクルを 50%デューティ・サイクルに自動的に補正します。

デューティ・サイクル補正機能では次のチャンネル分周器条件が必要です。

- 偶数分周比は $M = N$ として設定する必要があります。
- 奇数分周比は $M = N + 1$ として設定する必要があります。

DCC 機能によりバイパスまたは補正されない場合、各チャンネル分周器出力のデューティ・サイクルは、パーセント値であらわした $(N + 1)/(N + M + 2)$ になります。

種々の設定値に対するチャンネル分周器出力でのデューティ・サイクルを表 35～表 38 に示します。

表 35. チャンネル分周器出力のデューティ・サイクル、VCO 分周器≠1、入力デューティ・サイクル= 50%

VCO Divider	D _X	Output Duty Cycle	
	N + M + 2	Disable Div DCC = 1	Disable Div DCC = 0
Even	Channel divider bypassed	50%	50%
Odd = 3	Channel divider bypassed	33.3%	50%
Odd = 5	Channel divider bypassed	40%	50%
Even, odd	Even	$(N + 1)/(N + M + 2)$	50%, requires M = N
Even, odd	Odd	$(N + 1)/(N + M + 2)$	50%, requires M = N + 1

表 36. チャンネル分周器出力のデューティ・サイクル、VCO 分周器≠1、入力デューティ・サイクル= X%

VCO Divider	D _X	Output Duty Cycle	
	N + M + 2	Disable Div DCC = 1	Disable Div DCC = 0
Even	Channel divider bypassed	50%	50%
Odd = 3	Channel divider bypassed	33.3%	$(1 + X\%)/3$
Odd = 5	Channel divider bypassed	40%	$(2 + X\%)/5$
Even	Even	$(N + 1)/(N + M + 2)$	50%, requires M = N
Even	Odd	$(N + 1)/(N + M + 2)$	50%, requires M = N + 1
Odd = 3	Even	$(N + 1)/(N + M + 2)$	50%, requires M = N
Odd = 3	Odd	$(N + 1)/(N + M + 2)$	$(3N + 4 + X\%)/(6N + 9)$, requires M = N + 1
Odd = 5	Even	$(N + 1)/(N + M + 2)$	50%, requires M = N
Odd = 5	Odd	$(N + 1)/(N + M + 2)$	$(5N + 7 + X\%)/(10N + 15)$, requires M = N + 1

表 37. チャンネル分周器出力のデューティ・サイクル、VCO 分周器をイネーブルして 1 に設定

Input Clock Duty Cycle	D _X	Output Duty Cycle	
	N + M + 2	Disable Div DCC = 1	Disable Div DCC = 0
Any	Even	$(N + 1)/$	50%, requires M = N

50%	Odd	$(M + N + 2)$ $(N + 1)/$ $(M + N + 2)$	50%, requires M = N + 1
X%	Odd	$(N + 1)/$ $(M + N + 2)$	$(N + 1 + X\%)/(2 \times N + 3)$, requires M = N + 1

VCO 分周器= 1 のときはチャンネル分周器をイネーブルする必要があることに注意。

表 38. チャンネル分周器出力のデューティ・サイクル、VCO 分周器をバイパス

Input Clock Duty Cycle	D _X	Output Duty Cycle	
	N + M + 2	Disable Div DCC = 1	Disable Div DCC = 0
Any	Channel divider bypassed	Same as input duty cycle	Same as input duty cycle
Any	Even	$(N + 1)/$ $(M + N + 2)$	50%, requires M = N
50%	Odd	$(N + 1)/$ $(M + N + 2)$	50%, requires M = N + 1
X%	Odd	$(N + 1)/$ $(M + N + 2)$	$(N + 1 + X\%)/(2 \times N + 3)$, requires M = N + 1

内蔵 VCO のデューティ・サイクルは 50%です。このため、VCO を出力へ直接接続すると、デューティ・サイクルは 50%になります。CLK 入力を出力へ直接接続すると、出力のデューティ・サイクルは CLK 入力と同じになります。

位相オフセットまたは粗調整時間遅延

各チャンネル分周器を使うと、レジスタ・ビットを設定して位相オフセットまたは粗調整時間遅延を設定することができます(表 39 参照)。これらの設定は、分周器出力の立ち上がりエッジをオフセットまたは遅延させる、チャンネル分周器入力周波数のサイクル数(連続立ち上がりエッジ数)を指定します。この遅延は遅延ない出力(位相オフセットがゼロ)を基準とします。遅延の大きさは、位相オフセット(PO)レジスタに格納されている 5 ビットと各チャンネル分周器のスタート・ハイ(SH)ビットの和により設定されます。スタート・ハイ・ビットがセットされると、遅延は分周器に設定されたロー・サイクル数(M)の影響も受けます。

位相オフセットを有効にするときは SYNC 機能を使う必要があります(出力の同期—SYNC 機能のセクション参照)。

表 39. 位相オフセットと分周比の設定

Divider	Start High (SH)	Phase Offset (PO)	Low Cycles M	High Cycles N
0	0x191[4]	0x191[3:0]	0x190[7:4]	0x190[3:0]
1	0x194[4]	0x194[3:0]	0x193[7:4]	0x193[3:0]
2	0x197[4]	0x197[3:0]	0x196[7:4]	0x196[3:0]
3	0x19A[4]	0x19A[3:0]	0x199[7:4]	0x199[3:0]

Δ_t = 遅延(sec)。

$\bar{A}_c$ = 遅延(D_X 入力でのクロック信号のサイクル数)。

T_X = 分周器 D_X の入力でのクロック信号の周期(sec)。

とすると、

$$\Phi = 16 \times SH[4] + 8 \times PO[3] + 4 \times PO[2] + 2 \times PO[1] + 1 \times PO[0]$$

チャンネル分周比は、 $N = \text{ハイ} \cdot \text{サイクル数}$ 、 $M = \text{ロー} \cdot \text{サイクル数}$ として設定。

ケース 1

$\Phi \leq 15$ の場合、 $\Delta_t = \Phi \times T_X \Delta_c = \Delta_i / T_X = \Phi$

ケース 2

$\Phi \geq 16$ の場合、 $\Delta_t = (\Phi - 16 + M + 1) \times T_X \Delta_c = \Delta_i / T_X$

各デバイダに異なる位相オフセットを設定すると、出力-出力間遅延をチャンネル分周器入力クロック・サイクルのインクリメントで設定することができます。図 50 に、出力間にこのような粗調整オフセットを設定した結果を示します。

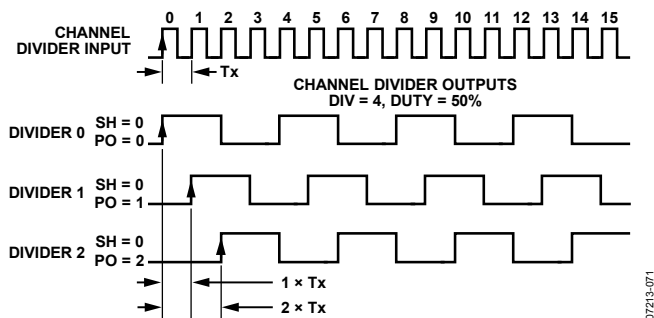


図 50.粗調整位相オフセット(または遅延)の効果

出力の同期—SYNC 機能

AD9520 のクロック出力は互いに同期化することができます。出力を個別に同期から除外することができます。同期機能は、非除外出力をスタティック条件の既定セットに追加する設定から構成されています。これらの条件には、与えられたチャンネル分周器に対する分周比と位相オフセットが含まれます。この機能を使うと、4 個のチャンネル分周器の各々に対して異なる分周比と位相オフセットを指定することができます。SYNC ピンを解除すると、出力は規定条件を使ってクロック駆動を続けることができます。

出力の同期は、次の複数の方法で実行されます。

- SYNC ピンをロー・レベルにして次に解除します(マニュアル同期)。
- ソフト SYNC ビット(0x230[0])、ソフト・リセット・ビット(0x000[5] [mirrored])、パワーダウン分配リファレンス・ビット(0x230[1])の 3 ビットのいずれかを、セットし次にリセットします。
- 出力の同期は、チップのパワーアップ・シーケンスの一部として実行することができます。
- RESET ピンをロー・レベルにして次に解除します(チップ・リセット)。

- PD ピンをロー・レベルにして次に解除します(チップ・パワーダウン)。
- VCO キャリブレーションが完了するごとに、内部 SYNC 信号が開始時に自動的にアサートされ、VCO キャリブレーションの完了後に解除されます。

SYNC 機能を実行する最も一般的な方法は、SYNC ピンを使って出力のマニュアル同期を行う方法です。この方法では SYNC ピンでロー・レベルになる信号が必要で、同期が必要なときにロー・レベルにし、その後で解除します。SYNC 動作のタイミングを図 51 (VCO 分周器を使用)と図 52 (VCO 分周器を非使用)に示します。チャンネル分周器入力で、クロックの最大 1 サイクル分の不確実性があります。これは、AD9520 内部のクロック・エッジを基準とする SYNC 信号同期の性質によるものです。

SYNC の立ち上がりエッジから同期化された出力クロックの開始までのパイプライン遅延は、チャンネル分周器入力でのクロックの 14 ~ 15 サイクルに、VCO 分周器使用の有無に応じて、VCO 分周器入力の 1 サイクル(図 51)またはチャンネル分周器入力 1 サイクル(図 52)を加算した値になります。サイクル数は、信号の立ち上がりエッジからカウントします。さらに、SYNC 信号から内部同期ロジックまでの遅延 1.2 ns (typ)と出力ドライバの伝搬遅延が加わります。ドライバの伝搬遅延は LVPECL ドライバで約 100 ps、CMOS ドライバで約 1.5 ns です。

SYNC 機能を実行するもう 1 つの一般的な方法は、0x230[0]のソフト SYNC ビットをセットしてリセットする方法です。ソフト SYNC ビットのセットとリセットでは、全レジスタ更新動作(0x232[0]=1b)が有効である必要があります。

SYNC 動作では、出力の同期駆動を可能にする前に既定条件から除外(SYNC ビット無視で指定)されていないすべての出力が対象になります。既定条件では、各チャンネルのスタート・ハイ・ビットと位相オフセットの設定を考慮しています。これらの設定は、SYNC 動作が発生したときの各出力のスタティック状態と SYNC 動作完了時にクロック駆動を再開するときの出力の状態と相対位相を制御します。出力間で同期後に、この機能により位相オフセットの設定が可能になります。

AD9520 の差動 LVPECL 出力は各 3 個からなる 4 つのグループで構成され、各 3 個でチャンネル分周器を共用しています。CMOS の場合、各 LVPECL 差動対は 2 個のシングルエンド CMOS 出力として構成することができます。同期条件は、チャンネル分周器に属するすべてのドライバに適用されます。

各チャンネル(分周器と出力)は、そのチャンネルの SYNC 無視ビットを設定して、SYNC 動作から除外することができます。SYNC 無視(除外チャンネル)が設定されたチャンネルは、SYNC 動作時に出力をスタティックに設定することではなく、出力は同期対象に含まれるチャンネルの出力と同期しません。

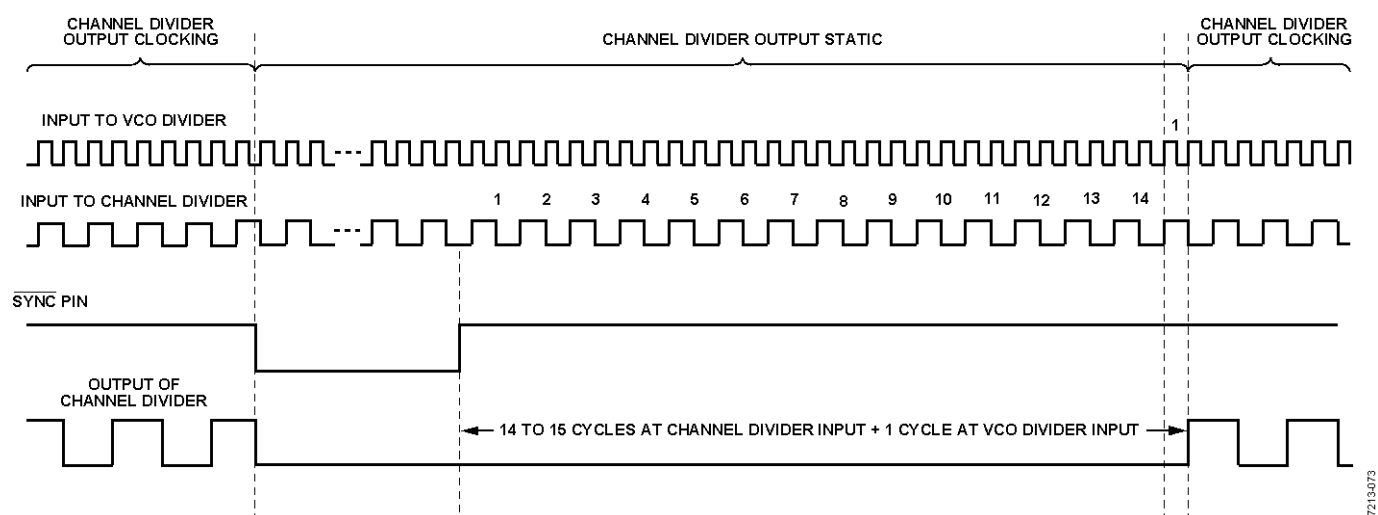


図 51.VCO 分周器使用時の SYNC タイミング・パイプライン遅延—CLK または VCO が入力

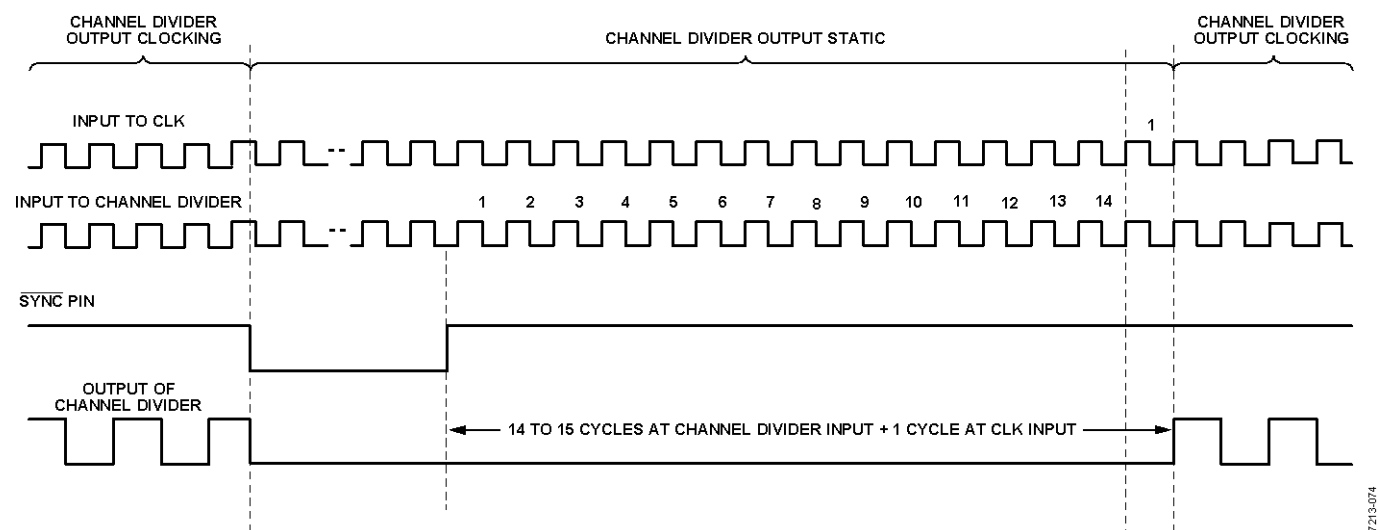


図 52.VCO 分周器非使用時の SYNC タイミング・パイプライン遅延—CLK のみが入力

LVPECL 出力ドライバ

LVPECL 差動電圧(V_{OD})は選択可能です(約 400 mV~960 mV、レジスタ 0x0F0 ~ レジスタ 0x0FB のビット 1 とビット 2 参照)。LVPECL 出力には専用電源ピン(VS_DRV)があるため、別電源を使うことができます。VS_DRV には、2.5 V または 3.3 V を入力することができます。

LVPECL 出力極性は非反転または反転に設定することができます。この機能により、アプリケーション内でボード・レイアウトの変更なしで出力の相対極性を調整することができます。各 LVPECL 出力は、必要に応じてパワーダウンまたはパワーアップすることができます。LVPECL 出力ステージのアーキテクチャのため、あるパワーダウン条件のもとで電氣的オーバーストレスとブレイクダウンが発生する可能性があります。

このため、LVPECL 出力にはトータル・パワーダウンとセーフ・パワーダウンの2つのパワーダウン・モードがあります。

トータル・パワーダウン・モードでは、すべての出力ドライバが同時にシャットオフします。出力ピンに外付け電圧バイアス・ネットワーク(DC 電圧がパワーダウン出力に現れるテブナン等価終端など)がある場合には、このモードを使用しないよう

にする必要がありますが、LVPECL ドライバがブルダウン抵抗だけで終端されている場合には、トータル・パワーダウン・モードを使用することができます。トータル・パワーダウン・モードは、0x230[1]の設定により開始されます。

プライマリ・パワーダウン・モードはセーフ・パワーダウン・モードです。このモードでは、パワーダウン時にも出力デバイスの保護を続けます。セーフ・パワーダウン・モードを開始させる方法としては、各ドライバのパワーダウン・ビットを個別に設定、個別に出力チャンネルをパワーダウン(そのチャンネルに接続されている全ドライバが自動的にパワーダウン)、スリープ・モードを開始の3つの方法があります。

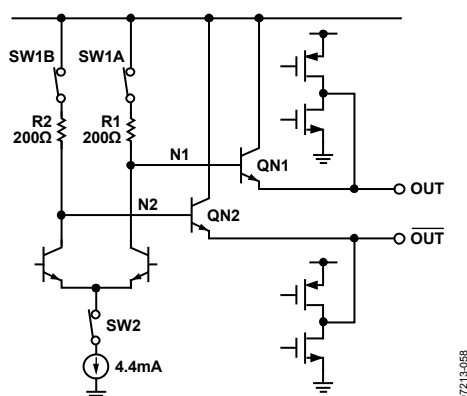


図 53. LVPECL 出力の簡略化した等価回路

CMOS 出力ドライバ

各 LVPECL 出力を CMOS 出力対として個別に設定することもできます。これにより、最大 24 個の CMOS 出力が使用可能です。出力を CMOS に構成すると、CMOS 出力 A と CMOS 出力 B は自動的にターンオンします。与えられた差動対に対して、CMOS 出力 A または出力 B を独立にターンオンまたはターンオフすることができます。また、反転と非反転の任意の組み合わせに対して CMOS 出力の相対極性を選択することができます (レジスタ 0x0F0～レジスタ 0x0FB)。

省電力のために各 CMOS 出力をパワーダウンさせることができます。CMOS 出力のパワーダウンは、イネーブル CMOS 出力レジスタ (0x0F0[6:5]～0x0FB[6:5]) から個別に制御されます。CMOS ドライバは、パワーダウンされるとスリーステートになります。

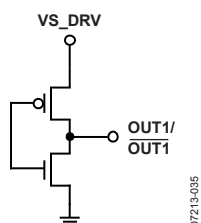


図 54. CMOS 等価出力回路

リセット・モード

AD9520 には、パワーオン・リセット(POR)とチップにリセット条件を与えるその他の複数の方法があります。

パワーオン・リセット

チップ・パワーアップ時に、VS が約 2.6 V (<2.8 V) に到達するとパワーオン・リセット・パルスが発行され、チップは EEPROM に格納されている設定値 (EEPROM ピン= 1) または内蔵設定値 (EEPROM ピン= 0) に戻されます。パワーオン時に、AD9520 は SYNC 動作も実行して、デフォルト設定に従って出力位相を一致させます。パワーオン・リセット・パルス信号が内部で発生してから出力のトグルが開始されるまでに約 70 ms を要します。

RESET ピンによるハードウェア・リセット

RESET のハード・リセット (RESET を短時間ロー・レベルにすると、同期ハード・リセットが実行されます) は、チップを EEPROM に格納されている設定値 (EEPROM ピン= 1) または内蔵設定値 (EEPROM ピン= 0) に戻します。またハード・リセットは SYNC 動作も実行して、デフォルト設定に従って出力位相を一

致させます。EEPROM が非アクティブ (EEPROM ピン= 0) のとき、RESET の発行から出力のトグル開始まで約 2 μs を要します。EEPROM がアクティブ (EEPROM ピン= 1) のとき、RESET がハイ・レベルになってから出力のトグル開始まで約 20 ms を要します。

シリアル・ポートからのソフト・リセット

シリアル・ポート・コントロール・レジスタを使うと、レジスタ 0x000 のビット 2 とビット 5 を設定して、ソフト・リセットを行うことができます。ビット 5 とビット 2 をセットすると、チップはソフト・リセット・モードを開始して、チップを EEPROM に格納されている設定値 (EEPROM ピン= 1) または内蔵設定値 (EEPROM ピン= 0) に戻します。ただし、レジスタ 0x000 は除外されます。これらのビットはセルフ・クリア・ビットです。内部リセット時、出力はスタティクになります。

シリアル・ポートを介して EEPROM ピン= 0 を設定した EEPROM 格納設定値へのソフト・リセット

シリアル・ポート・コントロール・レジスタを使うと、0xB02[1]を使って EEPROM ピン= 1 を設定して EEPROM 格納の設定値にチップをリセットすることができます。このビットはセルフ・クリア・ビットです。このビットは、EEPROM ピン= 0 のときは無効です。Soft_EEPROM レジスタがクリアされてから出力のトグル開始まで約 20 ms を要します。

パワーダウン・モード

PD によるチップ・パワーダウン

PD ピンをロー・レベルにすると、AD9520 をパワーダウン状態にすることができます。パワーダウンでは、AD9520 内部の大部分の機能と電流がターンオフします。PD がハイ・レベルに戻るまでチップはパワーダウン状態に留まります。PD ピンがロー・レベルのときにレジスタが変更されないかぎり、パワーダウン・モードから抜け出ると、AD9520 はパワーダウンの前にレジスタに書き込まれた設定値に戻ります。

チップをパワーダウンさせると、セーフ・シャットダウン・モードで LVPECL 出力を維持するために必要なバイアス電流を除くチップ内の電流がシャットダウンします。LVPECL バイアス電流は、ある種の終端と負荷設定値によりスリーステート時に発生する損傷から LVPECL 出力回路を保護するために必要です。これは完全なパワーダウンでないため、スリープ・モードと呼ばれます。AD9520 は、スリープ・モードの開始または終了時に出力に小さなパルスが発生するのを防止する特別な回路を内蔵しています。

AD9520 が PD パワーダウンしているとき、チップは次の状態になります。

- PLL がオフ (非同期パワーダウン)。
- VCO がオフ。
- CLK 入力バッファがオフ、ただし CLK 入力 DC バイアス回路はオン。
- 差動モードでは、リファレンス入力バッファがオフ、DC バイアス回路もオン。
- シングルエンド・モードでは、リファレンス入力バッファがオフ、DC バイアス回路もオフ。
- 全分周器がオフ。
- 全 CMOS 出力がスリーステート。

- 全 LVPECL 出力がセーフ・オフ・モード。
- シリアル・コントロール・ポートがアクティブで、チップはコマンドに応答可能。

PLL のパワーダウン

AD9520 の PLL セクションは、選択的にパワーダウンすることができます。レジスタ 0x010[1:0]から設定される PLL パワーダウン・モードには、非同期と同期の 2 つがあります。

非同期パワーダウン・モードでは、レジスタが更新されると、直ちにデバイスがパワーダウンされます。同期パワーダウン・モードでは、不要な周波数ジャンプを防止するため、PLL パワーダウンはチャージ・ポンプでゲーティングされます。レジスタが更新された後の次のチャージ・ポンプ・イベントの発生で、デバイスはパワーダウンします。

分配のパワーダウン

レジスタに 0x230[1] = 1b を書き込むと、分配セクションをパワーダウンさせることができます。これにより、分配セクションへのバイアスがターンオフされます。LVPECL パワーダウン・モードがノーマル動作(0b)の場合、その LVPECL 出力に低インピーダンス負荷があると、このパワーダウン時に大きな電流が流れます。LVPECL パワーダウン・モードに 1b が設定されてい

る場合、LVPECL 出力は逆バイアスから保護されないため、ある終端条件で損傷することがあります。

個別クロック出力のパワーダウン

該当するレジスタに個別に書き込むことにより、すべてのクロック分配出力をパワーダウンさせて、セーフ・パワーダウン・モードにすることができます。レジスタ・マップに、各出力に対する個別パワーダウン設定を示します。これらの設定値は、レジスタ 0x0F0[0]～レジスタ 0x0FD[0]に配置されています。

個別クロック・チャンネルのパワーダウン

該当するレジスタに書き込むと、すべてのクロック分配出力を個別にパワーダウンすることができます。クロック・チャンネルのパワーダウンは個別ドライバのパワーダウンと同じですが、分周器もパワーダウンされるため、節約される消費電力が大きくなります。クロック・チャンネルをパワーダウンさせると、それに接続されているドライバも自動的にパワーダウンします。レジスタ・マップに、各出力チャンネルに対する個別パワーダウン設定を示します。これらの設定は、0x192[2]、0x195[2]、0x198[2]、0x19B[2]に配置されています。

シリアル・コントロール・ポート

AD9520 のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。AD9520 のシリアル・ポートは、フィリップス社の I²C プロトコル、モトローラ社の SPI[®]プロトコル、Intel[®]社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。AD9520 の I²C は 2 つの仕様に関する従来型 I²C 仕様から派生したもので、これらの派生についてはこのデータシートの表 14 に示してあります。シリアル・コントロール・ポートを使うと、AD9520 を設定するすべてのレジスタに対するリード/ライト・アクセスが可能になります。

SPI/I²C ポートの選択

AD9520 には、SPI と I²C の 2 つのシリアル・インターフェースがあります。3 ロジック・レベル(ハイ・レベル、オープン、ロー・レベル)入力ピン(SPI と SP0)の状態に応じて、SPI または I²C を選択することができます。SPI と SP0 がハイ・レベルのとき、SPI インターフェースがアクティブになります。その他の場合は、I²C がアクティブになり、8 種類の I²C スレーブ・アドレス(7 ビット幅)設定値になります(表 40 参照)。スレーブ・アドレスの上位 4 ビットは、1011 にハードウェア固定され、下位 3 ビットが SPI と SP0 により設定されます。

表 40.シリアル・ポート・モードの選択

SPI	SP0	Address
Low	Low	FC, 1011000
Low	Open	FC, 1011001
Low	High	FC, 1011010
Open	Low	FC, 1011011
Open	Open	FC, 1011100
Open	High	FC, 1011101
High	Low	FC, 1011110
High	Open	FC, 1011111
High	High	SPI

I²C シリアル・ポートの動作

AD9520 の I²C ポートは、I²C 高速モード規格を採用しています。AD9520 は、標準モード(100 kHz)と高速モード(400 kHz)の I²C プロトコルをサポートしています。

AD9520 は、シリアル・データ・ライン(SDA)とシリアル・クロック・ライン(SCL)で構成される I²C 互換の 2 線式インターフェースを内蔵しています。I²C バス・システムでは、AD9520 はスレーブ・デバイスとしてシリアル・バス(データ・バス SDA とクロック・バス SCL)に接続されます。すなわち、クロックは AD9520 から発生されます。AD9520 は、従来型の 8 ビット(1 バイト)メモリ・アドレッシングではなく、ダイレクト 16 ビット(2 バイト)メモリ・アドレッシングを採用しています。

I²C バスの特性

表 41.I²C バスの定義

Abbreviation	Definition
S	Start
Sr	Repeated Start
P	Stop
A	Acknowledge
$\overline{A}$	No acknowledge
W	Write
R	Read

各転送データ・ビットに対して SCL クロック・ラインに 1 パルスが発生されます。

SDA ライン上のデータは、クロックのハイ・レベル中に変化することはできません。データ・ラインの状態は、SCL ラインのクロックがロー・レベルのとき変化することができます。

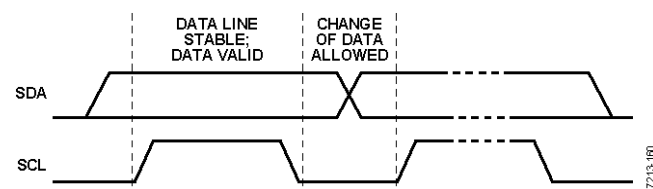


図 55.有効なビット転送

スタート条件は、SCL のハイ・レベル中に SDA ラインがハイ・レベルからロー・レベルへ変化することとして定義されます。スタート条件は、データ転送を初期化する際に常にマスターから発生されます。

ストップ条件は、SCL のハイ・レベル中に SDA ラインがロー・レベルからハイ・レベルへ変化することとして定義されます。ストップ条件は、データ転送を終了させる際に常にマスターから発生されます。

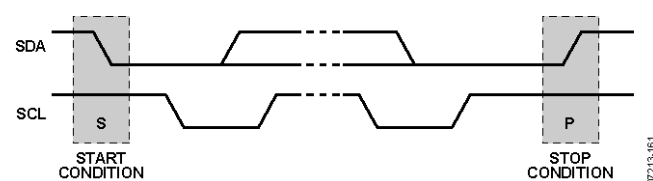


図 56.スタート条件とストップ条件

SDA ライン上の 1 バイトは常に 8 ビット長です。アクノリッジ・ビットが各バイトの後ろに続く必要があります。バイトは MSB ファーストで送信されます。

アクノリッジ・ビットは、すべての 8 ビットのデータ・ワードに追加された 9 番目のビットです。アクノリッジ・ビットは、バイトが受信されたことをトランスミッタへ通知するために常に受信デバイス(レシーバ)から発生されます。これは、各 8 ビット・データ・バイトの後ろの 9 番目のクロック・パルスの間 SDA ラインをロー・レベルにすることにより発生されます。

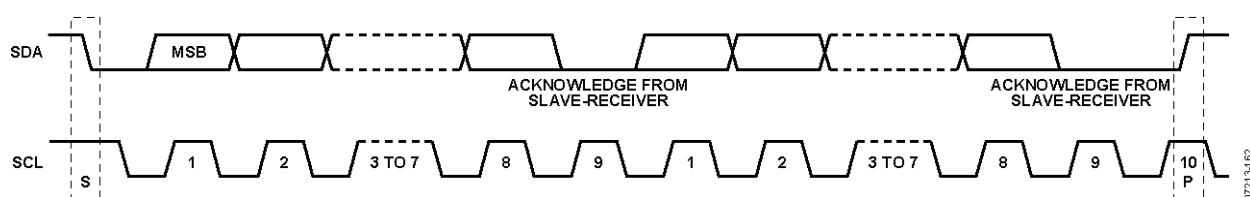


図 57. アクノリッジ・ビット

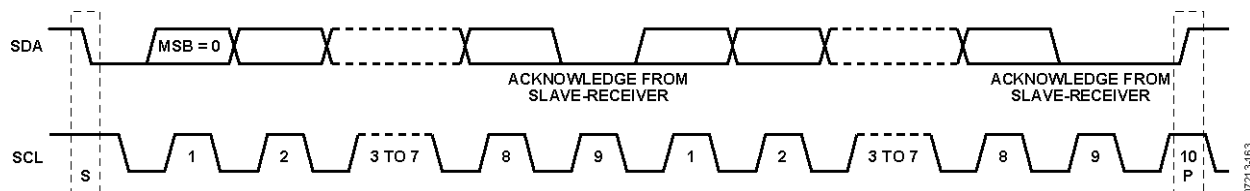


図 58. データ転送処理(マスタ・ライト・モード、説明用に 2 バイトを転送)

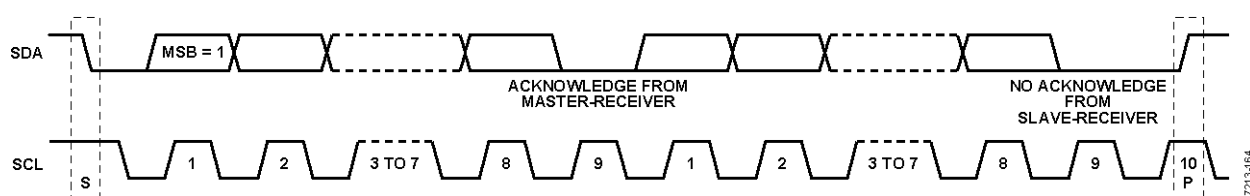


図 59. データ転送処理(マスタ・リード・モード、説明用に 2 バイトを転送)

ナック・ビットが、8 ビットのデータ・ワードの後ろの 9 番目のビットに追加されます。ナック・ビットは、バイトが受信されないことをトランスミッタへ通知するために常に受信デバイス(レシーバ)から発生されます。これは、各 8 ビット・データ・バイトの後ろの 9 番目のクロック・パルスの間 SDA ラインをハイ・レベルにすることにより発生されます。

データ転送処理

マスターは、スタート条件をアサートしてデータ転送を開始します。このスタート条件は、アドレス/データ・ストリームが後ろに続くことを表示しています。シリアル・バスに接続されたすべての IC スレーブ・デバイスは、スタート条件にตอบสนองします。

次に、マスターは SDA ラインを介して 7 ビットのスレーブ・アドレス(MSB ファースト)と R/W ビットで構成される 8 ビットのアдрес・バイトを送信します。R/W ビットはデータ転送方向、すなわちスレーブ・デバイスに対してデータの書き込みまたは読み出しを指定します(0 = 書き込み、1 = 読み出し)。

送信されたアドレスに対応するアドレスを持つペリフェラルは、アクノリッジ・ビットを送信して応答します。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/W ビットが 0 の場合は、マスター(トランスミッタ)がスレーブ・デバイス(レシーバ)に対して書き込みを行います。R/W ビットが 1 の場合は、マスター(レシーバ)がスレーブ・デバイス(トランスミッタ)から読み出しを行います。

これらのコマンドのフォーマットは、データ転送フォーマットのセクションで説明します。

次に、データがシリアル・バスを介して 9 クロック・パルスと 1 データ・バイト(8 ビット)のフォーマットでマスター(書き込みモード)またはスレーブ(読み出しモード)から送信され、受信デ

バイスからのアクノリッジ・ビットが後ろに続きます。1 転送で送信できるバイト数には制限がありません。書き込みモードでは、スレーブ・アドレス・バイトの直後の先頭の 2 データ・バイトは、内部メモリ(コントロール・レジスタ)アドレス・バイトで、上位アドレス・バイトが先頭です。このアドレッシング方式では最大 $2^{16} - 1 = 65,535$ 個のメモリ・アドレスが可能です。これら 2 メモリ・アドレス・バイトの後ろのデータ・バイトは、コントロール・レジスタに書き込まれるレジスタ・データです。読み出しモードでは、スレーブ・アドレス・バイトの後ろのデータ・バイトは、コントロール・レジスタから読み出されたレジスタ・データです。

全データ・バイトの読み出しまたは書き込みが終了すると、ストップ条件が設定されます。書き込みモードでは、マスター(トランスミッタ)が(10 番目)クロック・パルスでデータ転送を終了させるストップ条件をアサートして、その後にスレーブ・デバイス(レシーバ)からの、直前のデータ・バイトに対するアクノリッジ・ビットが続きます。読み出しモードでは、マスター・デバイス(レシーバ)がスレーブ・デバイス(トランスミッタ)から最後のデータ・バイトを受信しますが、9 番目のクロック・パルスでラインにロー・レベルを出力しません。これがナック・ビットと呼ばれています。ナック・ビットを受信することにより、スレーブ・デバイスはデータ転送が終了し、SDA ラインが解放されたことを知ります。マスターは 10 番目のクロック・パルスの前のロー・レベル区間でデータ・ラインをロー・レベルにし、続いて 10 番目のクロック・パルスでデータ・ラインをハイ・レベルにして、ストップ状態をアサートします。

繰り返しスタート(Sr)条件をストップ条件の代わりに使用することができます。さらに、スタート条件またはストップ条件は何時でも発生することができ、一部だけ転送されたバイトは無視されます。

データ転送フォーマット

送信バイト・フォーマット—送信バイト・プロトコルは後続コマンドのレジスタ・アドレスの設定に使用されます。

S	Slave Address	W	A	RAM Address High Byte	A	RAM Address Low Byte	A	P
---	---------------	---	---	-----------------------	---	----------------------	---	---

書き込みバイト・フォーマット—書き込みバイト・プロトコルは、指定 RAM アドレスから開始される RAM にレジスタ・アドレスを書き込むときに使用されます。

S	Slave Address	W	A	RAM Address High Byte	A	RAM Address Low Byte	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	A	P
---	---------------	---	---	-----------------------	---	----------------------	---	------------	---	------------	---	------------	---	---

受信バイト・フォーマット—受信バイト・プロトコルは、現在のアドレスから開始される RAM からデータ・バイトを読み出すときに使用されます。

S	Slave Address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	$\bar{A}$	P
---	---------------	---	---	------------	---	------------	---	------------	-----------	---

読み出しバイト・フォーマット—送信バイトと受信バイトを組み合わせたフォーマット。

S	Slave Address	W	A	RAM Address High Byte	A	RAM Address Low Byte	A	Sr	Slave Address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	$\bar{A}$	P
---	---------------	---	---	-----------------------	---	----------------------	---	----	---------------	---	---	------------	---	------------	---	------------	-----------	---

I²C シリアル・ポートのタイミング

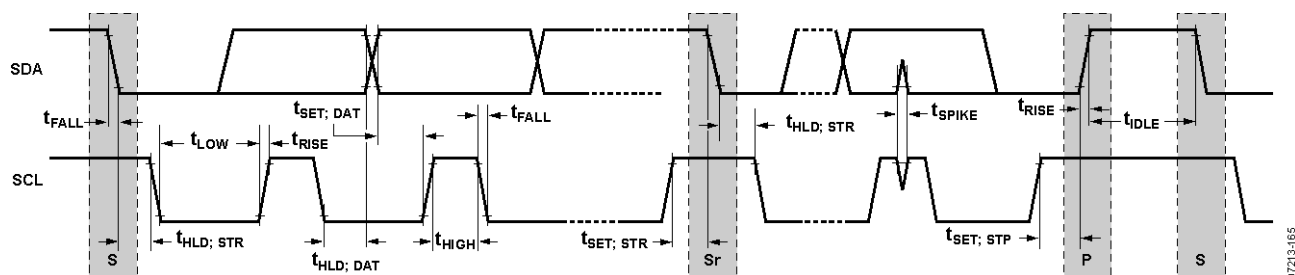


図 60. I²C シリアル・ポートのタイミング

表 42. I²C タイミングの定義

Parameter	Description
f_{I2C}	I ² C clock frequency
t_{IDLE}	Bus idle time between stop and start conditions
$t_{HLD; STR}$	Hold time for repeated start condition
$t_{SET; STR}$	Setup time for repeated start condition
$t_{SET; STP}$	Setup time for stop condition
$t_{HLD; DAT}$	Hold time for data
$t_{SET; DAT}$	Setup time for data
t_{LOW}	Duration of SCL clock low
t_{HIGH}	Duration of SCL clock high
t_{RISE}	SCL/SDA rise time
t_{FALL}	SCL/SDA fall time
t_{SPIKE}	Voltage spike pulse width that must be suppressed by input filter

SPI シリアル・ポートの動作

ピンの説明

SCLK (シリアル・クロック)はシリアル・シフト・クロックです。このピンは入力です。SCLK は、シリアル・コントロール・ポートの読み出しと書き込みを同期化するために使います。書き込みデータ・ビットは、このクロックの立ち上がりエッジでレジスタに取込まれ、読み出しデータ・ビットは立ち下がりエッジでレジスタに取込まれます。このピンは、内部で 30 kΩ の抵抗でグラウンドにプルダウンされています。

SDIO (シリアル・データ入力/出力)は、共用ピンであり、入力専用(単方向)または入力/出力(双方向)として機能します。AD9520 では、デフォルトとして双方向 I/O モード(0x000[7] = 0)が設定されます。

SDO (シリアル・データ出力)は、データ・リードバック用の 1 本の出力ピンとして単方向 I/O モード(0x000[7])専用で使われます。

$\overline{\text{CS}}$ (チップ・セレクト・バー)はアクティブ・ローであり、書き込みサイクルと書き込みサイクルをゲーティングします。 $\overline{\text{CS}}$ がハイ・レベルのとき、SDO と SDIO は高インピーダンス状態になります。このピンは、内部で 30 kΩ の抵抗で VS にプルアップされています。

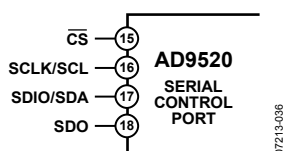


図 61. シリアル・コントロール・ポート

SPI モードの動作

SPI モードでは、1 バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。AD9520 シリアル・コントロール・ポートは、1 本の双方向 I/O ピン(SDIO)用に、または 2 本の単方向 I/O ピン(SDIO/SDO)用に設定することができます。デフォルトでは、AD9520 は双方向モードに設定されています。ショート命令モード(8 ビット命令)はサポートしていません。ロング(16 ビット)命令モードのみをサポートしています。

AD9520 に対する書き込みまたは読み出し動作は、 $\overline{\text{CS}}$ をロー・レベルにすることにより開始されます。

$\overline{\text{CS}}$ ハイ固定モードは、3 バイト以下のデータ(および命令データ)を転送するデータ転送でサポートされています(表 43 参照)。このモードでは、任意のバイト境界で $\overline{\text{CS}}$ ピンを一時的にハイ・レベルに戻して、システム・コントローラが次のバイトを処理する時間を確保できるようにします。 $\overline{\text{CS}}$ はバイト境界でのみハイ・レベルになることができ、転送のいずれかの部分(命令またはデータ)でハイ・レベルになることができます。

この区間に、シリアル・コントロール・ポートのステート・マシンがウェイト・ステートに入り、すべてのデータが送信されるまでウェイト・ステートを続けます。システム・コントローラが全データを送信する前に転送の中止を決定した場合、残りの転送を完了させるか、または SCLK の少なくとも 1 サイクル間 $\overline{\text{CS}}$ をロー・レベルに戻すことによって、ステート・マシンをリセットする必要があります。バイト境界以外で $\overline{\text{CS}}$ をハイ・レベルにすると、シリアル転送が停止され、バッファがクリアされます。

ストリーミング・モード(表 43 参照)では、任意数のデータ・バイトを 1 つの連続ストリームで転送することができます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます(SPI の MSB/LSB ファースト転送セクション参照)。転送される最終バイトの終わりで $\overline{\text{CS}}$ をハイ・レベルにして、ストリーム・モードを終了する必要があります。

通信サイクル-命令+データ

AD9520 との通信サイクルには 2 つの部分があります。まず、16 ビットの命令・ワードを AD9520 に書き込みます。このとき 16 個の SCLK 立ち上がりエッジが発生します。この命令・ワードは、データ転送についての情報を AD9520 シリアル・コントロール・ポートに提供します。このデータ転送は通信サイクルの 2 番目の部分になります。この命令・ワードは、次のデータ転送の読み出し/書き込みの識別、データ転送内のバイト数、データ転送の先頭バイトに対する開始レジスタ・アドレスを指定します。

書き込み

命令ワードが書き込み動作の場合、2 番目の部分は AD9520 のシリアル・コントロール・ポートのバッファに対するデータ転送になります。データ・ビットは、SCLK の立ち上がりエッジで更新されます。

転送長(1、2、3 バイト、またはストリーミング・モード)は、命令バイト内の 2 ビット(W1 : W0)で表示されます。転送が 1、2、または 3 バイトの場合は、8 ビットの各シーケンスの後で $\overline{\text{CS}}$ をハイ・レベルにしてバスを停止させることができます(ただし、サイクルが終了する最終バイトは除きます)。バスが停止しているときに、 $\overline{\text{CS}}$ がロー・レベルになると、シリアル転送が再開されます。バイト境界以外で $\overline{\text{CS}}$ をハイ・レベルにすると、シリアル・コントロール・ポートがリセットされます。書き込み時、ストリーミング・モードでは、予約済みまたはブランクのレジスタをスキップしないため、デバイスの正常動作のために予約済みレジスタに書き込むビット・パターンを決めておく必要があります。ブランク・レジスタに書き込むデータは問題になりません。

データはシリアル・コントロール・ポートのバッファ領域に書き込まれて、AD9520 の実際のコントロール・レジスタに直接書き込まれるのではないため、シリアル・コントロール・ポート・バッファの内容を AD9520 の実際のコントロール・レジスタに転送して、それを有効にするためには、さらに動作が必要です。レジスタ更新動作は 0x232[0] = 1b(このビットはセルフ・クリア・ビット)の設定から構成されています。データ・バイト数は、レジスタ更新を実行する前に変更することができます。レジスタ更新は、前の更新以来バッファに書き込まれたすべてのレジスタ変更を同時にアクティブにします。

読み出し

AD9520 では、ロング命令モードのみをサポートします。命令ワードが読み出し動作の場合、次の N×8 SCLK サイクルの間に、データが命令ワードで指定されたアドレスから出力されます(N = 1~3、W1 : W0 で指定)。N = 4 の場合、読み出し動作はストリーミング・モードで、 $\overline{\text{CS}}$ がハイ・レベルになるまで継続されます。ストリーミング・モードでは、予約済みレジスタまたはブランク・レジスタをスキップしません。リードバック・データは SCLK の立ち下がりエッジで有効になります。

AD9520 シリアル・コントロール・ポートのデフォルト・モードは双方向モードになっています。双方向モードでは、送信データとリードバック・データは SDIO ピンから出力されます。AD9520 を単方向モードに設定することもできます(0x000[7] = 1

と 0x000[0] = 1)。単方向モードでは、リードバック・データは SDO ピンに出力されます。

リードバック要求では、シリアル・コントロール・ポート・バッファ内にあるデータまたはアクティブ・レジスタ内のデータが読み出されます(図 62 参照)。バッファまたはアクティブ・レジスタからのリードバックは 0x004[0]から制御されます。

AD9520 は、レジスタ・アドレス 0x000～レジスタ・アドレス 0xB03 を使用しています。

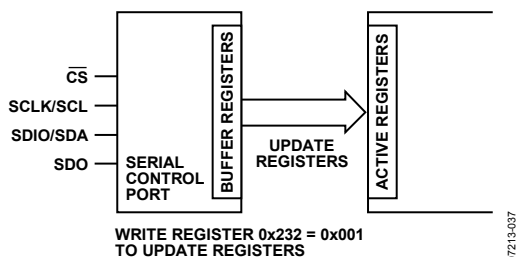


図 62.シリアル・コントロール・ポート・バッファ・レジスタと AD9520 アクティブ・レジスタとの関係

SPI 命令ワード(16 ビット)

命令ワードの MSB は R/Wであり、読み出し命令/書き込み命令のいずれであるかを表示します。次の 2 ビット(W1:W0)はであり、転送バイト長を表示します。最後の 13 ビットはアドレス(A12:A0)であり、読み出しまたは書き込み動作の開始アドレスを表示します。

書き込みの場合、命令ワードに続いて、データ・バイト数が W1:W0 で表示されます。表 43 を参照してください。

表 43.バイト転送カウント

W1	W0	Bytes to Transfer
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

ビット[A12:A0]は、レジスタ・マップ内のアドレスを選択します。通信サイクルのデータ転送部分で、このアドレスに対して書き込みまたは読み出しが実行されます。AD9520 が使用する 0x232 レジスタの範囲をカバーするためにはビット[A9:A0]だけの使用で済みます。ビット[A12:A10]は常に 0b である必要があります。複数バイト転送の場合、このアドレスは開始バイト・アドレスになります。MSB ファースト・モードでは、後続バイトによりアドレスがインクリメントされます。

SPI の MSB/LSB ファースト転送

AD9520 の命令ワードとバイト・データは MSB ファーストまたは LSB ファーストで転送することができます。0x000 へ書き込

まれるすべてのデータはミラーされる必要があります。上位 4 ビット([7:4])は下位 4 ビット([3:0])にミラーされる必要があります。これにより、LSB ファーストまたは MSB ファーストのいずれが有効かに無関係になります。このミラーリングの例として、0x000 のデフォルト設定を見ると、ビット 4 とビット 3 がミラーされています。これにより、デフォルトでかつ唯一のモード・サポートであるロング命令モードが設定されます。

AD9520 のデフォルトは MSB ファーストです。

0x000[1]と 0x000[6]で LSB ファーストを設定すると、これは直ちに有効になるため(シリアル・コントロール・ポートの動作にのみ影響するため)、更新を実行する必要はありません。

MSB ファースト・モードがアクティブの場合、命令とデータ・バイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データ・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータ・バイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・コントロール・ポートの内部アドレス・ジェネレータが、複数バイト転送サイクルの各データ・バイトに対してデクリメントします。

LSB ファースト・モードがアクティブの場合、命令とデータ・バイトは、LSB から MSB への順序で書き込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データ・バイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータ・バイトがその後ろに続きます。複数バイト転送サイクルでは、シリアル・コントロール・ポートの内部バイト・アドレス・ジェネレータが、各バイトにごとにインクリメントされます。

AD9520 シリアル・コントロール・ポート・レジスタのアドレスは、MSB ファーストモードがアクティブの場合(デフォルト)、複数バイト I/O 動作に対して書き込んだレジスタ・アドレスから 0x000 に向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・コントロール・ポート・レジスタのアドレスは、複数バイト I/O 動作に対して書き込んだアドレスから 0x232 に向かってインクリメントされます。

ストリーミング・モードは常に 0x232 に到達したときに終了します。マルチバイト I/O 動作で未使用アドレスはスキップされないことに注意してください。

表 44.ストリーミング・モード(スキップされるアドレスはありません)

Write Mode	Address Direction	Stop Sequence
LSB first	Increment	0x230, 0x231, 0x232, stop
MSB first	Decrement	0x001, 0x000, 0x232, stop

表 45.シリアル・コントロール・ポート、16 ビット命令ワード、MSB ファースト

MSB															LSB
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/W	W1	W0	A12 = 0	A11 = 0	A10 = 0	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

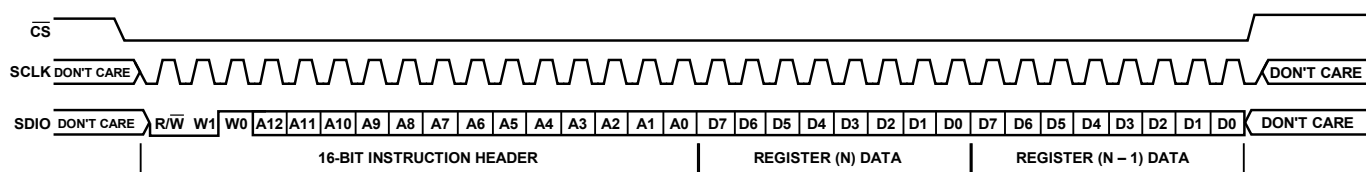


図 63. シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、2 バイト・データ

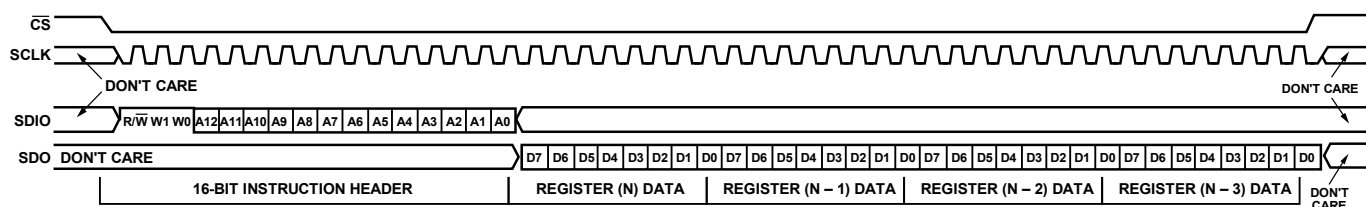


図 64. シリアル・コントロール・ポートの読み出し—MSB ファースト、16 ビット命令、4 バイト・データ

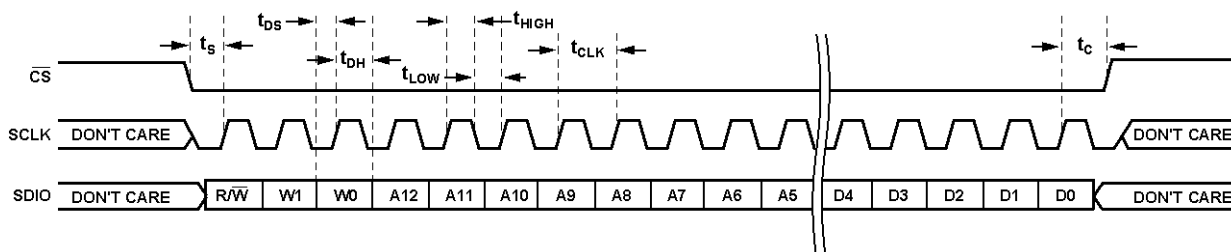


図 65. シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、タイミング測定

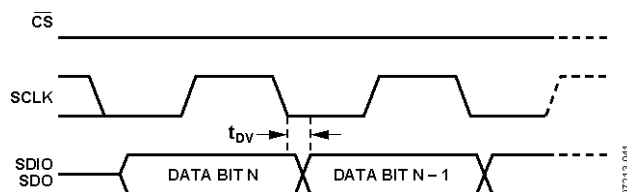


図 66. シリアル・コントロール・ポート・レジスタ読み出しのタイミング図

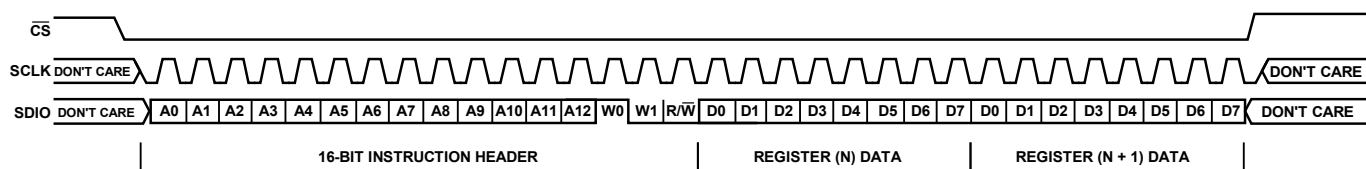


図 67. シリアル・コントロール・ポートの書き込み—LSB ファースト、16 ビット命令、2 バイト・データ

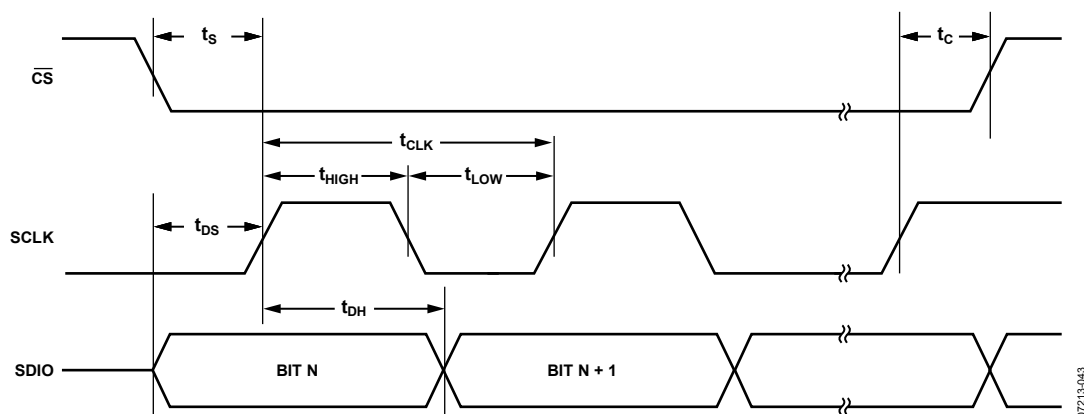


図 68. シリアル・コントロール・ポートのタイミング—書き込み

表 46. シリアル・コントロール・ポートのタイミング

Parameter	Description
t_{DS}	Setup time between data and rising edge of SCLK
t_{DH}	Hold time between data and rising edge of SCLK
t_{CLK}	Period of the clock
t_s	Setup time between $\overline{CS}$ falling edge and SCLK rising edge (start of communication cycle)
t_c	Setup time between SCLK rising edge and $\overline{CS}$ rising edge (end of communication cycle)
t_{HIGH}	Minimum period that SCLK should be in a logic high state
t_{LOW}	Minimum period that SCLK should be in a logic low state
t_{DV}	SCLK to valid SDIO and SDO (see Figure 66)

EEPROMの動作

AD9520 は EEPROM (不揮発性メモリ) を内蔵しています。EEPROM は、電源がオフのとき、ユーザー定義のレジスタ設定値ファイルを生成して保存するときにユーザーが書き込むことができます。この設定値ファイルは、デフォルト設定値としてパワーアップとチップ・リセットで使用することができます。EEPROM のサイズは 512 バイトです。

データ転送処理中に、シリアル・ポートを介したレジスタの書き込みと読み出しは、リードバック・レジスタ STATUS_EEPROM 以外では、一般に行うことはできません。

SPI モードでシリアル・ポートを介してデータ転送の状態を調べるときは、STATUS_EEPROM の値(1 =処理中、0 =完了)を読み出すことができます。

PC モードでは、外部 PC マスターを使って AD9520 スレーブ・ポートをアドレス指定することができます(アドレス・バイトを AD9520 へ送信)。AD9520 がナック・ビットで応答する場合、データ転送処理は完了していません。AD9520 がアクノリッジ・ビットで応答する場合、データ転送処理は完了しています。STATUS_EEPROM レジスタをモニターするか、あるいはデータ転送のステータスをモニターするように STATUS ピンを設定します。

EEPROM への書き込み

EEPROM は、シリアル・ポート・インターフェースを経由して直接書き込むことができます。EEPROM に書き込んで、レジスタ設定値ファイルを保存するときは、次を実行します。

1. AD9520 レジスタに所望の回路状態を書き込みます。パワーアップ後に自動的に PLL をロックさせる場合には、VCO キャリブレーション・ナウ・ビット(0x018[0])に 1 を設定する必要があります。これにより、レジスタ・ロード後に VCO キャリブレーションが自動的に開始されます。VCO キャリブレーション中は、有効な入力リファレンス信号が入力されている必要があることに、注意してください。

2. 必要に応じて、EEPROM バッファ・レジスタを書き込みます(EEPROM バッファ・セグメントへの書き込みセクションを参照してください。)

AD9520 レジスタの一部のデフォルト設定値を制御するために EEPROM を使用する場合、またはパワーアップまたはチップ・リセット時にレジスタ設定値の更新シーケンスを制御する場合にのみ、この書き込みは必要です。

3. イネーブル EEPROM 書き込みビット(0xB02[0])に 1 設定して、EEPROM をイネーブルします。
4. REG2EEPROM ビット(0xB03[0])に 1 を設定します。
5. IO_UPDATE ビット(0x232[0])に 1 を設定します。これにより、EEPROM へのデータ書き込み処理が開始されて EEPROM 設定値ファイルが生成されます。これにより、AD9520 EEPROM コントローラがイネーブルされて、現在のレジスタ値、メモリ・アドレス、命令バイトが EEPROM バッファ・セグメントから EEPROM へ転送されます。書き込み処理終了後、内部コントローラは 0xB03[0] (REG2EEPROM)を 0 に戻します。

リードバック・レジスタ STATUS_EEPROM (0xB00[0])を使用して、EEPROM とコントロール・レジスタとの間のデータ転送ステータス(0 =完了/非アクティブ; 1 =処理中/アクティブ)が表示されます。データ転送の開始時に EEPROM コントローラが STATUS_EEPROM を 1 に設定し、データ転送終了時に 0 にクリアします。STATUS_EEPROM

をモニターするように STATUS ピンを設定した場合、STATUS ピンを使って STATUS_EEPROM をアクセスすることができます。あるいは、STATUS_EEPROM ビットをモニターすることができます。

6. データ転送処理が完了した後(0xB00[0] = 0)、イネーブル EEPROM 書き込みレジスタ(0xB02[0])に 0 を設定して、EEPROM への書き込みをディスエーブルします。

データ転送が正常に完了したことを確認するときは、0xB01[0] = 0 を確認します。このレジスタ値が 1 のときは、データ転送エラーが発生したことを表します。

EEPROM からの読み出し

次のリセット関連イベントにより、EEPROM に格納されている設定値をコントロール・レジスタへ復元する処理が起動されます。

EEPROM ピンがハイ・レベルのとき、次を実行します。

1. AD9520 をパワーアップさせます。
2. RESET ピンを一旦ロー・レベルにした後、RESET を解除して、ハードウェア・チップ・リセットを実行します。
3. セルフ・クリア・ビットのソフト・リセット・ビット(0x000[5])に 1 を設定します。

EEPROM ピンがロー・レベルのときは、セルフ・クリア・ビットの Soft_EEPROM ビット(0xB02[1])に 1 を設定します。AD9520 は EEPROM の読み出しを開始して、値を AD9520 へロードします。

リセットまたはパワーアップ時に EEPROM ピンがロー・レベルの場合、EEPROM は非アクティブであるため、代わりに AD9520 のデフォルト値がロードされます。

EEPROM を使って自動的に AD9520 レジスタ値をロードして PLL をロックするときは、レジスタ値を EEPROM へ書き込む際に、VCO キャリブレーション・ナウ・ビット(0x018[0])に 1 を設定する必要があることに注意してください。これにより、VCO キャリブレーションがレジスタ・ロード後に自動的に開始されます。VCO キャリブレーション中は、有効な入力リファレンス信号が入力されている必要があります。

データ転送が正常に完了したことを確認するときは、0xB01[0] = 0 を確認します。このレジスタ値が 1 のときは、データ転送エラーが発生したことを表します。

EEPROM バッファ・セグメントへの書き込み

EEPROM バッファ・セグメントは AD9520 のレジスタ領域であり、この領域を使って EEPROM の書き込み時に EEPROM に保存するレジスタ・グループを指定します。通常は、ユーザーがこのセグメントへ書き込みを行う必要はありません。代わりに、EEPROM バッファ・セグメントに対するデフォルト・パワーアップ値を使うと、レジスタ 0x000～レジスタ 0x231 のすべての AD9520 レジスタ値を EEPROM へ保存することができます。

たとえば、AD9520 内に現在保存中の PLL レジスタ設定値に影響を与えることなく、EEPROM から出力ドライバ設定値のみをロードします。出力ドライバを適用するレジスタのみを含み、かつ PLL 設定を適用するレジスタを除外するように EEPROM バッファ・セグメントを変更することができます。

EEPROM バッファ・セグメントには、レジスタ・セクション定義グループと命令コードの 2 つの部分があります。各レジスタ・セクション定義グループには、EEPROM に書き込まれる開始アドレスとバイト数が格納されています。

AD9520 レジスタ・マップがアドレス 0x000～アドレス 0x232 で連続している場合は、レジスタ・セクション定義グループは 1 つだけで、開始アドレス 0x000 で長さ 563 バイトになりますが、この場合は異なります。AD9520 レジスタ・マップは不連続であり、EEPROM は 512 バイト長のみです。このため、レジスタ・セクション定義グループは、AD9520 レジスタ・マップのセグメント化方法を EEPROM コントローラに知らせます。

命令コードとしては、IO_UPDATE、end-of-data、pseudo-end-of-data の 3 種類があります。EEPROM バッファ・セグメントは常に end-of-data または pseudo-end-of-data の命令コードを持ち、さらに end-of-data 命令コードの前に少なくとも 1 つの IO_UPDATE 命令コードを持つことが重要です。

レジスタ・セクション定義グループ

レジスタ・セクション定義グループは、EEPROM プロファイルの連続レジスタ・セクションを定義する際に使用されます。これは 3 バイトで構成されます。先頭バイトは、このグループ内の連続レジスタ・バイト数を指定します。先頭バイトが 0x000 の場合、このグループ内には 1 バイトだけ存在することを意味します。0x001 の場合、このグループ内に 2 バイト存在することを意味します。1 グループ内の最大レジスタ数は 128 です。

次の 2 バイトは、このグループ内にある先頭レジスタのメモリ・アドレス(16 ビット)の下位バイトと上位バイトです。

IO_UPDATE (命令コード 0x80)

EEPROM コントローラはこの命令コードを使用して、IO_UPDATE 信号を発生し、ダウンロード処理時にバッファ・レジスタ・バンクからアクティブ・コントロール・レジスタ・バンクを更新します。

最終レジスタ・セクション定義グループの終わりの後に少なくとも 1 つの IO_UPDATE 命令コードが存在する必要があります。この必要理由は、EEPROM の読み出し時にすべての AD9520 レジスタがロードされた後に IO_UPDATE が少なくとも 1 回発生するようにするためです。EEPROM への書き込み時にこの命令コードが欠如していると、EEPROM からロードされたレジスタ値はアクティブ・レジスタ領域へ転送されないため、これらの値は EEPROM から AD9520 へロードされた後に機能しくなくなります。

End-of-data (命令コード 0xFF)

EEPROM コントローラはこの命令コードを使用して、アップロード処理とダウンロード処理での EEPROM とコントロール・レジスタとの間のデータ転送処理を終了させます。EEPROM バッファ・セグメントに現れる最後の項目は、この命令コードかまたは pseudo-end-of-data 命令コードである必要があります。

Pseudo-End-of-data (命令コード 0xFE)

AD9520 の EEPROM バッファ・セグメントには、最大 7 個のレジスタ・セクション定義グループを格納できる 23 バイトがあります。7 個を超えるレジスタ・セクション定義グループを定義するときは、pseudo-end-of-data 命令コードを使うことができます。アップロード処理で、EEPROM コントローラが pseudo-end-of-data 命令コードを受信すると、データ転送処理を停止させ、REG2EEPROM ビットをクリアして、AD9520 シリアル・ポートをイネーブルします。EEPROM バッファ・セグメントを再度書き込むことができ、さらに REG2EEPROM ビット(0xB03)に 1 を、IO_UPDATE レジスタ(0x232)に 1 をそれぞれ設定して、データ転送処理を再起動することができます。次に内部 PC マスターが直前の書き込みで保持された EEPROM アドレスから EEPROM の書き込みを開始します。

このシーケンスにより、EEPROM バッファ・セグメントのサイズで制限されていた、EEPROM に書き込み可能なディスクリート命令数を増やすことができます。また、毎回異なる値で複数回同じレジスタに書き込むことも可能になります。

表 47.EEPROM バッファ・セグメントの例

Reg Addr (Hex)	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)						
Start EEPROM Buffer Segment														
0xA00	0	Number of bytes [6:0] of first group of registers												
0xA01	Address [15:8] of first group of registers													
0xA02														
		Address [7:0] of first group of registers												
0xA03	0	Number of bytes [6:0] of second group of registers												
0xA04	Address [15:8] of second group of registers													
0xA05														
		Address [7:0] of second group of registers												
0xA06	0	Number of bytes [6:0] of third group of registers												
0xA07	Address [15:8] of third group of registers													
0xA08														
		Address [7:0] of third group of registers												
0xA09	IO_UPDATE operational code (0x80)													
0xA0A	End-of-data operational code (0xFF)													

熱性能

表 48.64 ピン LFCSP のサーマル・パラメータ

Symbol	Thermal Characteristic Using a JEDEC JESD51-7 Plus JEDEC JESD51-5 2S2P Test Board	Value (°C/W)
θ_{JA}	Junction-to-ambient thermal resistance, 0.0 m/sec airflow per JEDEC JESD51-2 (still air)	22.0
θ_{JMA}	Junction-to-ambient thermal resistance, 1.0 m/sec airflow per JEDEC JESD51-6 (moving air)	19.2
θ_{JMA}	Junction-to-ambient thermal resistance, 2.0 m/sec airflow per JEDEC JESD51-6 (moving air)	17.2
Ψ_{JB}	Junction-to-board characterization parameter, 1.0 m/sec airflow per JEDEC JESD51-6 (moving air) and JEDEC JESD51-8	11.6
θ_{JC}	Junction-to-case thermal resistance (die-to-heat sink) per MIL-Std 883, Method 1012.1	1.3
Ψ_{JT}	Junction-to-top-of-package characterization parameter, 0 m/sec airflow per JEDEC JESD51-2 (still air)	0.1

AD9520 はケース温度(T_{CASE})に対して仕様が規定されています。 T_{CASE} を超えないようにするため、強制空冷を使用することができます。

アプリケーション PCB 上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times PD)$$

ここで、

T_J はジャンクション温度(°C)。

T_{CASE} はパッケージ上面の中央で測定したケース温度(°C)。

Ψ_{JT} は表 48 の値。

PD は消費電力(表 18 の合計消費電力)

θ_{JA} の値はパッケージの比較と PCB デザイン考慮のために提供しています。 θ_{JA} は次式の T_J による一次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times PD)$$

ここで、 T_A は周囲温度(°C)。

θ_{JC} の値は、外付けヒート・シンクが必要なときに、パッケージ比較と PCB デザイン考慮のために提供。

Ψ_{JB} の値は、パッケージ比較と PCB デザイン考慮のために提供。

レジスタ・マップ

表 49 に記載されていないレジスタ・アドレスは未使用であり、これらのレジスタに対する書き込みは無視されます。未使用と表示されているレジスタ・アドレスに対する書き込みも無視されます。

表 49. レジスタ・マップの概要

Addr (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
Serial Port Configuration										
000	Serial port config (SPI mode)	SDO active	LSB first/ addr incr	Soft reset (self-clearing)	Unused	Unused	Soft reset (self-clearing)	LSB first/ addr incr	SDO active	00
	Serial port config (I ² C mode)	Unused		Soft reset (self-clearing)	Unused	Unused	Soft reset (self-clearing)	Unused		00
001		Unused								N/A
002		Reserved								N/A
003		Reserved								N/A
004	Readback control	Unused							Readback active regs	00
EEPROM ID										
005	EEPROM customer version ID	EEPROM customer version ID (LSB)								00
006		EEPROM customer version ID (MSB)								00
007 to 00F		Unused								00
PLL										
010	PFD charge pump	PFD polarity	Charge pump current			Charge pump mode		PLL power-down		7D
011	R counter	14-bit R counter, Bits[7:0] (LSB)								01
012		Unused	14-bit R counter, Bits[13:8] (MSB)						00	
013	A counter	Unused	6-bit A counter							00
014	B counter	13-bit B counter, Bits[7:0] (LSB)								03
015		Unused	13-bit B counter, Bits[12:8] (MSB)						00	
016	PLL_CTRL_1	Set CP pin to VCP/2	Reset R counter	Reset A and B counters	Reset all counters	B counter bypass	Prescaler P			06
017	PLL_CTRL_2	STATUS pin control						Antibacklash pulse width		00
018	PLL_CTRL_3	Enable CMOS reference input dc offset	Lock detect counter		Digital lock detect window	Disable digital lock detect	VCO calibration divider		VCO calibration now	06
019	PLL_CTRL_4	R, A, B counters SYNC pin reset		R path delay			N path delay			00
01A	PLL_CTRL_5	Enable STATUS pin divider	Ref freq monitor threshold	LD pin control						00
01B	PLL_CTRL_6	Enable VCO frequency monitor	Enable REF2 (REFIN) frequency monitor	Enable REF1 (REFIN) frequency monitor	REFMON pin control					00
01C	PLL_CTRL_7	Disable switchover deglitch	Select REF2	Use REF_SEL pin	Enable automatic reference switchover	Stay on REF2	Enable REF2	Enable REF1	Enable differential reference	00
01D	PLL_CTRL_8	Enable Status_EEPROM at STATUS pin	Enable XTAL OSC	Enable clock doubler	Disable PLL status register	Enable LD pin comparator	Unused	Enable external holdover	Enable holdover	80

Addr (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
01E	PLL_CTRL_9	Unused			External zero delay feedback channel divider select		Enable external zero delay	Enable zero delay	Unused	00
01F	PLL_Readback (read-only)	Unused	VCO cal finished	Holdover active	REF2 selected	VCO freq > threshold	REF2 freq > threshold	REF1 freq > threshold	Digital lock detect	N/A

Output Driver Control

0F0	OUT0 control	OUT0 format	OUT0 CMOS configuration		OUT0 polarity		OUT0 LVPECL differential voltage		OUT0 LVPECL power-down	64
0F1	OUT1 control	OUT1 format	OUT1 CMOS configuration		OUT1 polarity		OUT1 LVPECL differential voltage		OUT1 LVPECL power-down	64
0F2	OUT2 control	OUT2 format	OUT2 CMOS configuration		OUT2 polarity		OUT2 LVPECL differential voltage		OUT2 LVPECL power-down	64
0F3	OUT3 control	OUT3 format	OUT3 CMOS configuration		OUT3 polarity		OUT3 LVPECL differential voltage		OUT3 LVPECL power-down	64
0F4	OUT4 control	OUT4 format	OUT4 CMOS configuration		OUT4 polarity		OUT4 LVPECL differential voltage		OUT4 LVPECL power-down	64
0F5	OUT5 control	OUT5 format	OUT5 CMOS configuration		OUT5 polarity		OUT5 LVPECL differential voltage		OUT5 LVPECL power-down	64
0F6	OUT6 control	OUT6 format	OUT6 CMOS configuration		OUT6 polarity		OUT6 LVPECL differential voltage		OUT6 LVPECL power-down	64
0F7	OUT7 control	OUT7 format	OUT7 CMOS configuration		OUT7 polarity		OUT7 LVPECL differential voltage		OUT7 LVPECL power-down	64
0F8	OUT8 control	OUT8 format	OUT8 CMOS configuration		OUT8 polarity		OUT8 LVPECL differential voltage		OUT8 LVPECL power-down	64
0F9	OUT9 control	OUT9 format	OUT9 CMOS configuration		OUT9 polarity		OUT9 LVPECL differential voltage		OUT9 LVPECL power-down	64
0FA	OUT10 control	OUT10 format	OUT10 CMOS configuration		OUT10 polarity		OUT10 LVPECL differential voltage		OUT10 LVPECL power-down	64
0FB	OUT11 control	OUT11 format	OUT11 CMOS configuration		OUT11 polarity		OUT11 LVPECL differential voltage		OUT11 LVPECL power-down	64
0FC	Enable output on CSDLD	CSDLD En Out 7	CSDLD En OUT6	CSDLD En OUT5	CSDLD En OUT4	CSDLD En OUT3	CSDLD En OUT2	CSDLD En OUT1	CSDLD En OUT0	00
0FD	Enable output on CSDLD	Unused	Unused	Unused	Unused	CSDLD En OUT11	CSDLD En OUT10	CSDLD En OUT9	CSDLD En OUT8	00
0FE to 18F		Unused								00

LVPECL Channel Dividers

190	Divider 0 (PECL)	Divider 0 low cycles				Divider 0 high cycles				77
191		Divider 0 bypass	Divider 0 ignore SYNC	Divider 0 force high	Divider 0 start high	Divider 0 phase offset				00
192		Unused				Unused	Channel 0 power-down	Channel 0 direct-to-output	Disable Divider 0 DCC	00

Addr (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
193	Divider 1 (PECL)	Divider 1 low cycles				Divider 1 high cycles				33
194		Divider 1 bypass	Divider 1 ignore SYNC	Divider 1 force high	Divider 1 start high	Divider 1 phase offset				00
195		Unused				Unused	Channel 1 power-down	Channel 1 direct-to-output	Disable Divider 1 DCC	00
196	Divider 2 (PECL)	Divider 2 low cycles				Divider 2 high cycles				11
197		Divider 2 bypass	Divider 2 ignore SYNC	Divider 2 force high	Divider 2 start high	Divider 2 phase offset				00
198		Unused				Unused	Channel 2 power-down	Channel 2 direct-to-output	Disable Divider 2 DCC	00
199	Divider 3 (PECL)	Divider 3 low cycles				Divider 3 high cycles				00
19A		Divider 3 bypass	Divider 3 ignore SYNC	Divider 3 force high	Divider 3 start high	Divider 3 phase offset				00
19B		Unused				Unused	Channel 3 power-down	Channel 3 direct-to-output	Disable Divider 3 DCC	00
19C to 1DF		Unused								00

VCO Divider and CLK Input

VCO Divider and CLK Input									
1E0	VCO divider	Unused			Unused	VCO divider			00
1E1	Input CLKs	Unused	Unused (default = 1)	Power - down clock input section	Power- down VCO clock interface	Power- down VCO and CLK	Select VCO or CLK	Bypass VCO divider	20
1E2 to 22A		Unused							00

System

230	Power-down and SYNC	Unused				Disable power-on SYNC	Power-down SYNC	Power-down distribution reference	Soft SYNC	00
231		Unused				Unused				00

Update All Registers

232	IO_UPDATE	Unused							IO_UPDATE (self-clearing)	00
233 to 9FF		Unused								00

EEPROM Buffer Segment

A00	EEPROM Buffer Segment Register 1	0	EEPROM Buffer Segment Register 1 (default: number of bytes for Group 1)	00
A01	EEPROM Buffer Segment Register 2	EEPROM Buffer Segment Register 2 (default: Bits[15:8] of starting register address for Group 1)		00
A02	EEPROM Buffer Segment Register 3	EEPROM Buffer Segment Register 3 (default: Bits[7:0] of starting register address for Group 1)		00
A03	EEPROM Buffer Segment Register 4	0	EEPROM Buffer Segment Register 4 (default: number of bytes for Group 2)	02
A04	EEPROM Buffer Segment Register 5	EEPROM Buffer Segment Register 5 (default: Bits[15:8] of starting register address for Group 2)		00

Addr (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
A05	EEPROM Buffer Segment Register 6	EEPROM Buffer Segment Register 6 (default: Bits[7:0] of starting register address for Group 2)								04
A06	EEPROM Buffer Segment Register 7	0	EEPROM Buffer Segment Register 7 (default: number of bytes for Group 3)							0E
A07	EEPROM Buffer Segment Register 8	EEPROM Buffer Segment Register 8 (default: Bits[15:8] of starting register address for Group 3)								00
A08	EEPROM Buffer Segment Register 9	EEPROM Buffer Segment Register 9 (default: Bits[7:0] of starting register address for Group 3)								10
A09	EEPROM Buffer Segment Register 10	0	EEPROM Buffer Segment Register 10 (default: number of bytes for Group 4)							0E
A0A	EEPROM Buffer Segment Register 11	EEPROM Buffer Segment Register 11 (default: Bits[15:8] of starting register address for Group 4)								00
A0B	EEPROM Buffer Segment Register 12	EEPROM Buffer Segment Register 12 (default: Bits[7:0] of starting register address for Group 4)								F0
A0C	EEPROM Buffer Segment Register 13	0	EEPROM Buffer Segment Register 13 (default: number of bytes for Group 5)							0B
A0D	EEPROM Buffer Segment Register 14	EEPROM Buffer Segment Register 14 (default: Bits[15:8] of starting register address for Group 5)								01
A0E	EEPROM Buffer Segment Register 15	EEPROM Buffer Segment Register 15 (default: Bits[7:0] of starting register address for Group 5)								90
A0F	EEPROM Buffer Segment Register 16	0	EEPROM Buffer Segment Register 16 (default: number of bytes for Group 6)							01
A10	EEPROM Buffer Segment Register 17	EEPROM Buffer Segment Register 17 (default: Bits[15:8] of starting register address for Group 6)								01
A11	EEPROM Buffer Segment Register 18	EEPROM Buffer Segment Register 18 (default: Bits[7:0] of starting register address for Group 6)								E0
A12	EEPROM Buffer Segment Register 19	0	EEPROM Buffer Segment Register 19 (default: number of bytes for Group 7)							01
A13	EEPROM Buffer Segment Register 20	EEPROM Buffer Segment Register 20 (default: Bits[15:8] of starting register address for Group 7)								02
A14	EEPROM Buffer Segment Register 21	EEPROM Buffer Segment Register 21 (default: Bits[7:0] of starting register address for Group 7)								30
A15	EEPROM Buffer Segment Register 22	EEPROM Buffer Segment Register 22 (default: IO_UPDATE from EEPROM)								80
A16	EEPROM Buffer Segment Register 23	EEPROM Buffer Segment Register 23 (default: end of data)								FF
A17 to AFF		Unused								00

Addr (Hex)	Parameter	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)
EEPROM Control										
B00	EEPROM status (read-only)	Unused						Unused	STATUS_ EEPROM	00
B01	EEPROM error checking (read-only)	Unused						Unused	EEPROM data error	00
B02	EEPROM Control 1	Unused						Soft_EEPRO M (self-clearing)	Enable EEPROM write	00
B03	EEPROM Control 2	Unused						Unused	REG2EEPRO M (self-clearing)	00

レジスタ・マップの説明

表 50 ～表 60 に、各コントロール・レジスタ機能の詳細説明を示します。レジスタは 16 進アドレスで表示します。レジスタ内の特定のビットまたはビット範囲に対する参照は[]で囲んであります。たとえば、[3]はビット 3 を、[5:2]はビット 5 ～ビット 2 のビット範囲を、それぞれ示します。

表 50.SPI モード・シリアル・ポート設定

Reg Addr (Hex)	Bit(s)	Name	Description
000	[7]	SDO active	Selects unidirectional or bidirectional data transfer mode. [7] = 0; SDIO pin used for write and read; SDO is high impedance (default). [7] = 1; SDO used for read; SDIO used for write; unidirectional mode.
000	[6]	LSB first/addr incr	SPI MSB or LSB data orientation. (This register is ignored in I2C mode.) [6] = 0; data-oriented MSB first; addressing decrements (default). [6] = 1; data-oriented LSB first; addressing increments.
000	[5]	Soft reset	Soft reset. [5] = 1 (self-clearing). Soft reset; restores default values to internal registers.
000	[4]	Unused	
000	[3:0]	Mirror[7:4]	Bits[3:0] should always mirror Bits[7:4] so that it does not matter whether the part is in MSB or LSB first mode (see Register 0x000[6]). Set bits as follows: [0] = [7] [1] = [6] [2] = [5] [3] = [4]
004	[0]	Readback active registers	Select register bank used for a readback. [0] = 0; read back buffer registers (default). [0] = 1; read back active registers.

表 51.I²C モード・シリアル・ポート設定

Reg Addr (Hex)	Bit(s)	Name	Description
000	[7:6]	Unused	
000	[5]	Soft reset	Soft reset. [5] = 1 (self-clearing). Soft reset; restores default values to internal registers.
000	[4]	Unused	
000	[3:0]	Mirror[7:4]	Bits[3:0] should always mirror Bits [7:4] so that it does not matter whether the part is in MSB or LSB first mode (see Register 0x000[6]). Set bits as follows: [0] = [7] [1] = [6] [2] = [5] [3] = [4]
004	[0]	Readback active registers	Select register bank used for a readback. [0] = 0; read back buffer registers (default). [0] = 1; read back active registers.

表 52.EEPROM ID

Reg Addr (Hex)	Bit(s)	Name	Description
005	[7:0]	EEPROM customer version ID (LSB)	16-bit EEPROM ID[7:0]. This register, along with 0x006, allows the user to store a unique ID to identify which version of the AD9520 register settings is stored in the EEPROM. It does not affect AD9520 operation in any way (default: 0x00).
006	[7:0]	EEPROM customer version ID (MSB)	16-bit EEPROM ID[15:8]. This register, along with 0x005, allows the user to store a unique ID to identify which version of the AD9520 register settings is stored in the EEPROM. It does not affect AD9520 operation in any way (default: 0x00).

表 53.PLL

Reg. Addr (Hex)	Bit(s)	Name	Description
010	[7]	PFD polarity	Sets the PFD polarity. Negative polarity is for use (if needed) with external VCO/VCXO only. The on-chip VCO requires positive polarity, [7] = 0.

Reg. Addr (Hex)	Bit(s)	Name	Description																																				
			[7] = 0; positive (higher control voltage produces higher frequency) (default). [7] = 1; negative (higher control voltage produces lower frequency).																																				
010	[6:4]	CP current	Charge pump current (with CPRSET = 5.1 kΩ). <table><tr><th>[6]</th><th>[5]</th><th>[4]</th><th>I_{CP} (mA)</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0.6</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1.2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1.8</td></tr><tr><td>0</td><td>1</td><td>1</td><td>2.4</td></tr><tr><td>1</td><td>0</td><td>0</td><td>3.0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>3.6</td></tr><tr><td>1</td><td>1</td><td>0</td><td>4.2</td></tr><tr><td>1</td><td>1</td><td>1</td><td>4.8 (default)</td></tr></table>	[6]	[5]	[4]	I _{CP} (mA)	0	0	0	0.6	0	0	1	1.2	0	1	0	1.8	0	1	1	2.4	1	0	0	3.0	1	0	1	3.6	1	1	0	4.2	1	1	1	4.8 (default)
[6]	[5]	[4]	I _{CP} (mA)																																				
0	0	0	0.6																																				
0	0	1	1.2																																				
0	1	0	1.8																																				
0	1	1	2.4																																				
1	0	0	3.0																																				
1	0	1	3.6																																				
1	1	0	4.2																																				
1	1	1	4.8 (default)																																				
010	[3:2]	CP mode	Charge pump operating mode. <table><tr><th>[3]</th><th>[2]</th><th>Charge Pump Mode</th></tr><tr><td>0</td><td>0</td><td>High impedance state.</td></tr><tr><td>0</td><td>1</td><td>Force source current (pump up).</td></tr><tr><td>1</td><td>0</td><td>Force sink current (pump down).</td></tr><tr><td>1</td><td>1</td><td>Normal operation (default).</td></tr></table>	[3]	[2]	Charge Pump Mode	0	0	High impedance state.	0	1	Force source current (pump up).	1	0	Force sink current (pump down).	1	1	Normal operation (default).																					
[3]	[2]	Charge Pump Mode																																					
0	0	High impedance state.																																					
0	1	Force source current (pump up).																																					
1	0	Force sink current (pump down).																																					
1	1	Normal operation (default).																																					
010	[1:0]	PLL power-down	PLL operating mode. <table><tr><th>[1]</th><th>[0]</th><th>Mode</th></tr><tr><td>0</td><td>0</td><td>Normal operation; this mode must be selected to use the PLL.</td></tr><tr><td>0</td><td>1</td><td>Asynchronous power-down (default).</td></tr><tr><td>1</td><td>0</td><td>Unused.</td></tr><tr><td>1</td><td>1</td><td>Synchronous power-down.</td></tr></table>	[1]	[0]	Mode	0	0	Normal operation; this mode must be selected to use the PLL.	0	1	Asynchronous power-down (default).	1	0	Unused.	1	1	Synchronous power-down.																					
[1]	[0]	Mode																																					
0	0	Normal operation; this mode must be selected to use the PLL.																																					
0	1	Asynchronous power-down (default).																																					
1	0	Unused.																																					
1	1	Synchronous power-down.																																					
011	[7:0]	14-bit R counter, Bits[7:0] (LSB)	Reference divider LSBs—lower eight bits. The reference divider (also called the R divider or R counter) is 14 bits long. The lower eight bits are in this register (default: 0x01).																																				
012	[5:0]	14-bit R counter, Bits[13:8] (MSB)	Reference divider MSBs—upper six bits. The reference divider (also called the R divider or R counter) is 14 bits long. The upper six bits are in this register (default: 0x00).																																				
013	[5:0]	6-bit A counter	A counter (part of N divider). The N divider is also called the feedback divider (default: 0x00).																																				
014	[7:0]	13-bit B counter, Bits[7:0] (LSB)	B counter (part of N divider)—lower eight bits. The N divider is also called the feedback divider (default: 0x03).																																				
015	[4:0]	13-bit B counter, Bits[12:8] (MSB)	B counter (part of N divider)—upper five bits. The N divider is also called the feedback divider (default: 0x00).																																				
016	[7]	Set CP pin to VCP/2	Sets the CP pin to one-half of the VCP supply voltage. [7] = 0; CP normal operation (default). [7] = 1; CP pin set to VCP/2.																																				
016	[6]	Reset R counter	Reset R counter (R divider). [6] = 0; normal (default). [6] = 1; hold R counter in reset.																																				
016	[5]	Reset A and B counters	Reset A and B counters (part of N divider). [5] = 0; normal (default). [5] = 1; hold A and B counters in reset.																																				
016	[4]	Reset all counters	Reset R, A, and B counters. [4] = 0; normal (default). [4] = 1; hold R, A, and B counters in reset.																																				
016	[3]	B counter bypass	B counter bypass. This is only valid when operating the prescaler in FD mode. [3] = 0; normal (default). [3] = 1; B counter is set to divide-by-1. This allows the prescaler setting to determine the divide for the N divider.																																				
016	[2:0]	Prescaler P	Prescaler: DM = dual modulus and FD = fixed divide. The Prescaler P is part of the feedback divider. <table><tr><th>[2]</th><th>[1]</th><th>[0]</th><th>Mode</th><th>Prescaler</th></tr><tr><td>0</td><td>0</td><td>0</td><td>FD</td><td>Divide-by-1.</td></tr><tr><td>0</td><td>0</td><td>1</td><td>FD</td><td>Divide-by-2.</td></tr><tr><td>0</td><td>1</td><td>0</td><td>DM</td><td>Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.</td></tr><tr><td>0</td><td>1</td><td>1</td><td>DM</td><td>Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.</td></tr></table>	[2]	[1]	[0]	Mode	Prescaler	0	0	0	FD	Divide-by-1.	0	0	1	FD	Divide-by-2.	0	1	0	DM	Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.	0	1	1	DM	Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.											
[2]	[1]	[0]	Mode	Prescaler																																			
0	0	0	FD	Divide-by-1.																																			
0	0	1	FD	Divide-by-2.																																			
0	1	0	DM	Divide-by-2 and divide-by-3 when A ≠ 0; divide-by-2 when A = 0.																																			
0	1	1	DM	Divide-by-4 and divide-by-5 when A ≠ 0; divide-by-4 when A = 0.																																			

Reg. Addr (Hex)	Bit(s)	Name	Description							
			1	0	0	DM	Divide-by-8 and divide-by-9 when A ≠ 0; divide-by-8 when A = 0.			
			1	0	1	DM	Divide-by-16 and divide-by-17 when A ≠ 0; divide-by-16 when A = 0.			
			1	1	0	DM	Divide-by-32 and divide-by-33 when A ≠ 0; divide-by-32 when A = 0 (default).			
			1	1	1	FD	Divide-by-3.			
017	[7:2]	STATUS pin control	Selects the signal that appears at the STATUS pin. 0x01D[7] must be 0 to reprogram the STATUS pin.							
			[7]	[6]	[5]	[4]	[3]	[2]	Level or Dynamic Signal	Signal at STATUS Pin
			0	0	0	0	0	0	LVL	Ground, dc (default).
			0	0	0	0	0	1	DYN	N divider output (after the delay).
			0	0	0	0	1	0	DYN	R divider output (after the delay).
			0	0	0	0	1	1	DYN	A divider output.
			0	0	0	1	0	0	DYN	Prescaler output.
			0	0	0	1	0	1	DYN	PFD up pulse.
			0	0	0	1	1	0	DYN	PFD down pulse.
			0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXX not specified. The selections that follow are the same as for REFMON.
			1	0	0	0	0	0	LVL	Ground (dc).
			1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).
			1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).
			1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).
			1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).
			1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.
			1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.
			1	0	0	1	1	1	LVL	Status REF1 frequency (active high).
			1	0	1	0	0	0	LVL	Status REF2 frequency (active high).
			1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).
			1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).
			1	0	1	0	1	1	LVL	Status of VCO frequency (active high).
			1	0	1	1	0	0	LVL	Selected reference (low = REF1, high = REF2).
			1	0	1	1	1	0	LVL	DLD; active high.
			1	0	1	1	1	1	LVL	Holdover active (active high).
			1	0	1	1	1	1	LVL	N/A internal holdover comparator output (active high).
			1	1	0	0	0	0	LVL	VS (PLL power supply).
			1	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).
			1	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).
			1	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).
			[7]	[6]	[5]	[4]	[3]	[2]	Level or Dynamic Signal	Signal at STATUS Pin
			1	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).
			1	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.
			1	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.
			1	1	0	1	1	1	LVL	Status of REF1 frequency (active low).
			1	1	1	0	0	0	LVL	Status of REF2 frequency (active low).
			1	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (status of REF2 frequency).
			1	1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (status of VCO).
			1	1	1	0	1	1	LVL	Status of VCO frequency (active low).
			1	1	1	1	0	0	LVL	Selected reference (low = REF2, high = REF1).
			1	1	1	1	1	0	LVL	DLD (active low).

Reg. Addr (Hex)	Bit(s)	Name	Description									
			1 1	1 1	1 1	1 1	1 1	0 1	LVL LVL	Holdover active (active low). LD pin comparator output (active low).		
017	[1:0]	Antibacklash pulse width	[1]	[0]	Antibacklash Pulse Width (ns)							
			0	0	2.9 (default)							
			0	1	1.3							
			1	0	6.0							
			1	1	2.9							
018	[7]	Enable CMOS reference input dc offset	Enables dc offset in single-ended CMOS input mode to prevent chattering when ac-coupled and input is lost. [7] = 0; disable dc offset (default). [7] = 1; enable dc offset.									
018	[6:5]	Lock detect counter	Required consecutive number of PFD cycles with edges inside lock detect window before the DLD indicates a locked condition.									
			[6]	[5]	PFD Cycles to Determine Lock							
			0	0	5 (default)							
			0	1	16							
			1	0	64							
1	1	255										
018	[4]	Digital lock detect window	If the time difference of the rising edges at the inputs to the PFD are less than the lock detect window time, the digital lock detect flag is set. The flag remains set until the time difference is greater than the loss-of-lock threshold. [4] = 0; high range (default). [4] = 1; low range.									
018	[3]	Disable digital lock detect	Digital lock detect operation. [3] = 0; normal lock detect operation (default). [3] = 1; disable lock detect.									
018	[2:1]	VCO calibration divider	VCO calibration divider. Divider used to generate the VCO calibration clock from the PLL reference clock (see the VCO Calibration section for the recommended setting of the VCO calibration divider based on the PFD rate).									
			[2]	[1]	VCO Calibration Clock Divider							
			0	0	2							
			0	1	4							
			1	0	8							
1	1	16 (default)										
018	[0]	VCO calibration now	Bit used to initiate the VCO calibration. This bit must be toggled from 0 to 1 in the active registers. The sequence to initiate a calibration follows: program to 0, followed by an IO_UPDATE bit (Register 0x232[0]); then program to 1, followed by another IO_UPDATE bit (Register 0x232[0]). This sequence gives complete control over when the VCO calibration occurs relative to the programming of other registers that can impact the calibration (default = 0). Note that the VCO divider (Register 0x1E0[2:0]) must not be static during VCO calibration.									
019	[7:6]	R, A, B counters SYNC pin reset	[7]	[6]	Action							
			0	0	Do nothing on SYNC (default).							
			0	1	Asynchronous reset.							
			1	0	Synchronous reset.							
			1	1	Do nothing on SYNC.							
019	[5:3]	R path delay	R path delay, see Table 2 (default: 0x0).									
019	[2:0]	N path delay	N path delay, see Table 2 (default: 0x0).									
01A	[7]	Enable STATUS pin divider	Enables a divide-by-4 on the STATUS pin. This makes it easier to look at low duty-cycle signals out of the R and N dividers. [7] = 0; divide-by-4 disabled on STATUS pin (default). [7] = 1; divide-by-4 enabled on STATUS pin.									
01A	[6]	Ref freq monitor threshold	Sets the reference (REF1/REF2) frequency monitor's detection threshold frequency. This does not affect the VCO frequency monitor's detection threshold (see Table 17, REF1, REF2, and VCO frequency status monitor parameter). [6] = 0; frequency valid if frequency is above 1.02 MHz (default). [6] = 1; frequency valid if frequency is above 6 kHz.									
01A	[5:0]	LD pin control	Selects the signal that is connected to the LD pin.									
										Level or Dynamic Signal	Signal at LD Pin	
			[5]	[4]	[3]	[2]	[1]	[0]				

Reg. Addr (Hex)	Bit(s)	Name	Description									
			0	0	0	0	0	0	LVL	Digital lock detect (high = lock; low = unlock, default).		
			0	0	0	0	0	1	DYN	P-channel, open-drain lock detect (analog lock detect).		
			0	0	0	0	1	0	DYN	N-channel, open-drain lock detect (analog lock detect).		
			0	0	0	0	1	1	HIZ	Tristate (high-Z) LD pin.		
			0	0	0	1	0	0	CUR	Current source lock detect (110 μ A when DLD is true).		
			0	X	X	X	X	X	LVL	Ground (dc); for all other cases of 0XXXXX not specified.		
										The selections that follow are the same as for REFMON.		
			1	0	0	0	0	0	LVL	Ground (dc).		
			1	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).		
			1	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).		
			1	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).		
			1	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).		
			1	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.		
			1	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.		
			1	0	0	1	1	1	LVL	Status REF1 frequency (active high).		
			1	0	1	0	0	0	LVL	Status REF2 frequency (active high).		
			1	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).		
			1	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).		
			1	0	1	0	1	1	LVL	Status of VCO frequency (active high).		
			1	0	1	1	0	0	LVL	Selected reference (low = REF1, high = REF2).		
			1	0	1	1	0	1	LVL	DLD; active high.		
			1	0	1	1	1	0	LVL	Holdover active (active high).		
			1	0	1	1	1	1	LVL	N/A, do not use.		
			1	1	0	0	0	0	LVL	VS (PLL supply).		
			1	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).		
			[5]	[4]	[3]	[2]	[1]	[0]	Level or Dynamic Signal	Signal at LD Pin		
			1	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).		
			1	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).		
			1	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).		
			1	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.		
			1	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.		
			1	1	0	1	1	1	LVL	Status of REF1 frequency (active low).		
			1	1	1	0	0	0	LVL	Status of REF2 frequency (active low).		
			1	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (status of REF2 frequency).		
			1	1	1	0	1	0	LVL	(DLD) AND (Status of selected reference) AND (status of VCO).		
			1	1	1	0	1	1	LVL	Status of VCO frequency (active low).		
			1	1	1	1	0	0	LVL	Selected reference (low = REF2, high = REF1).		
			1	1	1	1	0	1	LVL	DLD; active low.		
			1	1	1	1	1	0	LVL	Holdover active (active low).		
			1	1	1	1	1	1	LVL	N/A, do not use.		
01B	[7]	Enable VCO frequency monitor	Enables or disables VCO frequency monitor. [7] = 0; disable VCO frequency monitor (default). [7] = 1; enable VCO frequency monitor.									
01B	[6]	Enable REF2 (REFIN) frequency monitor	Enables or disables REF2 frequency monitor. [6] = 0; disable REF2 frequency monitor (default). [6] = 1; enable REF2 frequency monitor.									
01B	[5]	Enable REF1 (REFIN)	REF1 (REFIN) frequency monitor enabled; this is for both REF1 (single-ended) and REFIN (differential) inputs (as selected by differential reference mode).									

Reg. Addr (Hex)	Bit(s)	Name	Description																																																																																																																																					
		frequency monitor	[5] = 0; disable REF1 (REFIN) frequency monitor (default). [5] = 1; enable REF1 (REFIN) frequency monitor.																																																																																																																																					
01B	[4:0]	REFMON pin control	Selects the signal that is connected to the REFMON pin.																																																																																																																																					
			<table><tr><th>[4]</th><th>[3]</th><th>[2]</th><th>[1]</th><th>[0]</th><th>Level or Dynamic Signal</th><th>Signal at REFMON Pin</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>LVL</td><td>Ground, dc (default).</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td><td>DYN</td><td>REF1 clock (differential reference when in differential mode).</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0</td><td>DYN</td><td>REF2 clock (N/A in differential mode).</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1</td><td>DYN</td><td>Selected reference to PLL (differential reference when in differential mode).</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0</td><td>DYN</td><td>Unselected reference to PLL (not available in differential mode).</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>LVL</td><td>Status of selected reference (status of differential reference); active high.</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0</td><td>LVL</td><td>Status of unselected reference (not available in differential mode); active high.</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td><td>LVL</td><td>Status REF1 frequency (active high).</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0</td><td>LVL</td><td>Status REF2 frequency (active high).</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>LVL</td><td>(Status REF1 frequency) AND (status REF2 frequency).</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>LVL</td><td>(DLD) AND (status of selected reference) AND (status of VCO).</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td><td>LVL</td><td>Status of VCO frequency (active high).</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>LVL</td><td>Selected reference (low = REF1, high = REF2).</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>LVL</td><td>DLD; active low.</td></tr></table>	[4]	[3]	[2]	[1]	[0]	Level or Dynamic Signal	Signal at REFMON Pin	0	0	0	0	0	LVL	Ground, dc (default).	0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).	0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).	0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.	0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.	0	0	1	1	1	LVL	Status REF1 frequency (active high).	0	1	0	0	0	LVL	Status REF2 frequency (active high).	0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).	0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).	0	1	0	1	1	LVL	Status of VCO frequency (active high).	0	1	1	0	0	LVL	Selected reference (low = REF1, high = REF2).	0	1	1	0	1	LVL	DLD; active low.																												
[4]	[3]	[2]	[1]	[0]	Level or Dynamic Signal	Signal at REFMON Pin																																																																																																																																		
0	0	0	0	0	LVL	Ground, dc (default).																																																																																																																																		
0	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																		
0	0	0	1	0	DYN	REF2 clock (N/A in differential mode).																																																																																																																																		
0	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																		
0	0	1	0	0	DYN	Unselected reference to PLL (not available in differential mode).																																																																																																																																		
0	0	1	0	1	LVL	Status of selected reference (status of differential reference); active high.																																																																																																																																		
0	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active high.																																																																																																																																		
0	0	1	1	1	LVL	Status REF1 frequency (active high).																																																																																																																																		
0	1	0	0	0	LVL	Status REF2 frequency (active high).																																																																																																																																		
0	1	0	0	1	LVL	(Status REF1 frequency) AND (status REF2 frequency).																																																																																																																																		
0	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).																																																																																																																																		
0	1	0	1	1	LVL	Status of VCO frequency (active high).																																																																																																																																		
0	1	1	0	0	LVL	Selected reference (low = REF1, high = REF2).																																																																																																																																		
0	1	1	0	1	LVL	DLD; active low.																																																																																																																																		
			<table><tr><th>[4]</th><th>[3]</th><th>[2]</th><th>[1]</th><th>[0]</th><th>Level or Dynamic Signal</th><th>Signal at REFMON Pin</th></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td><td>LVL</td><td>Holdover active (active high).</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1</td><td>LVL</td><td>N/A, do not use.</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>0</td><td>LVL</td><td>VS (PLL supply).</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td><td>DYN</td><td>REF1 clock (differential reference when in differential mode).</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>0</td><td>DYN</td><td>REF2 clock (not available in differential mode).</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td><td>DYN</td><td>Selected reference to PLL (differential reference when in differential mode).</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>DYN</td><td>Unselected reference to PLL (not available when in differential mode).</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>LVL</td><td>Status of selected reference (status of differential reference); active low.</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td><td>LVL</td><td>Status of unselected reference (not available in differential mode); active low.</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1</td><td>LVL</td><td>Status of REF1 frequency (active low).</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>0</td><td>LVL</td><td>Status of REF2 frequency (active low).</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>LVL</td><td>(Status of REF1 frequency) AND (status of REF2 frequency).</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>LVL</td><td>(DLD) AND (status of selected reference) AND (status of VCO).</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1</td><td>LVL</td><td>Status of VCO frequency (active low).</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>0</td><td>LVL</td><td>Selected reference (low = REF2, high = REF1).</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1</td><td>LVL</td><td>DLD; active low.</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>0</td><td>LVL</td><td>Holdover active (active low).</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1</td><td>LVL</td><td>N/A, do not use.</td></tr></table>	[4]	[3]	[2]	[1]	[0]	Level or Dynamic Signal	Signal at REFMON Pin	0	1	1	1	0	LVL	Holdover active (active high).	0	1	1	1	1	LVL	N/A, do not use.	1	0	0	0	0	LVL	VS (PLL supply).	1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).	1	0	0	1	0	DYN	REF2 clock (not available in differential mode).	1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).	1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).	1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.	1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.	1	0	1	1	1	LVL	Status of REF1 frequency (active low).	1	1	0	0	0	LVL	Status of REF2 frequency (active low).	1	1	0	0	1	LVL	(Status of REF1 frequency) AND (status of REF2 frequency).	1	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).	1	1	0	1	1	LVL	Status of VCO frequency (active low).	1	1	1	0	0	LVL	Selected reference (low = REF2, high = REF1).	1	1	1	0	1	LVL	DLD; active low.	1	1	1	1	0	LVL	Holdover active (active low).	1	1	1	1	1	LVL	N/A, do not use.
[4]	[3]	[2]	[1]	[0]	Level or Dynamic Signal	Signal at REFMON Pin																																																																																																																																		
0	1	1	1	0	LVL	Holdover active (active high).																																																																																																																																		
0	1	1	1	1	LVL	N/A, do not use.																																																																																																																																		
1	0	0	0	0	LVL	VS (PLL supply).																																																																																																																																		
1	0	0	0	1	DYN	REF1 clock (differential reference when in differential mode).																																																																																																																																		
1	0	0	1	0	DYN	REF2 clock (not available in differential mode).																																																																																																																																		
1	0	0	1	1	DYN	Selected reference to PLL (differential reference when in differential mode).																																																																																																																																		
1	0	1	0	0	DYN	Unselected reference to PLL (not available when in differential mode).																																																																																																																																		
1	0	1	0	1	LVL	Status of selected reference (status of differential reference); active low.																																																																																																																																		
1	0	1	1	0	LVL	Status of unselected reference (not available in differential mode); active low.																																																																																																																																		
1	0	1	1	1	LVL	Status of REF1 frequency (active low).																																																																																																																																		
1	1	0	0	0	LVL	Status of REF2 frequency (active low).																																																																																																																																		
1	1	0	0	1	LVL	(Status of REF1 frequency) AND (status of REF2 frequency).																																																																																																																																		
1	1	0	1	0	LVL	(DLD) AND (status of selected reference) AND (status of VCO).																																																																																																																																		
1	1	0	1	1	LVL	Status of VCO frequency (active low).																																																																																																																																		
1	1	1	0	0	LVL	Selected reference (low = REF2, high = REF1).																																																																																																																																		
1	1	1	0	1	LVL	DLD; active low.																																																																																																																																		
1	1	1	1	0	LVL	Holdover active (active low).																																																																																																																																		
1	1	1	1	1	LVL	N/A, do not use.																																																																																																																																		
01C	[7]	Disable switchover deglitch	Disables or enables the switchover deglitch circuit. [7] = 0; enable switchover deglitch circuit (default). [7] = 1; disable switchover deglitch circuit.																																																																																																																																					
01C	[6]	Select REF2	If Register 0x01C[5] = 0, selects reference for PLL when in manual; register selected reference control. [6] = 0; select REF1 (default). [6] = 1; select REF2.																																																																																																																																					
01C	[5]	Use REF_SEL pin	If Register 0x01C[4] = 0 (manual), sets method of PLL reference selection. [5] = 0; use Register 0x01C[6] (default). [5] = 1; use REF_SEL pin.																																																																																																																																					

Reg. Addr (Hex)	Bit(s)	Name	Description															
01C	[4]	Enable automatic reference switchover	Automatic or manual reference switchover. Single-ended reference mode must be selected by Register 0x01C[0] = 0. [4] = 0; manual reference switchover (default). [4] = 1; automatic reference switchover. Setting this bit also powers on REF1 and REF2, and overrides the settings in Register 0x01C[2:1].															
01C	[3]	Stay on REF2	Stays on REF2 after switchover. [3] = 0; return to REF1 automatically when REF1 status is good again (default). [3] = 1; stay on REF2 after switchover. Do not automatically return to REF1.															
01C	[2]	Enable REF2	This bit turns the REF2 power on. This bit is overridden when automatic reference switchover is enabled. [2] = 0; REF2 power off (default). [2] = 1; REF2 power on.															
01C	[1]	Enable REF1	This bit turns the REF1 power on. This bit is overridden when automatic reference switchover is enabled. [1] = 0; REF1 power off (default). [1] = 1; REF1 power on.															
01C	[0]	Enable differential reference	Selects the PLL reference mode, differential or single-ended. Register 0x01C[2:1] should be cleared when this bit is set. [0] = 0; single-ended reference mode (default). [0] = 1; differential reference mode.															
01D	[7]	Enable Status_EEPROM at STATUS pin	Enables the Status_EEPROM signal at the STATUS pin. [7] = 0; the STATUS pin is controlled by 0x017[7:2] selection. [7] = 1; select Status_EEPROM signal at STATUS pin. This bit overrides 0x017[7:2] (default).															
01D	[6]	Enable XTAL OSC	Enables the maintaining amplifier needed by a crystal oscillator at the PLL reference input. [6] = 0; crystal oscillator maintaining amplifier disabled (default). [6] = 1; crystal oscillator maintaining amplifier enabled.															
01D	[5]	Enable clock doubler	Enable PLL reference input clock doubler. [5] = 0; doubler disabled (default). [5] = 1; doubler enabled.															
01D	[4]	Disable PLL status register	Disables the PLL status register readback. [4] = 0; PLL status register enabled (default). [4] = 1; PLL status register disabled. If this bit is set, Register 01F is not automatically updated.															
01D	[3]	Enable LD pin comparator	Enables the LD pin voltage comparator. This is used with the LD pin current source lock detect mode. When the AD9520 is in internal (automatic) holdover mode, this enables the use of the voltage on the LD pin to determine if the PLL was previously in a locked state (see Figure 46). Otherwise, this can be used with the REFMON and STATUS pins to monitor the voltage on this pin. [3] = 0; disable LD pin comparator and ignore the LD pin voltage; internal/automatic holdover controller treats this pin as true (high, default). [3] = 1; enable LD pin comparator (use LD pin voltage to determine if the PLL was previously locked).															
01D	[1]	Enable external holdover	Enables the external hold control through the SYNC pin. (This disables the internal holdover mode.) [1] = 0; automatic holdover mode, holdover controlled by automatic holdover circuit (default). [1] = 1; external holdover mode, holdover controlled by SYNC pin.															
01D	[0]	Enable holdover	Enables the internally controlled holdover function. [0] = 0; holdover disabled (default). [0] = 1; holdover enabled.															
01E	[4:3]	External zero delay feedback channel divider select	<table><tr><th>[4]</th><th>[3]</th><th>Select Which Channel Divider to Use in the External Zero-Delay Path</th></tr><tr><td>0</td><td>0</td><td>Select Channel Divider 0 (default).</td></tr><tr><td>0</td><td>1</td><td>Select Channel Divider 1.</td></tr><tr><td>1</td><td>0</td><td>Select Channel Divider 2.</td></tr><tr><td>1</td><td>1</td><td>Select Channel Divider 3.</td></tr></table>	[4]	[3]	Select Which Channel Divider to Use in the External Zero-Delay Path	0	0	Select Channel Divider 0 (default).	0	1	Select Channel Divider 1.	1	0	Select Channel Divider 2.	1	1	Select Channel Divider 3.
[4]	[3]	Select Which Channel Divider to Use in the External Zero-Delay Path																
0	0	Select Channel Divider 0 (default).																
0	1	Select Channel Divider 1.																
1	0	Select Channel Divider 2.																
1	1	Select Channel Divider 3.																
01E	[2]	Enable external zero delay	Selects which zero delay mode to use. [2] = 0; enables internal zero delay mode if 0x01E[1] = 1 (default). [2] = 1; enables external zero delay mode if 0x01E[1] = 1.															
01E	[1]	Enable zero delay	Enables zero delay function. [1] = 0; disables zero delay function (default). [1] = 1; enables zero delay function.															

Reg. Addr (Hex)	Bit(s)	Name	Description
01F	[6]	VCO calibration finished (read-only)	Readback register. Indicates the status of the VCO calibration. [6] = 0; VCO calibration not finished. [6] = 1; VCO calibration finished.
01F	[5]	Holdover active (read-only)	Readback register. Indicates if the part is in the holdover state (see Figure 46). This is not the same as holdover enabled. [5] = 0; not in holdover. [5] = 1; holdover state active.
01F	[4]	REF2 selected (read-only)	Readback register. Indicates which PLL reference is selected as the input to the PLL. [4] = 0; REF1 selected (or differential reference if in differential mode). [4] = 1; REF2 selected.
01F	[3]	VCO frequency > threshold (read-only)	Readback register. Indicates if the VCO frequency is greater than the threshold (see Table 17, REF1, REF2, and VCO frequency status monitor parameter). [3] = 0; VCO frequency is less than the threshold. [3] = 1; VCO frequency is greater than the threshold.
01F	[2]	REF2 frequency > threshold (read-only)	Readback register. Indicates if the frequency of the signal at REF2 is greater than the threshold frequency set by Register 0x01A[6]. [2] = 0; REF2 frequency is less than the threshold frequency. [2] = 1; REF2 frequency is greater than the threshold frequency.
01F	[1]	REF1 frequency > threshold (read-only)	Readback register. Indicates if the frequency of the signal at REF1 is greater than the threshold frequency set by Register 0x01A[6]. [1] = 0; REF1 frequency is less than the threshold frequency. [1] = 1; REF1 frequency is greater than the threshold frequency.
01F	[0]	Digital lock detect (read-only)	Readback register. Digital lock detect. [0] = 0; PLL is not locked. [0] = 1; PLL is locked.

表 54.出力ドライバ制御

Reg. Addr (Hex)	Bit(s)	Name	Description
0F0	[7]	OUT0 format	Selects the output type for OUT0. [7] = 0; LVPECL (default). [7] = 1; CMOS.
0F0	[6:5]	OUT0 CMOS configuration	Sets the CMOS output configuration for OUT0 when 0x0F0[7] = 1.
		[6:5]	OUT0A OUT0B
		00	Tristate Tristate
		01	On Tristate
		10	Tristate On
		11 (default)	On On
0F0	[4:3]	OUT0 polarity	Sets the output polarity for OUT0.
		[7]	[4] [3] Output Type OUT0A OUT0B
		0 (default)	X 0 (default) LVPECL Noninverting Inverting
		0	X 1 LVPECL Inverting Noninverting
		1	0 (default) 0 CMOS Noninverting Noninverting
		1	0 1 CMOS Inverting Inverting
		1	1 0 CMOS Noninverting Inverting
		1	1 1 CMOS Inverting Noninverting
0F0	[2:1]	OUT0 LVPECL differential voltage	Sets the LVPECL output differential voltage (V_{OD}).
		[2]	[1] V_{OD} (mV)
		0	0 400
		0	1 600
		1 (default)	0 (default) 780
		1	1 960
0F0	[0]	OUT0 LVPECL power-down	LVPECL power-down. [0] = 0; normal operation (default).

Reg. Addr (Hex)	Bit(s)	Name	Description												
			[0] = 1; safe power-down.												
0F1	[7:0]	OUT1 control	This register controls OUT1, and the bit assignments for this register are identical to Register 0x0F0.												
0F2	[7:0]	OUT2 control	This register controls OUT2, and the bit assignments for this register are identical to Register 0x0F0.												
0F3	[7:0]	OUT3 control	This register controls OUT3, and the bit assignments for this register are identical to Register 0x0F0.												
0F4	[7:0]	OUT4 control	This register controls OUT4, and the bit assignments for this register are identical to Register 0x0F0.												
0F5	[7:0]	OUT5 control	This register controls OUT5, and the bit assignments for this register are identical to Register 0x0F0.												
0F6	[7:0]	OUT6 control	This register controls OUT6, and the bit assignments for this register are identical to Register 0x0F0.												
0F7	[7:0]	OUT7 control	This register controls OUT7, and the bit assignments for this register are identical to Register 0x0F0.												
0F8	[7:0]	OUT8 control	This register controls OUT8, and the bit assignments for this register are identical to Register 0x0F0.												
0F9	[7:0]	OUT9 control	This register controls OUT9, and the bit assignments for this register are identical to Register 0x0F0.												
0FA	[7:0]	OUT10 control	This register controls OUT10, and the bit assignments for this register are identical to Register 0x0F0.												
0FB	[7:0]	OUT11 control	This register controls OUT11, and the bit assignments for this register are identical to Register 0x0F0.												
0FC	[7]	CSDLD En OUT7	OUT7 enabled only if CSDLD is high. <table><tr><th>[7]</th><th>CSDLD Signal</th><th>OUT7 Enable Status</th></tr><tr><td>0</td><td>0</td><td>Not affected by CSDLD signal (default).</td></tr><tr><td>1</td><td>0</td><td>Asynchronous power-down.</td></tr><tr><td>1</td><td>1</td><td>Asynchronously enable OUT 7 if not powered down by other settings. To use this feature, the user must use current source digital lock detect, and set the enable LD pin comparator bit (0x01D[3]).</td></tr></table>	[7]	CSDLD Signal	OUT7 Enable Status	0	0	Not affected by CSDLD signal (default).	1	0	Asynchronous power-down.	1	1	Asynchronously enable OUT 7 if not powered down by other settings. To use this feature, the user must use current source digital lock detect, and set the enable LD pin comparator bit (0x01D[3]).
[7]	CSDLD Signal	OUT7 Enable Status													
0	0	Not affected by CSDLD signal (default).													
1	0	Asynchronous power-down.													
1	1	Asynchronously enable OUT 7 if not powered down by other settings. To use this feature, the user must use current source digital lock detect, and set the enable LD pin comparator bit (0x01D[3]).													
0FC	[6]	CSDLD En OUT6	OUT6 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[5]	CSDLD En OUT5	OUT5 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[4]	CSDLD En OUT4	OUT4 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[3]	CSDLD En OUT3	OUT3 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[2]	CSDLD En OUT2	OUT2 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[1]	CSDLD En OUT1	OUT1 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FC	[0]	CSDLD En OUT0	OUT0 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FD	[3]	CSDLD En OUT11	OUT11 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FD	[2]	CSDLD En OUT10	OUT10 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FD	[1]	CSDLD En OUT9	OUT9 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												
0FD	[0]	CSDLD En OUT8	OUT8 enabled only if CSDLD is high. Setting is identical to Register 0x0FC[7].												

表 55.LVPECL チャンネル分周器

Reg. Addr (Hex)	Bit(s)	Name	Description
190	[7:4]	Divider 0 low cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays low. A value of 0x7 means the divider is low for eight input clock cycles (default: 0x7).
190	[3:0]	Divider 0 high cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays high. A value of 0x7 means the divider is high for eight input clock cycles (default: 0x7).
191	[7]	Divider 0 bypass	Bypasses and powers down the divider; routes input to divider output. [7] = 0; use divider (default). [7] = 1; bypass divider.
191	[6]	Divider 0 ignore SYNC	Ignore SYNC. [6] = 0; obey chip-level SYNC signal (default). [6] = 1; ignore chip-level SYNC signal.
191	[5]	Divider 0 force high	Forces divider output to high. This requires that ignore SYNC also be set. [5] = 0; divider output forced to low (default). [5] = 1; divider output forced to high.
191	[4]	Divider 0 start high	Selects clock output to start high or start low. [4] = 0; start low (default). [4] = 1; start high.
191	[3:0]	Divider 0 phase offset	Phase offset (default: 0x0).

Reg. Addr (Hex)	Bit(s)	Name	Description
192	[2]	Channel 0 power-down	Channel 0 powers down. [2] = 0; normal operation (default). [2] = 1; powered down. (OUT0/OUT0, OUT1/OUT1, and OUT2/OUT2 are put into safe power-down mode by setting this bit.)
192	[1]	Channel 0 direct-to-output	Connects OUT0, OUT1, and OUT2 to Divider 0 or directly to VCO or CLK. [1] = 0; OUT0, OUT1, and OUT2 are connected to Divider 0 (default). [1] = 1; If 0x1E1[1:0] = 10b, the VCO is routed directly to OUT0, OUT1, and OUT2. If 0x1E1[1:0] = 00b, the CLK is routed directly to OUT0, OUT1, and OUT2. If 0x1E1[1:0] = 01b, there is no effect.
192	[0]	Disable Divider 0 DCC	Duty-cycle correction function. [0] = 0; enable duty-cycle correction (default). [0] = 1; disable duty-cycle correction.
193	[7:4]	Divider 1 low cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays low. A value of 0x3 means the divider is low for four input clock cycles (default: 0x3).
193	[3:0]	Divider 1 high cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays high. A value of 0x3 means the divider is high for four input clock cycles (default: 0x3).
194	[7]	Divider 1 bypass	Bypasses and powers down the divider; routes input to divider output. [7] = 0; use divider (default). [7] = 1; bypass divider.
194	[6]	Divider 1 ignore SYNC	Ignore SYNC. [6] = 0; obey chip-level SYNC signal (default). [6] = 1; ignore chip-level SYNC signal.
194	[5]	Divider 1 force high	Forces divider output to high. This requires that ignore SYNC also be set. [5] = 0; divider output forced to low (default). [5] = 1; divider output forced to high.
194	[4]	Divider 1 start high	Selects clock output to start high or start low. [4] = 0; start low (default). [4] = 1; start high.
194	[3:0]	Divider 1 phase offset	Phase offset (default: 0x0).
195	[2]	Channel 1 power-down	Channel 1 powers down. [2] = 0; normal operation (default). [2] = 1; powered down. (OUT3/OUT3, OUT4/OUT4, and OUT5/OUT5 are put into safe power-down mode by setting this bit.)
195	[1]	Channel 1 direct-to-output	Connects OUT3, OUT4, and OUT5 to Divider 1 or directly to VCO or CLK. [1] = 0; OUT3, OUT4, and OUT5 are connected to Divider 1 (default). [1] = 1; If 0x1E1[1:0] = 10b, the VCO is routed directly to OUT3, OUT4, and OUT5. If 0x1E1[1:0] = 00b, the CLK is routed directly to OUT3, OUT4, and OUT5. If 0x1E1[1:0] = 01b, there is no effect.
195	[0]	Disable Divider 1 DCC	Duty-cycle correction function. [0] = 0; enable duty-cycle correction (default). [0] = 1; disable duty-cycle correction.
196	[7:4]	Divider 2 low cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays low. A value of 0x1 means the divider is low for two input clock cycles (default: 0x1).
196	[3:0]	Divider 2 high cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays high. A value of 0x1 means the divider is high for two input clock cycles (default: 0x1).
197	[7]	Divider 2 bypass	Bypasses and powers down the divider; routes input to divider output. [7] = 0; use divider (default). [7] = 1; bypass divider.
197	[6]	Divider 2 ignore SYNC	Ignore SYNC. [6] = 0; obey chip-level SYNC signal (default). [6] = 1; ignore chip-level SYNC signal.
197	[5]	Divider 2 force high	Forces divider output to high. This requires that ignore SYNC also be set. [5] = 0; divider output forced to low (default). [5] = 1; divider output forced to high.

Reg. Addr (Hex)	Bit(s)	Name	Description
197	[4]	Divider 2 start high	Selects clock output to start high or start low. [4] = 0; start low (default). [4] = 1; start high.
197	[3:0]	Divider 2 phase offset	Phase offset (default: 0x0).
198	[2]	Channel 2 power-down	Channel 2 powers down. [2] = 0; normal operation (default). [2] = 1; powered down. (OUT6/OUT6, OUT7/OUT7, and OUT8/OUT8 are put into safe power-down mode by setting this bit.)
198	[1]	Channel 2 direct-to-output	Connects OUT6, OUT7, and OUT8 to Divider 2 or directly to VCO or CLK. [1] = 0; OUT6, OUT7, and OUT8 are connected to Divider 2 (default). [1] = 1: If 0x1E1[1:0] = 10b, the VCO is routed directly to OUT6, OUT7, and OUT8. If 0x1E1[1:0] = 00b, the CLK is routed directly to OUT6, OUT7, and OUT8. If 0x1E1[1:0] = 01b, there is no effect.
198	[0]	Disable Divider 2 DCC	Duty-cycle correction function. [0] = 0; enable duty-cycle correction (default). [0] = 1; disable duty-cycle correction.
199	[7:4]	Divider 3 low cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays low. A value of 0x0 means the divider is low for one input clock cycle (default: 0x0).
199	[3:0]	Divider 3 high cycles	Number of clock cycles (minus 1) of the divider input during which divider output stays high. A value of 0x0 means the divider is high for one input clock cycle (default: 0x0).
19A	[7]	Divider 3 bypass	Bypasses and powers down the divider; routes input to divider output. [7] = 0; use divider (default). [7] = 1; bypass divider.
19A	[6]	Divider 3 ignore SYNC	Ignore SYNC. [6] = 0; obey chip-level SYNC signal (default). [6] = 1; ignore chip-level SYNC signal.
19A	[5]	Divider 3 force high	Forces divider output to high. This requires that ignore SYNC also be set. [5] = 0; divider output forced to low (default). [5] = 1; divider output forced to high.
19A	[4]	Divider 3 start high	Selects clock output to start high or start low. [4] = 0; start low (default). [4] = 1; start high.
19A	[3:0]	Divider 3 phase offset	Phase offset (default: 0x0).
19B	[2]	Channel 3 power-down	Channel 3 powers down. [2] = 0; normal operation (default). [2] = 1; powered down. (OUT9/OUT9, OUT10/OUT10, and OUT11/OUT11 are also put into safe power-down mode by setting this bit.)
19B	[1]	Channel 3 direct-to-output	Connects OUT9, OUT10, and OUT11 to Divider 3 or directly to VCO or CLK. [1] = 0; OUT9, OUT10, and OUT11 are connected to Divider 3 (default). [1] = 1; If 0x1E1[1:0] = 10b, the VCO is routed directly to OUT9, OUT10, and OUT11. If 0x1E1[1:0] = 00b, the CLK is routed directly to OUT9, OUT10, and OUT11. If 0x1E1[1:0] = 01b, there is no effect.
19B	[0]	Disable Divider 3 DCC	Duty-cycle correction function. [0] = 0; enable duty-cycle correction (default). [0] = 1; disable duty-cycle correction.

表 56.VCO 分周器と CLK 入力

Reg. Addr (Hex)	Bit(s)	Name	Description																
1E0	[2:0]	VCO divider	<table> <tr> <th>[2]</th><th>[1]</th><th>[0]</th><th>Divide</th></tr> <tr> <td>0</td><td>0</td><td>0</td><td>2 (default)</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>3</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>4</td></tr> </table>	[2]	[1]	[0]	Divide	0	0	0	2 (default)	0	0	1	3	0	1	0	4
[2]	[1]	[0]	Divide																
0	0	0	2 (default)																
0	0	1	3																
0	1	0	4																

Reg. Addr (Hex)	Bit(s)	Name	Description
			0 1 1 1 1 5 6 Output static 1 (bypass) Output static
1E1	[4]	Power-down clock input section	Powers down the clock input section (including CLK buffer, VCO divider, and CLK tree). [4] = 0; normal operation (default). [4] = 1; power down.
1E1	[3]	Power-down VCO clock interface	Powers down the interface block between VCO and clock distribution. [3] = 0; normal operation (default). [3] = 1; power down.
1E1	[2]	Power-down VCO and CLK	Powers down both VCO and CLK input. [2] = 0; normal operation (default). [2] = 1; power down.
1E1	[1]	Select VCO or CLK	Selects either the VCO or the CLK as the input to VCO divider. [1] = 0; select external CLK as input to VCO divider (default). [1] = 1; select VCO as input to VCO divider; cannot bypass VCO divider when this is selected. This bit must be set to use the PLL with the internal VCO.
1E1	[0]	Bypass VCO divider	Bypasses or uses the VCO divider. [0] = 0; use VCO divider (default). [0] = 1; bypass VCO divider; cannot select VCO as input when this is selected.

表 57. システム

Reg. Addr (Hex)	Bit(s)	Name	Description
230	[3]	Disable power-on SYNC	Power-on SYNC mode. Used to disable the antiruntpulse circuitry. [3] = 0; enable the antiruntpulse circuitry (default). [3] = 1; disable the antiruntpulse circuitry.
230	[2]	Power-down SYNC	Powers down the SYNC function. [2] = 0; normal operation of the SYNC function (default). [2] = 1; power-down SYNC circuitry.
230	[1]	Power-down distribution reference	Powers down the reference for the distribution section. [1] = 0; normal operation of the reference for the distribution section (default). [1] = 1; powers down the reference for the distribution section.
230	[0]	Soft SYNC	The soft SYNC bit works the same as the $\overline{\text{SYNC}}$ pin, except that the polarity of the bit is reversed; that is, a high level forces selected channels into a predetermined static state, and a 1-to-0 transition triggers a SYNC. [0] = 0; same as $\overline{\text{SYNC}}$ high. [0] = 1; same as $\overline{\text{SYNC}}$ low.

表 58. 全レジスタの更新

Reg. Addr (Hex)	Bit(s)	Name	Description
232	[0]	IO_UPDATE	This bit must be set to 1 to transfer the contents of the buffer registers into the active registers. This happens on the next SCLK rising edge. This bit is self-clearing; that is, it does not have to be set back to 0. [0] = 1 (self-clearing); update all active registers to the contents of the buffer registers.

表 59.EEPROM バッファ・セグメント

Reg. Addr (Hex)	Bit(s)	Name	Description
A00 to A16		EEPROM Buffer Segment Register 1 to EEPROM Buffer Segment Register 23	The EEPROM buffer segment section stores the starting address and number of bytes that are to be stored and read back to and from the EEPROM. Because the AD9520 register space is noncontiguous, the EEPROM controller needs to know the starting address and number of bytes in the AD9520 register space to store and retrieve from the EEPROM. In addition, there are special instructions for the EEPROM controller, operational codes (that is, IO_UPDATE and end-of-data) that are also stored in the EEPROM buffer segment. The on-chip default setting of the EEPROM buffer segment registers is designed such that all registers are transferred to/from the EEPROM, and an IO_UPDATE is issued after transfer. See the Programming the EEPROM Buffer Segment section for more information.

表 60.EEPROM 制御

Reg. Addr (Hex)	Bit(s)	Name	Description
B00	[0]	STATUS_EEPROM (read-only)	This read-only register indicates the status of the data transferred between the EEPROM and the buffer register bank during the writing and reading of the EEPROM. This signal is also available at the STATUS pin when 0x01D[7] is set. [0] = 0; data transfer is done. [0] = 1; data transfer is not done.
B01	[0]	EEPROM data error (read-only)	This read-only register indicates an error during the data transferred between the EEPROM and the buffer. [0] = 0; no error. Data is correct. [0] = 1; incorrect data detected.
B02	[1]	Soft_EEPROM	When the EEPROM pin is tied low, setting Soft_EEPROM resets the AD9520 using the settings saved in EEPROM. [1] = 1; soft reset with EEPROM settings (self-clearing).
B02	[0]	Enable EEPROM write	Enables the user to write to the EEPROM. [0] = 0; EEPROM write protection is enabled. User cannot write to EEPROM (default). [0] = 1; EEPROM write protection is disabled. User can write to EEPROM.
B03	[0]	REG2EEPROM	Transfers data from the buffer register to the EEPROM (self-clearing). [0] = 1; setting this bit initiates the data transfer from the buffer register to the EEPROM (writing process); it is reset by the I ² C master after the data transfer is done.

アプリケーション情報

AD9520 を使用した周波数プランニング

AD9520 は非常に柔軟な PLL です。PLL 設定値と AD9520 のバージョンを選択するときは、次のガイドラインを考慮する必要があります。

AD9520 には、リファレンス(R)分周器、帰還(N)分周器、VCO 分周器、チャンネル分周器の 4 個の周波数分周器があります。多くの周波数分周を必要とする特に難しい周波数分周比を実現するときは、いくつかの周波数分周は VCO 分周器またはチャンネル分周器で行って、高い位相検出器周波数とループ帯域幅選択の柔軟性を実現することができます。

AD9520 ファミリーでは、一般に VCO 周波数が低いとジッタが少し向上します。同じ出力周波数に対する積分ジッタ(12 kHz～20 MHz オフセット)の差は、AD9520 ファミリーの全 VCO 周波数範囲(1.4 GHz～2.95 GHz)で 150 fs 以下です。AD9520 の低い VCO 周波数バージョンで所望の周波数プランを実現できる場合には、低い周波数デバイスを選択すると最善の位相ノイズと最小のジッタを得ることができますが、高い VCO 周波数を選ぶと、周波数プランの柔軟性が向上します。

開始点として許容範囲の中程の公称チャージ・ポンプ電流を選択すると、チャージ・ポンプ電流を増減して、いずれかの方向に PLL ループ帯域幅を微調整することができます。

ADIsimCLK は www.analog.com からダウンロードできる強力な PLL モデリング・ツールであり、与えられたアプリケーションに対して最適ループ・フィルタを決定する非常に正確なツールです。

ADC クロック・アプリケーションでの AD9520 出力の使用

高速な高分解能 A/D コンバータは、AD9520 のサンプリング・クロックの品質に極めて敏感です。ADC はサンプリング・ミキサーと見なすことができるため、クロックのノイズ、歪み、またはタイミング・ジッタが A/D 出力から得られる所望の信号に混入してしまいます。クロック条件はアナログ入力の周波数と分解能に比例し、アナログ入力周波数が高いアプリケーションほど厳しくなり、14 ビット以上の分解能では最も厳しくなります。ADC の理論 SNR は、ADC の分解能とサンプリング・クロックのジッタで制限されます。ステップ・サイズと量子化誤差を無視できる無限分解能ビットを持つ ADC の理論 SNR は次式で近似できます。

$$SNR(\text{dB}) = 20 \log \left(\frac{1}{2\pi f_A t_J} \right)$$

ここで、 f_A は量子化される最高アナログ周波数、 t_J はサンプリング・クロックの rms ジッタです。

図 69 に、アナログ周波数の関数としての所要サンプリング・クロック・ジッタと実効ビット数(ENOB)を示します。

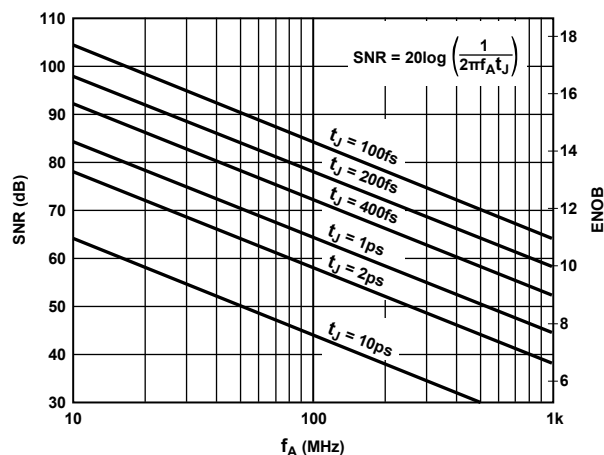


図 69. SNR および ENOB 対アナログ入力周波数

www.analog.com の AN-756 アプリケーション・ノートと AN-501 アプリケーション・ノートを参照してください。

多くの高性能 ADC は、ノイズの多い PCB で所要低ジッタ・クロックを簡単に用意するため差動クロック入力を持っています(ノイズの多い PCB 上でシングルエンド・クロックを分配すると、サンプル・クロックにノイズが混入することがあります。差動分配にはもともとコモン・モード除去機能があるため、ノイズの多い環境で優れたクロック性能を提供することが可能)。AD9520 の差動 LVPECL 出力は、コンバータの SNR 性能を最大にするクロック・ソリューションを可能にします。

最適なクロックキング/コンバータ・ソリューションを選択する際には、ADC の入力条件(差動またはシングルエンド、ロジック・レベル、終端)を考慮する必要があります。

CMOS クロックの分配

AD9520 の LVPECL 出力は、AD9520 の中で最小ジッタのクロック信号を提供します。LVPECL 出力(オープン・エミッタを使用しているため)は、出力トランジスタをバイアスするために DC 終端を必要とします。図 53 に、LVPECL 出力ステージの簡略化した等価回路を示します。

アプリケーションによっては、LVPECL 遠端テブナン終端(図 70)または Y 終端(図 71)が推奨される場合があります。両ケースでは、受信バッファの V_S は VS_DRV に一致する必要があります。一致しない場合には、AC 結合が推奨されます(図 72 参照)。

LVPECL Y 終端は、最小部品数で偶数と奇数の両モード・インピーダンス整合を提供する便利な終端方式です。偶数モード・インピーダンス整合は、高周波で送信ラインが密に結合されるときに重要な考慮事項です。主な欠点は、エミッタ・ホロー LVPECL ドライバの駆動強度変化に対する柔軟性が限られていることです。長いパターンを駆動する際には重要な考慮事項ですが、通常は問題になりません。VS_DRV = 2.5 V の場合、図 71 のグラウンドへ接続した 50 Ω 終端抵抗を 19 Ω に変更する必要があります。

テブナン等価終端では、抵抗回路を使って、LVPECL ドライバの V_{OL} より低い DC 電圧への 50 Ω 終端を提供しています。この場合、AD9520 の VS_DRV は受信バッファの V_S と一致する必要があります。図示の抵抗組み合わせは VS_DRV = 2 V の DC バイアス・ポイントを与えますが、実際のコモン・モード電圧は VS_DRV - 1.3 V になります。これは、プルダウン抵抗を通して AD9520 LVPECL ドライバから電流が流れるためです。

この回路は $V_{S_DRV} = 2.5\text{ V}$ の場合と同じですが、プルダウン抵抗が $62.5\ \Omega$ で、プルアップ抵抗が $250\ \Omega$ である点が異なります。

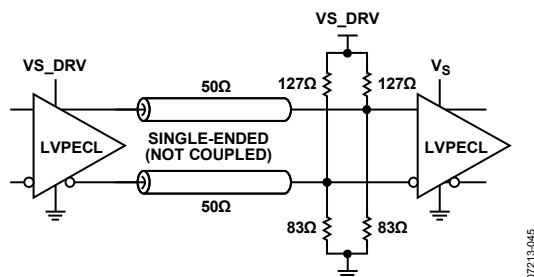


図 70.DC 結合の 3.3 V LVPECL 遠端テブナン終端

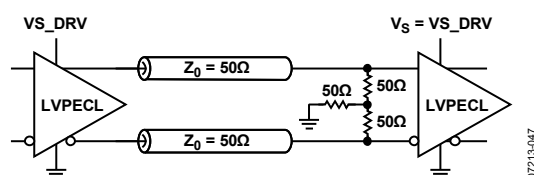


図 71.DC 結合の 3.3 V LVPECL Y 終端

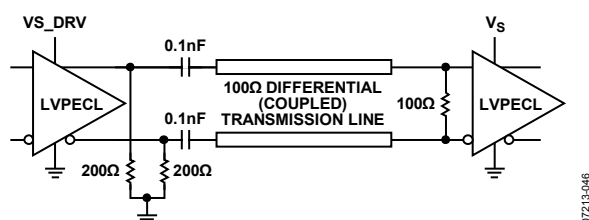


図 72.並列伝送線による AC 結合の LVPECL

CMOS クロックの分配

AD9520 の出力ドライバは CMOS ドライバとして構成することができます。各出力を CMOS ドライバとして選択すると、CMOS 出力対になり、各々は個別にターンオンまたはターンオフでき、さらに反転または非反転に設定できます。これらの出力は、3.3 V または 2.5 V の CMOS と互換性を持っていますが、各出力ドライバ (LVPECL ドライバも含む) は、2.5 V または 3.3 V で動作する必要があります。2.5 V と 3.3 V の出力を混在させることはできません。

シングルエンド CMOS クロックを使うときは、次のガイドラインに従う必要があります。

可能な場合には、1 個のドライバが 1 個のレシーバを駆動するように、1 対 1 の回路をデザインする必要があります。これにより簡単な終端方式が可能になり、出力パターンのインピーダンス不整合によるリンギングを抑えることができます。伝送線の整合および/またはドライバ側での過渡電流の削減のために、一般にソース側での直列終端が必要とされます。

抵抗値は、ボード・デザインとタイミング条件に依存します (一般に $10\ \Omega \sim 100\ \Omega$ を使用)。CMOS 出力には、駆動可能な容量負荷またはパターン長の制限があります。信号の立ち上がり時間/立ち下がり時間と信号インテグリティを維持するためには、一般に、3 インチ以下のパターン長が推奨されます。

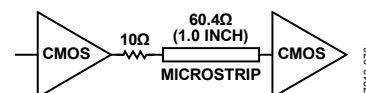


図 73.CMOS 出力の直列終端

PCB パターンの遠端での終端は 2 つ目のオプションです。AD9520 の CMOS 出力は、図 74 に示すように、抵抗性低インピーダンスによる遠端終端に対してフル電圧振幅を可能にする十分な電流を供給しません。遠端終端回路は PCB パターン・インピーダンスにマッチングさせ、所望のスイッチング・ポイントを提供する必要があります。小さくなった信号振幅でも、アプリケーションによってはレシーバ入力条件を満たすことも可能です。これは、危険度の少ない長いパターンを駆動する際には便利です。

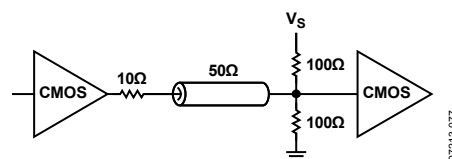


図 74.遠端終端を持つ CMOS 出力

シングルエンド CMOS クロックキングには制約があるため、長いパターンで高速信号を駆動するときは差動出力の使用を検討してください。AD9520 は長いパターンを駆動するのに適している LVPECL 出力を持っており、差動信号に固有なノイズ耐性がクロック・コンバータに対して優れた性能を提供します。

外形寸法

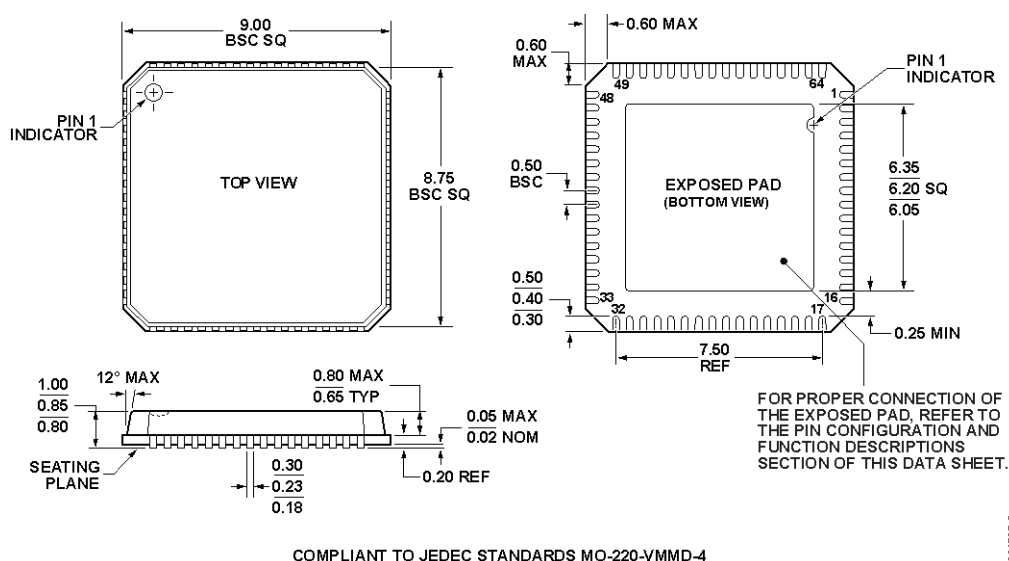


図 75.64 ピン・リード・フレーム・チップ・スケール・パッケージ[LFCSP_VQ]
9 mm × 9 mm ボディ、極薄クワッド
CP-64-4
寸法:mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9520-0BCPZ ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-4
AD9520-0BCPZ-REEL7 ¹	-40°C to +85°C	64-Lead Lead Frame Chip Scale Package (LFCSP_VQ)	CP-64-4
AD9520-0PCBZ ¹		Evaluation Board	

¹ Z = RoHS 準拠製品