



出力ドライバと遅延調整内蔵の 1.65 GHzクロック・ファンアウト・バッファ

データシート

AD9508

特長

- 1.65 GHz の差動クロック入力／出力
- プログラマブルな 10 ビット分周比 1~1024
- 最大 4 個の差動出力または 8 個の CMOS 出力
- パワーアップ時ハードウェア設定用のピン・ストラッピング機能
- 115 fs rms 以下の広帯域ランダム・ジッタ (図 25 参照)
- 出力ジッタ増加: 41 fs rms typ (12 kHz~20 MHz)
- 優れた出力間アイソレーション
- 全出力の自動同期
- 2.5 V/3.3 V の単電源動作
- 電源ノイズ耐性を向上させる LDO (ロー・ドロップアウト) 電圧レギュレータを内蔵
- 出力-出力間遅延粗調整用の位相オフセット選択
- 3 種類のプログラマブルな出力ロジック・レベル (LVDS、HSTL、CMOS)
- シリアル・コントロール・ポート (SPI/I²C) モード、またはピン設定モード
- 省スペースの 24 ピン LFCSP を採用

アプリケーション

- 低ジッタ低位相ノイズ・クロックの分配
- 高速な ADC、DAC、DDS、DDC、DUC、MxFE のクロック駆動
- 高性能ワイヤレス・トランシーバ
- 高性能計装機器
- ブロードバンド・インフラストラクチャ

概要

AD9508 は、システム性能を最適化するためにジッタを小さくすることが重要となるデザインでクロック・ファンアウト機能を提供します。このデバイスは、厳しい位相ノイズ条件と低ジッタ条件を持つデータ・コンバータのクロック駆動のようなアプリケーションで役立ちます。

独立な 4 個の差動クロック出力があり、各々では種々のタイプのロジック・レベルを使用することができます。使用可能なロジック・タイプとしては、LVDS (1.65 GHz)、HSTL (1.65 GHz)、1.8 V CMOS (250 MHz) などがあります。1.8 V CMOS 出力モードでは、差動出力が 2 個の CMOS シングルエンド信号になります。CMOS 出力は 1.8 V ロジック・レベルで、動作電源電圧に無関係です。

機能ブロック図

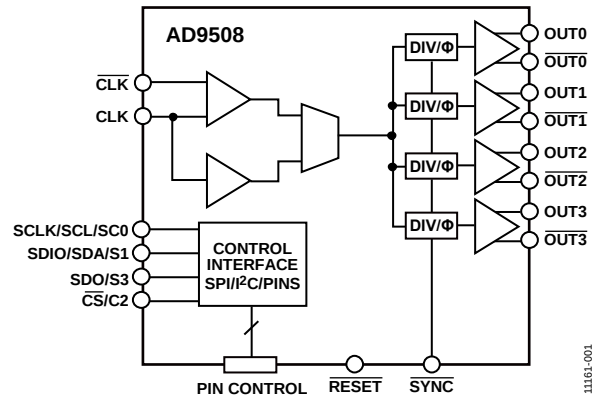


図 1.

各出力にはプログラマブルな分周器があり、これはバイパスすることができます。あるいは最大 1024 の整数分周比で分周するように設定することができます。さらに、AD9508 は出力間の出力位相粗調整機能もサポートしています。

また、このデバイスは SPI または I²C の設定機能を使わずに、パワーアップ時にピン設定により種々の固定設定を行うことができます。

AD9508 は 24 ピン LFCSP を採用し、2.5 V または 3.3 V の単電源で動作します。温度範囲は-40°C~+85°C です。

目次

特長.....	1	クロック入力.....	21
アプリケーション.....	1	クロック出力.....	22
機能ブロック図.....	1	クロック分周器.....	23
概要.....	1	位相遅延の制御.....	23
改訂履歴.....	2	リセット・モード.....	23
仕様.....	3	パワーダウン・モード.....	23
電気的特性.....	3	出力クロックの同期.....	24
電源電流条件と温度条件.....	3	電源.....	24
クロック入力／出力 DC 仕様.....	4	熱強化パッケージ実装のガイド・ライン.....	24
出力ドライバのタイミング特性.....	5	パワーアップ時設定用のピン・ストラッピング機能.....	25
ロジック入力.....	6	シリアル・コントロール・ポート.....	26
シリアル・ポート仕様—SPI モード.....	6	SPI/I ² C ポートの選択.....	26
シリアル・ポート仕様—I ² C モード.....	7	SPI シリアル・ポートの動作.....	26
ピン・ストラッピング・モードの外付け抵抗値.....	8	I ² C シリアル・ポートの動作.....	29
クロック出力の位相ノイズ増加.....	8	レジスタ・マップ.....	32
クロック出力のジッタ増加.....	9	レジスタ・マップのビット説明.....	33
絶対最大定格.....	10	シリアル・ポート・コンフィギュレーション (レジスタ 0X00).....	33
熱特性.....	10	シリコン・レビジョン (レジスタ 0X0A～レジスタ 0X0D).....	33
ESD の注意.....	10	チップ・レベル機能 (レジスタ 0X12～レジスタ 0X14).....	33
ピン配置およびピン機能説明.....	11	OUT0 機能 (レジスタ 0X15～レジスタ 0X1A).....	34
代表的な性能特性.....	13	OUT1 機能 (レジスタ 0X1B～レジスタ 0X20).....	35
テスト回路.....	19	OUT2 機能 (レジスタ 0X21～レジスタ 0X26).....	36
推奨入力／出力終端.....	19	OUT3 機能 (レジスタ 0X27～レジスタ 0X2C).....	37
用語.....	20	パッケージとオーダー情報.....	39
動作原理.....	21	外形寸法.....	39
詳細ブロック図.....	21	オーダー・ガイド.....	39
設定モードの選択.....	21		

改訂履歴

10/13—Rev. A to Rev. B

Change to Figure 5 Caption.....	13
Change to Figure 13 Caption.....	14
Change to Figure 19 Caption.....	15
Change to Individual Clock Channel Power-Down Section.....	23
Change to Write Section.....	27
Changes to Table 27.....	34
Changes to Table 29.....	35
Changes to Table 31.....	36

Changes to Table 33.....	37
--------------------------	----

4/13—Rev. 0 to Rev. A

Changes to Table 9.....	9
Changes to Figure 10.....	14
Changes to Figure 15.....	15
Changes to Figure 24 and Figure 26.....	16
Changes to Figure 27, Figure 29 to Figure 32.....	17
Changes to Figure 33.....	18

1/13—Revision 0: Initial Version

仕様

電気的特性

特に指定がない限り、typ 値は $V_S = 3.3\text{ V}$ および 2.5 V 、 $T_A = 25^\circ\text{C}$ での値。最小値と最大値は $V_{DD} = 3.3\text{ V} + 5\% \sim 2.5\text{ V} - 5\%$ 、 $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$ 、入力スルーレート $> 1\text{ V/ns}$ での値。

電源電流条件と温度条件

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SUPPLY VOLTAGE	2.375	2.5	3.465	V	Use supply voltage setting (2.5 V or 3.3 V) and appropriate current consumption configuration (see Current Consumption parameters in Table 1) to calculate total power dissipation
CURRENT CONSUMPTION					
LVDS Configuration		152	168	mA	Input clock: 1500 MHz in differential mode, all LVDS output drivers at 1500 MHz
		122	134	mA	Input clock: 800 MHz in differential mode, all LVDS output drivers at 200 MHz
HSTL Configuration		182	200	mA	Input clock: 1500 MHz in differential mode, all HSTL output drivers at 1500 MHz
		118	131	mA	Input clock: 491.52 MHz in differential mode, all output drivers at 491.52 MHz
		92	101	mA	Input clock: 122.88 MHz in differential mode, all output drivers at 122.88 MHz
CMOS Configuration		141	185	mA	Input clock: 1500 MHz in differential mode, all CMOS output drivers at 250 MHz, 10 pF load
		122	134	mA	Input clock: 800 MHz in differential mode, all CMOS outputs drivers at 200 MHz, 10 pF load
		85	94	mA	Input clock: 100 MHz in differential mode, all CMOS outputs drivers at 100 MHz, 10 pF load
Full Power-Down		6	10	mA	
TEMPERATURE					
Ambient Temperature Range, T_A	-40	+25	+85	$^\circ\text{C}$	
Junction Temperature, T_J			115	$^\circ\text{C}$	Junction temperatures above 115°C can degrade performance but no damage should occur, unless the absolute temperature is exceeded

クロック入力／出力 DC 仕様

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CLOCK INPUTS						
Differential Mode						
Input Frequency		0		1650	MHz	Differential input
Input Sensitivity		360		2200	mV p-p	As measured with a differential probe; jitter performance improves with higher slew rates (greater voltage swing)
Input Common-Mode Voltage	V_{ICM}	0.95	1.05	1.15	V	Input pins are internally self biased, which enables ac coupling
Input Voltage Offset			30		mV	
DC-Coupled Input Common-Mode Range	V_{CMR}	0.58		1.67	V	This is the allowable common-mode voltage range when dc-coupled
Pulse Width						
Low		303			ps	
High		303			ps	
Input Resistance (Differential)		5.0	7	9	k Ω	
Input Capacitance	C_{IN}		2		pF	
Input Bias Current (Each Pin)		100		400	μ A	Full input swing
CMOS CLOCK MODE (SINGLE-ENDED)						
Input Frequency				250	MHz	
Input Voltage						
High	V_{IH}	$V_{DD}/2 - 0.15$			V	
Low	V_{IL}			$V_{DD}/2 + 0.15$	V	
Input Current						
High	I_{INH}		1		μ A	
Low	I_{INL}		-142		μ A	
Input Capacitance	C_{IN}		2		pF	
LVDS CLOCK OUTPUTS						
Output Frequency				1650	MHz	Termination = 100 Ω differential (OUTx, $\overline{OUTx}$)
Output Voltage Differential	V_{OD}	247	375	454	mV	$V_{OH} - V_{OL}$ measurement across a differential pair at the default amplitude setting with output driver not toggling; see Figure 6 for variation over frequency
Delta V_{OD}	ΔV_{OD}			50	mV	This is the absolute value of the difference between V_{OD} when the normal output is high vs. when the complementary output is high
Offset Voltage	V_{OS}	1.125	1.18	1.375	V	$(V_{OH} + V_{OL})/2$ across a differential pair
Delta V_{OS}	ΔV_{OS}			50	mV	This is the absolute value of the difference between V_{OS} when the normal output is high vs. when the complementary output is high
Short-Circuit Current	I_{SA}, I_{SB}		13.6	24	mA	Each pin (output shorted to GND)
LVDS Duty Cycle		45		55	%	Up to 750 MHz input
		39		61	%	750 MHz to 1500 MHz input
			50.1		%	1650 MHz input
HSTL CLOCK OUTPUTS						
Output Frequency				1650	MHz	100 Ω across differential pair; default amplitude setting
Differential Output Voltage	V_O	859	925	978	mV	$V_{OH} - V_{OL}$ with output driver static
Common-Mode Output Voltage	V_{OCM}	905	940	971	mV	$(V_{OH} + V_{OL})/2$ with output driver static
HSTL Duty Cycle		45		55	%	Up to 750 MHz input
		40		60	%	750 MHz to 1500 MHz input
			50.9		%	1650 MHz input

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
CMOS CLOCK OUTPUTS						
Output Frequency				250	MHz	Single-ended; termination = open; OUTx and OUTx in phase With 10 pF load per output, see Figure 14 for swing vs. frequency
Output Voltage						
At 1 mA Load						
High	V _{OH}	1.7			V	
Low	V _{OL}			0.1	V	
At 10 mA load						
High	V _{OH}	1.2			V	
Low	V _{OL}			0.6	V	
At 10 mA Load (2 × CMOS Mode)						
High	V _{OH}	1.45			V	
Low	V _{OL}			0.35	V	
CMOS Duty Cycle		45		55	%	Up to 250 MHz

出力ドライバのタイミング特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
LVDS OUTPUTS						
Output Rise/Fall Time	t _R , t _F		152	177	ps	Termination = 100 Ω differential, 1 × LVDS 20% to 80% measured differentially
Propagation Delay, Clock-to-LVDS Output	t _{PD}	1.56	2.01	2.43	ns	
Temperature Coefficient			2.8		ps/°C	
Output Skew ¹						
All LVDS Outputs						
On the Same Part				48	ps	
Across Multiple Parts				781	ps	Assumes same temperature and supply; takes into account worst-case propagation delay delta due to worst-case process variation
HSTL OUTPUTS						
Output Rise/Fall Time	t _R , t _F		118	143	ps	Termination = 100 Ω differential, 1 × HSTL 20% to 80% measured differentially
Propagation Delay, Clock-to-HSTL Output	t _{PD}	1.59	2.05	2.5	ns	
Temperature Coefficient			2.9		ps/°C	
Output Skew ¹						
All HSTL Outputs						
On the Same Part				59	ps	
Across Multiple Parts				825	ps	Assumes same temperature and supply; takes into account worst-case propagation delay delta due to worst-case process variation
CMOS OUTPUTS						
Output Rise/Fall Time	t _R , t _F		1.18	1.45	ns	20% to 80%; C _{LOAD} = 10 pF
Propagation Delay, Clock-to-CMOS Output	t _{PD}	2.04	2.56	3.07	ns	10 pF load
Temperature Coefficient			3.3		ps/°C	
Output Skew ¹						
All CMOS Outputs						
On the Same Part				112	ps	
Across Multiple Parts				965	ps	Assumes same temperature and supply; takes into account worst-case propagation delay delta due to worst-case process variation

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
OUTPUT LOGIC SKEW ¹						CMOS load = 10 pF and LVDS load = 100 Ω
LVDS Output(s) and HSTL Output(s)			77	119	ps	Outputs on the same device; assumes worst-case output combination
LVDS Output(s) and CMOS Output(s)			497	700	ps	Outputs on the same device; assumes worst-case output combination
HSTL Output(s) and CMOS Output(s)			424	622	ps	Outputs on the same device; assumes worst-case output combination

¹ 出力スキューは、同じ電圧と温度で動作する間での任意の 2 つの同様な遅延パス間の差です。

ロジック入力

表 4.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
LOGIC INPUTS <u>RESET</u> , <u>SYNC</u> , <u>IN_SEL</u>						
Input Voltage						
High	V _{IH}	1.7			V	2.5 V supply voltage operation
		2.0			V	3.3 V supply voltage operation
Low	V _{IL}			0.7	V	2.5 V supply voltage operation
				0.8	V	3.3 V supply voltage operation
Input Current	I _{INH} , I _{INL}	−300		+100	μ A	
Input Capacitance	C _{IN}		2		pF	

シリアル・ポート仕様—SPI モード

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
<u>CS</u>					SCLK has a 200 k Ω internal pull-down resistor
Input Voltage					
Logic 1	VDD − 0.4			V	
Logic 0			0.4	V	
Input Current					
Logic 1		−4		μ A	
Logic 0		−85		μ A	
Input Capacitance		2		μ A	
SCLK					
Input Voltage					
Logic 1	VDD − 0.4			V	
Logic 0			0.4	V	
Input Current					
Logic 1		70		μ A	
Logic 0		13		μ A	
Input Capacitance		2		pF	
SDIO					
As Input					
Input Voltage					
Logic 1	VDD − 0.4			V	
Logic 0			0.4	V	
Input Current					
Logic 1		−1		μ A	
Logic 0		−1		μ A	
Input Capacitance		2		pF	
As Output					
Output Voltage					
Logic 1	VDD − 0.4			V	1 mA load current
Logic 0			0.4	V	1 mA load current

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SDO					
Output Voltage					
Logic 1	VDD – 0.4			V	1 mA load current
Logic 0			0.4	V	1 mA load current
TIMING					
SCLK					
Clock Rate, 1/t _{CLK}			30	MHz	
Pulse Width High, t _{HIGH}	4.6			ns	
Pulse Width Low, t _{LOW}	3.5			ns	
SDIO to SCLK Setup, t _{DS}	2.9			ns	
SCLK to SDIO Hold, t _{DH}	0			ns	
SCLK to Valid SDIO and SDO, t _{DV}			15	ns	
$\overline{\text{CS}}$ to SCLK Setup (t _s)	3.4			ns	
$\overline{\text{CS}}$ to SCLK Hold (t _c)	0			ns	
$\overline{\text{CS}}$ Minimum Pulse Width High	3.4			ns	

シリアル・ポート仕様—I²C モード

表 6.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SDA, SCL (AS INPUT)					
Input Voltage					
Logic 1	VDD – 0.4			V	
Logic 0			0.4	V	
Input Current	–40		0	μA	For V _{IN} = 10% to 90% DVDD3
Hysteresis of Schmitt Trigger Inputs	150			mV	
SDA (AS OUTPUT)					
Output Logic 0 Voltage			0.4	V	I _O = 3 mA
Output Fall Time from V _{IH(MIN)} to V _{IL(MAX)}			250	ns	10 pF ≤ C _b ≤ 400 pF
TIMING					
SCL Clock Rate			400	kHz	
Bus-Free Time Between a Stop and Start Condition, t _{BUF}	1.3			μs	
Repeated Start Condition Setup Time, t _{SU; STA}			0.6	μs	
Repeated Hold Time Start Condition, t _{HD; STA}	0.6			μs	After this period, the first clock pulse is generated
Stop Condition Setup Time, t _{SU; STO}	0.6			μs	
Low Period of the SCL Clock, t _{LOW}	1.3			μs	
High Period of the SCL Clock, t _{HIGH}	0.6			μs	
Data Setup Time, t _{SU; DAT}	100			ns	
Data Hold Time, t _{HD; DAT}	0		0.9	μs	

ピン・ストラッピング・モードの外付け抵抗値

表 7.

Parameter	Resistor Polarity	Min	Typ	Max	Unit	Test Conditions/Comments
EXTERNAL RESISTORS						Using 10% tolerance resistor
Voltage Level 0	Pull down to ground		820		Ω	
Voltage Level 1	Pull down to ground		1.8		k Ω	
Voltage Level 2	Pull down to ground		3.9		k Ω	
Voltage Level 3	Pull down to ground		8.2		k Ω	
Voltage Level 4	Pull up to VDD		820		Ω	
Voltage Level 5	Pull up to VDD		1.8		k Ω	
Voltage Level 6	Pull up to VDD		3.9		k Ω	
Voltage Level 7	Pull up to VDD		8.2		k Ω	

クロック出力の位相ノイズ増加

表 8.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
CLK-TO-HSTL OR LVDS ADDITIVE PHASE NOISE CLK = 1474.56 MHz, OUTx = 1474.56 MHz Divide Ratio = 1					Input slew rate > 1 V/ns
At 10 Hz Offset		-88		dBc/Hz	
At 100 Hz Offset		-100		dBc/Hz	
At 1 kHz Offset		-109		dBc/Hz	
At 10 kHz Offset		-116		dBc/Hz	
At 100 kHz Offset		-135		dBc/Hz	
At 1 MHz Offset		-144		dBc/Hz	
At 10 MHz Offset		-148		dBc/Hz	
At 100 MHz Offset		-149		dBc/Hz	
CLK-TO-HSTL OR LVDS or CMOS ADDITIVE PHASE NOISE CLK = 625 MHz, OUTx = 125 MHz Divide Ratio = 5					Input slew rate > 1 V/ns
At 10 Hz Offset		-114		dBc/Hz	
At 100 Hz Offset		-125		dBc/Hz	
At 1 kHz Offset		-133		dBc/Hz	
At 10 kHz Offset		-141		dBc/Hz	
At 100 kHz Offset		-159		dBc/Hz	
At 1 MHz Offset		-162		dBc/Hz	
At 10 MHz Offset		-163		dBc/Hz	
At 20 MHz Offset		-163		dBc/Hz	
CLK-TO-HSTL OR LVDS ADDITIVE PHASE NOISE CLK = 491.52 MHz, OUTx = 491.52 MHz Divide Ratio = 1					Input slew rate > 1 V/ns
At 10 Hz Offset		-100		dBc/Hz	
At 100 Hz Offset		-111		dBc/Hz	
At 1 kHz Offset		-120		dBc/Hz	
At 10 kHz Offset		-127		dBc/Hz	
At 100 kHz Offset		-146		dBc/Hz	
At 1 MHz Offset		-153		dBc/Hz	
At 10 MHz Offset		-153		dBc/Hz	
At 20 MHz Offset		-153		dBc/Hz	

クロック出力のジッタ増加

表 9.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
LVDS OUTPUT ADDITIVE TIME JITTER					
CLK = 622.08 MHz, Outputs = 622.08 MHz		41		fs rms	BW = 12 kHz to 20 MHz
		70		fs rms	BW = 20 kHz to 80 MHz
		69		fs rms	BW = 50 kHz to 80 MHz
CLK = 622.08 MHz, Outputs = 155.52 MHz		93		fs rms	BW = 12 kHz to 20 MHz
		144		fs rms	BW = 20 kHz to 80 MHz
		142		fs rms	BW = 50 kHz to 80 MHz
CLK = 125 MHz, Outputs = 125 MHz		105		fs rms	BW = 12 kHz to 20 MHz
		209		fs rms	BW = 20 kHz to 80 MHz
		206		fs rms	BW = 50 kHz to 80 MHz
CLK = 400 MHz, Outputs = 50 MHz		184		fs rms	BW = 12 kHz to 20 MHz
HSTL OUTPUT ADDITIVE TIME JITTER					
CLK = 622.08 MHz, Outputs = 622.08 MHz		41		fs rms	BW = 12 kHz to 20 MHz
		56		fs rms	BW = 100 Hz to 20 MHz
		72		fs rms	BW = 20 kHz to 80 MHz
		70		fs rms	BW = 50 kHz to 80 MHz
CLK = 622.08 MHz, Outputs = 155.52 MHz		76		fs rms	BW = 12 kHz to 20 MHz
		87		fs rms	BW = 100 Hz to 20 MHz
		158		fs rms	BW = 20 kHz to 80 MHz
		156		fs rms	BW = 50 kHz to 80 MHz
CMOS OUTPUT ADDITIVE TIME JITTER					
CLK = 100 MHz, Outputs = 100 MHz		91		fs rms	BW = 12 kHz to 20 MHz

絶対最大定格

表 10.

Parameter	Rating
Supply Voltage (VDD)	3.6 V
Maximum Digital Input Voltage CLK and CLK	−0.5 V to VDD + 0.5 V
Maximum Digital Output Voltage	−0.5 V to VDD + 0.5 V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

アプリケーション PCB 上でのジャンクション温度を求めるときは次式を使います。

$$T_J = T_{CASE} + (\Psi_{JT} \times P_D)$$

ここで、
 T_J はジャンクション温度 (°C)。
 T_{CASE} はパッケージ上面の中央で測定したケース温度 (°C)。
 Ψ_{JT} は表 11 に示す値。

P_D は消費電力。

θ_{JA} の値はパッケージの比較と PCB デザイン考慮のために提供しています。 θ_{JA} は次式の T_J による 1 次近似に使うことができます。

$$T_J = T_A + (\theta_{JA} \times P_D)$$

ここで、 T_A は周囲温度 (°C)。

θ_{JC} の値は、外付けヒート・シンクが必要なときに、パッケージ比較と PCB デザイン考慮のために提供。

θ_{JB} の値は、パッケージ比較と PCB デザイン考慮のために提供。

熱特性

熱特性、JEDEC51-7 と JEDEC51-5 2S2P のテスト・ボードを使って制定しています。

表 11. 熱特性、24 ピン LFCSP

Symbol	Thermal Characteristic (JEDEC51-7 and JEDEC51-5 2S2P Test Boards ¹)	Value ²	Unit
θ_{JA}	Junction-to-ambient thermal resistance per JEDEC JESD51-2 (still air)	43.5	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 1.0 m/sec airflow per JEDEC JESD51-6 (moving air)	40	°C/W
θ_{JMA}	Junction-to-ambient thermal resistance, 2.5 m/sec airflow per JEDEC JESD51-6 (moving air)	38.5	°C/W
θ_{JB}	Junction-to-board thermal resistance per JEDEC JESD51-8 (still air)	16.2	°C/W
θ_{JC}	Junction-to-case thermal resistance (die-to-heat sink) per MIL-STD-883, Method 1012.1	7.1	°C/W
Ψ_{JT}	Junction-to-top-of-package characterization parameter per JEDEC JESD51-2 (still air)	0.33	°C/W

¹ 規定の熱性能を実現するためには、パッケージ底面のエクスポーズド・パッドをグラウンド (VSS) にハンダ付けする必要があります。

² 結果はシミュレーションから得たものです。PCB は JEDEC 多層タイプです。実際のアプリケーションの熱性能では、これらの計算での仮定と同じであることを確認するために、アプリケーションでの条件を注意深く調べる必要があります。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

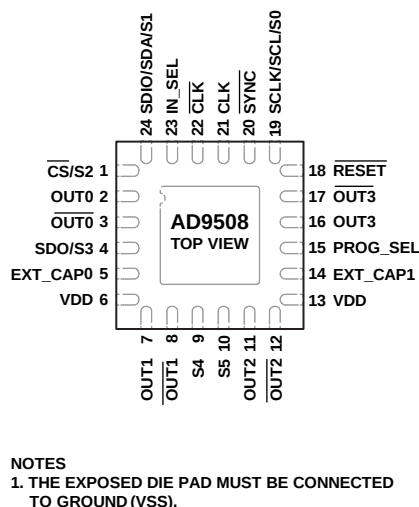


図 2. ピン配置

表 12. ピン機能の説明

ピン番号	記号	説明
1	CS/S2	チップ・セレクト／ピン設定機能。共用ピン。このピンは、PROG_SEL ピンから制御されます。チップ・セレクト ($\overline{CS}$) はアクティブ・ローの CMOS 入力で SPI 動作モードで使用されます。SPI モードからデバイスを設定するときは、 $\overline{CS}$ をロー・レベルにする必要があります。AD9508 が複数存在するシステムでは、このピンにより各 AD9508 の個別設定を可能にします。ピン設定モードでは、このピンは S2 になります。このモードでは、S2 は抵抗を介して VDD またはグラウンドへ接続されます。抵抗値と抵抗バイアス機能により、ピン 11 とピン 12 の出力のチャンネル分周比が決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
2	OUT0	LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
3	OUT0	相補 LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
4	SDO/S3	シリアル・データ出力／ピン設定機能。共用ピン。このピンは、PROG_SEL ピンから制御されます。SDO は、SPI モード動作で内部レジスタ設定値をリードバックする出力に設定されます。ピン設定モードでは、このピンは S3 になり、抵抗を介して VDD またはグラウンドに接続されます。抵抗値と抵抗バイアス機能により、ピン 16 とピン 17 の出力のチャンネル分周比が決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
5	EXT_CAP0	LDO の外付けデカップリング・コンデンサを接続するノード。このピンとグラウンドの間に 0.47 μ F のコンデンサを接続します。
6	VDD	電源 (2.5 V または 3.3 V 動作)。
7	OUT1	LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
8	OUT1	相補 LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
9	S4	ピン設定機能。このピンはピン設定モードでのみ使用します。PROG_SEL ピンにより、使用する設定モードを指定します。ピン設定モードでは、S4 は抵抗を介して VDD またはグラウンドに接続されます。抵抗値と抵抗バイアス機能により、ピン 2、ピン 3、ピン 7、ピン 8 で使用される出力ロジック・レベルが決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
10	S5	ピン設定機能。このピンはピン設定モードでのみ使用します。PROG_SEL ピンにより、使用する設定モードを指定します。ピン設定モードでは、S5 は抵抗を介して VDD またはグラウンドに接続されます。抵抗値と抵抗バイアス機能により、ピン 11、ピン 12、ピン 16、ピン 17 で使用される出力ロジック・レベルが決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
11	OUT2	LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
12	OUT2	相補 LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
13	VDD	電源 (2.5 V または 3.3 V 動作)。
14	EXT_CAP1	LDO の外付けデカップリング・コンデンサを接続するノード。このピンとグラウンドの間に 0.47 μ F のコンデンサを接続します。
15	PROG_SEL	スリーステート CMOS 入力。ピン 15 により、使用するデバイス設定インターフェース・タイプ (SPI、I ² C、またはピン設定) を選択します。
16	OUT3	LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。
17	OUT3	相補 LVDS/HSTL 差動出力またはシングルエンド CMOS 出力。

ピン番号	記号	説明
18	$\overline{\text{RESET}}$	CMOS 入力。デバイスのリセット。このアクティブ・ローのピンがアサートされると、 $\overline{\text{RESET}}$ が解除されたとき内部レジスタ設定値がデフォルト状態になります。このピンにアクティブ・ロー信号が入力されているとき、 $\overline{\text{RESET}}$ はデバイスのパワーダウンとして機能することにも注意してください。 $\overline{\text{RESET}}$ ピンには 24 k Ω の内部プルアップ抵抗がついています。
19	SCLK/SCL/S0	シリアル設定クロック／データ・クロック／設定ピン。PROG_SEL ピンから制御される共用ピンで、SPI モードでのシリアル設定クロック (SCLK) または I ² C モードでのシリアル設定のデータ・クロック (SCL) として使用されます。PROG_SEL ピンにより、使用する設定モードを指定します。ピン設定モードでは、このピンは S0 になります。このモードでは、S0 は抵抗を介して VDD またはグラウンドへ接続されます。抵抗値と抵抗バイアス機能により、ピン 2 とピン 3 の出力のチャンネル分周比が決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
20	$\overline{\text{SYNC}}$	クロック同期。このピンをアクティブ・ローにすると、出力ドライバはスタティックになるため、このピンのロー・レベルからハイ・レベルへの変化で同期化されます。 $\overline{\text{SYNC}}$ ピンには 24 k Ω の内部プルアップ抵抗がついています。
21	CLK	差動クロック入力またはシングルエンド CMOS 入力。IN_SEL ピンのロジック状態に応じて、このピンは差動クロック入力またはシングルエンド CMOS 入力として機能します。
22	$\overline{\text{CLK}}$	相補差動クロック入力。
23	IN_SEL	CMOS 入力。ハイ・レベルにすると、CLK 入力と $\overline{\text{CLK}}$ 入力が差動入力信号になります。ロー・レベルにすると、CLK ピンに入力されるシングルエンド CMOS の入力になります。0.1 μF のコンデンサを使って未使用の $\overline{\text{CLK}}$ をグラウンドへ AC 結合してください。
24	SDIO/SDA/S1	シリアル・データ入力および出力 (SPI)／シリアル・データ (I ² C)／ピン設定機能。ピン 24 は PROG_SEL ピンから制御される共用入力で、SPI (SDIO)モード、I ² C (SDA)モード、ピン・ストラッピング・モード (S1)で使用されます。デバイスが 4 線式 SPI モードの場合、データは SDIO から書込まれます。3 線式モードでは、データの読出しと書込みはこのピンを使って行われます。このピンには内部プルアップ／プルダウン抵抗はありません。I ² C モードでは、SDA はシリアル・データ・ピンとして機能します。PROG_SEL ピンにより、使用する設定モードを指定します。ピン設定モードでは、このピンは S1 になります。このモードでは、S1 は抵抗を介して VDD またはグラウンドへ接続されます。抵抗値と抵抗バイアス機能により、ピン 7 とピン 8 の出力のチャンネル分周比が決定されます。詳細については、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。
	EP	エクスポーズド・パッド。エクスポーズド・チップ・パッドはグラウンド (VSS)へ接続する必要があります。

代表的な性能特性

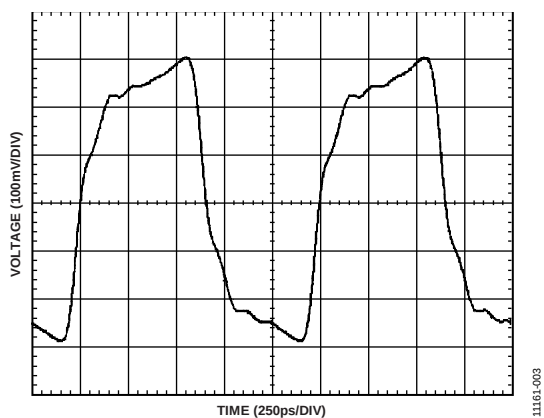


図 3. LVDS 差動出力波形、800 MHz

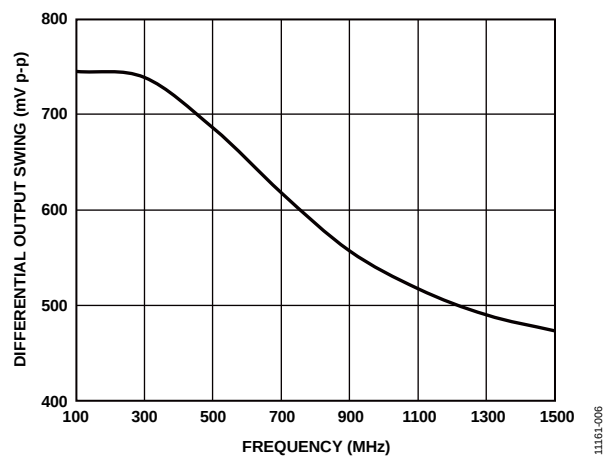


図 6. LVDS 差動出力振幅の周波数特性

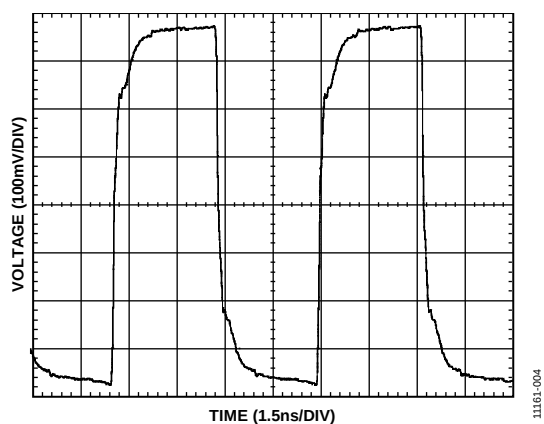


図 4. LVDS 差動出力波形、156.25 MHz

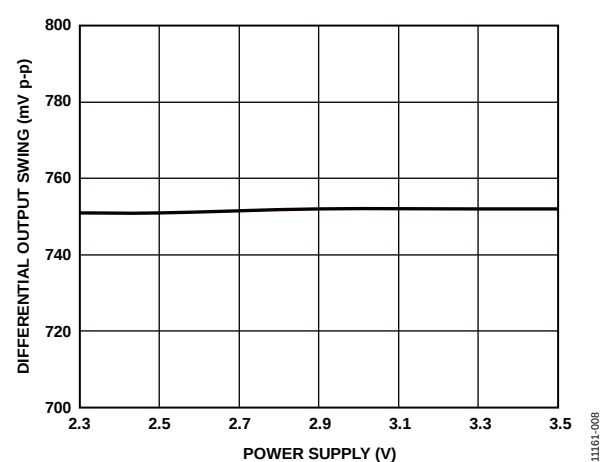


図 7. 電源電圧対 LVDS 差動出力振幅

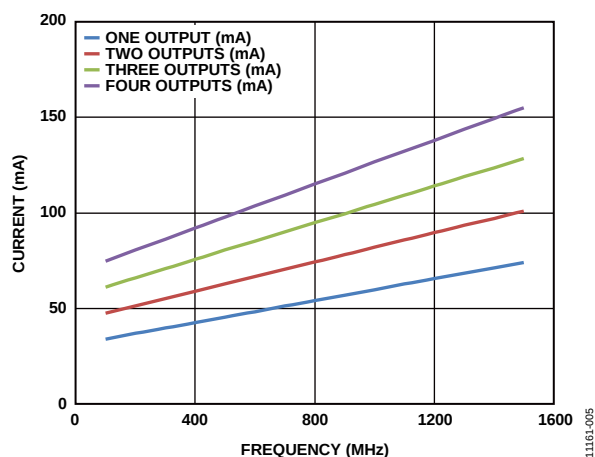


図 5. 様々な使用出力数での入力周波数対電源電流、LVDS

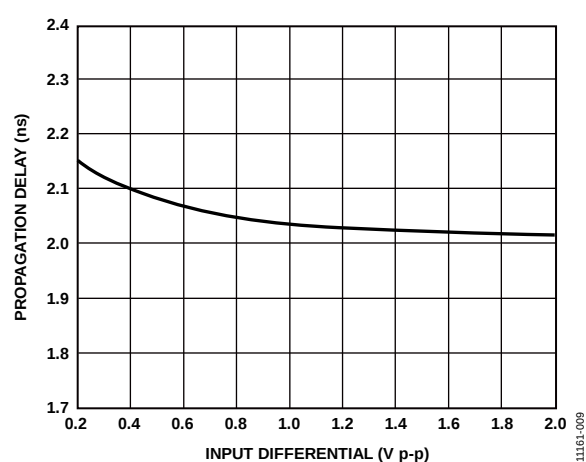


図 8. 入力差動電圧対 LVDS 伝搬遅延

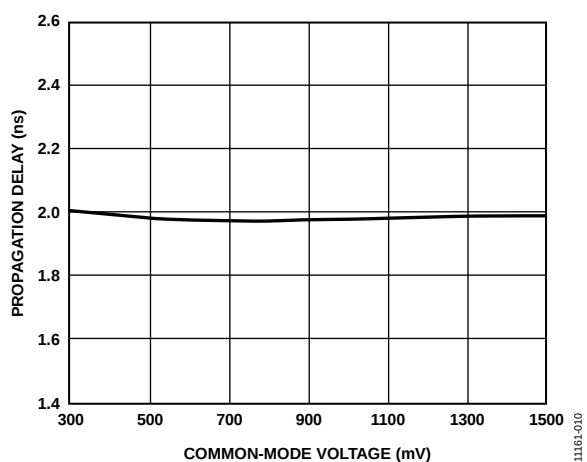


図 9.入力同相モード電圧対 LVDS 伝搬遅延

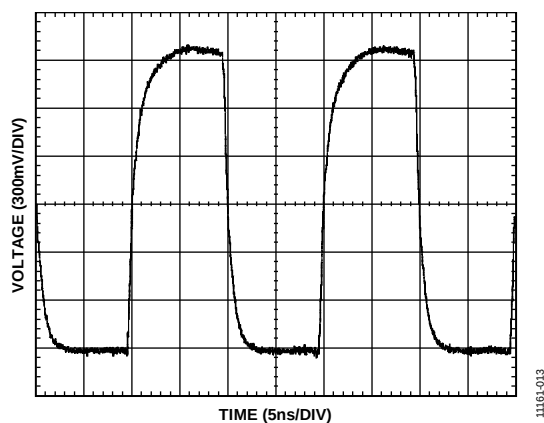


図 12.CMOS 出力波形、50 MHz、10 pF 負荷

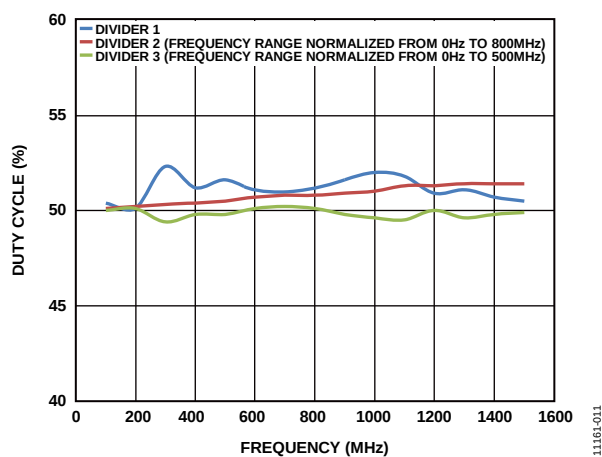


図 10.出力周波数対 LVDS 出力デューティ・サイクル

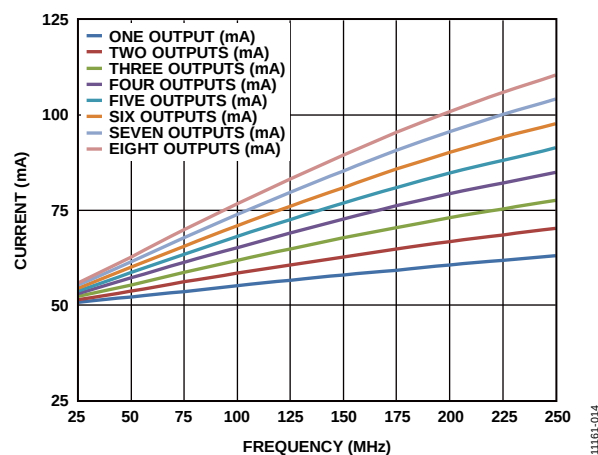


図 13.様々な使用出力数での入力周波数対電源電流、CMOS

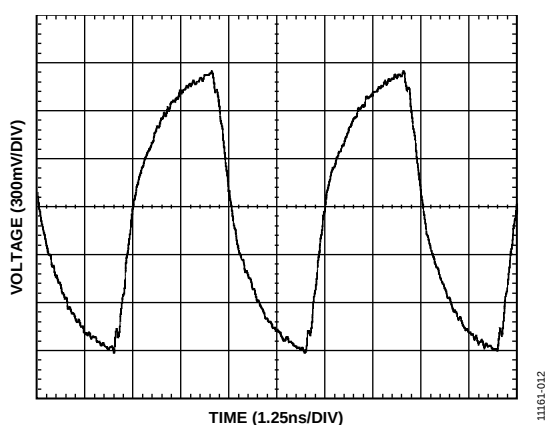


図 11.CMOS 出力波形、200 MHz、10 pF 負荷

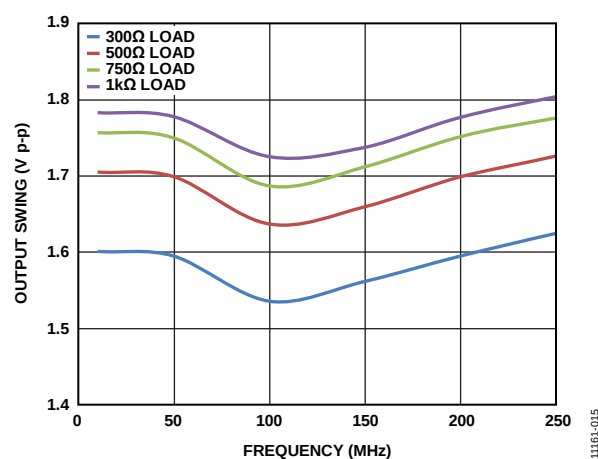


図 14.様々な抵抗負荷での CMOS 出力振幅の周波数特性

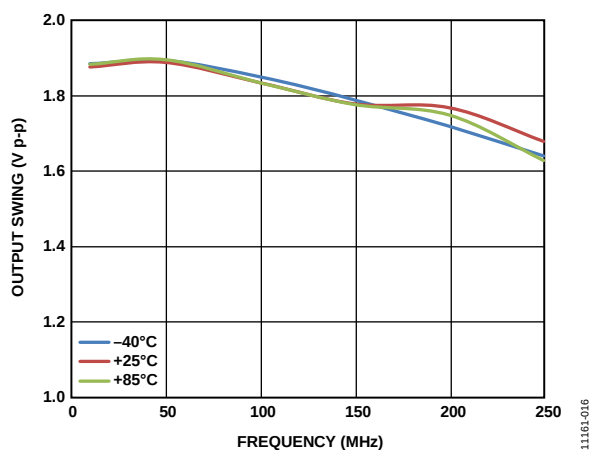


図 15.様々な温度での CMOS 出力振幅の周波数特性 (10 pF 負荷)

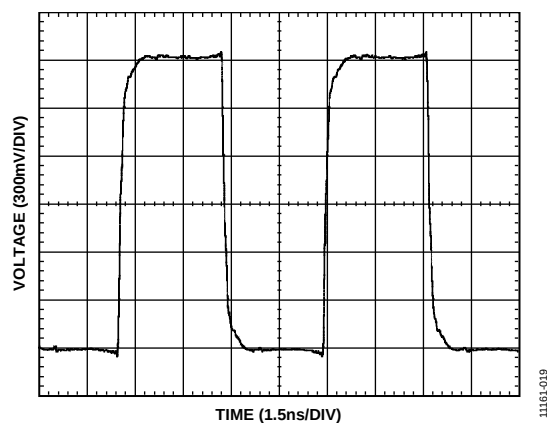


図 18.HSTL 差動出力波形、156.25 MHz

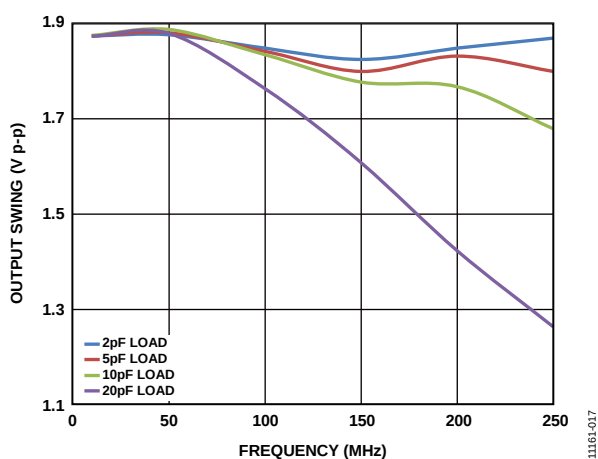


図 16.様々な容量負荷での CMOS 出力振幅の周波数特性 (2 pF、5 pF、10 pF、20 pF)

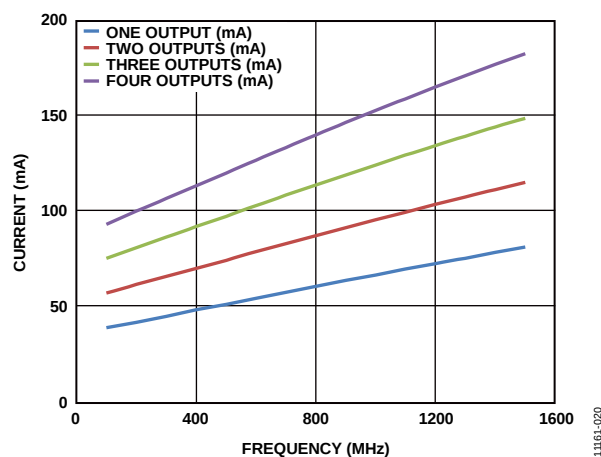


図 19.様々な使用出力数での入力周波数対電源電流、HSTL

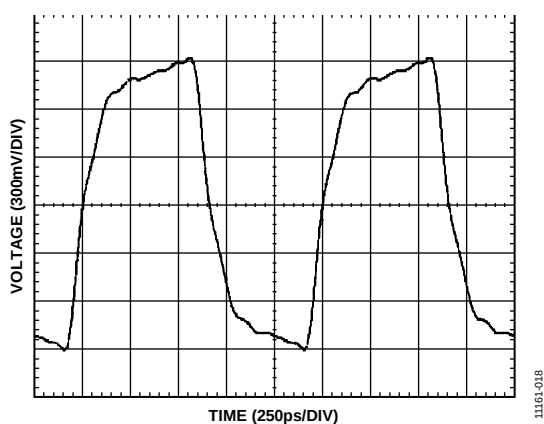


図 17.HSTL 差動出力波形、800 MHz

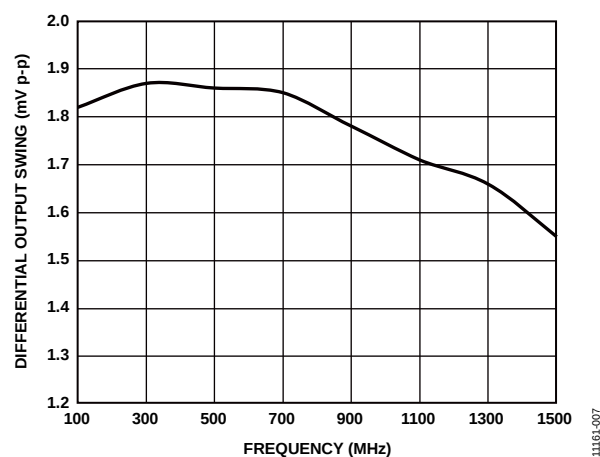


図 20.HSTL 差動出力振幅の周波数特性

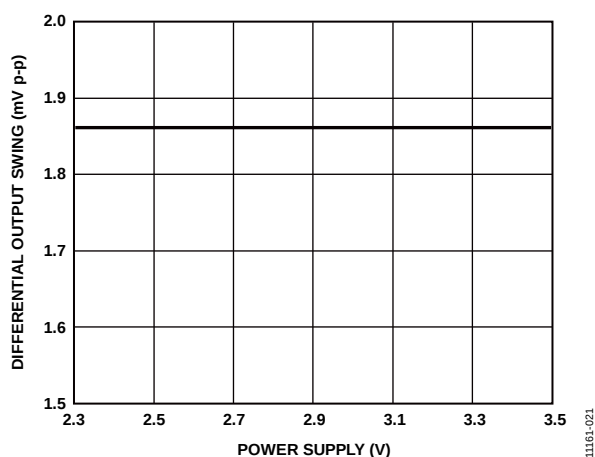


図 21.電源電圧対 HSTL 差動出力振幅

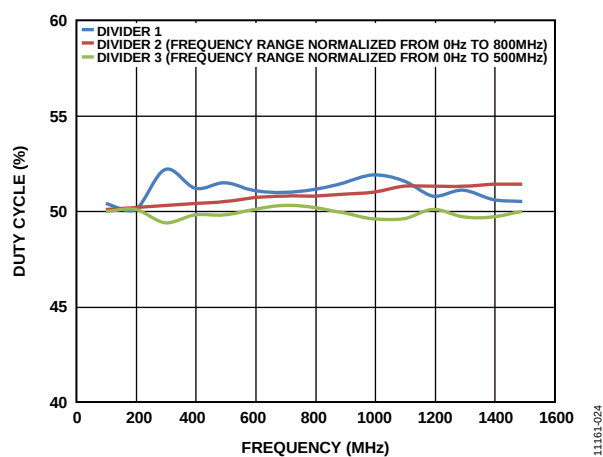


図 24.出力周波数対 HSTL 出力デューティ・サイクル

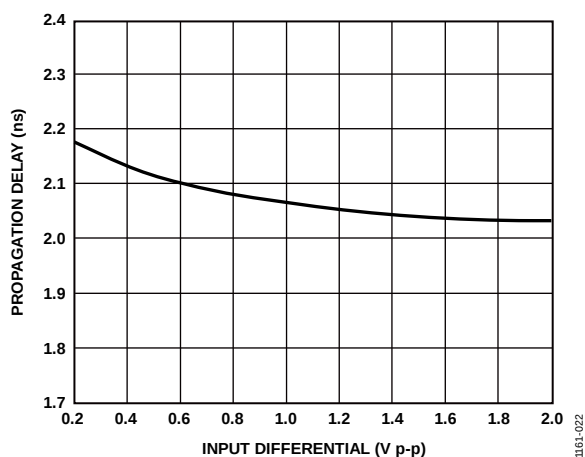


図 22.入力差動電圧対 HSTL 伝搬遅延

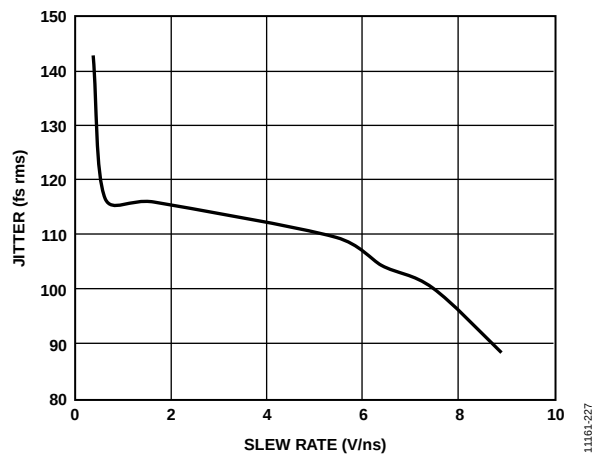


図 25.入力スループレート対広帯域ジッタ増加
LVDS、HSTL (ADC の SNR メソッドから計算)

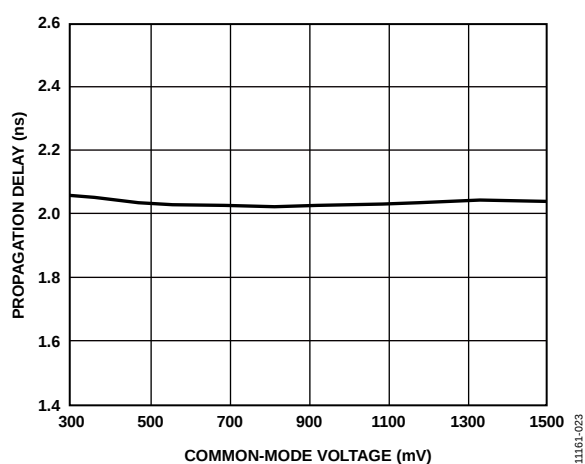


図 23.入力同相モード電圧対 HSTL 伝搬遅延

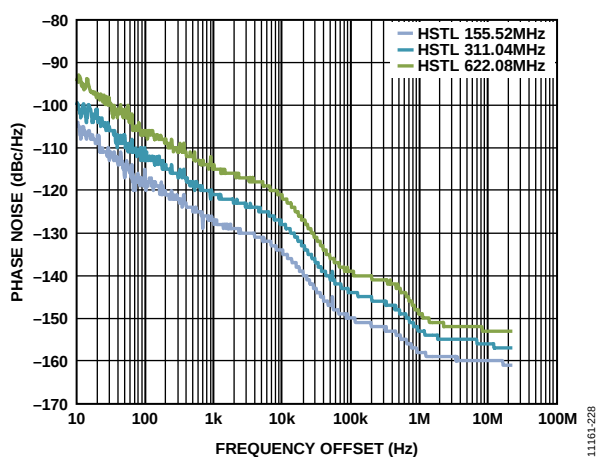


図 26. 出力 = 622.08 MHz、311.04 MHz、155.52 MHz での
HSTL モード絶対位相ノイズ、クロック入力 622.08 MHz

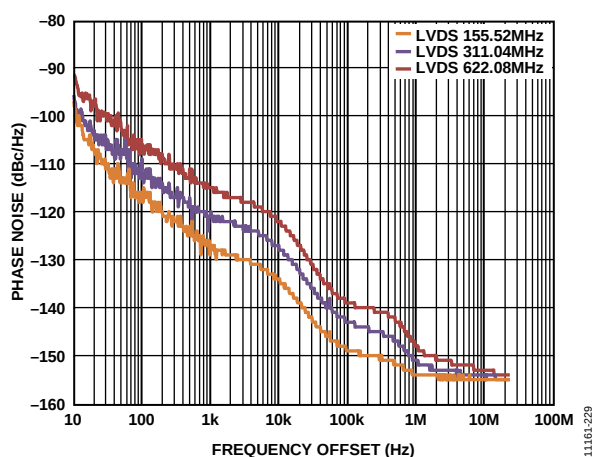


図 27. 出力 = 622.08 MHz、311.04 MHz、155.52 MHz での LVDS モード絶対位相ノイズ、クロック入力 622.08 MHz

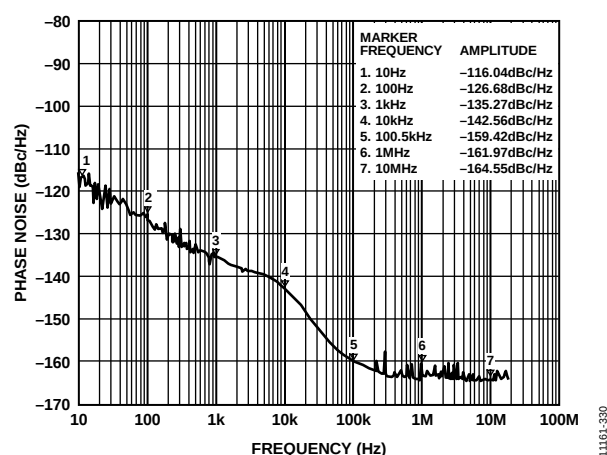


図 30. クロック入力 = 1,500 MHz、HSTL 出力 = 100 MHz での位相ノイズ増加

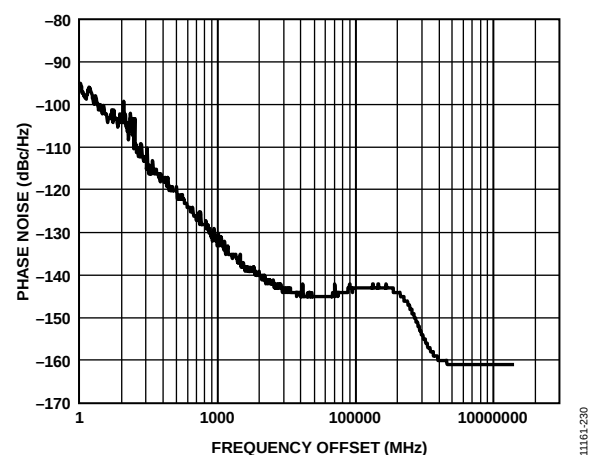


図 28. クロック・ソースの絶対位相ノイズ、622.08 MHz

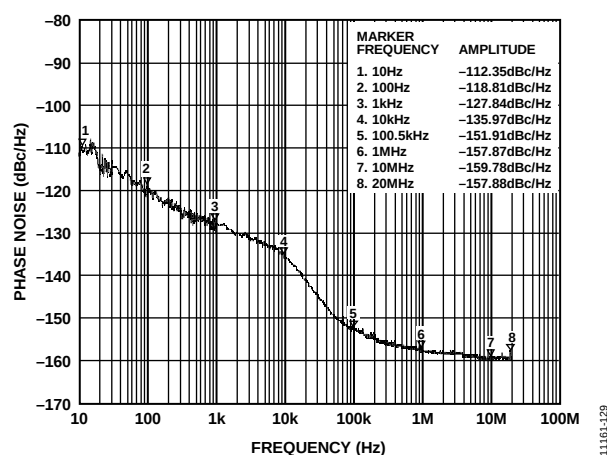


図 31. クロック入力 = 622.08 MHz、HSTL 出力 = 155.52 MHz での位相ノイズ増加

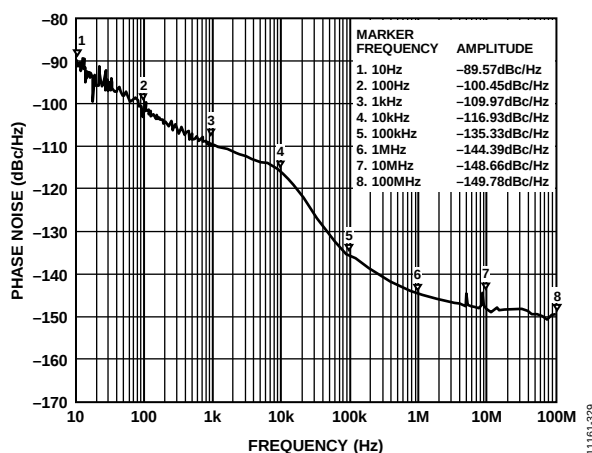


図 29. クロック入力 = 1474.56 MHz、HSTL 出力 = 1474.76 MHz での位相ノイズ増加

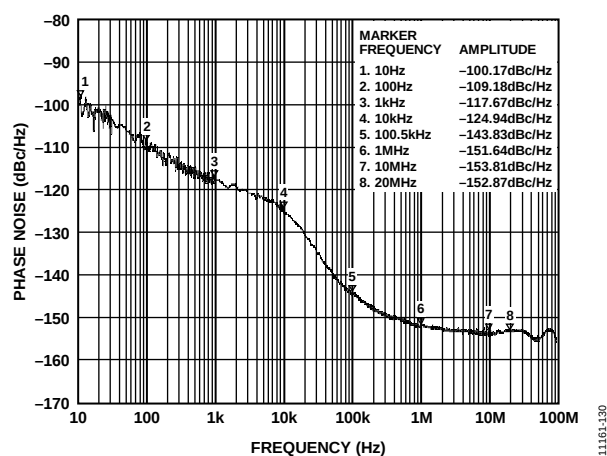


図 32. クロック入力 = 622.08 MHz、LVDS 出力 = 622.08 MHz での位相ノイズ増加

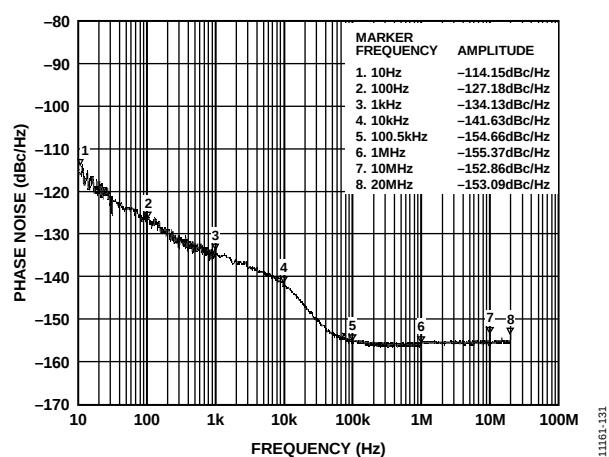


図 33. クロック入力 = 100 MHz、CMOS 出力 = 100 MHz での
位相ノイズ増加

テスト回路

推奨入力／出力終端

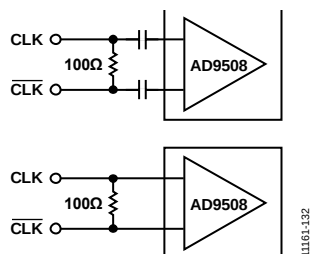


図 34.AC 結合または DC 結合 LVDS または HSTL の代表的な構成

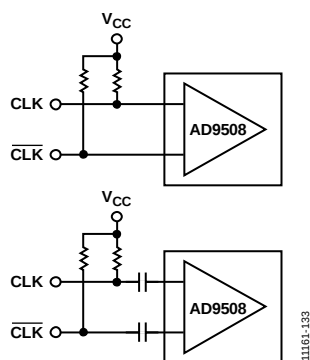


図 35.AC 結合または DC 結合 CML の代表的な構成

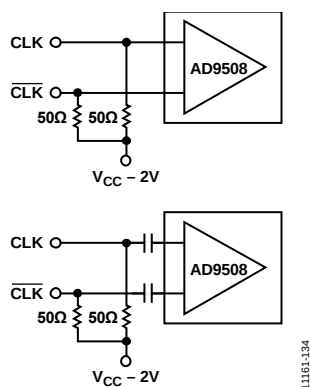


図 36.AC 結合または DC 結合 LVPECL の代表的な構成

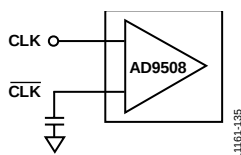


図 37.短いパターン長に対する 1.8 V CMOS の代表的な構成

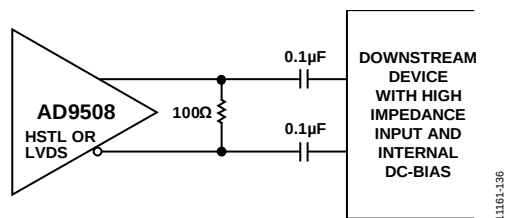


図 38.AC 結合の LVDS または HSTL 出力ドライバ (ディスタネーション・レシーバのできるだけ近くに配置されたデカップリング・コンデンサの片側まで 100 Ω 抵抗を延すことが可能)

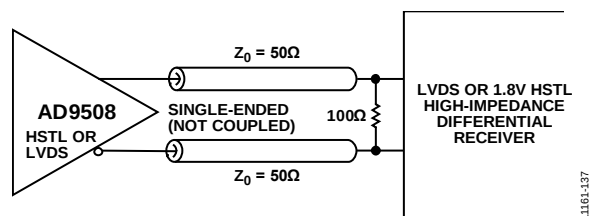


図 39.DC 結合の LVDS または HSTL 出力ドライバ

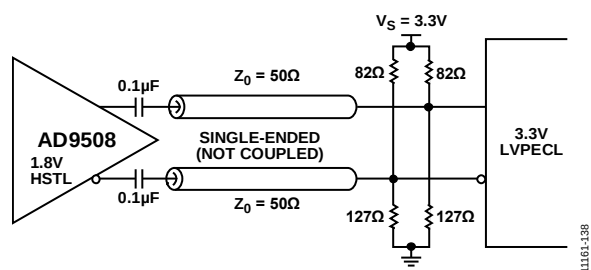


図 40.HSTL ドライバと 3.3 V LVPECL 入力とのインターフェース (この方法ではインピーダンス整合とバイポーラ LVPECL レシーバに対する DC バイアス機能を採用。レシーバがセルフ・バイアスの場合は、図 38 に示す終端方式が推奨されます)

用語

位相ジッタと位相ノイズ

理想的な正弦波は、時間に対して連続で一様な位相を持ち、さらに各サイクルで 0～360 度の位相進みを持つものとも理解することができます。しかし、実際の信号は、時間に対する理想的な位相進みからある変動を持っています。この現象が位相ジッタと呼ばれています。位相ジッタには多くの原因がありますが、主な原因はランダム・ノイズです。このノイズは統計的にガウス分布(ノーマル)で特徴づけられます。

この位相ジッタにより、周波数領域で正弦波のエネルギーが分散されて、連続電力スペクトルが発生されます。この電力スペクトルは一般に、数列として報告されます。この数列は、正弦波(キャリア)からの与えられた周波数オフセット位置で単位 dBc/Hz で表されます。この値は、キャリア周波数での電力に対する 1 Hz 帯域幅内に含まれる電力の比(dB)です。各測定値に対して、キャリア周波数からのオフセットも与えられます。

オフセット周波数のある区間内(たとえば、10 kHz～10 MHz の区間)に含まれる合計電力を求めることは意味のあることです。これは、その周波数オフセット区間での積分位相ノイズと呼ばれ、そのオフセット周波数区間内の位相ノイズに起因する時間ジッタに直接関係しています。

位相ノイズは、ADC、DAC、RF ミキサーの性能に悪影響を与えます。コンバータとミキサーのダイナミックレンジを小さくします(ただし、影響の仕方は異なります)。

時間ジッタ

位相ノイズは周波数領域の現象です。時間領域では、同じ影響が時間ジッタとして現れます。正弦波を観測すると、連続するゼロ交差の時間が変化しているように見えます。

方形波では、時間ジッタは理想時間(正常)からのエッジ変位と

して見えます。両ケースとも、理想からのタイミング変動が時間ジッタです。これらの変動はランダムであるため、時間ジッタは 2 乗平均(rms)の単位またはガウス分配の 1 シグマで規定されます。

DAC または ADC のサンプリング・クロックで発生する時間ジッタは、コンバータの SNR とダイナミックレンジを減少させます。サンプリング・クロックのジッタを最小にすると、与えられたコンバータの最高性能が得られます。

増加位相ノイズ

これは、被測定デバイスまたはサブシステムのみから発生する位相ノイズの大きさを表します。残留位相ノイズ・システムでは、完全な直交動作をする 2 つのデバイスを利用します。両デバイスに共通な任意の外部成分の相関ノイズ(クロック・ソースなど)は存在しません。これにより、種々の発振器とクロック・ソースを組合せて使う場合に合計システム位相ノイズに対するデバイスの影響が予測可能になります。多くのケースで、1 つの要素から発生する位相ノイズがシステム位相ノイズを支配します。

増加時間ジッタ

これは、被測定デバイスまたはサブシステムから発生する位相ジッタの大きさを表します。規定の範囲で増加位相ノイズを積分することにより計算されます。これにより、種々の発振器とクロック・ソースを組合せて使う場合に合計システム時間ジッタに対するデバイスの影響が予測可能になります。多くのケースで、外付けの発振器とクロック・ソースから発生する時間ジッタがシステム時間ジッタを支配します。

動作原理

詳細ブロック図

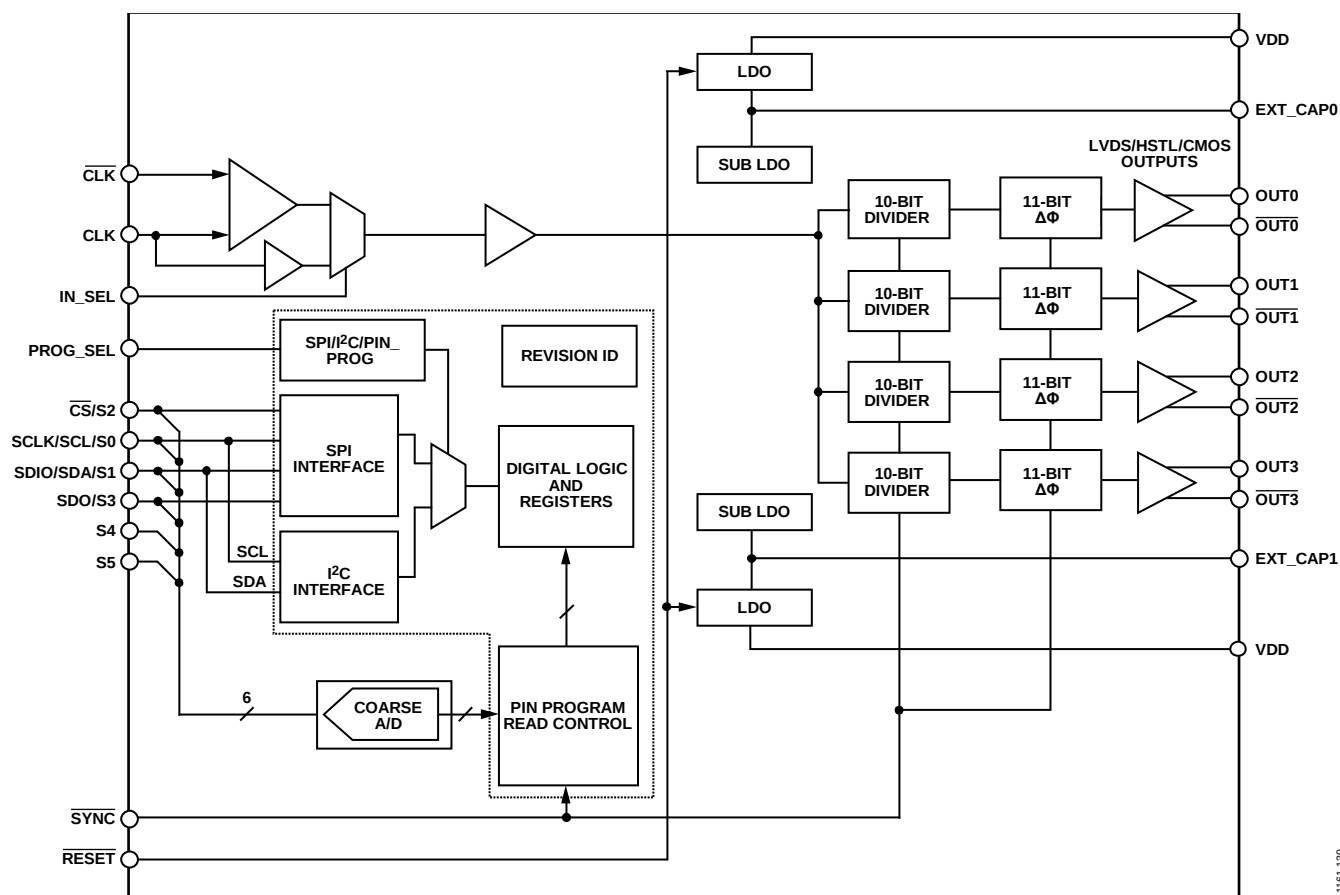


図 41.詳細ブロック図

AD9508 は、CLK ピンと $\overline{\text{CLK}}$ ピンに入力される差動入力クロックまたは CLK ピンに入力されるシングルエンド 1.8 V CMOS クロックを受け付けます。入力クロック信号は、プログラマブルな分周器と位相オフセット調整機能を持つクロック分配セクションに送られます。クロック分配セクションは、最大 1650 MHz の速度で動作します。

SPI または I²C から制御される分周範囲は 1~1024 分周で、位相オフセット調整機能の分解能は 11 ビットです。ただし、ピン設定モードでは、分周比範囲は最大 16 分周に制限され、位相オフセット調整機能は使用できません。

出力は、最大 4 個の LVDS/HSTL 差動出力として、または最大 8 個の 1.8 V CMOS シングルエンド出力として構成することができます。さらに、差動出力の電流駆動能力が調整可能です。

デバイスには 3.3 V または 2.5 V の外部電源を入力できますが、内蔵電源は内蔵 1.8 V LDO で動作できるため、最小の消費電力で高性能を提供します。

設定モードの選択

AD9508 は、デバイスを設定するために、SPI プロトコル、I²C プロトコル、ピン・ストラッピング・オプションをサポートしています。アクティブ・インターフェースは、PROG_SEL ピンのロジック状態で決定されます。設定モードの選択については表 13 を参照してください。詳細については、シリアル・コントロール・ポートとパワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。

表 13.SPI/I²C/ピンのシリアル・ポート・セットアップ

PROG_SEL	SPI/I ² C/Pin
Float	SPI
Logic 0	I ² C
Logic 1	Pin programming control

クロック入力

IN_SEL ピンは、入力クロック構成を制御します。IN_SEL ピンをシングルエンド動作に設定すると、デバイスは CLK 入力ピンで 1.8 V、2.5 V、または 3.3 V CMOS 互換ロジック・レベルが入力されるものと見なします。未使用 $\overline{\text{CLK}}$ ピンは 0.1 μF のコンデンサでグラウンドへバイパスしてください。

IN_SEL ピンを差動入力クロック・モードに設定すると、AD9508 入力は内部でセルフバイアスされます。内部入力には

抵抗分圧器があり、これにより同相モード・レベルが設定されます。相補入力、真入力より約 30 mV 低くバイアスされて、入力信号停止時に発振しないようにします。等価差動入力回路については、図 42 を参照してください。

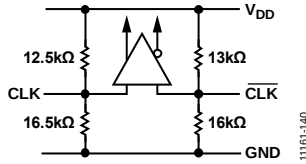


図 42.AD9508 の差動入力ステージ

入力は、差動モードでAC結合またはDC結合することができます。入力ロジックの互換性については、表14を参照してください。シングルエンド入力を入力するときは、差動モードの差動入力の方にAC 結合またはDC 結合し、他方の入力をグラウンドへコンデンサでバイパスします。ジッタ性能は入力スルーレートが低くなると低下することに注意してください(図 25 参照)。様々な入力クロック終端方式については、図 34～図 37 を参照してください。

クロック出力

各チャンネルの出力ドライバは、差動 LVDS/HSTL 出力または2個のシングルエンド CMOS 出力に構成することができます。LVDS/HSTL ドライバをイネーブルすると、対応する CMOS ドライバはスリー・ステートになります。CMOS ドライバをイネーブルすると、対応する LVDS/HSTL ドライバはパワーダウンしてスリー・ステートになります。等価出力ステージについては、図43と図44を参照してください。

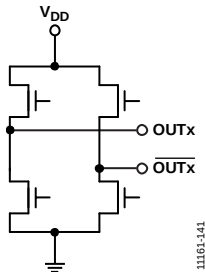


図 43.LVDS/HSTL の簡略化した出力等価回路

表 14.CLK と CLK の差動入力ロジック互換性

Supply (V)	Logic	Common Mode (V)	Output Swing (V)	AC-Coupled	DC-Coupled
3.3	CML	2.9	0.8	Yes	Not allowed
2.5	CML	2.1	0.8	Yes	Not allowed
1.8	CML	1.4	0.8	Yes	Yes
3.3 ¹	CMOS	1.65	3.3	Not allowed	Yes
2.5 ¹	CMOS	1.25	2.5	Not allowed	Yes
1.8 ¹	CMOS	0.9	1.8	Not allowed	Yes
1.5	HSTL	0.75	0.75	Yes	Yes
N/A ²	LVDS	1.25	0.4	Yes	Yes
3.3	LVPECL	2.0	0.8	Yes	Not allowed
2.5	LVPECL	1.2	0.8	Yes	Yes
1.8	LVPECL	0.5	0.8	Yes	Yes

¹ IN_SEL は、シングルエンド CMOS モードに対してセットされます。

² N/A は該当なし。

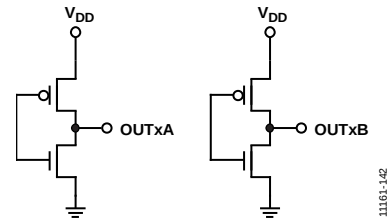


図 44.CMOS 等価出力回路

LVDS モードまたは HSTL モードでは、出力ロジック・タイプと電流駆動強度を制御するレジスタ設定値があります。LVDS 出力電流は公称 3.5 mA に設定することができ、さらに 0.5、0.75、1.0 (デフォルト)、1.25 × 3.5 mA などの設定も可能です。HSTL 出力電流は、8 mA (公称)または 16 mA (2 倍振幅)に設定することができます。ピン設定モードの場合は、詳細とデバイスの制限について、パワーアップ時設定用のピン・ストラッピング機能のセクションを参照してください。ピン設定モードでは、公称電流がデフォルト設定であるため調整できません。

シングルエンド CMOS 信号を配線するときは、1個の出力で複数の入力レシーバを駆動しないようにしてください。伝送線の整合および/またはドライバ側での過渡電流の削減のために、一般にソース側での直列終端が必要とされます。直列抵抗値は、ボード・デザインとタイミング条件に依存します(一般に10Ω～100Ωを使用)。CMOS出力には、駆動可能な容量負荷またはパターン長の制限があります。信号の立上がり時間/立下がり時間と信号インテグリティを維持するためには、一般に、3インチ以下のパターン長が推奨されます。

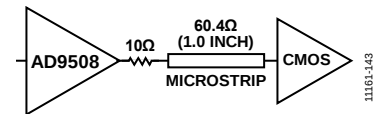


図 45.CMOS 出力の直列終端

クロック分周器

4 個の独立なチャンネル分周器は、10 ビットの整数分周器で、SPI モードと I²C モードでの分周比範囲は 1~1024 です。チャンネルの分周器ブロックは、偶数と奇数の分周比に対して 50% デューティ・サイクルを保証するデューティ・サイクル補正機能を内蔵しています。ピン設定モードでは、分周比 1~8 と 16 をサポートしています。

位相遅延の制御

AD9508 は出力間の出力位相遅延粗調整機能を提供しますが、アプリケーションによっては有益な広い遅延範囲を持っています。最小遅延ステップは、入力クロック・レートの 1/2 周期です。この最小遅延ステップは、最小遅延ステップの 1~2047 倍にすることができるため広い遅延範囲をカバーします。最小遅延ステップの倍率は、該当する内部設定レジスタを使って各チャンネル出力に設定することができます。位相遅延はピン設定モードではサポートしていません。

位相遅延調整機能では SYNC 機能ピンの使用が必要なことに注意してください。位相調整と出力同期は、SYNC ピンの立上がりエッジで行われます。このため、出力間で必要な位相関係を実現するためには SYNC ピンをロー・レベルにした後に解除する必要があります。位相遅延が変化する前に SYNC がアクティブ・ローにならない場合、出力間で所望の出力位相遅延が実現できず、出力間にランダム位相遅延が発生します。ただし、開始されると、以後の SYNC パルスで所望の位相関係に修正されます。SYNC のアクティブ・ロー区間に、出力はスタティック状態になります。

図 46 に、3 個の独立な出力を示します。各々は入力クロック・レートの $DIV = 4$ に設定されています。設定レジスタで位相オフセット値を 0 から 2 へ増加させると、各出力は初期エッジから $\frac{1}{2} t_{CLK}$ の倍数だけオフセットします。このタイミング図には、SYNC 信号を表示していないことに注意してください。

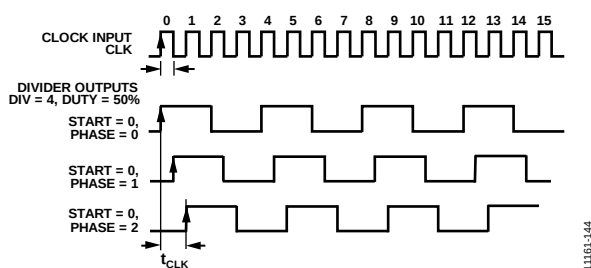


図 46. 位相オフセット—全分周器を $DIV = 4$ に設定
位相を 0 から 2 に設定

リセット・モード

AD9508 には、パワーオン・リセット(POR)とチップにリセット条件を与えるその他の方法があります。

パワーオン・リセット

チップ・パワーアップ時に、VDD が約 1.15 V に到達したとき内部パワーオン・リセット・パルスが発生されて、チップをデフォルトの内部設定値に戻します。パワーオン・リセット・パルス信号が内部で発生されてから出力のトグルが開始されるまでに約 20 ms を要します。

SPI モードまたは I²C モードでは、AD9508 のデフォルト・パワーオン状態は分周比 1 のバッファとして設定されます。ピン設定モードでは、デバイスは S0 ピンと S5 ピンのハードウェア接続により設定されます。

RESET ピンによるハードウェア・リセット

RESET を短時間ロー・レベルにすると、ハード非同期リセットが実行されます。この動作により、チップは内部デフォルト・レジスタ設定値に戻されます。RESET が解除されて出力のトグルが開始されるまでに約 20 ms を要します。

シリアル・ポートからのソフト・リセット

レジスタ 0x000 のビット 2 とビット 5 をセットすると、ソフト・リセットが開始されます。レジスタ 0x000 を除き、ビット 5 とビット 2 をセットすると、チップはソフト・リセット・モードになり、チップは内部設定値に戻されます。これらのビットはセルフ・クリアされます。ただし、セルフ・クリア動作はさらにシリアル・ポート SCLK サイクルが発生するまで完了しないため、AD9508 はそれまでリセット状態におかれます。

パワーダウン・モード

個別クロック・チャンネルのパワーダウン

SPI 設定モードと PC 設定モードでは、該当するレジスタに書込むと、クロック分配チャンネルを個別にパワーダウンすることができます。クロック・チャンネルのパワーダウンは個別ドライバのパワーダウンと同じですが、その他の回路もパワーダウンされるため、節約される消費電力が大きくなります。レジスタ・マップに、各出力チャンネルに対する個別パワーダウン設定を示します。個別チャンネルのパワーダウン・ビットは、レジスタ 0x19 のビット 7; レジスタ 0x1F のビット 7; レジスタ 0x25 のビット 7; レジスタ 0x2B のビット 7 に配置されています。

3 つのすべての設定モードでは、RESET ピンのロー・レベルを使ってデバイスをパワーダウンさせることができます。

出力クロックの同期

パワーアップ時、SPI設定モードと I²C 設定モードを使用する場合のデフォルトの出力チャンネル分周比は 1 です。このため、パワーアップ後に分周比または位相オフセット値を変更しない限り、同期させる必要はありません。SYNC ピンを短時間ロー・レベルにすると、非同期出力のハード同期機能が実行されます。これにより、SYNC ピンが解除された後の分周比に無関係に、出力エッジが強制的に揃えられます。

任意の出力チャンネルで同期マスク・ビットがロジック 1 に設定されると、同期動作が他のチャンネルに対して実行されている間、これらのチャンネルは中断なしで動作を続けます。同期マスク・ビットによりこれらの出力がマスクされていない場合、SYNCがロー・レベルの間、出力はロー・レベルになります。この動作は、ロジック・レベルを 11 にすなわちトグル・モードに設定した通常動作で出力が機能する場合にのみ適用されます。

電源

AD9508 は、2.5 V – 5% ~ 3.3 V + 5% の電源で動作するようにデザインされています。プリント回路ボード (PCB) 上の電源を十分な容量 (>10 μF) でバイパスし、すべての電源ピンをデバイスのできるだけ近くに配置した十分な容量 (0.1 μF) でバイパスすることが推奨されます。www.analog.com で提供する AD9508 評価用ボード (AD9508/PCBZ) のレイアウトは、このデバイスに対する優れたレイアウト例を提供します。

熱強化パッケージ実装のガイド・ライン

エクスポーズド金属パッド

AD9508 パッケージのエクスポーズド金属パッドは、電氣的接続と熱強化機能を持っています。デバイスが正常に機能するためには、パッドをグラウンド(VSS)に正しく接続する必要があります。AD9508 は、エクスポーズド・パッドを介して熱を放散します。PCB は AD9508 のヒート・シンクとして機能します。PCB への取り付けは、PCB のグラウンド・プレーンのような大きな放熱面積への優れた熱パスになる必要があります。このため、表面からグラウンド・プレーンへのビアのグリッドが必要になります。図 47 に例を示します。

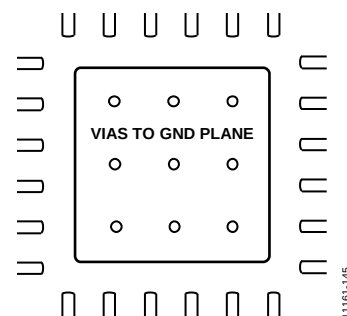


図 47. エクスポーズド・パッド取り付け用の PCB ランド例

エクスポーズド・パッド付きデバイスの実装方法については、[AN-772](#) アプリケーション・ノート「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」を参照してください。

パワーアップ時設定用のピン・ストラッピング機能

PROG_SEL 入力をロジック 1 に設定すると、AD9508 はピン・ストラッピング制御モードになり、SPI 動作または I²C 動作が不要になります。このモードでは、ピン S0～ピン S5 を使って、各出力の内部分周比と出力ロジック・タイプを設定するか、または出力を高インピーダンス状態に設定します。

このモードでは、最大分周比は 16 分周に制限され、位相オフセット遅延制御はサポートされていません。このモードでは、LVDS と HSTL のロジック・タイプはサポートされていますが HSTL モードを設定して、100 Ω の出力終端を除くと、出力振幅は 1.8 V の CMOS ロジック・レベルになります。この構成では、選択したチャンネルの差動出力は 2 個のシングルエンド CMOS 信号になります。これらの出力は、180° 位相差を持ち、同じチャンネル分周比を使います。

個別出力と出力ロジック・タイプの設定は、S0～S5 の各ピンに特定の抵抗値をワイヤー接続することにより実行されます。抵

抗の他端は、所望の設定に応じてグラウンドまたは VDD へバイアスします。実際の設定は、S0～S5 の各ピンを内部 ADC がスキャンした後に適用されます。デバイスのパワーアップの内部パワーオン・リセットまたは SYNC ピンのドクルによって、ADC スキャンが開始されます。内部パワーオン・リセットの後に変更した場合は、SYNC ピンをトグルして、新しい変更を受け付ける必要があります。

表 15 に、各出力チャンネルの分周比とロジック・タイプに使用可能なすべてのピン・ストラッピング選択を示します。表 15 に示す抵抗は、許容誤差 10% 以下である必要があります。

すべての出力で出力分周比 1 を使用し、かつ HSTL 出力レベルまたは 1.8 V CMOS 出力レベルを使用する場合、S0～S5 ピンをグラウンドに接続して、820 Ω の抵抗を使用する代わりに、特定の設定を実現することができます。

表 15. ピン・ストラッピング制御用のセレクション・テーブル

Programming Pins	ADC Voltage Level (0 Through 7) vs. Resistor Value vs. Divide Value and Logic Type								Description
	0 = 820 Ω Pulled to GND	1 = 1.8 kΩ Pulled to GND	2 = 3.9 kΩ Pulled to GND	3 = 8.2 kΩ Pulled to GND	4 = 820 Ω Pulled to VDD	5 = 1.8 kΩ Pulled to VDD	6 = 3.9 kΩ Pulled to VDD	7 = 8.2 kΩ Pulled to VDD	
S0	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S0 is assigned to the Channel 0 divider ratio only
S1	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S1 is assigned to the Channel 1 divider ratio only
S2	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S2 is assigned to the Channel 2 divider ratio only
S3	÷1	÷2	÷3	÷4	÷5	÷6	÷8	÷16	S3 is assigned to the Channel 3 divider ratio only
S4	HSTL/ HSTL	HSTL/ LVDS	HSTL/ high-Z	LVDS/ HSTL	LVDS/ LVDS	LVDS/ high-Z	High-Z/ HSTL	High Z/ high-Z	S4 is assigned to Channel 0 and Channel 1 to select their output logic types
S5	HSTL/ HSTL	HSTL/ LVDS	HSTL/ high-Z	LVDS/ HSTL	LVDS/ LVDS	LVDS/ high-Z	High-Z/ HSTL	High-Z/ high-Z	S5 is assigned to Channel 2 and Channel 3 to select their output logic types

シリアル・コントロール・ポート

AD9508 のシリアル・コントロール・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準のマイクロコントローラやマイクロプロセッサとのインターフェースを容易に可能にします。このシリアル・コントロール・ポートは、I²C プロトコル、モトローラ社の SPI プロトコル、Intel 社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。シリアル・コントロール・ポートを使うと、AD9508 レジスタ・マップに対するリード/ライト・アクセスが可能になります。

SPI モードでは、シングルバイト転送またはマルチバイト転送がサポートされています。SPI ポート構成は、レジスタ 0x00 を使って設定可能です。このレジスタはレジスタ・マップではなく SPI 制御ロジックに組み込まれており、I²C レジスタ 0x00 と異なります。

SPI/I²C ポートの選択

AD9508 には、SPI と I²C の 2 つのシリアル・インターフェースがあります。PROG_SEL ピンの状態に応じて、SPI または I²C を選択することができます。I²C 動作では、4 個の I²C スレーブ・アドレス (7 ビット幅) が使用可能です(表 16 参照)。スレーブ・アドレスの上位 5 ビットは、11011 にハードウェア固定され、S4 ピンと S5 ピンにより下位 2 ビットが設定されます。

表 16. シリアル・ポート・モードのセレクション・テーブル

S4	S5	Address
Low	Low	PC, 1101100
Low	High	PC, 1101101
High	Low	PC, 1101110
High	High	PC, 1101111

SPI シリアル・ポートの動作

ピン説明

SCLK (シリアル・クロック)ピンはシリアル・シフト・クロックとして機能します。このピンは入力です。SCLK は、シリアル・コントロール・ポートの読み出し動作と書き込み動作を同期化します。SCLK の立上がりエッジで書き込みデータ・ビットが、SCLK の立下がりエッジで読み出しデータ・ビットが、それぞれレジスタに入力されます。SCLK ピンは、40 MHz の最大クロック・レートをサポートします。

SDIO (シリアル・データ入力/出力)ピンは、共用ピンであり、入力専用(単方向)または入力/出力(双方向)として機能します。AD9508 のデフォルト SPI モードは双方向です。

SDO (シリアル・データ出力) ピンは、単方向 I/O モードでのみ有効です。このピンは、読み出し動作のデータ出力ピンとして機能します。

$\overline{CS}$ (チップ・セレクト)はアクティブ・ローであり、読み込み動作と書き込み動作をゲーティングします。このピンは内部で 30 k Ω のプルアップ抵抗に接続されています。 $\overline{CS}$ をハイ・レベルにすると、SDO ピンと SDIO ピンは高インピーダンス状態になります。

SPI モードの動作

SPI ポートでは、3 線式 (双方向)と 4 線式 (単方向) のハードウェア構成をサポートし、MSB ファーストと LSB ファーストのデータ・フォーマットをサポートしています。ハードウェア構成とデータ・フォーマット機能は設定可能です。デフォルトでは、AD9508 は双方向 MSB ファースト・モードに設定されます。双方向がデフォルト・モードになっている理由は、単方向モードへ切り替える際に(単方向動作にワイヤー設定されている場合)、デバイスへの書き込みを継続できるようにするためです。

$\overline{CS}$ ピン(アクティブ・ロー)をアサートすると、AD9508 SPI ポートに対する書き込み動作または読み出し動作が開始されます。3 バイト以下(命令ワードを除く)のデータ転送では、このデバイスは $\overline{CS}$ ハイ・レベル固定モードをサポートしています。このモードでは、 $\overline{CS}$ ピンがすべてのバイト境界で一時的にハイ・レベルに戻ることができるため、システム・コントローラが次のバイトを処理する時間を確保することができます。ただし、 $\overline{CS}$ はバイト境界でのみハイ・レベルになることができるので、これは転送の命令部分とデータ部分に適用されます。

このハイ・レベル固定区間に、シリアル・コントロール・ポートのステート・マシンがウェイト・ステートに入り、すべてのデータが送信されるまでウェイト・ステートを続けます。システム・コントローラが転送途中に中止を決定した場合、残りの転送を完了させるか、またはSCLKの少なくとも 1 サイクル間(ただしSCLKの 8 サイクル未満)、 $\overline{CS}$ をロー・レベルにすることによって、ステート・マシンをリセットする必要があります。バイト境界以外で $\overline{CS}$ をハイ・レベルにすると、シリアル転送が停止され、バッファがクリアされます。

ストリーミング・モード(表 17 参照)では、任意数のデータバイトを 1 つの連続ストリームで転送することができます。レジスタ・アドレスは自動的にインクリメントまたはデクリメントされます。転送される最終バイトの終わりで $\overline{CS}$ をハイ・レベルにして、ストリーム・モードを終了する必要があります。

表 17. バイト転送カウント

W1	W0	Bytes to Transfer
0	0	1
0	1	2
1	0	3
1	1	Streaming mode

通信サイクルー命令 + データ

SPI プロトコルは、2 つの部分通信サイクルから構成されています。最初の部分は 16 ビットの命令ワードで、最初の 16 個の SCLK立上がりエッジとペイロードに該当します。命令ワードは、AD9508 シリアル・コントロール・ポートにペイロードの情報を提供します。命令ワードには、ペイロードの転送方向すなわち読み出し動作または書き込み動作を表示するR/ $\overline{W}$ ビットが含まれます。また、命令ワードはペイロード内のバイト数と先頭ペイロード・バイトの開始レジスタ・アドレスも表示します。

書き込み

命令ワードが書き込み動作を示す場合、ペイロードが AD9508 のシリアル・コントロール・ポート・バッファへ書込まれます。データビットは、SCLKの立上がりエッジで更新されます。転送長 (1、2、3 バイト、またはストリーミング・モード) は、命令バイト内の 2 ビット (W0 と W1) で表示されます。ストリーミング・モードでない場合、8 ビットの各シーケンスの後で $\overline{\text{CS}}$ をハイ・レベルにしてバスを停止させることができます (ただし、サイクルが終了する最終バイトは除きます)。バスが停止しているときに、 $\overline{\text{CS}}$ がロー・レベルになると、シリアル転送が再開されます。バイト境界以外で $\overline{\text{CS}}$ をハイ・レベルにすると、シリアル・コントロール・ポートがリセットされます。予約済みまたはブランクのレジスタは、書き込みシーケンスで自動的にスキップされません。このため、ユーザーは予約済みレジスタに書込むビット・パターンを知ってデバイスの正常動作を維持する必要があります。一般に、ブランク・レジスタに書込むデータは問題になりませんが、0 が書込まれます。

読出し

AD9508 では、ロング命令モードのみをサポートします。命令ワードが読出し動作を示す場合、次の $N \times 8$ SCLK サイクルの間に、データが命令ワードで指定されたアドレスから出力されます。N は、読出されるデータ・バイト数で、命令ワードの W0 ビットと W1 ビットに依存します。リードバック・データは SCLK の立下がりエッジで有効になります。読出し動作では、ブランク・レジスタはスキップされません。

読出し動作では、シリアル・コントロール・ポート・バッファ・レジスタまたはアクティブ・レジスタからデータが取得されます。

SPI 命令ワード (16 ビット)

16 ビット命令ワードの MSB は $\text{R}/\overline{\text{W}}$ であり、読出し命令／書き込み命令のいずれであるかを表示します。次の 2 ビット (W1 と W0) は、転送バイト数を表示します。最後の 13 ビットはレジスタ・アドレス (A12～A0) であり、読出しまたは書き込み動作の開始レジスタ・アドレスを表示します (表 19 参照)。

SPI の MSB/LSB ファースト転送

AD9508 の命令ワードとペイロードは、MSB ファーストまたは LSB ファーストが可能であり、デフォルトは MSB ファーストです。レジスタ 0x00 のビット 6 ～ 1 を書込むと、LSB ファースト・モードを設定することができます。LSB ファースト・ビットが設定された直後に、LSB ファースト・ビットが設定された直後に、後続のシリアル・コントロール・ポート動作は LSB ファーストに変更されます。

MSB ファースト・モードがアクティブの場合、命令とデータバイトは、MSB から LSB への順序で書込む必要があります。MSB ファースト・フォーマットでのマルチバイトのデータ転送は、上位ペイロード・バイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータバイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・コントロール・ポートの内部アドレス・ジェネレータが、マルチバイト転送サイクルの各データバイトに対してデクリメントします。

レジスタ 0x00 のビット 6 = 1 の場合 (LSB ファースト)、命令とデータバイトは、LSB から MSB への順序で書込む必要があります。LSB ファースト・フォーマットでのマルチバイトのデータ転送は、下位ペイロード・バイトのレジスタ・アドレスを含む命令バイトから開始され、複数のデータバイトがその後ろに続きます。シリアル・コントロール・ポートの内部バイト・アドレス・ジェネレータが、マルチバイト転送サイクルの各バイトに対してインクリメントします。

マルチバイト MSB ファースト I/O 動作の場合 (デフォルト)、シリアル・コントロール・ポートのレジスタ・アドレスが指定された開始アドレスからアドレス 0x00 へ向かってデクリメントされます。マルチバイト LSB ファースト I/O 動作の場合、シリアル・コントロール・ポートのレジスタ・アドレスが指定された開始アドレスからアドレス 0x2C へ向かってインクリメントされます。マルチバイト I/O 動作では予約済みアドレスはスキップされないため、予約済みレジスタにはデフォルト値を書込み、未マップのレジスタには 0 を書込む必要があります。連続する 2 個以上の予約済み (または未マップ) レジスタにデフォルト値を書込むより、新しい書き込みコマンドを発行する方が効率良いに注意してください。

表 18. ストリーミング・モード (アドレス・スキップなし)

Write Mode	Address Direction	Stop Sequence
LSB First	Increment	0x00 ... 0x2C
MSB First	Decrement	0x2C ... 0x00

表 19. シリアル・コントロール・ポート、16 ビット命令ワード、MSB ファーストのビット・マップ

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
$\text{R}/\overline{\text{W}}$	W1	W0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

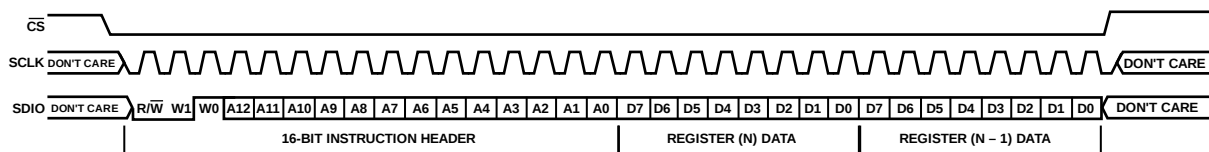


図 48. シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、2 バイト・データ

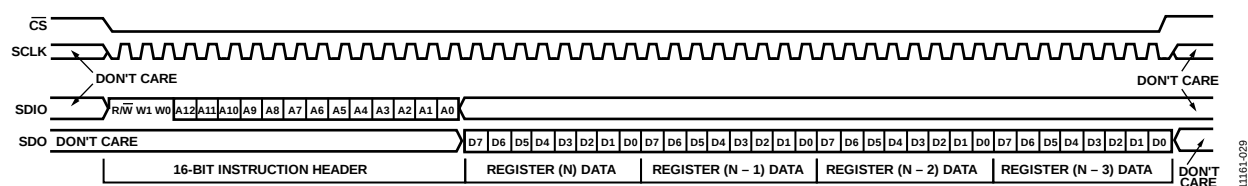


図 49.シリアル・コントロール・ポートの読み出し—MSB ファースト、16 ビット命令、4 バイト・データ

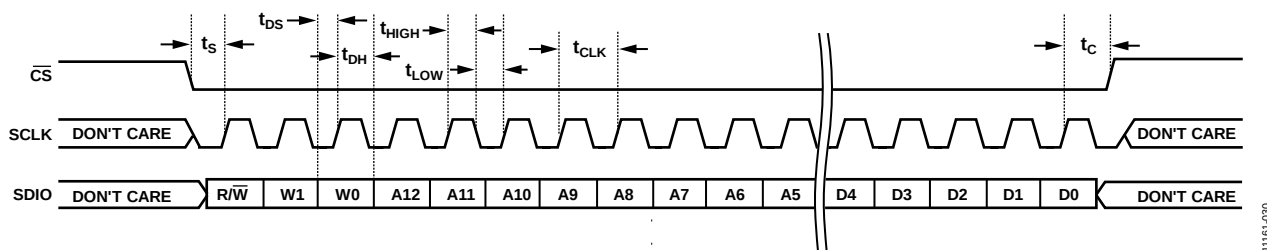


図 50.シリアル・コントロール・ポートの書き込み—MSB ファースト、16 ビット命令、タイミング測定

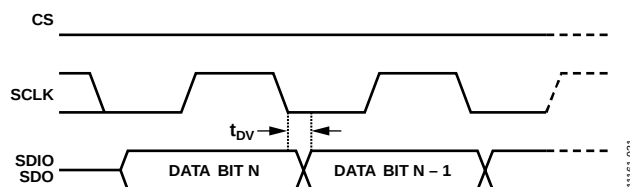


図 51.シリアル・コントロール・ポート・レジスタ読み出しのタイミング図

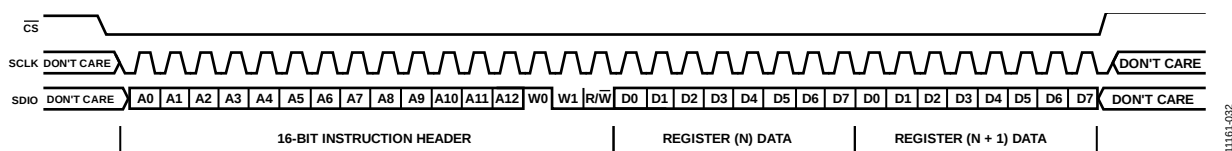


図 52.シリアル・コントロール・ポートの書き込み—LSB ファースト、16 ビット命令、2 バイト・データ

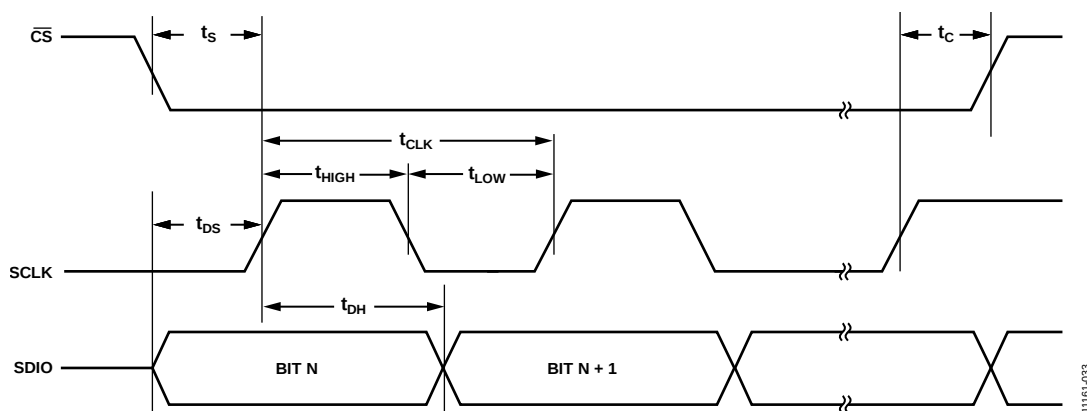


図 53.シリアル・コントロール・ポートのタイミング—書き込み

表 20. シリアル・コントロール・ポートのタイミング

Parameter	Description
t_{DS}	Setup time between data and the rising edge of SCLK
t_{DH}	Hold time between data and the rising edge of SCLK
t_{CLK}	Period of the clock
t_S	Setup time between the $\overline{CS}$ falling edge and the SCLK rising edge (start of the communication cycle)
t_C	Setup time between the SCLK rising edge and $\overline{CS}$ rising edge (end of the communication cycle)
t_{HIGH}	Minimum period that SCLK should be in a logic high state
t_{LOW}	Minimum period that SCLK should be in a logic low state
t_{DV}	SCLK to valid SDIO and SDO (see 図 51)

I²C シリアル・ポートの動作

I²C インターフェースにはコントロール・ピンが 2 本で済む利点があり、I²C 業界で事実上の標準になっていますが、欠点は、プログラミング速度で最大 400 kbps です。AD9508 の I²C ポート・デザインは I²C 高速モード規格を採用しています。したがって、100 kHz 標準モードと 400 kHz 高速モードをサポートしています。高速モードではコントロール信号にグリッチ許容条件が課されており、入力レシーバは 50 ns 以下の継続時間のパルスを無視します。

AD9508 の I²C ポートは、シリアル・データ・ライン (SDA) とシリアル・クロック・ライン (SCL) から構成されています。I²C バス・システムでは、AD9508 はスレーブ・デバイスとしてシリアル・バス (データ・バス SDA とクロック・バス SCL) に接続されます。すなわち、クロックは AD9508 から発生されません。AD9508 は、従来型の 8 ビット・メモリ・アドレッシングではなく、ダイレクト 16 ビット・メモリ・アドレッシングを採用しています。

AD9508 では最大 4 個のスレーブ・デバイスが I²C バスを使用することができます。これらのスレーブ・デバイスは、I²C パケットの一部として送信される 7 ビット・スレーブ・アドレスを使ってアクセスされます。スレーブ・アドレスに一致するデバイスのみが、後続 I²C コマンドに応答します。表 16 に、サポートするデバイス・スレーブ・アドレスを示します。

I²C バスの特性

表 21 に、このプロトコルで使用される I²C の種々の省略表示を示します。

表 21. I²C バス省略表示の定義

Abbreviation	Definition
S	Start
Sr	Repeated start
P	Stop
ACK	Acknowledge
NACK	No acknowledge
$\overline{W}$	Write
R	Read

データ転送を図 54 に示します。転送される各データ・ビットに対して 1 個のクロック・パルスが発生されます。SDA ライン上のデータは、クロックのハイ・レベル中に安定している必要があります。データラインのハイ状態またはロー状態は、SCL ラインのクロックがロー・レベルのとき変化することができます。

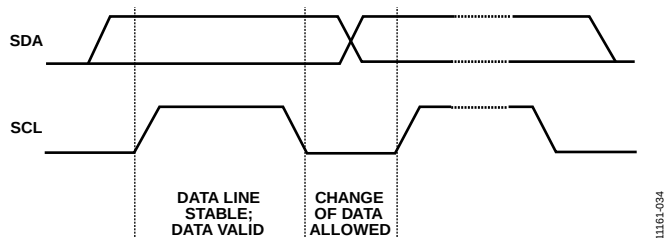


図 54. 有効なビット転送

スタート/ストップ機能を図 55 に示します。スタート条件は、SCL がハイ・レベルのときの SDA ライン上のハイ・レベルからロー・レベルへの変化と定義されます。スタート条件は、データ転送を初期化する際に常にマスターから発生されます。ストップ条件は、SCL がハイ・レベルのときの SDA ライン上のロー・レベルからハイ・レベルへの変化と定義されます。ストップ条件は常に、データ転送を終了する際にマスターから発生されます。SDA ライン上の各バイトは 8 ビット長である必要があります。各バイトの後ろにはアクノリッジ・ビットが続き、バイトは MSB ファーストで送信されます。

アクノリッジ・ビット (ACK) は、すべての 8 ビットのデータ・バイトに追加された 9 番目のビットです。アクノリッジ・ビットは、バイトが受信されたことをトランスミッタへ通知するために常に受信デバイス (レシーバ) から発生されます。アクノリッジ・ビットは、各 8 ビット・データバイトの後ろの 9 番目のクロック・パルスの間 SDA ラインをロー・レベルにすることにより交信されます (図 56 参照)。

ナック・ビット (NACK) は、8 ビットのデータ・ワードの後ろの 9 番目のビットに追加されます。受信デバイス (レシーバ) は常に、ナック・ビットを発生してバイトが受信されなかったことをトランスミッタに通知します。ナック・ビットは、各 8 ビット・データバイトの後ろの 9 番目のクロック・パルスの間 SDA ラインをハイ・レベルにすることにより交信されます。

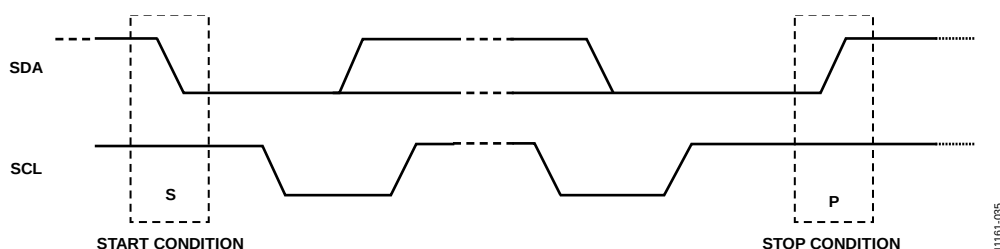


図 55. スタート条件とストップ条件

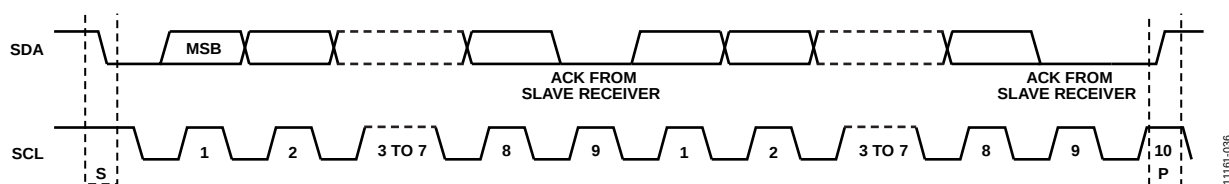


図 56. アクノリッジ・ビット

データ転送処理

マスターは、スタート条件をアサートしてデータ転送を開始します。このスタート条件はデータ・ストリームが次に続くことを表示します。シリアル・バスに接続されたすべての IC スレーブ・デバイスは、スタート条件にตอบสนองします。

次に、マスターはSDAラインを介して 7 ビットのスレーブ・アドレス(MSBファースト)とR/Wビットで構成される 8 ビットのアдрес・バイトを送信します。R/Wビットはデータ転送方向、すなわちスレーブ・デバイスに対してデータの書き込みまたは読出しを指定します(0 = 書き込み、1 = 読出し)。

送信されたアドレスに対応するアドレスを持つペリフェラルは、アクノリッジ・ビットを送信して応答します。選択されたデバイスが読み書きの対象となるデータを待つ間、バス上の他の全デバイスはアイドル状態を維持します。R/Wビットが 0 の場合は、マスター(トランスミッタ)がスレーブ・デバイス(レシーバ)に対して書き込みを行います。R/Wビットが 1 の場合は、マスター(レシーバ)がスレーブ・デバイス(トランスミッタ)から読出しを行います。これらのコマンドのフォーマットは、データ転送フォーマットのセクションで説明します。

次に、データがシリアル・バスを介して 9 クロック・パルスと 1 データバイト(8 ビット)のフォーマットでマスター(書き込みモード)またはスレーブ(読出しモード)から送信され、受信デバイスからのアクノリッジ・ビットが後ろに続きます。1 転送で送信できるバイト数には制限がありません。書き込みモードでは、スレーブ・アドレス・バイトの直後の先頭の 2 データバイトが内部

メモリ(コントロール・レジスタ)アドレス・バイトで、上位アドレス・バイトが先頭です。このアドレッシング方式では最大 $2^{16} - 1 = 65,535$ 個のメモリ・アドレスが可能です。これら 2 メモリ・アドレス・バイトの後ろのデータバイトは、コントロール・レジスタに対して読み書きされるレジスタ・データです。読出しモードでは、スレーブ・アドレス・バイトの後ろのデータバイトは、コントロール・レジスタに対して読み書きされるレジスタ・データです。

全データバイトの読出しまたは書き込みが終了すると、ストップ条件が設定されます。書き込みモードでは、マスター(トランスミッタ)が(10 番目)クロック・パルスでデータ転送を終了させるストップ条件をアサートして、その後にスレーブ・デバイス(レシーバ)からの、直前のデータバイトに対するアクノリッジ・ビットが続きます。読出しモードでは、マスター・デバイス(レシーバ)がスレーブ・デバイス(トランスミッタ)から最後のデータバイトを受信しますが、9 番目のクロック・パルスで SDA にロー・レベルを出力しません。これがナック・ビットと呼ばれています。ナック・ビットを受信することにより、スレーブ・デバイスはデータ転送が終了したことを知り、アイドル・モードになります。マスターは 10 番目のクロック・パルスの前のロー・レベル区間でデータラインをロー・レベルにし、続いて 10 番目のクロック・パルスでデータラインをハイ・レベルにして、ストップ状態をアサートします。

スタート条件をストップ条件の代わりに使用することができます。さらに、スタート条件またはストップ条件は何時でも発生することができ、一部だけ転送されたバイトは無視されます。

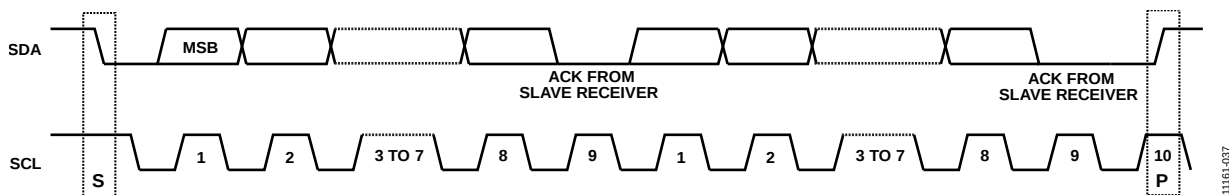


図 57. データ転送処理(マスター・ライト・モード、2 バイト転送)

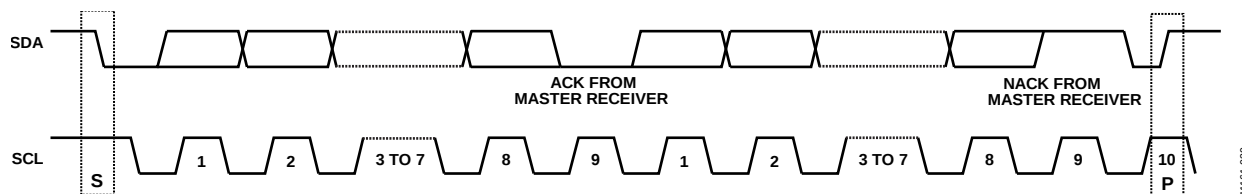


図 58.データ転送処理(マスター・リード・モード、2 バイト転送)

データ転送フォーマット

書き込みバイト・フォーマット: 書き込みバイト・プロトコルは、指定 RAM アドレスから開始して RAM にレジスタ・アドレスを書込みます。

S	Slave Address	$\overline{W}$	A	RAM Address High Byte	A	RAM Address Low Byte	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	------------	---	------------	---	------------	---	---

送信バイト・フォーマット: 送信バイト・プロトコルは後続の読出しに対してレジスタ・アドレスを設定します。

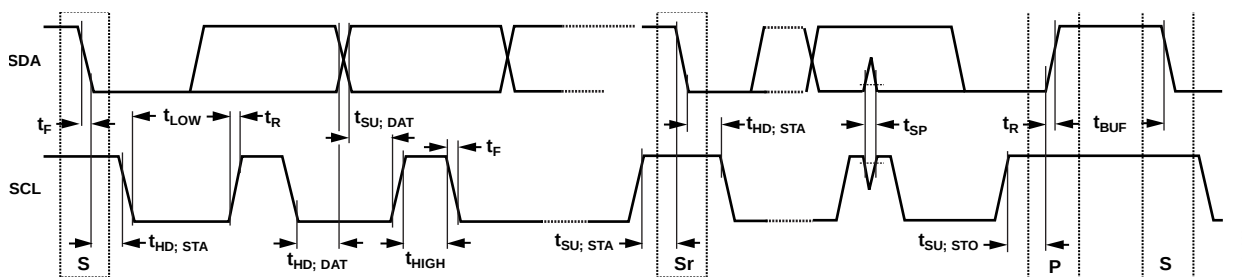
S	Slave Address	$\overline{W}$	A	RAM Address High Byte	A	RAM Address Low Byte	A	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	---

受信バイト・フォーマット: 受信バイト・プロトコルは、現在のアドレスから開始される RAM からデータバイトを読出します。

S	Slave Address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	$\overline{A}$	P
---	---------------	---	---	------------	---	------------	---	------------	----------------	---

読出しバイト・フォーマット: 送信バイトと受信バイトを組み合わせたフォーマット。

S	Slave Address	$\overline{W}$	A	RAM Address High Byte	A	RAM Address Low Byte	A	Sr	Slave Address	R	A	RAM Data 0	A	RAM Data 1	A	RAM Data 2	$\overline{A}$	P
---	---------------	----------------	---	-----------------------	---	----------------------	---	----	---------------	---	---	------------	---	------------	---	------------	----------------	---

I²C シリアル・ポートのタイミング図 59.I²C シリアル・ポートのタイミング表 22.I²C タイミングの定義

Parameter	Description
f_{SCL}	Serial clock
t_{BUF}	Bus free time between stop and start conditions
$t_{HD; STA}$	Repeated hold time start condition
$t_{SU; STA}$	Repeated start condition setup time
$t_{SU; STO}$	Stop condition setup time
$t_{HD; DAT}$	Data hold time
$t_{SU; DAT}$	Date setup time
t_{LOW}	SCL clock low period
t_{HIGH}	SCL clock high period
t_R	Minimum/maximum receive SCL and SDA rise time
t_F	Minimum/maximum receive SCL and SDA fall time
t_{SP}	Pulse width of voltage spikes that must be suppressed by the input filter

レジスタ・マップ

表 23 に記載されていないレジスタ・アドレスは未使用であり、これらのレジスタに対する書込みは無視されます。予約済みと表示されたレジスタのセクションにはデフォルト値を書込む必要があります。

表 23 のオプション欄 (Opt) の R は読出し専用を、NS はソフトリセット時に値が変化しないことを、それぞれ意味します。デフォルト欄は Def で表されていることに注意してください。

表 23. レジスタ・マップ

Reg Addr (Hex)	Opt	Name	D7	D6	D5	D4	D3	D2	D1	D0	Def	
Serial Control Port Configuration and Part Identification												
0x00	NS	SPI control	SDO enable	LSB first/ increment address	Soft reset	Reserved		Soft reset	LSB first/ increment address	SDO enable	00	
0x00	NS	PC control	Reserved		Soft reset	Reserved		Soft reset	Reserved		00	
0x0A	R, NS	Silicon rev	Silicon Revision[7:0]									00
0x0B	R, NS	Reserved	Reserved									00
0x0C	R, NS	Part ID	Clock Part Family ID[7:0]									05
0x0D	R,NS	Part ID	Clock Part Family ID[15:8]									00
Chip Level Functions												
0x12		Reserved	Reserved									02
0x13		Sleep	Reserved			Sleep	Reserved					00
0x14	NS	SYNC_BAR	Reserved								SYNC_BAR	01
OUT0 Functions												
0x15		OUT0 Divid Ratio[9:0]	OUT0 Divide Ratio[7:0]									00
0x16			Reserved							OUT0 Divide Ratio[9:8]		00
0x17		OUT0 Phase[9:0]	OUT0 Phase[7:0]									00
0x18			Reserved						OUT0 Phase[10:8]			00
0x19		OUT0 Drive	PD_0	SYNCMASK	OUT0 Driver Phase[1:0]		OUT0 Mode[2:0]			Reserved	14	
0x1A		OUT0 CMO	EN_CMOS_0	CMOS_0P_PHASE[1:0]		EN_CMOS_0N	CMOS_0N_PHASE[1:0]		Reserved			00
OUT1 Functions												
0x1B		OUT1 Divid Ratio[9:0]	OUT1 Divide Ratio[7:0]									00
0x1C			Reserved							OUT1 Divide Ratio[9:8]		00
0x1D		OUT1 Phase[9:0]	OUT1 Phase[7:0]									00
0x1E			Reserved						OUT1 Phase[10:8]			00
0x1F		OUT1 Drive	PD_1	SYNCMASK	OUT1 Driver Phase[1:0]		OUT1 Mode[2:0]			Reserved	14	
0x20		OUT1 CMO	EN_CMOS_1	CMOS_1P_PHASE[1:0]		EN_CMOS_1N	CMOS_1N_PHASE[1:0]		Reserved			00
OUT2 Functions												
0x21		OUT2 Divid Ratio[9:0]	OUT2 Divide Ratio[7:0]									00
0x22			Reserved							OUT2 Divide Ratio[9:8]		00
0x23		OUT2 Phase[9:0]	OUT2 Phase [7:0]									00
0x24			Reserved						OUT2 Phase[10:8]			00
0x25		OUT2 Drive	PD_2	SYNCMASK	OUT2 Driver Phase[1:0]		OUT2 Mode[2:0]			Reserved	14	
0x26		OUT2 CMO	EN_CMOS_2	CMOS_2P_PHASE[1:0]		EN_CMOS_2N	CMOS_2N_PHASE[1:0]		Reserved			00
OUT3 Functions												
0x27		OUT3 Divid Ratio[9:0]	OUT3 Divide Ratio[7:0]									00
0x28			Reserved							OUT3 Divide Ratio[9:8]		00
0x29		OUT3 Phase[9:0]	OUT3 Phase[7:0]									00
0x2A			Reserved						OUT3 Phase[10:8]			00
0x2B		OUT3 Drive	PD_3	SYNCMASK	OUT3 Driver Phase[1:0]		OUT3 Mode[2:0]			Reserved	14	
0x2C		OUT3 CMO	EN_CMOS_3	CMOS_3P_PHASE[1:0]		EN_CMOS_3	CMOS_3N_PHASE[1:0]		Reserved			00

レジスタ・マップのビット説明

シリアル・ポート・コンフィギュレーション (レジスタ 0X00)

表 24.シリアル・コンフィギュレーション

Address	Bits	Bit Name	Description
0x00	7	SDO enable	Enables SPI port SDO pin. This bit does nothing in I ² C mode. 1 = 4-wire (SDO pin enabled). 0 = 3-wire (default).
	6	LSB first/increment address	Bit order for the SPI port. This bit is nonfunctional in I ² C mode. 1 = LSB and byte first. Register addresses are automatically incremented in multibyte transfers. 0 = MSB and byte first (default). Register addresses are automatically decremented in multibyte transfers.
	5	Soft reset	Device reset.
	[4:3]	Reserved	Reserved.
	2	Soft reset	Same function as Bit 5 of this register, set Bit 2 and Bit 5 to the same value.
	1	LSB first/increment address	Same function as Bit 6 of this register, set Bit 1 and Bit 6 to the same value.
	0	SDO enable	Same function as Bit 7 of this register, set Bit 7 and Bit 0 to the same value.

シリコン・レビジョン (レジスタ 0X0A～レジスタ 0X0D)

表 25.シリコン・レビジョン

Address	Bits	Bit Name	Description
0x0A	[7:0]	Silicon Revision[7:0]	A read-only register. Identifies the revision level of the AD9508.
0x0B	[7:0]	Reserved	0x00 = default.
0x0C	[7:0]	Clock Part Family ID[7:0]	A read-only register. This register, together with Register 0x000D, uniquely identifies an AD9508. No other device in the Analog Devices, Inc., AD95xx family has a value of 0x0005 in these two registers. 0x05 = default.
0x0D	[7:0]	Clock Part Family ID[15:8]	This register is a continuation of Register 0x000C. 0x00 = default.

チップ・レベル機能 (レジスタ 0X12～レジスタ 0X14)

表 26.スリープおよび同期

Address	Bits	Bit Name	Description
0x12	[7:0]	Reserved	0x00000010 = default
0x13	[7:5]	Reserved	0x000 = default
	4	Sleep	0 = disables sleep mode (default) 1 = enables sleep mode
	[3:0]	Reserved	0x0000 = default
0x14	[7:1]	Reserved	0x00000000 = default
	0	SYNC_BAR	0 = enables a software output synchronization routine 1 = output synchronization via software disabled (default)

OUT0 機能 (レジスタ 0X15～レジスタ 0X1A)

表 27. 分周比および位相

Address	Bits	Bit Name	Description
0x15	[7:0]	OUT0 Divide Ratio[7:0]	Channel 0 10-bit divider value, Bits[7:0] (LSB). Bits[9:8] (MSB) reside in Register 0x16 below. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x16	[7:2]	Reserved	0x00 = default
	[1:0]	OUT0 Divide Ratio[9:8]	Channel 0 10-bit divider value, Bits[9:8] (MSB). Bits[7:0] (LSB) reside in Register 0x15 above. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x17	[7:0]	OUT0 Phase[7:0]	Channel 0 11-bit phase offset value, Bits[7:0] (LSB). Bits[10:8] (MSB) reside in Register 0x18 below. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.
0x18	[7:3]	Reserved	0x00 = default
	[2:0]	OUT0 Phase[10:8]	Channel 0 11-bit phase offset value, Bits[10:8] (MSB). Bits[7:0] (LSB) reside in Register 0x17 above. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.

表 28. 出力ドライバ、パワーダウン、同期

Address	Bits	Bit Name	Description
0x19	7	PD_0	Channel 0 power down
	6	SYNCMASK0	Setting this bit masks Channel 0 from the output sync function 0 = Channel 0 is synchronized during output sync (default) 1 = Channel 0 is excluded from an output sync
	[5:4]	OUT0 Driver Phase[1:0]	These bits determine the phase of the OUT0 driver 00 = force high 01 = noninverting (default) 10 = inverting 11 = force low
	[3:1]	OUT0 Mode[2:0]	These bits determine the OUT0 driver mode 000 = LVDS 0.5 × 3.5 mA (1/2 amplitude) 001 = LVDS 0.75 × 3.5 mA (3/4 amplitude) 010 = LVDS 1 × 3.5 mA (default) 011 = LVDS 1.25 × 3.5 mA (1.25 amplitude) 100 = HSTL 1 × 3.5 mA (normal amplitude) 101 = HSTL 2 × 3.5 mA (double amplitude) 110 = high-Z/CMOS 111 = high-Z/CMOS
	0	Reserved	0b = default
0x1A	7	EN_CMOS_0P	Setting this bit enables the OUT0P CMOS driver 0 = disables the OUT0P CMOS driver (default) 1 = enables the OUT0P CMOS driver
	[6:5]	CMOS_0P_PHASE[1:0]	These bits determine the phase of the OUT0P CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	4	EN_CMOS_0N	Setting this bit enables the OUT0N CMOS driver 0 = disables the OUT0N CMOS driver (default) 1 = enables the OUT0N CMOS driver

Address	Bits	Bit Name	Description
	[3:2]	CMOS_0N_PHASE[1:0]	These bits determine the phase of the OUT0N CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	[1:0]	Reserved	00b = default

OUT1 機能 (レジスタ 0X1B～レジスタ 0X20)

表 29.分周比および位相

Address	Bits	Bit Name	Description
0x1B	[7:0]	OUT1 Divide Ratio[7:0]	Channel 1 10-bit divider value, Bits[7:0] (LSB). Bits[9:8] (MSB) reside in Register 0x1C below. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x1C	[7:2]	Reserved	0x00 = default
	[1:0]	OUT1 Divide Ratio[9:8]	Channel 1 10-bit divider value, Bits[9:8] (MSB). Bits[7:0] (LSB) reside in Register 0x1B above. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x1D	[7:0]	OUT1 Phase[7:0]	Channel 1 11-bit phase offset value, Bits[7:0] (LSB). Bits[10:8] (MSB) reside in Register 0x1E below. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.
0x1E	[7:3]	Reserved	0x00 = default
	[2:0]	OUT1 Phase[10:8]	Channel 1 11-bit phase offset value, Bits[10:8] (MSB). Bits[7:0] (LSB) reside in Register 0x1D above. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.

表 30.出力ドライバ、パワーダウン、同期

Address	Bits	Bit Name	Description
0x1F	7	PD_1	Channel 1 power-down
	6	SYNCMASK1	Setting this bit masks Channel 1 from the output sync function 0 = Channel 1 is synchronized during output sync (default) 1 = Channel 1 is excluded from an output sync
	[5:4]	OUT1 Driver Phase[1:0]	These bits determine the phase of the OUT1 driver 00 = force high 01 = noninverting (default) 10 = inverting 11 = force low
	[3:1]	OUT1 Mode[2:0]	These bits determine the OUT1 driver mode 000 = LVDS 0.5 × 3.5 mA (1/2 amplitude) 001 = LVDS 0.75 × 3.5 mA (3/4 amplitude) 010 = LVDS 1 × 3.5 mA (default) 011 = LVDS 1.25 × 3.5 mA (1.25 amplitude) 100 = HSTL 1 × 3.5 mA (normal amplitude) 101 = HSTL 2 × 3.5 mA (double amplitude) 110 = high-Z/CMOS 111 = high-Z/CMOS
	0	Reserved	0b = default
0x20	7	EN_CMOS_1P	Setting this bit enables the OUT1P CMOS driver 0 = disables the OUT1P CMOS driver (default) 1 = enables the OUT1P CMOS driver
	[6:5]	CMOS_1P_PHASE[1:0]	These bits determine the phase of the OUT1P CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low

Address	Bits	Bit Name	Description
	[4]	EN_CMOS_1N	Setting this bit enables the OUT1N CMOS driver 0 = disables the OUT1N CMOS driver (default) 1 = enables the OUT1N CMOS driver
	[3:2]	CMOS_1N_PHASE[1:0]	These bits determine the phase of the OUT1N CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	[1:0]	Reserved	00b = default

OUT2 機能 (レジスタ 0x21~レジスタ 0x26)

表 31.分周比および位相

Address	Bits	Bit Name	Description
0x21	[7:0]	OUT2 Divide Ratio[7:0]	Channel 2 10-bit divider value, Bits[7:0] (LSB). Bits[9:8] (MSB) reside in Register 0x22 below. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x22	[7:2]	Reserved	0x00 = default
	[1:0]	OUT2 Divide Ratio[9:8]	Channel 2 10-bit divider value, Bits[9:8] (MSB). Bits[7:0] (LSB) reside in Register 0x21 above. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x23	[7:0]	OUT2 Phase[7:0]	Channel 2 11-bit phase offset value, Bits[7:0] (LSB). Bits[10:8] (MSB) reside in Register 0x24 below. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.
0x24	[7:3]	Reserved	0x00 = default
	[2:0]	OUT2 Phase[10:8]	Channel 2 11-bit phase offset value, Bits[10:8] (MSB). Bits[7:0] (LSB) reside in Register 0x23 above. Phase Offset = Channel Phase Offset Bits[10:0]. For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.

表 32.出力ドライバ、パワーダウン、同期

Address	Bits	Bit Name	Description
0x25	7	PD_2	Channel 2 power-down
	6	SYNCMASK2	Setting this bit masks OUT2 from the output sync function 0 = Channel 2 is synchronized during output sync (default) 1 = Channel 2 is excluded from an output sync
	[5:4]	OUT2 Driver Phase[1:0]	These bits determine the phase of the OUT2 driver 00 = force high 01 = noninverting (default) 10 = inverting 11 = force low
	[3:1]	OUT2 Mode[2:0]	These bits determine the OUT2 driver mode 000 = LVDS 0.5 × 3.5 mA (1/2 amplitude) 001 = LVDS 0.75 × 3.5 mA (3/4 amplitude) 010 = LVDS 1 × 3.5 mA (default) 011 = LVDS 1.25 × 3.5 mA (1.25 amplitude) 100 = HSTL 1 × 3.5 mA (normal amplitude) 101 = HSTL 2 × 3.5 mA (double amplitude) 110 = high-Z/CMOS 111 = high-Z/CMOS
	0	Reserved	0b = default
0x26	7	EN_CMOS_2P	Setting this bit enables the OUT2P CMOS driver 0 = disables the OUT2P CMOS driver (default) 1 = enables OUT2P CMOS driver
	[6:5]	CMOS_2P_PHASE[1:0]	These bits determine the phase of the OUT2P CMOS driver 00 = force high (default) 01 = noninverting

Address	Bits	Bit Name	Description
			10 = inverting 11 = force low
	4	EN_CMOS_2N	Setting this bit enables the OUT2N CMOS driver 0 = disables the OUT2N CMOS driver (default) 1 = enables OUT2N CMOS driver
	[3:2]	CMOS_2N_PHASE[1:0]	These bits determine the phase of the OUT2N CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	[1:0]	Reserved	00b = default

OUT3 機能 (レジスタ 0X27～レジスタ 0X2C)

表 33. 分周比および位相

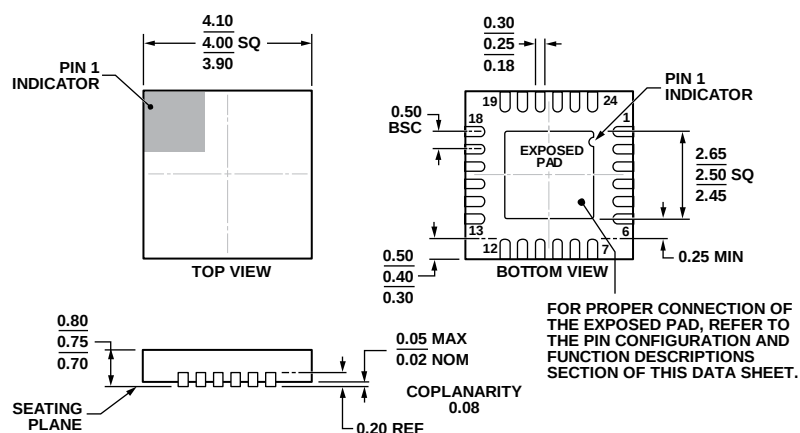
Address	Bits	Bit Name	Description
0x27	[7:0]	OUT3 Divide Ratio[7:0]	Channel 3 10-bit divider value, Bits[7:0] (LSB). Bits[9:8] (MSB) reside in Register 0x28 below. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x28	[7:2]	Reserved	0x00 = default
	[1:0]	OUT3 Divide Ratio[9:8]	Channel 3 10-bit divider value, Bits[9:8] (MSB). Bits[7:0] (LSB) reside in Register 0x27 above. Division = Channel Divider Bits[9:0] + 1. For example, [9:0] = 0 is divided by 1, [9:0] = 1 is divided by 2 ... [9:0] = 1023 is divided by 1024.
0x29	[7:0]	OUT3 Phase[7:0]	Channel 3 11-bit phase offset value, Bits[7:0] (LSB). Bits[10:8] (MSB) reside in Register 0x2A below. Phase Offset = Channel Phase Offset Bits[10:0] . For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period
0x2A	[7:3]	Reserved	0x00 = default
	[2:0]	OUT3 Phase[10:8]	Channel 3 11-bit phase offset value, Bits[10:8] (MSB). Bits[7:0] (LSB) reside in Register 0x29 above. Phase Offset = Channel Phase Offset Bits[10:0] . For example, [10:0] = 1 is the minimum phase offset of ½ the input clock period, [10:0] = 2 is a phase offset of one input clock period.... [10:0] = 2047 is a phase offset 2047 times ½ the input clock period.

表 34.出力ドライバ、パワーダウン、同期

Address	Bits	Bit Name	Description
0x2B	7	PD_3	Channel 3 power-down
	6	SYNCMASK3	Setting this bit masks OUT3 from the output sync function 0 = Channel 3 is synchronized during output sync (default) 1 = Channel 3 is excluded from an output sync
	[5:4]	OUT3 Driver Phase[1:0]	These bits determine the phase of the OUT3 driver 00 = force high 01 = noninverting 10 = inverting 11 = force low
	[3:1]	OUT3 Mode[2:0]	These bits determine the OUT3 driver mode 000 = LVDS 0.5 × 3.5 mA (1/2 amplitude) 001 = LVDS 0.75 × 3.5 mA (3/4 amplitude) 010 = LVDS 1 × 3.5 mA (default) 011 = LVDS 1.25 × 3.5 mA (1.25 amplitude) 100 = HSTL 1 × 3.5 mA (normal amplitude) 101 = HSTL 2 × 3.5 mA (double amplitude) 110 = high-Z/CMOS 111 = high-Z/CMOS
	0	Reserved	0b = default
0x2C	7	EN_CMOS_3P	Setting this bit enables the OUT3P CMOS driver 0 = disables the OUT3P CMOS driver (default) 1 = enables OUT3P CMOS driver
	[6:5]	CMOS_3P_PHASE[1:0]	These bits determine the phase of the OUT3P CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	4	EN_CMOS_3N	Setting this bit enables the OUT3N CMOS driver 0 = disables the OUT3N CMOS driver (default) 1 = enables OUT3N CMOS driver
	[3:2]	CMOS_3N_PHASE[1:0]	These bits determine the phase of the OUT3N CMOS driver 00 = force high (default) 01 = noninverting 10 = inverting 11 = force low
	[1:0]	Reserved	00b = default

パッケージとオーダー情報

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

図 60.24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_WQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-24-7)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9508BCPZ	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-24-7
AD9508BCPZ-REEL7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package (LFCSP_WQ)	CP-24-7
AD9508/PCBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。