

特長

- 500 MSPS で $f_{IN} = 250$ MHz まで SNR = 47 dBFS
- 500 MSPS で $f_{IN} = 250$ MHz まで ENOB = 7.5 ビット (-1.0 dBFS)
- 500 MSPS で $f_{IN} = 250$ MHz まで SFDR = 79 dBc (-1.0 dBFS)
- 入力バッファを内蔵
- 優れた直線性
 - DNL = ± 0.1 LSB (typ)
 - INL = ± 0.1 LSB (typ)
- 500 MSPS の LVDS (ANSI-644 レベル)
- 1 GHz のフル・パワー・アナログ帯域幅
- リファレンス電圧を内蔵、外付けデカップリング不要
- 低消費電力
 - 500 MSPS で 670 mW —LVDS SDR 出力
- 設定可能な入力電圧範囲 (公称)
 - 1.18 V p-p ~ 1.6 V p-p、公称 1.5 V p-p
- 1.8 V のアナログ電源およびデジタル電源による動作
- 選択可能な出力データ・フォーマット (オフセット・バイナリ、2の補数、グレイ・コード)
- クロック・デューティ・サイクル・スタビライザを内蔵
- データ・キャプチャ・クロックを内蔵

アプリケーション

- 無線および有線のブロードバンド通信
- ケーブル・リバース・パス
- 通信テスト装置
- 低価格デジタル・オシロスコープ
- 衛星サブシステム
- パワー・アンプの直線化

概要

AD9484 は、高性能、低消費電力、使いやすさについて最適化されたモノリシック 8 ビット・サンプリング A/D コンバータです。このデバイスは最大 500 MSPS の変換レートで動作し、広帯域キャリア・システムとブロードバンド・システムで優れたダイナミック性能を持つように最適化されています。サンプル・アンド・ホールドやリファレンス電圧などの必要なすべての機能を内蔵して完全な信号変換ソリューションを提供します。VREF ピンを使って、内蔵リファレンス電圧をモニターするか、または外部リファレンス電圧を提供することができます (SPI ポートを介して外部リファレンス・モードをイネーブルしておく必要があります)。

この ADC は、フル性能動作のために 1.8 V のアナログ電源と差動クロックを必要とします。デジタル出力は、LVDS (ANSI-644) 互換で、2 の補数、オフセット・バイナリ・フォーマット、またはグレイ・コードをサポートしています。データ・クロック出力は、適切な出力データ・タイミングで出力されます。

機能ブロック図

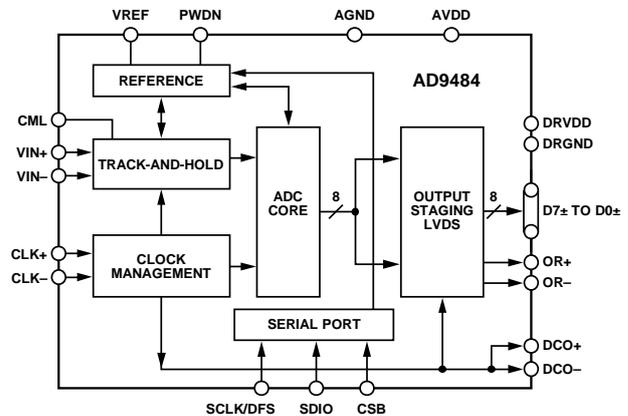


図 1.

AD9484 は最新の BiCMOS プロセスで製造され、56 ピン LFCSP パッケージを採用しており、 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ の工業温度範囲で仕様が規定されています。このデバイスは、米国特許により保護されています。

製品のハイライト

1. 高性能。
500 MSPS、250 MHz 入力で 47 dBFS SNR を維持。
2. 使い安い。
LVDS 出力データと出力クロック信号により、現在の FPGA 技術とのインターフェースが可能。内蔵リファレンス電圧とサンプル・アンド・ホールドによりシステム・デザインの柔軟性を提供。1.8 V 単電源の使用によりシステム電源デザインを簡素化。
3. シリアル・ポート制御。
標準シリアル・ポート・インターフェースにより、データ・フォーマット、パワーダウン、ゲイン調整、出力テスト・パターン生成などの種々の製品機能をサポート。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

目次

特長	1	動作原理.....	14
アプリケーション.....	1	アナログ入力とリファレンス電圧.....	14
機能ブロック図.....	1	クロック入力の考慮事項.....	15
概要.....	1	消費電力とパワーダウン・モード.....	16
製品のハイライト.....	1	デジタル出力.....	16
改訂履歴.....	2	タイミング.....	17
仕様.....	3	VREF.....	17
DC仕様.....	3	SPIを使用する AD9484 の設定.....	18
AC仕様.....	4	ハードウェア・インターフェース.....	18
デジタル仕様.....	5	SPIを使わない設定.....	18
スイッチング仕様.....	6	メモリ・マップ.....	20
絶対最大定格.....	7	メモリ・マップ・テーブルの読み方.....	20
熱抵抗.....	7	予約済みロケーション.....	20
ESDの注意.....	7	デフォルト値.....	20
ピン配置およびピン機能説明.....	8	ロジック・レベル.....	20
代表的な性能特性.....	10	外形寸法.....	23
等価回路.....	13	オーダー・ガイド.....	23

改訂履歴

6/11—Rev. 0 to Rev. A

Change to General Description Section	1
Change to Aperture Time Parameter in Table 4.....	6
Change to Figure 34.....	16
Changes to Register 17 and Register 18 in Table 12.....	20

3/11—Revision 0: Initial Version

仕様

DC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、T_{MIN} = -40°C、T_{MAX} = +85°C、f_{IN} = -1.0 dBFS、フルスケール = 1.5 V。

表 1.

Parameter ¹	Temp	Min	Typ	Max	Unit
RESOLUTION			8		Bits
ACCURACY					
No Missing Codes	Full		Guaranteed		
Offset Error	25°C		0		mV
	Full	-3.0		+3.0	mV
Gain Error	25°C		1.0		% FS
	Full	-5.0		+7.0	% FS
Differential Nonlinearity (DNL)	25°C		±0.13		LSB
	Full	-0.25		+0.25	LSB
Integral Nonlinearity (INL)	25°C		±0.1		LSB
	Full	-0.15		+0.15	LSB
INTERNAL REFERENCE					
VREF	Full	0.71	0.75	0.78	V
TEMPERATURE DRIFT					
Offset Error	Full		18		μV/°C
Gain Error	Full		0.07		%/°C
ANALOG INPUTS (VIN+, VIN-)					
Differential Input Voltage Range ²	Full	1.18	1.5	1.6	V p-p
Input Common-Mode Voltage	Full		1.7		V
Input Resistance (Differential)	Full		1		kΩ
Input Capacitance (Differential)	Full		1.3		pF
POWER SUPPLY					
AVDD	Full	1.75	1.8	1.9	V
DRVDD	Full	1.75	1.8	1.9	V
Supply Currents					
I _{AVDD} ³	Full		283	300	mA
I _{DRVDD} ³ /SDR Mode ⁴	Full		89	100	mA
Power Dissipation					
SDR Mode ⁴	Full		670	720	mW
Standby Mode	Full		40	50	mW
Power-Down Mode	Full		2.5	7	mW

¹ 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

² 入力範囲は SPI を介して設定し、規定範囲は各設定値の公称値を反映しています。メモリ・マップのセクションを参照してください。

³ I_{AVDD} と I_{DRVDD} は、-1 dBFS、10.3 MHz の正弦波を入力し、定格サンプル・レートで測定。

⁴ シングル・データ・レート・モード。これは AD9484 のデフォルト・モードになっています。

AC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、T_{MIN} = -40°C、T_{MAX} = +85°C、f_{IN} = -1.0 dBFS、フルスケール = 1.5 V。

表 2.

Parameter ^{1,2}	Temp	Min	Typ	Max	Unit
SNR					
f _{IN} = 30.3 MHz	25°C		47.0		dBFS
f _{IN} = 70.3 MHz	25°C		47.0		dBFS
f _{IN} = 100.3 MHz	25°C		47.0		dBFS
	Full	46.5			dBFS
f _{IN} = 250.3 MHz	25°C		47.0		dBFS
f _{IN} = 450.3 MHz	25°C		46.9		dBFS
SINAD					
f _{IN} = 30.3 MHz	25°C		47.0		dBFS
f _{IN} = 70.3 MHz	25°C		47.0		dBFS
f _{IN} = 100.3 MHz	25°C		47.0		dBFS
	Full	46.4			dBFS
f _{IN} = 250.3 MHz	25°C		47.0		dBFS
f _{IN} = 450.3 MHz	25°C		46.9		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)					
f _{IN} = 30.3 MHz	25°C		7.5		Bits
f _{IN} = 70.3 MHz	25°C		7.5		Bits
f _{IN} = 100.3 MHz	25°C		7.5		Bits
f _{IN} = 250.3 MHz	25°C		7.5		Bits
f _{IN} = 450.3 MHz	25°C		7.5		Bits
WORST HARMONIC (SECOND or THIRD)					
f _{IN} = 30.3 MHz	25°C		-87		dBc
f _{IN} = 70.3 MHz	25°C		-86		dBc
f _{IN} = 100.3 MHz	25°C		-87		dBc
	Full			-75	dBc
f _{IN} = 250.3 MHz	25°C		83		dBc
f _{IN} = 450.3 MHz	25°C		70		dBc
SFDR					
f _{IN} = 30.3 MHz	25°C		82		dBc
f _{IN} = 70.3 MHz	25°C		81		dBc
f _{IN} = 100.3 MHz	25°C		82		dBc
	Full	75			dBc
f _{IN} = 250.3 MHz	25°C		79		dBc
f _{IN} = 450.3 MHz	25°C		70		dBc
WORST OTHER HARMONIC (SFDR EXCLUDING SECOND and THIRD)					
f _{IN} = 30.3 MHz	25°C		-82		dBc
f _{IN} = 70.3 MHz	25°C		-81		dBc
f _{IN} = 100.3 MHz	25°C		-82		dBc
	Full			-75	dBc
f _{IN} = 250.3 MHz	25°C		79		dBc
f _{IN} = 450.3 MHz	25°C		77		dBc
TWO-TONE IMD					
f _{IN1} = 119.5 MHz, f _{IN2} = 122.5 MHz	25°C		-77		dBc
ANALOG INPUT BANDWIDTH					
Full Power	25°C		1		GHz

¹ すべての AC 仕様は、CLK+ と CLK- を差動駆動してテストしています。

² 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、T_{MIN} = -40°C、T_{MAX} = +85°C、f_{IN} = -1.0 dBFS、フルスケール = 1.5 V。

表 3.

Parameter ¹	Temp	Min	Typ	Max	Unit
CLOCK INPUTS					
Logic Compliance	Full	CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full	0.9			V
Differential Input Voltage					
High Level Input (V _{IH})	Full	0.2		1.8	V p-p
Low Level Input (V _{IL})	Full	-1.8		-0.2	V p-p
High Level Input Current (I _{IH})	Full	-10		+10	μA
Low Level Input Current (I _{IL})	Full	-10		+10	μA
Input Resistance (Differential)	Full	8	10	12	kΩ
Input Capacitance	Full		4		pF
LOGIC INPUTS					
Logic 1 Voltage	Full	0.8 × DRVDD			V
Logic 0 Voltage	Full			0.2 × DRVDD	V
Logic 1 Input Current (SDIO, CSB)	Full		0		μA
Logic 0 Input Current (SDIO, CSB)	Full		-60		μA
Logic 1 Input Current (SCLK, PDWN)	Full		50		μA
Logic 0 Input Current (SCLK, PDWN)	Full		0		μA
Input Capacitance	Full		4		pF
LOGIC OUTPUTS²					
V _{OD} Differential Output Voltage	Full	247		454	mV
V _{OS} Output Offset Voltage	Full	1.125		1.375	V
Output Coding					

¹ 完全な定義とこれらのテストの実施方法についてはアプリケーション・ノート AN-835 「高速 A/D コンバータ (ADC) のテストと評価について」 (和文 Rev.0 / 最新版は英文をご覧ください) を参照してください。

² LVDS R_{TERMINATION} = 100 Ω.

スイッチング仕様

特に指定がない限り、 $AVDD = 1.8\text{ V}$ 、 $DRVDD = 1.8\text{ V}$ 、 $T_{\text{MIN}} = -40^\circ\text{C}$ 、 $T_{\text{MAX}} = +85^\circ\text{C}$ 、 $f_{\text{IN}} = -1.0\text{ dBFS}$ 、フルスケール = 1.5 V 。

表 4.

Parameter	Temp	Min	Typ	Max	Unit
Maximum Conversion Rate	Full	500			MSPS
Minimum Conversion Rate	Full			50	MSPS
CLK+ Pulse Width High (t_{CH}) ¹	Full	0.9		11	ns
CLK+ Pulse Width Low (t_{CL}) ¹	Full	0.9		11	ns
Output (LVDS—SDR) ¹					
Data Propagation Delay (t_{PD})	Full		0.85		ns
Rise Time (t_{R}) (20% to 80%)	25°C		0.15		ns
Fall Time (t_{F}) (20% to 80%)	25°C		0.15		ns
DCO Propagation Delay (t_{CPD})	Full		0.6		ns
Data to DCO Skew (t_{SKEW})	Full	-0.07		+0.07	ns
Latency	Full		15		Clock cycles
Aperture Time (t_{A})	25°C		0.85		ns
Aperture Uncertainty (Jitter, t_{j})	25°C		80		fs rms

¹ 図 2 参照。

タイミング図

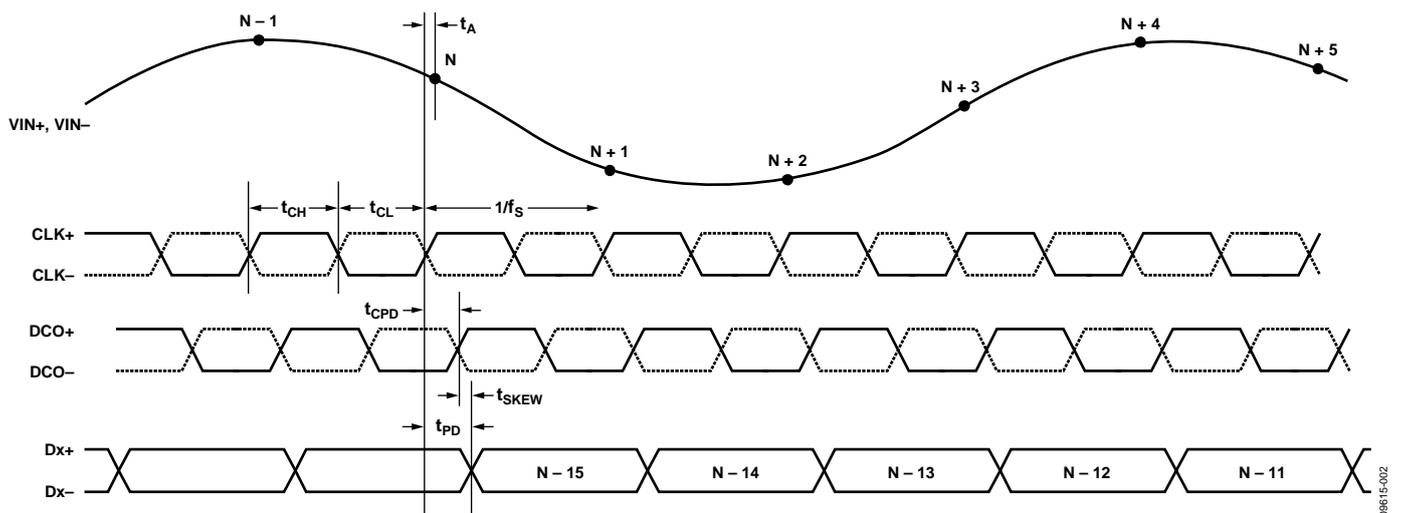


図 2. タイミング図

絶対最大定格

表 5.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to DRGND	-0.3 V to +2.0 V
AGND to DRGND	-0.3 V to +0.3 V
AVDD to DRVDD	-2.0 V to +2.0 V
D0+/D0- through D7+/D7- to DRGND	-0.3 V to DRVDD + 0.2 V
DCO+, DCO- to DRGND	-0.3 V to DRVDD + 0.2 V
OR+, OR- to DRGND	-0.3 V to DRVDD + 0.2 V
CLK+ to AGND	-0.3 V to AVDD + 0.2 V
CLK- to AGND	-0.3 V to AVDD + 0.2 V
VIN+ to AGND	-0.3 V to AVDD + 0.2 V
VIN- to AGND	-0.3 V to AVDD + 0.2 V
SDIO/DCS to DRGND	-0.3 V to DRVDD + 0.2 V
PDWN to AGND	-0.3 V to DRVDD + 0.2 V
CSB to AGND	-0.3 V to DRVDD + 0.2 V
SCLK/DFS to AGND	-0.3 V to DRVDD + 0.2 V
CML to AGND	-0.3 V to AVDD + 0.2 V
VREF to AGND	-0.3 V to AVDD + 0.2 V
Environmental	
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

LFCSP パッケージのエクスポーズド・パドルは、グラウンド・プレーンにハンダ付けする必要があります。エクスポーズド・パドルを PCB にハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

表 6.

Package Type	θ_{JA}	θ_{JC}	Unit
56-Lead LFCSP_VQ (CP-56-5)	23.7	1.7	°C/W

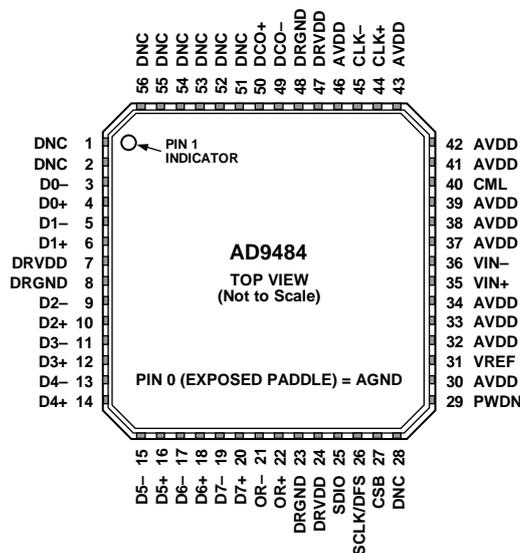
θ_{JA} と θ_{JC} の typ 値は自然空冷の 4 層ボードに対して規定されます。空気流があると放熱効果が良くなり θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. AGND AND DRGND SHOULD BE TIED TO A COMMON QUIET GROUND PLANE.
3. THE EXPOSED PADDLE MUST BE SOLDERED TO A GROUND PLANE.

08615-003

図 3. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
0	AGND ¹	アナログ・グラウンド。エクスポーズド・パッドはグラウンド・プレーンに接続する必要があります。
30、32 to 34、37 to 39、41 to 43、46	AVDD	1.8 V のアナログ電源。
7、24、47	DRVDD	1.8 V のデジタル出力電源。
8、23、48	DRGND ¹	デジタル出力グラウンド。
35	VIN+	アナログ入力—非反転。
36	VIN-	アナログ入力—反転。
40	CML	同相モード出力。このピンは SPI 経由でイネーブルされ、VIN+/VIN- の内部バイアス電圧を最適化するためのリファレンス電圧を供給します。
44	CLK+	クロック入力—非反転。
45	CLK-	クロック入力—反転。
31	VREF	内蔵リファレンス電圧入力/出力。公称 0.75 V。
1、2、28、51 to 56	DNC	接続なしこのピンは接続しないでください。このピンはフローティングのままにしておく必要があります。
25	SDIO	シリアル・ポート・インターフェース (SPI) のデータ入力/出力。
26	SCLK/DFS	シリアル・ポート・インターフェース・クロック (シリアル・ポート・モード)/データ・フォーマット・セレクト (外部ピン・モード)。
27	CSB	シリアル・ポート・チップ・セレクト (アクティブ・ロー)。
29	PWDN	チップ・パワーダウン。
49	DCO-	データ・クロック出力—反転。
50	DCO+	データ・クロック出力—非反転。
3	D0-	D0 反転出力 (LSB)。
4	D0+	D0 非反転出力 (LSB)。
5	D1-	D1 反転出力。
6	D1+	D1 非反転出力。
9	D2-	D2 反転出力。
10	D2+	D2 非反転出力。

ピン番号	記号	説明
11	D3-	D3 反転出力。
12	D3+	D3 非反転出力。
13	D4-	D4 反転出力。
14	D4+	D4 非反転出力。
15	D5-	D5 反転出力。
16	D5+	D5 非反転出力。
17	D6-	D6 反転出力。
18	D6+	D6 非反転出力。
19	D7-	D7 反転出力 (MSB)。
20	D7+	D7 非反転出力 (MSB)。
21	OR-	範囲外反転出力。
22	OR+	範囲外非反転出力。

¹ AGND と DRGND はノイズのない共通グラウンド・プレーンへ接続してください。

代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、定格サンプル・レート、 $T_A = 25^\circ\text{C}$ 、1.5 V p-p 差動入力、AIN = -1 dBFS。

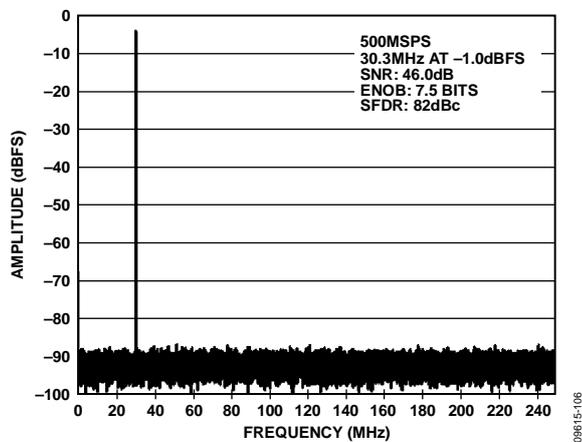


図 4.64k ポイント・シングル・トーン FFT
500 MSPS、30.3 MHz

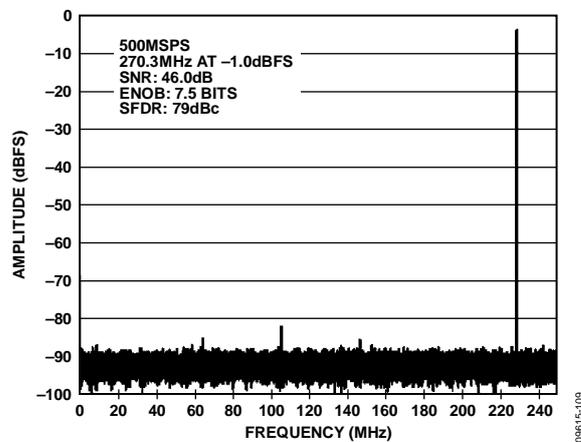


図 7.64k ポイント・シングル・トーン FFT
500 MSPS、270.3 MHz

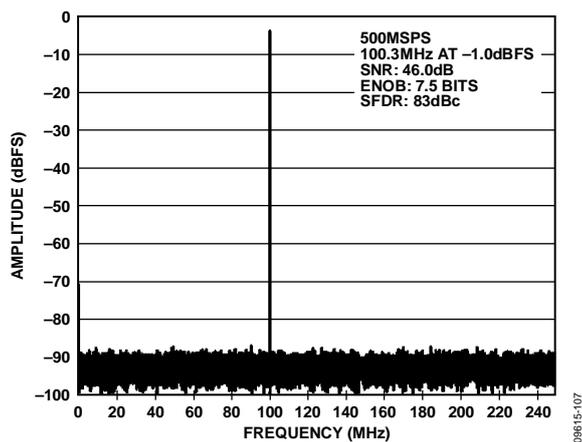


図 5.64k ポイント・シングル・トーン FFT
500 MSPS、100.3 MHz

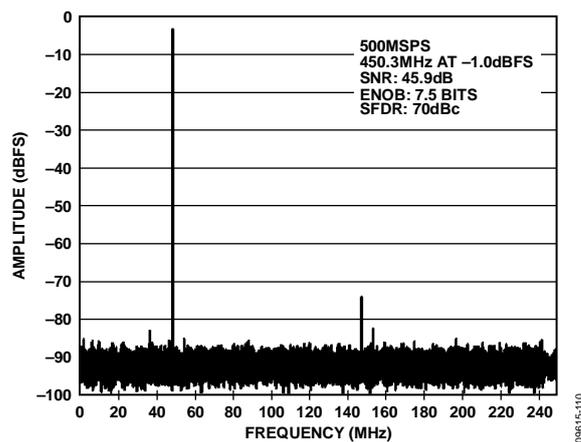


図 8.64k ポイント・シングル・トーン FFT
500 MSPS、450.3 MHz

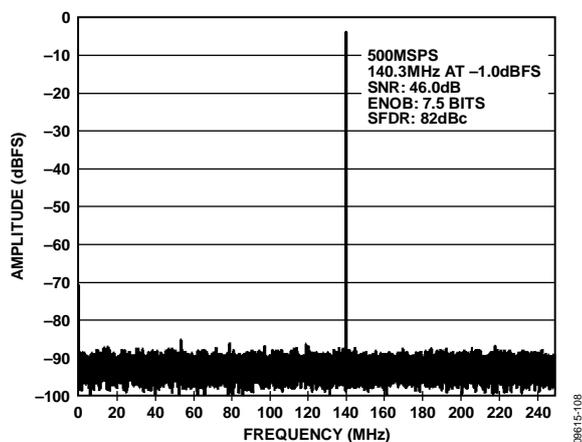


図 6.64k ポイント・シングル・トーン FFT
500 MSPS、140.3 MHz

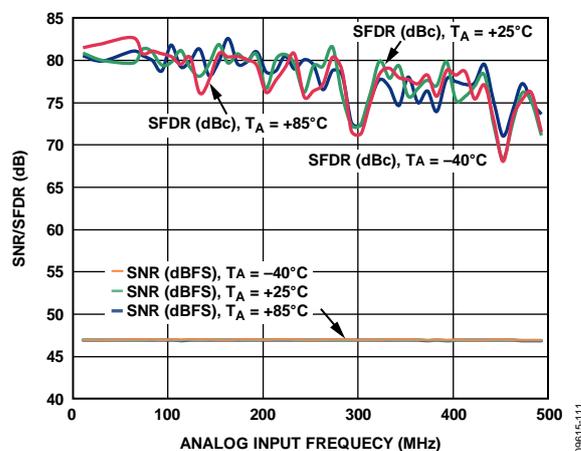


図 9.様々な温度での入力周波数 (f_{IN}) 対シングル・トーン SNR/SFDR、500 MSPS

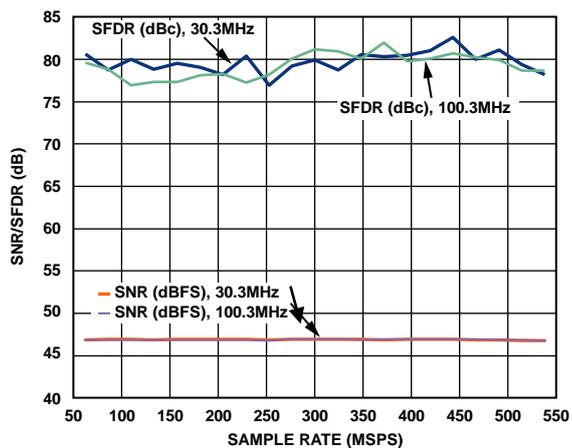


図 10. サンプル・レート対 SNR/SFDR
30.3 MHz、100.3 MHz

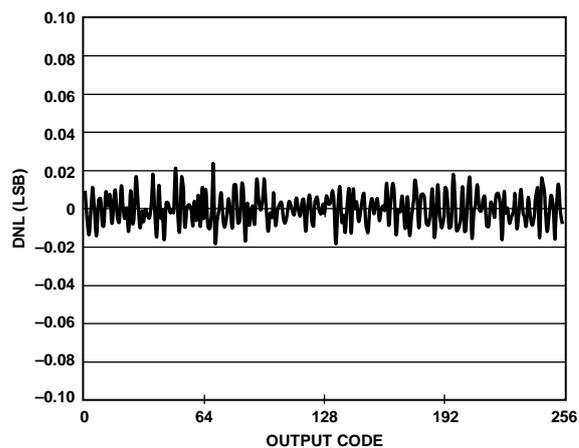


図 13. DNL
500 MSPS

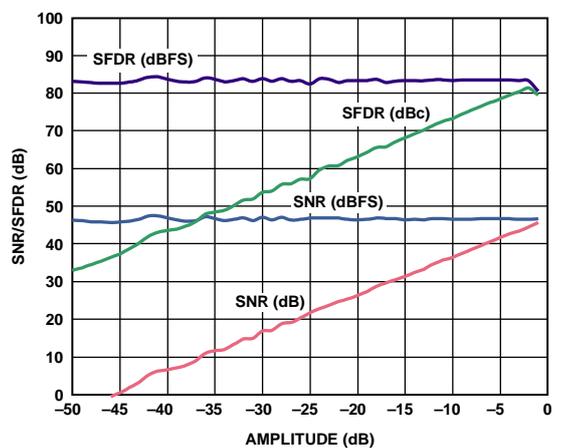


図 11. 入力振幅対 SNR/SFDR
500 MSPS、140.3 MHz

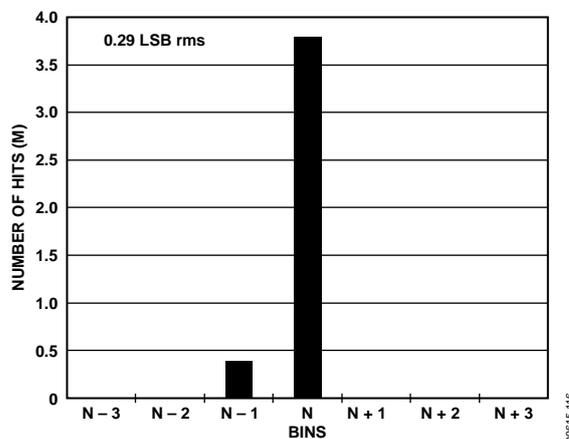


図 14. グラウンド接続入力ヒストグラム
500 MSPS

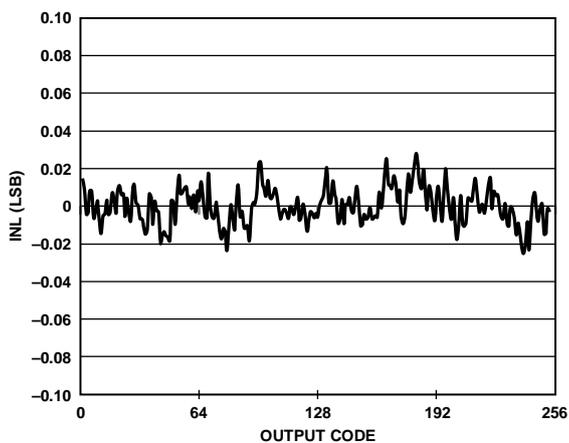


図 12. INL、500 MSPS

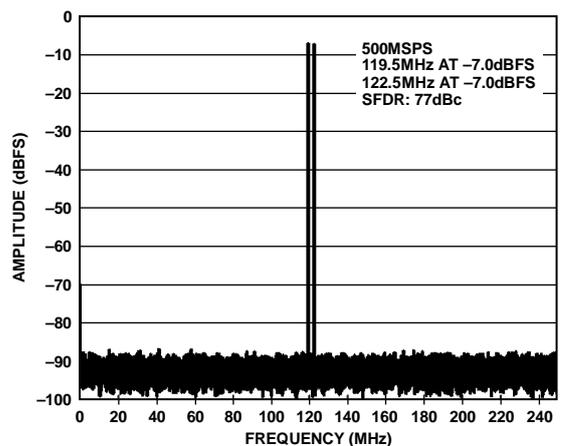


図 15. 64k ポイント、2 トーン FFT
500 MSPS、119.2 MHz、122.5 MHz

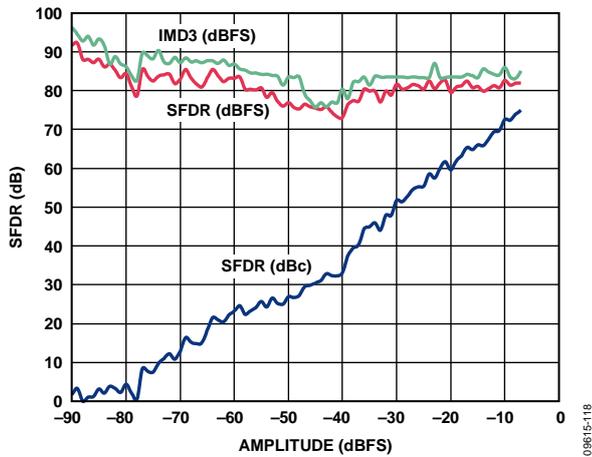


図 16. 入力振幅対 2 トーン SFDR
500 MSPS、119.5 MHz、122.5 MHz

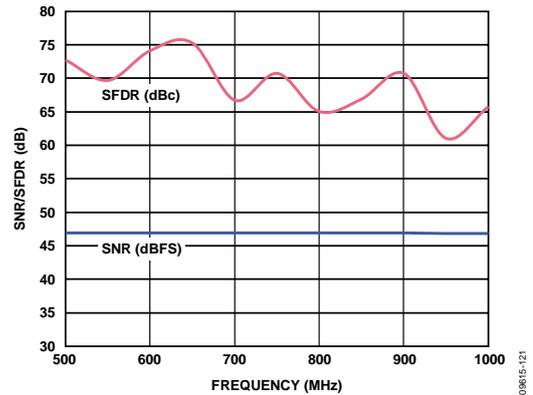


図 19. 500 MSPS での SNR/SFDR
-1.0 dBFS で AIN をスイープ

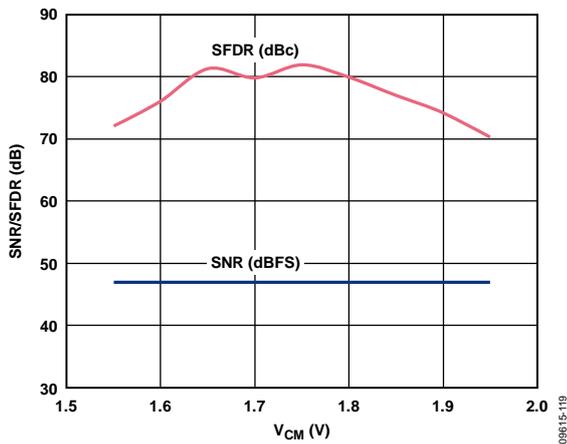


図 17. 同相モード電圧対 SNR/SFDR
500 MSPS、AIN = 140.3 MHz

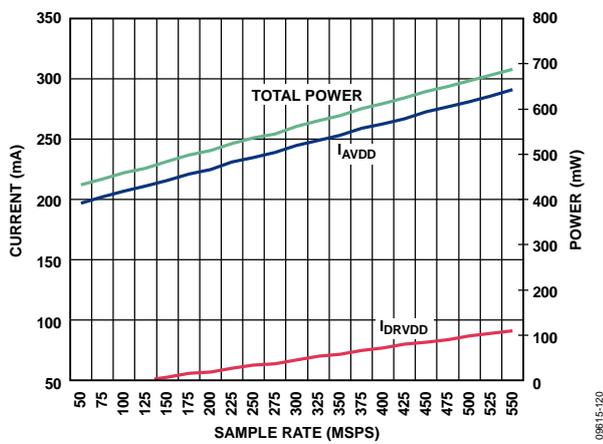


図 18. サンプル・レート対電流および消費電力
AIN = 30.3 MHz

等価回路

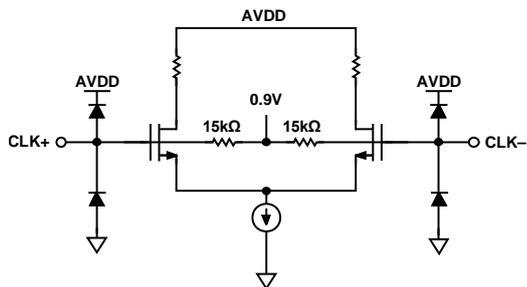


図 20. クロック入力

09815-006

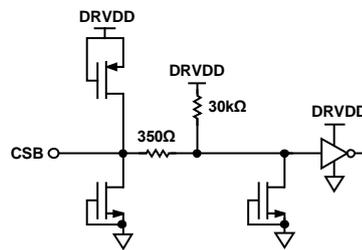


図 24. CSB の等価入力回路

09815-009

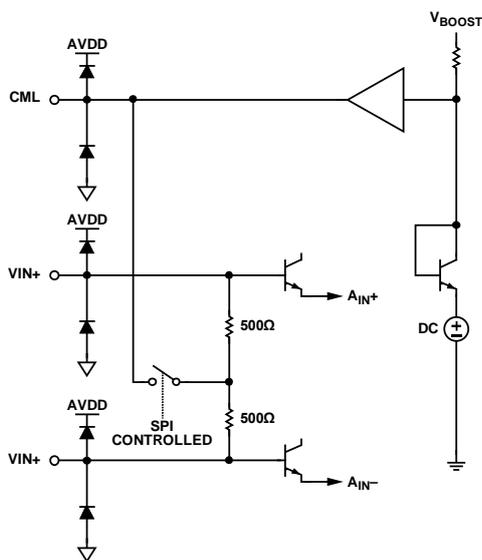


図 21. アナログ入力 DC 等価回路 ($V_{CML} = -1.7V$)

09815-007

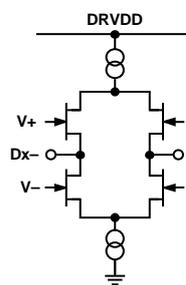


図 25. LVDS 出力 (Dx+, Dx-, OR+, OR-, DCO+, DCO-)

09815-010

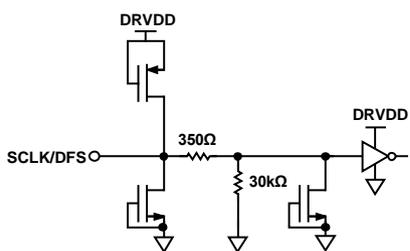


図 22. SCLK/DFS、PDWN 入力等価回路

09815-008

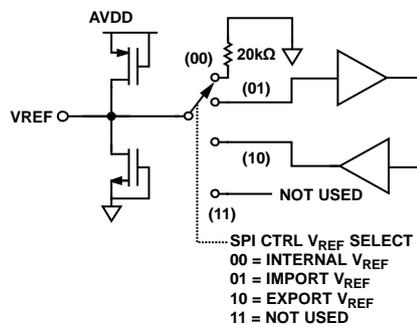


図 26. VREF 入力/出力等価回路

09815-011

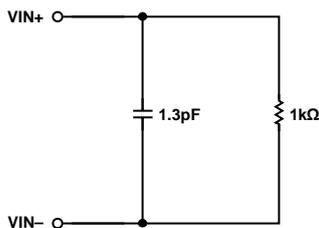


図 23. アナログ入力 AC 等価回路

09815-025

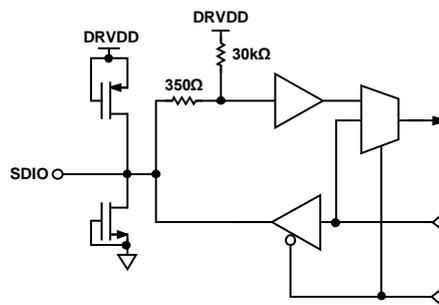


図 27. SDIO 入力等価回路

09815-012

動作原理

AD9484 アーキテクチャは、フロントエンドのサンプル・アンド・ホールド・アンプ(SHA)と、それに続くパイプライン化されたスイッチド・キャパシタ ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 8 ビットになります。パイプライン化されたアーキテクチャにより、新しい入力サンプルに対して最初のステージが動作すると同時に、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・コンデンサ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

入力ステージには差動 SHA が含まれており、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへのデータの出力が行われます。出力バッファの電源は分離されているため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力とリファレンス電圧

AD9484 のアナログ入力は差動バッファになっています。最適なダイナミック性能を得るためには、同相モードのセトリング誤差が対称になるように、VIN+ と VIN- を駆動するソース・インピーダンスが一致している必要があります。アナログ入力は、優れた広帯域性能を得るように最適化されており、アナログ入力を差動で駆動する必要があります。アナログ入力をシングルエンド信号で駆動すると、SNR 性能と SINAD 性能は大幅に低下します。

シングルエンドから差動への変換を必要とするアプリケーションに対しては、Mini-Circuits®社の ADT1-1WT のような広帯域トランスを使って差動アナログ入力を用意することができます。両アナログ入力は、内蔵リファレンス電圧により公称 1.7 V にセルフ・バイアスされています。

内蔵差動リファレンス電圧が正と負のリファレンス電圧を発生し、これらの電圧が ADC コアの 1.5 V p-p 固定スパンを決定します。この内蔵リファレンス電圧は、SPI 制御を介して調整することができます。詳細については、SPI を使用する AD9484 の設定のセクションを参照してください。

差動入力構成

最適性能は、AD9484 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138 差動ドライバが優れた性能と ADC に対する柔軟なインターフェースを提供します。AD8138 の出力同相モード電圧は容易に AVDD/2+0.5 V に設定できるため、ドライバは入力信号の帯域制限用サレncy・フィルタ回路内で構成することができます。

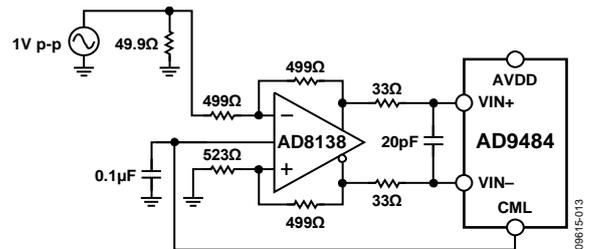


図 28. AD8138 を使用した差動入力の構成

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9484 の真の性能を得るためには、大部分のアンプの性能は不十分です。このことは、70 MHz~100 MHz の範囲の周波数をサンプリングする IF アンダーサンプリング・アプリケーションの場合に特に当てはまります。これらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。トランスを選択するときは、信号特性を考慮する必要があります。多くの RF トランスは数 MHz より低い周波数で飽和し、また大きな信号電力でもコアの飽和が発生して、歪み発生の原因になります。

どの構成でも、シャント・コンデンサ C の値は入力周波数に依存するため(図 30 参照)、小さくするか、削除する必要があります。

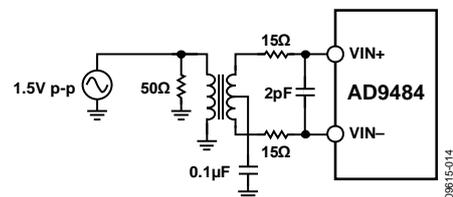


図 29. 差動トランス結合構成

第 2 ナイキスト領域の周波数でトランス結合入力を使う代わりに、AD8352 差動ドライバを使う方法があります(図 30 参照)。

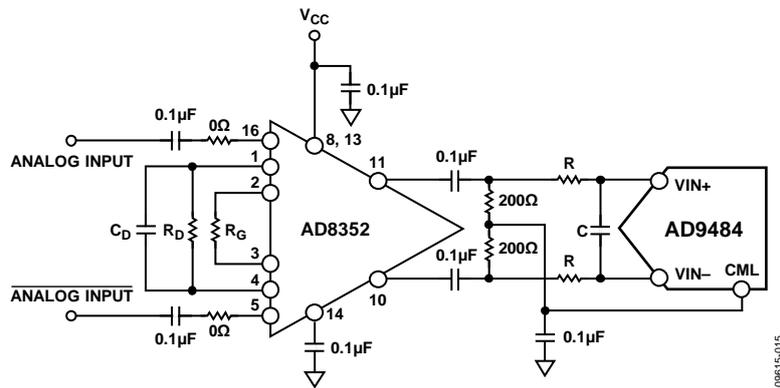


図 30. AD8352 を使用した差動入力構成

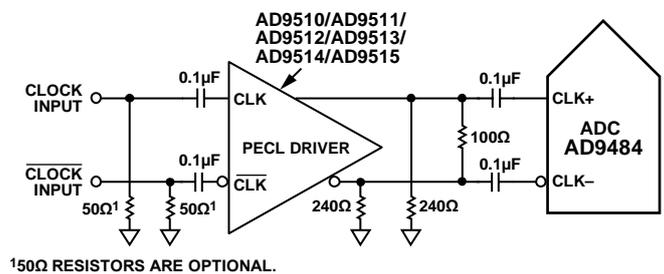


図 31. 差動 PECL サンプル・クロック

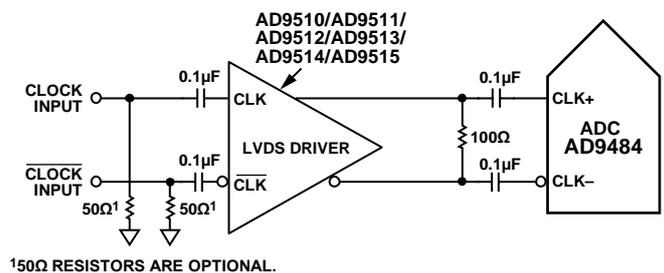


図 32. 差動 LVDS サンプル・クロック

クロック入力の考慮事項

最適性能を得るためには、AD9484 のサンプル・クロック入力 (CLK+と CLK-)を差動信号で駆動する必要があります。信号は、一般にトランスまたはコンデンサを介して CLK+ピンと CLK-ピンに AC 結合されます。これらのピンは内部で約 0.9V にバイアスされているため、バイアスを追加する必要はありません。クロック信号を DC 結合する場合は、同相モード電圧を 0.9 V の範囲内に維持してください。

図 33 に、AD9484 に対してクロックを入力する際の推奨される方法を示します。低ジッタのクロック・ソースは、RF トランスを使ってシングルエンドから差動に変換されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9484 に入力されるクロックを約 0.8 V のピーク to ピーク差動に制限します。この機能は、クロックの大きな電圧振幅が AD9484 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

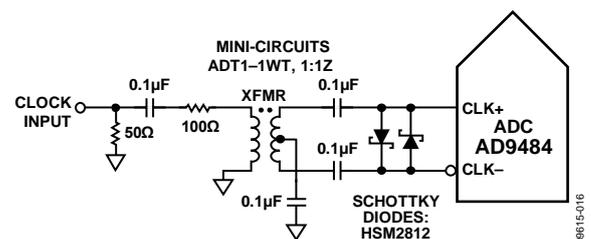


図 33. トランス結合差動クロック

低ジッタ・クロックが使用できる場合、もう 1 つのオプションは差動 PECL 信号をサンプル・クロック入力ピンへ AC 結合することです(図 31 参照)。

AD9510/AD9511/AD9512/AD9513/AD9514/AD9515 ファミリーのクロック・ドライバは、優れたジッタ性能を提供します。

アプリケーションによっては、サンプル・クロック入力をシングルエンド 1.8 V CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ピンを CMOS ゲートで直接駆動し、CLK-ピンは 0.1 µF コンデンサと 39 kΩ 抵抗の並列接続によりグラウンドへバイパスします(図 34 参照)。

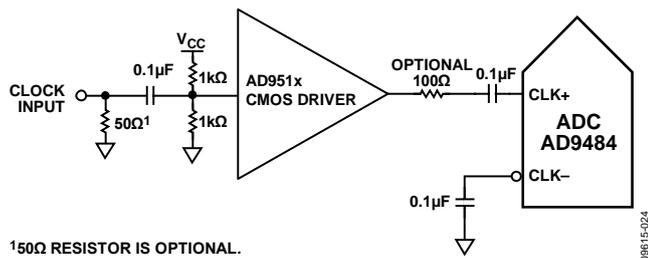


図 34. シングルエンド 1.8 V CMOS 入力クロック (最大 200 MHz)

クロック・デューティ・サイクルの考慮事項

一般的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しています。このため、これらの ADC はクロックのデューティ・サイクルに敏感です。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容許容誤差は 5%以内である必要があります。AD9484 は、非サンプリング・エッジの再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生するために、クロックのデューティ・サイクル・スタビライザ(DCS)を内蔵しています。この回路により、AD9484 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。DCS がオンするとき、ノイズ性能と歪み性能は広い範囲のデューティ・サイクルでほぼ平坦です。

このデューティ・サイクル・スタビライザは、遅延ロック・ループ(DLL)を使って非サンプリング・エッジを再生しています。そのため、サンプリング周波数が増えると、DLL が新しいレートにロックするために約 15 クロック・サイクルを必要とします。

クロック・ジッタの考慮事項

高速な高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_A)でジッタ(t_j)のみに発生する SNR 性能の低下は次式で計算されます。

$$\text{SNR の低下} = 20 \times \log_{10}(1/2 \times \pi \times f_A \times t_j)$$

この式で、rms アパーチャ・ジッタは、クロック入力、アナログ入力信号、ADC アパーチャ・ジッタ仕様を含む全ジッタ・ソースの 2 乗和平方根を表します。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 35)。

ジッタが AD9484 のダイナミック・レンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッタの水晶制御オシレータは最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、またはその他の方法)から発生される場合、最終ステップで元のクロックを使って再タイミングする必要があります。

ジッタ性能の詳細については、ADC にも関係するため、AN-501 アプリケーション・ノートと AN-756 アプリケーション・ノートを参照してください (<http://www.analog.com/jp>)。

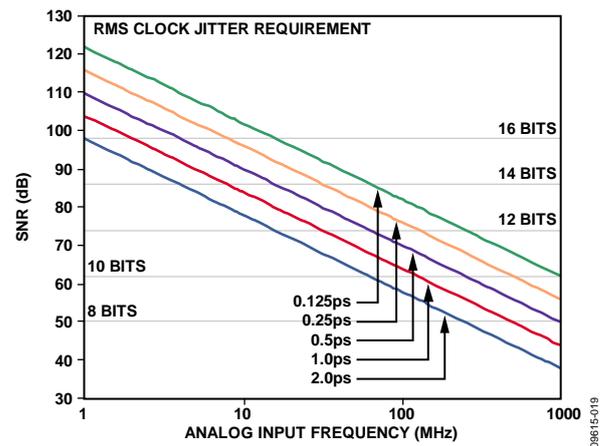


図 35. 入力周波数およびジッタ対理論 SNR

消費電力とパワーダウン・モード

図 18 に示すように、AD9484 で消費される電力はサンプル・レートに比例します。デジタル消費電力は主に DRVDD 電源と LVDS 出力ドライバのバイアス電流で決まるため、あまり変わりません。

PDWN (ピン 29) をハイ・レベルにすると、AD9484 はシリアル・ポート・レジスタ 08 の値に応じて、スタンバイ・モードまたはフル・パワーダウン・モードになります。PDWN ピンをロー・レベルに戻すと、AD9484 は通常の動作モードに戻ります。

クロック入力を変える方法によるもう 1 つのスタンバイ・モードもサポートされています。クロック・レートが 50 MHz を下回ると、AD9484 はスタンバイ状態になります。この場合、バイアス回路と内蔵リファレンス電圧は動作を続けますが、デジタル回路はパワーダウンします。クロックを再入力すると、パイプライン・レイテンシの経過後に AD9484 は通常の動作を再開します。

デジタル出力

デジタル出力とタイミング

AD9484 の差動出力は、デフォルトのパワーアップ時に ANSI-644 LVDS 規格に準拠します。この機能は、SPI を介して低消費電力 (IEEE 1596.3 規格と同様の縮小信号オプション)に変更することができます。この LVDS 規格はデバイスの全体消費電力をさらに削減でき、約 39 mW の消費電力を削減します。詳細については、メモリ・マップのセクションを参照してください。LVDS ドライバの電流は内部で発生され、各出力での出力電流公称値は 3.5 mA に設定されます。LVDS レシーバ入力に接続される 100 Ω の差動終端抵抗は、レシーバ側で公称 350 mV の振幅を発生させます。

AD9484 の LVDS 出力は、ノイズの多い環境で優れたスイッチング性能を得るために LVDS 機能を持っているカスタム ASIC や FPGA 内にある LVDS レシーバとのインターフェースを可能にします。100 Ω の終端抵抗をできるだけレシーバの近くに接続した 1 対 1 回路の使用が推奨されます。遠端でレシーバ終端がない場合、または差動パターン配線が良くない場合には、タイミング誤差が発生します。パターン長を 24 インチ以下に抑え、差動出力パターンを同じ長さで互いに近い配置にすることが推奨されます。

ANSI 規格 (デフォルト) データ・アイを使用した LVDS 出力例と、通常の FR-4 材上でパターン長を 24 インチ以下とした場合のタイム・インターバル誤差 (TIE) ジッタのヒストグラム例を図 36 に示します。図 37 には、通常の FR-4 材上でパターン長を 24 インチ以上にした場合の例を示します。TIE ジッタ・ヒストグラムに、エッジが理想位置からずれることによるデータ・アイ開口の減少が反映されていることに注意してください。パターン長が 24 インチを超える場合に、波形がデザイン上のタイミング条件を満たすか否かはユーザの判断によります。

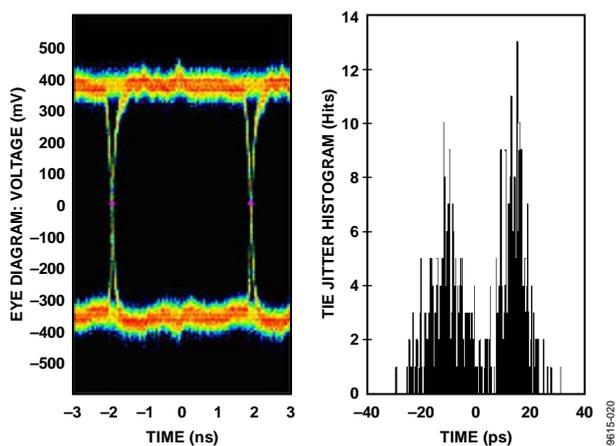


図 36. 標準 FR-4 上でパターン長を 24 インチ以下にした ANSI モードの LVDS 出力のデータ・アイ

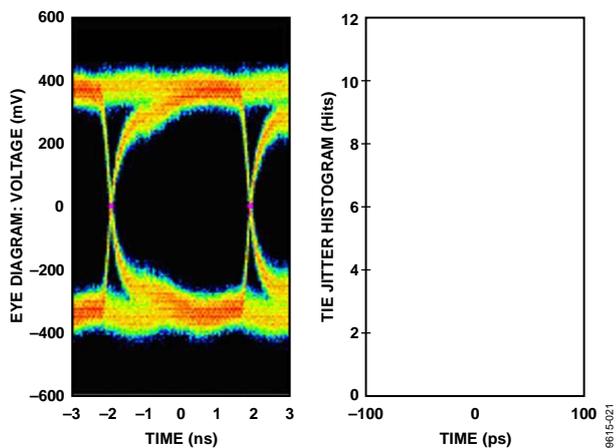


図 37. 標準 FR-4 上でパターン長を 24 インチ以上にした場合の ANSI モードの LVDS 出力のデータ・アイ

出力データのデフォルト・フォーマットはオフセット・バイナリです。出力コーディング・フォーマットの例を表 11 に示します。出力データ・フォーマットを 2 の補数に変更する場合は、SPI を使用する AD9484 の設定のセクションを参照してください。

AD9484 からのデータのキャプチャに役立てるため、出力クロック信号が用意されています。DCO は出力データのクロックとして使われ、サンプリング・クロック (CLK) レートに一致しています。シングル・データレート・モード (SDR) では、AD9484 からのデータはクロックで出力され、DCO の立上がりエッジで読出す必要があります。詳細については、図 2 のタイミング図を参照してください。

出力データレートとピン配置

AD9484 の出力データは、入力クロック信号 (SDR モード) と同じレートで 12 対の LVDS 出力を駆動するように設定することができます。

範囲外表示 (OR)

範囲外状態は、アナログ入力電圧が ADC の入力範囲を超えた場合に発生します。OR+ と OR- (OR±) は、サンプルされた特定の入力電圧に対応するデータ出力と一緒に更新されるデジタル出力です。したがって、OR± はデジタル・データと同じパイプライン遅延を持っています。アナログ入力電圧がアナログ入力範囲内にあるとき、OR± はロー・レベルになり、アナログ入力電圧がアナログ入力範囲を超えたときハイ・レベルになります (図 38 参照)。アナログ入力が入力範囲内に戻り、かつ次の変換が完了するまで OR± はハイ・レベルを維持します。OR± と MSB の AND をとって反転すると、オーバーフロー/アンダーフローを区別することができます。

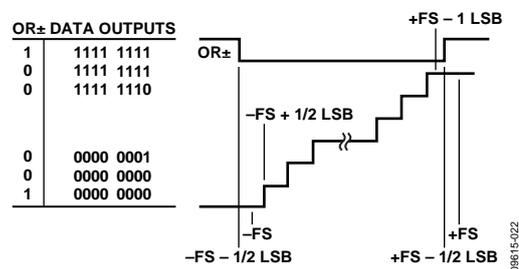


図 38. OR± と入力電圧の関係と出力データ

タイミング

AD9484 は、ラッチされたデータを 15 クロック・サイクルの遅延後に出力します。データ出力は、クロック信号の立上がりエッジから 1 伝搬遅延 (t_{PD}) 後に出力されます。

出力データラインの長さ、それらに接続された負荷を最小にして AD9484 内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。AD9484 は、外部レジスタへデータを読込むためのデータ・クロック出力 (DCO) 信号を出力します。データ出力は DCO の立上がりエッジで有効です。

AD9484 の最小変換レートは 50 MSPS です。1 MSPS 以下のクロック・レートでは、AD9484 はスタンバイ・モードと見なします。

VREF

AD9484 の VREF ピン (ピン 31) を使って、内蔵リファレンス電圧をモニタするか、または外部リファレンス電圧を提供することができます (SPI を介して設定しておく必要があります)。内蔵 VREF を使用 (ピンを 20 kΩ を介してグラウンドへ接続)、VREF の出力、VREF の入力の 3 つのオプション設定があります。このピンにはバイパス・コンデンサを接続しないでください。VREF は内部で補償されているため、負荷が増えると性能に影響を与えます。

SPI を使用する AD9484 の設定

AD9484 の SPI を使うと、ADC 内部の構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。この機能により、アプリケーションに応じて、柔軟性とカスタマイゼーションが強化されます。アドレスのアクセス(書き込みまたは読出し)は、1 バイト・ワードずつシリアルに行われます。各バイトはさらにフィールドに分割され、メモリ・マップのセクションにドキュメント化されています。

3本のピンで、この ADC に対するシリアル・ポート・インターフェース (SPI) が定義されています。この 3本のピンは、SCLK/DFS ピン、SDIO ピン、CSB ピンです。SCLK/DFS (シリアル・クロック) ピンは、ADC に対する読出し/書き込みデータの同期に使用されます。SDIO (シリアル・データ入力/出力) ピンは 2つの機能で共用されるピンであり、内部 ADC メモリ・マップ・レジスタに対するデータの送受信に使われます。CSB はアクティブ・ローのコントロール信号であり、書き込みサイクルと読出しサイクルをイネーブル/ディスエーブルします(表 8 参照)。

表 8. シリアル・ポート・ピン

Mnemonic	Function
SCLK	SCLK (serial clock) is the serial shift clock in. SCLK is used to synchronize serial interface reads and writes.
SDIO	SDIO (serial data input/output) is a dual-purpose pin. The typical role for this pin is an input and output depending on the instruction being sent and the relative position in the timing frame.
CSB	CSB (chip select) is an active low control that gates the read and write cycles.

CSB の立下がりエッジと SCLK の立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義を図 39 と表 10 に示します。

命令フェーズでは、16 ビット命令が送信されます。命令フェーズの後にはデータが続き、その長さは W0 ビットと W1 ビットにより指定され、1 バイトまたは複数バイトが可能です。すべてのデータは 8 ビット・ワードで構成されます。シリアル・データの各バイトの先頭ビットは、読出しコマンドまたは書き込みコマンドのいずれが発行されたかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

データは、MSB ファースト・モードまたは LSB ファースト・モードで送信することができます。MSB ファーストはパワーアップ時のデフォルトであり、設定レジスタを使って変更することができます。詳細については、<http://www.analog.com/jp> のアプリケーション・ノート AN-877 「SPI を使った高速 ADC へのインターフェース」を参照してください。

ハードウェア・インターフェース

表 8 に示すピンにより、ユーザの書き込みデバイスと AD9484 のシリアル・ポートとの間の物理インターフェースが構成されています。SCLK ピンと CSB ピンは、SPI インターフェースを使用するときは入力として機能します。SDIO ピンは双方向で、書き込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

このインターフェースは、PROM または PIC® マイクロコントローラからも制御できるように十分な柔軟性を持っています。この機能により、SPI コントローラ以外を使って ADC を設定する方法が提供されます。

SPI インターフェースを使用しない場合には、複数の機能間共用できるピンがあるので、デバイス・パワーオン時に外部で AVDD またはグラウンドに接続すると、特定の機能に対応させることができます。SPI を使わない設定のセクションに、AD9484 でサポートしているストラップ接続可能な機能を示します。

SPI を使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SCLK/DFS ピンは、独立した CMOS 互換のコントロール・ピンとして使用することができます。CSB ピンを AVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがディスエーブルされます。

表 9. モードの選択

Mnemonic	External Voltage	Configuration
SCLK/DFS	AVDD AGND	Twos complement enabled Offset binary enabled

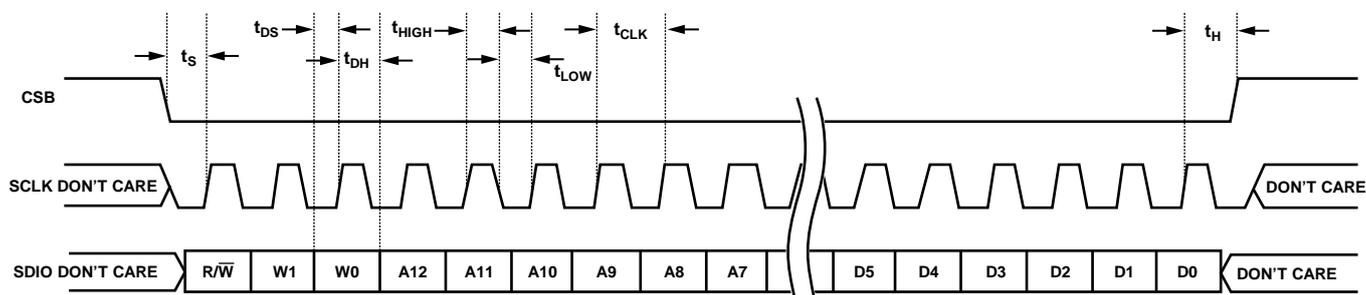


図 39. シリアル・ポート・インターフェースのタイミング図

表 10. シリアル・タイミングの定義

Parameter	Minimum (ns)	Description
t_{DS}	5	Setup time between the data and the rising edge of SCLK
t_{DH}	2	Hold time between the data and the rising edge of SCLK
t_{CLK}	40	Period of the clock
t_S	5	Setup time between CSB and SCLK
t_H	2	Hold time between CSB and SCLK
t_{HIGH}	16	Minimum period that SCLK should be in a logic high state
t_{LOW}	16	Minimum period that SCLK should be in a logic low state
t_{EN_SDIO}	1	Minimum time for the SDIO pin to switch from an input to an output relative to the SCLK falling edge (not shown in Figure 39)
t_{DIS_SDIO}	5	Minimum time for the SDIO pin to switch from an output to an input relative to the SCLK rising edge (not shown in Figure 39)

表 11. 出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode, D7± to D0±	Twos Complement Mode, D7± to D0±	OR±
VIN+ – VIN–	$< -0.75 - 0.5 \text{ LSB}$	0000 0000	1000 0000	1
VIN+ – VIN–	$= -0.75$	0000 0000	1000 0000	0
VIN+ – VIN–	$= 0$	1000 0000	0000 0000	0
VIN+ – VIN–	$= 0.75$	1111 1111	0111 1111	0
VIN+ – VIN–	$> 0.75 + 0.5 \text{ LSB}$	1111 1111	0111 1111	1

メモリ・マップ

メモリ・マップ・テーブルの読み方

メモリ・マップ・テーブル(表 12)内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ・マップ(アドレス 0x00~アドレス 0x02)、転送レジスタ・マップ(アドレス 0xFF)、ADC 機能レジスタ・マップ(アドレス 0x08~0x2A)の 3つのセクションに分かれています。

メモリ・マップの Addr.(Hex) の列は レジスタ・アドレス(16進値)を、Default Value (Hex)の列は、デフォルトの 16進値(レジスタに書き込み済み)を、それぞれ表します。Bit 7 (MSB)の列は、デフォルト 16進値の開始になります。例えば、アドレス 0x2A の OVR_CONFIG は、16進デフォルト値 0x01 を持ちます。これは、Bit 7 = 0、Bit 6 = 0、Bit 5 = 0、Bit 4 = 0、Bit 3 = 0、Bit 2 = 0、Bit 1 = 0、Bit 0 = 1 を意味し、2進で 0000 0001 となります。デフォルト値により、OR± 出力がイネーブルされます。Bit 0 = 0 でこのデフォルトを上書きすると、OR± 出力がディスエーブルされます。詳細については、<http://www.analog.com/jp> のアプリケーション・ノート AN-877 「SPI を使った高速 ADC へのインターフェース」を参照してください。

予約済みロケーション

未定義メモリ・ロケーションには、このデータシートに記載するデフォルト値以外の値を書き込まないでください。0 と表示された値を持つアドレスは予約済みと見なす必要があり、パワーアップ時にこれらのレジスタに 0 を書き込んでください。

デフォルト値

デバイスのリセット後、クリティカルなレジスタにはデフォルト値がプリロードされます。これらの値を表 12 に示します。その他のレジスタにはデフォルト値がないため、リセット時には前の値が保持されます。

ロジック・レベル

「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書き込む」と同じ意味です。同様に「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書き込む」と同じ意味です。

表 12.メモリ・マップ・レジスタ

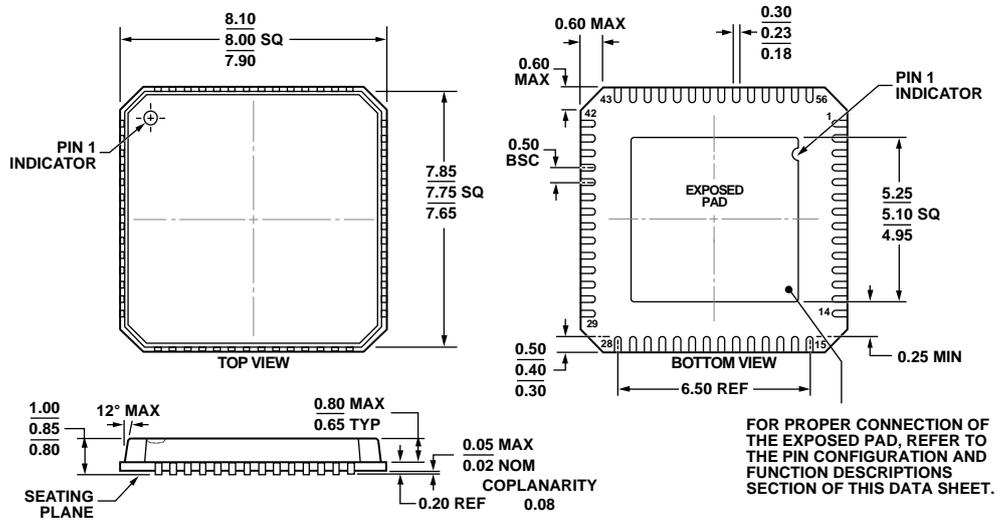
Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/ Comments
Chip Configuration Registers											
00	CHIP_PORT_CONFIG	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles should be mirrored by the user so that LSB or MSB first mode registers correctly, regardless of shift mode.
01	CHIP_ID	8-bit chip ID, Bits[7:0] = 0x6C								Read only	Default is a unique chip ID, different for each device. This is a read-only register.
02	CHIP_GRADE	0	0	0	Speed grade: 00 = 500 MSPS	X ¹	X ¹	X ¹	Read only	Child ID used to differentiate graded devices.	
Transfer Register											
FF	DEVICE_UPDATE	0	0	0	0	0	0	0	SW transfer	0x00	Synchronously transfers data from the master shift register to the slave.
ADC Functions Registers											
08	Modes	0	0	PDWN: 0 = full (default) 1 = standby	0	0	Internal power-down mode: 000 = normal (power-up, default) 001 = full power-down 010 = standby 011 = normal (power-up) Note that external PDWN pin overrides this setting	0x00	Determines various generic modes of chip operation.		

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
10	Offset	8-bit device offset adjustment [7:0] 0111 111 = +127 codes 0000 0000 = 0 codes 1000 0000 = -128 codes								0x00	Device offset trim: codes are relative to the output resolution.
0D	TEST_IO	(For user-defined mode only, set Bits[3:0] = 1000) 00 = Pattern 1 only 01 = toggle P1/P2 10 = toggle P1/0000 11 = toggle P1/P2/0000	Reset PN23 gen: 1 = on 0 = off (default)	Reset PN9 gen: 1 = on 0 = off (default)	Output test mode: 0000 = off (default) 0001 = midscale short 0010 = +FS short 0011 = -FS short 0100 = checker board output 0101 = PN23 sequence 0110 = PN9 0111 = one/zero word toggle 1000 = user defined 1001 = unused 1010 = unused 1011 = unused 1100 = unused (Format determined by OUTPUT_MODE)					0x00	When set, the test data is placed on the output pins in place of normal data. Set pattern values: P1 = Reg 0x19, Reg 0x1A P2 = Reg 0x1B, Reg 0x1C
0F	AIN_CONFIG	0	0	0	0	0	Analog input disable: 1 = on 0 = off (default)	0	0	0x00	
14	OUTPUT_MODE	0	0	0	Output enable: 0 = enable (default) 1 = disable	0	Output invert: 1 = on 0 = off (default)	Data format select: 00 = offset binary (default) 01 = twos complement 10 = Gray code		0x00	0
15	OUTPUT_ADJUST	0	0	0	0	LVDS course adjust: 0 = 3.5 mA (default) 1 = 2.0 mA	LVDS fine adjust: 001 = 3.50 mA 010 = 3.25 mA 011 = 3.00 mA 100 = 2.75 mA 101 = 2.50 mA 110 = 2.25 mA 111 = 2.00 mA			0x00	0
16	OUTPUT_PHASE	Output clock polarity 1 = inverted 0 = normal (default)	0	0	0	0	0	0	0	0x00	
17	FLEX_OUTPUT_DELAY	0	0	0	0	Output clock delay: 0000 = 0 0001 = -1/10 0010 = -2/10 0011 = -3/10 0100 = reserved 0101 = +5/10 0110 = +4/10 0111 = +3/10 1000 = +2/10 1001 = +1/10				0x00	Shown as fractional value of sampling clock period that is subtracted or added to initial t_{SKEW} , see Figure 2.

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
18	FLEX_VREF	VREF select 00 = internal V_{REF} (20 k Ω pull-down) 01 = import V_{REF} (0.59 V to 0.8 V on VREF pin) 10 = export V_{REF} (from internal reference) 11 = not used		0	Input voltage range setting: 11100 = 1.60 11101 = 1.58 11110 = 1.55 11111 = 1.52 00000 = 1.50 00001 = 1.47 00010 = 1.44 00011 = 1.42 00100 = 1.39 00101 = 1.36 00110 = 1.34 00111 = 1.31 01000 = 1.28 01001 = 1.26 01010 = 1.23 01011 = 1.20 01011 = 1.18					0x00	
19	USER_PATT1_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined pattern, 1 LSB.
1A	USER_PATT1_MSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined pattern, 1 MSB.
1B	USER_PATT2_LSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined pattern, 2 LSBs.
1C	USER_PATT2_MSB	B7	B6	B5	B4	B3	B2	B1	B0	0x00	User-defined pattern, 2 MSBs.
2A	OVR_CONFIG	0	0	0	0	0	0	0	OR \pm enable: 1 = on (default) 0 = off	0x01	
2C	Input coupling	0	0	0	0	0	DC coupling enable	0	0	0x00	Default is ac coupling.

¹ X = don't care.

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VLLD-2

081809-B

図 40.56 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
8 mm × 8 mm ボディ、極薄クワッド
(CP-56-5)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9484BCPZ-500	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-5
AD9484BCPZRL7-500	-40°C to +85°C	56-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-56-5
AD9484-500EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。