

この補足説明は、2010年1月15日現在、アナログ・デバイセズ株式会社で確認した内容を記したものです。

なお、英語のデータシート改版時に、これらに変更される場合があります。

作成年月日：2010年1月15日

製品名：AD9461

対象となるデータシートのリビジョン(Rev)：Rev.0

補足説明箇所：

P.3, P.4

英文データシートの SPECIFICATIONS の部分で、「specified minimum sampling rate」と記述がありますが、日本語データシートの当該部分はわかりやすいように「特に記載のない限りサンプリング・レート = 130 MSPS」と和訳しております。

### 特長

130 MSPS のサンプリング・レートを保証  
SNR : 78.7 dBFS/SFDR : 90 dBc @ 10 MHz (3.4 V p-p 入力、130 MSPS)

SNR : 77.7 dBFS @ 170.3 MHz 入力 (4.0 V p-p 入力、130 MSPS)  
SNR : 77.0 dBFS/SFDR : 84 dBc @ 170 MHz 入力 (3.4 V p-p 入力、130 MSPS)

SNR : 76.3 dBFS/SFDR : 86 dBc @ 225 MHz 入力 (3.4 V p-p 入力、125 MSPS)

SFDR : 89 dBFS @ 169/170 MHz (130 MSPS) の 2 トーン入力

ジッタ : 60 fsec rms

優れた直線性

DNL =  $\pm 0.6$  LSB (typ)

INL =  $\pm 5.0$  LSB (typ)

2.0~4.0 V p-p の差動フルスケール入力

バッファ付きアナログ入力

LVDS 出力 (ANSI-644 準拠) または CMOS 出力

データ・フォーマット : オフセット・バイナリまたは 2 の補数

出カクロック内蔵

### アプリケーション

MRI レシーバ

マルチキャリア、マルチモードの携帯電話レシーバ

アンテナ・アレイの位置決め

パワーアンプのリニアライゼーション

ブロードバンド無線

レーダ

赤外線画像処理

通信用計測機器

### 概要

AD9461 は、トラック & ホールド回路を内蔵した 16 ビット、モノリシックのサンプリング A/D コンバータ (ADC) であり、性能、小型サイズ、使いやすさの面で最適化されています。最大 130 MSPS の変換レートで動作し、計測機器、医用画像処理、基地局 (<100 MHz) /IF 周波数を使用するレーダ・レシーバなどに最適です。

この ADC の動作性能を十分に実用化するには、3.3V および 5.0V の電源と低電圧の差動入力クロックが必要です。大部分のアプリケーションでは、リファレンスやドライバ部品を外付けする必要がありません。データ出力は CMOS または LVDS 互換 (ANSI-644 準拠) であり、短距離のパターン配線に対して、全体の駆動電流値を低減することができます。

### 機能ブロック図

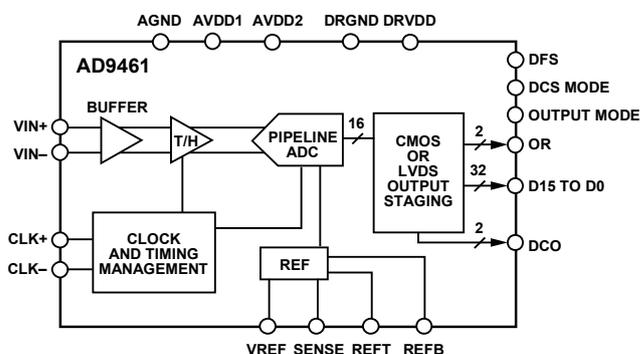


図 1.

入力電圧範囲、データ・フォーマット、出力データ・モードなどを選択できるため、各種の動作条件を設定できます。

AD9461 は、鉛フリーの 100 ピン表面実装プラスチック・パッケージ (100 ピン TQFP\_EP) を採用し、工業用温度範囲 (-40~+85°C) で仕様規定されています。

### 製品のハイライト

1. 真の 16 ビット直線性。
2. 高性能 : データ・アキュジション、計測機器、MRI (磁気共鳴画像処理)、レーダ・レシーバなどの基地局 IF アプリケーション向けに非常に優れた SNR 性能を発揮。
3. 使いやすさ : リファレンス、アナログ入力電圧範囲を調整できる高入力インピーダンスのトラック & ホールド回路、データの取込みを容易にする出力クロックを内蔵。
4. 鉛フリーの 100 ピン TQFP\_EP パッケージ。
5. クロック・デューティサイクル・スタビライザ (DCS) が、広範なクロック・パルス幅で ADC 全体の性能を維持
6. 信号が指定の入力電圧範囲を超えたことを示す OR (アウトオブレンジ) 出力

## 目次

特長.....	1	ピン配置と機能の説明.....	8
機能ブロック図.....	1	等価回路.....	12
アプリケーション.....	1	代表的な性能特性.....	13
概要.....	1	用語の説明.....	16
製品のハイライト.....	1	動作原理.....	17
改訂履歴.....	2	アナログ入力とリファレンスの概要.....	17
仕様.....	3	クロック入力に関する留意事項.....	18
DC仕様.....	3	電源に関する留意事項.....	19
AC仕様.....	4	デジタル出力.....	19
デジタル仕様.....	5	タイミング.....	20
スイッチング仕様.....	5	動作モードの選択.....	20
タイミング図.....	6	評価用ボード.....	21
絶対最大定格.....	7	外形寸法.....	28
熱抵抗.....	7	オーダー・ガイド.....	28
ESDに関する注意.....	7		

## 改訂履歴

4/06—Revision 0: Initial Version

## 仕様

### DC仕様

特に指定のない限り、AVDD1 = 3.3 V、AVDD2 = 5.0 V、DRVDD = 3.3 V、LVDS モード、特に記載のない限りサンプリング・レート = 130 MSPS、3.4 V p-p の差動入力、トリムされた内部リファレンス使用 (1.0 V モード)、 $A_{IN} = -1.0$  dBFS、DCS オン、SFDR = AGND。

表 1.

Parameter	Temp	AD9461BSVZ			Unit
		Min	Typ	Max	
RESOLUTION	Full	16			Bits
ACCURACY					
No Missing Codes	Full	Guaranteed			
Offset Error	Full	-4.2	±0.1	+4.2	mV
Gain Error	25°C	-3	±0.5	+3	% FSR
	Full	-3.4		+3.4	% FSR
Differential Nonlinearity (DNL) <sup>1</sup>	25°C	-1.0	±0.6	+1.0	LSB
	Full	-1.0		+1.3	LSB
Integral Nonlinearity (INL) <sup>1</sup>	25°C	-7	±5.0	+7	LSB
VOLTAGE REFERENCE					
Output Voltage VREF = 1.7 V	Full	+1.7			V
Load Regulation @ 1.0 mA	Full	±2			mV
Reference Input Current (External VREF = 1.7 V)	Full	350			μA
INPUT REFERRED NOISE	25°C	2.6			LSB rms
ANALOG INPUT					
Input Span					
VREF = 1.7 V	Full	3.4			V p-p
VREF = 1.0 V	Full	2.0			V p-p
Internal Input Common-Mode Voltage	Full	3.5			V
External Input Common-Mode Voltage	Full	3.2		3.9	V
Input Resistance <sup>2</sup>	Full	1			kΩ
Input Capacitance <sup>2</sup>	Full	6			pF
POWER SUPPLIES					
Supply Voltage					
AVDD1	Full	3.14	3.3	3.46	V
AVDD2	Full	4.75	5.0	5.25	V
DRVDD—LVDS Outputs	Full	3.0		3.6	V
DRVDD—CMOS Outputs	Full	3.0	3.3	3.6	V
Supply Current <sup>1</sup>					
AVDD1	Full		405	426	mA
AVDD2 <sup>1, 3</sup>	Full		131	143	mA
$I_{DRVDD}^1$ —LVDS Outputs	Full		72	81	mA
$I_{DRVDD}^1$ —CMOS Outputs	Full		14		mA
PSRR					
Offset	Full	1			mV/V
Gain	Full	0.2			%/V
POWER CONSUMPTION					
LVDS Outputs	Full	2.2			W
CMOS Outputs (DC Input)	Full	2.0			W

<sup>1</sup> 最大クロック・レート、 $f_{IN} = 15$  MHz、フルスケールのサイン波で測定。LVDS 出力モードの場合は各出力ビット・ペアに 100 Ω の差動終端抵抗を接続し、CMOS 出力モードの場合は各出力ビットに約 5 pF の負荷を接続。

<sup>2</sup> 入力容量または入力抵抗は、1 本の差動入力ピンと AGND 間の実効インピーダンスを示しています。等価なアナログ入力構造については、図 6 を参照。

<sup>3</sup> SFDR = AVDD1 の場合は、 $I_{AVDD2}$  が約 8 mA 減少し、消費電力が少なくなります。

## AC仕様

特に指定のない限り、AVDD1 = 3.3 V、AVDD2 = 5.0 V、DRVDD = 3.3 V、LVDS モード、特に記載のない限りサンプリング・レート = 130 MSPS、3.4 V p-p の差動入力、トリムされた内部リファレンス (1.7 V モード)、 $A_{IN} = -1.0$  dBFS、DCS オン、SFDR = AGND。

表 2.

Parameter	Temp	AD9461BSVZ			Unit
		Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)					
$f_{IN} = 10$ MHz	25°C	76.3	77.7		dB
	Full	76.0			dB
$f_{IN} = 170$ MHz <sup>1</sup>	25°C	74.2	76.0		dB
	Full	73.8			dB
$f_{IN} = 225$ MHz	25°C		74.4		dB
$f_{IN} = 225$ MHz @125 MSPS	25°C		75.3		dB
SIGNAL-TO-NOISE AND DISTORTION (SINAD)					
$f_{IN} = 10$ MHz	25°C	74.0	76.7		dB
	Full	74.0			dB
$f_{IN} = 170$ MHz <sup>1</sup>	25°C	71.9	75.1		dB
	Full	68.3			dB
$f_{IN} = 225$ MHz	25°C		73.5		dB
$f_{IN} = 225$ MHz @125 MSPS	25°C		74.6		dB
EFFECTIVE NUMBER OF BITS (ENOB)					
$f_{IN} = 10$ MHz	25°C		12.5		Bits
$f_{IN} = 170$ MHz <sup>1</sup>	25°C		12.2		Bits
$f_{IN} = 225$ MHz	25°C		11.9		Bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR, SECOND OR THIRD HARMONIC)					
$f_{IN} = 10$ MHz	25°C	82	90		dBc
	Full	80			dBc
$f_{IN} = 170$ MHz <sup>1</sup>	25°C	77	84		dBc
	Full	71			dBc
$f_{IN} = 225$ MHz	25°C		82		dBc
$f_{IN} = 225$ MHz @125 MSPS	25°C		86		dBc
WORST SPUR EXCLUDING SECOND OR THIRD HARMONICS					
$f_{IN} = 10$ MHz	25°C	88	96		dBc
	Full	86			dBc
$f_{IN} = 170$ MHz <sup>1</sup>	25°C	89	95		dBc
	Full	85			dBc
$f_{IN} = 225$ MHz	25°C		91		dBc
$f_{IN} = 225$ MHz @ 125 MSPS	25°C		93		dBc
TWO-TONE SFDR					
$f_{IN} = 169.6$ MHz @ -7 dBFS, 170.6 MHz @ -7 dBFS	25°C		89		dBFS
ANALOG BANDWIDTH					
	Full		615		MHz

<sup>1</sup> SFDR = ハイレベル (AVDD1)。「動作モードの選択」を参照。

## デジタル仕様

特に指定のない限り、AVDD1 = 3.3 V、AVDD2 = 5.0 V、DRVDD = 3.3 V、 $R_{LVDS\_BIAS} = 3.74\text{ k}\Omega$ 。

表 3.

Parameter	Temp	AD9461BSVZ			Unit
		Min	Typ	Max	
CMOS LOGIC INPUTS (DFS, DCS MODE, OUTPUT MODE)					
High Level Input Voltage	Full	2.0			V
Low Level Input Voltage	Full			0.8	V
High Level Input Current	Full			200	$\mu\text{A}$
Low Level Input Current	Full	-10		+10	$\mu\text{A}$
Input Capacitance	Full		2		pF
DIGITAL OUTPUT BITS—CMOS MODE (D0 to D15, OTR) <sup>1</sup>					
High Level Output Voltage	Full	3.25			V
Low Level Output Voltage	Full			0.2	V
DIGITAL OUTPUT BITS—LVDS MODE (D0 to D15, OTR)					
$V_{OD}$ Differential Output Voltage <sup>2</sup>	Full	247		545	mV
$V_{OS}$ Output Offset Voltage	Full	1.125		1.375	V
CLOCK INPUTS (CLK+, CLK-)					
Differential Input Voltage	Full	0.2			V
Common-Mode Voltage	Full	1.3	1.5	1.6	V
Input Resistance	Full	1.1	1.4	1.7	k $\Omega$
Input Capacitance	Full		2		pF

<sup>1</sup> 出力電圧レベルは、5 pF の負荷を各出力に接続した状態で測定しています。

<sup>2</sup> LVDS  $R_{TERM} = 100\ \Omega$

## スイッチング仕様

特に指定のない限り、AVDD1 = 3.3 V、AVDD2 = 5.0 V、DRVDD = 3.3 V。

表 4.

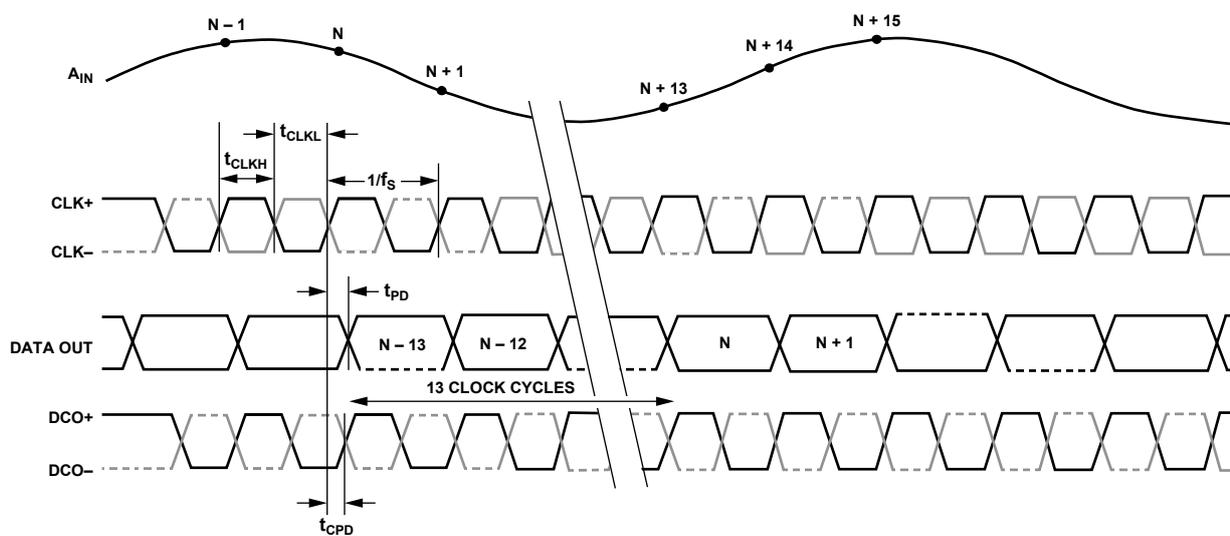
Parameter	Temp	AD9461BSVZ			Unit
		Min	Typ	Max	
CLOCK INPUT PARAMETERS					
Maximum Conversion Rate	Full	130			MSPS
Minimum Conversion Rate	Full			1	MSPS
CLK Period	Full	7.7			ns
CLK Pulse Width High <sup>1</sup> ( $t_{CLKH}$ )	Full	3.1			ns
CLK Pulse Width Low <sup>1</sup> ( $t_{CLKL}$ )	Full	3.1			ns
DATA OUTPUT PARAMETERS					
Output Propagation Delay—CMOS ( $t_{PD}$ ) <sup>2</sup> (DX, DCO+)	Full		3.35		ns
Output Propagation Delay—LVDS ( $t_{PD}$ ) <sup>3</sup> (DX+), ( $t_{CPD}$ ) <sup>3</sup> (DCO+)	Full	2.3	3.6	4.8	ns
Pipeline Delay (Latency)	Full		13		Cycles
Aperture Uncertainty (Jitter, $t_j$ )	Full		60		fsec rms

<sup>1</sup> デューティサイクル・スタビライザ (DCS) はイネーブルです。

<sup>2</sup> 出力伝播遅延は、5pF の負荷を使用して、クロックの 50%遷移からデータの 50%遷移までのタイミングで測定しています。

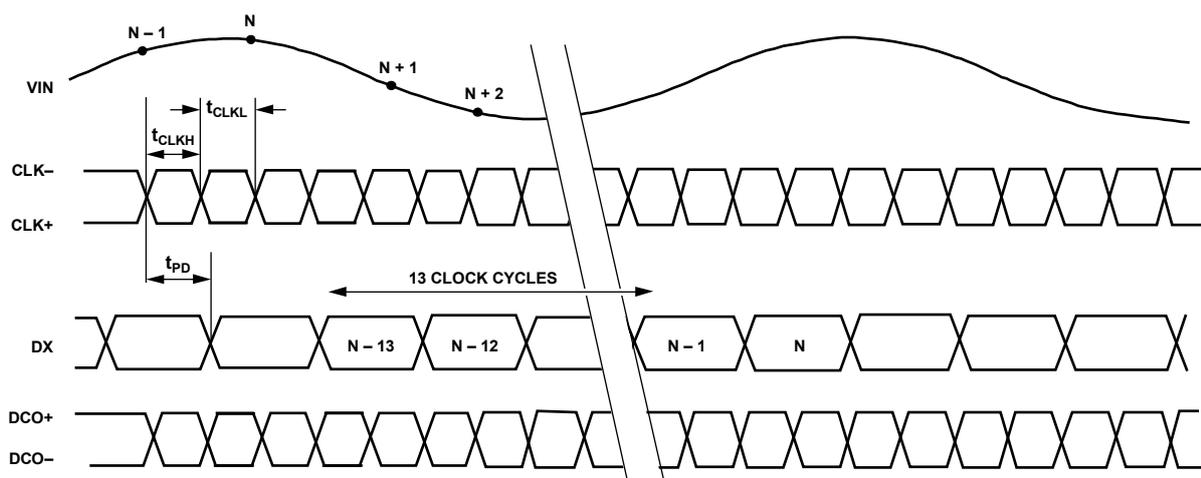
<sup>3</sup> LVDS  $R_{TERM} = 100\ \Omega$ 。CLK+の立ち上がりエッジの 50%ポイントからデータ遷移の 50%ポイントまでのタイミングで測定しています。

## タイミング図



08011-002

図 2. LVDS モードのタイミング図



08011-003

図 3. CMOS モードのタイミング図

## 絶対最大定格

表 5.

Parameter	Rating
ELECTRICAL	
AVDD1 to AGND	-0.3 V to +4 V
AVDD2 to AGND	-0.3 V to +6 V
DRVDD to DGND	-0.3 V to +4 V
AGND to DGND	-0.3 V to +0.3 V
AVDD1 to DRVDD	-4 V to +4 V
AVDD2 to DRVDD	-4 V to +6 V
AVDD2 to AVDD	-4 V to +6 V
D0± through D15± to DGND	-0.3 V to DRVDD + 0.3 V
CLK+/CLK- to AGND	-0.3 V to AVDD1 + 0.3 V
OUTPUT MODE, DCS MODE, and DFS to AGND	-0.3 V to AVDD1 + 0.3 V
VIN+, VIN- to AGND	-0.3 V to AVDD2 + 0.3 V
VREF to AGND	-0.3 V to AVDD1 + 0.3 V
SENSE to AGND	-0.3 V to AVDD1 + 0.3 V
REFT, REFB to AGND	-0.3 V to AVDD1 + 0.3 V
ENVIRONMENTAL	
Storage Temperature Range	-65°C to +125°C
Operating Temperature Range	-40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



## 熱抵抗

AD9461のパッケージのヒート・シンクは、グラウンドにハンダ付けする必要があります。

空気の流れによって放熱の吸収量が増大すると、 $\theta_{JA}$ の低下に効果的です。さらに、メタル・パターン、スルーホール、グラウンド、電源プレーンからパッケージのピンに直接接触する金属が多いと、 $\theta_{JA}$ が低下します。放熱のため、パッケージ表面に露出しているヒート・シンクを、グラウンド・プレーンにハンダ付けする必要があります。

表 6.

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JB}$ <sup>2</sup>	$\theta_{JC}$ <sup>3</sup>	Unit
100-Lead TQFP_EP	19.8	8.3	2	°C/W

<sup>1</sup> 自然空冷、多層ボード、ヒート・シンクをハンダ付けした場合、 $\theta_{JA}$  = 19.8°C/W (typ)。

<sup>2</sup> 自然空冷、多層ボード、ヒート・シンクをハンダ付けした場合、 $\theta_{JB}$  = 8.3°C/W (typ)。

<sup>3</sup>  $\theta_{JC}$  = 2°C/W (typ) は、ジャンクションと露出ヒート・シンク間のヒート・シンクを経由した熱抵抗値です。



ピン番号	記号	説明
9, 21, 24, 39, 42, 46, 91, 98, 99, Exposed Heat Sink	AGND	アナログ・グラウンド。パッケージ底面の露出ヒート・シンクは AGND に接続してください。
10	REFT	差動リファレンス出力ピン。0.1 $\mu$ F のコンデンサをグラウンドに接続し、さらに 0.1 $\mu$ F と 10 $\mu$ F のコンデンサを REFB (11 番ピン) に接続して、デカップリングしてください。
11	REFB	差動リファレンス出力ピン。0.1 $\mu$ F のコンデンサをグラウンドに接続し、さらに 0.1 $\mu$ F と 10 $\mu$ F のコンデンサを REFT (10 番ピン) に接続して、デカップリングしてください。
12 to 17, 25 to 31, 35, 37	AVDD2	5.0 V アナログ電源 ( $\pm 5\%$ )
22	VIN+	アナログ入力—正側
23	VIN-	アナログ入力—負側
40	CLK+	クロック入力—非反転側
41	CLK-	クロック入力—反転側
47, 63, 75, 87	DRGND	デジタル出力グラウンド
48, 64, 76, 88	DRVDD	3.3 V デジタル出力用電源 (3.0~3.6 V)
49	D0- (LSB)	D0 反転側出力ビット (LVDS レベル)
50	D0+	D0 非反転側出力ビット
51	D1-	D1 反転側出力ビット
52	D1+	D1 非反転側出力ビット
53	D2-	D2 反転側出力ビット
54	D2+	D2 非反転側出力ビット
55	D3-	D3 反転側出力ビット
56	D3+	D3 非反転側出力ビット
57	D4-	D4 反転側出力ビット
58	D4+	D4 非反転側出力ビット
59	D5-	D5 反転側出力ビット
60	D5+	D5 非反転側出力ビット
61	D6-	D6 反転側出力ビット
62	D6+	D6 非反転側出力ビット
65	D7-	D7 反転側出力ビット
66	D7+	D7 非反転側出力ビット
67	DCO-	データ・クロック出力—反転側
68	DCO+	データ・クロック出力—非反転側
69	D8-	D8 反転側出力ビット
70	D8+	D8 非反転側出力ビット
71	D9-	D9 反転側出力ビット
72	D9+	D9 非反転側出力ビット
73	D10-	D10 反転側出力ビット
74	D10+	D10 非反転側出力ビット
77	D11-	D11 反転側出力ビット
78	D11+	D11 非反転側出力ビット
79	D12-	D12 反転側出力ビット
80	D12+	D12 非反転側出力ビット
81	D13-	D13 反転側出力ビット
82	D13+	D13 非反転側出力ビット
83	D14-	D14 反転側出力ビット
84	D14+	D14 非反転側出力ビット
85	D15-	D15 反転側出力ビット
86	D15+ (MSB)	D15 非反転側出力ビット
89	OR-	アウトオブレンジ反転側出力ビット
90	OR+	アウトオブレンジ非反転側出力ビット
100	SFDR	SFDR 制御ピン。AD9461 アナログ・フロントエンドの構成を最適化する CMOS 互換の制御ピンです。SFDR を AGND に接続すれば、40 MHz 未満または 215 MHz 超のアナログ入力周波数をもつアプリケーションの SFDR 性能が最適化されます。アナログ入力に 40~215 MHz のアプリケーションの場合は、最適な SFDR 性能を得るためにこのピンを AVDD1 に接続してください。こうすることで、AVDD2 の消費電力が約 40 mW 減少します。

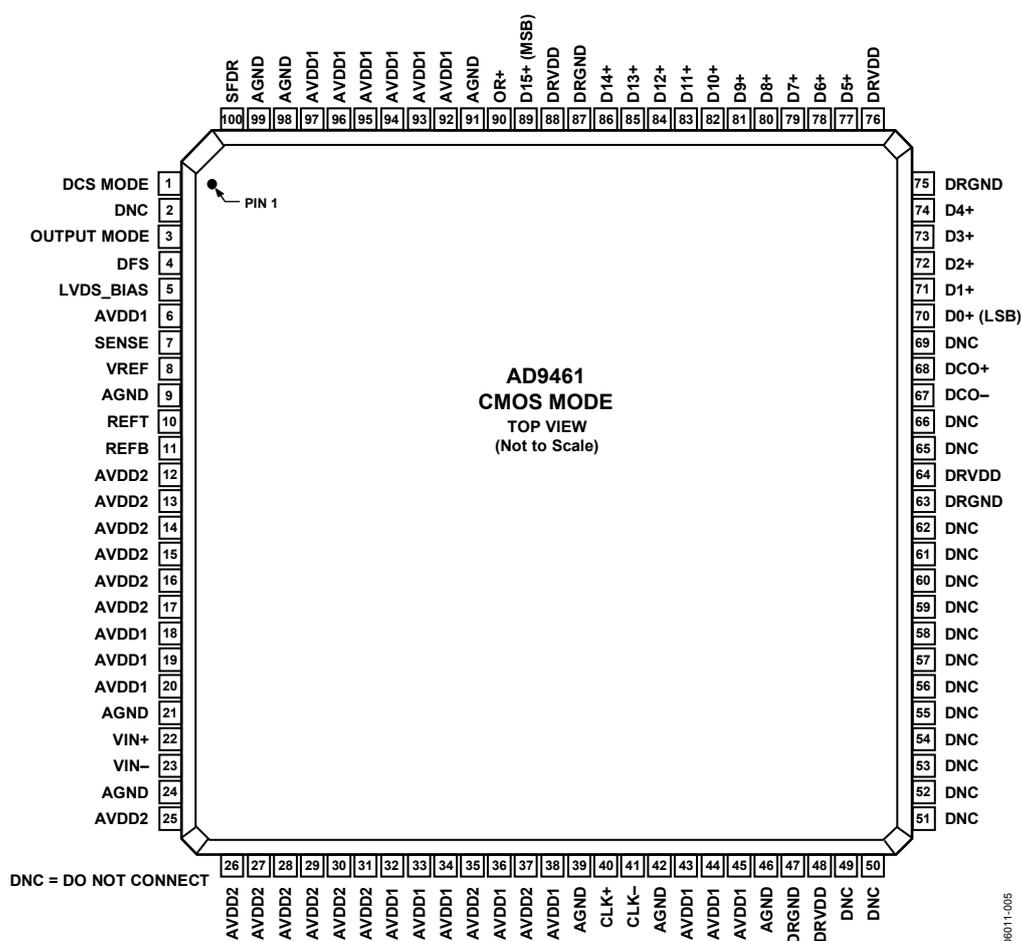


図 5. 100ピン TQFP\_EP、CMOS モードのピン配置

表 8. ピン機能の説明—100ピン TQFP\_EP (CMOS モード)

ピン番号	記号	説明
1	DCS MODE	クロック・デューティサイクル・スタビライザ (DCS) 制御ピン DCS = ローレベル (AGND) で DCS が有効になります (推奨設定)。 DCS = ハイレベル (AVDD1) で DCS が無効になります。
2, 49 to 62, 65 to 66, 69	DNC	接続しません。このピンはオープンにしておきます。
3	OUTPUT MODE	CMOS 互換の出力ロジック・モード制御ピン OUTPUT MODE = 0 で CMOS モードになります。 OUTPUT MODE = 1 (AVDD1) で LVDS 出力になります。
4	DFS	データ・フォーマット選択ピン。出力データのフォーマットを決める CMOS 制御ピンです。 DFS = ハイレベル (AVDD1) で 2 の補数を選択します。 DFS = ローレベル (グラウンド) で オフセット・バイナリ・フォーマットを選択します。
5	LVDS_BIAS	LVDS 出力電流の設定ピン。3.7 kΩ の抵抗を介して DRGND に終端接続してください。
6, 18 to 20, 32 to 34, 36, 38, 43 to 45, 92 to 97	AVDD1	3.3 V (±5%) アナログ電源
7	SENSE	リファレンス・モード選択ピン。AGND に接続して 1.7 V の内部リファレンスを選択するか (3.4 V p-p のアナログ入力電圧範囲)、AVDD1 に接続して外部リファレンスを選択してください。
8	VREF	1.7 V リファレンス I/O ピン。この機能は、SENSE ピンと外部プログラミング抵抗の設定によって異なります。0.1 μF と 10 μF のコンデンサをグラウンドに接続して、デカップリングしてください。
9, 21, 24, 39, 42, 46, 91, 98, 99, Exposed Heat Sink	AGND	アナログ・グラウンド。パッケージ底面の露出ヒート・シンクは AGND に接続してください。
10	REFT	差動リファレンス出力ピン。0.1 μF のコンデンサをグラウンドに接続し、さらに 0.1 μF と 10 μF のコンデンサを REFB (11 番ピン) に接続して、デカップリングしてください。

ピン番号	記号	説明
11	REFB	差動リファレンス出力ピン。0.1 $\mu$ F のコンデンサをグラウンドに接続し、さらに 0.1 $\mu$ F と 10 $\mu$ F のコンデンサを REFT (10 番ピン) に接続して、デカップリングしてください
12 to 17, 25 to 31, 35, 37	AVDD2	5.0 V アナログ電源 ( $\pm 5\%$ )
22	VIN+	アナログ入力—正側
23	VIN-	アナログ入力—負側
40	CLK+	クロック入力—非反転側
41	CLK-	クロック入力—反転側
47, 63, 75, 87	DRGND	デジタル出力グラウンド
48, 64, 76, 88	DRVDD	3.3 V デジタル出力用電源 (3.0~3.6 V)
67	DCO-	データ・クロック出力—反転側
68	DCO+	データ・クロック出力—非反転側
70	D0+ (LSB)	D0 非反転側出力ビット (CMOS レベル)
71	D1+	D1 非反転側出力ビット
72	D2+	D2 非反転側出力ビット
73	D3+	D3 非反転側出力ビット
74	D4+	D4 非反転側出力ビット
77	D5+	D5 非反転側出力ビット
78	D6+	D6 非反転側出力ビット
79	D7+	D7 非反転側出力ビット
80	D8+	D8 非反転側出力ビット
81	D9+	D9 非反転側出力ビット
82	D10+	D10 非反転側出力ビット
83	D11+	D11 非反転側出力ビット
84	D12+	D12 非反転側出力ビット
85	D13+	D13 非反転側出力ビット
86	D14+	D14 非反転側出力ビット
89	D15+ (MSB)	D15 非反転側出力ビット
90	OR+	アウトオブレンジ非反転側出力ビット
100	SFDR	SFDR 制御ピン。AD9461 アナログ・フロントエンドの構成を最適化する CMOS 互換の制御ピンです。SFDR を AGND に接続すれば、40 MHz 未満または 215 MHz 超のアナログ入力周波数をもつアプリケーションの SFDR 性能が最適化されます。アナログ入力に 40~215 MHz のアプリケーションの場合は、最適な SFDR 性能を得るためにこのピンを AVDD1 に接続してください。こうすることで、AVDD2 の消費電力が約 40 mW 減少します。

# 等価回路

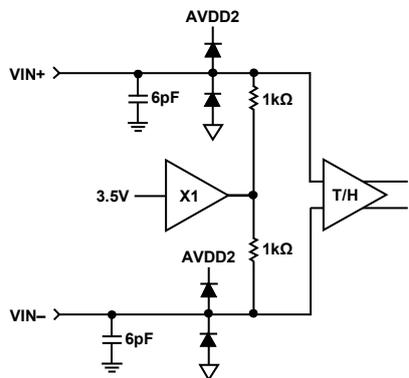


図 6. アナログ入力等価回路

06011-006

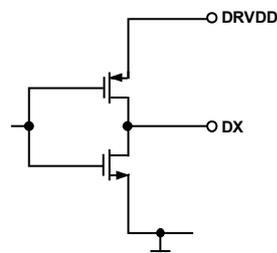


図 9. CMOS デジタル出力等価回路

06011-009

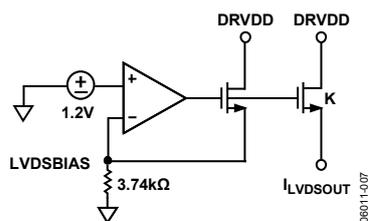


図 7. LVDS\_BIAS 等価回路

06011-007

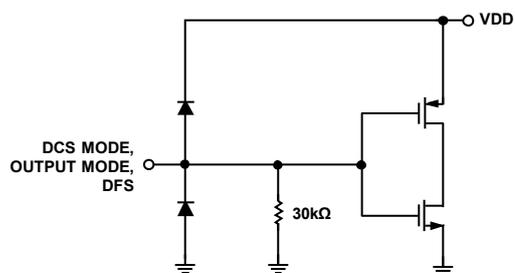


図 10. デジタル入力等価回路 (DFS、DCS MODE、OUTPUT MODE)

06011-010

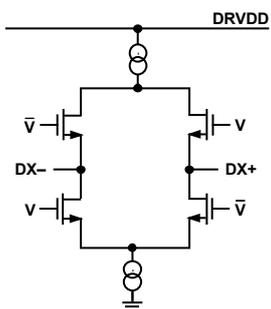


図 8. LVDS デジタル出力等価回路

06011-008

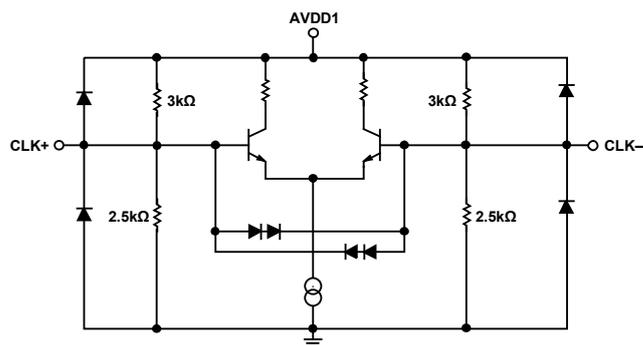


図 11. サンプル・クロック入力等価回路

06011-011

## 代表的な性能特性

特に指定のない限り、AVDD1=3.3 V、AVDD2=5.0 V、DRVDD=3.3 V、指定のサンプリング・レート、LVDS モード、DCS イネーブル、 $T_A = 25^\circ\text{C}$ 、3.4 V p-p 差動入力、 $A_{IN} = -1 \text{ dBFS}$ 、トリムされた内部リファレンス (VREF 定格値 = 1.7 V)。

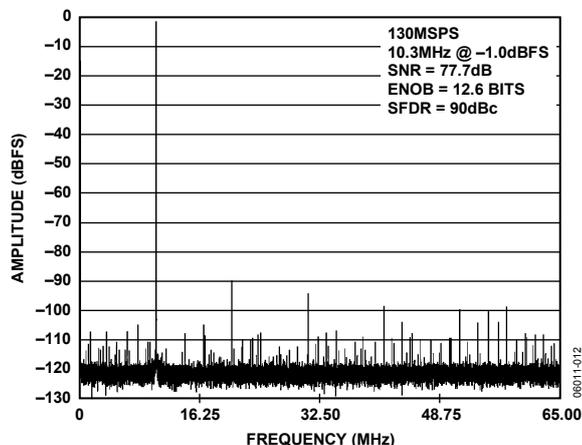


図 12. 64k ポイントのシングルトーン FFT  
(130 MSPS、10.3 MHz)

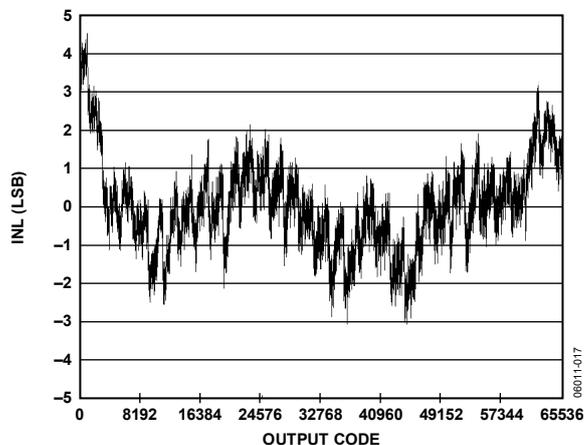


図 15. 出力コード対 INL 誤差 (130 MSPS、10.3 MHz)

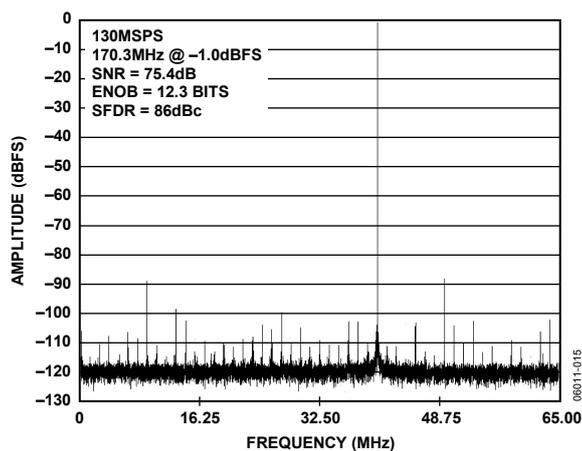


図 13. 64k ポイントのシングルトーン FFT  
(130 MSPS、170.3 MHz)

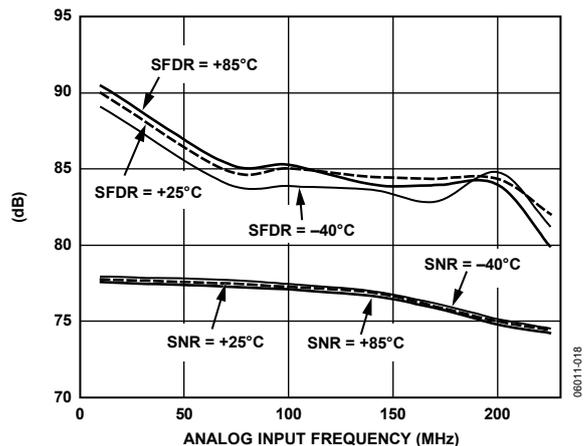


図 16. アナログ入力周波数対 SNR/SFDR (130 MSPS、3.4 V p-p)

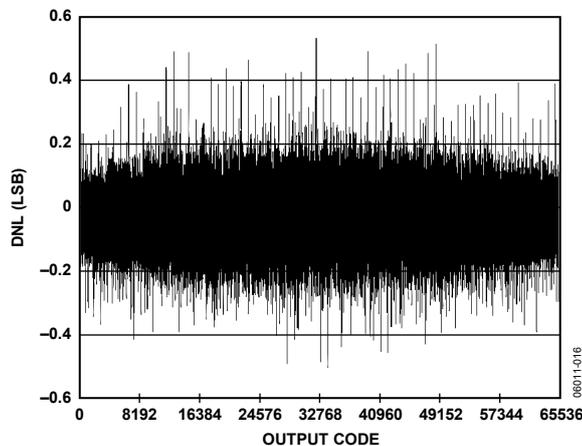


図 14. 出力コード対 DNL 誤差 (130 MSPS、10.3 MHz)

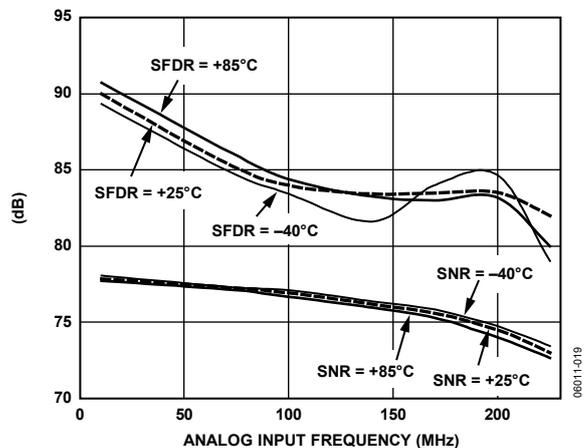


図 17. アナログ入力周波数対 SNR/SFDR  
(130 MSPS、3.4 V p-p、CMOS 出力モード)

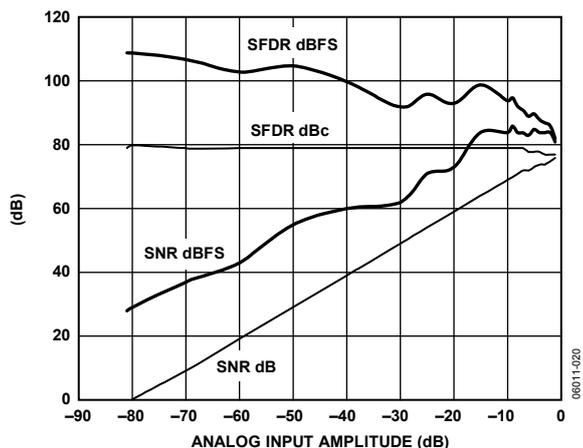


図 18. アナログ入力振幅対 SNR/SFDR (130 MSPS、170.3 MHz)

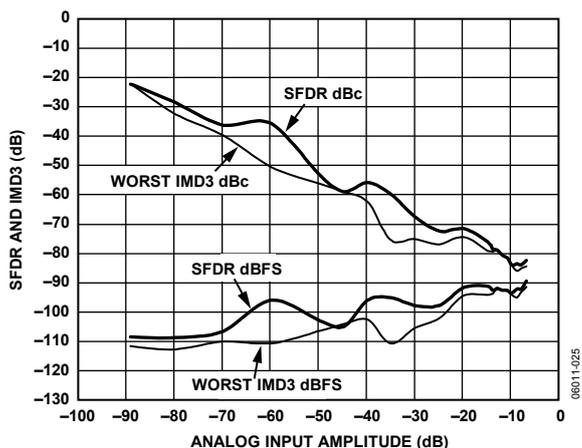


図 21. アナログ入力振幅対 2 トーン SFDR (130 MSPS、169.6 MHz、170.6 MHz)

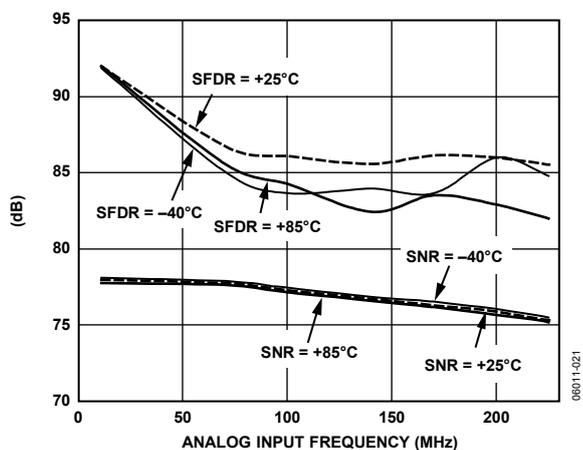


図 19. アナログ入力周波数対 SNR/SFDR (125 MSPS、3.4 V p-p)

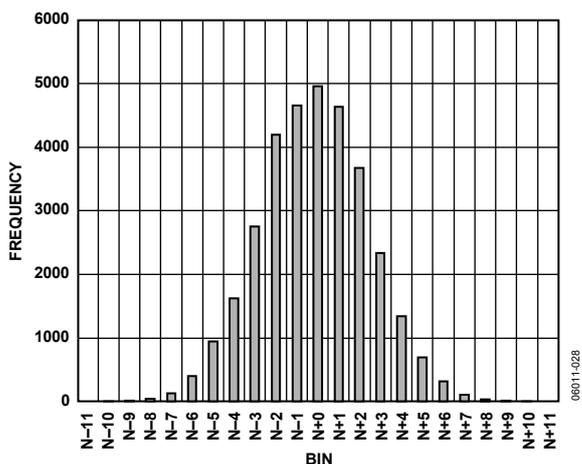


図 22. グラウンド入力ヒストグラム (130 MSPS)

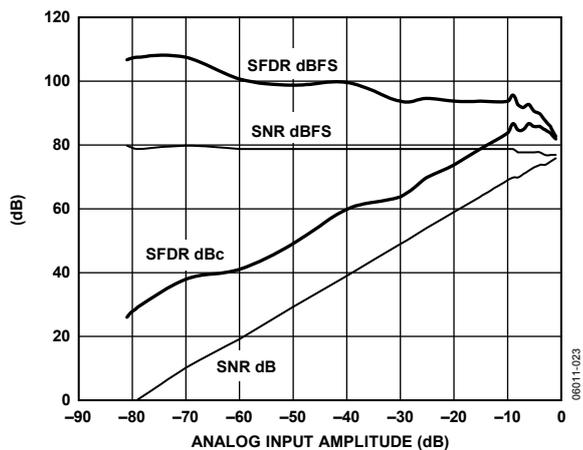


図 20. アナログ入力振幅対 SNR/SFDR (130 MSPS、170.3 MHz、CMOS 出力モード)

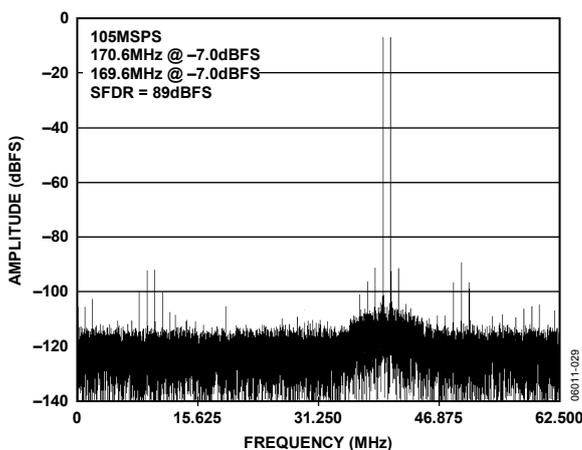


図 23. 64k ポイントの 2 トーン FFT (130 MSPS、169.6 MHz、170.6 MHz)

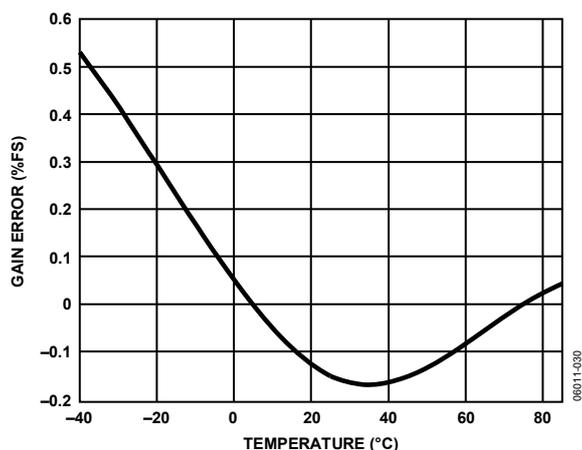


図 24. ゲインの温度特性 (130 MSPS)

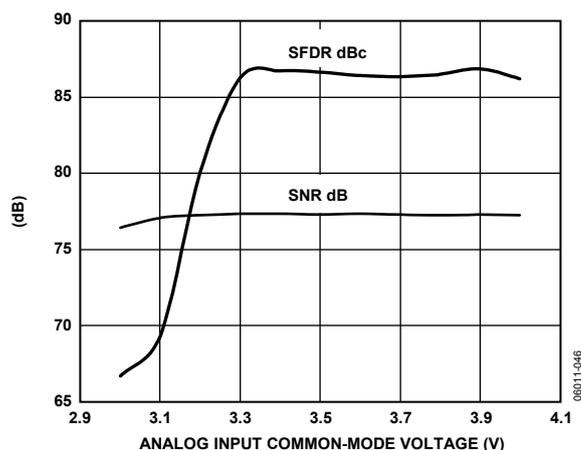


図 27. アナログ入力コモンモード電圧 対 SNR/SFDR (130 MSPS)

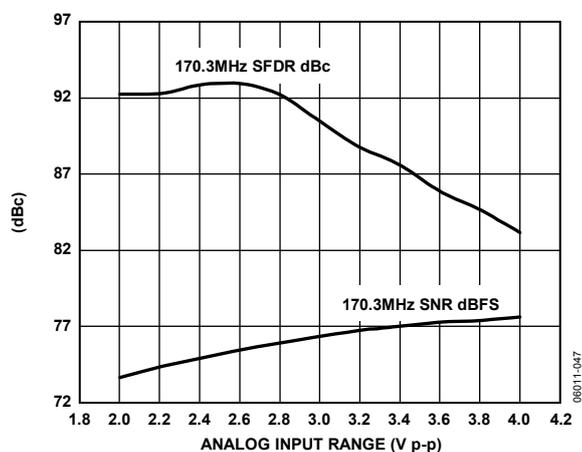


図 25. アナログ入力範囲 対 SNR/SFDR (130 MSPS)

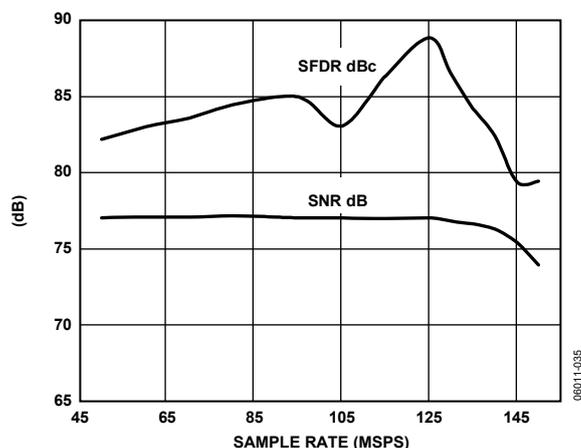


図 28. サンプリング・レート 対 シングルトーン SNR/SFDR (170.3 MHz)

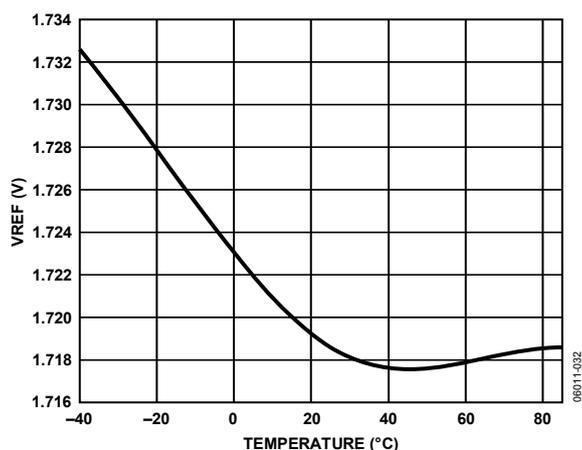


図 26. VREF の温度特性 (130 MSPS)

## 用語の説明

### アナログ帯域幅（フルパワー帯域幅）

基本周波数（FFT 分析により決定）の電力スペクトルが 3dB 低下するアナログ入力周波数です。

### アパーチャ遅延（ $t_A$ ）

クロックの立ち上がりエッジの50%ポイントと、アナログ入力が入力されるタイミングとの間の遅延時間です。

### アパーチャ不確実性（ジッタ、 $t_j$ ）

アパーチャ遅延のサンプル間変動です。

### クロック・パルス幅およびデューティサイクル

パルス幅ハイレベルは、定格性能を達成するためにクロック・パルスがロジック 1 状態を維持しなければならない最小時間です。パルス幅ローレベルは、クロック・パルスがローレベル状態を維持しなければならない最小時間です。所定のクロック・レートに対し、これらの仕様に基づいて許容可能なクロック・デューティサイクルが決まります。

### 微分非直線性（DNL、ノー・ミスコード）

理想的な ADC は、正確に 1LSB 離れたコード遷移を示します。DNL はこの理想値からの差です。16 ビット分解能に対してノー・ミスコードが保証されている場合、65,536 個すべてのコードが全動作範囲で存在することを意味します。

### 積分非直線性（INL）

直線性誤差とは、負側フルスケールと正側フルスケールを結ぶ直線と実際の各コード出力との偏差を意味します。負側フルスケールとして使用するポイントは、最初のコード遷移より  $\frac{1}{2}$  LSB だけ下に存在します。正側フルスケールは、最後のコード遷移より  $\frac{1}{2}$  LSB 高いレベルと定義されます。偏差とは、各コードの中心と真の直線との距離です。

### 信号／ノイズ&歪み（SINAD）

入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分（DC以外の高調波成分を含む）のrms値総和との比です。

### S/N 比（SNR）

入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分（最初から6番目までの高調波成分とDC成分を除く）のrms値総和との比です。

### スプリアス・フリー・ダイナミック・レンジ（SFDR）

信号振幅のrms値とピーク・スプリアス・スペクトル成分のrms値との比です。ピーク・スプリアス成分は多くの場合、高調波の最大値です。SFDRは、dBc（信号レベルが小さくなると低下する値）またはdBFS（つねにコンバータのフルスケールに換算）の単位で表すことができます。

### 全高調波歪み（THD）

入力信号振幅のrms値と最初から6番目までの高調波成分のrms値総和の比です。

### 2 トーン SFDR

ピーク・スプリアス成分のrms値に対する、各入力周波数のrms値の比です。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。

### 有効ビット数（ENOB）

所定の入力周波数におけるサイン波入力の有効ビット数は、SINADの測定値から以下の式を用いて計算できます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

### ゲイン誤差

最初のコード遷移は、負側フルスケールより  $\frac{1}{2}$  LSB 高いアナログ電圧で発生します。最後の遷移は、正側フルスケールより  $\frac{1}{2}$  LSB 低いアナログ電圧で発生します。ゲイン誤差は、理想的な最初と最後のコード遷移の差と、実際の最初と最後のコード遷移の差の偏差です。

### 最大変換レート

パラメータ・テストを実施する際に適用されるクロック・レートです。

### 最小変換レート

最小入力周波数のアナログ信号のS/N比が、保証されている制限値より3dB以上低くならないクロック・レートです。

### オフセット誤差

メジャー・キャリヤー遷移は、VIN+=VIN-より  $\frac{1}{2}$  LSB 低いアナログ電圧で発生します。オフセット誤差は、そのポイントからの実際の遷移の偏差として定義されます。

### アウトオブレンジからの回復時間

正側フルスケールの10%上から負側フルスケールの10%上までの変化の後または負側フルスケールの10%下から正側フルスケールの10%下までの変化の後で、ADCがアナログ入力を再び取り込むのに要する時間です。

### 出力電波遅延（ $t_{PD}$ ）

クロックの立ち上がりエッジから、出力データ・ビットがすべて有効ロジック・レベルになるまでの遅延時間です。

### 電源電圧変動除去比

最小制限値の電源による値から最大制限値の電源による値までのフルスケール変動を示します。

### 温度ドリフト

オフセット誤差およびゲイン誤差の温度ドリフトは、初期値（25°C時）からT<sub>MIN</sub>またはT<sub>MAX</sub>時の値の最大変化量です。

## 動作原理

D9461のアーキテクチャは、高速動作と使いやすさのために最適化されています。アナログ入力、内蔵の広帯域トラック&ホールド回路を駆動します。この回路でサンプリングした信号を16ビットのパイプラインADCコアが量子化します。AD9461はTTL、CMOS、LVPECLの各レベルに対応できる入力ロジックとリファレンスを内蔵しています。OUTPUT MODEピンを使用して、デジタル出力のロジック・レベルを、標準の3V CMOSもしくはLVDS（ANSI-644準拠）を選択することができます。

### アナログ入力とリファレンスの概要

AD9461は、安定した高精度の0.5Vバンドギャップ電圧リファレンスを内蔵しています。この内部リファレンスまたは外部から供給するリファレンス電圧を使用し、AD9461のADCコアに印加するリファレンス電圧を変化させて、入力電圧範囲を調整できます。ADCの入力スパンは、リファレンス電圧の変化に比例します。

#### 内部リファレンスの接続

AD9461の内蔵コンパレータはSENSEピンの電位を検出し、リファレンスを表 9に示す3つの状態に設定します。SENSEをグラウンドに接続した場合、リファレンス・アンプ・スイッチが内部抵抗分圧器に接続され（図 29を参照）、VREFが約1.7Vに設定されます。抵抗分圧器が図 30に示すように接続されると、スイッチはSENSEピンに接続されます。これによって、リファレンス・アンプが非反転モードになり、VREF出力は次の値をとります。

$$VREF = 0.5V \times \left(1 + \frac{R2}{R1}\right)$$

どのリファレンス設定でも、REFTとREFBがADCコアを駆動し、入力スパンを設定します。内部と外部のどちらのリファレンスを使用する場合でも、ADCの入力範囲はつねにリファレンス・ピンの電圧の2倍に等しくなります。

#### 内部リファレンスのトリミング

AD9461の内部リファレンス電圧は、出荷テスト時にトリミングされています。したがって、あえて外部リファレンスを使用するメリットは、あまりありません。ゲイン・トリミングは、AD9461の入力電圧範囲を3.4V p-pの公称値に設定して行います（SENSEをAGNDに接続）。このトリミングのほか、AD9461は3.4V p-pのアナログ入力電圧範囲によって最高のAC性能が得られることから、アナログ入力電圧範囲を2V p-pより低くすることにはほとんど意味がありません。ただし、この範囲を狭くすると、アプリケーションによってはSFDR性能を改善できることがあります。またこの範囲を3.4V p-pまで拡大すれば、SNRを改善できます。リファレンス電圧によって、ADCの微分非直線性が変

化するので注意してください。アナログ入力電圧範囲を2.0V p-pよりも低く設定するとミッシング・コードが発生し、ノイズおよび歪み性能が低下することがあります。

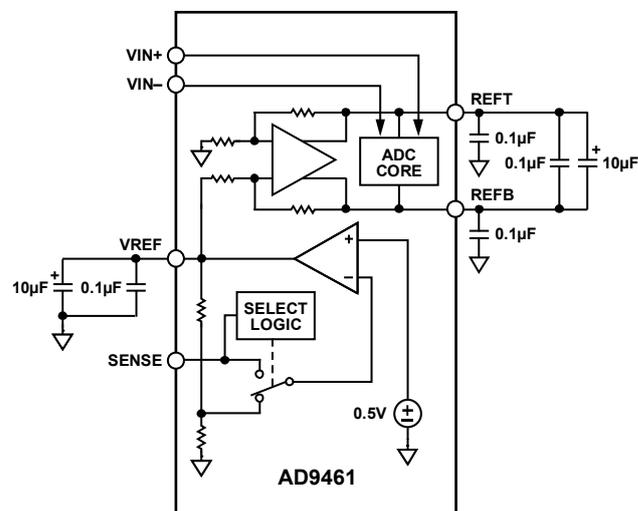


図 29. 内部リファレンスの設定

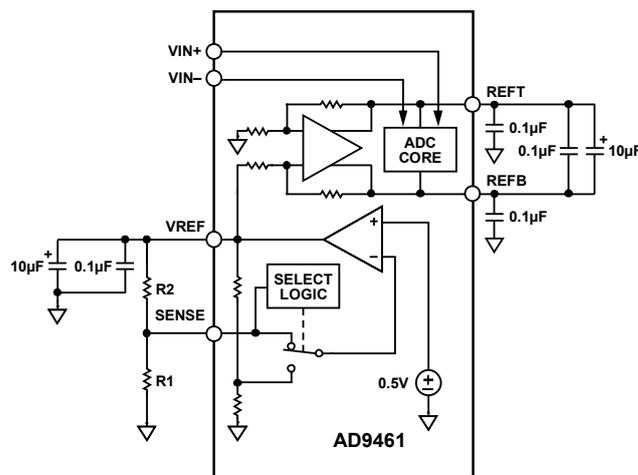


図 30. リファレンスのプログラマブル設定

表 9. リファレンス設定の概要

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2 × external reference
Programmable Reference	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$ , (See Figure 30)	2 × VREF
Programmable Reference (Set for 2 V p-p)	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$ , R1 = R2 = 1 kΩ	2.0
Internal Fixed Reference	AGND to 0.2 V	1.7	3.4

## 外部リファレンスでの動作

SENSEピンをAVDDに接続すると、内部リファレンスが無効になり、外部リファレンスを使用できるようになります。内部リファレンス・バッファは、外部リファレンスに対して7kΩに等価の負荷になります。この場合でも、内部バッファは、ADCコアに対して正側および負側フルスケール・リファレンス (REFPとREFB) を供給し続けます。入力スパンはつねにリファレンス電圧値の2倍になるため、外部リファレンスは必ず2.0 V以下にしてください。ゲイン変動の温度特性については、図 24を参照してください。

## アナログ入力

AD9461へのアナログ入力は、最近のほとんどの高速、高ダイナミック・レンジADCと同様、差動入力回路になっています。差動入力の場合、減衰段とゲイン段を経由して信号が処理されるため、チップ内部での性能が改善されます。その改善のほとんどは、偶数次高調波の除去性能が高い差動アナログ段によるものです。PCボードのレベルでも利点があります。第一に、差動入力はグラウンドや電源ノイズなどの浮遊信号に対し高い同相ノイズ除去性能があることです。第二に、差動入力は局部発振器のフィードスルーなどの同相信号に対する除去性能にも優れています。シングルエンドのアナログ入力では、AD9461の規定されたノイズおよび歪み性能を実現することは不可能であり、このためシングルエンドの入力構成は推奨しません。シングルエンドのアナログ入力構成に対応するその他の16ビットADCの推奨事項については、弊社までお問い合わせください。

公称値1.7 Vのリファレンスを使用する場合（「内部リファレンスのトリミング」を参照）、AD9461の公称差動アナログ入力電圧範囲は3.4 V p-p、または各入力 (VIN+、VIN-) 上で1.7 V p-pになります。

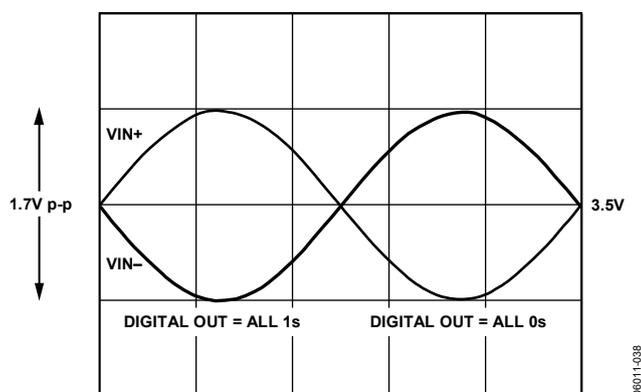


図 31. 差動アナログ入力電圧範囲 (VREF = 1.7)

AD9461のアナログ入力電圧範囲は、グラウンドから3.5 Vオフセットされます。各アナログ入力は1 kΩの抵抗を経由して3.5 Vのバイアス電圧および差動バッファの入力に接続されます。入力に接続されている内部バイアス・ネットワークがバッファを正しくバイアスするため、最大限の直線性と入力範囲が得られます（「

等価回路」を参照）。したがって、AD9461を駆動するアナログ信号源は、入力ピンとACカップリングしてください。AD9461のアナログ入力を駆動するには、RFトランスを使用して、シングルエンド信号を差動信号に変換することを推奨します（図 32を参照）。トランスの出力とAD9461のアナログ入力との間に直列抵抗を接続すると、内蔵のサンプル&ホールド回路から発生するスイッチング過渡電圧に対してアナログ入力信号源を効果的に絶縁できます。トランス入力のインピーダンス・マッチングでは、内部3.5 Vバイアス回路に接続されている1 kΩ抵抗を含めて直列抵抗によるインピーダンス・マッチングを考慮してください。たとえば、 $R_T$ を51 Ω、 $R_S$ を33 Ωに設定し、トランスのインピーダンス比が1:1であるとすれば、入力はフルスケール駆動レベル16.0 dBmの50 Ω信号源とマッチングします。評価用ボードの回路図に示すように（図 35を参照）、50 Ωのインピーダンス・マッチングをトランスの2次側に組み込むこともできます。

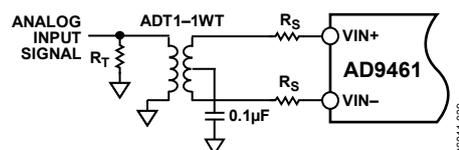


図 32. トランス・カップリングのアナログ入力回路

## クロック入力に関する留意事項

高速ADCの性能は、サンプリング・クロックの品質によって大きく左右されます。トラック&ホールド回路は本来ミキサーであるため、クロックのノイズ、歪み、タイミング・ジッタはすべてADCの出力信号に混入してしまいます。そのため、AD9461の設計ではクロック入力に細心の注意を払いましたが、ユーザの側でもクロック源に十分に注意したほうがよいでしょう。

通常の高速ADCは、立ち上がり立ち下がり両方のクロック・エッジを使用してさまざまな内部タイミング信号を発生させるため、クロック・デューティサイクルの変化に対して敏感です。ダイナミック性能の特性を維持するには、一般にクロック・デューティサイクルの変化を5%以内に抑える必要があります。AD9461は、クロック・デューティサイクル・スタビライザ (DCS) を内蔵しています。DCSは、非サンプリング・エッジのリタイミングを実行し、デューティサイクルが約50%（公称）の内部クロック信号を作り出します。DCSを有効にすると、デューティサイクルが30~70%の間であれば、ノイズと歪み性能がほぼフラットな状態になります。DCS回路はCLK+の立ち上がりエッジをロックし、その内部でタイミングを最適化します。その結果、性能を低下させずに、広範な入力デューティサイクルを設定することが可能になります。ただし、入力の立ち上がりエッジのジッタに対しては十分な注意を払う必要があります。内部安定化回路 (DCS回路) で低減されることはありません。クロック・レート (公称値が30 MHzより低い場合は、デューティサイクル制御ループが機能しなくなります。クロック速度をダイナミックに変更するアプリケーションでは、このループに関連する時定数に配慮してください。ダイナミックに動くクロック周波数が増加した

は減少してから、DCS ループが入力信号に再ロックされるまでに 1.5~5  $\mu\text{s}$  の待ち時間が必要です。このループがロックされていない間は、DCS ループがバイパスされ、内部デバイス・タイミングは入力クロック信号のデューティサイクルに依存します。このようなアプリケーションでは、デューティサイクル・スタビライザを無効にするほうがよいでしょう。これ以外のアプリケーションでは、最大の AC 性能を得るために、DCS 回路を有効にすることを推奨します。

DCS 回路の制御には、DCS MODE ピンを使用します。DCS MODE ピンを CMOS ローレベル (AGND) に設定すると、DCS が有効になります。ハイレベル (AVDD1=3.3V) に設定すると、DCS が無効になります。

性能が低下しないように、AD9461 の入力サンプリング・クロック信号は高品質で、位相ノイズが非常に低い信号源を使用してください。16 ビット精度を維持するには、エンコード・クロックの位相ノイズを低減することが非常に重要です。ジッタの高いクロック源を使用すると、70 MHz のアナログ入力信号で S/N 比がすぐに 3~4 dB 低下してしまいます。(アプリケーション・ノート AN-501 「Aperture Uncertainty and ADC System Performance」を参照してください。) 最適な性能を得るには、AD9461 のクロックを差動信号にする必要があります。サンプリング・クロック入力には約 1.5 V に内部バイアスされ、入力信号は一般にトランスまたはコンデンサを介して CLK+ および CLK- ピンに AC カップリングされます。図 33 に、AD9461 の望ましいクロック入力方法を示します。RF トランスを使用し、クロック源 (低ジッタ) をシングルエンドから差動に変換します。トランスの 2 次側に 2 個のショットキー・ダイオードを互い違いに接続しているため、AD9461 に入力されるクロックの振幅が約 0.8 V<sub>p-p</sub> 差動に制限されます。この方法により、クロックの大きい電圧振幅が AD9461 の他の回路部にフィードスルーせず、サンプリング・クロック入力に混入するノイズが制限されます。

低ジッタのクロックが使用できる場合、ADC のクロック入力を駆動する前にクロック・リファレンスをバンドパス・フィルタに通すことも可能です。もう 1 つの方法は図 34 に示すように、差動の ECL/PECL 信号をエンコード入力ピンに AC カップリングする方法です。

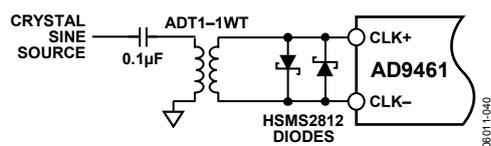


図 33. 水晶クロック発振器 (差動エンコード)

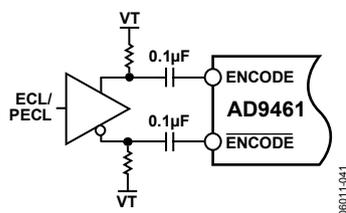


図 34. エンコーダ用の差動 ECL

## ジッタに関する留意事項

高速・高分解能 ADC の性能は、クロック入力の品質に左右されます。任意の入力周波数 ( $f_{INPUT}$ ) と rms 振幅においてアパーチャ・ジッタ ( $t_j$ ) のみを原因とする S/N 比の低下は、次式を用いて計算することができます。

$$SNR = -20 \log[2\pi f_{INPUT} \times t_j]$$

この式で、rms アパーチャ・ジッタは全ジッタ源の実効値を表しており、これにはクロック入力、アナログ入力信号、ADC のアパーチャ・ジッタ仕様値が含まれます。IF アンダーサンプリング・アプリケーションは、特にジッタに敏感です。

アパーチャ・ジッタが AD9461 のダイナミック・レンジに影響を及ぼす場合は、クロック入力をアナログ信号として扱います。クロック・ドライバの電源を ADC 出力ドライバの電源から分離し、クロック信号がデジタル・ノイズで変調されないようにしてください。低ジッタの水晶制御発振器は、最適なクロック源となります。クロックを他のタイプの信号源 (ゲート、分周回路、またはその他の手法) から生成する場合は、最終段で元のクロックを使ってタイミングを同期させてください。

## 電源に関する留意事項

電源は慎重に選択してください。リニア・ドロップ型の DC 電源の利用を特に推奨します。スイッチング電源は、AD9461 の輻射ノイズとなる成分を発生させる傾向があります。各電源ピンは、パッケージのなるべく近くで 0.1  $\mu\text{F}$  のチップ・コンデンサを用いてデカップリングしてください。

AD9461 のデジタル電源ピンとアナログ電源ピンは分離されています。アナログ電源ピンは AVDD1 (3.3 V) と AVDD2 (5 V)、デジタル電源ピンは DRVDD と表示されています。AVDD1 と DRVDD は相互に接続できますが、最高の性能を実現するには分離することを勧めます。これらの電源を接続すると、高速のデジタル出力エッジにより、スイッチング電流がアナログ電源に結合する可能性があります。AVDD1 と AVDD2 はともに、規定電圧の 5% 以内に収まるようにしてください。

AD9461 の DRVDD 電源は、LVDS または CMOS 出力モードのデジタル出力専用の電源です。LVDS モードでは、DRVDD を 3.3 V に設定してください。CMOS モードでは、受信側ロジックとの互換性を維持するために、DRVDD 電源を 2.5~3.6 V に接続することができます。

## デジタル出力

### LVDSモード

3 番ピン (OUTPUT MODE) を使用して、LVDS 互換の出力レベルとなるように、チップ上のオフチップ・ドライバを設定できます。OUTPUT MODE を CMOS ハイレベル (または、簡単な方法としては AVDD1 に接続) に設定し、3.74 k $\Omega$  の R<sub>SET</sub> 抵抗を 5 番ピン (LVDS\_BIAS) とグラウンド間に接続すれば、LVDS 出力が得られます。AD9461 を LVDS モードで使用すると、SFDR や SNR などのダイナミック性能が最高になります。したがって、ぜひこのモードを利用して設計してみてください。AD9461 の出力には、各データ・ビットに対応するコンプリメンタリの LVDS 出力 (Dx+/Dx-)、アウトオブレンジ出力 (OR+/OR-)、出力データ・クロック出力 (DCO+/DCO-) が含まれます。R<sub>SET</sub> 抵抗電流はチップ上で乗算され、これによって各出力の電流が公称値 3.5 mA ( $11 \times I_{RSET}$ ) に等しい数値に設定されます。100  $\Omega$  の差動終端抵抗を LVDS レシーバの入力に接続すると、このレシーバの振幅レベルが公称値 350 mV になります。LVDS モードは、ASIC や FPGA が持っている、ノイズの多い環境で優れたスイッチング性能を発揮する LVDS の特性を備えた LVDS レシーバとのインターフェースを容易にします。シングル・ポイント to ポイントのネット接続方式を推奨しますが、100  $\Omega$  の終端抵抗はできる限りレシーバの近くに接続してください。さらに、パターン配線長を 2 インチ未満とし、差動出力のパターン配線も可能な限り同じ長さにしてください。

## CMOSモード

ダイナミック性能の劣化を多少許容できるアプリケーションでは、DRVDDをインターフェース・ロジックのデジタル電源にマッチングさせることによって、AD9461の出力ドライバを2.5 Vまたは3.3 Vロジック・ファミリーとインターフェースするように設定できます。OUTPUT MODEをCMOSローレベル（または、簡単な方法としてはAGNDに接続）に設定すれば、CMOS出力を使用できます。このモードでは、アウトオブレンジ出力OR+と同様に、出力データ・ビットD<sub>x</sub>がシングルエンドのCMOS出力になります。出力クロックは、差動のCMOS信号DCO+/DCO-として供給されます。ADCの敏感なアナログ回路部にスイッチング過渡電圧が結合するのを防ぐために、できるだけ低い電源電圧を推奨します。CMOS出力に接続する容量性負荷は最小限に抑え、直列抵抗（220 Ω）を用いて各出力をシングル・ゲートに接続し、容量性負荷によって発生するスイッチング過渡電圧をできる限り抑えてください。

## タイミング

AD9461は、13クロック・サイクルのパイプライン遅延を伴うラッチされたデータを出力します。CLK+の立ち上がりエッジの後、1伝播遅延（t<sub>PD</sub>）が経過すると、データが出力されます。詳細なタイミング図は、図2と図3を参照してください。

## 動作モードの選択

### データ・フォーマットの選択

AD9461のデータ・フォーマット選択（DFS）ピンを使用し、出力データのコーディング形式を設定します。このピンは3.3 V CMOS互換ピンであり、これをハイレベル（またはAVDD1、3.3 V）

に設定して2の補数を選択するか、ローレベル（またはAGNDに接続）に設定してオフセット・バイナリを選択します。表10は、出力コーディングの概要を示します。

### 出力モードの選択

OUTPUT MODEピンは、デジタル出力のピン配置のほかにロジックの互換性も制御します。このピンはCMOS互換入力です。OUTPUT MODE = 0（AGND）のときAD9461の出力がCMOS互換となり、デバイスのピン配置は表8のようになります。OUTPUT MODE = 1（AVDD1、3.3 V）のときAD9461出力がLVDS互換となり、デバイスのピン配置は表7のようになります。

### デューティサイクル・スタビライザ

DCS回路の制御には、DCS MODEピンを使用します。DCS MODEピンをCMOSローレベル（AGND）に設定すると、DCSが有効になります。ハイレベル（AVDD1、3.3 V）に設定すると、DCSが無効になります。

### SFDR性能改善

条件によっては、ADCコアの消費電力を低減することでAD9461のSFDR性能が向上します。SFDR制御ピン（100番ピン）はCMOS互換の制御ピンであり、AD9461アナログ・フロントエンドの構成を最適化します。SFDRをAGNDに接続すれば、40 MHz未満または215 MHzを上回るアナログ入力周波数をもつアプリケーションのSFDR性能が最適化されます。アナログ入力が40~215 MHzのアプリケーションでは、最適な性能を得るためにはSFDRをAVDD1に接続してください。AVDD2からの消費電力は約40 mW減少します。

表 10. デジタル出力コーディング

Code	VIN+ - VIN- Input Span = 3.4 V p-p (V)	VIN+ - VIN- Input Span = 2 V p-p (V)	Digital Output Offset Binary (D15...D0)	Digital Output Twos Complement (D15...D0)
65,536	+1.700	+1.000	1111 1111 1111 1111	0111 1111 1111 1111
32,768	0	0	1000 0000 0000 0000	0000 0000 0000 0000
32,767	-0.000058	-0.0000305	0111 1111 1111 1111	1111 1111 1111 1111
0	-1.70	-1.00	0000 0000 0000 0000	1000 0000 0000 0000

## 評価用ボード

評価用ボードでは、AD9461 をCMOSモードかLVDSモードのいずれかに設定できます。広範なサンプリング・レートとアナログ入力周波数でこの製品を使用する場合の推奨設定が構成されています。評価用ボードは、ADCを各種モードおよび設定で動作させるためのサポート回路をすべて搭載しています。ボードの詳細な回路図を図 35～図 38に示します。システム・レベル設計に適用できる正しい配線引きまわしやグラウンディングの方法を示したガーバー・ファイルは、エンジニアリング・アプリケーションから入手できます。

AD9461 コンバータの最高性能を実現するには、位相ノイズが特に低い信号源 (rms ジッタが 60 fsec 未満) を使用することがきわめて重要です。規定のノイズ性能を達成するには、入力信号のフィルタ処理を正しく行って、高調波成分を除去し、入力に混入するノイズを抑えることも必要です。

評価用ボードは、AC 115 VからDC 6 Vのレギュレータが付属して出荷されます。また、AD9461 とそのサポート回路に必要な各種のDC電源を生成する低ドロップアウト電圧のレギュレータも実装しています。サポート回路からDUTを分離するために個別の電源も備えています。各種ジャンパを適切に接続することによって、入力構成を選択できます (図 35を参照)。

LVDS モードの評価用ボードには、LVDS/CMOS コンバータが実装されており、高速 ADC FIFO 評価用キット (HSC-ADC-EVALA-SC) との互換性があります。このキットには高速データ・キャプチャ・ボードが付属しており、FIFO メモリ・チップで高速 ADC の出力データを最大 32 kB サンプル (256 kB サンプルまでアップグレードが可能) まで取り込めるハードウェア・ソリューションを提供します。取り込まれたデータは、同梱のソフトウェアを使用して USB ポート経由で PC にダウンロードできます。このソフトウェアには、AD9461 をはじめ多くの高速 ADC の動作モデルも含まれています。

AD9461の動作モデルは、[www.analog.com/ADIsimADC](http://www.analog.com/ADIsimADC)からも入手できます。ADIsimADC™ソフトウェアを使えば、アナログ・デバイス独自の動作モデリング技術を利用した仮想ADC評価が可能になります。これを利用することで、ハードウェア評価用ボードを使用するか否かに関係なく、AD9461やその他の高速ADCを迅速に比較できます。

LVDS出力に直接アクセスする場合、上記の変換器と終端接続を切り離すこともできます。

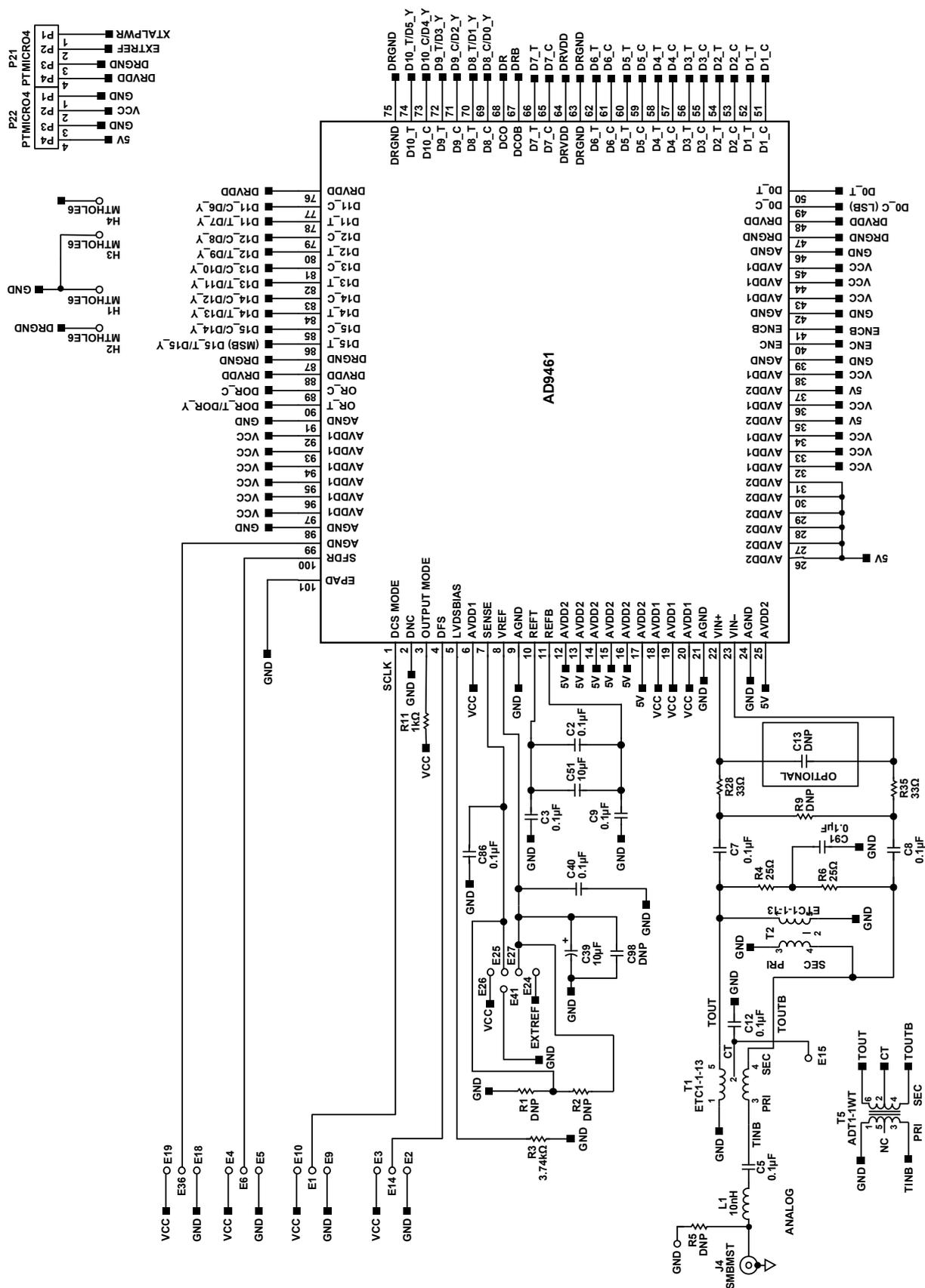


図 35. 評価用ボードの回路図

DNP = DO NOT POPULATE  
06011-04Z

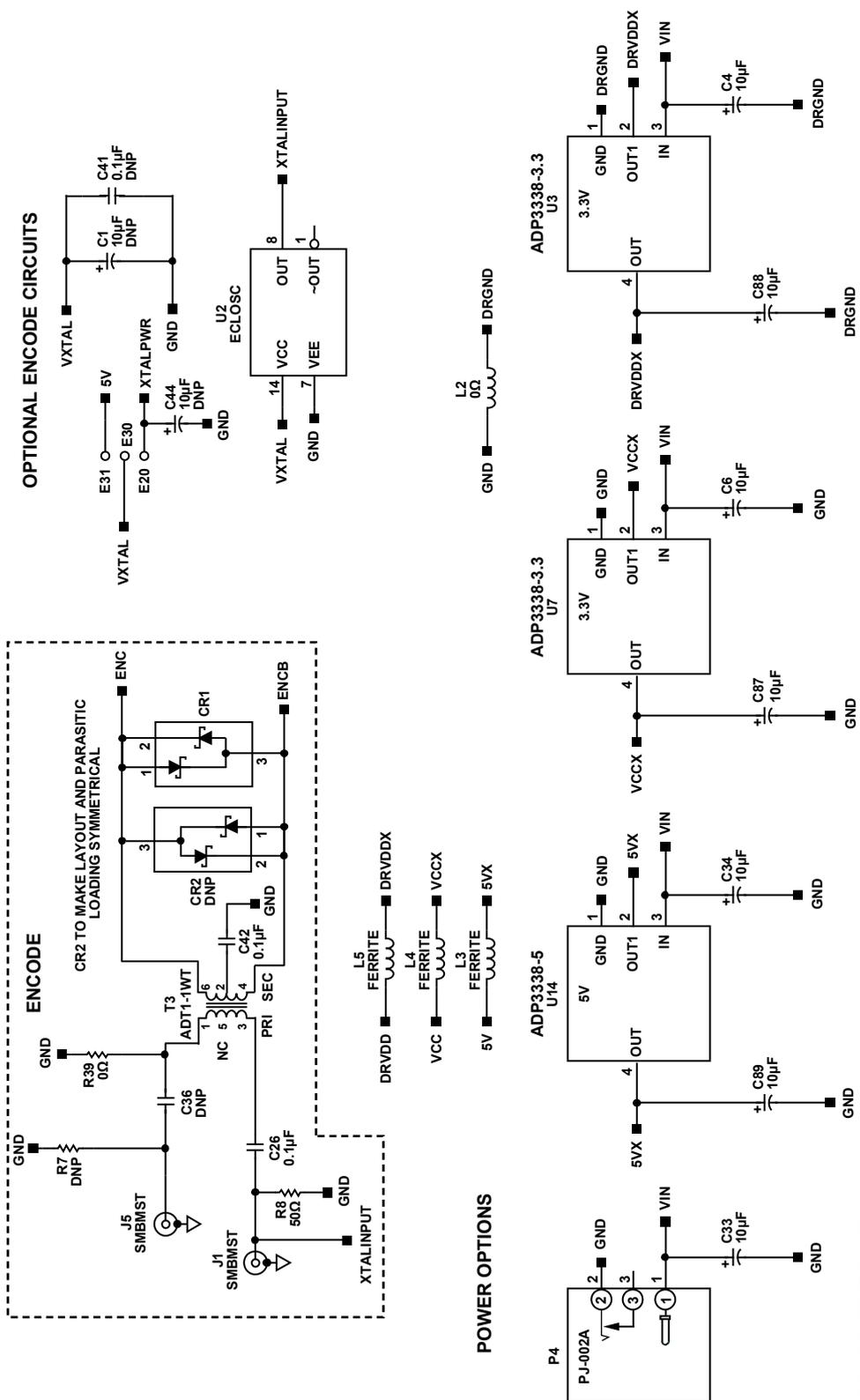
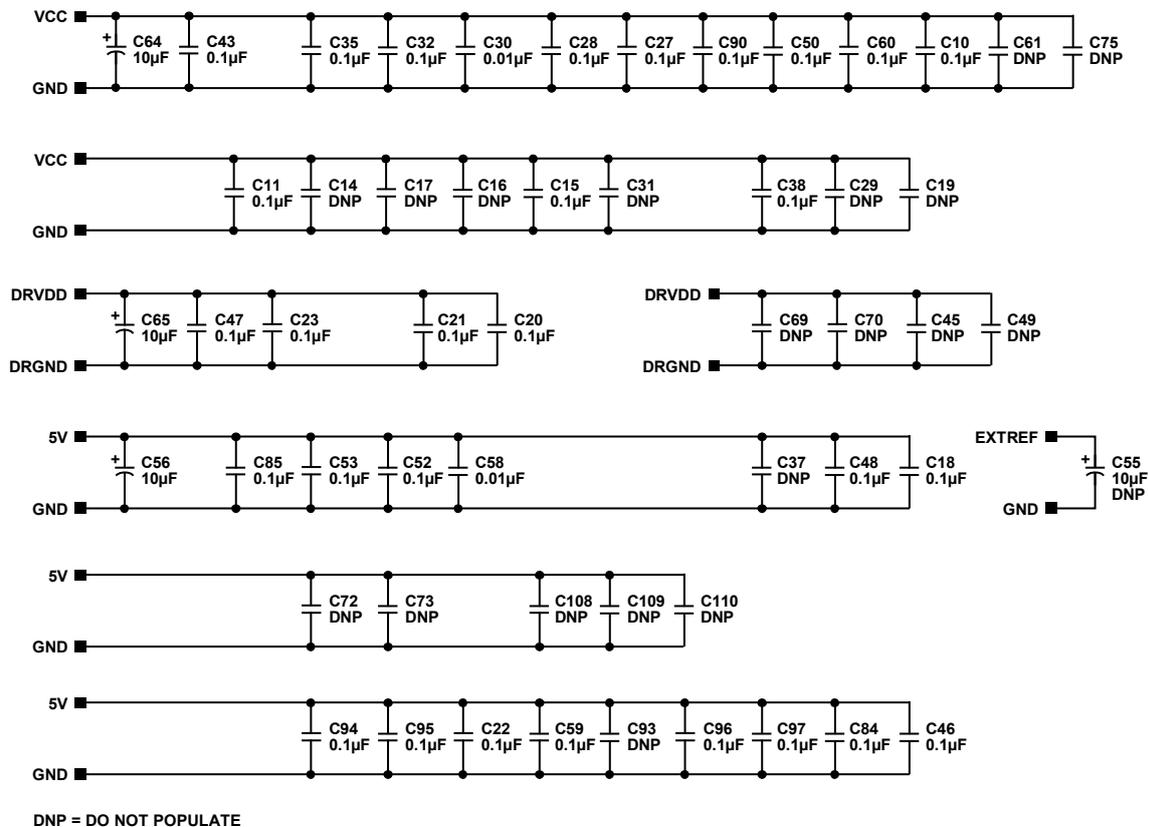


図 36. 評価用ボードの回路図：エンコーダ、オプションのエンコーダ、電源オプション

DNP = DO NOT POPULATE

06011-043

## BYPASS CAPACITORS



06011-044

図 37. 評価用ボードの回路図：バイパス・コンデンサ

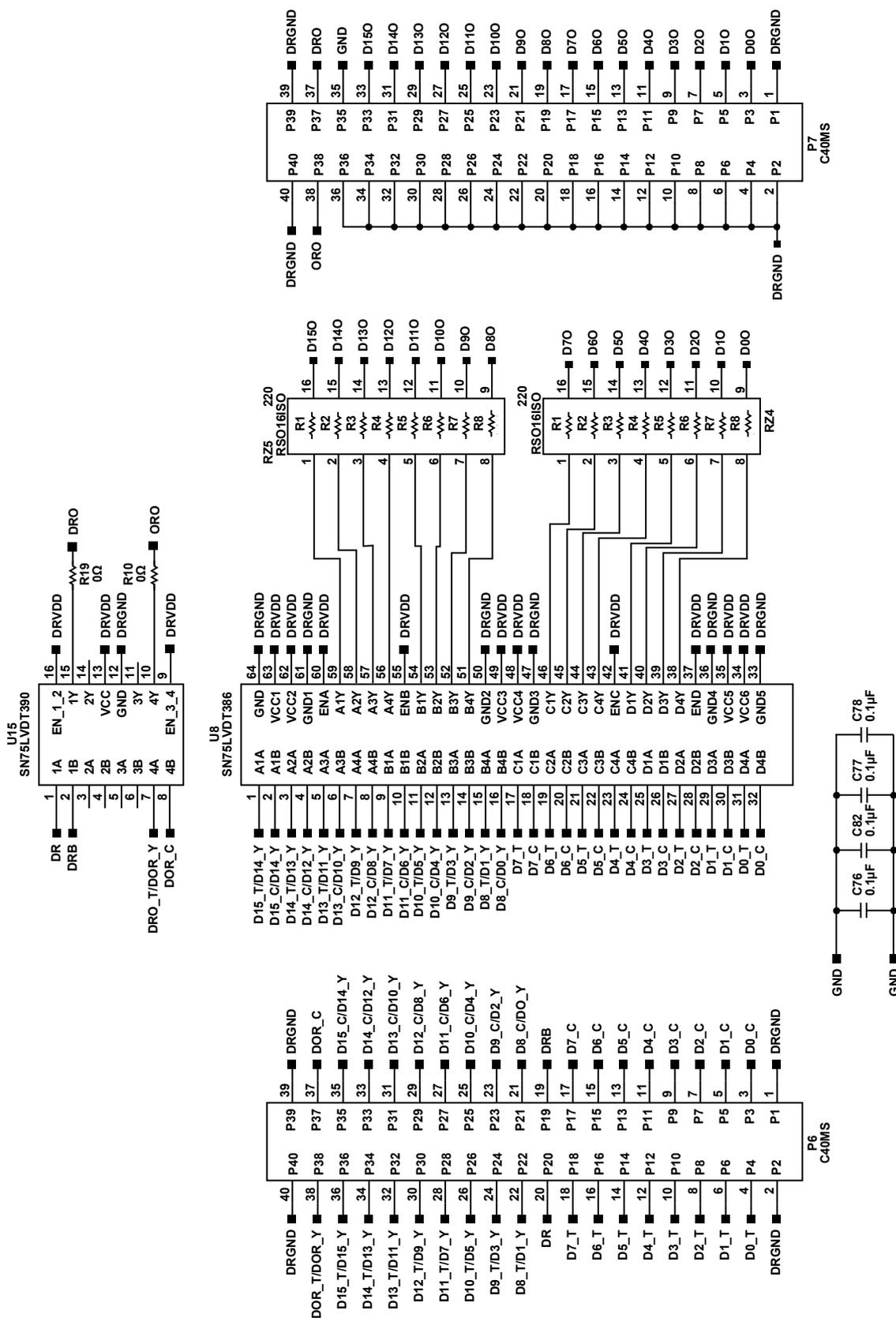


图 38. 评估用米-7 回路图

08011-045

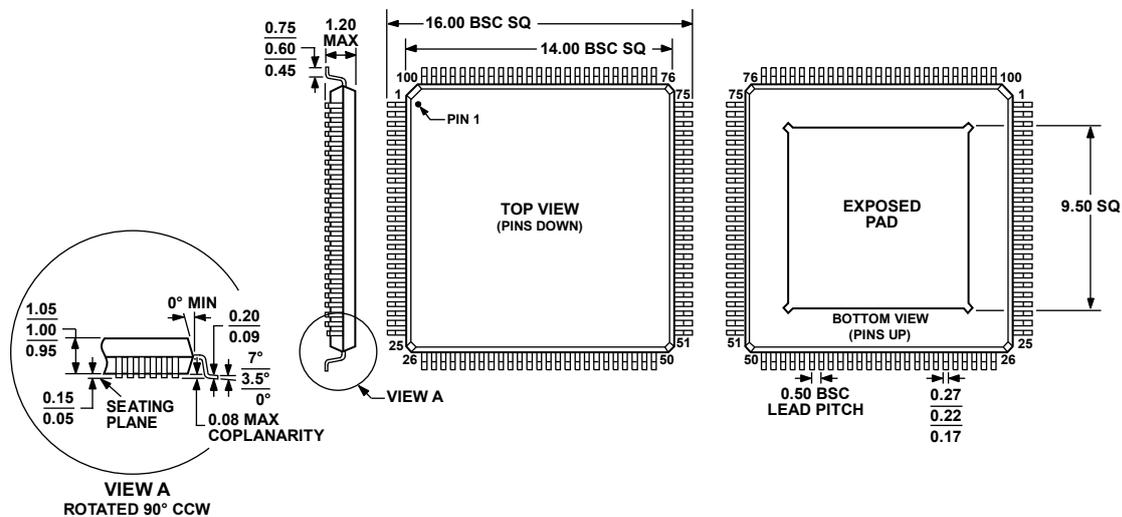
表 11. AD9461 カスタム向け評価用ボードの部品表 (BOM)

Item	Qty.	Reference Designator	Description	Package	Value <sup>1</sup>	Manufacturer	Mfg. Part No.
1	7	C4, C6, C33, C34, C87, C88, C89	Capacitor	TAJD	10 $\mu$ F	Digi-Key Corporation	478-1699-2
2	44	C2, C3, C5, C7, C8, C9, C10, C11, C12, C15, C20, C21, C22, C23, C26, C27, C28, C32, C35, C38, C40, C42, C43, C46, C47, C48, C50, C52, C53, C59, C60, C76, C77, C78, C82, C84, C85, C86, C90, C91, C94, C95, C96, C97	Capacitor	402	0.1 $\mu$ F	Digi-Key Corporation	PCC2146CT-ND
3	2	C30, C58	Capacitor	201	0.01 $\mu$ F	Digi-Key Corporation	445-1796-1-ND
4	4	C39, C56, C64, C65	Capacitor	TAJD	10 $\mu$ F	Digi-Key Corporation	478-1699-2
5	1	C51	Capacitor	805	10 $\mu$ F	Digi-Key Corporation	490-1717-1-ND
6	1	CR1	Diode	SOT23M5		Digi-Key Corporation	MA3X71600LCT-ND
7	1	CR2 <sup>1</sup>	Diode	SOT23M5	DNP	Digi-Key Corporation	MA3X71600LCT-ND
8	20	E1, E2, E3, E4, E5, E6, E9, E10, E14, E18, E19, E20, E24, E25, E26, E27, E30, E31, E36, E41	Header	EHOLE		Mouser Electronics	517-6111TG
9	2	J1, J4	SMA	SMA		Digi-Key Corporation	ARFX1231-ND
10	1	L1	Inductor	0603A	10 nH	Coilcraft, Inc.	0603CS-10NXGBU
11	3	L3, L4, L5	EMIFIL <sup>®</sup> BLM31PG500SN1L	1206MIL		Mouser Electronics	81-BLM31P500S
12	1	P4	Power jack	PJ-002A		Digi-Key Corporation	CP-002A-ND
13	1	P7	Header	C40MS		Samtec, Inc.	TSW-120-08-L-D-RA
14	1	R3	Resistor	402	3.74 k $\Omega$	Digi-Key Corporation	P3.74KLCT-ND
15	1	R8	Resistor	402	50 $\Omega$	Digi-Key Corporation	P49.9LCT-ND
16	4	R10, R19, R39, L2	Resistor	402	0 $\Omega$	Digi-Key Corporation	P0.0JCT-ND
17	1	R11	BRES402	402	1 k $\Omega$	Digi-Key Corporation	P1.0KLCT-ND
18	2	R28, R35	Resistor	402	33 $\Omega$	Digi-Key Corporation	P33JCT-ND
19	2	RZ4, RZ5	Resistor array	16-pin	22 $\Omega$	Digi-Key Corporation	742C163220JCT-ND
20	1	T3	Transformer	ADT1-1WT		Mini-Circuits	ADT1-1WT
21	1	U1	AD9461BSVZ-105/130	SV-100-3		Analog Devices, Inc.	AD9461BSVZ
22	1	U14	ADP3338-5	SOT-223HS		Analog Devices, Inc.	ADP3338-5
23	2	U3, U7	ADP3338-3.3	SOT-223HS		Analog Devices, Inc.	ADP3338-3.3
24	1	U8	SN75LVDT386	TSSOP64		Arrow Electronics, Inc.	SN75LVDT386
25	1	U15	SN75LVDT390	SOIC16PW		Arrow Electronics, Inc.	SN75LVDT390
26	2	R4, R6	Resistor	402	25 $\Omega$	Digi-Key Corporation	P36JCT-ND
27	2	C1, C44, C55 <sup>1</sup>	Capacitor	TAJD	10 $\mu$ F, DNP	Digi-Key Corporation	478-1699-2
28	23	C13, C14, C16, C17, C18, C19, C29, C31, C36, C37, C41, C45, C49, C61, C69, C70, C72, C73, C75, C93, C108, C109, C110 <sup>1</sup>	CAP402	402	DNP		
29	1	C98 <sup>1</sup>	Capacitor	805	DNP	Digi-Key Corporation	490-1717-1-ND
30		E15 <sup>1</sup>	Header	EHOLE	DNP	Mouser Electronics	517-6111TG

Item	Qty.	Reference Designator	Description	Package	Value <sup>1</sup>	Manufacturer	Mfg. Part No.
31		J5 <sup>1</sup>	SMA	SMA	DNP	Digi-Key Corporation	ARFX1231-ND
32		P6 <sup>1</sup>	Header	C40MS	DNP	Samtec, Inc.	TSW-120-08-L-D-RA
33	2	R1, R2 <sup>1</sup>	BRES402	402	DNP		
34	3	R5, R7, R9 <sup>1</sup>	BRES402	402	DNP		
35	1	U2 <sup>1</sup>	ECLOSC	DIP4(14)	DNP		
36	4	H1, H2, H3, H4 <sup>1</sup>	MTHOLE6	MTHOLE6	DNP		
37	2	T1, T2 <sup>1</sup>	Balun transformer	SM-22	DNP	M/A-COM	ETC1-1-13
38	1	T5 <sup>1</sup>	Transformer	ADT1-1WT	DNP	Mini-Circuits	ADT1-WT
39	2	P21, P22 <sup>1</sup>	Term strip	PTMICRO4	DNP	Newark Electronics	

<sup>1</sup> DNP = 未実装。このカテゴリの項目は実装されていません。

## 外形寸法



## NOTES

- CENTER FIGURES ARE TYPICAL UNLESS OTHERWISE NOTED.
- THE PACKAGE HAS A CONDUCTIVE HEAT SLUG TO HELP DISSIPATE HEAT AND ENSURE RELIABLE OPERATION OF THE DEVICE OVER THE FULL INDUSTRIAL TEMPERATURE RANGE. THE SLUG IS EXPOSED ON THE BOTTOM OF THE PACKAGE AND ELECTRICALLY CONNECTED TO CHIP GROUND. IT IS RECOMMENDED THAT NO PCB SIGNAL TRACES OR VIAS BE LOCATED UNDER THE PACKAGE THAT COULD COME IN CONTACT WITH THE CONDUCTIVE SLUG. ATTACHING THE SLUG TO A GROUND PLANE WILL REDUCE THE JUNCTION TEMPERATURE OF THE DEVICE WHICH MAY BE BENEFICIAL IN HIGH TEMPERATURE ENVIRONMENTS.

図 39. 100 ピン薄型クワッド・フラット・パッケージ、露出パッド付き [TQFP\_EP]  
(SV-100-3)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9461BSVZ <sup>1</sup>	-40°C to +85°C	100-Lead TQFP_EP	SV-100-3
AD9461-LVDS/PCB		AD9461-100 LVDS Mode Evaluation Board	

<sup>1</sup> Z = 鉛フリー製品。