

特長

105MSPSのサンプリング・レートを保証 (AD9460-105)

10MHzの入力時にS/N比が79.4dBFS、SFDRが91dBc

(3.4V p-p入力、80MSPS)

170MHzの入力時にS/N比が78.3dBFS

(4.0V p-p入力、80MSPS)

170MHzの入力時にS/N比が77.8dBFS、SFDRが87dBc

(3.4V p-p入力、80MSPS)

170MHzの入力時にS/N比が77.2dBFS、SFDRが84dBc

(3.4V p-p入力、105MSPS)

139MHz/140MHzの入力時にツートーンSFDRが90dBFS

(3.4V p-p入力、105MSPS)

60fs rmsのジッタ

優れた直線性

DNL=±0.5LSB (typ)

INL=±3.0LSB (typ)

2.0~4.0V p-pの差動フルスケール入力

バッファ付きのアナログ入力

LVDS出力 (ANSI-644規格に準拠) またはCMOS出力

データ出力フォーマットの選択が可能 (オフセット・バイナリ
または2の補数)

出力データ・キャプチャ・クロック

3.3Vおよび5Vの電源動作

アプリケーション

MRIレシーバ

マルチキャリア、マルチモードのセルラ・レシーバ

アンテナ・アレイ位置決め

パワー・アンプのリニアライゼーション

ブロードバンド・ワイヤレス

レーダー

赤外線画像処理

通信用計測機器

概要

AD9460は、トラック&ホールド回路を内蔵した16ビット・モノリシックのサンプリングA/Dコンバータ (ADC) です。高性能、小型サイズ、使いやすさが得られるように最適化されています。AD9460は最大105MSPSで動作し、ベースバンド周波数 (<100MHz) とIF周波数を使用する計測機器、医療用画像処理装置、レーダー・レシーバに最適な優れたS/N比 (SNR) 性能を備えています。

このADCをフル性能で動作させるためには、3.3Vおよび5.0Vの電源と低電圧差動入力クロックが必要です。ほとんどのアプリケーションでは、リファレンスやドライバ部品を外付けする必要はありません。データ出力はCMOSまたはLVDSと互換性があり (ANSI-644規格に準拠)、距離の短いパターン配線に必要な総電流を削減する手段を備えています。

機能ブロック図

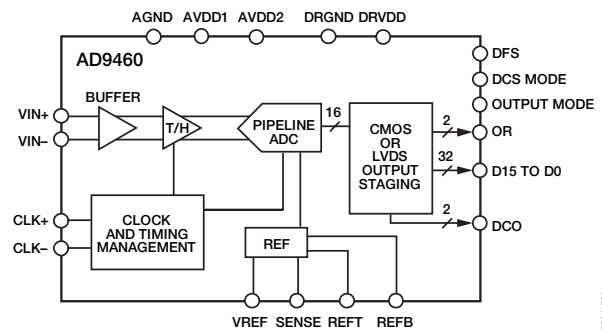


図1

オプション機能を利用することで、入力電圧範囲、データ出力フォーマット、出力データ・モードなど各種動作条件を選択できます。

AD9460は鉛フリーの100ピン表面実装プラスチック・パッケージ (TQFP_EP) を採用し、-40~+85℃の工業用温度範囲で仕様が規定されています。

製品のハイライト

1. 真の16ビット直線性。
2. 高性能：データ・アキュジション、計測器、MRI (磁気共鳴画像診断装置)、レーダー・レシーバで使用するベースバンドおよびIF周波数に適した優れたS/N比性能
3. 使いやすさ：オンチップ・リファレンスと高い入力インピーダンス、アナログ入力範囲を設定できるトラック&ホールド回路、出力クロックにより、データ・キャプチャが容易。
4. 鉛フリーの100ピンTQFP/EPパッケージ。
5. 内蔵クロック・デューティ・サイクル安定器 (DCS) が、広範なクロック・パルス幅で全体的なADC性能を維持。
6. 信号が選択された入力範囲を超えると、範囲外 (OR: Out-of-Range) 出力を表示。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06 (6350) 6868

AD9460

目次

特長	1	ピン配置と機能の説明	8
機能ブロック図	1	等価回路	12
アプリケーション	1	代表的な性能特性	13
概要	1	用語の説明	19
製品のハイライト	1	動作原理	20
改訂履歴	2	アナログ入力とリファレンスの概要	20
仕様	3	クロック入力の考慮事項	21
DC仕様	3	電源の考慮事項	22
AC仕様	4	デジタル出力	23
デジタル仕様	5	タイミング	23
スイッチング仕様	5	動作モードの選択	23
タイミング図	6	評価用ボード	24
絶対最大定格	7	外形寸法	31
熱抵抗	7	オーダー・ガイド	31
ESDに関する注意	7		

改訂履歴

7/06—Revision 0: Initial Version

仕様

DC仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、LVDSモード、規定の最小サンプリング・レート、3.4V p-p 差動入力、トリミングされた内部リファレンス（1.0Vモード）、アナログ入力振幅=−1.0dBFS、DCS=AGND（オン）、SFDR=AGND。

表1

Parameter	Temp	AD9460BSVZ-80			AD9460BSVZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	16			16			Bits
ACCURACY								
No Missing Codes	Full	Guaranteed			Guaranteed			
Offset Error	Full	−5.0	±0.1	+5.0	−5.0	±0.1	+5.0	mV
Gain Error	25°C	−3	±0.5	+3	−3	±0.5	+3	% FSR
	Full	−3.4		+3.4	−3.4		+3.4	% FSR
Differential Nonlinearity (DNL) ¹	25°C	−0.8	±0.5	+0.8	−0.85	±0.5	+0.85	LSB
	Full	−0.9		+0.9	−1		+1.2	
Integral Nonlinearity (INL) ¹	25°C	−6	±3	+6	−6	±3	+6	LSB
VOLTAGE REFERENCE								
Output Voltage VREF = 1.7 V	Full	1.7			1.7			V
Load Regulation @ 1.0 mA	Full	±2			±2			mV
Reference Input Current (External VREF = 1.7 V)	Full	350			350			μA
INPUT REFERRED NOISE	25°C	2.4			2.5			LSB rms
ANALOG INPUT								
Input Span								
VREF = 1.7 V	Full	3.4			3.4			V p-p
VREF = 1.0 V	Full	2.0			2.0			V p-p
Internal Input Common-Mode Voltage	Full	3.5			3.5			V
External Input Common-Mode Voltage	Full	3.2		3.9	3.2		3.9	V
Input Resistance ²	Full	1			1			kΩ
Input Capacitance ²	Full	6			6			pF
POWER SUPPLIES								
Supply Voltages								
AVDD1	Full	3.14	3.3	3.46	3.14	3.3	3.46	V
AVDD2	Full	4.75	5.0	5.25	4.75	5.0	5.25	V
DRVDD—LVDS Outputs	Full	3.0	3.3	3.6	3.0	3.3	3.6	V
DRVDD—CMOS Outputs	Full	3.0	3.3	3.6	3.0	3.3	3.6	V
Supply Currents ¹								
AVDD1	Full		290	310		337	373	mA
AVDD2 ^{1,3}	Full		101	110		116	133	mA
I _{DRVDD} ¹ —LVDS Outputs	Full		70	78.5		71	81	mA
I _{DRVDD} ¹ —CMOS Outputs	Full		14			14		mA
PSRR								
Offset	Full	1			1			mV/V
Gain	Full	0.2			0.2			%/V
POWER CONSUMPTION ³								
LVDS Outputs	Full	1.7		1.8	1.9		2.2	W
CMOS Outputs (DC Input)	Full	1.5			1.7			W

¹ 最大クロック・レート $f_{IN}=15\text{MHz}$ のフルスケール・サイン波で測定。ただし、LVDS出力モードでは出力ビットの各ペアに100Ωの差動終端を接続し、CMOS出力モードでは各出力ビットに約5pFの負荷を接続。

² 入力容量または抵抗は、1本の差動入力ピンとAGNDとの間の実効インピーダンスです。等価なアナログ入力構造については、図6を参照。

³ SFDR=AVDD1の場合、I_{AVDD2}電力はAD9460BSVZ-80では約70mW、AD9460BSVZ-105では約20mWそれぞれ増加します。

AD9460

AC仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、LVDSモード、規定の最小サンプル・レート、3.4V p-p差動入力、トリミングされた内部リファレンス（1.7Vモード）、 $A_{IN} = -1.0\text{dBFS}$ 、DCS=AGND（オン）、SFDR=AGND。

表2

Parameter	Temp	AD9460BSVZ-80			AD9460BSVZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE RATIO (SNR)								
f _{IN} = 10 MHz	25°C	77.6	78.4		77.2	78.1		dB
	Full	77.4			76.9			
f _{IN} = 170 MHz	25°C	76.1	76.8		75.0	76.2		dB
	Full	75.0			74.5			
f _{IN} = 225 MHz	25°C		75.7			75.2		dB
SIGNAL-TO-NOISE AND DISTORTION (SINAD)								
f _{IN} = 10 MHz	25°C	76.1	78.0		75.2	77.4		dB
	Full	74.4			74.5			
f _{IN} = 170 MHz	25°C	74.0	76.1		72.0	75.1		dB
	Full	72.1			71.2			
f _{IN} = 225 MHz	25°C		74.6			73.6		dB
EFFECTIVE NUMBER OF BITS (ENOB)								
f _{IN} = 10 MHz	25°C		12.8			12.7		bits
f _{IN} = 170 MHz	25°C		12.5			12.4		bits
f _{IN} = 225 MHz	25°C		12.3			12.1		bits
SPURIOUS-FREE DYNAMIC RANGE (SFDR, SECOND OR THIRD HARMONIC)								
f _{IN} = 10 MHz	25°C	80	91		80	88		dBc
	Full	78			76			
f _{IN} = 170 MHz	25°C	80	87		78	84		dBc
	Full	78			74			
f _{IN} = 225 MHz	25°C		82			81		dBc
WORST SPUR EXCLUDING SECOND OR THIRD HARMONICS								
f _{IN} = 10 MHz	25°C	94	100		92	98		dBc
	Full	91			91			
f _{IN} = 170 MHz	25°C	90	98		89	98		dBc
	Full	88			85			
f _{IN} = 225 MHz	25°C		97			92		dBc
TWO-TONE SFDR								
f _{IN} = 139.6 MHz @ -7 dBFS, 140.6 MHz @ -7 dBFS	25°C		89			90		dBFS
ANALOG BANDWIDTH								
	Full		615			615		MHz

デジタル仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、 $R_{LVDS_BIAS}=3.74k\Omega$ 。

表3

		AD9460BSVZ-80/105			
Parameter	Temp	Min	Typ	Max	Unit
CMOS LOGIC INPUTS (DFS, DCS MODE, OUTPUT MODE)					
High Level Input Voltage	Full	2.0			V
Low Level Input Voltage	Full			0.8	V
High Level Input Current	Full			200	μA
Low Level Input Current	Full	−10		+10	μA
Input Capacitance	Full		2		pF
DIGITAL OUTPUT BITS—CMOS MODE (D0 to D15, OTR) ¹					
DRVDD = 3.3 V					
High Level Output Voltage	Full	3.25			V
Low Level Output Voltage	Full			0.2	V
DIGITAL OUTPUT BITS—LVDS MODE (D0 to D15, OTR)					
V _{OD} Differential Output Voltage ²	Full	247		545	mV
V _{OS} Output Offset Voltage	Full	1.125		1.375	V
CLOCK INPUTS (CLK+, CLK−)					
Differential Input Voltage	Full	0.2			V
Common-Mode Voltage	Full	1.3	1.5	1.6	V
Input Resistance	Full	1.1	1.4	1.7	kΩ
Input Capacitance	Full		2		pF

¹ 出力電圧レベルは、各出力に5pFの負荷を接続して測定。

² LVDS $R_{TERM}=100\Omega$ 。

スイッチング仕様

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V。

表4

Parameter	Temp	AD9460BSVZ-80			AD9460BSVZ-105			Unit
		Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS								
Maximum Conversion Rate	Full	80			105			MSPS
Minimum Conversion Rate	Full			1			1	MSPS
CLK Period	Full	12.5			9.5			ns
CLK Pulse Width High ¹ (t _{CLKH})	Full	5.0			3.8			ns
CLK Pulse Width Low ¹ (t _{CLKL})	Full	5.0			3.8			ns
DATA OUTPUT PARAMETERS								
Output Propagation Delay—CMOS (t _{PD}) ² (Dx, DCO+)	Full		3.35			3.35		ns
Output Propagation Delay—LVDS (t _{PD}) ³ (Dx+), (t _{CPD}) ³ (DCO+)	Full	2.3	3.6	4.8	2.3	3.6	4.8	ns
Pipeline Delay (Latency)	Full		13			13		cycles
Aperture Delay (t _A)	Full							ns
Aperture Uncertainty (Jitter, t _J)	Full		60			60		fs, rms

¹ デューティ・サイクル安定器 (DCS) がイネーブルの状態。

² 出力伝搬遅延は、5pFの負荷でクロックの50%変化からデータの50%変化までを測定。

³ LVDS $R_{TERM}=100\Omega$ 。CLK+の立上がりエッジの50%ポイントからデータ変化の50%ポイントまでを測定。

タイミング図

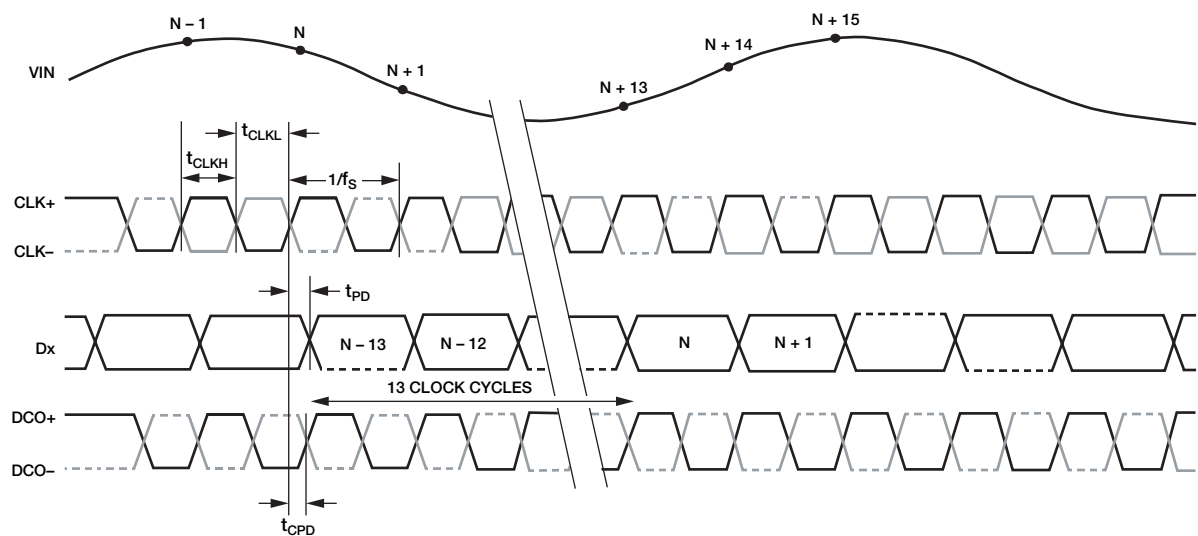


図2. LVDSモードのタイミング図

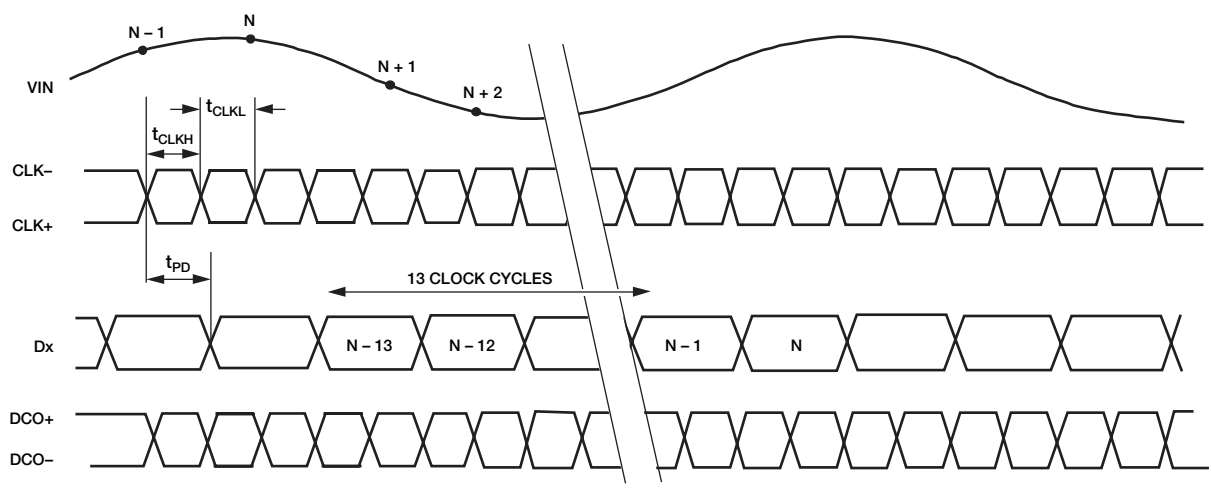


図3. CMOSのタイミング図

絶対最大定格

表5

Parameter	Rating
ELECTRICAL	
AVDD1 to AGND	−0.3 V to +4 V
AVDD2 to AGND	−0.3 V to +6 V
DRVDD to DGND	−0.3 V to +4 V
AGND to DGND	−0.3 V to +0.3 V
AVDD1 to DRVDD	−4 V to +4 V
AVDD2 to DRVDD	−4 V to +6 V
AVDD2 to AVDD1	−4 V to +6 V
D0± Through D15± to DGND	−0.3 V to DRVDD + 0.3 V
CLK+/CLK− to AGND	−0.3 V to AVDD1 + 0.3 V
OUTPUT MODE, DCS MODE, and DFS to AGND	−0.3 V to AVDD1 + 0.3 V
VIN+, VIN− to AGND	−0.3 V to AVDD2 + 0.3 V
VREF to AGND	−0.3 V to AVDD1 + 0.3 V
SENSE to AGND	−0.3 V to AVDD1 + 0.3 V
REFT, REFB to AGND	−0.3 V to AVDD1 + 0.3 V
ENVIRONMENTAL	
Storage Temperature Range	−65°C to +125°C
Operating Temperature Range	−40°C to +85°C
Lead Temperature (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

熱抵抗

AD9460パッケージのヒート・シンクは、グラウンドにハンダ付けする必要があります。

空気流によって放熱が盛んになり、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド、電源プレーンでパッケージ・リードに直接触れる金属が多くなると、 θ_{JA} が小さくなります。露出ヒート・シンクは、グラウンド・プレーンにハンダ付けする必要があります。

表6

Package Type	θ_{JA} ¹	θ_{JB} ²	θ_{JC} ³	Unit
100-Lead TQFP_EP	19.8	8.3	2	°C/W

¹ 自然空冷の多層ボードでは、 θ_{JA} (typ) = 19.8°C/W（ヒート・シンクをハンダ付け）。

² 自然空冷の多層ボードでは、 θ_{JB} (typ) = 8.3°C/W（ヒート・シンクをハンダ付け）。

³ θ_{JC} (typ) = 2°C/W（露出ヒート・シンクに接合）は、ヒート・シンク経路を介した熱抵抗です。



AD9460

ピン配置と機能の説明

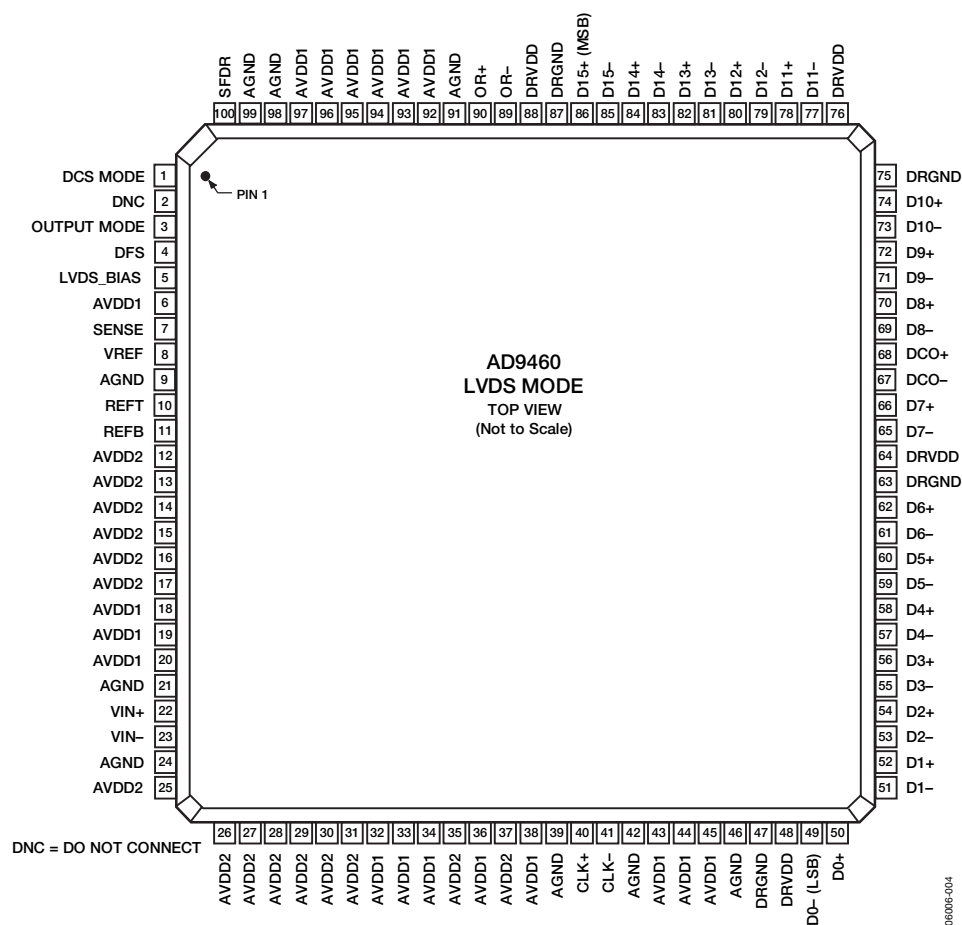


図4. 100ピンTQFP_EPのピン配置 (LVDSモード)

表7. ピン機能の説明—100ピンTQFP_EP (LVDSモード)

ピン番号	記号	説明
1	DCS MODE	クロック・デューティ・サイクル安定器 (DCS) 制御ピン。CMOS互換。 DCS=ローレベル (AGND) でDCSをイネーブル (推奨)。 DCS=ハイレベル (AVDD1) でDCSをディスエーブル。
2	DNC	接続しないでください。このピンはフローティング状態にします。
3	OUTPUT MODE	CMOS互換の出力ロジック・モード制御ピン。 OUTPUT MODE=0でCMOSモード。 OUTPUT MODE=1 (AVDD1) でLVDS出力。
4	DFS	データ・フォーマット選択ピン。出力データのフォーマットを決定する CMOS制御ピン。 DFS=ハイレベル (AVDD1) で2の補数。 DFS=ローレベル (グラウンド) でオフセット・バイナリ・フォーマット。
5	LVDS_BIAS	LVDS出力電流設定ピン。3.7kΩの抵抗をDRGNDに終端接続します。
6、18~20、32~34、36、38、 43~45、92~97	AVDD1	3.3V (±5%) アナログ電源。
7	SENSE	リファレンス・モード選択。1.7Vの内部リファレンス (3.4V p-pのアナロ グ入力範囲) にするにはAGND、外部リファレンスにするにはAVDD1に 接続します。
8	VREF	1.7VリファレンスI/O。機能はSENSEピンと外部のプログラミング抵抗に 依存します。0.1μFと10μFのコンデンサによりグラウンドにデカップリン グします。
9、21、24、39、42、46、91、98、 99、露出ヒート・シンク	AGND	アナログ・グラウンド。パッケージの底面の露出ヒート・シンクをAGND に接続する必要があります。

ピン番号	記号	説明
10	REFT	差動リファレンス出力。0.1 μ Fのコンデンサでグラウンドにデカップリングし、0.1 μ Fと10 μ FのコンデンサでREFB（ピン11）にデカップリングします。
11	REFB	差動リファレンス出力。0.1 μ Fのコンデンサでグラウンドにデカップリングし、0.1 μ Fと10 μ FのコンデンサでREFT（ピン10）にデカップリングします。
12～17、25～31、35、37	AVDD2	5.0Vアナログ電源（ $\pm 5\%$ ）。
22	VIN+	差動アナログ入力（+）
23	VIN-	差動アナログ入力（-）
40	CLK+	差動クロック入力（+）
41	CLK-	差動クロック入力（-）
47、63、75、87	DRGND	デジタル出力グラウンド。
48、64、76、88	DRVDD	3.3Vデジタル出力電源（3.0～3.6V）。
49	D0- (LSB)	D0出力ビット（-）（LVDSレベル）。
50	D0+	D0出力ビット（+）
51	D1-	D1出力ビット（-）
52	D1+	D1出力ビット（+）
53	D2-	D2出力ビット（-）
54	D2+	D2出力ビット（+）
55	D3-	D3出力ビット（-）
56	D3+	D3出力ビット（+）
57	D4-	D4出力ビット（-）
58	D4+	D4出力ビット（+）
59	D5-	D5出力ビット（-）
60	D5+	D5出力ビット（+）
61	D6-	D6出力ビット（-）
62	D6+	D6出力ビット（+）
65	D7-	D7出力ビット（-）
66	D7+	D7出力ビット（+）
67	DCO-	データ・クロック出力（-）
68	DCO+	データ・クロック出力（+）
69	D8-	D8出力ビット（-）
70	D8+	D8出力ビット（+）
71	D9-	D9出力ビット（-）
72	D9+	D9出力ビット（+）
73	D10-	D10出力ビット（-）
74	D10+	D10出力ビット（+）
77	D11-	D11出力ビット（-）
78	D11+	D11出力ビット（+）
79	D12-	D12出力ビット（-）
80	D12+	D12出力ビット（+）
81	D13-	D13出力ビット（-）
82	D13+	D13出力ビット（+）
83	D14-	D14出力ビット（-）
84	D14+	D14出力ビット（+）
85	D15-	D15出力ビット（-）
86	D15+ (MSB)	D15出力ビット（+）
89	OR-	一側の出力ビットオーバーレンジ。
90	OR+	＋側の出力ビットオーバーレンジ。
100	SFDR	SFDR制御ピン。AD9460アナログ・フロントエンドの設定を最適化するためのCMOS互換の制御ピン。SFDRをAGNDに接続すると、80MSPSおよび105MSPSの速度グレードに対して、アナログ入力周波数が200MHz以下であるアプリケーションのSFDR性能が最適化されます。アナログ入力周波数が200MHzを超えるアプリケーションでは、このピンをAVDD1に接続すると最適なSFDR性能が得られます。AVDD2の消費電力は、AD9460BSVZ-80では約70mW、AD9460BSVZ-105では約20mWそれぞれ増加します。

AD9460

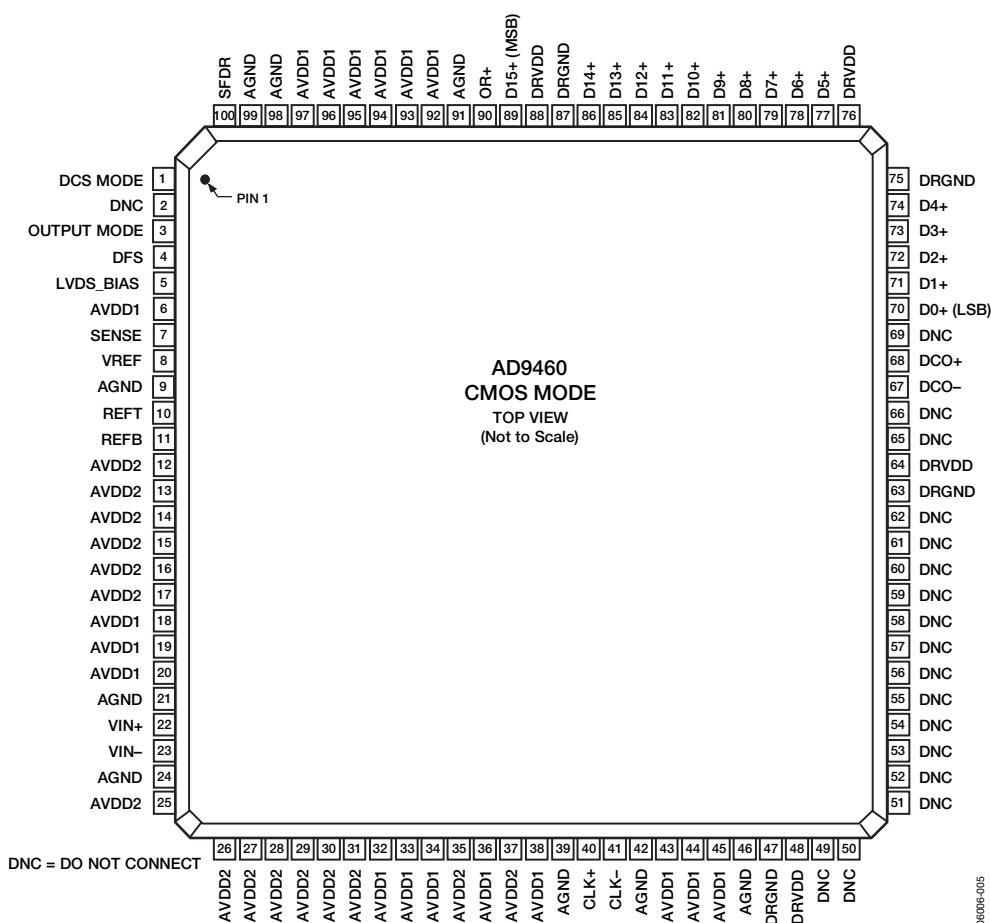


図5. 100ピンTQFP_EPのピン配置（CMOSモード）

表8. ピン機能の説明—100ピンTQFP_EP（CMOSモード）

ピン番号	記号	説明
1	DCS MODE	クロック・デューティ・サイクル安定器（DCS）制御ピン。CMOS互換。 DCS=ローレベル（AGND）でDCSをイネーブル（推奨）。 DCS=ハイレベル（AVDD1）でDCSをディスエーブル。
2、49～62、65～66、69	DNC	接続しないでください。このピンはフローティング状態にします。
3	OUTPUT MODE	CMOS互換の出力ロジック・モード制御ピン。 OUTPUT MODE=0でCMOSモード。 OUTPUT MODE=1（AVDD1）でLVDS出力。
4	DFS	データ・フォーマット選択ピン。出力データのフォーマットを決定するCMOS制御ピン。 DFS=ハイレベル（AVDD1）で2の補数。 DFS=ローレベル（グラウンド）でオフセット・バイナリ・フォーマット。
5	LVDS_BIAS	LVDS出力電流設定ピン。3.7kΩの抵抗をDRGNDに終端接続します。
6、18～20、32～34、36、38、43～45、92～97	AVDD1	3.3V（±5％）アナログ電源。
7	SENSE	リファレンス・モード選択。1.7Vの内部リファレンス（3.4V p-pのアナログ入力範囲）にするにはAGND、外部リファレンスにするにはAVDD1に接続します。
8	VREF	1.7VリファレンスI/O。機能はSENSEピンと外部のプログラミング抵抗に依存します。0.1μFと10μFのコンデンサによりグラウンドにデカップリングします。
9、21、24、39、42、46、91、98、99、露出ヒート・シンク	AGND	アナログ・グラウンド。パッケージの底面の露出ヒート・シンクをAGNDに接続する必要があります。
10	REFT	差動リファレンス出力。0.1μFのコンデンサでグラウンドにデカップリングし、0.1μFと10μFのコンデンサでREFB（ピン11）にデカップリングします。

ピン番号	記号	説明
11	REFB	差動リファレンス出力。0.1 μ Fのコンデンサでグラウンドにデカップリングし、0.1 μ Fと10 μ FのコンデンサでREFT（ピン10）にデカップリングします。
12～17、25～31、35、37	AVDD2	5.0Vアナログ電源（ $\pm 5\%$ ）。
22	VIN+	差動アナログ入力（+）
23	VIN-	差動アナログ入力（-）
40	CLK+	差動クロック入力（+）
41	CLK-	差動クロック入力（-）
47、63、75、87	DRGND	デジタル出力グラウンド。
48、64、76、88	DRVDD	3.3Vデジタル出力電源（3.0～3.6V）。
67	DCO-	データ・クロック出力（-）
68	DCO+	データ・クロック出力（+）
70	D0+ (LSB)	D0出力ビット（CMOSレベル）。
71	D1+	D1出力ビット。
72	D2+	D2出力ビット。
73	D3+	D3出力ビット。
74	D4+	D4出力ビット。
77	D5+	D5出力ビット。
78	D6+	D6出力ビット。
79	D7+	D7出力ビット。
80	D8+	D8出力ビット。
81	D9+	D9出力ビット。
82	D10+	D10出力ビット。
83	D11+	D11出力ビット。
84	D12+	D12出力ビット。
85	D13+	D13出力ビット。
86	D14+	D14出力ビット。
89	D15+ (MSB)	D15出力ビット。
90	OR+	オーバーレンジの出力ビット。
100	SFDR	SFDR制御ピン。AD9460アナログ・フロントエンドの設定を最適化するためのCMOS互換の制御ピン。SFDRをAGNDに接続すると、80MSPSおよび105MSPSの速度グレードに対して、アナログ入力周波数が200MHz以下であるアプリケーションのSFDR性能が最適化されます。アナログ入力周波数が200MHz以上のアプリケーションでは、このピンをAVDD1に接続すると最適なSFDR性能が得られます。AVDD2の消費電力は、AD9460BSVZ-80では約70mW、AD9460BSVZ-105では約20mW増加します。

等価回路

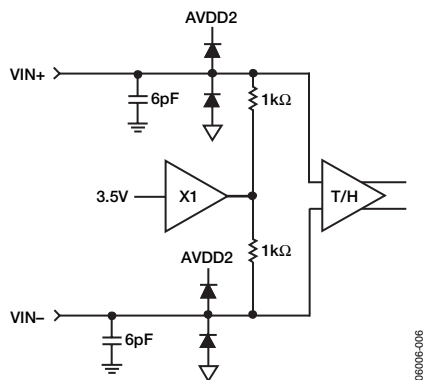


図6. アナログ入力段の等価回路

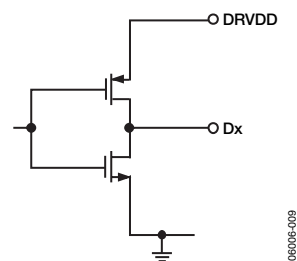


図9. CMOSデジタル出力等価回路

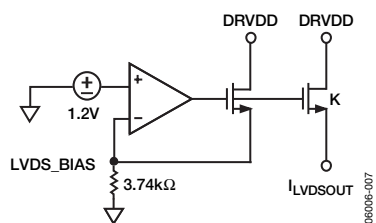


図7. LVDS_BIASの等価回路

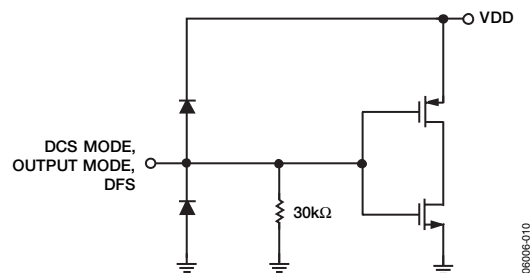


図10. DFS、DCS MODE、OUTPUT MODEのデジタル入力等価回路

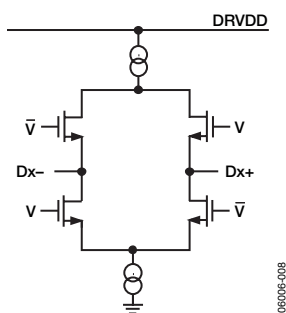


図8. LVDSデジタル出力等価回路

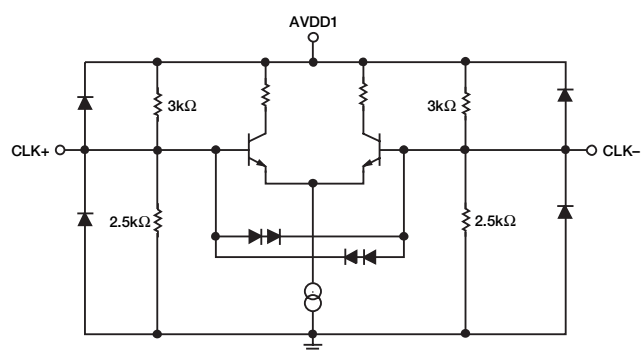


図11. サンプル・クロックの入力等価回路

代表的な性能特性

特に指定のない限り、AVDD1=3.3V、AVDD2=5.0V、DRVDD=3.3V、定格サンプル・レート、LVDSモード、DCSをイネーブル、 $T_A=25^\circ\text{C}$ 、3.4V p-p差動入力、AIN=-1dBFS、トリミングされた内部リファレンス（公称VREF=1.7V）。

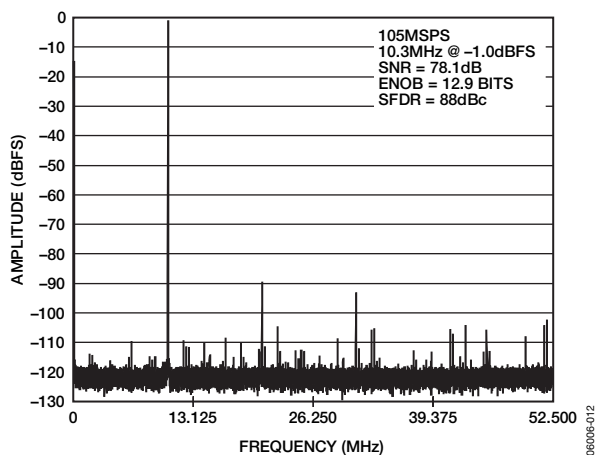


図12. 105MSPS、64kポイント、
シングルトーンFFT、10.3MHz

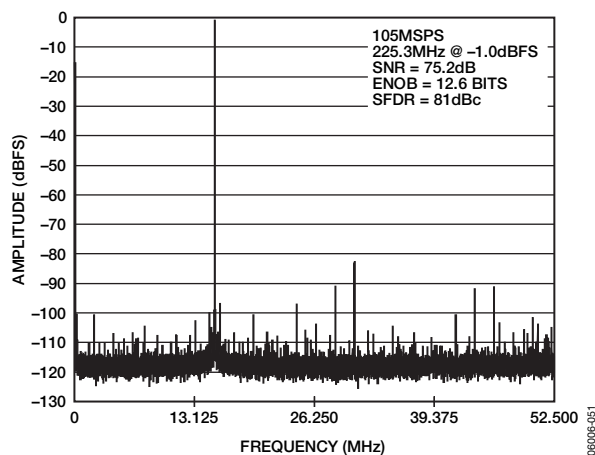


図15. 105MSPS、64kポイント、
シングルトーンFFT、225.3MHz

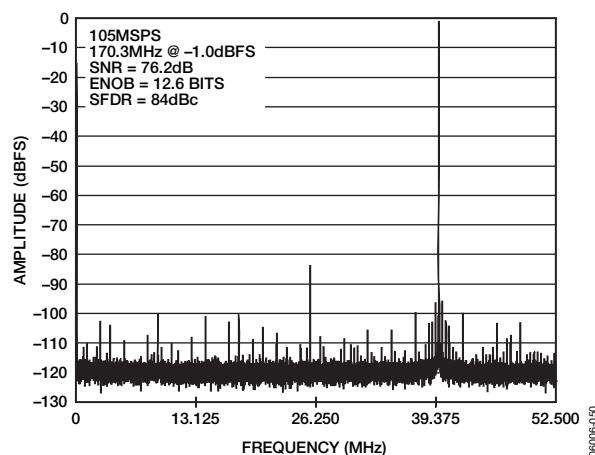


図13. 105MSPS、64kポイント、
シングルトーンFFT、170.3MHz

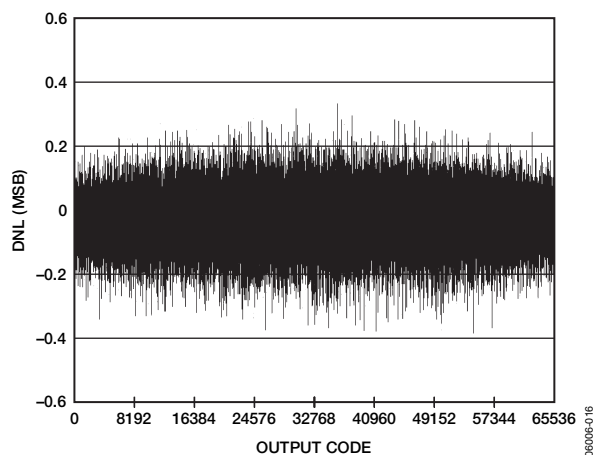


図16. 出力コード 対 DNL誤差
(105MSPS、10.3MHz)

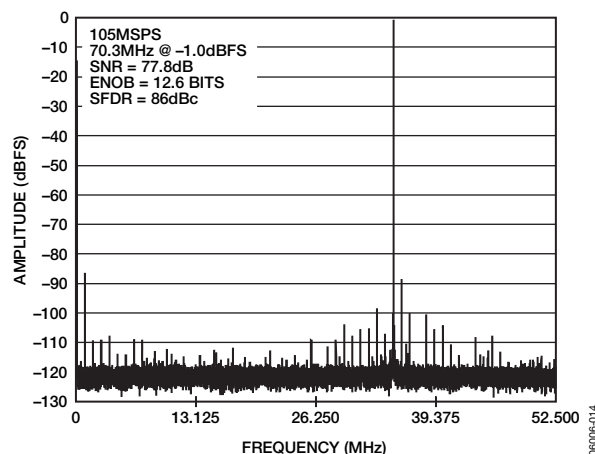


図14. 105MSPS、64kポイント、
シングルトーンFFT、70.3MHz

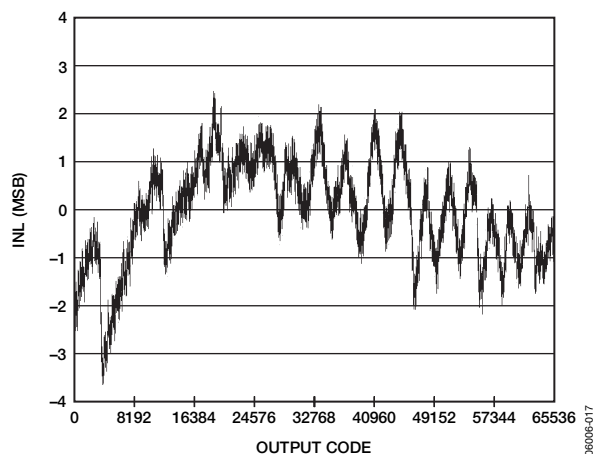


図17. 出力コード 対 INL誤差
(105MSPS、10.3MHz)

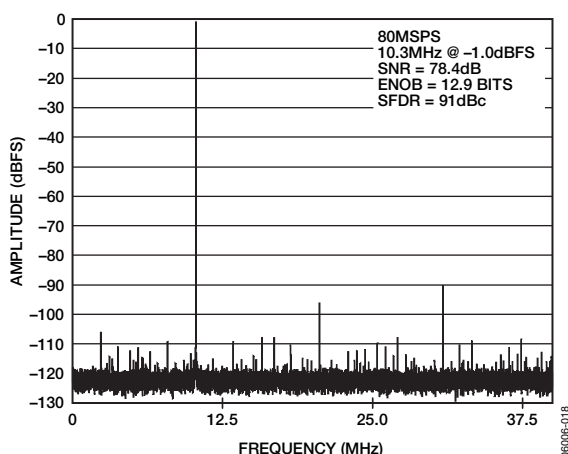


図18. 80MSPS、64kポイント、
シングルトーンFFT、10.3MHz

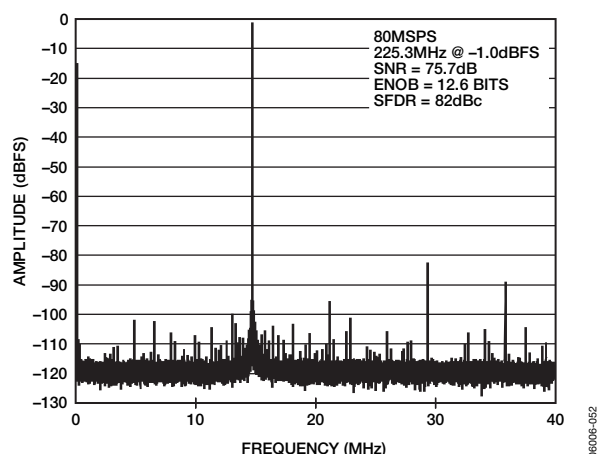


図21. 80MSPS、64kポイント、
シングルトーンFFT、225.3MHz

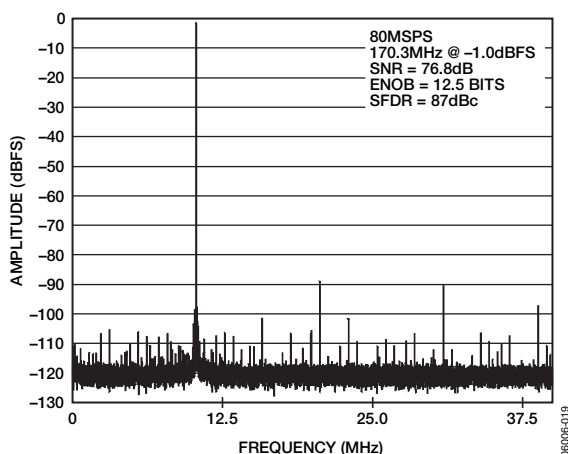


図19. 80MSPS、64kポイント、
シングルトーンFFT、170.3MHz

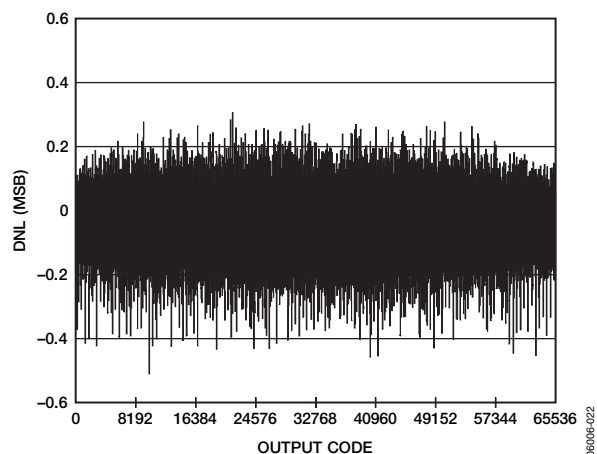


図22. 出力コード 対 DNL誤差
(80MSPS、10.3MHz)

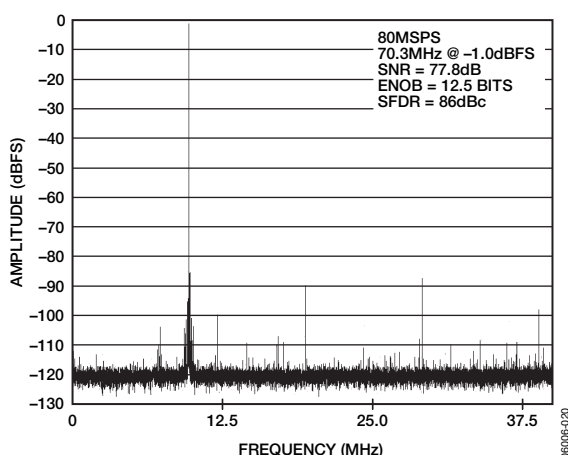


図20. 80MSPS、64kポイント、
シングルトーンFFT、70.3MHz

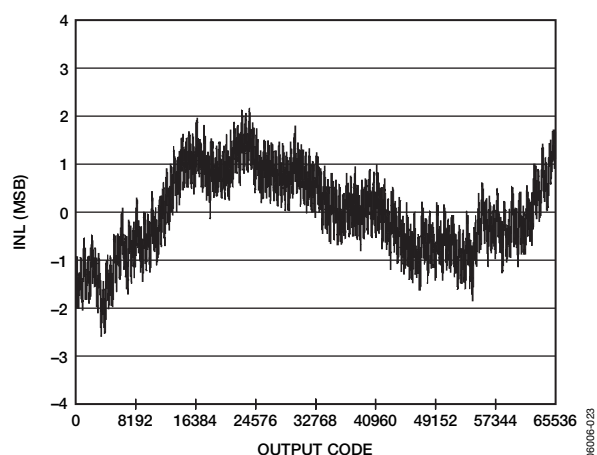


図23. 出力コード 対 INL誤差
(80MSPS、10.3MHz)

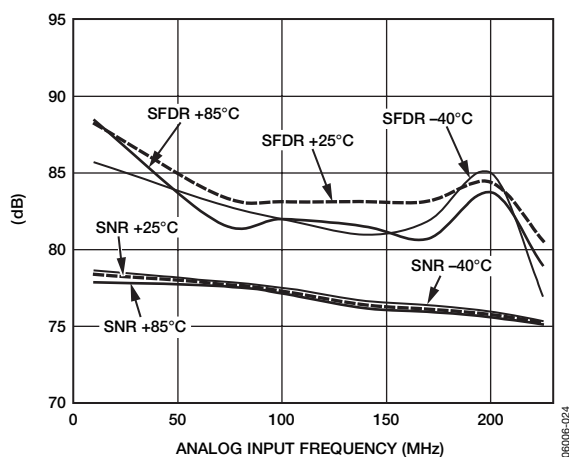


図24. アナログ入力周波数 対 SNR/SFDR
(105MSPS、3.4V p-p)

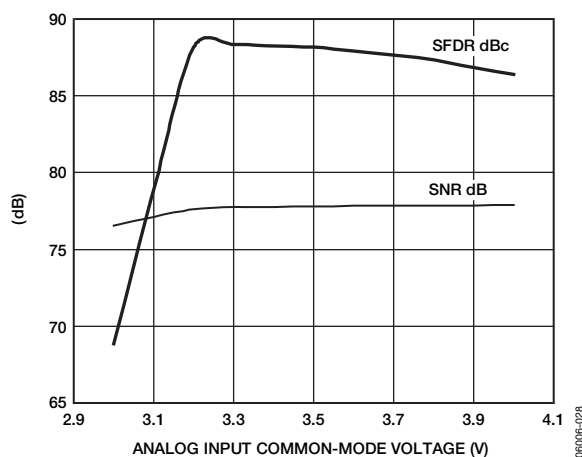


図27. アナログ入力コモン・モード 対
SNR/SFDR (105MSPS)

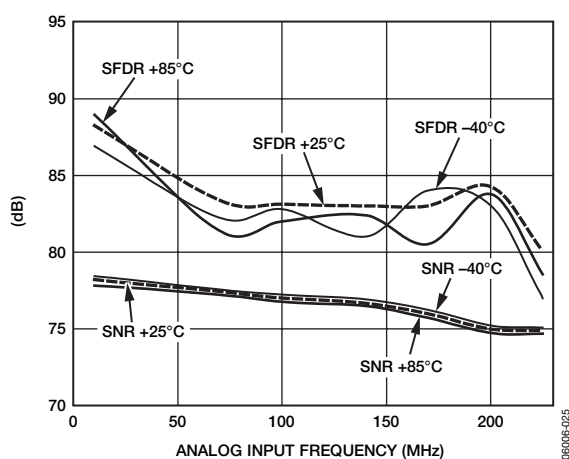


図25. アナログ入力周波数 対 SNR/SFDR
(105MSPS、3.4V p-p、CMOSモード)

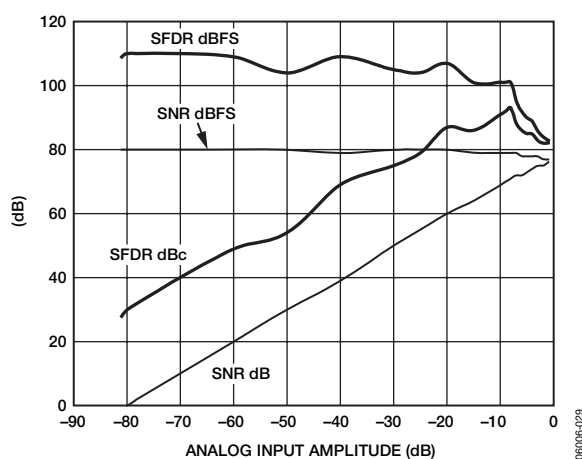


図28. アナログ入力レベル 対 SNR/SFDR
(105MSPS、170.3MHz、CMOS出力
モード)

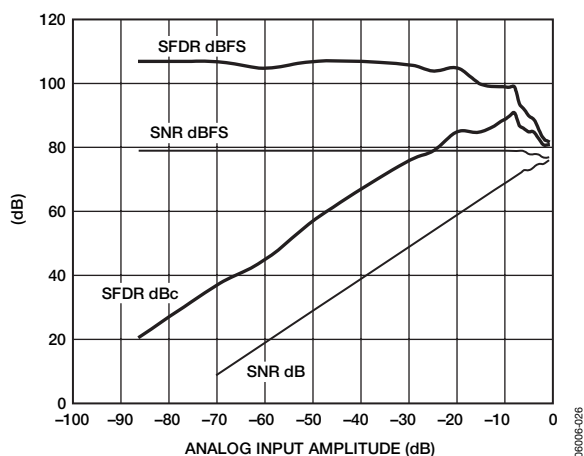


図26. アナログ入力レベル 対 SNR/SFDR
(105MSPS、170.3MHz)

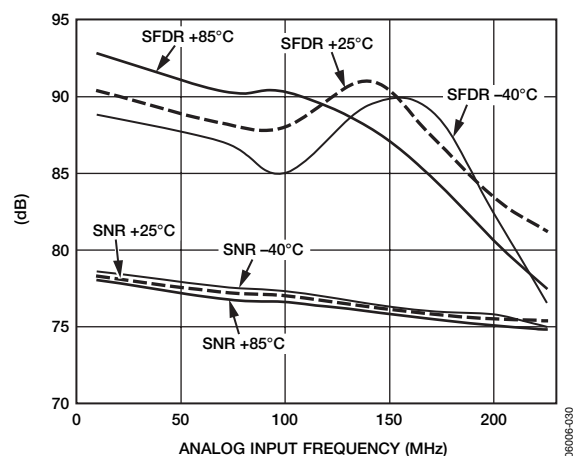


図29. アナログ入力周波数 対 SNR/SFDR
(80MSPS、3.4V p-p、CMOSモード)

AD9460

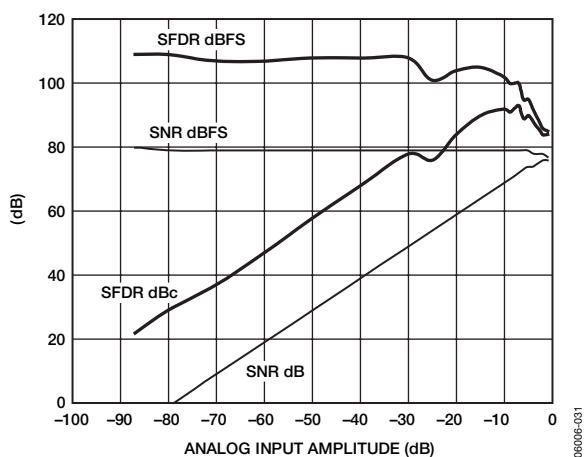


図30. アナログ入力レベル 対 SNR/SFDR (80MSPS、170.3MHz)

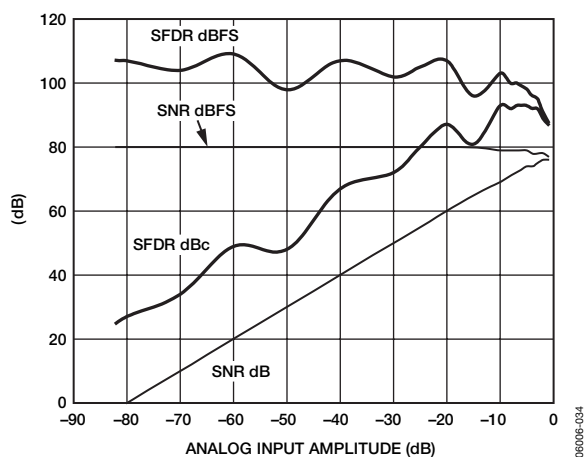


図33. アナログ入力レベル 対 SNR/SFDR (80MSPS、170.3MHz、CMOS出力モード)

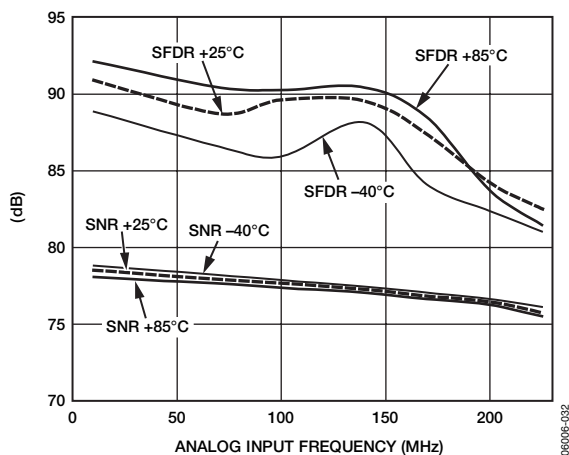


図31. アナログ入力周波数 対 SNR/SFDR (80MSPS、3.4V p-p)

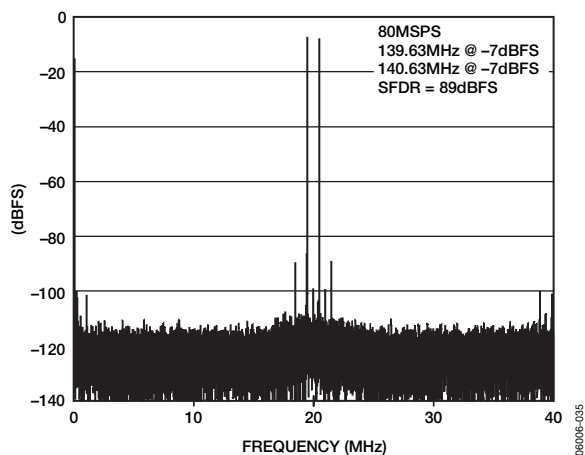


図34. 80MSPS、64kポイント、ツートーン FFT、139.6MHz、140.6MHz

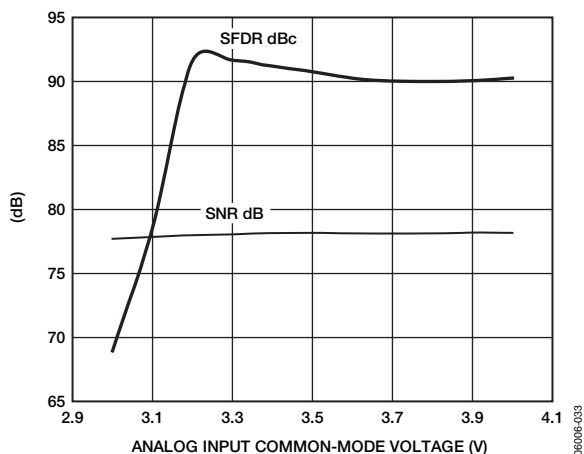


図32. アナログ入力コモン・モード 対 SNR/SFDR (80MSPS)

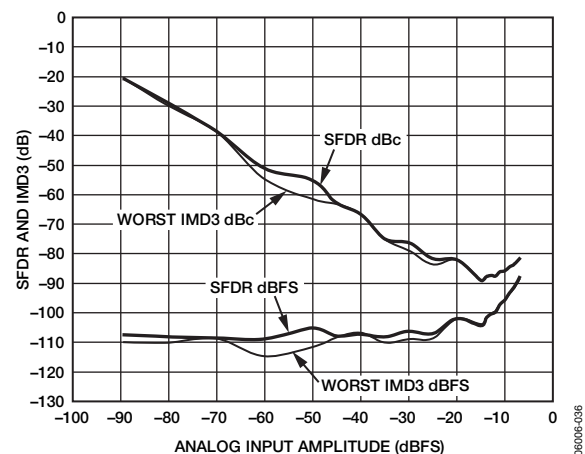


図35. 80MSPS、64kポイント、ツートーン FFT、139.6MHz、140.6MHz

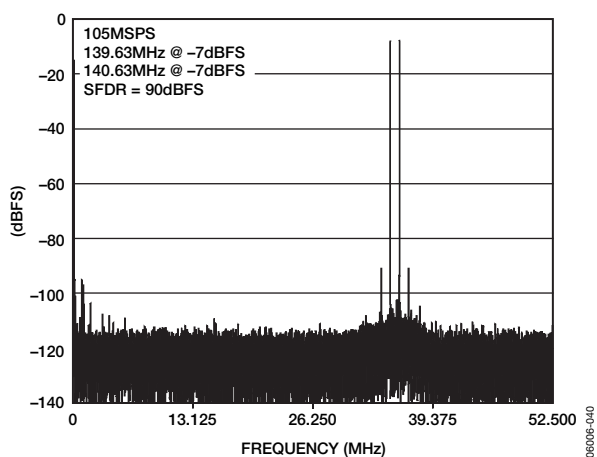


図36. 105MSPS、64kポイント、ツートーン
FFT、139.6MHz、140.6MHz

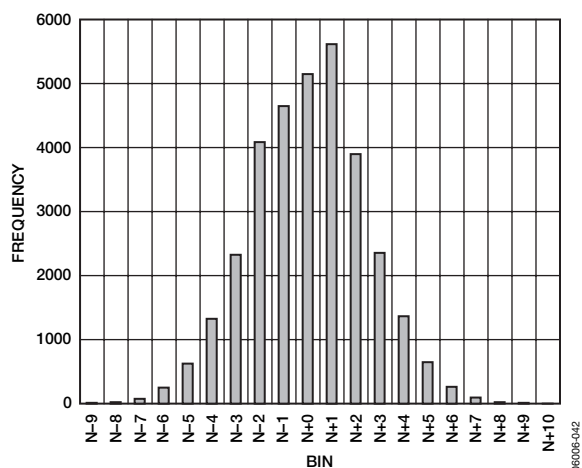


図38. グラウンド入力ヒストグラム (80MSPS)

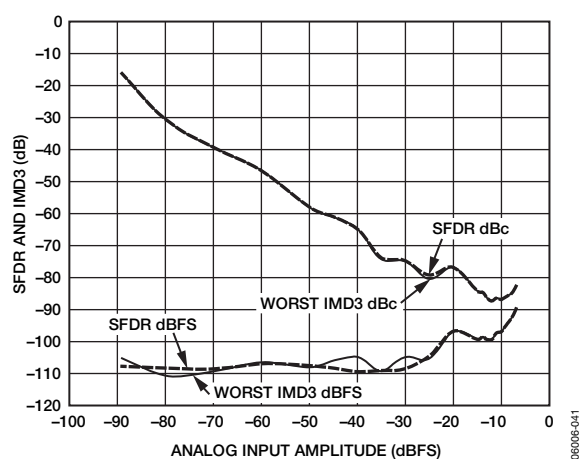


図37. アナログ入力レベル 対 ツートーンSFDR
(105MSPS、139.6MHz、140.6MHz)

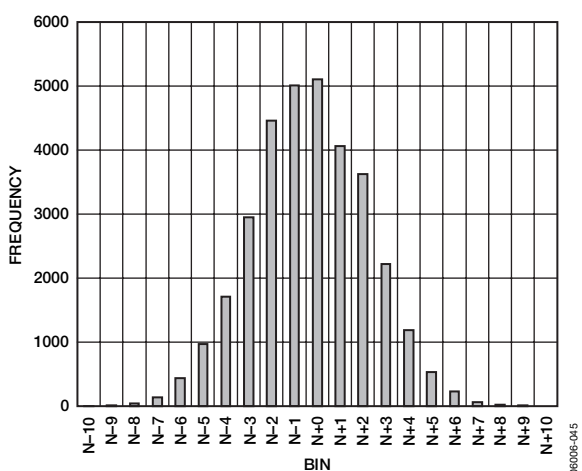


図39. グラウンド入力ヒストグラム
(105MSPS)

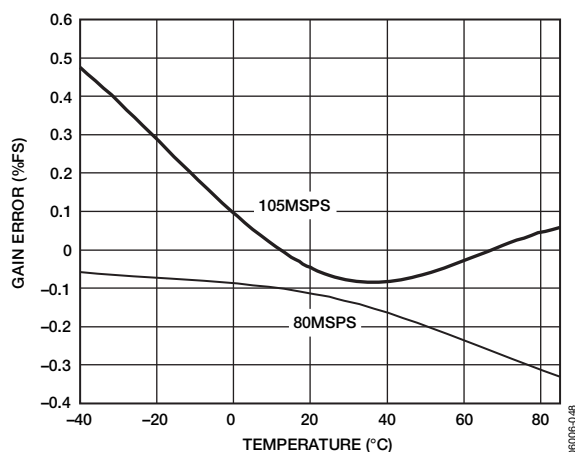


図40. ゲインの温度特性

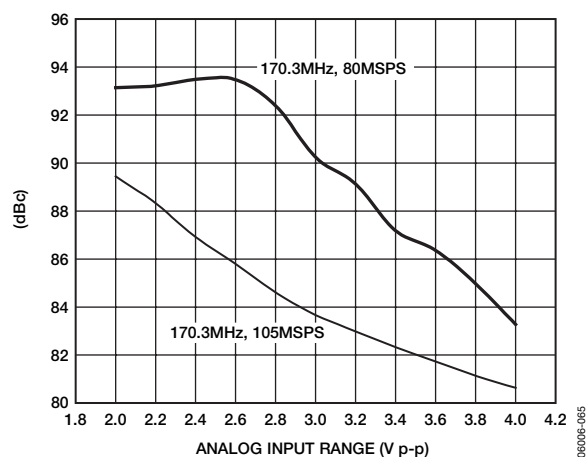


図42. アナログ入力範囲 対 SFDR

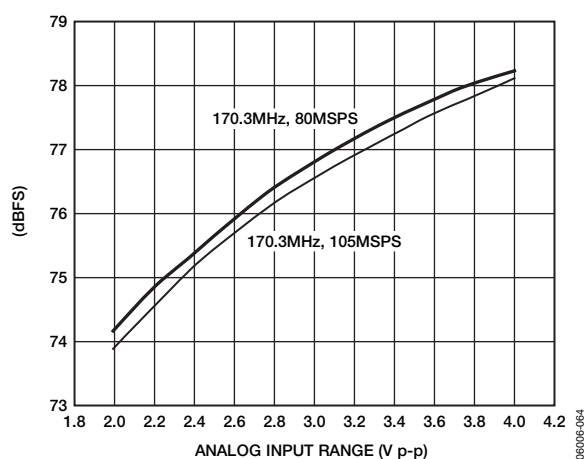


図41. アナログ入力範囲 対 SNR

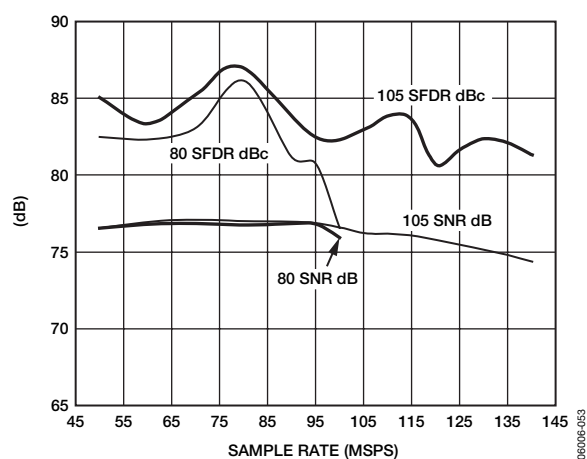


図43. サンプル・レート 対 シングルトーン SNR/SFDR (170.3MHz)

用語の説明

アナログ帯域幅（フル・パワー帯域幅）

基本周波数（FFT解析により決定）の電力スペクトルが3dB低下するアナログ入力周波数。

アパーチャ遅延（ t_A ）

クロックの立上がりエッジの50%ポイントからアナログ入力が入力されるまでの遅延。

アパーチャ不確定性（ジッタ、 t_J ）

サンプル間のアパーチャ遅延の変動。

クロック・パルス幅とデューティ・サイクル

パルス幅ハイ時間は、定格性能を実現するためにクロック・パルスをロジック1状態のままにしておかなければならない最小時間です。パルス幅ロー時間は、クロック・パルスをロー状態のままにしておかなければならない最小時間です。これらの仕様で、特定のクロック・レートについて許容できるクロック・デューティ・サイクルが決まります。

微分非直線性（DNL、ノー・ミスコード）

理想的なADCでは、各コード遷移が1LSB離れた位置で発生します。DNLは、この理想値からの偏差をいいます。ノー・ミスコードで16ビット分解能を保証するとは、全動作範囲で65,536コードすべてが出力されることを意味します。

積分非直線性（INL）

INLとは、負側のフルスケールと正側のフルスケールを結ぶ直線と実際のコード出力との偏差です。負側のフルスケールとして使用するポイントは、最初のコード遷移より1/2LSBだけ低くなります。正側のフルスケールは、最後のコード遷移より1.5LSBだけ高いレベルと定義されます。偏差は各コードの中央の位置と直線の間の距離として測定されます。

信号／ノイズ&歪み（SINAD）

SINADは、入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値合計（高調波を含みDCを除く）との比です。

S/N比（SNR）

S/N比は、入力信号振幅のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値合計（6次までの高調波とDCを除く）との比です。

スプリアス・フリー・ダイナミック・レンジ（SFDR）

SFDRは、信号振幅のrms値と、ピーク・スプリアス・スペクトル成分のrms値との比です。ピーク・スプリアス成分は高調波とすることができます。SFDRは、dBc（信号レベルの低下につれて劣化）またはdBFS（常にコンバータのフルスケールに換算）で表示できます。

全高調波歪み（THD）

入力信号振幅のrms値と、6次までの高調波成分のrms値合計との比です。

ツートーンSFDR

いずれかの入力トーンのrms値と、ピーク・スプリアス成分のrms値との比です。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。

有効ビット数（ENOB）

特定の入力周波数におけるサイン波入力の有効ビット数は、次の式を使用し、SINADの測定値から直接計算できます。

$$ENOB = \frac{(SINAD - 1.76)}{6.02}$$

ゲイン誤差

最初のコード遷移は、負側フルスケールより0.5LSB高いアナログ値で発生します。最後の遷移は、正側フルスケールより1.5LSB低いアナログ値で発生します。ゲイン誤差は、最初と最後のコード遷移間の実際の差と、最初と最後のコード遷移間の理想的な差との偏差です。

最大変換レート

パラメータ・テストが実施されるクロック・レート。

最小変換レート

最低周波数のアナログ信号のS/N比が、保証されている限界値から3dB以内で低下するときのクロック・レートです。

オフセット誤差

メジャー・キャリー遷移は、 $V_{IN+} = V_{IN-}$ より0.5LSB低いアナログ値で発生します。オフセット誤差は、実際の遷移のそのポイントからの偏差です。

範囲外からの回復時間

正側フルスケールの10%上から負側フルスケールの10%上までの遷移の後、または負側フルスケールの10%下から正側フルスケールの10%下までの遷移の後、ADCがアナログ入力を取り直すためにかかる時間です。

出力伝搬遅延（ t_{PD} ）

クロックの立上がりエッジから、全ビットが有効なロジック・レベル範囲内に入るまでの遅延時間です。

電源除去比

電源が最小規定値から最大規定値に変化したときの、フルスケール値の最大変化です。

温度ドリフト

オフセット誤差とゲイン誤差の温度ドリフトは、初期値（25℃）から T_{MIN} または T_{MAX} における値までの最大変化を規定します。

動作原理

AD9460のアーキテクチャは、高速性と使いやすさが得られるように最適化されています。アナログ入力が入蔵の高帯域幅トラック＆ホールド回路を駆動し、16ビット・パイプラインADCコアによる量子化の前に信号をサンプリングします。デバイスには、リファレンスのほか、TTL、CMOS、またはLVPECLレベルを受け入れる入力ロジックも内蔵されています。デジタル出力ロジック・レベルは、OUTPUT MODEピンを使用して標準の3V CMOSかLVDS（ANSI-644互換）に設定できます。

アナログ入力とリファレンスの概要

AD9460は、安定性のある正確な0.5Vのバンド・ギャップ電圧リファレンスを内蔵しています。入力範囲を調整するには、内部リファレンスか外部のリファレンス電圧を使用してAD9460に印加するリファレンス電圧を変更します。ADCの入力スパンは、リファレンス電圧の変化に比例して変化します。

内部リファレンスの接続

AD9460に内蔵されているコンパレータは、SENSEピンの電位を検出し、リファレンスを表9に示す3つの状態に設定します。SENSEが接地されている場合は、リファレンス・アンプ・スイッチが内部抵抗分圧器（図44を参照）に接続し、VREFが約1.7Vに設定されます。抵抗分圧器が図45に示すように接続している場合も、スイッチがSENSEピンに接続します。これにより、リファレンス・アンプが非反転モードになり、VREF出力は次のように定義されます。

$$VREF = 0.5V \times \left(1 + \frac{R2}{R1}\right)$$

すべてのリファレンス設定で、REFTとREFBがA/D変換コアを駆動し、その入力スパンを決定します。ADCの入力範囲は、必ず内部／外部リファレンスに対するリファレンス・ピンの電圧の2倍になります。

内部リファレンスのトリミング

内部リファレンス電圧は、出荷テスト時にトリミングされています。したがって、AD9460に外部電圧リファレンスを使用するのはあまり有益ではありません。ゲイン・トリムは、AD9460の入力範囲を3.4V p-p公称に設定した状態（SENSEをAGNDに接続）で実行されています。このトリムのほか、3.4V p-pのアナログ入力範囲では最大AC性能が得られることから、2V p-p未満のアナログ入力範囲を使用することはほとんど意味がありません。ただし、アプリケーションによっては、アナログ入力範囲を小さくするとSFDR性能が改善されることがあります。同様に、アナログ入力範囲を3.4V p-pまで上げるとS/N比を改善できます。ADCの微分非直線性はリファレンス電圧によって変化しますので、注意してください。2.0V p-p未満を使用する設定では、ミッシング・コードが出現して、ノイズ性能と歪み性能が低下することがあります。

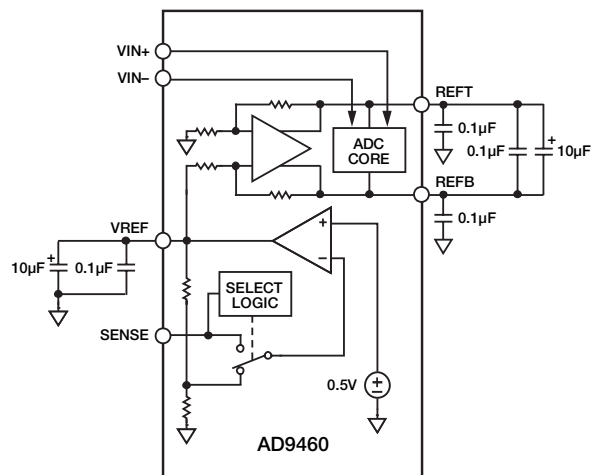


図44. 内部リファレンスの設定

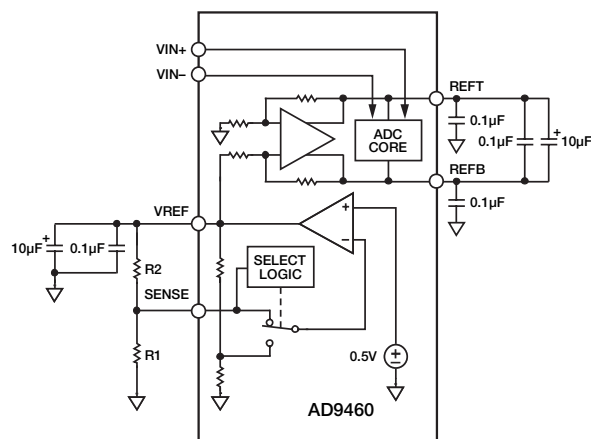


図45. プログラマブルなリファレンス設定

表9. リファレンス構成の概要

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2×external reference 2×VREF
Programmable Reference	0.2 V to VREF	$0.5 \times 1 + \frac{R2}{R1}$ (See Figure 45)	
Programmable Reference (Set for 2 V p-p)	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1}\right)$, $R1 = R2 = 1K\Omega$	2.0
Internal Fixed Reference	AGND to 0.2 V	1.7	3.4

外部リファレンスによる動作

SENSEピンをAVDDに接続すると、内部リファレンスがディスプレイになり、外部リファレンスが使用できるようになります。内部リファレンスのバッファが、外部リファレンスに7kΩの等価負荷をかけます。内部バッファは、引き続きADCコアに対して正と負のフルスケール・リファレンス（REFLTとREFLB）を生成します。入力スパンは必ずリファレンスの2倍になるため、外部リファレンスは最大2.0Vまでとしてください。ゲイン変動の温度特性については、図40を参照してください。

アナログ入力

新しい高ダイナミック・レンジの高速ADCの多くがそうであるように、AD9460のアナログ入力は差動です。差動入力では、減衰器段とゲイン段を介して信号を処理するため、オンチップ性能が向上します。主に、差動アナログ段が偶数次高調波を効果的に除去することによって性能の向上が得られますが、PCボードのレベルでも利点があります。まず、差動入力には、グラウンド・ノイズや電源ノイズのような浮遊信号に対する高いコモン・モード除去比があります。また、局部発振器フィードスルーなどのコモン・モード信号にも優れた除去性能があります。AD9460の仕様のノイズと歪みの性能はシングルエンドのアナログ入力では実現できないため、このような構成は避けたほうがよいでしょう。シングルエンドのアナログ入力構成に対応する16ビットADCがほかにありますので、営業までお問い合わせください。

公称の1.7Vリファレンス（「内部リファレンスのトリミング」を参照）では、AD9460アナログ入力の差動入力範囲は公称3.4V p-pで、各入力（VIN+またはVIN-）では1.7V p-pです。

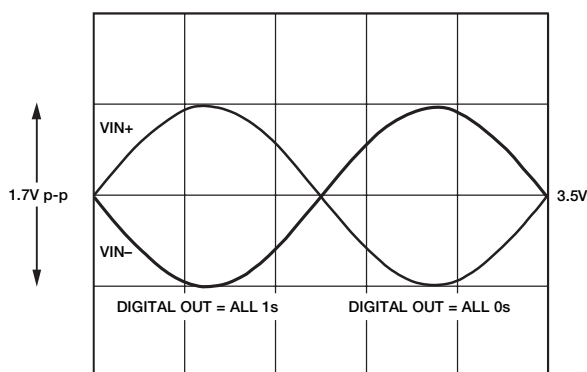


図46. VREF=1.7Vの場合の差動アナログ入力範囲

AD9460のアナログ入力電圧範囲は、グラウンドから3.5Vオフセットされています。各アナログ入力は、1kΩの抵抗を介して3.5Vのバイアス電圧と差動バッファ入力に接続しています。入力の内部バイアス回路でバッファを適切にバイアスし、最大の直線性と範囲が得られるようにします（「等価回路」を参照）。したがって、AD9460を駆動するアナログ・ソースは、入力ピンにAC結合する必要があります。AD9460のアナログ入力を駆動するには、RFトランスを使用してシングルエンド信号を差動信号に変換することを推奨します（図47を参照）。

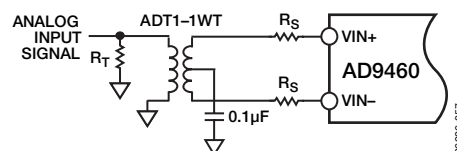


図47. トランス結合アナログ入力回路

トランスの出力とAD9460のアナログ入力との間にある直列抵抗が、内部のサンプル&ホールド回路に起因するスイッチング過渡電圧に対してアナログ入力ソースを分離します。トランス入力のインピーダンス整合では、3.5Vの内部バイアスに接続する1kΩ抵抗とともに、直列抵抗についても考慮する必要があります。たとえば、RTの設定が51Ω、RSが33Ωで、インピーダンス比1:1のトランスがある場合、入力は50Ωソースに整合し、フルスケール駆動は16.0dBmになります。50Ωインピーダンス整合は、評価用ボードの回路図（図50を参照）に示すようにトランスの2次側で行うこともできます。

クロック入力の考慮事項

高速ADCは、提供されたサンプリング・クロックの品質にきわめて敏感です。トラック&ホールド回路は本質的にミキサであるため、クロック上で発生するノイズ、歪み、タイミング・ジッタなどがすべてA/D出力に必要な信号と結合してしまいます。このため、AD9460のクロック入力は慎重に設計されていますが、ユーザのほうでもクロック・ソースに十分に配慮するほうがよいでしょう。

一般に高速ADCでは、クロック・エッジの両端を使ってさまざまな内部タイミング信号を発生させるため、クロック・デューティ・サイクルの変化に対して敏感です。動的な性能特性を維持するには、一般にクロック・デューティ・サイクルの変化を5%以内に抑える必要があります。AD9460にはクロック・デューティ・サイクル安定器（DCS）が内蔵されており、非サンプリング・エッジのタイミングを再生して、公称約50%のデューティ・サイクルの内部クロック信号を供給します。ノイズと歪みの性能は、DCSをイネーブルにして30~70%のデューティ・サイクルでほぼ平坦です。DCS回路は、CLK+の立上がりエッジにロックし、内部的にタイミングを最適化します。そのため、性能を劣化させることなく、入力のデューティ・サイクルをさまざまに設定できます。それでも、入力の立上がりエッジで発生するジッタには十分注意する必要があります。内

AD9460

部安定化回路では、このジッタを低減できません。デューティ・サイクル制御ループは、公称30MHz未満のクロック・レートでは機能しません。クロック・レートが動的に変化し、ダイナミック・クロック周波数が増減してからDCSループが入力信号に再ロックされるまでに1.5~5 μ sの待ち時間を必要とするアプリケーションでは、このループに関連する時定数を考慮する必要があります。ループがロックされていないときは、DCSループがバイパスされ、内部デバイスのタイミングは入力クロック信号のデューティ・サイクルに依存するようになります。このようなアプリケーションでは、デューティ・サイクル安定器をディスエーブルにするほうがよい場合があります。その他のアプリケーションでは、AC性能を最大にするためにDCS回路をイネーブルにすることを推奨します。

DCS回路は、DCS MODEピンで制御します。DCS MODEピンのCMOSロジック・ロー（AGND）でデューティ・サイクル安定器がイネーブルになり、ロジック・ハイ（AVDD1=3.3V）でコントローラがディスエーブルになります。

AD9460の入力サンプル・クロック信号は高品質で、位相ノイズがごく小さいクロック・ソースを選び、性能の低下を防ぐ必要があります。16ビットの精度を維持するためには、エンコード・クロック位相ノイズが重要になります。ジッタの大きいクロック・ソースを使用すると、70MHzのアナログ入力信号で3~4dB程度のS/N比性能の低下がすぐに生じます。詳細については、アプリケーション・ノートAN-501『Aperture Uncertainty and ADC System Performance』を参照してください。最適な性能を得るには、AD9460のクロックを差動で入力する必要があります。サンプル・クロック入力を内部で約1.5Vにバイアスし、一般にトランスまたはコンデンサを介してAC結合で入力信号をCLK+ピンとCLK-ピンに入力します。図48に、AD9460に対するクロック入力に推奨する方法を1つ示します。クロック・ソース（低ジッタ）は、RFトランスによってシングルエンドから差動に変換します。トランスの2次側にある互いに逆向きのショットキー・ダイオードが、AD9460に入力されるクロックを約0.8V p-pの差動に制限します。この機能によって、クロックの大きな電圧振幅がAD9460の別の部分に入力されないようにし、サンプル・クロック入力のノイズを制限します。

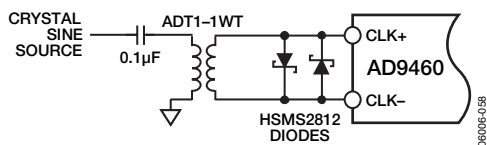


図48. 水晶クロック発振器、差動エンコード

低ジッタのクロックを使用できる場合は、ADCクロック入力を駆動する前にクロック・リファレンスにバンドパス・フィルタをかけることができます。もう1つの方法は、図49に示すように、差動ECL/PECL信号をエンコード入力ピンにAC結合することです。

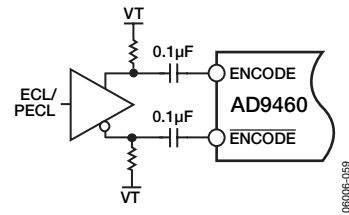


図49. エンコード用の差動ECL

ジッタの考慮事項

高速、高分解能のADCは、クロック入力の品質に敏感です。任意の入力周波数 (f_{INPUT}) とrms振幅におけるアバーチャ・ジッタ (t_f) のみに起因するS/N比の低下は、次の式により計算できます。

$$SNR = 20 \log [2\pi f_{INPUT} \times t_f]$$

この式で、rmsアバーチャ・ジッタは、クロック入力、アナログ入力信号、ADCアバーチャ・ジッタ仕様などあらゆるジッタ源の二乗平均平方根を表しています。IFアンダーサンプリング・アプリケーションは、特にジッタに敏感です。

アバーチャ・ジッタがAD9460のダイナミック・レンジに影響する場合は、クロック入力をアナログ信号として扱う必要があります。クロック・ドライバの電源をADCの出力ドライバ電源と分離して、クロック信号がデジタル・ノイズで変調されないようにしてください。低ジッタの水晶制御発振器は最適なクロック源になります。別のタイプの信号源（ゲート、分周、その他の方法）でクロックを生成する場合は、最後のステップで元のクロックを使って同期をとってください。

電源の考慮事項

電源を選択するときは十分に注意してください。特に、リニアDC電源を使用することを推奨します。スイッチング電源は、AD9460に混入するノイズを放出する傾向があります。各電源ピンには0.1 μ Fのチップ・コンデンサを使用し、パッケージのできるだけ近くでデカップリングする必要があります。

AD9460には、デジタル電源ピンとアナログ電源ピンが別々にあります。アナログ電源はAVDD1 (3.3V) とAVDD2 (5V)、デジタル電源ピンはDRVDDです。AVDD1電源とDRVDD電源を接続することはできませんが、分離しないと最適な性能が得られません。これは、高速のデジタル出力スイングによって、スイッチング電流がアナログ電源に逆流してしまうことがあるためです。なお、AVDD1とAVDD2の電圧は仕様の値の5%以内に維持してください。

AD9460のDRVDD電源は、LVDSまたはCMOS出力モードでのデジタル出力の専用電源です。LVDSモードでは、DRVDDを3.3Vに設定します。CMOSモードでは、受信ロジックとの互換性のために2.5~3.6Vに接続できます。

デジタル出力

LVDSモード

チップ上のオフチップ・ドライバは、ピン3 (OUTPUT MODE) を介してLVDS互換の出力レベルを提供するように設定できます。OUTPUT MODEがCMOSロジック・ハイ (つまりAVDD1) であり、ピン5 (LVDS_BIAS) とグラウンドの間に $3.74\text{k}\Omega$ の R_{SET} 抵抗を接続している場合は、LVDS出力を使用できます。LVDSモードでAD9460を使用するとき、SFDRとS/N比を含め最大の動的性能が得られますので、このモードを利用するとよいでしょう。AD9460の出力には、データビット(Dx+/Dx-) ごとの相補LVDS出力、オーバーレンジ出力(OR+/OR-)、出力データ・クロック出力(DCO+/DCO-)があります。 R_{SET} 抵抗電流はオンチップで乗算され、各出力での出力電流は公称の 3.5mA ($11 \times I_{RSET}$) に設定されます。LVDSレシーバ入力に接続された 100Ω の差動終端抵抗により、レシーバ側で公称 350mV のスイングが得られます。LVDSモードでは、ノイズの多い環境で優れたスイッチング性能が得られるLVDS機能を備えたカスタムASICやFPGAのLVDSレシーバとのインターフェースが可能です。シングルのポイント・ツー・ポイントのネット・トポロジーで、 100Ω の終端抵抗をレシーバにできるだけ近く配置することを推奨します。パターン配線長は2インチ未満とし、差動出力のパターン配線をできる限り等しい長さにすることをお勧めします。

CMOSモード

動的性能が若干低下しても問題ないアプリケーションでは、DRVDDとインターフェース・ロジックのデジタル電源を一致させることにより 2.5V または 3.3V のロジック・ファミリに接続できるようにAD9460の出力ドライバを設定できます。OUTPUT MODEがCMOSロジック・ロー (すなわち、AGND) のとき、CMOS出力を使用できます。このモードでは、出力データビットDxは、オーバーレンジ出力OR+と同様にシングルエンドCMOSです。出力クロックは、差動CMOS信号DCO+/DCO-になります。ADCのデリケートなアナログ部にスイッチング・トランジェントが逆流することを防ぐために、低い電源電圧を推奨します。容量性負荷に起因するスイッチング・トランジェントを抑制するには、CMOS出力への容量性負荷をできる限り小さくし、直列抵抗 (220Ω) を経由して各出力を1つのゲートに接続してください。

タイミング

AD9460は、パイプライン遅延が13クロック・サイクルのラッチされたデータを出力します。データ出力は、CLK+の立上がりエッジ後の伝搬遅延 (t_{PD}) 1つで有効になります。詳細なタイミング図については、図2と図3を参照してください。

動作モードの選択

データ・フォーマットの選択

AD9460のデータ・フォーマット選択 (DFS) ピンにより、出力データのコーディング・フォーマットが決まります。このピンは 3.3V CMOSと互換性があり、ロジック・ハイ (すなわちAVDD1、 3.3V) で2の補数、DFSロジック・ロー (AGND) でオフセット・バイナリ・フォーマットを選択します。表10に出力コーディングを示します。

OUTPUT MODEの選択

OUTPUT MODEピンにより、ロジックの互換性やデジタル出力のピン配置を制御します。このピンはCMOS互換の入力です。OUTPUT MODE=0 (AGND) で、AD9460の出力はCMOS互換となり、デバイスのピン配置は表8に定義されたとおりになります。OUTPUT MODE=1 (AVDD1、 3.3V) では、LVDS互換となり、デバイスのピン配置は表7に定義されたとおりになります。

デューティ・サイクル安定器

DCS MODEピンにより、DCS回路を制御します。DCS MODEピンでCMOSロジック・ロー (AGND) になるとDCSがイネーブルになり、ロジック・ハイ (AVDD1、 3.3V) になるとコントローラがデイスエーブルになります。

SFDRの強化

場合によっては、ADCのコアへの電力を若干増やすことによってAD9460のSFDR性能が向上します。SFDR制御ピン (ピン100) は、AD9460アナログ・フロントエンドの設定を最適化するためのCMOS互換制御ピンです。80MSPSと105MSPSの速度グレードに対してアナログ入力周波数が $<200\text{MHz}$ のアプリケーションでは、SFDRをAGNDに接続することでSFDR性能を最適化できます。アナログ入力が $>200\text{MHz}$ のアプリケーションでは、このピンをAVDD1に接続してSFDR性能の最適化を行ってください。AVDD2による消費電力は、AD9460BSVZ-80では約 70mW 、AD9460BSVZ-105では約 20mW 増加します。

表10. デジタル出力コーディング

Code	VIN+ – VIN– Input Span = 3.4 V p-p (V)	VIN+ – VIN– Input Span = 2 V p-p (V)	Digital Output Offset Binary (D15…D0)	Digital Output Twos Complement (D15…D0)
65,536	+1.700	+1.000	1111 1111 1111 1111	0111 1111 1111 1111
32,768	0	0	1000 0000 0000 0000	0000 0000 0000 0000
32,767	–0.000052	–0.000031	0111 1111 1111 1111	1111 1111 1111 1111
0	–1.70	–1.00	0000 0000 0000 0000	1000 0000 0000 0000

評価用ボード

CMOSモードまたはLVDSモードのいずれかでAD9460を設定するために評価用ボードを利用できます。この設計は、広範なサンプリング・レートとアナログ入力周波数でデバイスを使用するための推奨の設定となります。これらの評価用ボードは、ADCをさまざまなモードや設定で動作させるために必要なすべてのサポート回路を提供します。図50～図53に完全な回路図を示します。ガーバー・ファイルは、システム・レベルで適用すべき適切なルーティングとグラウンディング技術を説明するエンジニアリング・アプリケーションから入手できます。

コンバータの究極の性能を実現するには、位相ノイズが非常に低い（<60fsecのrmsジッタ）信号源を使用することが重要です。仕様のノイズ性能を得るには、入力信号の適切なフィルタリングにより高調波を除去し、入力での総合ノイズを小さくする必要もあります。

評価用ボードには、115V ACから6V DCの電源が付属しています。AD9460とそのサポート回路に必要なさまざまなDC電源を生成するために、評価用ボードには低ドロップアウトのレギュレータが内蔵されています。DUTをサポート回路から分離するために、電源は別々に用意されています。さまざまなジャンパを適切に接続することで各入力設定を選択できます（図50を参照）。

LVDSモードの評価用ボードにはLVDS/CMOSトランスレータが内蔵されているため、高速ADC FIFO評価用キット（HSC-ADC-EVALA-SC、www.analog.com/FIFO）を使用できます。キットに内蔵されている高速データ・キャプチャ・ボードは、FIFOメモリ・チップ内で最高32kBサンプル（256kBサンプルまでアップグレード可能）の高速ADC出力データをキャプチャするハードウェア・ソリューションとなります。キャプチャしたデータをUSBポートを介してPCにダウンロードするソフトウェアもあります。このソフトウェアには、AD9460やその他の高速ADCの動作モデルも含まれています。

ADIsimADC™ソフトウェアを使用するAD9460の動作モデリングは、www.analog.com/ADIsimADCからも入手できます。ADIsimADCソフトウェアにより、アナログ・デバイセズ独自の動作モデリング技術を使用した仮想ADC評価ができます。これにより、ハードウェア評価用ボードの有無にかかわらず、AD9460とその他の高速ADCを短時間で比較できます。

トランスレータと終端機器を取り外して、LVDS出力に直接アクセスすることもできます。



図50. 評価用ボードの回路図

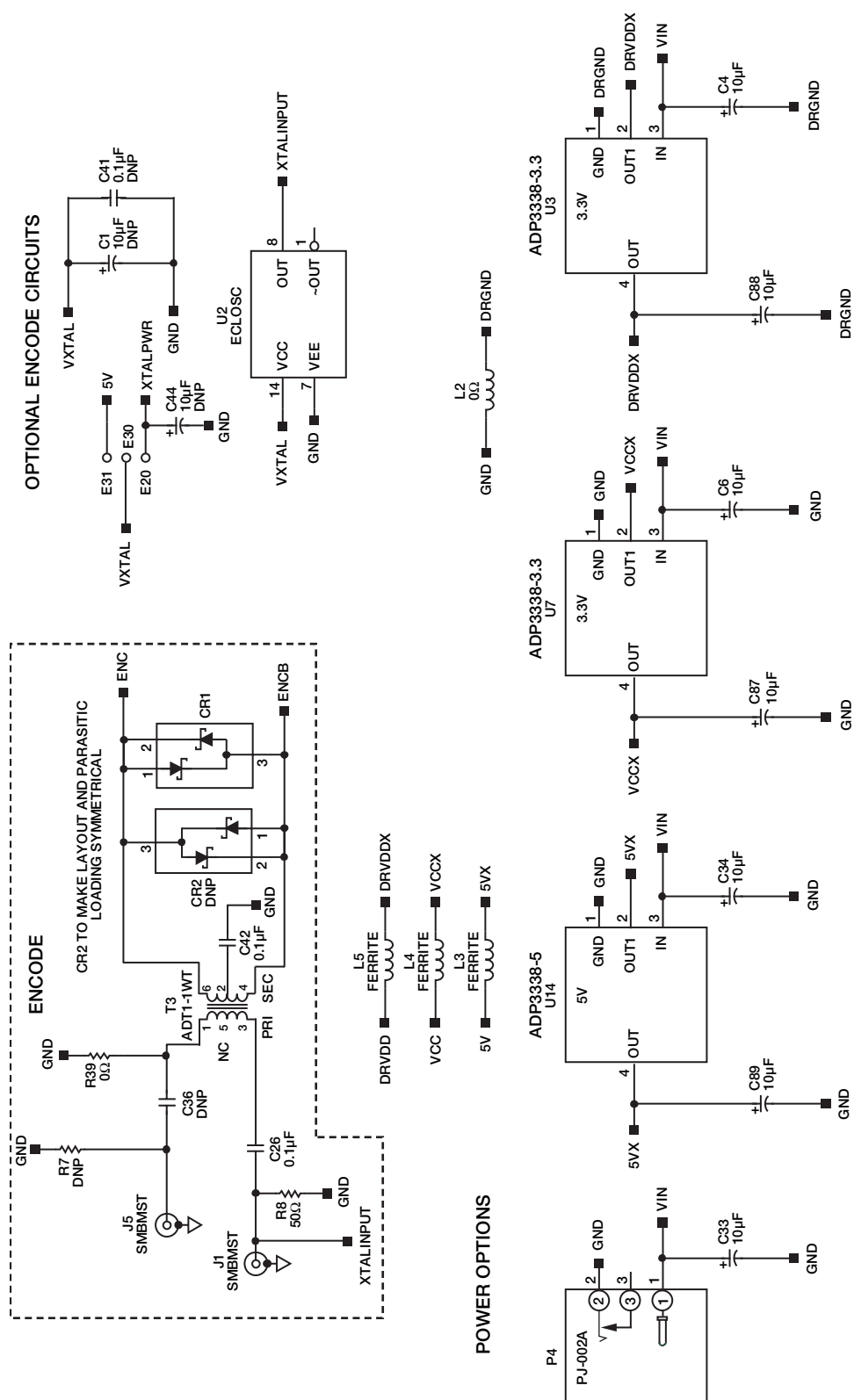


図51. 評価用ボードの回路図：エンコードとオプションのエンコードと電源オプション

BYPASS CAPACITORS

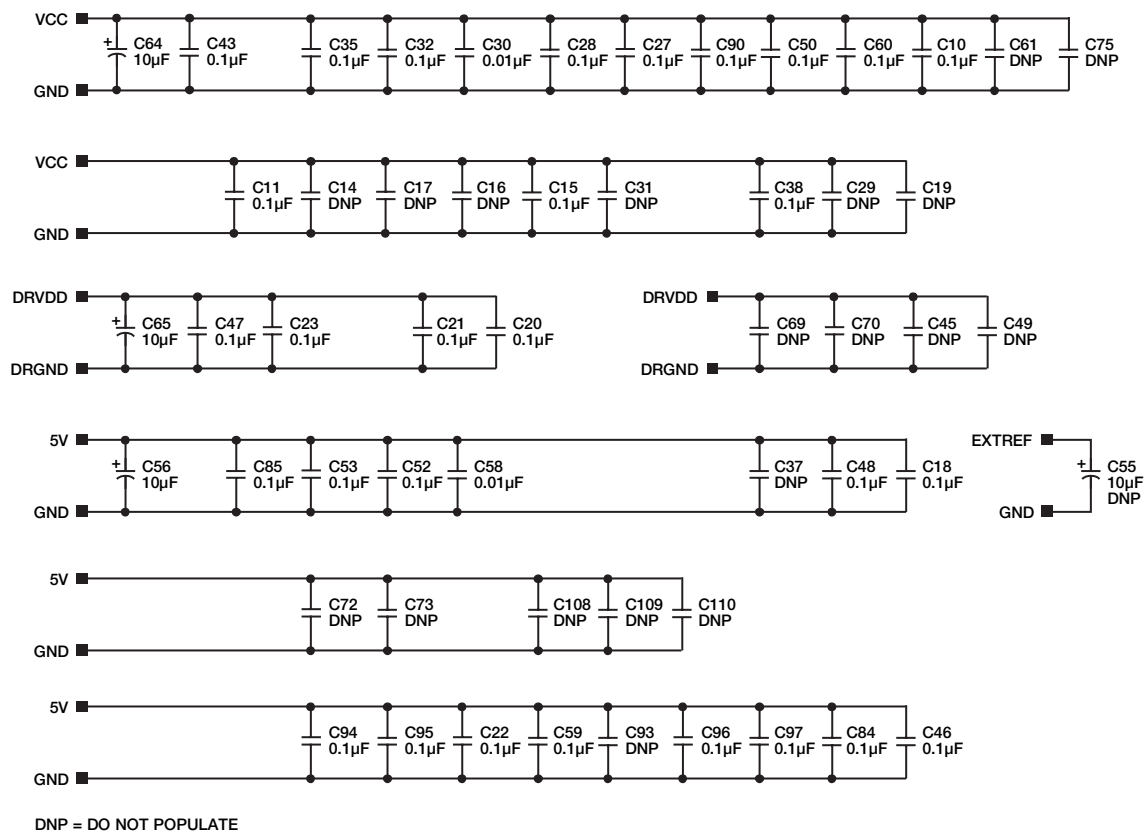


図52. 評価用ボードの回路図：バイパス・コンデンサ

06004-002

表11. AD9460カスタム評価用ボードの部品表

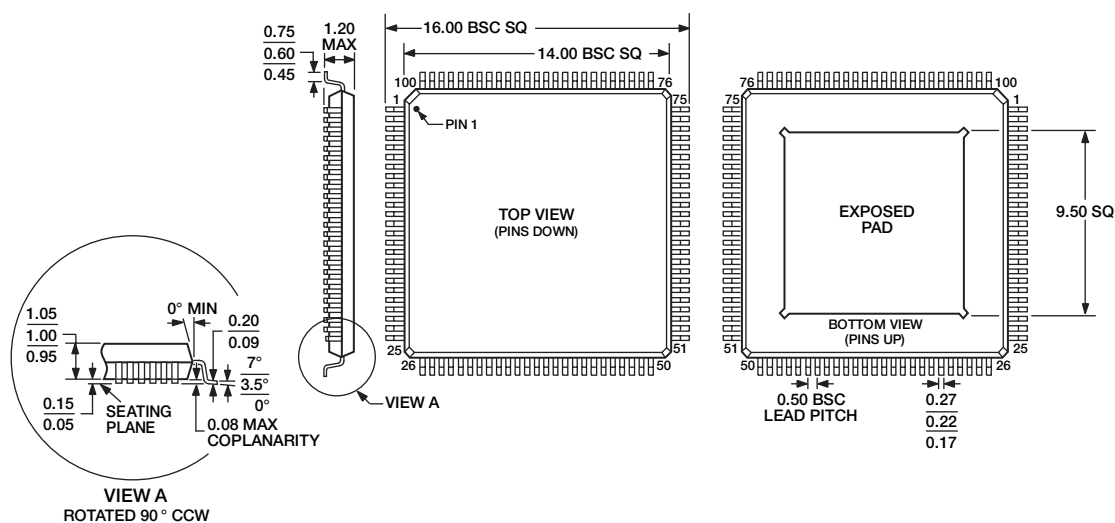
Item	Qty.	Reference Designator	Description	Package	Value ¹	Manufacturer	Mfg. Part No.
1	7	C4, C6, C33, C34, C87, C88, C89	Capacitor	TAJD	10 μ F	Digi-Key Corporation	478-1699-2
2	45	C2, C3, C5, C7, C8, C9, C10, C11, C12, C15, C18, C20, C21, C22, C23, C26, C27, C28, C32, C35, C38, C40, C42, C43, C46, C47, C48, C50, C52, C53, C59, C60, C76, C77, C78, C82, C84, C85, C86, C90, C91, C94, C95, C96, C97	Capacitor	402	0.1 μ F	Digi-Key Corporation	PCC2146CT-ND
3	2	C30, C58	Capacitor	201	0.01 μ F	Digi-Key Corporation	445-1796-1-ND
4	4	C39, C56, C64, C65	Capacitor	TAJD	10 μ F	Digi-Key Corporation	478-1699-2
5	1	C51	Capacitor	805	10 μ F	Digi-Key Corporation	490-1717-1-ND
6	1	CR1	Diode	SOT23M5		Digi-Key Corporation	MA3X71600LCT-ND
7	1	CR2 ¹	Diode	SOT23M5	DNP	Digi-Key Corporation	MA3X71600LCT-ND
8	20	E1, E2, E3, E4, E5, E6, E9, E10, E14, E18, E19, E20, E24, E25, E26, E27, E30, E31, E36, E41	Header	EHOLE		Mouser Electronics	517-6111TG
9	2	J1, J4	SMA	SMA		Digi-Key Corporation	ARFX1231-ND
10	1	L1	Inductor	0603A	10 nH	Coilcraft, Inc.	0603CS-10NXGBU
11	3	L3, L4, L5	EMIFIL® BLM31PG500SN1L	1206MIL		Mouser Electronics	81-BLM31P500S
12	1	P4	Power jack	PJ-002A		Digi-Key Corporation	CP-002A-ND
13	1	P7	Header	C40MS		Samtec, Inc.	TSW-120-08-L-D-RA
14	1	R3	Resistor	402	3.74 k Ω	Digi-Key Corporation	P3.74KLCT-ND
15	1	R8	Resistor	402	50 Ω	Digi-Key Corporation	P49.9LCT-ND
16	4	R10, R19, R39, L2	Resistor	402	0 Ω	Digi-Key Corporation	P0.0JCT-ND
17	1	R11	BRES402	402	1 k Ω	Digi-Key Corporation	P1.0KLCT-ND
18	2	R28, R35	Resistor	402	33 Ω	Digi-Key Corporation	P33JCT-ND
19	2	RZ4, RZ5	Resistor array	16-pin	22 Ω	Digi-Key Corporation	742C163220JCT-ND
20	1	T3	Transformer	ADT1-1WT		Mini-Circuits	ADT1-1WT
21	1	U1	AD9460BSVZ	SV-100-3		Analog Devices, Inc.	AD9460BSVZ
22	1	U14	ADP3338-5	SOT-223HS		Analog Devices, Inc.	ADP3338-5
23	2	U3, U7	ADP3338-3.3	SOT-223HS		Analog Devices, Inc.	ADP3338-3.3
24	1	U8	SN75LVDT386	TSSOP64		Arrow Electronics, Inc.	SN75LVDT386

AD9460

Item	Qty.	Reference Designator	Description	Package	Value ¹	Manufacturer	Mfg. Part No.
25	1	U15	SN75LVDT390	SOIC16PW		Arrow Electronics, Inc.	SN75LVDT390
26	2	R4, R6	Resistor	402	25 Ω	Digi-Key Corporation	P36JCT-ND
27	2	C1, C44, C55 ¹	Capacitor	TAJD	10μF, DNP	Digi-Key Corporation	478-1699-2
28	22	C13, C14, C16, C17, C19, C29, C31, C36, C37, C41, C45, C49, C61, C69, C70, C72, C73, C75, C93, C108, C109, C110 ¹	CAP402	402	DNP		
29	1	C98 ¹	Capacitor	805	DNP	Digi-Key Corporation	490-1717-1-ND
30		E15 ¹	Header	EHOLE	DNP	Mouser Electronics	517-6111TG
31		J5 ¹	SMA	SMA	DNP	Digi-Key Corporation	ARFX1231-ND
32		P6 ¹	Header	C40MS	DNP	Samtec, Inc.	TSW-120-08-L-D-RA
33	2	R1, R2 ¹	BRES402	402	DNP		
34	3	R5, R7, R9 ¹	BRES402	402	DNP		
35	1	U2 ¹	ECLOSC	DIP4(14)	DNP		
36	4	H1, H2, H3, H4 ¹	MTHOLE6	MTHOLE6	DNP		
37	2	T1, T2 ¹	Balun transformer	SM-22	DNP	M/A-COM	ETC1-1-13
38	1	T5 ¹	Transformer	ADT1-1WT	DNP	Mini-Circuits	ADT1-WT
39	2	P21, P22 ¹	Term strip	PTMICRO4	DNP	Newark Electronics	

¹ DNP=実装しません。このカテゴリに記載された項目はすべて実装しません。

外形寸法



NOTES

1. CENTER FIGURES ARE TYPICAL UNLESS OTHERWISE NOTED.
2. THE PACKAGE HAS A CONDUCTIVE HEAT SLUG TO HELP DISSIPATE HEAT AND ENSURE RELIABLE OPERATION OF THE DEVICE OVER THE FULL INDUSTRIAL TEMPERATURE RANGE. THE SLUG IS EXPOSED ON THE BOTTOM OF THE PACKAGE AND ELECTRICALLY CONNECTED TO CHIP GROUND. IT IS RECOMMENDED THAT NO PCB SIGNAL TRACES OR VIAS BE LOCATED UNDER THE PACKAGE THAT COULD COME IN CONTACT WITH THE CONDUCTIVE SLUG. ATTACHING THE SLUG TO A GROUND PLANE WILL REDUCE THE JUNCTION TEMPERATURE OF THE DEVICE WHICH MAY BE BENEFICIAL IN HIGH TEMPERATURE ENVIRONMENTS.

図54. 100ピン薄型クワッド・フラット・パッケージ、露出パッド [TQFP_EP]
(SV-100-3)

寸法単位：mm

040506-A

D06006-0-7/06(0)-J

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9460BSVZ-80 ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-3
AD9460BSVZ-105 ¹	-40°C to +85°C	100-Lead TQFP_EP	SV-100-3
AD9460-80LVDS/PCB		AD9460-80LVDS Mode Evaluation Board	
AD9460-105LVDS/PCB		AD9460-105LVDS Mode Evaluation Board	

¹ Z=鉛フリー製品