

特長

- 99MHzのアナログ入力でS/N比 = 54dB
- アナログ帯域幅：500MHz
- リファレンスとトラック/ホールドを内蔵
- 差動アナログ入力範囲：1.5V p-p
- 電源電圧：5.0Vまたは3.3V
- 3.3VのCMOS/TTL出力
- 消費電力：210MSPSで2.1W (typ)
- 105MSPSで各出力をディマルチプレクス
- 出力データ・フォーマットの各種オプション
- データ同期入力およびデータ・クロック出力を用意
- インターリーブまたはパラレル・データ出力を選択可能

アプリケーション

- 通信およびレーダー
- ローカル・マルチポイント・ディストリビューション・サービス (LMDS)
- ハイエンド画像処理システム、プロジェクタ
- ケーブル・リバース・バス
- ポイントtoポイントの無線リンク

概要

AD9410は、トラック/ホールド回路を内蔵する65MSPSのモノリシック10ビット・サンプリングA/Dコンバータであり、高速変換と使い易さの点で最適化されています。このデバイスは変換レート210MSPSで動作し、全動作範囲で優れたダイナミック特性を実現します。

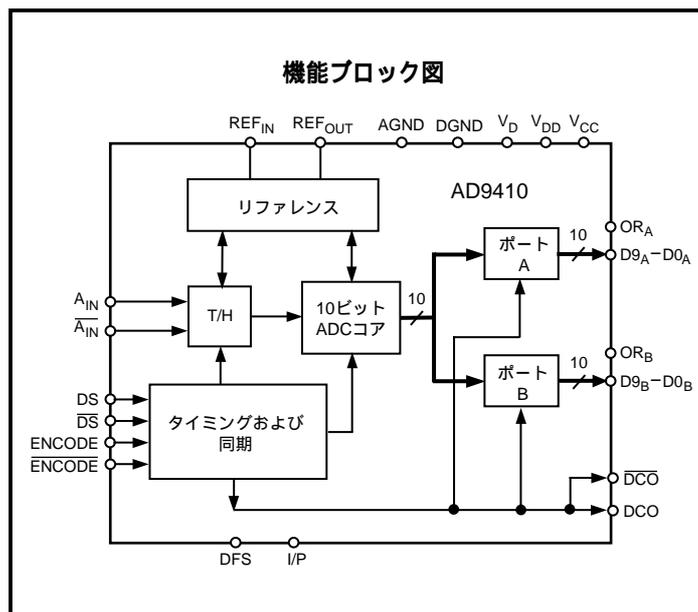
AD9410 ADCは、5.0Vまたは3.3V電源で、最大210MHzの差動クロック入力で、フル性能での動作が可能です。ほとんどのアプリケーションで、外部リファレンス、またはドライバが不要です。デジタル出力はTTL/CMOS互換であり、分離した出力電源ピンも、3.3Vロジックとのインターフェースに対応しています。

クロック入力は、差動でありTTL/CMOS互換です。10ビットのデジタル出力は、3.3V電源(2.5~3.6V)で動作できます。2本の出力バスは、105MSPSレートまでのディマルチプレクスされたデータに対応し、バイナリ・フォーマットまたは2の補数の出力コーディング・フォーマットを使用できます。タイミング依存のアプリケーションのために、データ同期機能が用意されています。出力クロックが用意されているので、外部ロジックへのインターフェースが容易です。出力データ・バスのタイミングは、パラレル・モードまたはインターリーブ・モードが選択可能で、出力データのラッチ機能に柔軟性があります。

AD9410は最新のBiCMOSプロセスで製造され、80ピン表面実装プラスチック・パッケージ PowerQuad®2 を採用しており、工業用温度範囲(-40~+85)で仕様規定されています。

PowerQuadはAmkor Electronics, Inc.の登録商標です。

REV.0



製品のハイライト

- 高速かつ高分解能** 210MSPSまでの変換に対応する、優れたダイナミック特性を実現するように、特別に設計されたアーキテクチャを採用。
- ディマルチプレクス出力** 出力データは1/2にデシメーションされて2つのデータ・ポートに出力されるため、データ転送が容易です。
- 出力データ・クロック** AD9410は出力データに同期したデータ・クロックを出力するため、データと他の回路との間のタイミングが単純になります。
- データの同期** システム内にある複数のAD9410を同期化するため、または1つのAD9410システム内でデータを特定の出力ポートに同期化するために、DS入力が用意されています。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9410 仕様

DC特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_D = 3.3V$ 、 $V_{CC} = 5.0V$ 、2.5V外部リファレンス、 $A_{IN} = -0.5dBFS$ 、クロック入力 = 210MSPS、 $T_A = 25$)

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
分解能						
DC精度						
ノーマス・コード ¹	全範囲	IV		保証済み		
微分非直線性	25	I	- 1.0	± 0.5	+ 1.25	LSB
	全範囲	VI	- 1.0		+ 1.5	LSB
積分非直線性	25	I	- 2.5	± 1.65	+ 2.5	LSB
	全範囲	VI	- 3.0		+ 3.0	LSB
ゲイン誤差	25	I	- 6.0	0	+ 6.0	%FS
ゲイン温度係数	全範囲	V		130		ppm/
アナログ入力						
入力電圧範囲 (A_{IN} を基準とする)	全範囲	V		± 768		mVp-p
コモン・モード電圧	全範囲	V		3.0		V
入力オフセット電圧	25	I	- 15	+ 3	+ 15	mV
	全範囲	VI	- 20		+ 20	mV
リファレンス	全範囲	VI	2.4	2.5	2.6	V
リファレンス温度係数	全範囲	V		50		ppm/
入力抵抗	全範囲	VI	610	875	1250	
入力容量	25	V		3		pF
アナログ帯域幅、フルパワー	25	V		500		MHz
電源						
AC消費電力 ²	25	V		2.1		W
DC消費電力 ³	全範囲	VI		2.0	2.4	W
IVCC ³	全範囲	VI		128	145	mA
IVD ³	全範囲	VI		401	480	mA
電源変動除去比PSRR	25	I	- 7.5	+ 0.5	+ 7.5	mV/V

注

1 70 を超える周辺温度で動作させる場合は、パッケージ・ヒート・スラグの装着が必要です。

2 Encode = 210MSPS、 $A_{IN} = -0.5dBFS$ の10MHzサイン波、 $I_{VDD} = 31mA$ (typ)、 $C_{LOAD} = 5pF$ 。

3 Encode = 210MSPS、 $A_{IN} = DC$ 、出力スイッチングなし。

仕様は予告なく変更されることがあります。

スイッチング特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_D = 3.3V$ 、 $V_{CC} = 5.0V$ 、2.5V外部リファレンス、 $A_{IN} = -0.5dBFS$ 、クロック入力 = 210MSPS、 $T_A = 25$)

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
スイッチング性能						
最大変換レート	全範囲	VI	210			MSPS
最小変換レート	全範囲	IV			100	MSPS
Encodeパルス幅ハイ (t_{EH})	25	IV	1.2	2.4		ns
Encodeパルス幅ロー (t_{EL})	25	IV	1.2	2.4		ns
アパーチャ遅延 (t_A)	25	V		1.0		ns
アパーチャ不確定性 (ジッター)	25	V		0.65		ps rms
出力有効時間 (t_V)	全範囲	VI	3.0			ns
出力伝播遅延 (t_{PD})	全範囲	VI			7.4	ns
出力立ち上がり時間 (t_R)	25	V		1.8		ns
出力立ち下がり時間 (t_F)	25	V		1.4		ns
CLKOUT伝播遅延 ¹ (t_{CPD})	全範囲	VI	2.6	4.8	6.4	ns
データからDCOまでのスキュー ($t_{PD}-t_{CPD}$)	全範囲	IV	0	1	2	ns
DSセットアップ時間 (t_{SDS})	全範囲	IV	1.5			ns
DSホールド時間 (t_{HDS})	全範囲	IV	0			ns
インターリーブ・モード (A、Bレイテンシ)	全範囲	VI		A = 6, B = 6		周期
パラレル・モード (A、Bレイテンシ)	全範囲	VI		A = 7, B = 6		周期

注

1 $C_{LOAD} = 5pF$

仕様は予告なく変更されることがあります。

デジタル特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_D = 3.3V$ 、 $V_{CC} = 5.0V$ 、2.5V外部リファレンス、 $A_{IN} = -0.5dBFS$ 、クロック入力 = 210MSPS、 $T_A = 25$)

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
デジタル入力						
DFS、入力ロジック“1”電圧	全範囲	IV	4			V
DFS、入力ロジック“0”電圧	全範囲	IV			1	V
DFS、入力ロジック“1”電流	全範囲	V		50		μA
DFS、入力ロジック“0”電流	全範囲	V		50		μA
I/P入力ロジック“1”電流 ¹	全範囲	V		400		μA
I/P入力ロジック“0”電流 ¹	全範囲	V		1		μA
ENCODE、ENCODE差動入力電圧	全範囲	IV	0.4			V
ENCODE、ENCODE差動入力抵抗	全範囲	V		1.6		k
ENCODE、ENCODEコモン・モード電圧 ²	全範囲	V		1.5		V
DS、 \overline{DS} 差動入力電圧	全範囲	IV	0.4			V
DS、 \overline{DS} コモン・モード電圧	全範囲	V		1.5		V
デジタル入力ピン容量	25	V		3		pF
デジタル出力						
ロジック“1”電圧($V_{DD} = 3.3V$)	全範囲	VI	$V_{DD} - 0.05$			V
ロジック“0”電圧($V_{DD} = 3.3V$)	全範囲	VI			0.05	V
出力コーディング			バイナリまたは2の補数			

注

¹ I/Pピンのロジック“1” = 5V、ロジック“0” = GND。ロジック“1”を設定する際、入力電流を制限するために、2.5k (10%)の直列抵抗を介して V_{DD} に接続することを推奨します。

² 「アプリケーション」の節の「Encode入力」項目を参照してください。

仕様は予告なく変更されることがあります。

AC特性 (特に指定のない限り、 $V_{DD} = 3.3V$ 、 $V_D = 3.3V$ 、 $V_{CC} = 5.0V$ 、2.5V外部リファレンス、 $A_{IN} = -0.5dBFS$ 、クロック入力 = 210MSPS、 $T_A = 25$)

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
ダイナミック性能						
過渡応答	25	V		2		ns
過電圧回復時間	25	V		2		ns
S/N比 (SNR)						
(高調波なし)						
$f_{IN} = 10.3MHz$	25	I	52.5	55		dB
$f_{IN} = 82MHz$	25	I	52	54		dB
$f_{IN} = 160MHz$	25	V		53		dB
S/N比 (SINAD)						
(高調波あり)						
$f_{IN} = 10.3MHz$	25	I	51	54		dB
$f_{IN} = 82MHz$	25	I	50	53		dB
$f_{IN} = 160MHz$	25	V		52		dB
実効ビット数						
$f_{IN} = 10.3MHz$	25	I	8.3	8.8		ビット
$f_{IN} = 82MHz$	25	I	8.1	8.6		ビット
$f_{IN} = 160MHz$	25	V		8.4		ビット
2次高調波歪み						
$f_{IN} = 10.3MHz$	25	I	-56	-65		dBc
$f_{IN} = 82MHz$	25	I	-55	-63		dBc
$f_{IN} = 160MHz$	25	V		-65		dBc
3次高調波歪み						
$f_{IN} = 10.3MHz$	25	I	-58	-69		dBc
$f_{IN} = 82MHz$	25	I	-57	-67		dBc
$f_{IN} = 160MHz$	25	V		-62		dBc
スプリアス・フリー・ダイナミックレンジ (SFDR)						
$f_{IN} = 10.3MHz$	25	I	56	61		dBc
$f_{IN} = 82MHz$	25	I	54	60		dBc
$f_{IN} = 160MHz$	25	V		58		dBc
2周波間相互変調歪み IMD¹						
$f_{IN1} = 80.3MHz$ 、 $f_{IN2} = 81.3MHz$	25	V		58		DBFS

注

¹ IN_1 、 IN_2 レベル = -7dBFS。

仕様は予告なく変更されることがあります。

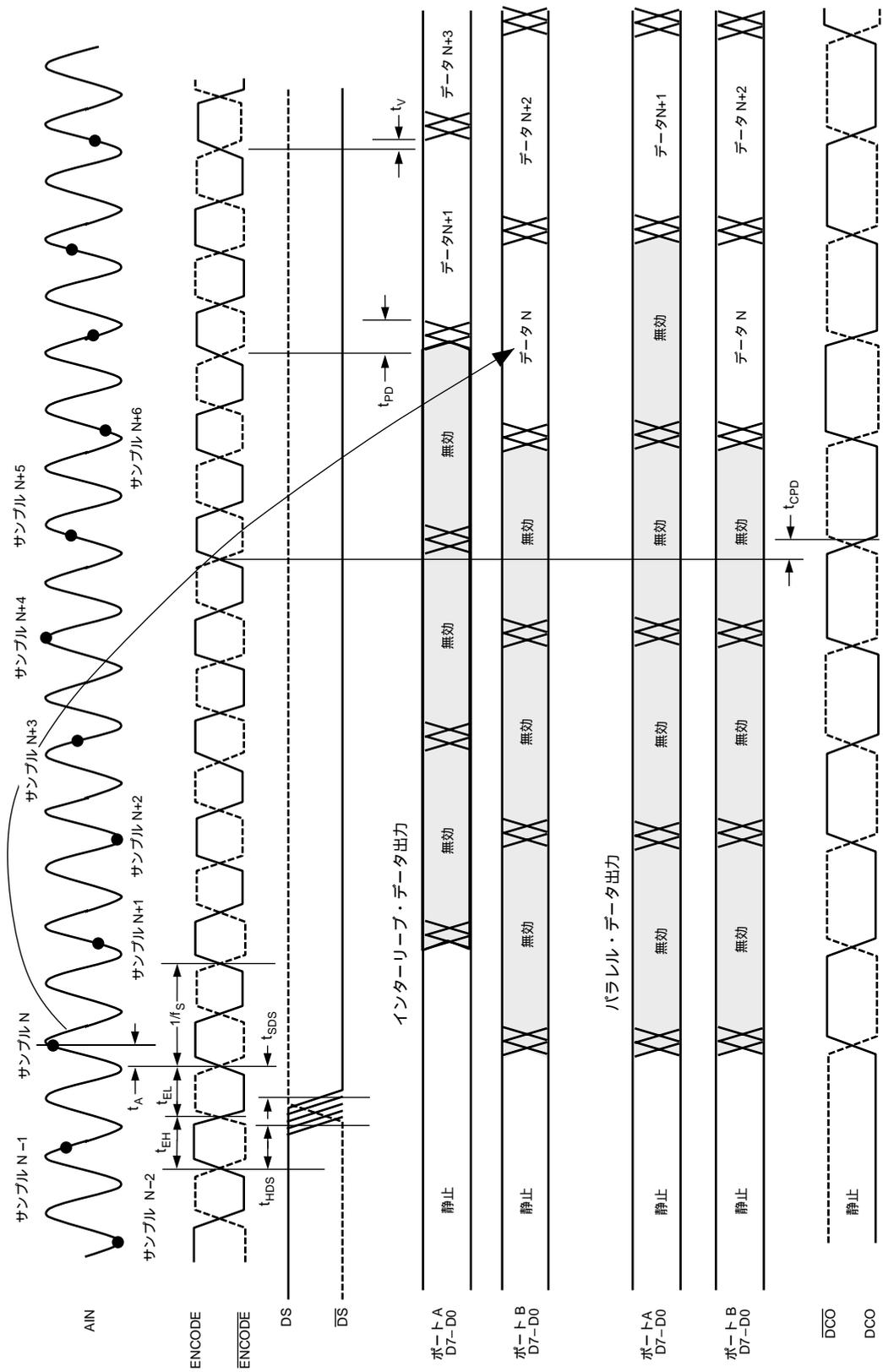


図1 タイミング図

絶対最大定格¹

V_D 、 V_{CC} 、 V_{DD}	6V
アナログ入力	0V ~ $V_{CC} + 0.5V$
デジタル入力	0V ~ $V_{DD} + 0.5V$
$V_{REF IN}$	0V ~ $V_D + 0.5V$
デジタル出力電流	20mA
動作温度	- 55 ~ + 125
保管温度	- 65 ~ + 150
最大接合温度 ²	150

注

- ¹ 絶対最大定格は独立して適用される限界値であり、この値を超えると、回路動作が損なわれるという値であり、必ずしも機能的な動作を意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。
- ² 自然空冷の厚いグラウンド・プレーンを持つ多層ボードで、 J_A (typ) = 22 /W (ヒート・スラグなし)、 J_A (typ) = 16 /W (ヒート・スラグをハンダ付け)。

テスト・レベルの説明**テスト・レベル**

- I. 100%の出荷テストを実施。
- II. 25 で100%の出荷テスト、および指定温度でのサンプル・テストを実施。
- III. サンプル・テストのみを実施。
- IV. パラメータは、設計およびキャラクタライゼーション・テストにより保証。
- V. パラメータは、typ値のみ。
- VI. 25 で100%の出荷テスト、さらに設計およびキャラクタライゼーション・テストにより工業用温度範囲を保証。

オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション
AD9410BSQ	- 40 ~ + 85	PowerQuad 2	SQ-80
AD9410/PCB	25	評価ボード	

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

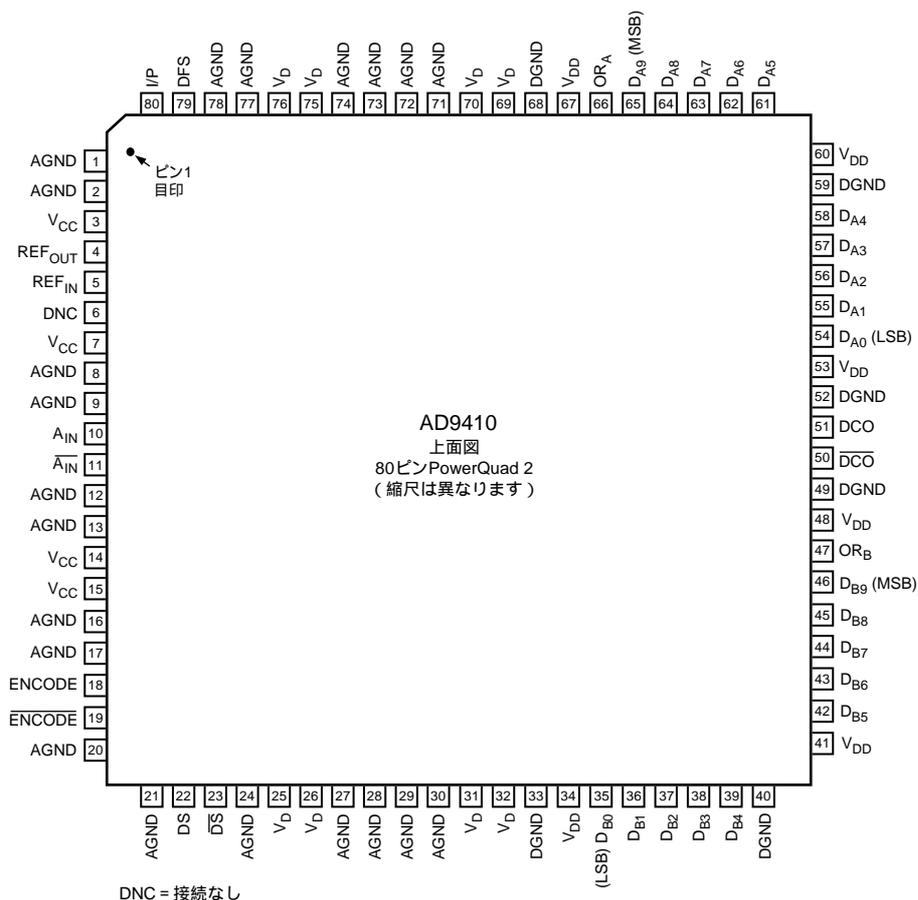


AD9410

ピン機能の説明

ピン番号	記号	機能
1, 2, 8, 9, 12, 13, 16, 17, 20, 21, 24, 27, 28, 29, 30, 71, 72, 73, 74, 77, 78	AGND	アナログ・グラウンド。
3, 7, 14, 15	V _{CC}	5V電源(±5%以内にレギュレーション)
4	REF _{OUT}	内部リファレンス出力。
5	REF _{IN}	内部リファレンス入力。
6	DNC	接続なし
10	A _{IN}	アナログ入力 非反転。
11	\overline{A}_{IN}	アナログ入力 反転。
18	ENCODE	クロック入力 非反転。
19	\overline{ENCODE}	クロック入力 反転。
22	DS	データ同期(入力) 非反転。未使用時はローに接続。
23	\overline{DS}	データ同期(入力) 反転。未使用時は、開放または0.1μFのコンデンサでデカップリング。
25, 26, 31, 32, 69, 70, 75, 76	V _D	3.3Vのアナログ電源(±5%以内にレギュレーション)
33, 40, 49, 52, 59, 68	DGND	デジタル・グラウンド。
34, 41, 48, 53, 60, 67	V _{DD}	3.3Vのデジタル出力電源(2.5~3.6V)
35~39	D _{B0} ~D _{B4}	チャンネルBのデジタル・データ出力(LSB=D _{B0})
42~46	D _{B5} ~D _{B9}	チャンネルBのデジタル・データ出力(MSB=D _{B9})
47	OR _B	チャンネルBでデータ範囲外。
50	DCO	クロック出力 反転。
51	\overline{DCO}	クロック出力 非反転。
54~58	D _{A0} ~D _{A4}	チャンネルAのデジタル・データ出力(LSB=D _{A0})
61~65	D _{A5} ~D _{A9}	チャンネルAのデジタル・データ出力(MSB=D _{A9})
66	OR _A	チャンネルAでデータ範囲外。
79	DFS	データ・フォーマットの選択。ハイ=2の補数、ロー=バイナリ。
80	I/P	インターリーブ・モードまたはパラレル出力モードの選択。ロー=パラレル・モード、ハイ=インターリーブ・モード。ハイに接続する場合は、電流制限直列抵抗(2.5kΩ)を経由して5V電源に接続してください。

ピン配置



AD9410

仕様の定義

アナログ帯域幅

基本周波数(FFT解析により決定)の電力スペクトルが3dB低下するアナログ入力周波数。

アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%ポイントと、アナログ入力がサンプルされるタイミングとの間の遅延。

アパーチャ不確定性(ジッター)

アパーチャ遅延のサンプル間における変化。

差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実インピーダンスと複合インピーダンス。抵抗は静的に測定。容量および差動入力インピーダンスはネットワーク・アナライザを使って測定。

差動アナログ入力電圧範囲

コンバータに入力したときにフルスケール応答を発生するピークtoピーク差動電圧。ピーク差動電圧は、あるピンの電圧から、そのピンと180度位相がずれている他のピンの電圧を減算して求められます。ピークtoピーク差動は、ピーク値を測定し、次に入力位相を180度回転してピーク値を再度測定して、その両ピーク値の差から求められます。

微分非直線性

理論的な1LSBステップと実際のコード幅との偏差。

実効ビット数

実効ビット数(ENOB)は測定されたSINADから、次式を使って計算できます。

$$\text{ENOB} = \frac{\text{SINAD}_{\text{MEASURED}} - 1.76 \text{ dB} + 20 \log \left(\frac{\text{フルスケール振幅}}{\text{入力振幅}} \right)}{6.02}$$

Encodeパルス幅/デューティ・サイクル

パルス幅ハイは、定格性能を達成するために、ENCODEパルスがロジック"1"状態を維持するしなければならない、最小時間幅です。パルス幅ローは、ENCODEパルスがロー状態を維持する必要がある最小時間幅です。「 t_{ENCH} の変化によるタイミング変化」の説明を参照してください。これらの仕様は、与えられたクロック・レートに対する、許容できるENCODEのデューティ・サイクルを定めます。

フルスケール入力電力

dBm値で表し、次式で計算します。

$$\text{POWER}_{\text{FULL SCALE}} = 10 \log \left[\frac{V_{\text{FULL SCALE}}^2}{|Z|_{\text{INPUT}} \cdot 0.001} \right]$$

2次高調波歪み

2次高調波成分のrms値に対する、信号振幅rms値の比であり、dBc値で表します。

3次高調波歪み

3次高調波成分のrms値に対する、信号振幅rms値の比であり、dBc値で表します。

積分非直線性

最小二乗近似による“最適直線”を基準とした、1LSB以下の単位で表した伝達関数の偏差を表します。

最小変換レート

保証された規定値より、最小周波数のアナログ信号のS/N比が3dB低下するENCODEレートをいいます。

最大変換レート

パラメータ・テストが実施されるENCODEレート。

出力伝播遅延

差動のENCODEとENCODEの交差する点と、全出力データ・ビットが有効ロジック・レベルになるタイミングとの間の遅延をいいます。

帯域外からの回復時間

帯域外からの回復時間とは、正側フルスケールの10%上から負側フルスケールの10%上までの変化の後、または負側フルスケールの10%下から正側フルスケールの10%下までの変化の後に、ADCがアナログ入力を再度取り込むために要する時間をいいます。

ノイズ(ADC内の任意の範囲)

$$V_{\text{NOISE}} = \sqrt{|Z| \times 0.001 \times 10^{\left(\frac{\text{FS}_{\text{dBm}} - \text{SIGNAL}_{\text{dBFS}}}{10} \right)}}$$

ここで、Zは入力インピーダンス、FSは注目周波数に対するデバイスのフルスケール、S/N比は特定の入力レベルに対する値、SIGNALはdBで表したフルスケールより小さいADC内の信号レベル。この値には、熱ノイズと量子化ノイズが含まれます。

電源変動除去比

入力オフセット電圧変化の、電源電圧変動に対する比をいいます。

信号対ノイズ+歪み比(SINAD)

rms信号振幅値(フルスケールの下0.5dBに設定)の、DC以外の全高調波成分スペクトルの和のrms値に対する比を表します。

S/N比(高調波なし)

rms信号振幅値(フルスケールの下0.5dBに設定)の、DCおよび5次までの高調波を除く全高調波成分スペクトルの和のrms値に対する比をいいます。

スプリアス・フリー・ダイナミックレンジ(SFDR)

ピーク高調波成分のrms値に対する、信号振幅rms値の比をいいます。ピーク・スプリアス成分は、高調波のどれかである場合とそうでない場合があります。dB α 信号レベルを小さくした場合の劣化またはdBFS(コンバータのフルスケールに換算)で表されます。

過渡応答時間

過渡応答時間とは、正側フルスケールの10%上から負側フルスケールの10%下までの変化の後に、ADCがアナログ入力を再度取り込むために要する時間をいいます。

2周波間相互変調歪み除去比

いずれかの入力周波rms値の、最悪3次相互変調積rms値に対する比。

2周波SFDR

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。dB α 信号レベルを小さくした場合の劣化またはdBFS(コンバータのフルスケールに換算)で表されます。

その他の最悪スプリアス

2次および3次高調波を除く、最悪高調波成分のrms値に対する信号振幅rms値の比であり、dBcで表します。

表I 出力コーディング ($V_{REF} = 2.5V$)

ステップ	$A_{IN} - \overline{A}_{IN}$	デジタル出力 オフセット・バイナリ	デジタル出力 2の補数	OR_A, OR_B
1023	> 0.768	11 1111 1111	01 1111 1111	1
•	0.768	11 1111 1111	01 1111 1111	0
•	•	•	•	•
•	•	•	•	•
513	0.0015	10 0000 0001	00 0000 0001	0
512	0.0	10 0000 0000	00 0000 0000	0
511	$- 0.0015$	01 1111 1111	11 1111 1111	0
•	•	•	•	•
•	•	•	•	•
0	$- 0.768$	00 0000 0000	10 0000 0000	0
	$< - 0.768$	00 0000 0000	10 0000 0000	1

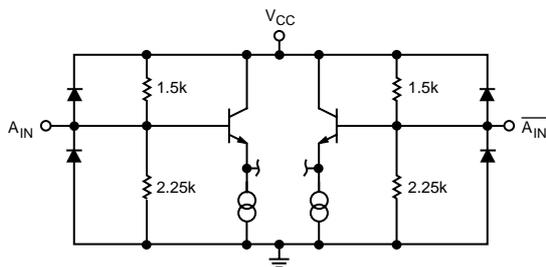


図2 アナログ入力の等価回路

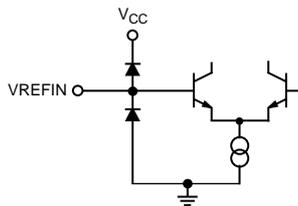


図3 リファレンス入力の等価回路

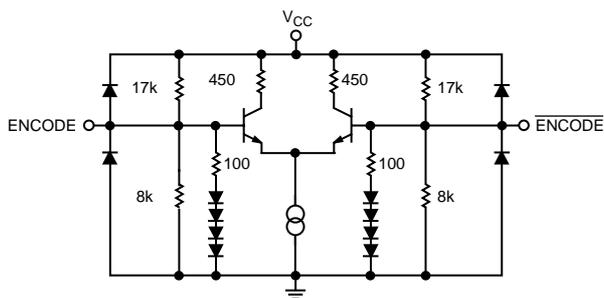


図4 Encode入力の等価回路

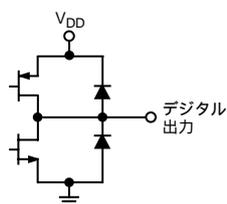


図5 デジタル出力の等価回路

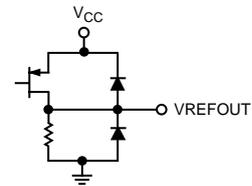


図6 リファレンス出力の等価回路

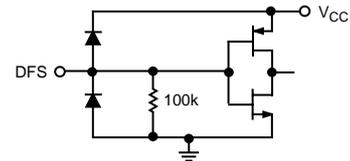


図7 DFS入力の等価回路

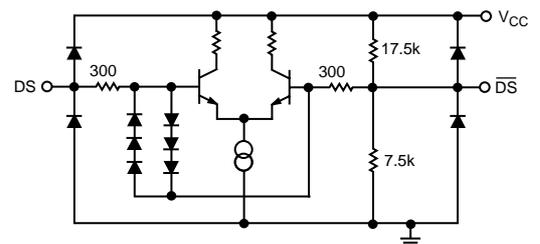


図8 DS入力の等価回路

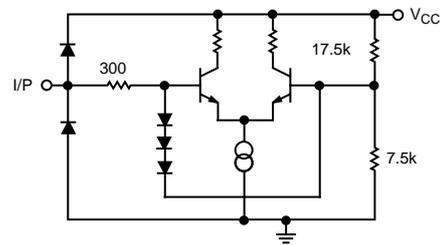
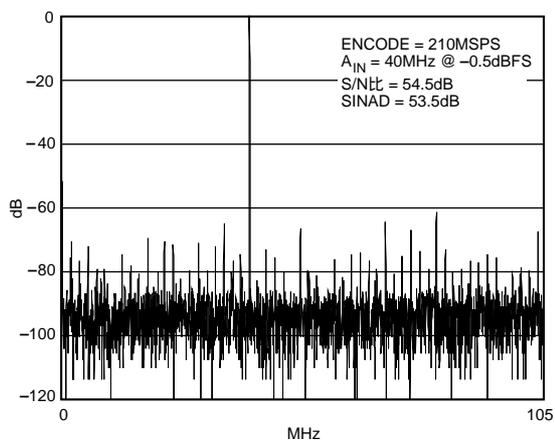
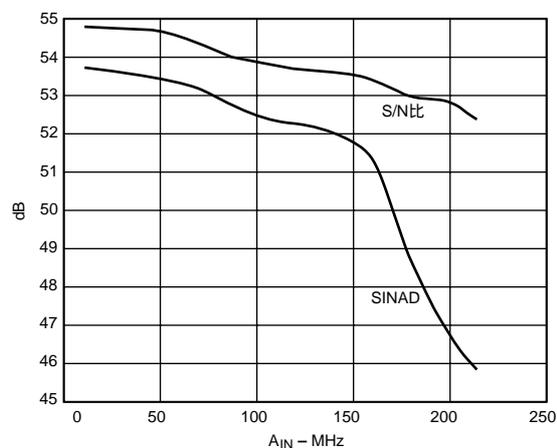


図9 I/P入力の等価回路

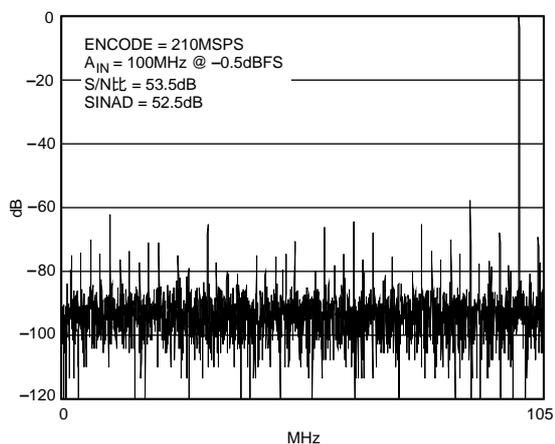
AD9410 代表的な性能特性



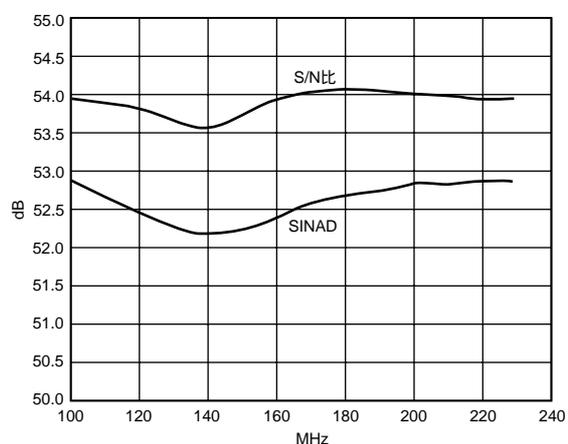
特性1 40MHzシングルトーン、Encode = 210MSPS



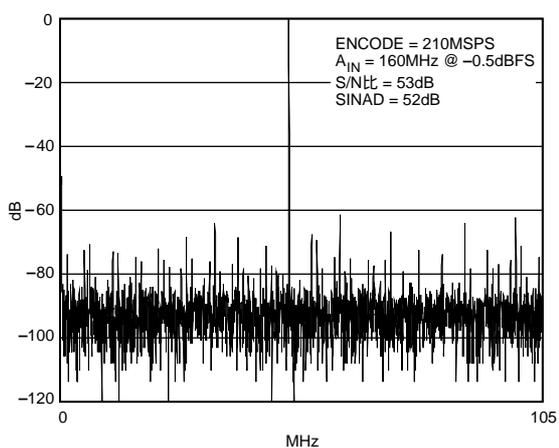
特性4 SNR/SINAD 対 A_{IN} の関係 (Encode = 210MSPS)



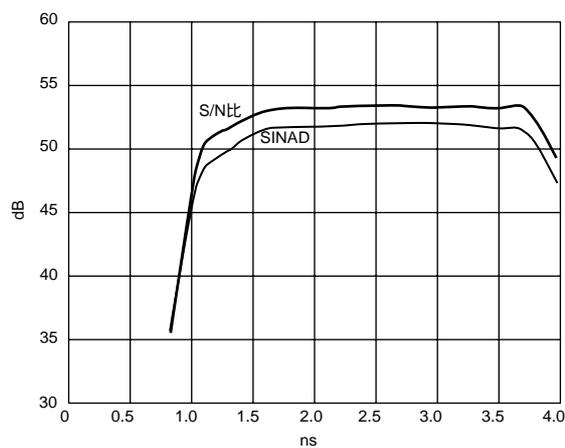
特性2 100MHzシングルトーン、Encode = 210MSPS



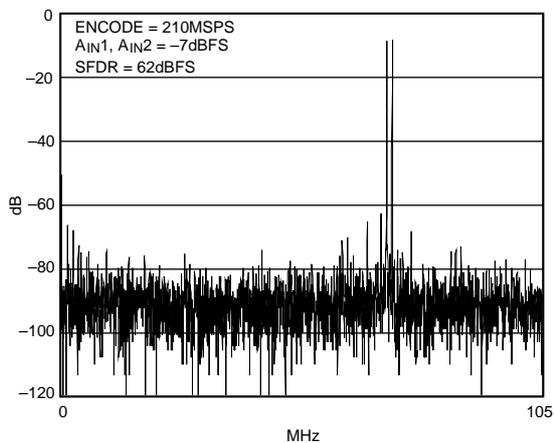
特性5 S/N比 / SINAD 対 F_s ($A_{IN} = 70\text{MHz}$)



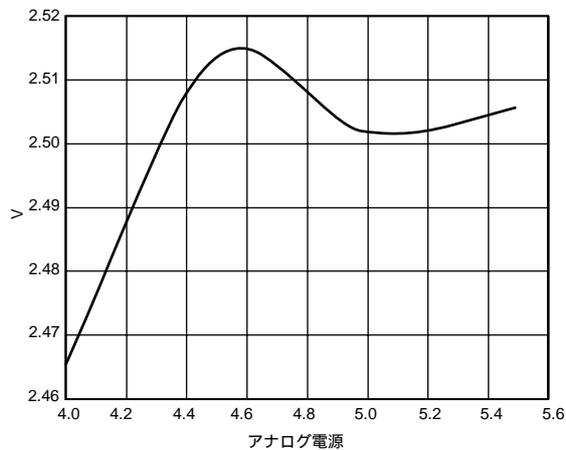
特性3 160MHzシングルトーン、Encode = 210MSPS



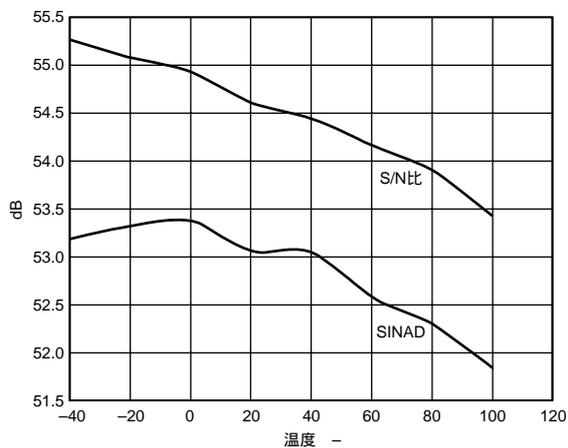
特性6 S/N比 / SINAD 対 Encode正極性パルス幅 ($F_s = 210\text{MSPS}$, $A_{IN} = 70\text{MHz}$)



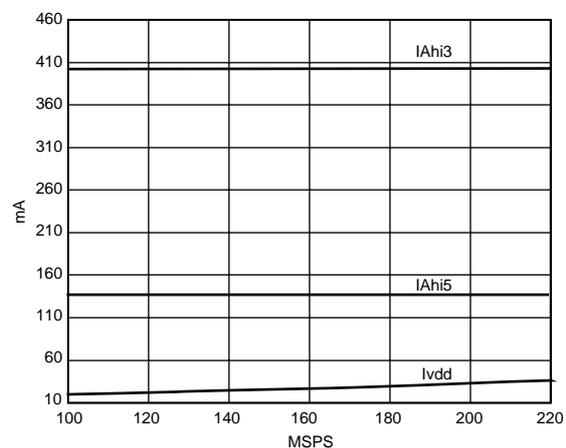
特性7 2周波テスト (AIN1 = 80.3MHz、AIN2 = 81.3MHz)



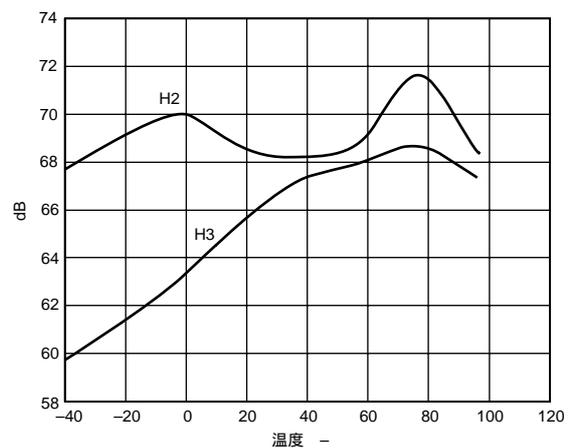
特性10 VREFOUT 対 アナログ5V電源



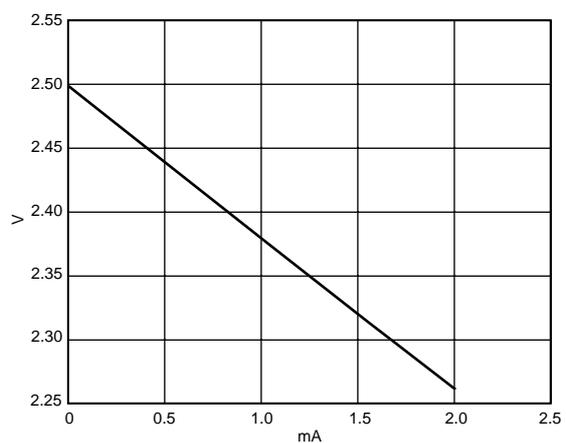
特性8 S/N比 / SINAD 対 温度
(Encode = 210MSPS、AIN = 70MHz)



特性11 電源電流 対 Encode

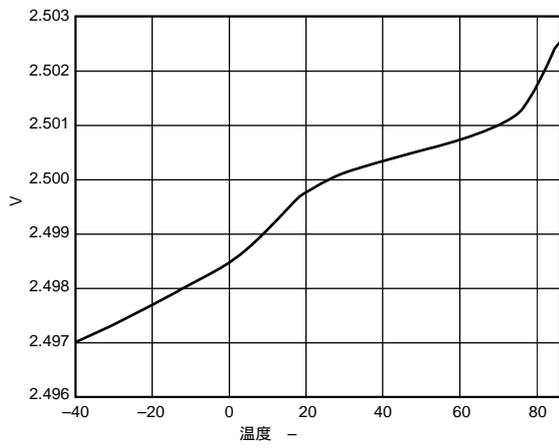


特性9 2次および3次高調波 対 温度
(AIN = 70MHz、Encode = 210MSPS)

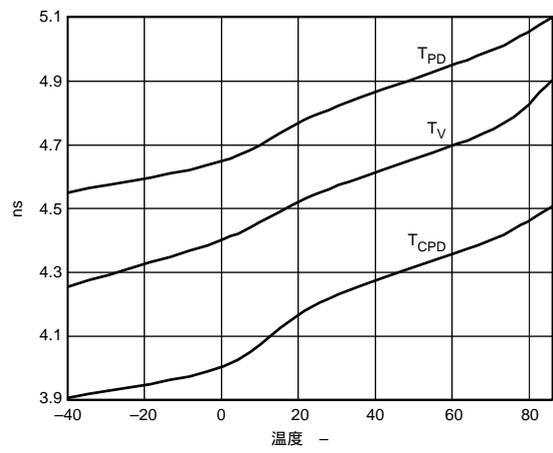


特性12 VREFOUT 対 ILOAD

AD9410



特性13 V_{REFOUT} 对温度



特性14 T_{PD} 、 T_V 、 T_{CPD} 对温度

アプリケーション・ノート

動作原理

AD9410のアーキテクチャは、高速動作と使い易さを実現するよう最適化されています。アナログ入力、内蔵の広帯域トラック/ホールド回路を駆動し、このトラック/ホールド回路が入力信号をサンプリングした後に、フラッシュ10ビット・コアにより量子化します。AD9410は、リファレンスとTTL、CMOS、PECLの各レベルを入力できる入力ロジックを内蔵しているため、使い易くなっています。

AD9410の使用に関して

Encode入力

高速・高分解能のA/Dコンバータは、ユーザーが用意するクロック入力の品質に敏感です。トラック/ホールド回路は本来ミキサであるため、クロックのノイズ、歪み、タイミング・ジッターがADCの出力信号に混入してしまいます。このため、設計ではAD9410のEncode入力には多くの注意が払われており、ユーザーモックソースに相当の注意を払うことが望まれます。S/N比の低下を1dB以内に抑えるため、ナイキスト・レートのサンプリングに対するクロックソースのジッターを1.25ps rms以下に抑えてください(例: Valpey Fisher VF561などを使用して)。必要なジッター精度は、入力周波数と振幅の関数であることに注意してください。詳細については、アナログ・デバイセズのアプリケーション・ノートAN-501『Aperture Uncertainty and ADC System Performance』を参照してください。

Encode入力はTTL/CMOS互換です。クロック入力は、差動信号またはシングル・エンド信号で駆動できます。最適性能は、クロックを差動で駆動したときに得られます。両Encode入力は、高インピーダンスの抵抗分割器により $1/3 \times V_{CC}$ に自己バイアスされています(等価回路を参照)。低周波アプリケーションに適したシングル・エンド・クロック駆動は、 $\overline{\text{Encode}}$ ピンに0.1 μF のコンデンサを接続して、Encode入力を直接駆動して実現できます。

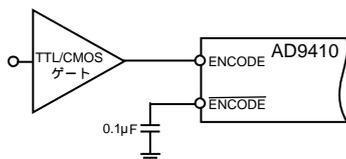


図10 シングル・エンドEncode入力のTTL/CMOSレベルによる駆動

図11に、PECLドライバからクロックを得る場合の例を示します。入力電流負荷を小さくするために、PECLドライバがEncode入力にAC結合されていることに注意してください。AD9410をPECLロジック・レベルにDC結合すると、Encode入力電流が約8mA(typ)に増えることがあります。これはEncode入力とPECLドライバとの間のDCバイアスの差に起因します(等価回路を参照してください)。

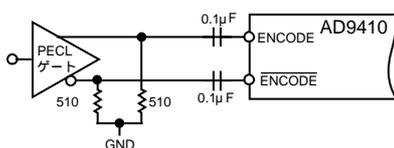


図11 Encode入力の差動駆動

アナログ入力

AD9410へのアナログ入力は差動バッファになっています。最適なダイナミック性能を得るためには、 A_{IN} と \overline{A}_{IN} のインピーダンスがマッチしている必要があります。AD9410のアナログ入力は、優れた広帯域性能を得るよう最適化されていますが、アナログ入力を差動で駆動することが必要です。アナログ入力をシングル・エンド信号で駆動すると、S/N比性能とSINAD性能は大幅に低下します。シングル・エンドから差動への変換を必要とするアプリケーションに対しては、Minicircuits社のADT1-1WTのような広帯域トランスを使って差動アナログ入力を用意できます。両アナログ入力は、内蔵の抵抗分割器により公称3Vにバイアスされています(等価回路参照)。AD9410のアナログ入力部の設計では、入力が過駆動された際の損傷とデータの破壊を防止するために特別な注意が払われています。公称入力範囲は差動1.5V p-pです。公称差動入力範囲は768mV p-p $\times 2$ です。

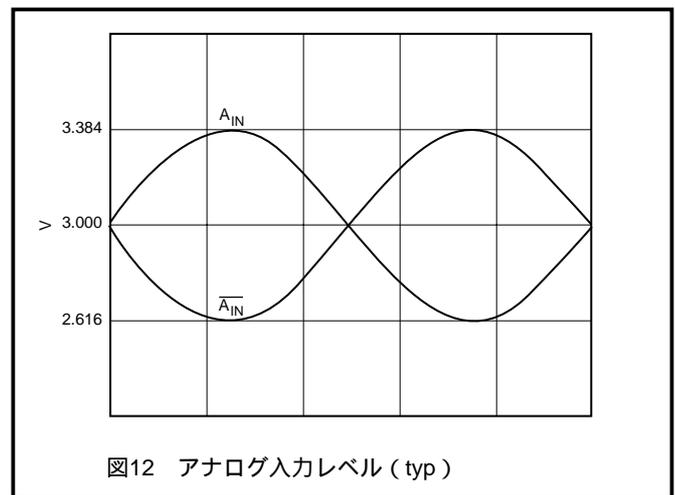


図12 アナログ入力レベル (typ)

デジタル出力

デジタル出力は、低消費電力のTTL/CMOS互換です。出力は分離した電源(V_{DD})を使ってバイアスされており、外部ロジックとのインターフェースが容易です。出力は、グラウンドから V_{DD} までの振幅(DC負荷なし)を可能にするCMOSデバイスです。出力パターンを短くして(合計 C_{LOAD} を5pF以下にするため1インチ以下)、ADCが駆動する容量負荷を抑えることを推奨します。小さい値(20)の直列ダンピング抵抗をデータラインに接続して、スイッチング過渡電圧による性能への影響を抑えることも望まれます。

クロック出力(DCO、 $\overline{\text{DCO}}$)

Encode入力は2分周されて、DCOと $\overline{\text{DCO}}$ からチップ外に出力されます。これらのクロックを使うと、チップ外でのラッチが可能になり、スキューの小さいクロック・ソリューションが得られます(タイミング図参照)。これらのクロックを使うと、複数のAD9410システム内で複数のADCの同期化可能です。アプリケーションに応じてDCOまたは $\overline{\text{DCO}}$ をバッファし、これを使って2個目のAD9410のDS入力を駆動して、確実な同期化が可能です。性能に対するスイッチング過渡電圧の影響を抑えるため、内蔵のクロック・バッファは5~7pFを超える容量を駆動しないようにしてください。

リファレンス

AD9410は、安定した高精度の2.5Vリファレンスを内蔵しています($V_{REF OUT}$)。入力範囲は、リファレンスを変化させて調整できます。リファレンスを $\pm 5\%$ 以内で調整しても、顕著な性能低下はありません。ADCのフル・スケール範囲は、 $\pm 5\%$ の許容偏差でリファレンス変化に比例します。

AD9410

タイミング

AD9410は、インターリーブ・モードで6段のパイプライン遅延を持つラッチされたデータを出力します(図1参照)。パラレル・モードでは、Aポートにデータ・ポートの変化に対してさらに1サイクルのレイテンシが追加されます。したがって、Aポートではレイテンシが7サイクルになります。出力データ・ラインの長さ、それらに接続された負荷を最小にしてAD9410内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9410の最小保証変換レートは100MSPSです。100MSPSより低い内部クロック・レートでは、ダイナミック性能が低下することがあります。低い実効サンプリング・レートは、1つの出力ポートだけをサンプリングして、簡単に実現できます。すなわち、出力の1/2デシメーションを行います。クロックのハイパルス幅を最大の5nsになるようにして、クロックのデューティ・サイクルを制限しても、低いサンプリング周波数を実現できます。

評価ボード

AD9410評価ボードを使うと、AD9410のテストが容易に行えます。このボードには、アナログ入力、クロック、3V/5V電源が必要です。デジタル出力と出力クロックは、標準の80ピン・ヘッダーP2、P3に出力されます。このボードは複数の動作モードを備えており、次の設定で出荷されています。

- ・出力タイミング = パラレル・モード
- ・出力フォーマット = オフセット・バイナリ
- ・内部リファレンス使用

電源コネクタ

電源は、取り外し可能な4ピンの電源ストリップP1、P4、P5を使ってボードに供給します。

VDAC オプションのDAC電源入力(3.3V)

EXT REF オプションの外部VREF入力(2.5V)

V_{DD} ロジック電源(3.3V)

3.3VA アナログ電源(3.3V)

5V アナログ電源(5V)

アナログ入力

評価ボードのSMB J8には、グラウンド・レベルを中心とする1.5V p-pのアナログ入力信号を接続します。この入力はボード上のトランス2次側で50 Ω終端されていますが、別の終端が必要な場合は、SMBで終端することもできます。この入力はAC結合された後にトランスに入力されます。トランスは約1 ~ 400MHzの周波数範囲に帯域制限されています。

Encode

ボードへのEncode入力はSMBコネクタJ1にあります。この入力は、グラウンドに接続された50 Ωによりボード上で終端されています。この入力(0.5V p-p以上)はAC結合された後に、高速差動ライン・レシーバ(MC10EL16)を駆動します。このレシーバは、ns以下の高速な立ち上がり時間を持つ波形を出力します。これは最適性能を得るためにADCクロック入力に必要な条件です。EL16出力はPECLレベルであり、AD9410のEncode入力におけるコモン・モードDCレベルの条件を満たすためにAC結合されています。

データ同期(DS)

ポートAまたはポートBの、どちらか特定の出力ポートにサンプルを出力する必要があるアプリケーションでは、データ同期入力DSを使用できます。DSがハイになると、ADCデータ出力とクロックがスイッチしなくなり、静止状態になります。同期化は、Encodeの立ち上がりエッジを基準とするタイミング制約条件T_{SDS}およびT_{HDS}内に、DSをアサートすること(立ち下がりエッジ)によって実現します(初期同期化では、T_{HDS}は無関係です)。DSの立ち下がりが、Encodeの適用された立ち上がりエッジN以前の必要なセットアップ時間(T_{SDS})内に発生すると、その時点のアナログ値がデジタル化されて、6サイクル後にポートBに出力されます(インターリーブ・モード)。その直後のサンプルN+1は次の立ち上がりエッジでサンプルされて、そのEncodeエッジの6サイクル後にポートAに出力されます(インターリーブ・モード)。デュアル・パラレル・モードでは、ポートAのレイテンシは7サイクル、ポートBのレイテンシは6サイクルとなりますが、データは同時に出力されます。

リファレンス

AD9410には2.5Vのリファレンスが内蔵されており、REF_{OUT}(ピン4)から出力されています。多くのアプリケーションでは、この出力をREF_{IN}入力(ピン5)に接続するだけで済みます。ジャンパをE1、E6に配置すると、この接続が行われます。ジャンパをE1、E3に配置すると、外部リファレンスを使用できます。

出力タイミング

AD9410には2種類のタイミング・モードがあります(タイミング図参照)。ジャンパをE11、E7に配置すると、インターリーブ・モードが選択されます。ジャンパをE11、E14に配置すると、パラレル・モードが選択されます。

データ・フォーマットの選択(DFS)

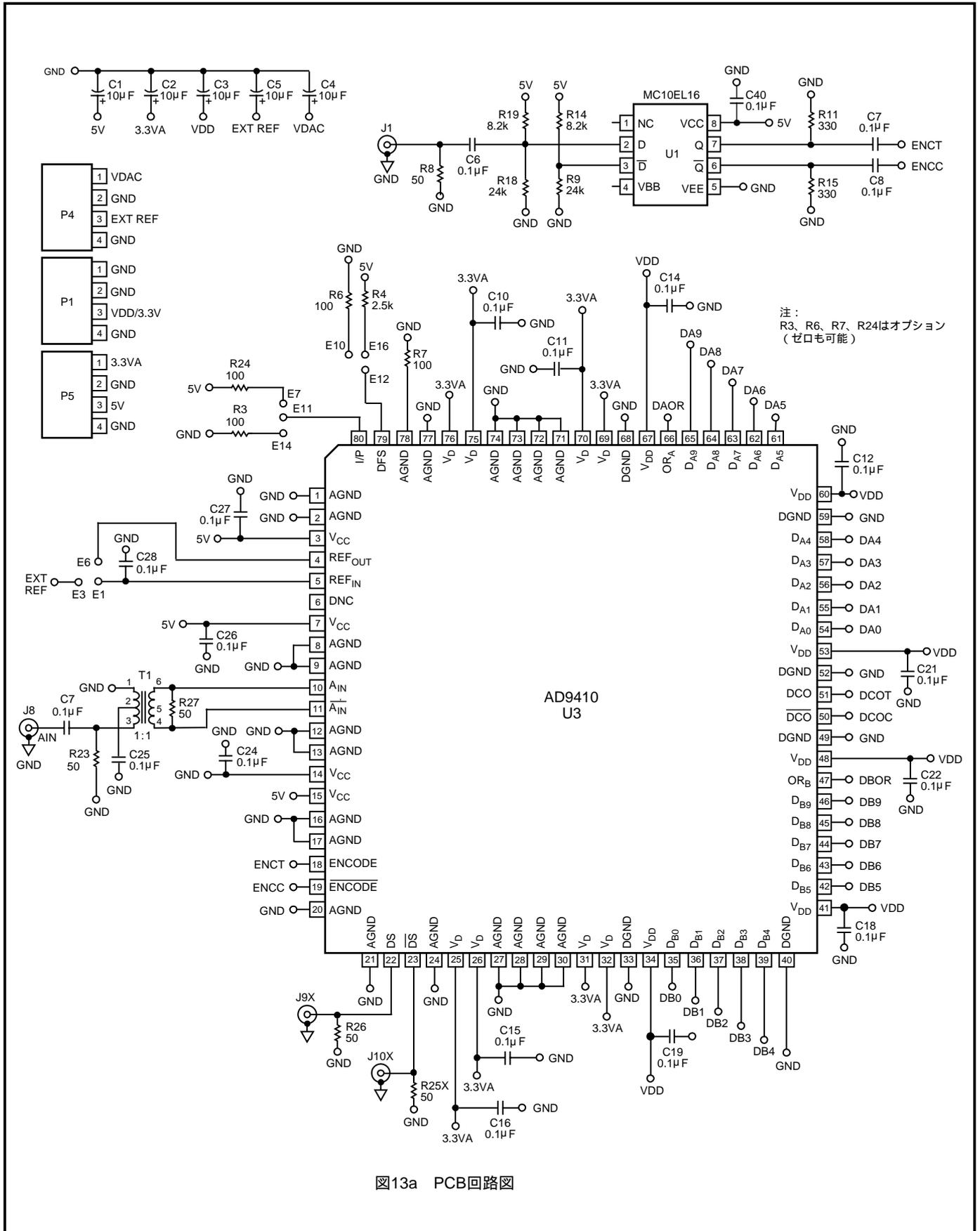
ADC出力の出力データ・フォーマットは、DFSピンを使って設定します。E12、E10でDFS(ピン79)をローに設定すると、出力フォーマットはオフセット・バイナリに設定されます。E12、E16でDFSをハイに設定すると、出力フォーマットは2の補数に設定されます。

DSピン

DS入力と $\overline{\text{DS}}$ 入力は、SMBコネクタのJ9XおよびJ10Xにあります。ボードは、R26によりDSをグラウンドにプルダウンした状態で出荷されています。DSは開放のままです(R25Xは実装されていません)。

DAC出力

デバッグを支援するために、各チャンネル出力は内蔵のデュアル・チャンネルDAC AD9751を使ってアナログ信号に戻されています。DACの性能は最適化されていないため、ADCのフル性能を正確に測定できないことがあります。ボード上に50 Ωの終端抵抗を持つ電流出力DACを使用しており、これらの出力はJ3とJ4にあります。



AD9410

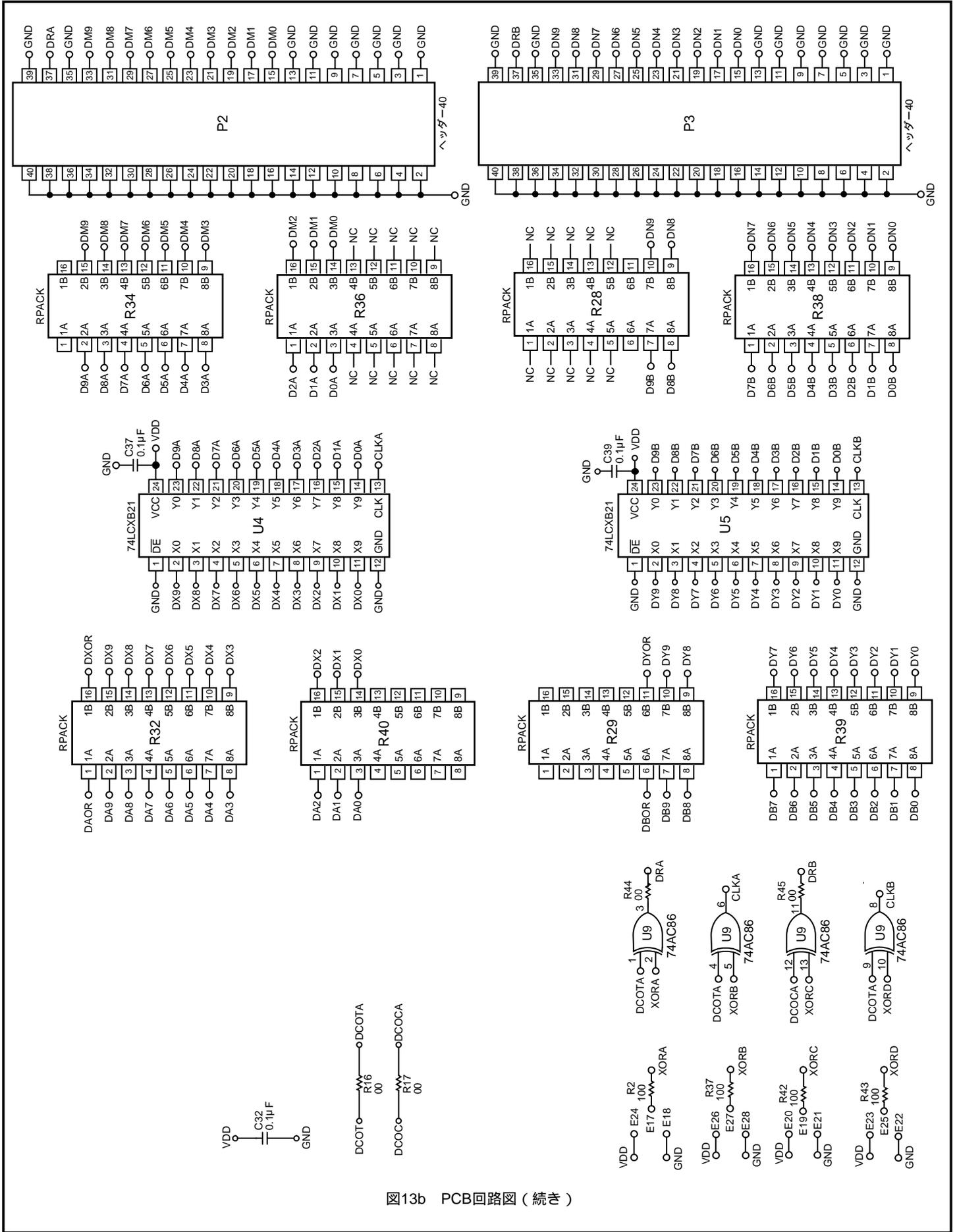


図13b PCB回路図 (続き)

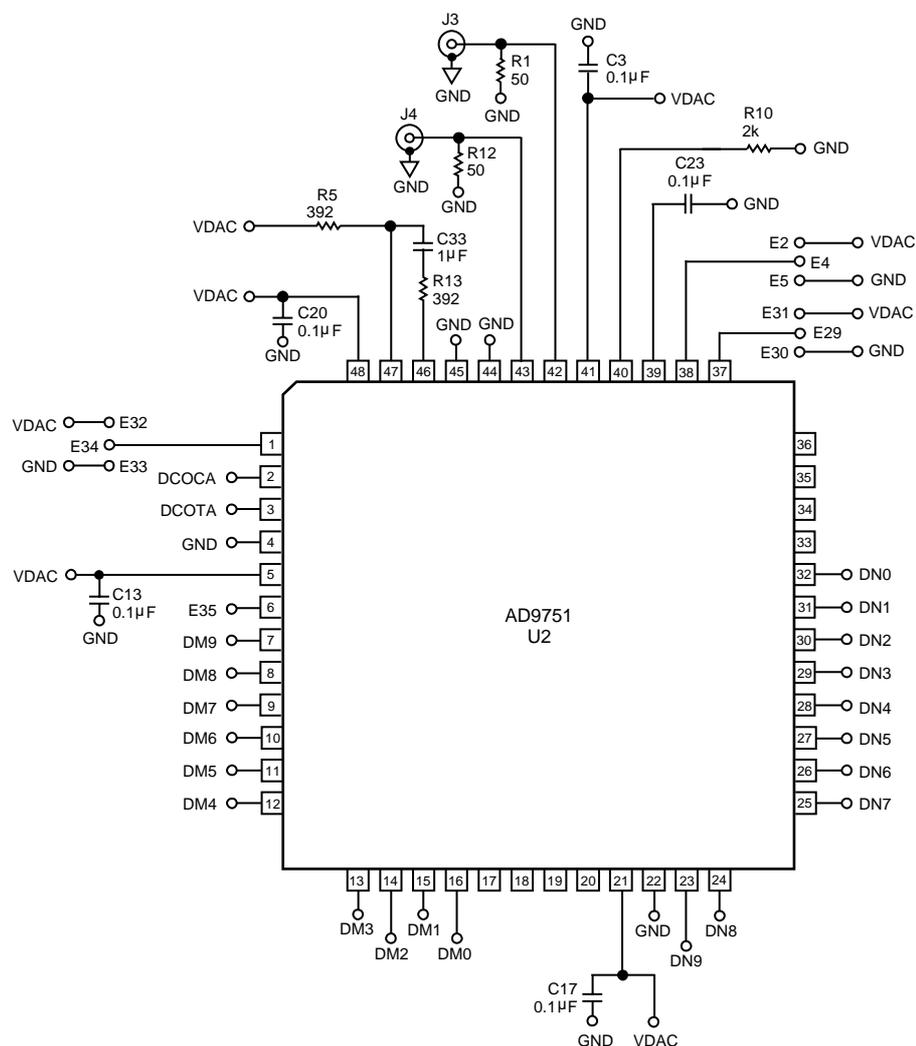


図13c PCB回路図 (続き)

トラブルシューティング

ボードが正常に動作しない場合は、以下のことを実行してみてください。

- ・ ICピンで電源を確認します。
- ・ すべてのジャンパが、選択した動作モードに対して正しい位置に配置されているかを確認します。
- ・ VREFが2.5Vであることを確認します。

・ Encodeクロックとアナログ入力を低速 (10MSPS/1MHz) で調整し、ラッチ出力、DAC出力、ADC出力がトグルすることを調べます。

AD9410評価ボードは、設計例としてアナログ・デバイセズのお客様に用意されたものです。当社が、特定の用途に対する商品性と適合性の保証を、明確に、法定上、または暗黙に行っているものではありません。

AD9410

評価ボードのレイアウト

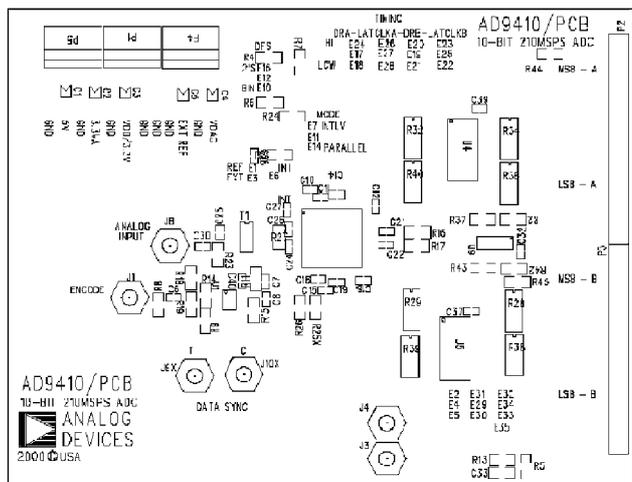


図14 表面のシルクスクリーン印刷

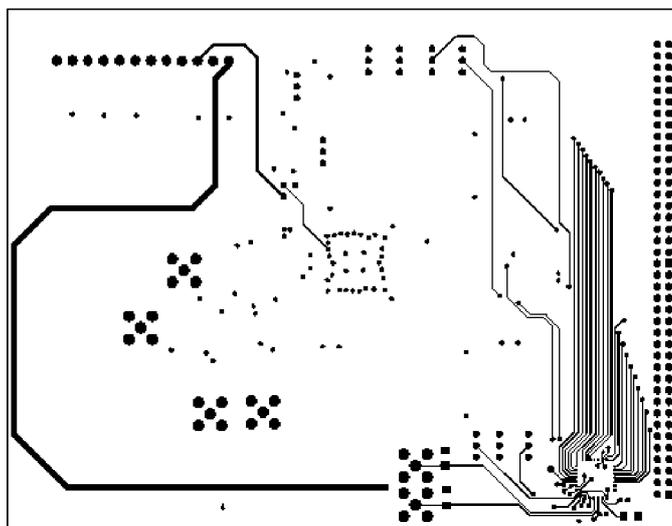


図17 裏面の部品と配線

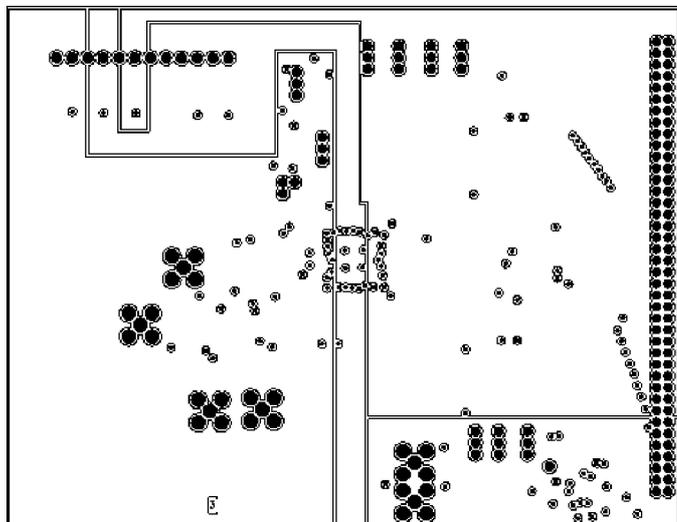


図15 電源プレーンの分割

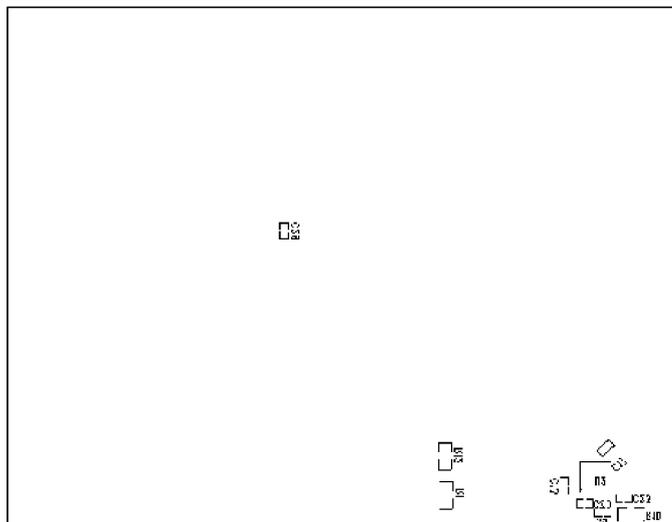


図18 裏面のシルクスクリーン印刷

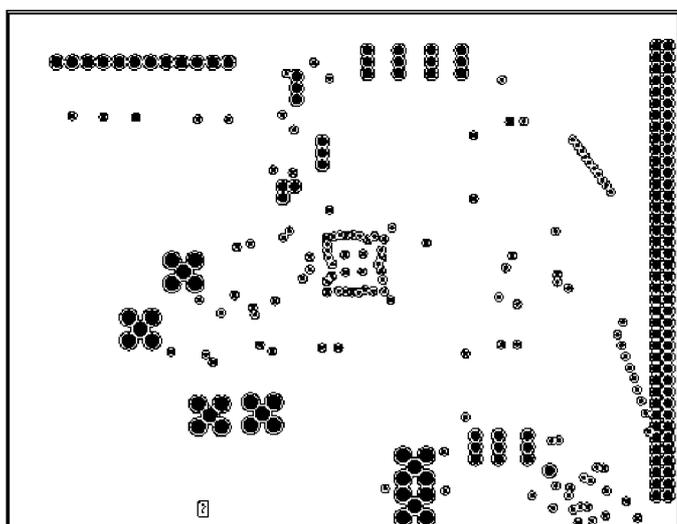


図16 グラウンド・プレーン

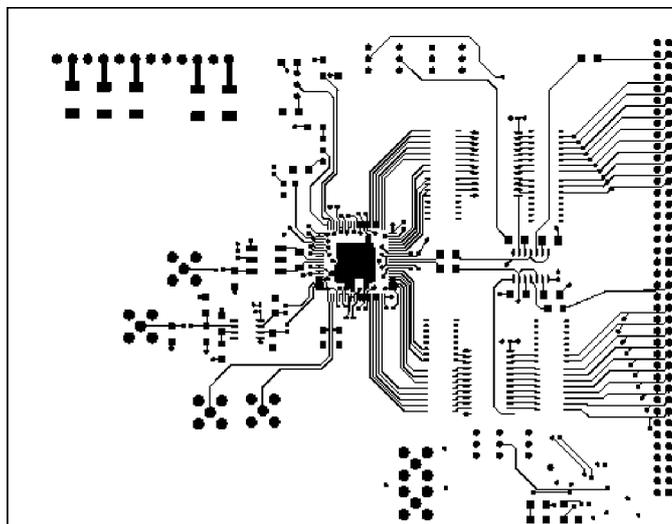


図19 表面の部品と配線

AD9410 評価ボードの部品表

数量	部品番号	デバイス	パッケージ	部品定数
5	C-C5	コンデンサ	TAJD	10 μ F
29	C6-C30, C32, C37, C39, C40	コンデンサ	603	0.1 μ F
1	C33	コンデンサ	1206	1 μ F
31	E1-E7, E10-E12, E14, E16-E35	Ehole		
6	J1, J3, J4, J8, J9X, J10X	SMB		
3	P1, P4, P5	4ピン電源 コネクタ	25.531.3425.0 25.602.5453.0	Wieland
2	P2, P3	40ピン・ヘッダー		
7	R1, R8, R12, R23* R25X, R26, R27	抵抗	1206	50
8	R2, R3, R4, R6, R24, R37, R42, R43	抵抗	1206	100
1	R13	抵抗	1206	392
1	R7	抵抗	1206	100
2	R9, R18	抵抗	1206	24 k
1	R10	抵抗	1206	2 k
2	R11, R15	抵抗	1206	330
2	R14, R19	抵抗	1206	8.2 k
5	R5, R16, R17, R44, R45	抵抗	1206	0
8	R28, R29, R32, R34, R36, R38 -R40	RPACK	766163220G 22	CTS
1	T1	トランス (1:1)	ADT1-1WT	Minicircuits
1	U1	MC10EL16	SOIC8	
1	U2	AD9751	LQFP48	
1	U3	AD9410	LQFP80	
2	U4, U5	74LCX821	SOIC24	
1	U9	74AC86	SOIC14	

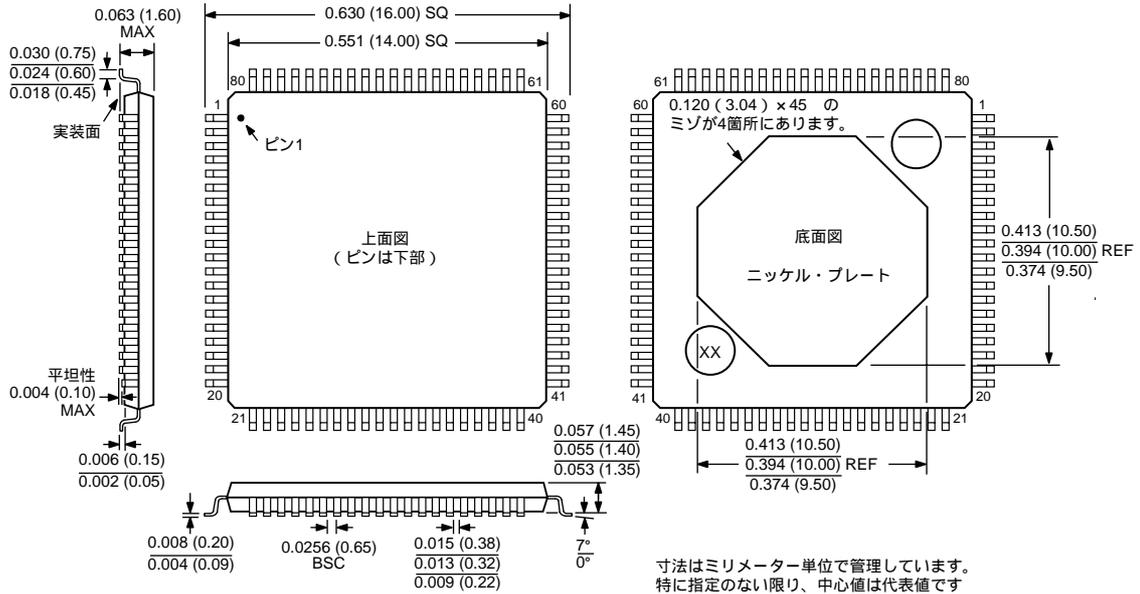
*オプションのR23 (50 の終端抵抗) は、ボードに実装されていません。

AD9410

外形寸法

サイズはインチと (mm) で示します。

80ピンPowerQuad 2 (LQFP_ED) (SQ-80)



注

AD9410は熱放散を助ける伝導性ヒート・スラグを使用して、工業用温度範囲の全域でデバイスの高信頼動作を保証しています。このスラグは、パッケージの底面に露出しています。スラグに接触するようなPCBパターンまたはバイアスは、パッケージの真下に配置しないことを推奨します。ほとんどのアプリケーションでは不要なことです。スラグをグラウンド・プレーンに接触させると、デバイスの接合温度を下げるのに役立つので、高温環境では有益です。

