

特長

SNR = 79.0 dBFS (70 MHz、125 MSPS)
 SFDR = 93 dBc (70 MHz、125 MSPS)
 低消費電力: 125 MSPS で 373 mW
 1.8 V のアナログ電源動作
 1.8 V の CMOS または LVDS 出力電源
 入力クロック分周器(1~8 分周)を内蔵
 IF サンプリング周波数: 300 MHz まで
 小信号入力ノイズ: -154.3 dBm/Hz (200 Ω 入力インピーダンス、
 70 MHz、125 MSPS)
 オプションの内蔵ディザ
 プログラマブルな ADC リファレンス電圧を内蔵
 ADC サンプル・アンド・ホールド入力を内蔵
 柔軟なアナログ入力範囲: 1 V p-p~2 V p-p
 650 MHz 帯域幅の差動アナログ入力
 ADC クロックのデューティ・サイクル・スタビライザを内蔵
 シリアル・ポート制御
 ユーザ設定可能なビルトイン・セルフテスト(BIST)機能
 省電力のパワーダウン・モード

アプリケーション

通信
 マルチモード・デジタル・レシーバ(3G)
 GSM、EDGE、W-CDMA、LTE、CDMA2000、WiMAX、TD-
 SCDMA
 スマート・アンテナ・システム
 汎用ソフトウェア無線
 ブロードバンド・データ・アプリケーション
 超音波装置

製品のハイライト

1. 低消費電力アナログ入力 で SFDR 性能を改善するディザ・オプションを内蔵。
2. 独自の差動入力により、最大 300 MHz までの入力周波数で優れた SNR 性能を維持。
3. 1.8 V 単電源で動作し、1.8 V の CMOS または LVDS 出力に対応するためのデジタル出力ドライバ電源を分離。
4. 標準シリアル・ポート・インターフェース(SPI)により、データ・フォーマッティング機能(オフセット・バイナリ、2の補数、グレイ・コーディング)、クロック・デューティ・サイクル安定化、DCS、パワーダウン、テスト・モード、リファレンス電圧モードなどの種々の製品機能をサポート。
5. AD9255 とピン互換であるため、16 ビットから 14 ビットへの移行が容易。

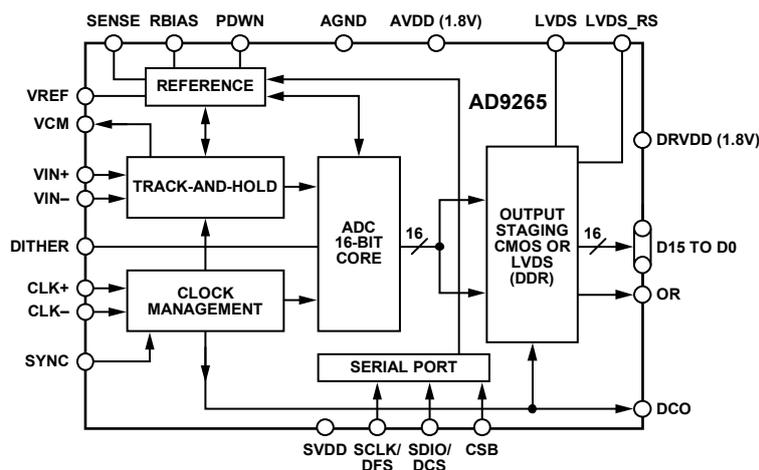
機能ブロック図


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2009–2010 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	リファレンス電圧.....	28
アプリケーション.....	1	クロック入力の考慮事項.....	29
製品のハイライト.....	1	消費電力とスタンバイ・モード.....	31
機能ブロック図.....	1	デジタル出力.....	32
改訂履歴.....	2	タイミング.....	32
概要.....	3	ビルトイン・セルフテスト(BIST)と出力テスト.....	33
仕様.....	4	ビルトイン・セルフテスト(BIST).....	33
ADCのDC仕様.....	4	出力テスト・モード.....	33
ADCのAC仕様.....	5	シリアル・ポート・インターフェース(SPI).....	34
デジタル仕様.....	6	SPIを使う設定.....	34
スイッチング仕様.....	8	ハードウェア・インターフェース.....	34
タイミング仕様.....	9	SPIを使わない設定.....	35
絶対最大定格.....	10	SPIからアクセス可能な機能.....	35
熱特性.....	10	メモリ・マップ.....	36
ESDの注意.....	10	メモリ・マップ・レジスタ・テーブルの読出し.....	36
ピン配置およびピン機能説明.....	11	メモリ・マップ・レジスタ・テーブル.....	37
代表的な性能特性.....	15	メモリ・マップ・レジスタの説明.....	39
等価回路.....	23	アプリケーション情報.....	40
動作原理.....	25	デザイン・ガイドライン.....	40
ADCのアーキテクチャ.....	25	外形寸法.....	41
アナログ入力に対する考慮.....	25	オーダー・ガイド.....	41

改訂履歴

1/10—Rev. 0 to Rev. A

Changes to Worst Other (Harmonic or Spur) Parameter, Table 2.....	5
Changes to Figure 77.....	29
Changes to Input Clock Divider Section.....	30
Changes to Table 17.....	37
Updated Outline Dimensions.....	41

10/09—Revision 0: Initial Version

概要

AD9265 は、16 ビット 125 MSPS の A/D コンバータ(ADC)です。AD9265 は、高性能と低価格小型多機能性との組み合わせが必要とされる通信アプリケーションをサポートするようにデザインされています。

ADC コアは、125 MSPS のデータレートで 16 ビット精度を提供し、全動作温度範囲でノー・ミスコードを保証するための出力誤差補正ロジックを内蔵するパイプライン化マルチステージ差動アーキテクチャを採用しています。

この ADC は、ユーザ選択可能な、多様な入力範囲をサポートする広帯域差動サンプル・アンド・ホールド・アナログ入力アンプを持っています。このデバイスは、フルスケール電圧レベルでスイッチングする連続的なチャンネルをマルチプレクスするシステムや、ナイキスト・レートを大幅に上回る周波数で 1 つのチャンネル入力をサンプリングするシステムに適しています。これまでの ADC に比べて消費電力とコストを削減したこの AD9265 は、通信、計装、医用画像処理のアプリケーションに最適です。

差動クロック入力により、すべての内部変換サイクルが制御されます。デューティ・サイクル・スタビライザは、ADC のクロック・デューティ・サイクルの変動を補償して、広い範囲の入力クロック・デューティ・サイクルでコンバータの優れた性能を維持できるようにします。リファレンス電圧を内蔵しているためデザインが容易です。

ADC 出力データ・フォーマットは、パラレルの 1.8 V CMOS または LVDS (DDR)です。データ出力クロックは、受信ロジックとの適切なラッチ・タイミングを確保するように出力されます。

設定と制御は、3 線式の SPI 互換シリアル・インターフェースを介して行います。柔軟なパワーダウン・オプションは、必要に応じて大幅な省電力を可能にします。オプションの内蔵ディザ機能は、小電力のアナログ入力信号での SFDR 性能を改善するために使用することができます。

AD9265 は 48 ピンの鉛フリー-LFCSP パッケージを採用し、-40～+85°C の工業用温度範囲で仕様を規定しています。

仕様

ADCのDC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、SVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 1.

Parameter	Temp	AD9265BCPZ-80 ¹			AD9265BCPZ-105 ¹			AD9265BCPZ-125 ¹			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	Full	16			16			16			Bits
ACCURACY		Guaranteed			Guaranteed			Guaranteed			
No Missing Codes	Full	Guaranteed			Guaranteed			Guaranteed			
Offset Error	Full		±0.05	±0.25		±0.05	±0.25		±0.05	±0.25	% FSR
Gain Error	Full		±0.2	±2.5		±0.2	±2.5		±0.4	±2.5	% FSR
Differential Nonlinearity (DNL) ²	Full	-1.0		+1.25	-1.0		+1.25	-1.0		+1.25	LSB
	25°C		±0.6			±0.65			±0.7		LSB
Integral Nonlinearity (INL) ²	Full			±2.5			±3.5			±4.5	LSB
	25°C		±1.5			±2.0			±3.0		LSB
TEMPERATURE DRIFT											
Offset Error	Full		±2			±2			±2		ppm/°C
Gain Error	Full		±15			±15			±15		ppm/°C
INTERNAL VOLTAGE REFERENCE											
Output Voltage Error (1 V Mode)	Full		+8	±12		+8	±12		+8	±12	mV
Load Regulation @ 1.0 mA	Full		3			3			3		mV
INPUT REFERRED NOISE											
VREF = 1.0 V	25°C		2.17			2.26			2.17		LSB rms
ANALOG INPUT											
Input Span, VREF = 1.0 V	Full		2			2			2		V p-p
Input Capacitance ³	Full		8			8			8		pF
Input Common-Mode Voltage	Full		0.9			0.9			0.9		V
REFERENCE INPUT RESISTANCE	Full		6			6			6		kΩ
POWER SUPPLIES											
Supply Voltage											
AVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	Full	1.7	1.8	1.9	1.7	1.8	1.9	1.7	1.8	1.9	V
SVDD	Full	1.7		3.5	1.7		3.5	1.7		3.5	V
Supply Current											
I _{AVDD} ²	Full		126	131		169	176		194	202	mA
I _{DRVDD} ²											
1.8 V CMOS	Full		14			20			24		mA
1.8 V LVDS	Full		43			46			49		mA
POWER CONSUMPTION											
DC Input	Full		241	258		323	343		373	392	mW
Sine Wave Input ²											
DRVDD = 1.8 V											
CMOS Output Mode	Full		254			341			394		mW
LVDS Output Mode	Full		308			391			439		mW
Standby Power ⁴	Full		54			54			54		mW
Power-Down Power	Full		0.05	0.15		0.05	0.15		0.05	.015	mW

¹ 部品番号の後ろのサフィックスは、オーダー・ガイドのセクションに記載するモデルを意味します。

² 低入力周波数、フル・スケール正弦波、各出力ビットに約 5 pF の負荷を接続して測定。

³ 入力容量は、1 本の差動入力ピンと AGND との間の実効容量です。

⁴ スタンバイ電力は、DC 入力と CLK ピン(CLK+, CLK-)を非アクティブ(すなわち AVDD または AGND に接続)にして測定。

ADCのAC仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、SVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 2.

Parameter ¹	Temp	AD9265BCPZ-80 ²			AD9265BCPZ-105 ²			AD9265BCPZ-125 ²			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
SIGNAL-TO-NOISE-RATIO (SNR)											
$f_{IN} = 2.4$ MHz	25°C		80.2			79.7			79.0		dBFS
$f_{IN} = 70$ MHz	25°C		79.7			79.2			79.0		dBFS
	Full	78.7			78.2			77.3			dBFS
$f_{IN} = 140$ MHz	25°C		78.4			78.3			77.5		dBFS
$f_{IN} = 200$ MHz	25°C		77.1			76.9			75.6		dBFS
SIGNAL-TO-NOISE-AND DISTORTION (SINAD)											
$f_{IN} = 2.4$ MHz	25°C		79.6			79.4			78.7		dBFS
$f_{IN} = 70$ MHz	25°C		79.6			78.8			78.7		dBFS
	Full	78.6			77.9			77.0			dBFS
$f_{IN} = 140$ MHz	25°C		77.3			77.5			77.0		dBFS
$f_{IN} = 200$ MHz	25°C		76.0			75.7			74.4		dBFS
EFFECTIVE NUMBER OF BITS (ENOB)											
$f_{IN} = 2.4$ MHz	25°C		12.9			12.9			12.8		Bits
$f_{IN} = 70$ MHz	25°C		12.9			12.8			12.8		Bits
$f_{IN} = 140$ MHz	25°C		12.5			12.6			12.5		Bits
$f_{IN} = 200$ MHz	25°C		12.3			12.3			12.1		Bits
WORST SECOND OR THIRD HARMONIC											
$f_{IN} = 2.4$ MHz	25°C		-88			-90			-88		dBc
$f_{IN} = 70$ MHz	25°C		-94			-89			-93		dBc
	Full			-92			-88			-85	dBc
$f_{IN} = 140$ MHz	25°C		-82			-86			-89		dBc
$f_{IN} = 200$ MHz	25°C		-81			-81			-80		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)											
$f_{IN} = 2.4$ MHz	25°C		88			90			88		dBc
$f_{IN} = 70$ MHz	25°C		94			89			93		dBc
	Full	92			88			85			dBc
$f_{IN} = 140$ MHz	25°C		82			86			89		dBc
$f_{IN} = 200$ MHz	25°C		81			81			80		dBc
SPURIOUS-FREE DYNAMIC RANGE (SFDR)											
Without Dither (AIN @ -23 dBFS)											
$f_{IN} = 2.4$ MHz	25°C		103			98			96		dBFS
$f_{IN} = 70$ MHz	25°C		103			96			98		dBFS
$f_{IN} = 140$ MHz	25°C		104			96			98		dBFS
$f_{IN} = 200$ MHz	25°C		102			101			97		dBFS
With On-Chip Dither (AIN @ -23 dBFS)											
$f_{IN} = 2.4$ MHz	25°C		110			108			108		dBFS
$f_{IN} = 70$ MHz	25°C		110			109			110		dBFS
$f_{IN} = 140$ MHz	25°C		110			109			109		dBFS
$f_{IN} = 200$ MHz	25°C		110			109			109		dBFS

Parameter ¹	Temp	AD9265BCPZ-80 ²			AD9265BCPZ-105 ²			AD9265BCPZ-125 ²			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
WORST OTHER (HARMONIC OR SPUR)											
Without Dither											
$f_{IN} = 2.4$ MHz	25°C		-106		-105		-101				dBc
$f_{IN} = 70$ MHz	25°C		-106		-104		-103				dBc
	Full			-97		-95		-92			dBc
$f_{IN} = 140$ MHz	25°C		-104		-103		-104				dBc
$f_{IN} = 200$ MHz	25°C		-102		-103		-100				dBc
With On-Chip Dither											
$f_{IN} = 2.4$ MHz	25°C		-106		-105		-102				dBc
$f_{IN} = 70$ MHz	25°C		-106		-105		-103				dBc
	Full			-97		-99		-98			dBc
$f_{IN} = 140$ MHz	25°C		-104		-103		-104				dBc
$f_{IN} = 200$ MHz	25°C		-101		-101		-100				dBc
TWO-TONE SFDR											
Without Dither											
$f_{IN} = 29$ MHz (-7 dBFS), 32 MHz (-7 dBFS)	25°C		93		90		95				dBc
$f_{IN} = 169$ MHz (-7 dBFS), 172 MHz (-7 dBFS)	25°C		80		78		79				dBc
ANALOG INPUT BANDWIDTH	25°C		650		650		650				MHz

¹ 定義の完全なセットについてはアプリケーション・ノート AN-835 「Understanding High Speed ADC Testing and Evaluation」を参照してください。

² 部品番号の後ろのサフィックスは、オーダー・ガイドのセクションに記載するモデルを意味します。

デジタル仕様

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、SVDD = 1.8 V、最大サンプル・レート、VIN = -1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 3.

Parameter	Temperature	Min	Typ	Max	Unit
DIFFERENTIAL CLOCK INPUTS (CLK+, CLK-)					
Logic Compliance		CMOS/LVDS/LVPECL			
Internal Common-Mode Bias	Full		0.9		V
Differential Input Voltage	Full	0.3		3.6	V p-p
Input Voltage Range	Full	AGND		AVDD	V
Input Common-Mode Range	Full	0.9		1.4	V
High Level Input Current	Full	-100		+100	μA
Low Level Input Current	Full	-100		+100	μA
Input Capacitance	Full		4		pF
Input Resistance	Full	8	10	12	kΩ
SYNC INPUT					
Logic Compliance		CMOS			
Internal Bias	Full		0.9		V
Input Voltage Range	Full	AGND		AVDD	V
High Level Input Voltage	Full	1.2		AVDD	V
Low Level Input Voltage	Full	AGND		0.6	V
High Level Input Current	Full	-100		+100	μA
Low Level Input Current	Full	-100		+100	μA
Input Capacitance	Full		1		pF
Input Resistance	Full	12	16	20	kΩ

Parameter	Temperature	Min	Typ	Max	Unit
LOGIC INPUT (CSB)¹					
High Level Input Voltage	Full	1.22		SVDD	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	40		132	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT (SCLK/DFS)²					
High Level Input Voltage	Full	1.22		SVDD	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 1.8 V)	Full	-92		-135	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		2		pF
LOGIC INPUT/OUTPUT (SDIO/DCS)¹					
High Level Input Voltage	Full	1.22		SVDD	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current	Full	-10		+10	μA
Low Level Input Current	Full	38		128	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
High Level Output Voltage	Full	1.70			V
Low Level Output Voltage	Full			0.2	V
LOGIC INPUTS (OEB, PDWN, DITHER, LVDS, LVDS_RS)²					
High Level Input Voltage	Full	1.22		2.1	V
Low Level Input Voltage	Full	0		0.6	V
High Level Input Current (VIN = 1.8 V)	Full	-90		-134	μA
Low Level Input Current	Full	-10		+10	μA
Input Resistance	Full		26		kΩ
Input Capacitance	Full		5		pF
DIGITAL OUTPUTS (DRVDD = 1.8 V)					
CMOS Mode					
High Level Output Voltage					
I _{OH} = 50 μA	Full	1.79			V
I _{OH} = 0.5 mA	Full	1.75			V
Low Level Output Voltage					
I _{OL} = 1.6 mA	Full			0.2	V
I _{OL} = 50 μA	Full			0.05	V
LVDS Mode					
ANSI Mode					
Differential Output Voltage (V _{OD})	Full	290	345	400	mV
Output Offset Voltage (V _{OS})	Full	1.15	1.25	1.35	V
Reduced Swing Mode					
Differential Output Voltage (V _{OD})	Full	160	200	230	mV
Output Offset Voltage (V _{OS})	Full	1.15	1.25	1.35	V

¹ プルアップ。² プルダウン。

スイッチング仕様

特に指定がない限り、-1.0 dBFS 差動入力、1.0 V 内蔵リファレンス電圧、DCS をイネーブル。

表 4.

Parameter	Temp	AD9265BCPZ-80 ¹			AD9265BCPZ-105 ¹			AD9265BCPZ-125 ¹			Unit
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
CLOCK INPUT PARAMETERS											
Input Clock Rate	Full			625			625			625	MHz
Conversion Rate ²											
DCS Enabled	Full	20		80	20		105	20		125	MSPS
DCS Disabled	Full	10		80	10		105	10		125	MSPS
CLK Period—Divide-by-1 Mode (t_{CLK})	Full	12.5			9.5			8			ns
CLK Pulse Width High (t_{CH})											
Divide-by-1 Mode, DCS Enabled	Full	3.75	6.25	8.75	2.85	4.75	6.65	2.4	4	5.6	ns
Divide-by-1 Mode, DCS Disabled		5.9	6.25	6.6	4.5	4.75	5.0	3.8	4	4.2	ns
Divide-by-3 Mode, Divide-by-5 Mode, and Divide-by-7 Mode, DCS Enabled ³	Full	0.8			0.8			0.8			ns
Divide-by-2 Mode, Divide-by-4 Mode, Divide-by-6 Mode and Divide-by-8 Mode, DCS Enabled or DCS Disabled ³	Full	0.8			0.8			0.8			ns
Aperture Delay (t_A)	Full		1.0			1.0			1.0		ns
Aperture Uncertainty (Jitter, t_j)	Full		0.07			0.07			0.07		ps rms
DATA OUTPUT PARAMETERS											
CMOS Mode											
Data Propagation Delay (t_{PD})	Full	2.4	2.8	3.4	2.4	2.8	3.4	2.4	2.8	3.4	ns
DCO Propagation Delay (t_{DCO}) ⁴	Full	2.7	3.4	4.2	2.7	3.4	4.2	2.7	3.4	4.2	ns
DCO to Data Skew (t_{SKEW})	Full	0.3	0.6	0.9	0.3	0.6	0.9	0.3	0.6	0.9	ns
Pipeline Delay (Latency)	Full		12			12			12		Cycles
LVDS Mode											
Data Propagation Delay (t_{PD})	Full	2.6	3.4	4.2	2.6	3.4	4.2	2.6	3.4	4.2	ns
DCO Propagation Delay (t_{DCO}) ⁴	Full	3.3	3.8	4.3	3.3	3.8	4.3	3.3	3.8	4.3	ns
DCO to Data Skew (t_{SKEW})	Full	-0.3	0.4	1.2	-0.3	0.4	1.2	-0.3	0.4	1.2	ns
Pipeline Delay (Latency)	Full		12.5			12.5			12.5		Cycles
Wake-Up Time ⁵	Full		500			500			500		μ s
OUT-OF-RANGE RECOVERY TIME	Full		2			2			2		Cycles

¹ 部品番号の後ろのサフィックスは、オーダー・ガイドのセクションに記載するモデルを意味します。

² 変換レートは分周後のクロック・レートです。

³ 入力クロック分周器での DCS の使用については、入力クロック分周器のセクションを参照してください。

⁴ SPI レジスタ 0x17(表 17 参照)のビット 0~ビット 4 に書込むことにより、DCO 遅延を追加することができます。

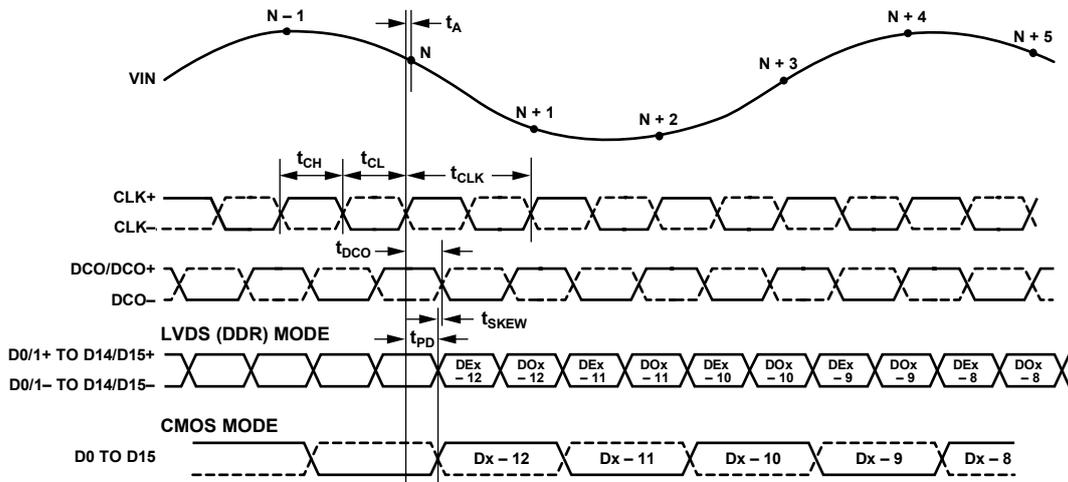
⁵ ウェイクアップ時間は、パワーダウン・モードから通常動作に戻るのに要する時間として定義されます。

タイミング仕様

表 5.

Parameter	Conditions	Min	Typ	Max	Unit
SYNC TIMING REQUIREMENTS					
t_{SSYNC}	SYNC to rising edge of CLK setup time		0.30		ns
t_{HSYNC}	SYNC to rising edge of CLK hold time		0.40		ns
SPI TIMING REQUIREMENTS					
t_{DS}	Setup time between the data and the rising edge of SCLK	2			ns
t_{DH}	Hold time between the data and the rising edge of SCLK	2			ns
t_{CLK}	Period of the SCLK	40			ns
t_S	Setup time between CSB and SCLK	2			ns
t_H	Hold time between CSB and SCLK	2			ns
t_{HIGH}	SCLK pulse width high	10			ns
t_{LOW}	SCLK pulse width low	10			ns
t_{EN_SDIO}	Time required for the SDIO pin to switch from an input to an output relative to the SCLK falling edge	10			ns
t_{DIS_SDIO}	Time required for the SDIO pin to switch from an output to an input relative to the SCLK rising edge	10			ns

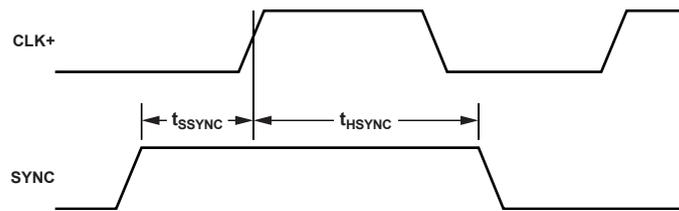
タイミング図



NOTES
 1. DEX DENOTES EVEN BIT.
 2. DOX DENOTES ODD BIT.

08502-002

図 2.LVDS (DDR)と CMOS の出力モードでのデータ出カタイミング



08502-104

図 3.SYNC の入カタイミング条件

絶対最大定格

表 6.

Parameter	Rating
Electrical	
AVDD to AGND	-0.3 V to +2.0 V
DRVDD to AGND	-0.3 V to +2.0V
SVDD to AGND	-0.3 V to +3.6 V
VIN+, VIN- to AGND	-0.3 V to AVDD + 0.2 V
CLK+, CLK- to AGND	-0.3 V to AVDD + 0.2 V
SYNC to AGND	-0.3 V to AVDD + 0.2 V
VREF to AGND	-0.3 V to AVDD + 0.2 V
SENSE to AGND	-0.3 V to AVDD + 0.2 V
VCM to AGND	-0.3 V to AVDD + 0.2 V
RBIAS to AGND	-0.3 V to AVDD + 0.2 V
CSB to AGND	-0.3 V to SVDD + 0.3 V
SCLK/DFS to AGND	-0.3 V to SVDD + 0.3 V
SDIO/DCS to AGND	-0.3V to SVDD + 0.3 V
OEB to AGND	-0.3 V to DRVDD + 0.2 V
PDWN to AGND	-0.3 V to DRVDD + 0.2 V
LVDS to AGND	-0.3 V to AVDD + 0.2 V
LVDS_RS to AGND	-0.3 V to AVDD + 0.2 V
DITHER to AGND	-0.3 V to AVDD + 0.2 V
D0 through D15 to AGND	-0.3 V to DRVDD + 0.2 V
DCO to AGND	-0.3 V to DRVDD + 0.2 V
Environmental	
Operating Temperature Range (Ambient)	-40°C to +85°C
Maximum Junction Temperature Under Bias	150°C
Storage Temperature Range (Ambient)	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱特性

LFCSP パッケージのエクスポーズド・パドルは、グラウンド・プレーンにハンダ付けする必要があります。エクスポーズド・パドルをグラウンド・プレーンにハンダ付けすると、ハンダ接続の信頼性が高くなり、パッケージの最大熱能力が得られます。

θ_{JA} (typ)は、厚いグラウンド・プレーンを持つ 4 層 PCB に対して規定されています。空気流を与えると熱放散が大きくなるので、 θ_{JA} が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

表 7. 熱抵抗

Package Type	Airflow Velocity (m/s)	θ_{JA} ^{1,2}	θ_{JC} ^{1,3}	θ_{JB} ^{1,4}	Unit
48-Lead LFCSP (CP-48-8)	0	24.5	1.3	12.7	°C/W
	1.0	21.4			°C/W
	2.5	19.2			°C/W

¹ JEDEC 51-7 と JEDEC 25-5 2S2P テスト・ボードに準拠。

² JEDEC JESD51-2 (自然空冷)または JEDEC JESD51-6 (強制空冷)に準拠。

³ MIL-Std 883, Method 1012.1 に準拠。

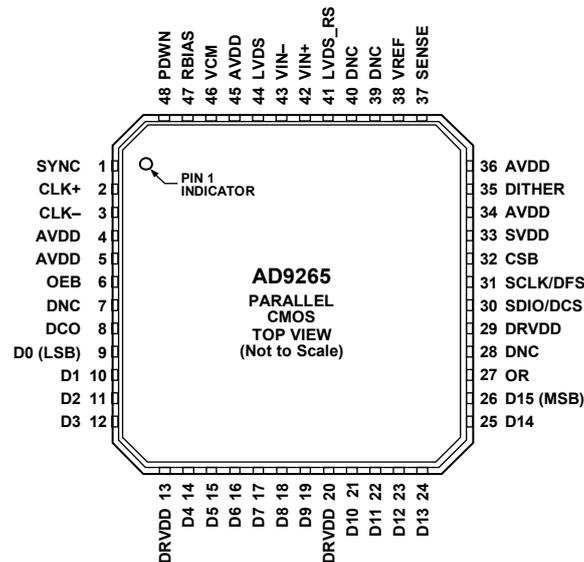
⁴ JEDEC JESD51-8 (自然空冷)に準拠。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES
 1. DNC = DO NOT CONNECT.
 2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE INPUT. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

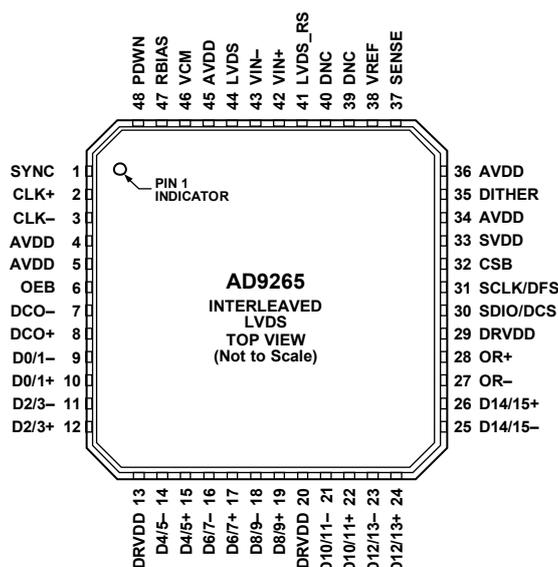
08592-003

図 4.LFCSP パラレル CMOS のピン配置(上面図)

表 8.ピン機能の説明(パラレル CMOS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
13、20、29	DRVDD	電源	デジタル出力ドライバ電源(1.8 V 公称)。
4、5、34、36、45	AVDD	電源	アナログ電源(1.8 V 公称)。
33	SVDD	電源	SPI 入力/出力電圧。
7、28、39、40	DNC		接続なし
0	AGND	グラウンド	アナログ・グラウンド。パッケージ底面のエクスポーズド・サーマル・パッドは、入力に対するアナログ・グラウンドとなります。正常動作のためには、このエクスポーズド・パッドをグラウンドに接続する必要があります。
ADC アナログ			
42	VIN+	入力	差動アナログ入力ピン(+)
43	VIN-	入力	差動アナログ入力ピン(-)
38	VREF	入力/出力	リファレンス電圧入力/出力。
37	SENSE	入力	リファレンス電圧モード・セレクト。詳細については、表 11 を参照。
47	RBIAS	入力/出力	外付けリファレンス電圧バイアス抵抗。
46	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
2	CLK+	入力	ADC クロック入力—真。
3	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
1	SYNC	入力	デジタル同期ピン。スレープ・モードの場合。
デジタル出力			
9	D0 (LSB)	出力	CMOS 出力データ。
10	D1	出力	CMOS 出力データ。
11	D2	出力	CMOS 出力データ。
12	D3	出力	CMOS 出力データ。
14	D4	出力	CMOS 出力データ。
15	D5	出力	CMOS 出力データ。
16	D6	出力	CMOS 出力データ。

ピン番号	記号	タイプ	説明
17	D7	出力	CMOS 出力データ。
18	D8	出力	CMOS 出力データ。
19	D9	出力	CMOS 出力データ。
21	D10	出力	CMOS 出力データ。
22	D11	出力	CMOS 出力データ。
23	D12	出力	CMOS 出力データ。
24	D13	出力	CMOS 出力データ。
25	D14	出力	CMOS 出力データ。
26	D15 (MSB)	出力	CMOS 出力データ。
27	OR	出力	オーバーレンジ出力。
8	DCO	出力	データ・クロック出力。
SPI 制御			
31	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
30	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
32	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
ADC 設定			
6	OEB	入力	出力イネーブル入力(アクティブ・ロー)。
35	DITHER	入力	外部ピン・モードで、このピンはディザをオンに設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
41	LVDS_RS	入力	外部ピン・モードで、このピンは LVDS 縮小振幅出力モードを設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
44	LVDS	入力	外部ピン・モードで、このピンは LVDS 出力モードを設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
48	PDWN	入力	外部ピン・モードでのパワーダウン入力。SPI モードでは、この入力をパワーダウンまたはスタンバイとして設定することができます。



NOTES

1. DNC = DO NOT CONNECT.
2. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

08502-004

図 5.LFCSFP インターリーブ・パラレル LVDS のピン配置(上面図)

表 9.ピン機能の説明(インターリーブ・パラレル LVDS モード)

ピン番号	記号	タイプ	説明
ADC 電源			
13、20、29	DRVDD	電源	デジタル出力ドライバ電源(1.8 V 公称)。
4、5、34、36、45	AVDD	電源	アナログ電源(1.8 V 公称)。
33	SVDD	電源	SPI 入力/出力電圧。
39、40	DNC		接続なし
0	AGND	グラウンド	アナログ・グラウンド。パッケージ底面のエクスポーズド・サーマル・パッドは、入力に対するアナログ・グラウンドとなります。正常動作のためには、このエクスポーズド・パッドをグラウンドに接続する必要があります。
ADC アナログ			
42	VIN+	入力	差動アナログ入力ピン(+)
43	VIN-	入力	差動アナログ入力ピン(-)
38	VREF	入力/出力	リファレンス電圧入力/出力。
37	SENSE	入力	リファレンス電圧モード・セレクト。詳細については、表 11 を参照。
47	RBIAS	入力/出力	外付けリファレンス電圧バイアス抵抗。
46	VCM	出力	アナログ入力の同相モード・レベル・バイアス出力。
2	CLK+	入力	ADC クロック入力—真。
3	CLK-	入力	ADC クロック入力—相補。
デジタル入力			
1	SYNC	入力	デジタル同期ピン。スレーブ・モードの場合。
デジタル出力			
10	D0/1+	出力	LVDS 出力データビット 0/ビット 1 (LSB)—真。
9	D0/1-	出力	LVDS 出力データビット 0/ビット 1 (LSB)—相補。
12	D2/3+	出力	LVDS 出力データビット 2/ビット 3—真。
11	D2/3-	出力	LVDS 出力データビット 2/ビット 3—相補。
15	D4/5+	出力	LVDS 出力データビット 4/ビット 5—真。
14	D4/5-	出力	LVDS 出力データビット 4/ビット 5—相補。
17	D6/7+	出力	LVDS 出力データビット 6/ビット 7—真。
16	D6/7-	出力	LVDS 出力データビット 6/ビット 7—相補。
19	D8/9+	出力	LVDS 出力データビット 8/ビット 9—真。
18	D8/9-	出力	LVDS 出力データビット 8/ビット 9—相補。

ピン番号	記号	タイプ	説明
22	D10/11+	出力	LVDS 出力データビット 10/ビット 11—真。
21	D10/11-	出力	LVDS 出力データビット 10/ビット 11—相補。
24	D12/13+	出力	LVDS 出力データビット 12/ビット 13—真。
23	D12/13-	出力	LVDS 出力データビット 12/ビット 13—相補。
26	D14/15+	出力	LVDS 出力データビット 14/ビット 15 (MSB)—真。
25	D14/15-	出力	LVDS 出力データビット 14/ビット 15 (MSB)—相補。
28	OR+	出力	LVDS オーバーレンジ出力—真。
27	OR-	出力	LVDS オーバーレンジ出力—相補。
8	DCO+	出力	LVDS データ・クロック出力—真。
7	DCO-	出力	LVDS データ・クロック出力—相補。
SPI 制御			
31	SCLK/DFS	入力	外部ピン・モードでの SPI シリアル・クロック/データ・フォーマット・セレクト・ピン。
30	SDIO/DCS	入力/出力	外部ピン・モードでの SPI シリアル・データ I/O/デューティ・サイクル・スタビライザ・ピン。
32	CSB	入力	SPI チップ・セレクト(アクティブ・ロー)。
ADC 設定			
6	OEB	入力	出力イネーブル入力(アクティブ・ロー)。
35	DITHER	入力	外部ピン・モードで、このピンはディザをオンに設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
41	LVDS_RS	入力	外部ピン・モードで、このピンは LVDS 縮小振幅出力モードを設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
44	LVDS	入力	外部ピン・モードで、このピンは LVDS 出力モードを設定します(アクティブ・ハイ)。SPI モードで、SPI を介する制御の場合は、ロー・レベルにします。
48	PDWN	入力	外部ピン・モードでのパワーダウン入力。SPI モードでは、この入力をパワーダウンまたはスタンバイとして設定することができます。

代表的な性能特性

特に指定がない限り、AVDD = 1.8 V、DRVDD = 1.8 V、SVDD = 1.8 V、サンプル・レート = 125 MSPS、DCS をイネーブル、1.0 V 内蔵リファレンス電圧、2 V p-p 差動入力、VIN = -1.0 dBFS、32k サンプル、TA = 25°C。

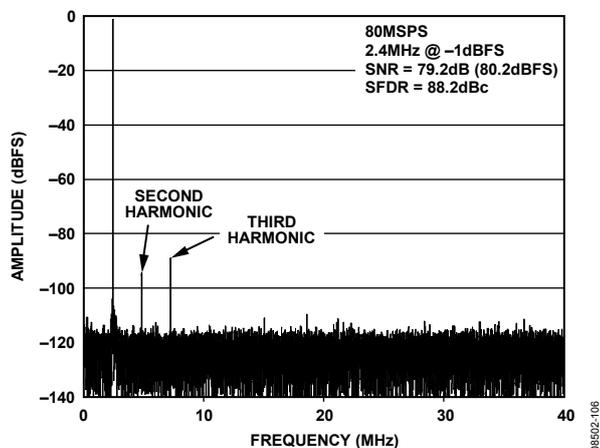


図 6. AD9265-80 シングル・トーン FFT、 $f_{IN} = 2.4$ MHz

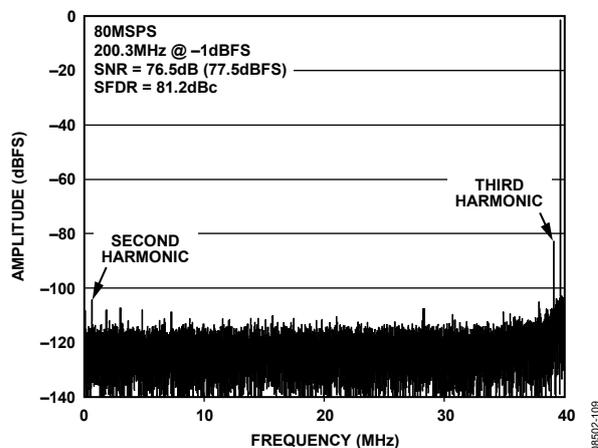


図 9. AD9265-80 シングル・トーン FFT、 $f_{IN} = 200.3$ MHz

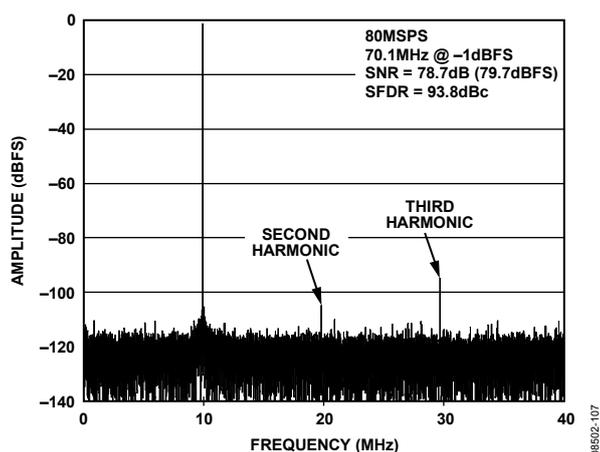


図 7. AD9265-80 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz

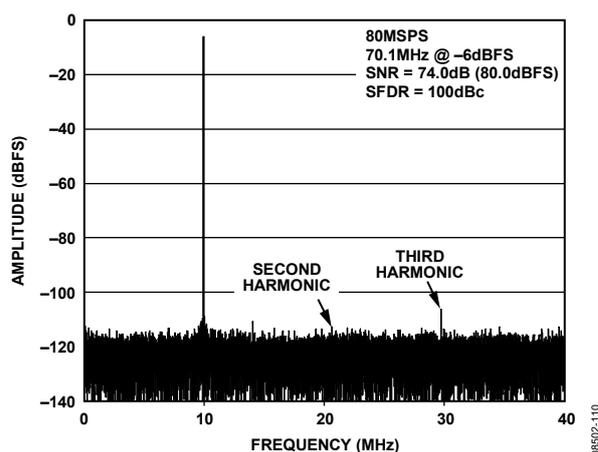


図 10. AD9265-80 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz
-6 dBFS、ディザをイネーブル

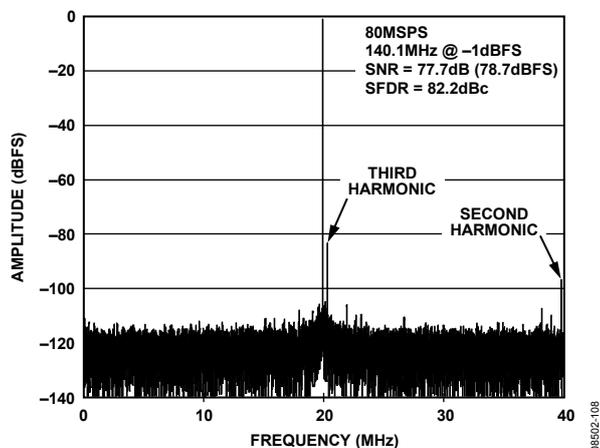


図 8. AD9265-80 シングル・トーン FFT、 $f_{IN} = 140.1$ MHz

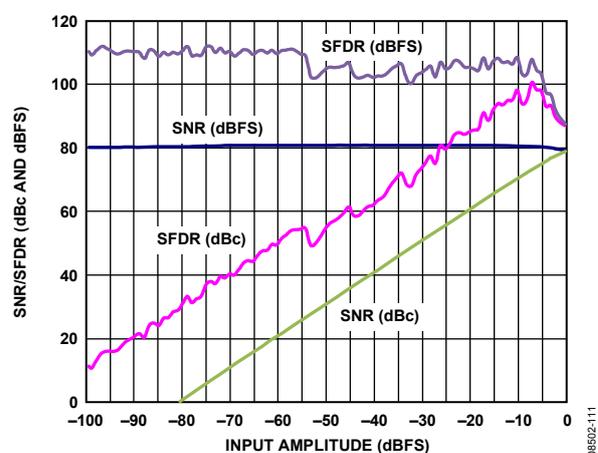


図 11. 入力振幅(A_{IN})対 AD9265-80 シングル・トーン SNR/SFDR、 $f_{IN} = 98.12$ MHz

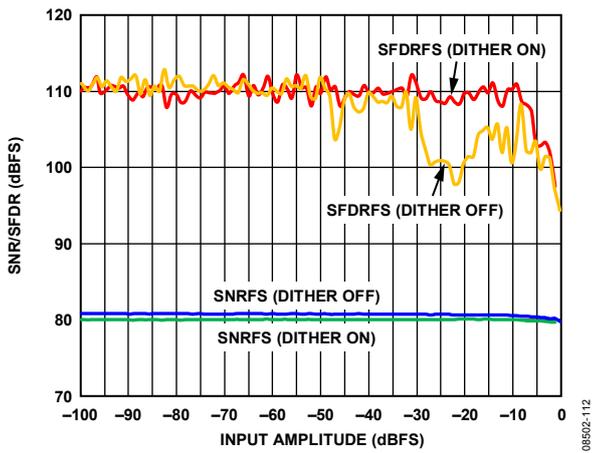


図 12. 入力振幅(A_{IN})対 AD9265-80 シングル・ トーン SNR/SFDR、 $f_{IN} = 30$ MHz、ディザをイネーブル/ディスエーブル

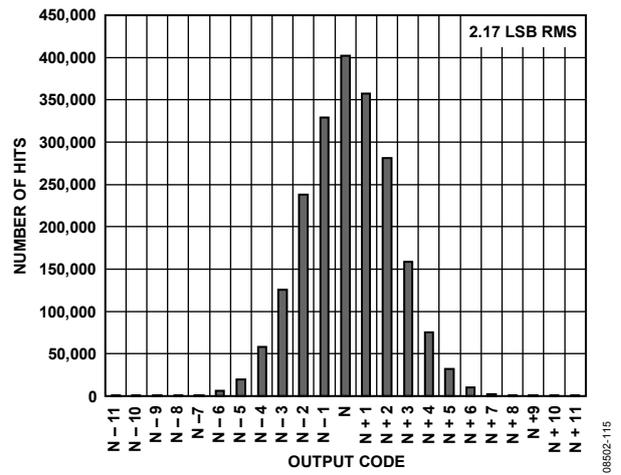


図 15. AD9265-80 グラウンド入力時のヒストグラム

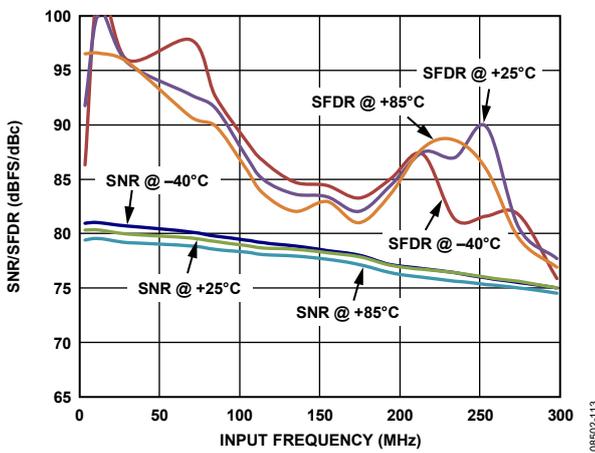


図 13. 入力周波数(f_{IN})および温度対 AD9265-80 シングル・ トーン SNR/SFDR、2 V p-p フルスケール

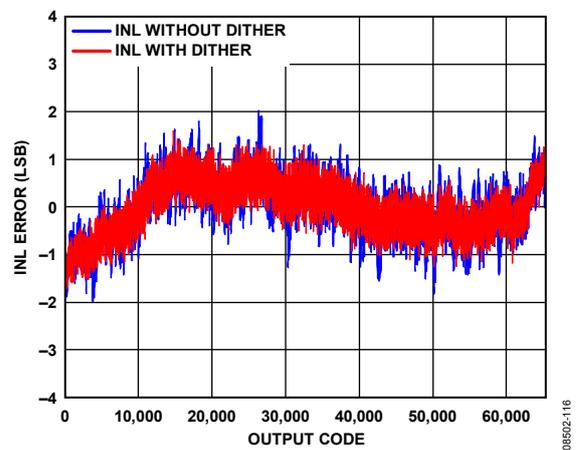


図 16. AD9265-80 INL、 $f_{IN} = 12.5$ MHz

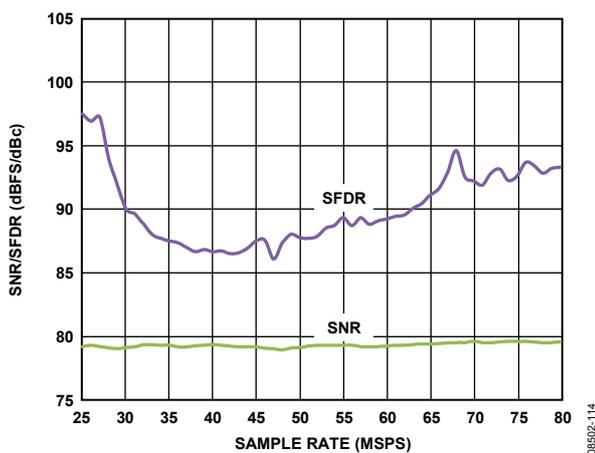


図 14. サンプル・ レート(f_s)対 AD9265-80 シングル・ トーン SNR/SFDR、 $f_{IN} = 70.1$ MHz

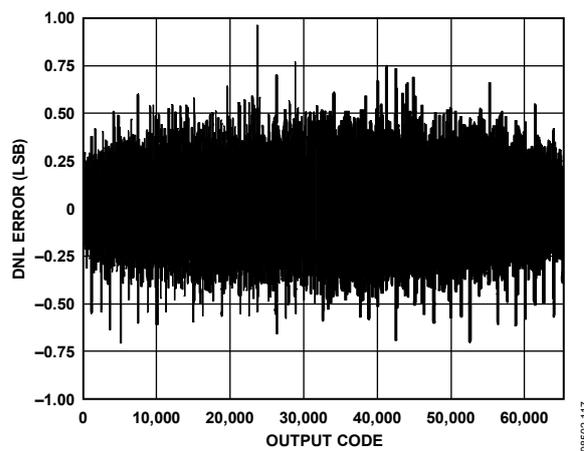


図 17. AD9265-80 DNL、 $f_{IN} = 12.5$ MHz

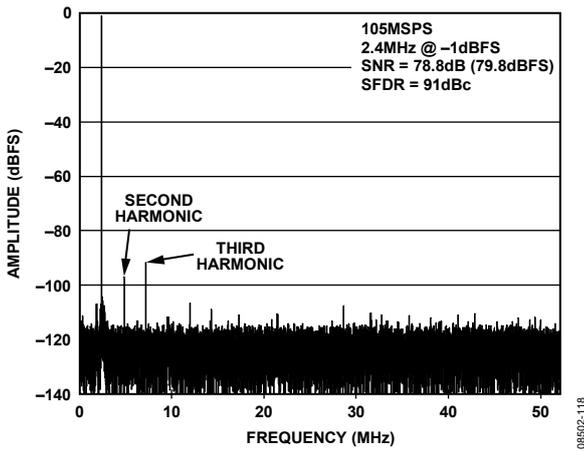


図 18.AD9265-105 シングル・トーン FFT、 $f_{IN} = 2.4$ MHz

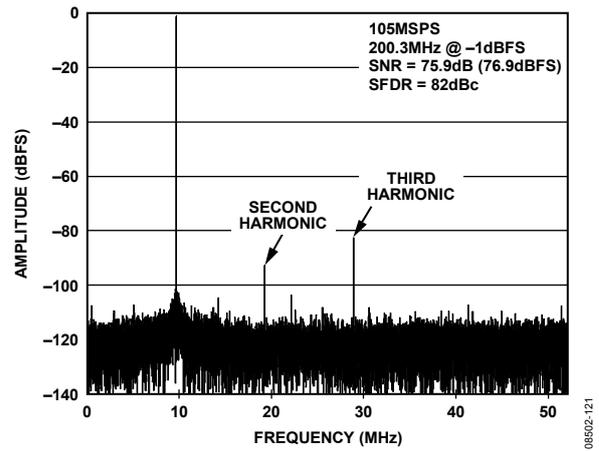


図 21.AD9265-105 シングル・トーン FFT、 $f_{IN} = 200.3$ MHz

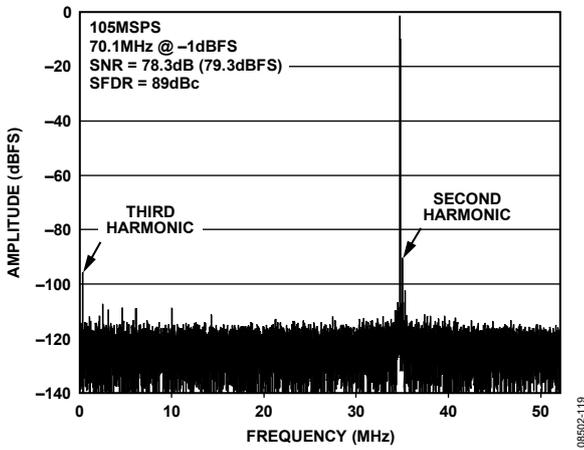


図 19.AD9265-105 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz

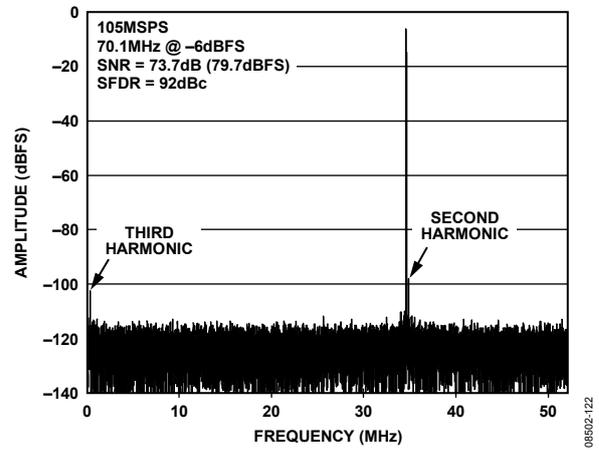


図 22.AD9265-105 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz
-6dBFS、ディザをイネーブル

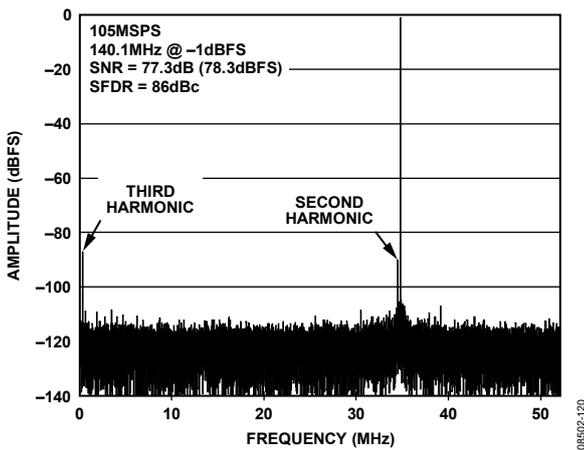


図 20.AD9265-105 シングル・トーン FFT、 $f_{IN} = 140.1$ MHz

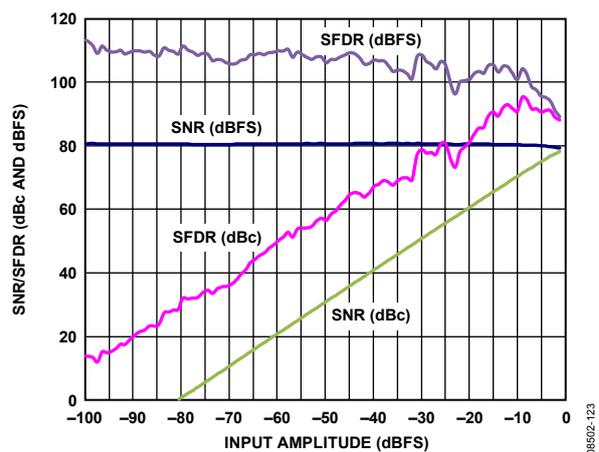


図 23.入力振幅(A_{IN})対 AD9265-105 シングル・トーン SNR/SFDR
 $f_{IN} = 98.12$ MHz

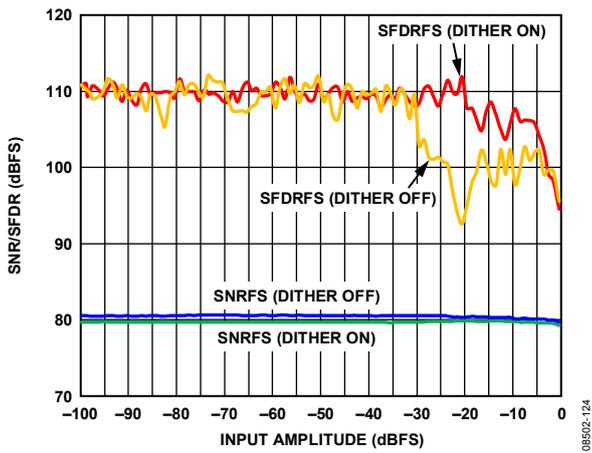


図 24. 入力振幅(A_{IN}) 対 AD9265-105 シングル・トーン SNR/SFDR、 $f_{IN} = 30$ MHz、ディザをイネーブル/ディスエーブル

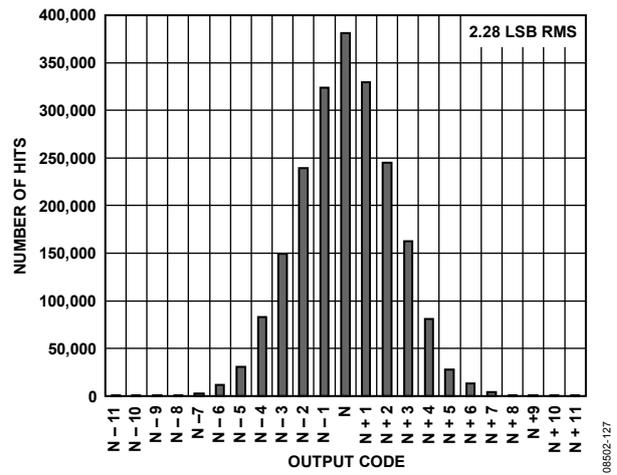


図 27. AD9265-105 グラウンド入力時のヒストグラム

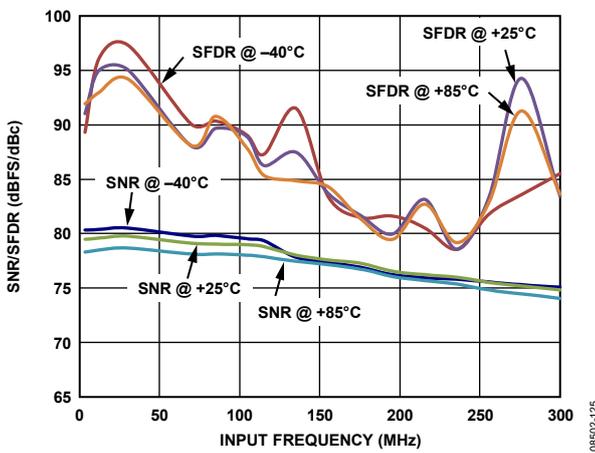


図 25. 入力周波数(f_{IN}) および温度 対 AD9265-105 シングル・トーン SNR/SFDR、2 V p-p フルスケール

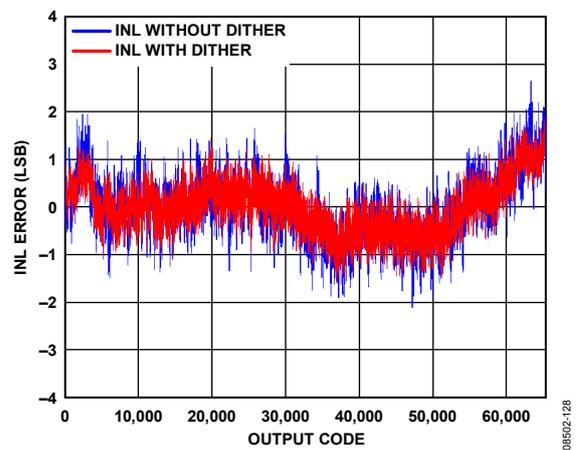


図 28. AD9265-105 INL、 $f_{IN} = 12.5$ MHz

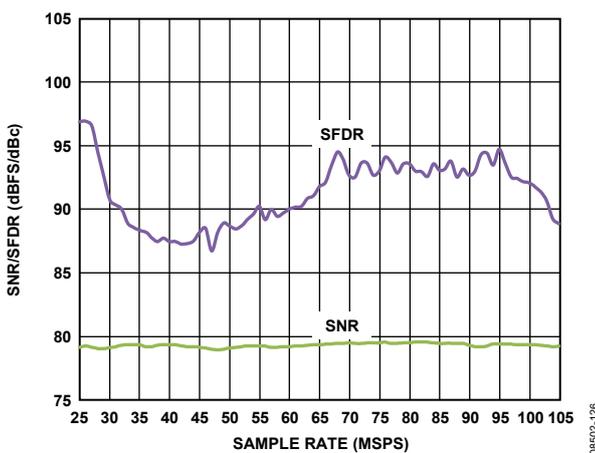


図 26. サンプル・レート(f_s) 対 AD9265-105 シングル・トーン SNR/SFDR、 $f_{IN} = 70.1$ MHz

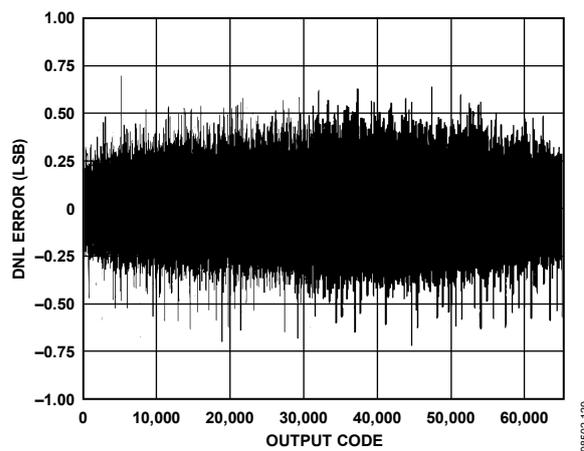


図 29. AD9265-105 DNL、 $f_{IN} = 12.5$ MHz

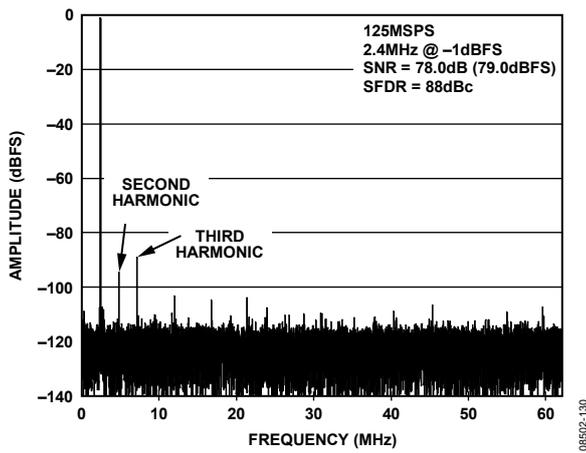


図 30.AD9265-125 シングル・トーン FFT、 $f_{IN} = 2.4$ MHz

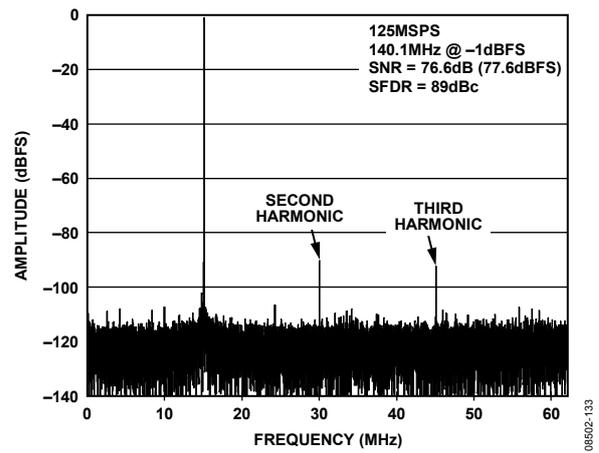


図 33.AD9265-125 シングル・トーン FFT、 $f_{IN} = 140.1$ MHz

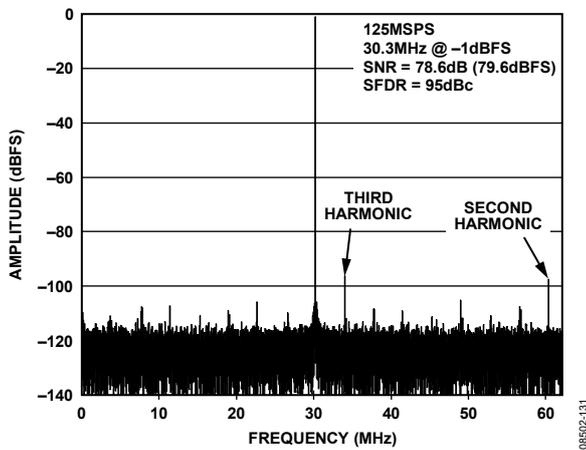


図 31.AD9265-125 シングル・トーン FFT、 $f_{IN} = 30.3$ MHz

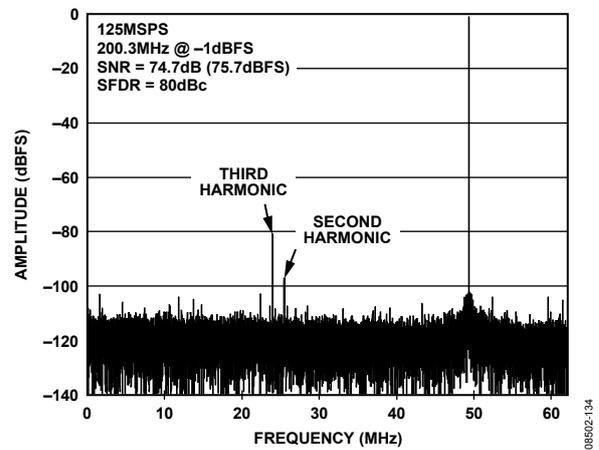


図 34.AD9265-125 シングル・トーン FFT、 $f_{IN} = 200.3$ MHz

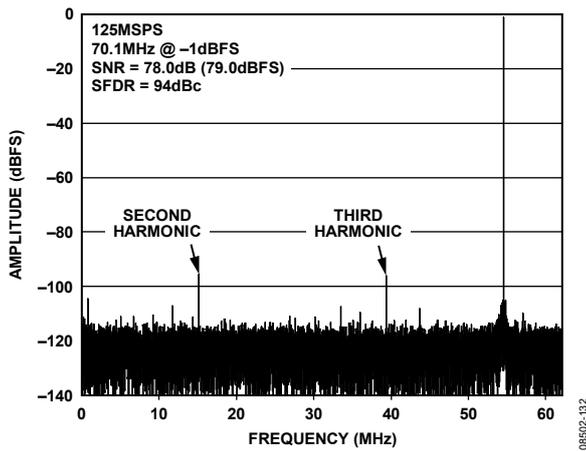


図 32.AD9265-125 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz

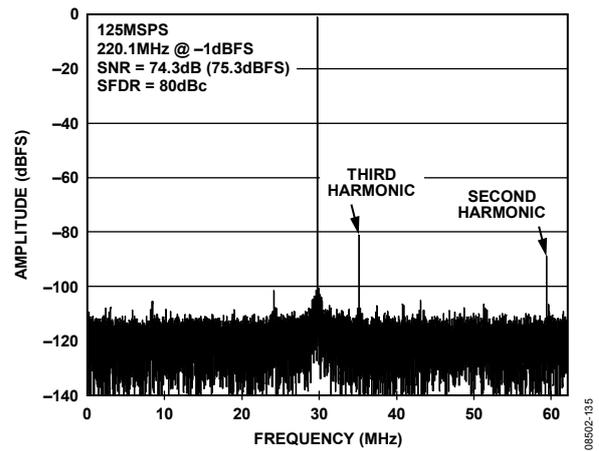


図 35.AD9265-125 シングル・トーン FFT、 $f_{IN} = 220.1$ MHz

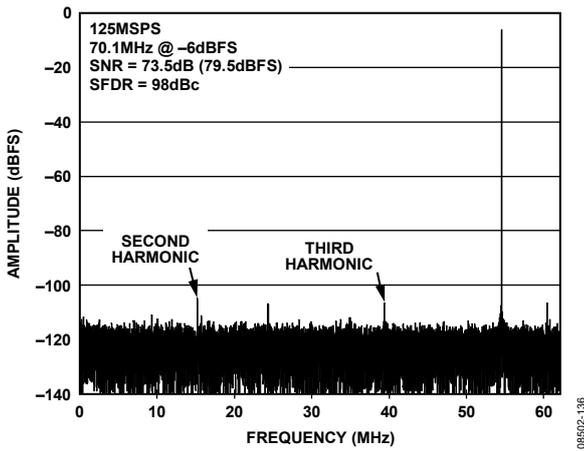


図 36. AD9265-125 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz、 -6 dBFS、ディザをイネーブル

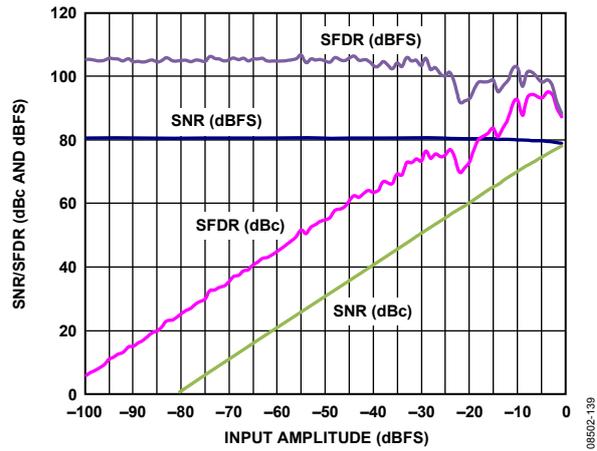


図 39. 入力振幅(A_{IN})対 AD9265-125 シングル・トーン SNR/SFDR、 $f_{IN} = 2.4$ MHz

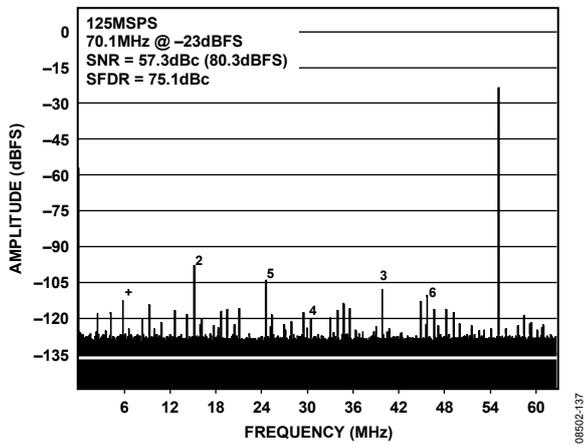


図 37. AD9265-125 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz、 -23 dBFS、ディザをディスエーブル、1M サンプル

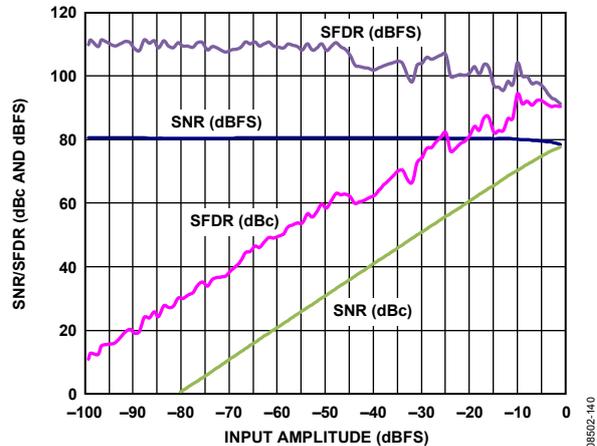


図 40. 入力振幅(A_{IN})対 AD9265-125 シングル・トーン SNR/SFDR、 $f_{IN} = 98.12$ MHz

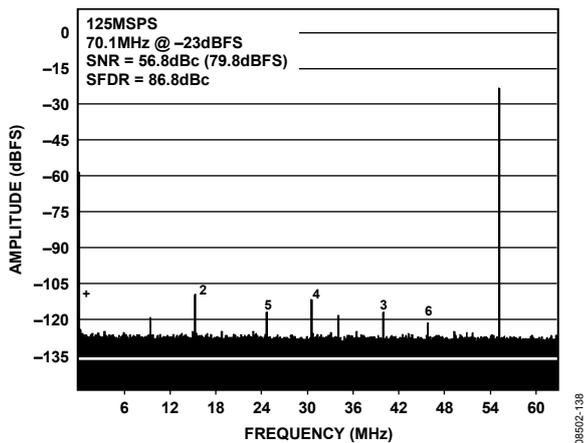


図 38. AD9265-125 シングル・トーン FFT、 $f_{IN} = 70.1$ MHz、 -23 dBFS、ディザをイネーブル、1M サンプル

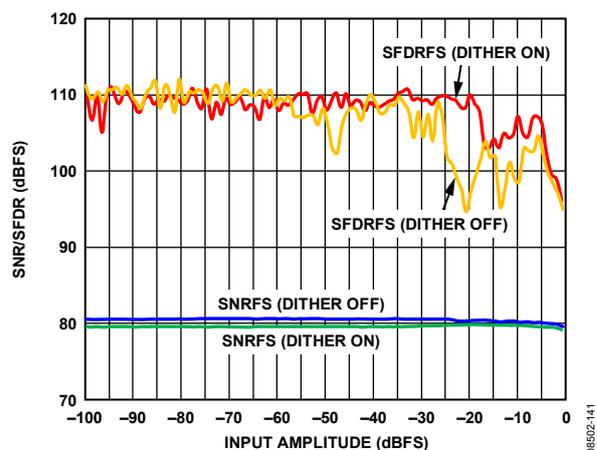


図 41. 入力振幅(A_{IN})対 AD9265-125 シングル・トーン SNR/SFDR、 $f_{IN} = 30$ MHz、ディザをイネーブル/ディスエーブル

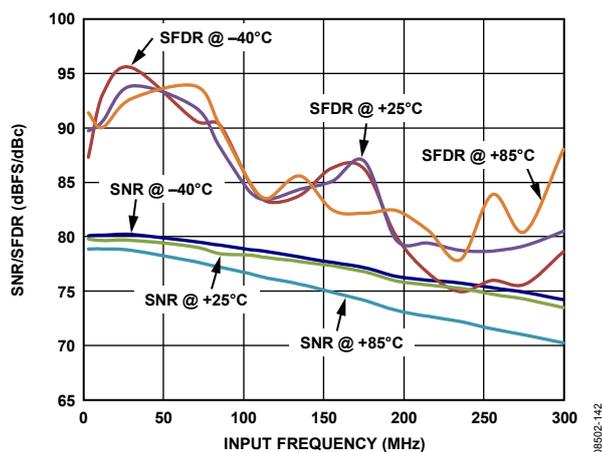


図 42. 入力周波数(f_{IN})および温度対 AD9265-125 シングル・トーン SNR/SFDR、2 V p-p フルスケール

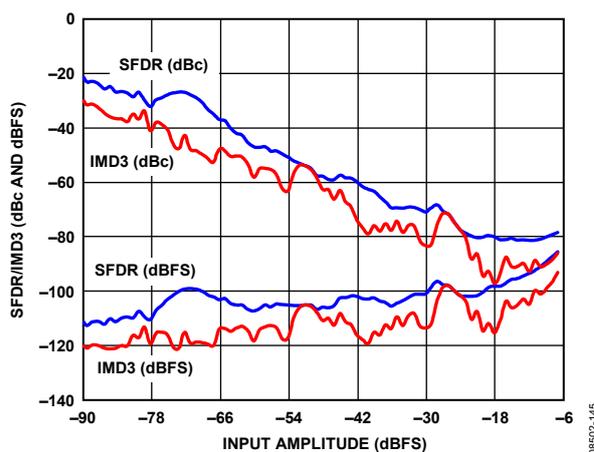


図 45. 入力振幅(A_{IN})対 AD9265-125 の 2 トーン SFDR/IMD3 $f_{IN1} = 169.1$ MHz、 $f_{IN2} = 172.1$ MHz、 $f_s = 125$ MSPS

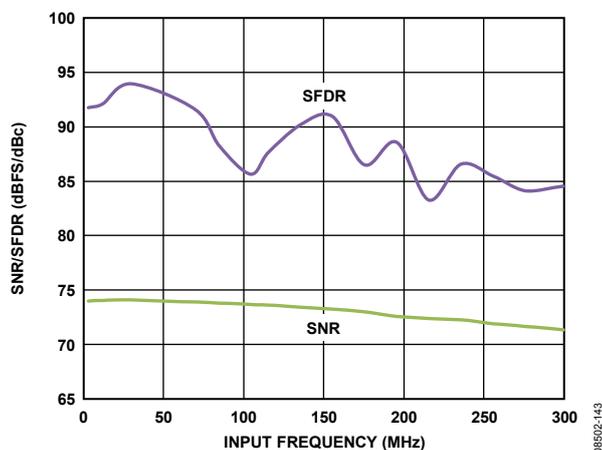


図 43. 入力周波数(f_{IN})対 AD9265-125 シングル・トーン SNR/SFDR、1 V p-p フルスケール

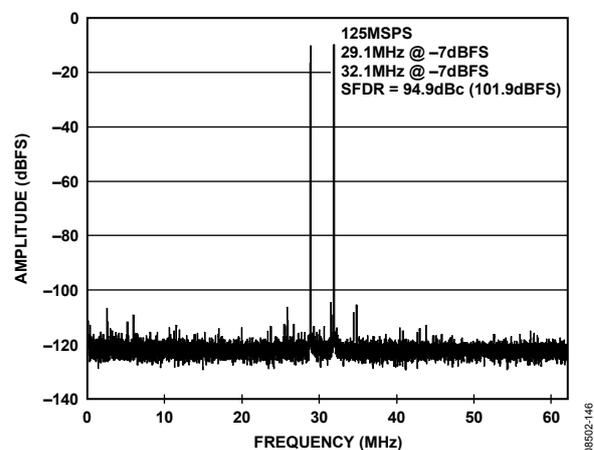


図 46. AD9265-125 の 2 トーン FFT、 $f_{IN1} = 29.1$ MHz $f_{IN2} = 32.1$ MHz

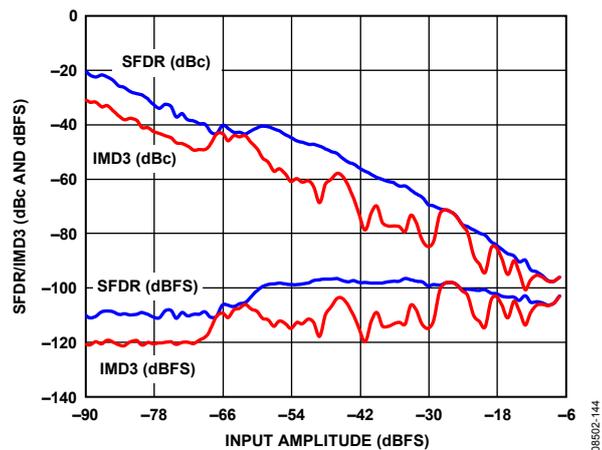


図 44. 入力振幅(A_{IN})対 AD9265-125 の 2 トーン SFDR/IMD3 $f_{IN1} = 29.1$ MHz、 $f_{IN2} = 32.1$ MHz、 $f_s = 125$ MSPS

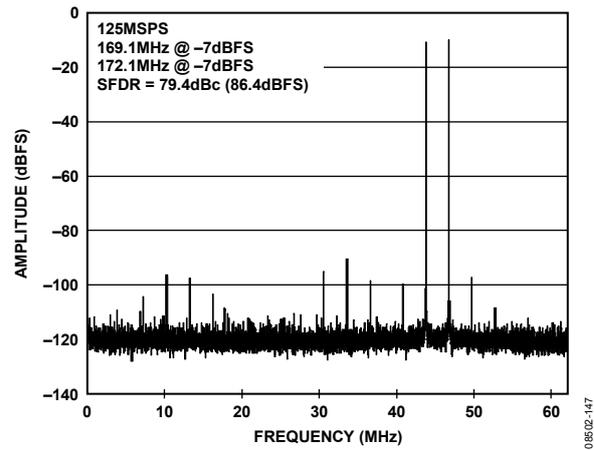


図 47. AD9265-125 の 2 トーン FFT、 $f_{IN1} = 169.1$ MHz $f_{IN2} = 172.1$ MHz

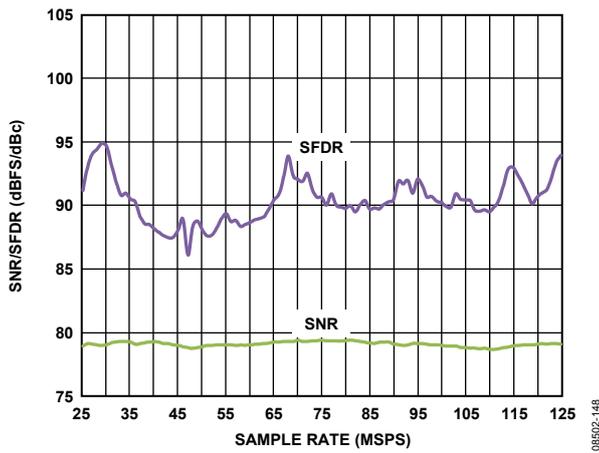


図 48. サンプル・レート (f_s) 対 AD9265-125 シングル・トーン SNR/SFDR、 $f_{IN} = 70.1$ MHz

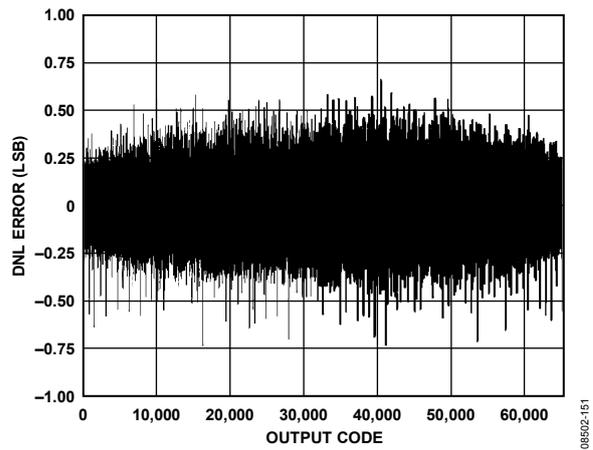


図 51. AD9265-125 DNL、 $f_{IN} = 9.7$ MHz

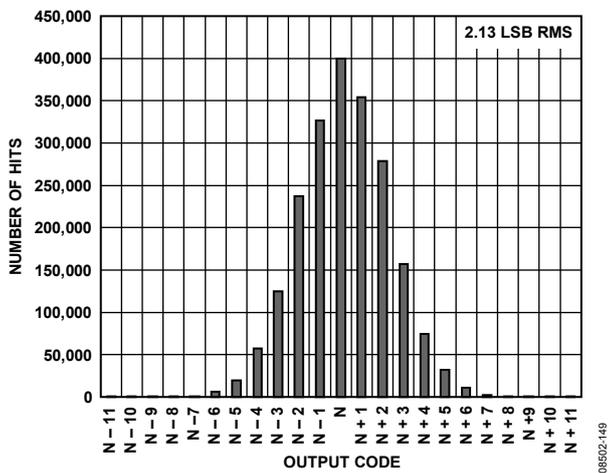


図 49. AD9265-125 グラウンド入力時のヒストグラム

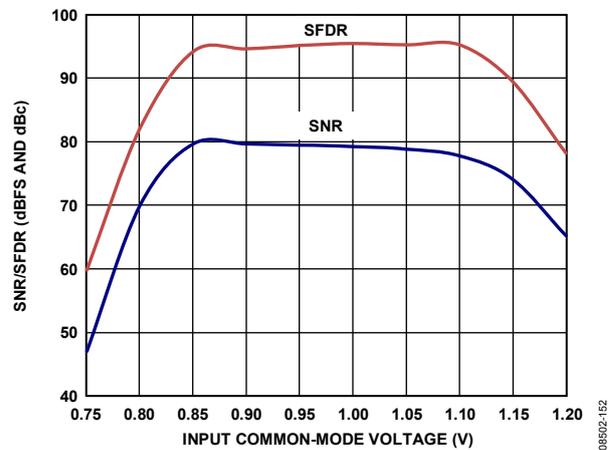


図 52. 入力コモン・モード (VCM) 対 AD9265-125 SNR/SFDR $f_{IN} = 30$ MHz

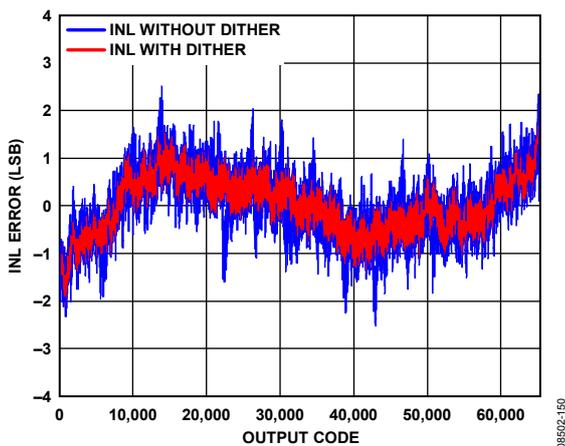


図 50. AD9265-125 INL、 $f_{IN} = 9.7$ MHz

等価回路

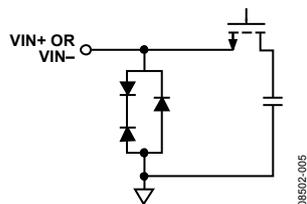


図 53.等価アナログ入力回路

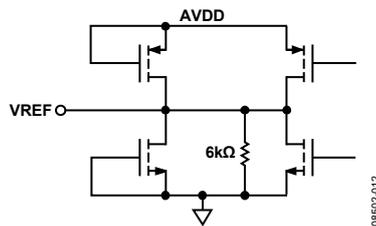


図 57.VREF の等価回路

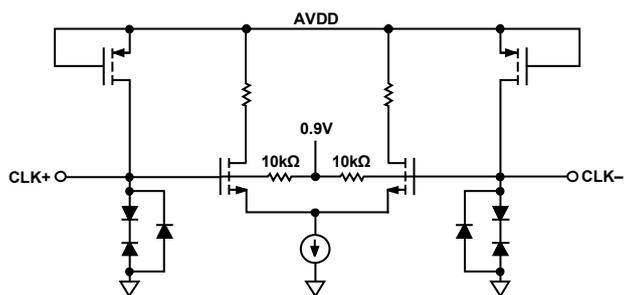


図 54.等価クロック入力回路

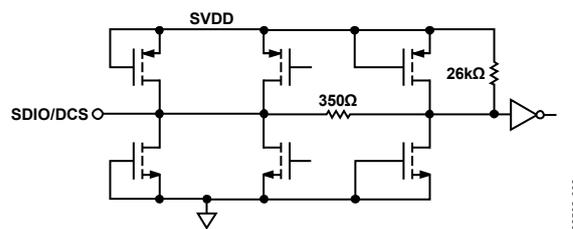


図 58. SDIO/DCS の等価回路

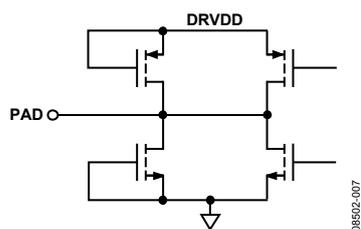


図 55.デジタル出力

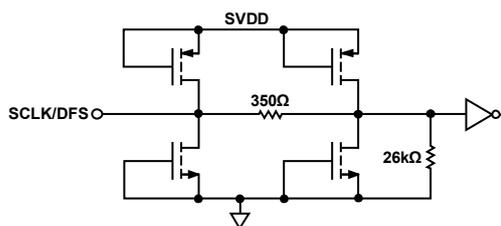


図 59.SCLK/DFS の等価入力回路

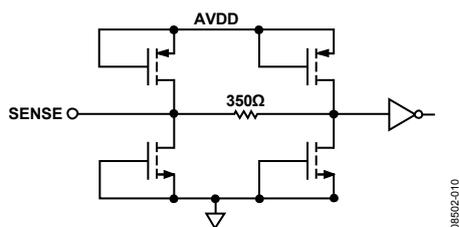


図 56.SENSE の等価回路

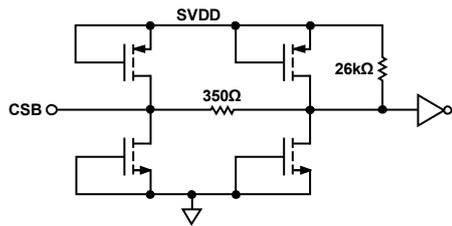
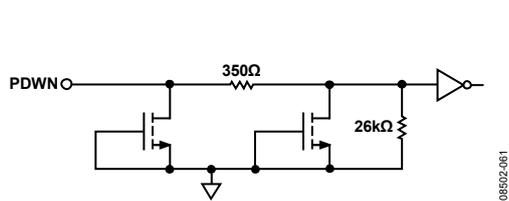
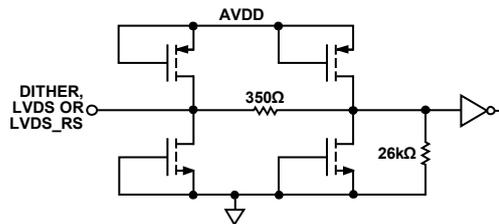


図 60.CSB の等価入力回路



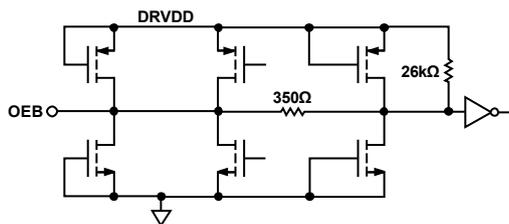
085F02-061

図 61. PDWN の等価回路



085F02-063

図 63. DITHER、LVDS、LVDS_RS の等価入力回路



085F02-062

図 62. OEBO の等価入力回路

動作原理

AD9265 では、ADC 入力に適切なローパス・フィルタまたはバンドパス・フィルタを使い ADC 性能をほとんど損なうことなく、DC~200 MHz の任意の $f_s/2$ 周波数セグメントをサンプルすることができます。300 MHz までのアナログ入力の処理が可能です。300 MHz までのアナログ入力の処理が可能です。ADC ノイズと歪みが増える犠牲が伴います。

同期機能を内蔵しているため、複数デバイス間でタイミングを同期させることができます。

AD9265 の設定と制御は、3 線式 SPI 互換シリアル・インターフェースを使って行います。

ADCのアーキテクチャ

AD9265 のアーキテクチャは、フロントエンドのスイッチド・キャパシタ型サンプル/ホールド入力回路と、それに続くパイプライン化された ADC から構成されています。各ステージからの量子化された出力は、デジタル補正ロジックで結合されて最終的に 16 ビットになります。パイプライン化されたアーキテクチャであるため、新しい入力サンプルに対して最初のステージが動作し、残りのステージは先行しているサンプルに対して動作することができます。サンプリングはクロックの立上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・キャパシタ DAC に接続された低分解能のフラッシュ ADC とステージ間残留アンプ(MDAC)により構成されています。この残留アンプは、再生された DAC 出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な 1 ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュ ADC のみで構成されています。

入力ステージは、差動モードまたはシングルエンド・モードで AC 結合または DC 結合することができます。出力ステージのブロックで、データの整列、誤差補正、出力バッファへの出力が行われます。出力バッファの電源は分離されているため、出力電圧振幅を調整することができます。パワーダウン時には、出力バッファはハイ・インピーダンス状態になります。

アナログ入力に対する考慮

AD9265 のアナログ入力は、差動のスイッチド・キャパシタ回路になっています。この回路は、差動入力信号を処理する際に最適性能が得られるようにデザインされています。

クロック信号は、サンプル・モードとホールド・モードの間で交互に切り替えられます(図 64 参照)。入力がサンプル・モードになったとき、信号ソースはサンプル・コンデンサを充電する能力を持ち、クロック・サイクルの 1/2 以内で安定する必要があります。

各入力に小さい抵抗を直列に接続すると、駆動源側の出力ステージに必要とされるピーク過渡電流を減少させることに役立ちます。また、入力間に小さいコンデンサをシャント接続すると、動的な充電電流を供給することができます。これらの受動回路は ADC 入力にローパス・フィルタを構成するため、正確な値はアプリケーションに依存します。

中間周波数(IF)アンダーサンプリング・アプリケーションの場合は、シャント・コンデンサを小さくする必要があります。駆動源インピーダンスとの組み合わせでは、シャント・コンデンサが入力帯域幅を制限します。詳細については、アプリケーション・ノートAN-742「*Frequency Domain Response of Switched-Capacitor ADCs*」、アプリケーション・ノートAN-827「*A Resonant Approach to Interfacing Amplifiers to Switched-Capacitor ADCs*」、アナログ・ダイアログ資料「*Transformer-Coupled Front-End for Wideband A/D Converters*」をご覧ください(<http://www.analog.com/jp>参照)。

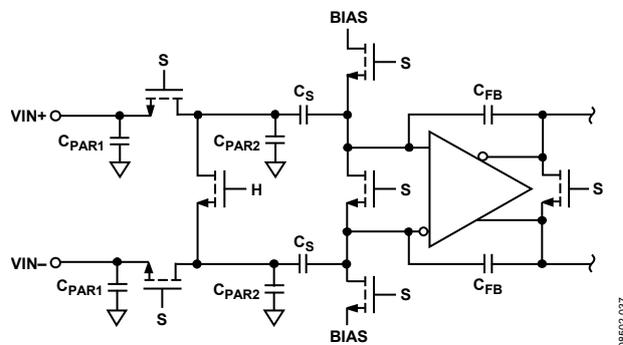


図 64. スイッチド・キャパシタ入力

最適なダイナミック性能を得るためには、VIN+ と VIN- を駆動するソース・インピーダンスが一致している必要があります。さらに差動入力は平衡している必要があります。

内蔵差動リファレンス・バッファが正と負のリファレンス電圧を発生し、これらの電圧が ADC コアの動作範囲を決定します。ADC コアの振幅はこのバッファにより $2 \times V_{REF}$ に設定されます。

入力同相モード

AD9265 のアナログ入力は内部で DC バイアスされていません。AC 結合のアプリケーションでは、ユーザが外部からこのバイアスを与える必要があります。最適性能を得るためには $V_{CM} = 0.5 \times AV_{DD}$ となるようにデバイスを設定することが推奨されますが、デバイスは広い範囲で適切な性能で機能します(図 52 参照)。同相モード・リファレンス電圧が内蔵されており、VCM ピンに出力されています。アナログ入力の同相モード電圧を VCM ピン電圧 ($0.5 \times AV_{DD}$ (typ)) で設定したときに最適性能が得られます。VCM ピンは、 $0.1 \mu\text{F}$ のコンデンサにより GND にデカップリングする必要があります(アプリケーション情報参照)。

ディザ

AD9265 は、オプションのディザ・モードを持っています。このモードは、SPI バスを介してまたは DITHER ピンを使用して選択することができます。ディザ機能は、ランダムな既知量の白色ノイズ(一般にディザと呼ばれる)を ADC 入力に加える機能です。ディザ機能は、ADC 伝達関数の種々のポイントで局所的な直線性を改善する効果を持っています。ディザ機能は、小信号入力(一般に -6 dBFS より低い入力レベル)を量子化する際、SFDR を大幅に改善することができます。

図 65 に示すように、ディザ DAC を介して ADC 入力に加えらるるディザは、デジタル的に正確に減算されて SNR の低下を小さくします。ディザ機能をイネーブルすると、ディザ DAC が疑似ランダム値ジェネレータ(PN gen)から駆動されます。AD9265 では、SNR と SINAD の低下が非常に小さくなるように、ディザ DAC が正確にキャリブレーションされています。ディザ機能をイネーブルしたときの SNR と SINAD の低下値(typ)は、それぞれ 1 dB と 0.8 dB です。

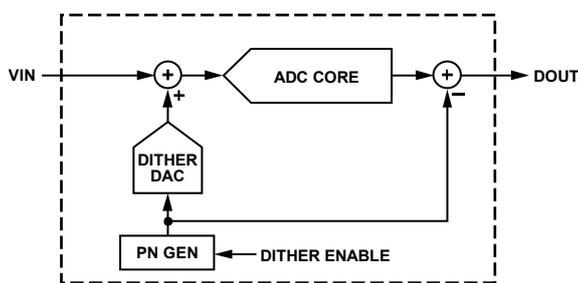


図 65. ディザのブロック図

大信号 FFT

大部分のケースでは、ディザ機能はフルスケールに近い大信号入力(たとえば -1 dBFS 入力)に対して SFDR を改善しません。大信号入力の場合、一般に、SFDR はフロントエンドのサンプリング歪み(ディザ機能で改善できない)により制限されますが、このような大信号入力の場合でも、ディザ機能はノイズ・フロアの白色性を強化するため、有効となるアプリケーションもあります。パイプライン ADC では一般的なことですが、AD9265 には小さい DNL 誤差が含まれています。この DNL 誤差は、ノイズ・フロアをランダムに部分的に非白色化させるスプリアスまたはトーンを発生させるランダム成分の不一致により発生します。これらのトーンは一般に非常に小さいレベルであるため、大信号入力を ADC で量子化する際に SFDR を制限しませんが、ディザ機能がこれらのトーンをノイズに変換して、ノイズ・フロアを白色にします。

小信号 FFT

小信号入力の場合、フロントエンドのサンプリング回路による歪みは一般に非常に小さいため、SFDR はランダム成分の不一致に起因する DNL 誤差から発生するトーンにより制限されるものと考えられます。このため、小信号入力(一般に -6 dBFS 以下)の場合、ディザ機能はこれらの DNL トーンを白色ノイズへ変換することにより、SFDR を大幅に改善することができます。

スタティック直線性

また、ディザ機能は ADC の INL 伝達関数の局所的なシャープな不連続性を除去するため、全体のピーク to ピーク INL を小さくします。

レシーバ・アプリケーションでは、ディザの使用は小信号ゲイン誤差の原因となる DNL 誤差を小さくすることに役立ちます。この問題は、入力ノイズをコンバータ・ノイズより 5 dB~10 dB 高く設定することにより解決されることもあります。コンバータ内でディザを使用して DNL 誤差を補正することにより、入力ノイズ条件を緩和することができます。

差動入力構成

最適性能は、AD9265 を差動入力構成で駆動したときに得られます。ベースバンド・アプリケーションに対しては、AD8138、ADA4937-2、ADA4938-2 の各差動ドライバが優れた性能と A/D コンバータに対する柔軟なインターフェースを提供します。

ADA4938 の出力同相モード電圧は AD9265 の VCM ピンで容易に設定できるため(図 66 参照)、ドライバをフィルタ回路内で構成して入力信号の帯域制限を行うことができます。

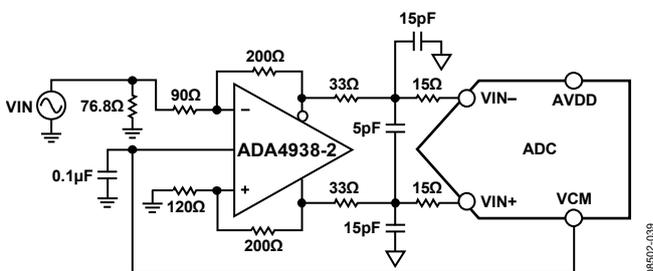


図 66. ADA4938-2 を使用した差動入力構成

SNR が重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動トランス結合を使用することが推奨されます。図 67 に例を示します。アナログ入力にバイアスを加えるため、VCM 電圧をトランス二次巻線のセンタータップに接続することができます。

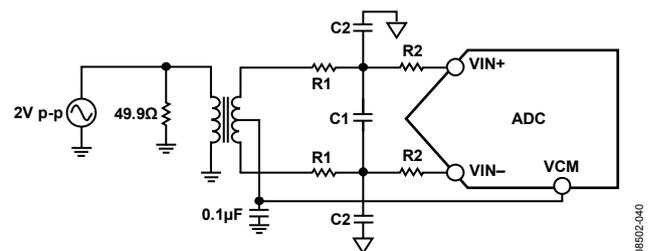


図 67. 差動トランス結合構成

トランスを選択するときは、信号特性を考慮する必要があります。大部分の RF トランスは、数 MHz より低い周波数で飽和します。大きな信号電力もコア・サチレーションの原因になり、歪みを発生させます。

第 2 ナイキスト領域およびそれ以上の入力周波数では、AD9265 の真の SNR 性能を得るためには、大部分のアンプでノイズ性能が不十分です。

SNRが重要なパラメータとなるこれらのアプリケーションに対しては、入力構成に差動ダブル・バランス結合を使用することが推奨されます(図 68 参照)。この構成では、入力はAC結合であるため、CMLは $33\ \Omega$ 抵抗を介して各入力に与えられます。これらの抵抗は、入力バランスでの損失を補償して、ドライバに対して $50\ \Omega$ インピーダンスを提供します。

ダブル・バランス構成とトランス構成では、入力コンデンサと抵抗の値は入力周波数とソース・インピーダンスに依存するため、これらを小さくするか除去する必要があります。表 10 に、RC回路を設定する推奨値を示します。ただし、これらの値は入力信号に依存するため、初期ガイドとしてのみ使用してください。

表 10. RC 回路の例

Frequency Range (MHz)	R1 Series (Ω Each)	C1 Differential (pF)	R2 Series (Ω Each)	C2 Shunt (pF Each)
0 to 100	15	18	15	Open
100 to 300	10	10	10	10

第 2 ナイキスト領域以上の周波数でトランス結合入力を使う代わりに、ADL5562 差動ドライバを使う方法があります。ADL5562 は、最大 15.5 dB までの選択可能なゲイン・オプションを提供します。図 69 に回路例を示します。帯域外ノイズを小さくするために、ADL5562 出力と AD9265 入力との間にフィルタの追加が必要となることがあります。詳細については、ADL5562 データシートを参照してください。

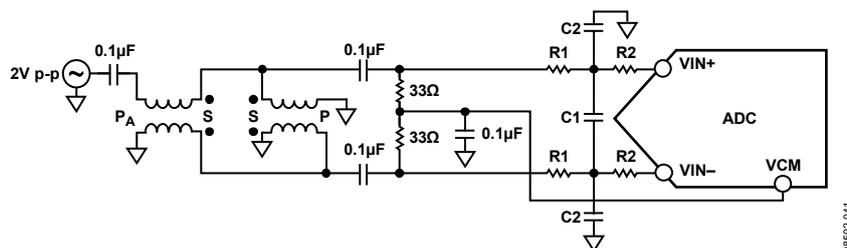


図 68. 差動ダブル・バランス入力構成

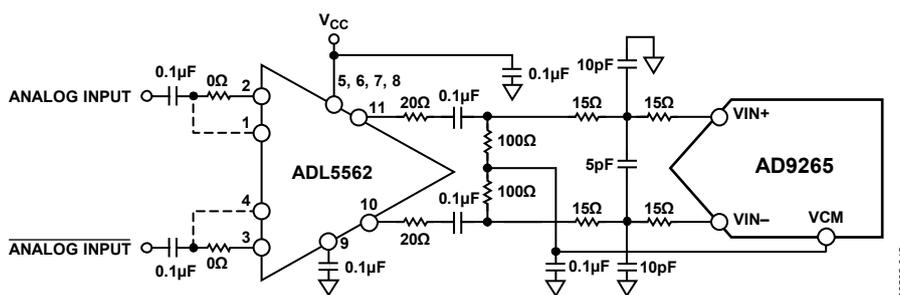


図 69. ADL5562 を使用した差動入力構成

リファレンス電圧

AD9265 には、安定かつ正確なリファレンス電圧が内蔵されています。入力範囲は、内蔵リファレンス電圧または外部から入力したリファレンス電圧を使ってAD9265 に入力するリファレンス電圧を変化させることにより調節することができます。ADC の入力動作範囲は、リファレンス電圧の変化に比例して追従します。種々のリファレンス・モードの一覧を以下のセクションに示します。リファレンス電圧のデカップリングのセクションでは、リファレンス電圧のPCBレイアウトについて説明します。

内蔵リファレンス電圧の接続

AD9265 内部のコンパレータがSENSEピンの電位を検出して、リファレンスを表 11 に示す 4 つの状態のいずれかに設定します。SENSEをグラウンドに接続すると、リファレンス・アンプ・スイッチは内蔵抵抗分圧器に接続され(図 70)、2.0 V p-pフルスケール入力に対してVREFが 1.0 Vに設定されます。このモードでは、SENSEをグラウンドに接続すると、SPIポートを介してレジスタ 0x18 のビット 6 とビット 7 を調節することによりフルスケールも調整することができます。これらのビットを使って、フルスケールを 1.25 V p-p、1.5 V p-p、1.75 V p-p、またはデフォルトの 2.0 V p-pに変更することができます(表 17 参照)。

SENSE ピンと VREF ピンを接続すると、アンプ出力が SENSE ピンに切り替えられて、ループが構成されて、1 V p-pフルスケール入力に対して 0.5 V リファレンス電圧が出力されます。

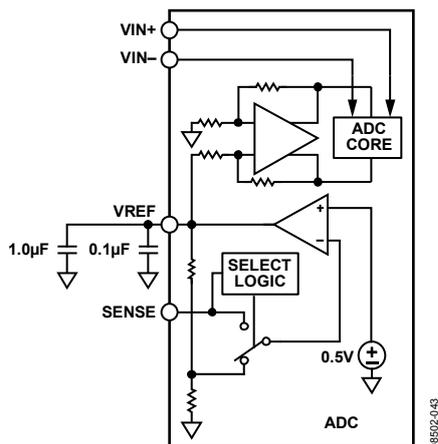


図 70.内蔵リファレンス電圧の構成

抵抗分圧器を外部でチップに接続すると(図 71 参照)、スイッチは再びSENSEピンに設定されます。これにより、リファレンス・アンプは非反転モードになり、VREF出力は次のように決定されます。

$$VREF = 0.5 \times \left(1 + \frac{R2}{R1} \right)$$

ADC の入力範囲は内蔵リファレンスまたは外付けリファレンスのいずれを使う場合でも、常にリファレンス・ピンの電圧の 2 倍に等しくなります。

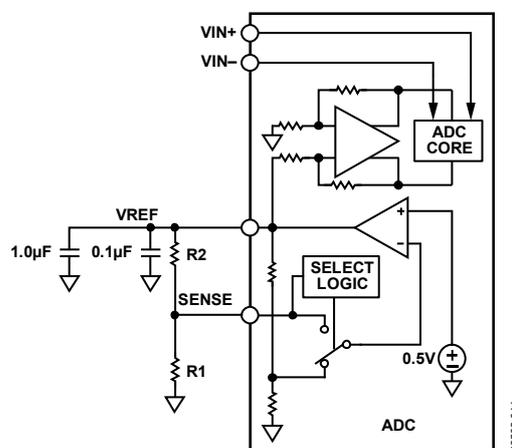


図 71.プログラマブルなリファレンス電圧の構成

ゲイン・マッチングを改善するために、AD9265 の内蔵リファレンス電圧を使って複数のコンバータを駆動する場合、他のコンバータによるリファレンス電圧への負荷を考慮する必要があります。図 72 に内蔵リファレンスが負荷から受ける影響を示します。

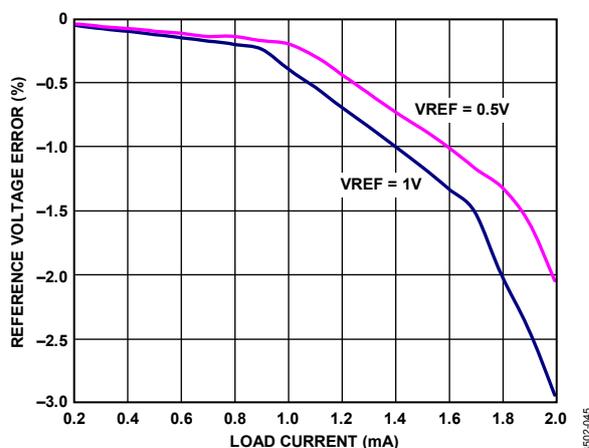


図 72.負荷対 VREF 精度

表 11.リファレンス構成の一覧

Selected Mode	SENSE Voltage	Resulting VREF (V)	Resulting Differential Span (V p-p)
External Reference	AVDD	N/A	2 × external reference
Internal Fixed Reference	VREF	0.5	1.0
Programmable Reference	0.2 V to VREF	$0.5 \times \left(1 + \frac{R2}{R1} \right)$ (see 図 71)	2 × VREF
Internal Fixed Reference	AGND to 0.2 V	1.0	2.0

外付けリファレンス電圧による動作

ADCのゲイン精度を向上させる場合または温度ドリフト特性を改善する場合、外付けリファレンス電圧の使用が必要となる場合があります。図 73 に、1.0 Vモードについて、代表的な内蔵リファレンスのドリフト特性を示します。

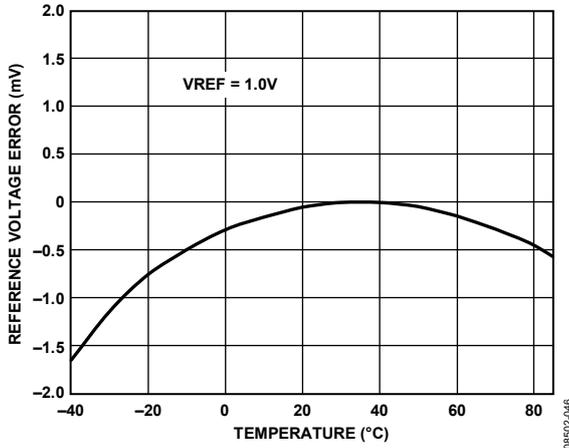


図 73. 代表的な VREF ドリフト特性

SENSEピンをAVDDに接続すると、内蔵リファレンス電圧がディスエーブルされて、外付けリファレンス電圧の使用が可能になります。内蔵リファレンス・バッファに対して、等価 6 kΩを持つ外付けリファレンスが負荷になります(図 57 参照)。内蔵リファレンス・バッファは、ADCコアに対して正側と負側のフルスケール・リファレンスを発生します。したがって、外付けリファレンス電圧は最大 1.0 Vに制限する必要があります。

クロック入力の考慮事項

最適性能を得るためには、AD9265 のクロック(CLK+とCLK-)を差動で入力する必要があります。信号は、一般にトランスまたはコンデンサを介してCLK+ピンとCLK-ピンにAC結合されます。これらのピンは内部でバイアスされるため(図 74 参照)、外付けバイアスは不要です。

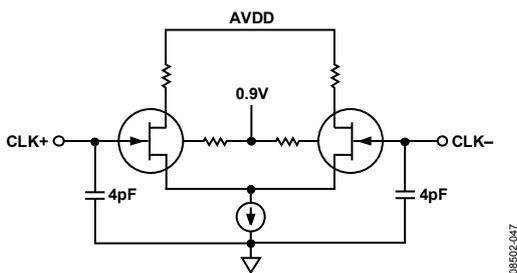


図 74. 等価クロック入力回路

クロック入力オプション

AD9265 は非常に柔軟なクロック入力構造を持っています。クロック入力としては、CMOS、LVDS、LVPECL、または正弦波信号が可能です。使用する信号タイプによらず、クロック・ソース・ジッタは、ジッタについての考慮事項のセクションで説明するように、最も大きな問題です。

図 75 と 図 76 に、AD9265 をクロック駆動する 2つの望ましい方法を示します。ジッタの少ないクロック・ソースは、RF バランまたはRF トランスを使ってシングルエンド信号から差動信号に変換されます。

RF バラン構成は 625 MHz のクロック周波数に、RF トランスは 10 MHz~200 MHz のクロック周波数に、それぞれ推奨されます。トランス 2 次側に互いに逆向きに接続されたショットキ・ダイオードが、AD9265 に入力されるクロックを約 0.8 Vp-p 差動に制限します。

この機能は、クロックの大きな電圧振幅が AD9265 の別の部分に混入することを防止すると同時に、低ジッタ性能にとって重要な、信号の高速な立上がり時間と立下がり時間を維持します。

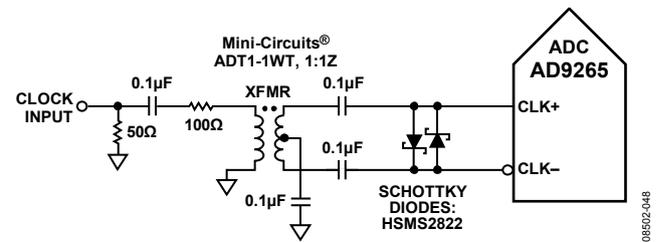
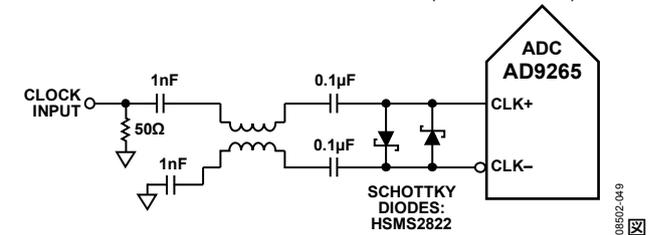


図 75. トランス結合の差動クロック(最大 200 MHz)



76. バラン結合の差動クロック(最大 625 MHz)

低ジッタ・クロックが使用できない場合、もう一つのオプションは差動PECL信号をサンプル・クロック入力ピンへAC結合することです(図 77 参照)。AD9510/AD9511/AD9512/ AD9513/ AD9514/ AD9515/AD9516/AD9517/AD9518/AD9520/ AD9522 の各クロック・ドライバは、優れたジッタ性能を提供します。

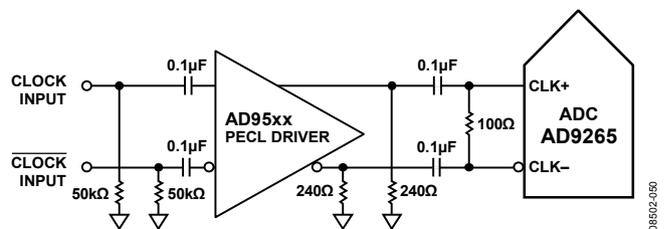


図 77. 差動 PECL サンプル・クロック(定格サンプル・レートまで)

3 目のオプションは、差動LVDS信号をサンプル・クロック入力ピンへAC結合する方法です(図 78 参照)。AD9510/ AD9511/ AD9512/ AD9513/ AD9514/ AD9515/ AD9516/ AD9517/ AD9518/ AD9520/ AD9522 の各クロック・ドライバは、優れたジッタ性能を提供します。

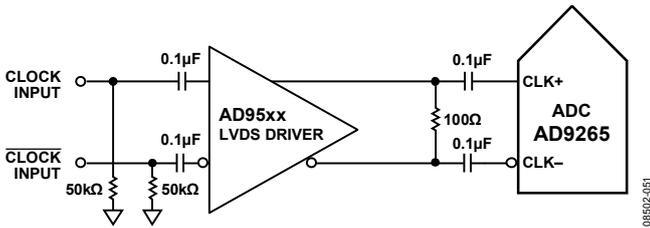
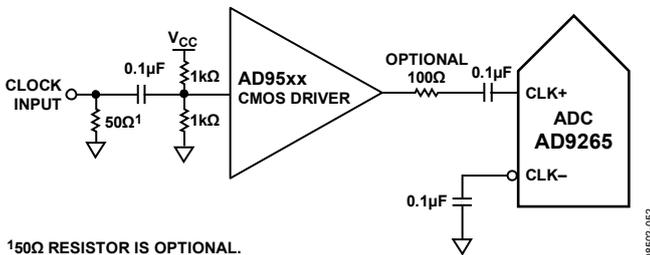


図 78. 差動 LVDS サンプル・クロック(定格サンプル・レートまで)

アプリケーションによっては、サンプル・クロック入力をシングルエンド CMOS 信号で駆動できる場合があります。このようなアプリケーションでは、CLK+ピンをCMOSゲートで直接駆動し、CLK-ピンは 0.1 μF のコンデンサによりグラウンドへバイパスします(図 79 参照)。



150Ω RESISTOR IS OPTIONAL.

図 79. シングルエンド 1.8 V CMOS 入力クロック(最大 200 MHz)

クロック・デューティ・サイクル

代表的な高速 ADC では両クロック・エッジを使って、様々な内部タイミング信号を発生しているため、クロックのデューティ・サイクルの影響を大きく受けます。一般に、ダイナミック性能特性を維持するためにはクロック・デューティ・サイクルの許容偏差は±5%以内である必要があります。

AD9265 は、非サンプリング・エッジの再タイミングを行って、公称 50%のデューティ・サイクルを持つ内部クロック信号を発生するクロック・デューティ・サイクル・スタビライザを内蔵しています。この回路により、AD9265 の性能に影響を与えずに広範囲なクロック入力のデューティ・サイクルを許容することができます。DCS をイネーブルすると、ノイズ性能と歪み性能はデューティ・サイクルの広い範囲でほぼ平坦になります。それでも、入力での立上がりエッジのジッタは大きな問題であり、内部安定化回路で容易に減少させることはできません。デューティ・サイクル制御ループは、公称 20 MHz以下のクロック・レートでは機能しません。このループは時定数を持っているため、クロック・レートがダイナミックに変わるアプリケーションでは、これを考慮する必要があります。ダイナミックにクロック周波数が増減した後に、DCSループが入力信号にロックするまで、1.5 μs~5 μsの待ち時間が必要です。ループがロックされていない間、DCSループはバイパスされるため、デバイス内部のタイミングは入力クロック信号のデューティ・サイクルに依存します。このようなアプリケーションでは、デューティ・サイクル・スタビライザをディスエーブルすることが適切です。入力クロック分周回路を使う場合には、ケースによっては DCSをディスエーブルすることもできます。詳細については、入力クロック・ドライバのセクションを参照してください。その他のすべてのアプリケーションでは、AC性能を最大にするため DCS回路をイネーブルすることが推奨されます。

外部ピン・モードで動作する場合、SDIO/DCSピンをハイ・レベルにすると、DCSはイネーブルされます(表 12 参照)。SPIモードをイネーブルすると、デフォルトでDCSがイネーブルされるため、0x00 をアドレス 0x09 へ書込むことによりディスエーブルすることができます。

入力クロック・ドライバ

AD9265 は入力クロック分周器を内蔵し、入力クロックを 2~8 分周することができます。クロック分周比 2、4、6、8 の場合、出力は 50%デューティ・サイクルとなるため、デューティ・サイクル・スタビライザ(DCS)は不要です。これらの分周モードでクロック分周器を使い DCS をイネーブルすると、SNR が少し低下するため、DCS をディスエーブルすることが推奨されます。その他の分周比 3 分周、5 分周、7 分周では、クロック分周器からのデューティ・サイクル出力は入力クロックのデューティ・サイクルに関係します。これらのモードでは、入力クロックのデューティ・サイクルが 50%の場合、DCS は不要です。ただし、50%デューティ・サイクルの入力クロックが使用できない場合は、デバイス正常動作のために DCS をイネーブルする必要があります。

AD9265 クロック分周器は、SYNC ピンに入力される外部同期信号を使って同期化することができます。レジスタ 0x100 のビット 1 とビット 2 を使うと、各 SYNC 信号で、またはレジスタが書込まれた後の最初の SYNC 信号で、クロック分周器を再同期することができます。SYNC ピンの有効な信号により、クロック分周器は初期状態にリセットされます。この同期機能を使うと、複数のデバイスに位相の一致したクロック分周器を持たせることができるので、同時入力サンプリングが保証されます。SYNC ピンを使用しない場合は、AGND へ接続してください。

ジッタについての考慮事項

高速高分解能 ADC は、クロック入力の品質に敏感です。与えられた入力周波数(f_{INPUT})でジッタ(t_{JIRMS})により発生する SNR 性能の低周波 SNR (SNR_{LF})からの低下は次式で計算されます。

$$SNR_{HF} = -10 \log[(2\pi \times f_{INPUT} \times t_{JIRMS})^2 + 10^{-(SNR_{LF}/10)}]$$

この式で、rmsアパーチャ・ジッタがクロック入力ジッタ仕様を表しています。アンダーサンプリング・アプリケーションは、特にジッタに敏感です(図 80)。

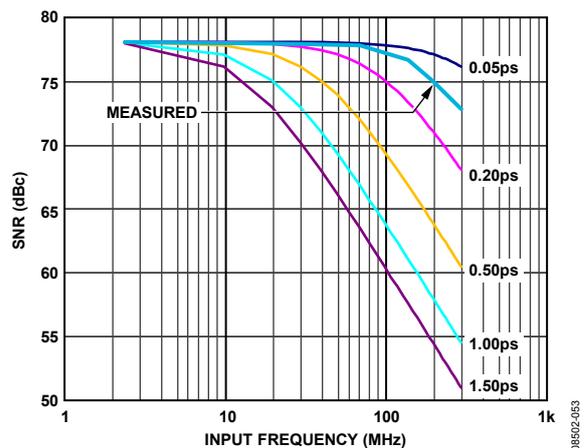


図 80. 入力周波数とジッタ対 SNR

ジッタが AD9265 のダイナミック・レンジに影響を与えるケースでは、クロック入力はアナログ信号として扱う必要があります。クロック・ドライバの電源は ADC 出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けない

いようにする必要があります。低ジッタの水晶制御の発振器は最適なクロック源です。クロックが別のタイプのソース(ゲーティング、分周、または別の方法)から発生される場合、出力クロックは最終ステップで元のクロックを使って再タイミングする必要があります。

ADCに関するジッタ性能については、アプリケーション・ノートAN501「Aperture Uncertainty and ADC System Performance」とアプリケーション・ノートAN756「Sampled Systems and the Effects of Clock Phase Noise and Jitter」を参照してください (<http://www.analog.com/jp>参照)。

消費電力とスタンバイ・モード

図 81 に示すように、AD9265 で消費される電力はサンプル・レートに比例します。CMOS出力モードでは、デジタル消費電力は主にデジタル・ドライバの強度と各出力ビットの負荷で決定されます。

最大 DRVDD 電流(IDRVDD)は次のように計算されます。

$$IDRVDD = VDRVDD \times C_{LOAD} \times f_{CLK} \times N$$

ここで、N は出力ビット数(AD9265 の場合は 16 データビット+1 DCO)。

この最大電流は、各クロック・サイクルで各出力ビットがスイッチングする条件に対するもので、この条件はナイキスト周波数 $f_{CLK}/2$ のフルスケール方形波に対してのみ発生します。実用的には、DRVDD 電流はスイッチングしている出力ビット数の平均値を使って計算します。この値はサンプル・レートとアナログ入力信号の特性によって決定されます。

デジタル消費電力は出力ドライバの容量負荷を小さくすることにより、小さくすることができます。図 81、図 82、図 83 に示すデータは、各出力ドライバに 5 pF 負荷を接続して 70 MHz のアナログ入力信号を使って取得したものです。

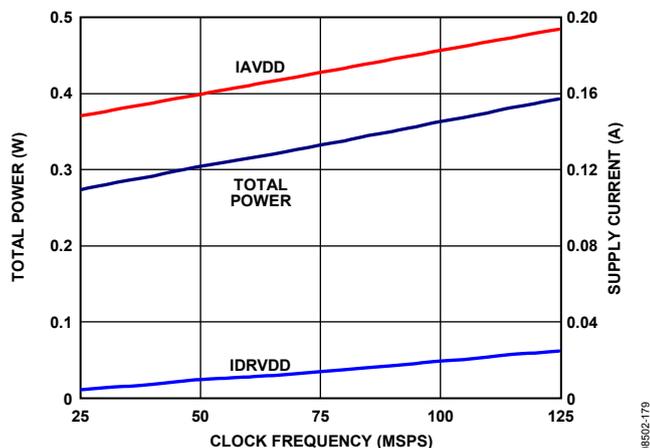


図 81. サンプル・レート対 AD9265-125 の消費電力と電源電流

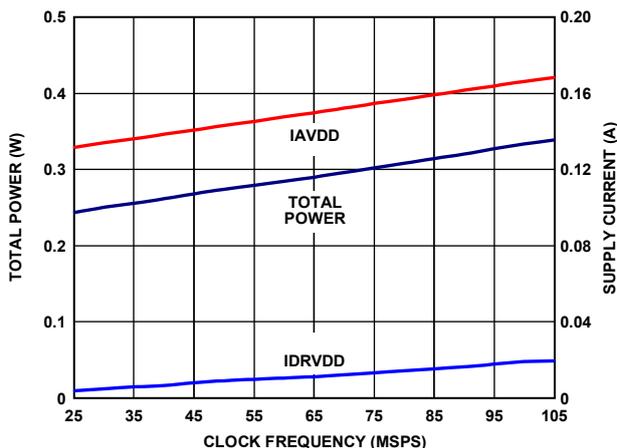


図 82. サンプル・レート対 AD9265-105 の消費電力と電源電流

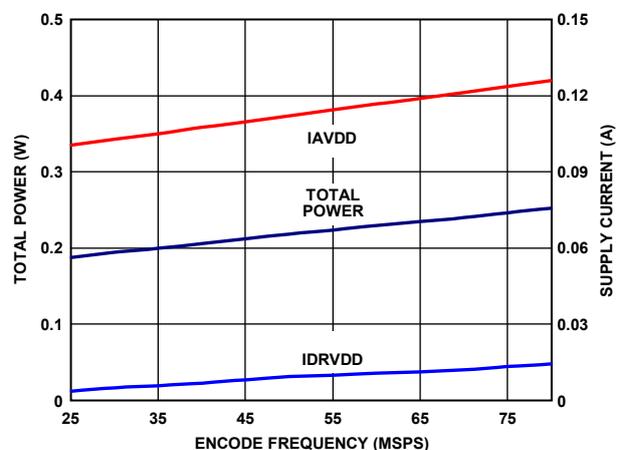


図 83. サンプル・レート対 AD9265-80 の消費電力と電源電流

PDWN をアサートすると(SPI ポートを使うか、または PDWN ピンをハイ・レベルします)、AD9265 はパワーダウン・モードになります。この状態では、ADC の消費電力は 0.05 mW(typ)になります。パワーダウン時は、出力ドライバはハイ・インピーダンス状態になります。PDWN ピンをロー・レベルにすると、AD9265 は通常動作モードに戻ります。

パワーダウン・モードでの低消費電力は、リファレンス電圧、リファレンス・バッファ、バイアス回路、クロックをシャットダウンすることにより、実現されています。スタンバイ・モードに入ると、デカップリング・コンデンサは放電するため、通常動作に戻るときには再充電する必要があります。

SPIポート・インターフェースを使うときは、ADCをパワーダウン・モードまたはスタンバイ・モードにする必要があります。スタンバイ・モードにすると、高速なウェイクアップが必要な場合、内蔵リファレンス回路を動作させたままにしておくことができます。さらに、SPIモードを使うと、外部PDWNピンの機能をデバイスパワーダウン・モードまたはスタンバイ・モードにする機能に変更することができます。詳細については、メモリ・マップ・レジスタの説明のセクションを参照してください。

デジタル出力

AD9265 の出力ドライバは、1.8 V の CMOS ロジック・ファミリーとインターフェースするように設定することができます。AD9265 は、1.8 V の DRVDD 電源電圧を使う LVDS 出力に設定することもできます。AD9649 はデフォルトで CMOS 出力モードになりますが、LVDS ピンをハイ・レベルにして LVDS モードにするか、または SPI ポートを使って、デバイスを LVDS モードにすることができます。大部分のケースで、動作中に CMOS モードと LVDS モードとの間で切り替えを行わないので、CMOS に設定された出力でのパワーアップ負荷の問題を回避するため LVDS ピンの使用が推奨されます。

CMOS 出力ドライバは、様々なロジック・ファミリーを駆動するために十分な出力電流を提供するようにデザインされています。ただし、大きな駆動電流はコンバータ性能に影響を与える電流グリッチを電源に生じさせる傾向を持つことがあります。ADC により大きな容量負荷または大きなファンアウトを駆動することが必要なアプリケーションでは、外付けバッファまたはラッチが必要となる場合があります。

LVDS 出力モードでは、ANSI LVDS モードまたは縮小振幅 LVDS モードの 2 つの出力駆動レベルを選択することができます。縮小振幅 LVDS モードを使うと、DRVDD 電流と消費電力が削減されます。縮小振幅 LVDS モードは、LVDS_RS ピンをアサートして選択するか、または SPI ポートを介してこのモードを選択します。

外部ピン・モードで動作する場合、SCLK/DFS ピンを設定して、出力データ・フォーマットとしてオフセット・バイナリまたは 2 の補数を選択することができます(表 12 参照)。

アプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」で説明するように、SPI 制御を使用する場合、データ・フォーマットとして、オフセット・バイナリ、2 の補数、またはグレイ・コードを選択することができます。

表 12.SCLK/DFS モード選択(外部ピン・モード)

Voltage at Pin	SCLK/DFS	SDIO/DCS
AGND	Offset binary (default)	DCS disabled
SVDD	Twos complement	DCS enabled (default)

表 13.出力データ・フォーマット

Input (V)	Condition (V)	Offset Binary Output Mode	Twos Complement Mode	OR
VIN+ - VIN-	< -VREF - 0.5 LSB	0000 0000 0000 0000	1000 0000 0000 0000	1
VIN+ - VIN-	= -VREF	0000 0000 0000 0000	1000 0000 0000 0000	0
VIN+ - VIN-	= 0	1000 0000 0000 0000	0000 0000 0000 0000	0
VIN+ - VIN-	= +VREF - 1.0 LSB	1111 1111 1111 1111	0111 1111 1111 1111	0
VIN+ - VIN-	> +VREF - 0.5 LSB	1111 1111 1111 1111	0111 1111 1111 1111	1

デジタル出力イネーブル機能(OEB)

AD9265 は、デジタル出力ピンに対して柔軟なスリー・ステート機能を持っています。スリー・ステート・モードをイネーブルするときは、OEB ピンまたは SPI インターフェースを使って行います。OEB ピンをロー・レベルにすると、出力データ・ドライバと DCO がイネーブルされます。OEB ピンをハイ・レベルにすると、出力データ・ドライバと DCO はハイ・インピーダンス状態になります。この OEB 機能は、バスに対する高速アクセスを意図したものではありません。OEB は出力ドライバ電源(DRVDD)を基準にしているため、この電源電圧を超えることはできないことに注意してください。

SPI インターフェースを使用する場合、レジスタ 0x14 の出力イネーブル・バー・ビットを使うと、データ出力と DCO 出力をスリー・ステートにすることができます。

タイミング

AD9265 は、12 クロック・サイクルのパイプライン遅延を持つ、ラッチされたデータを出力します。データ出力は、クロック信号の立上がりエッジから 1 伝搬遅延(t_{PD})後に出力されます。

出力データラインの長さや、それらに接続された負荷を最小にして AD9265 内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させることがあります。

AD9265 の最小変換レートは 10 MSPS(typ)です。10 MSPS より低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・クロック出力(DCO)

AD9265 は、CMOS出力モードで 1 本のデータ・クロック出力(DCO)ピンを、LVDSモードで 2 本の差動データ・クロック出力(DCO)ピン(外部レジスタへのデータ・キャプチャ用)を、それぞれ提供します。CMOS出力モードでは、SPIからDCOクロック極性が変更されていない限り、データ出力はDCOの立上がりエッジで有効です。LVDS出力モードでは、データはダブル・データレートとして出力され、偶数番の出力ビットはDCOの立上がりエッジ近くで変化し、奇数番の出力ビットはDCOの立下がりエッジ近くで変化します。タイミング説明については、図 2 を参照してください。

ビルトイン・セルフテスト(BIST)と出力テスト

AD9265 は、デバイス正常性の確認とボード・レベルのデバッグを可能にするテスト機能を内蔵しています。BIST (ビルトイン・セルフテスト)機能が内蔵されており、AD9265 のデジタル・データ・パスの正常性を確認します。AD9265 の出力に予測可能な値を出力させるために、様々な出力テスト・オプションも用意されています。

ビルトイン・セルフテスト(BIST)

BIST は AD9265 の選択した信号パスのデジタル部分をテストします。テストはイネーブルされると、内部疑似ランダム(PN)ソースから ADC ブロック出力で開始されるデジタル・データ・パスまで動作します。BIST シーケンスは 512 サイクル間動作して停止します。BIST シグネチャ値は、レジスタ 0x24 とレジスタ 0x25 に格納されています。

このテストの間出力が切り離されないため、PN シーケンスを動作中に観測することができます。PN シーケンスは、レジスタ 0x00E のビット 2 に設定された値に基づいて、直前の値から続けるか、あるいは始めから開始することができます。BIST シグネチャ結果はデバイス構成に応じて変わります。

出力テスト・モード

出力テスト・オプションを表 17 に示します。出力テスト・モードをイネーブルすると、ADCのアナログ・セクションがデジタル・バックエンド・ブロックから切り離され、テスト・パターンが出力フォーマット・ブロックを通して実行されます。テスト・パターンには出力フォーマットされたもの/されていないものがあります。レジスタ 0x0Dのビット 4 またはビット 5 を設定することにより、PNリセット・ビットを使ってジェネレータをリセット・モードに維持すると、PNシーケンス・テストのシード値を強制指定することができます。アナログ信号なしまたはアナログ信号ありで(ありの場合、アナログ信号は無視されます)、これらのテストを実行することができますが、エンコード・クロックは不要です。詳細については、アプリケーション・ノートAN877「*Interfacing to High Speed ADCs via SPI*」を参照してください。

シリアル・ポート・インターフェース(SPI)

AD9265 シリアル・ポート・インターフェース(SPI)を使うと、ADC内部に用意されている構造化されたレジスタ・スペースを介してコンバータの特定の機能または動作を設定することができます。SPIは、アプリケーションに応じて、柔軟性とカスタマイゼーションを強化します。シリアル・ポートを介してアドレスがアクセスされ、ポートを介して読み書きすることができます。メモリは、バイトで構成されており、さらにフィールドに分割できます。これについてはメモリ・マップのセクションに記載してあります。詳細については、アプリケーション・ノートAN-877、「*Interfacing to High Speed ADCs via SPI*」を参照してください。

SPIを使う設定

このADCのSPIは、SCLK/DFSピン、SDIO/DCSピン、CSBピンの3本のピンにより定義されます(表14参照)。SCLK/DFS(シリアル・クロック)ピンは、ADCに対する読出し/書込みデータの同期に使用されます。SDIO/DCS(シリアル・データ入力/出力)ピンは2つの機能で共用されるピンであり、内部ADCメモリ・マップ・レジスタに対するデータの送受信に使われます。CSB(チップ・セレクト・バー)はアクティブ・ローのコントロール信号であり、書込みサイクルと書込みサイクルをイネーブル/ディスエーブルします。

表 14. シリアル・ポート・インターフェース・ピン

Pin Mnemonic	Function
SCLK/DFS	Serial clock. The SCLK function of the pin is for the serial shift clock input, which is used to synchronize serial interface reads and writes.
SDIO/DCS	SDIO is the serial data input/output function of the pin. A dual-purpose pin that typically serves as an input or an output, depending on the instruction being sent and the relative position in the timing frame.
CSB	Chip select bar. An active low control that gates the read and write cycles.

CSBの立下がりエッジとSCLKの立上がりエッジの組み合わせにより、フレームの開始が指定されます。シリアル・タイミングの例とその定義については、図84と表5を参照してください。

CSBを使用するその他のモードもあります。CSBはロー・レベルに固定することができ、これによりデバイスが常時イネーブルされます。これはストリーミングと呼ばれます。CSBをバイト間でハイ・レベルに維持して外部タイミングを延ばすことができます。パワーアップ時にCSBをハイ・レベルに固定すると、SPI機能はハイ・インピーダンス・モードになります。このモードではすべてのSPIピンは2つ目の機能になります。パワーアップ後にCSBをロー・レベルにトグルさせると、デバイスはSPIモードを維持するため、ピン・モードには戻りません。

命令フェーズでは、16ビット命令が送信されます。命令フェーズの後ろにはデータが続き、長さはW0ビットとW1ビットにより指定されます。

すべてのデータは8ビット・ワードで構成されます。マルチバイト・シリアル・データ転送の先頭バイトの先頭ビットは、読出しコマンドまたは書込みコマンドのいずれが発行されたかを表示します。これにより、シリアル・データ入力/出力(SDIO)ピンが入力と出力との間で方向を変えることができます。

命令フェーズでは、ワード長の他に、シリアル・フレームが読出し動作または書込み動作のいずれであるかを指定します。これにより、シリアル・ポートをチップへの書込みまたは内蔵メモリ値の読出しに使うことができます。命令がリードバック動作の場合、リードバックを実行すると、シリアル・データ入力/出力(SDIO)ピンの方向がシリアル・フレーム内の該当するポイントで入力から出力へ変わります。

データは、MSBファースト・モードまたはLSBファースト・モードで送信することができます。MSBファーストはパワーアップ時のデフォルトであり、SPIポート設定レジスタを使って変更することができます。この機能およびその他の詳細については、アプリケーション・ノートAN-877「*Interfacing to High Speed ADCs via SPI*」を参照してください。

ハードウェア・インターフェース

表14に示すピンにより、ユーザの書込みデバイスとAD9265のシリアル・ポートとの間の物理インターフェースが構成されています。SCLKピンとCSBピンは、SPIインターフェースを使用するときは入力として機能します。SDIOピンは双方向で、書込みフェーズでは入力として、リードバック時は出力として、それぞれ機能します。

AD9265は、SPIインターフェース用に別電源ピンSVDDを持っています。SVDDピンを1.8V～3.3Vの任意のレベルに設定して、レベル変換なしでSPIバスをこれらの電圧で動作させることができます。SPIポートを使わない場合は、SVDDをDRVDD電圧に接続しておくことができます。

SPIインターフェースは、FPGAまたはマイクロコントローラから制御できるように十分な柔軟性を持っています。SPI設定の一方法は、アプリケーション・ノートAN-812「*Microcontroller-Based Serial Port Interface (SPI) Boot Circuit*」に記載してあります。

コンバータのフル・ダイナミック性能が必要な区間では、SPIポートをアクティブにしないようにしておく必要があります。SCLK信号、CSB信号、SDIO信号は一般にADCクロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内部SPIバスを他のデバイスに対して使うことが便利な場合には、このバスとAD9265との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

SPIインターフェースを使用しない場合には、幾つかのピンは他の機能に使用されます。デバイス・パワーオン時にピンをAVDDまたはグラウンドに接続すると、それらのピンは特定の機能として使われます。デジタル出力のセクションに、AD9265でサポートしているピン共用機能を示します。

SPIを使わない設定

SPI コントロール・レジスタにインターフェースしないアプリケーションでは、SDIO/DCS ピンと SCLK/DFS ピンは、独立した CMOS 互換のコントロール・ピンとして機能します。デバイスがパワーアップすると、デューティ・サイクル・スタビライザと出力データ・フォーマット機能制御用のスタティック・コントロール・ラインとしてピンが使用されるものと見なされます。このモードでは、CSB チップ・セレクトを AVDD に接続する必要があります。この接続により、シリアル・ポート・インターフェースがディスエーブルされます。

OEB ピン、DITHER ピン、LVDS ピン、LVDS_RS ピン、PDWN ピンは、外部ピン・モードと SPI モードでのアクティブ・コントロール・ラインです。これらのピンからの入力または SPI レジスタの設定値を使って、デバイスの動作モードが決定されます。

表 15. モードの選択

Pin	External Voltage	Configuration
SDIO/DCS	SVDD (default)	Duty cycle stabilizer enabled
	AGND	Duty cycle stabilizer disabled
SCLK/DFS	SVDD	Twos complement enabled
	AGND (default)	Offset binary enabled
OEB	DRVDD	Outputs in high impedance
	AGND (default)	Outputs enabled
PDWN	AVDD	Chip in power-down or standby mode
	AGND (default)	Normal operation
LVDS	AGND (default)	CMOS output mode
	AVDD	LVDS output mode
LVDS_RS	AGND (default)	ANSI LVDS output levels
	AVDD	Reduced swing LVDS output levels
DITHER	AGND (default)	Dither disabled
	AVDD	Dither enabled

SPIからアクセス可能な機能

表 16 に、SPIからアクセスできる一般的な機能の簡単な説明を示します。これらの機能は、アプリケーション・ノートAN-877「*Interfacing to High Speed ADCs via SPI*」で詳しく説明しています。AD9265 デバイスに固有な機能は次の表 17、外部メモリ・マップ・レジスタ・テーブルに説明します。

表 16. SPI を使ってアクセスできる機能

Feature Name	Description
Mode	Allows the user to set either power-down mode or standby mode
Clock	Allows the user to access the DCS, set the clock divider, set the clock divider phase, and enable the SYNC input
Offset	Allows the user to digitally adjust the converter offset
Test I/O	Allows the user to set test modes to have known data on output bits
Output Mode	Allows the user to set the output mode
Output Phase	Allows the user to set the output clock polarity
Output Delay	Allows the user to vary the DCO delay
VREF	Allows the user to set the reference voltage

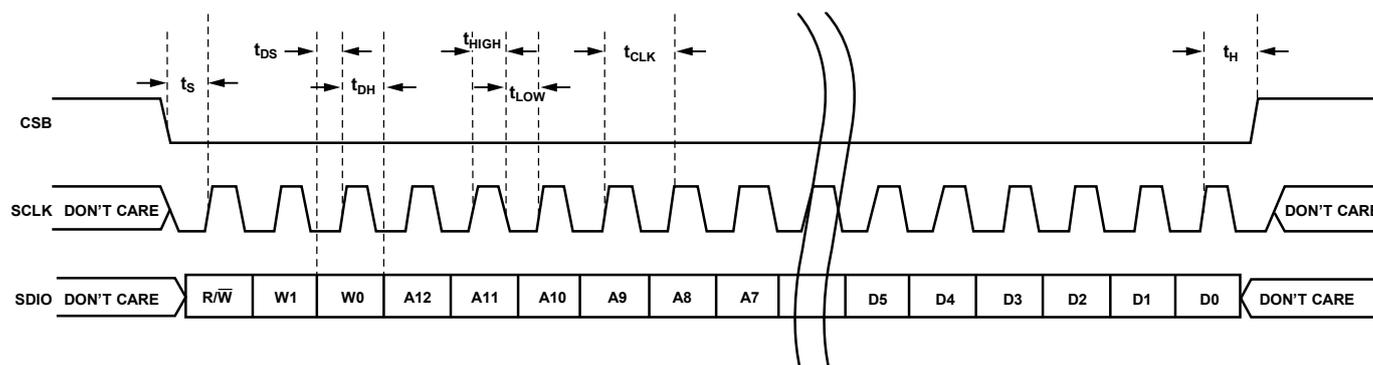


図 84. シリアル・ポート・インターフェースのタイミング図

06902-095

メモリ・マップ

メモリ・マップ・レジスタ・テーブルの読出し

メモリ・マップ・レジスタ・テーブル内の各行には 8 ビットのロケーションがあります。メモリ・マップは大まかに、チップ設定レジスタ(アドレス 0x00 ~ アドレス 0x02)、転送レジスタ(アドレス 0xFF)、ADC 機能レジスタ(セットアップ、コントロール、テストを含む(アドレス 0x08 ~ アドレス 0x30)、デジタル機能コントロール・レジスタ(アドレス 0x100)の 4 つのセクションに分かれています。

メモリ・マップ・レジスタ・テーブル(表 17 参照)には、各 16 進アドレスに対するデフォルトの 16 進値が記載してあります。先頭ビット 7 (MSB)の列は、デフォルト 16 進値の開始になります。例えば、アドレス 0x18 の VREF セレクト・レジスタは、16 進デフォルト値 0xC0 を持ちます。これは、ビット 7 = 1、ビット 6 = 1、残りのビットはすべて 0 であることを意味します。この設定は、デフォルトのリファレンス選択の設定です。このデフォルト値は 2.0 V p-p リファレンスを使用しています。この機能およびその他の詳細については、アプリケーション・ノート AN-877 「*Interfacing to High Speed ADCs via SPI*」を参照してください。このドキュメントでは、レジスタ 0x00 ~ レジスタ 0xFF により制御される機能を詳しく説明しています。残りのレジスタ 0x100 については、メモリ・マップ・レジスタの説明のセクションに記載します。

未使用ロケーション

表 17 に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。有効アドレス・ロケーションの未使用ビットには 0 を書込む必要があります。アドレス・ロケーションの一部が未使

用の場合にのみ、これらのロケーションへの書込みが必要です(例えばアドレス 0x18)。アドレス・ロケーション全体が未使用の場合(例えばアドレス 0x13)、このアドレス・ロケーションに対しては書込みを行わないでください。

デフォルト値

AD9265 のリセット後、クリティカルなレジスタにはデフォルト値がロードされます。レジスタのデフォルト値は、メモリ・マップ・レジスタ・テーブル(表 17)に記載してあります。

ロジック・レベル

ロジック・レベルは次のように定義します。

- 「ビットをセットする」は、「ビットをロジック 1 に設定する」または「ビットにロジック 1 を書込む」と同じ意味です。
- 「ビットをクリアする」は、「ビットをロジック 0 に設定する」または「ビットにロジック 0 を書込む」と同じ意味です。

転送レジスタ・マップ

アドレス 0x08 ~ アドレス 0x18 はシャドウされます。これらのアドレスに書込みを行っても、アドレス 0xFF に 0x01 を書込んで転送コマンドが発行されて、転送ビットがセットされるまで、デバイスの動作に反映されません。この動作により、転送ビットがセットされたときに、これらのレジスタが内部で同時に更新されるようになります。内部更新は転送ビットがセットされたときに実行され、ビットは自動的にクリアされます。

メモリ・マップ・レジスタ・テーブル

表 17に記載されていないすべてのアドレスとビット・ロケーションは、このデバイスではサポートされていないロケーションです。

表 17.メモリ・マップ・レジスタ

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
Chip Configuration Registers											
0x00	SPI port configuration	0	LSB first	Soft reset	1	1	Soft reset	LSB first	0	0x18	The nibbles are mirrored so LSB-first mode or MSB-first mode registers correctly, regardless of shift mode
0x01	Chip ID	8-bit Chip ID[7:0], AD9265 = 0x64 (default)								0x64	Read only
0x02	Chip grade	Open	Open	Speed grade ID 01 = 125 MSPS 10 = 105 MSPS 11 = 80 MSPS	Open	Open	Open	Open	Open		Speed grade ID used to differentiate devices; read only
Transfer Register											
0xFF	Transfer	Open	Open	Open	Open	Open	Open	Open	Transfer	0x00	Synchronously transfers data from the master shift register to the slave
ADC Functions Registers											
0x08	Power modes	1	Open	External power-down pin function 0 = power-down 1 = standby	Open	Open	Open	Internal power-down mode 00 = normal operation 01 = full power-down 10 = standby 11 = normal operation	0x80	Determines various generic modes of chip operation	
0x09	Global clock	Open	Open	Open	Open	Open	Open	Open	Duty cycle stabilizer (default)	0x01	
0x0D	Test mode	Open	Open	Reset PN23 generator	Reset PN9 generator	Open	Output test mode 000 = off (default) 001 = midscale short 010 = positive FS 011 = negative FS 100 = alternating checkerboard 101 = PN 23 sequence 110 = PN 9 sequence 111 = one/zero word toggle	0x00	When this register is set, the test data is placed on the output pins in place of normal data		
0x0E	BIST enable	Open	Open	Open	Open	Open	Reset BIST sequence	Open	BIST enable	0x04	

Addr. (Hex)	Register Name	Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)	Default Value (Hex)	Default Notes/Comments
0x14	Output mode	Drive strength 0 = ANSILVDS 1 = reduced LVDS	Output type 0 = CMOS 1 = LVDS	Open	Output enable bar	Open	Output invert	Output format 00 = offset binary 01 = twos complement 01 = gray code 11 = offset binary		0x00	Configures the outputs and the format of the data
0x16	Clock phase control	Invert DCO clock	Open	Open	Open	Open	Input clock divider phase adjust 000 = no delay 001 = 1 input clock cycle 010 = 2 input clock cycles 011 = 3 input clock cycles 100 = 4 input clock cycles 101 = 5 input clock cycles 110 = 6 input clock cycles 111 = 7 input clock cycles			0x00	Allows selection of clock delays into the input clock divider
0x17	DCO output delay	Open	Open	Open	DCO clock delay ($delay = 2500 \text{ ps} \times register \ value / 31$) 00000 = 0 ps 00001 = 81 ps 00010 = 161 ps ... 11110 = 2419 ps 11111 = 2500 ps				0x00		
0x18	VREF select	Reference voltage selection 00 = 1.25 V p-p 01 = 1.5 V p-p 10 = 1.75 V p-p 11 = 2.0 V p-p (default)		Open	Open	Open	Open	Open	Open	0xC0	
0x24	BIST signature LSB	BIST Signature[7:0]								0x00	Read only
0x25	BIST signature MSB	BIST Signature[15:8]								0x00	Read only
0x30	Dither enable	Open	Open	Open	Dither enable	Open	Open	Open	Open	0x00	
Digital Feature Control Register											
0x100	Sync control	Open	Open	Open	Open	Open	Clock divider next sync only	Clock divider sync enable	Master sync enable	0x00	

メモリ・マップ・レジスタの説明

レジスタ 0x00～レジスタ 0xFF で制御される機能の詳細については、アプリケーション・ノート AN-877「*Interfacing to High Speed ADCs via SPI*」を参照してください。

同期コントロール(レジスタ 0x100)

ビット[7:3]—予約済み

これらのビットは予約済みです。

ビット 2—クロック分周器次同期のみ

マスター同期イネーブル・ビット(アドレス 0x100、ビット 0)とクロック分周器同期イネーブル・ビット(アドレス 0x100、ビット 1)がハイ・レベルの場合、ビット 2 により、クロック分周器が最初に受信した同期パルスに同期できるようになり、後続は

無視されます。クロック分周器同期イネーブル・ビット(アドレス 0x100、ビット 1)は、同期した後にリセットされます。

ビット 1—クロック分周器同期イネーブル

ビット 1 は、クロック分周器への同期パルスゲーティングします。同期信号は、ビット 1 とビット 0 が共にハイ・レベルのときイネーブルされます。これは連続同期モードです。

ビット 0—マスター同期イネーブル

すべての同期機能をイネーブルするときは、ビット 0 をハイ・レベルにする必要があります。同期機能を使わない場合は、このビットをロー・レベルにして消費電力を節約する必要があります。

アプリケーション情報

デザイン・ガイドライン

1つのシステムとして、AD9265 のデザインとレイアウトを開始する場合は、その前に特定のピンに必要とされる特別な回路接続とレイアウト条件を説明する次のガイドラインに従うことが推奨されます。

電源とグラウンドの推奨事項

電源を AD9265 に接続する際、2 個の別々の電源を使うことが推奨されます。1 個はアナログ(AVDD)用の電源に、他の 1 個はデジタル出力用電源(DRVDD)に、それぞれ使用します。幾つかの異なるデカップリング・コンデンサを使って高周波と低周波をデカップリングすることもできます。これらは PC ボード・レベルの入力点近くで、かつデバイス・ピンの近くに配置し最短パターンで接続する必要があります。SPI ポートの電源 SVDD には大きなノイズがなく、かつデバイスの近くでバイパスされている必要があります。

AD9265 を使うときは、1 枚の PC ボード・グラウンド・プレーンで十分です。適切なデカップリングと PCB のアナログ、デジタル、クロックの各セクションの適切な分割により、最適性能を容易に実現することができます。

LVDS動作

AD9265 は、LVDS ピン(ピン 44)を使ってパワーアップ時に CMOS または LVDS 出力モードに設定することができます。LVDS 動作が必要な場合は、ピン 44 を AVDD に接続してください。また、LVDS 動作は SPI ポートを介してイネーブルすることもできます。CMOS 動作が必要な場合は、ピン 44 を AGND に接続してください。

エクスポーズド・パドルのサーマル・ヒート・スラグの推奨事項

最適な電気性能と熱性能を得るためには、ADC の下側のエクスポーズド・パドルをアナログ・グラウンド(AGND)に接続することが必要です。PCB 上に露出した(ハンダ・マスクなし)連続銅プレーンを設けて、これに AD9265 のエクスポーズド・パドル(ピン 0)を接続します。

銅プレーンには最小の熱抵抗になるように複数のビアを使用して、PCB の裏面へ放熱するようにします。これらのビアには非伝導性のエポキシを詰める必要があります。

ADC と PCB との接触面積と接着を最大にするため、シルクスクリーンで覆い、PCB の連続プレーンを複数の均一なセクションに分割してください。これにより、リフロー・プロセス時に ADC と PCB の間で複数の接続点を形成することができます。パーティションのない 1 枚の連続プレーンを使うと、ADC と PCB との間の接続点が確実に 1 個だけになります。チップ・スケール・パッケージのパッケージと PCB レイアウトの詳細については、アプリケーション・ノート AN772 「A Design and Manufacturing Guide for the Lead Frame Chip Scale Package (LFCSP)」 (<http://www.analog.com/jp>) を参照してください。

VCM

VCM ピンは、0.1 μ F のコンデンサによりグラウンドにデカップリングする必要があります(図 67 参照)。

RBIAS

AD9265 では、RBIAS ピンとグラウンドとの間に 10 k Ω の抵抗を接続する必要があります。この抵抗は ADC コアのマスター電流リファレンスを設定するため、誤差 1%以下ものを使う必要があります。

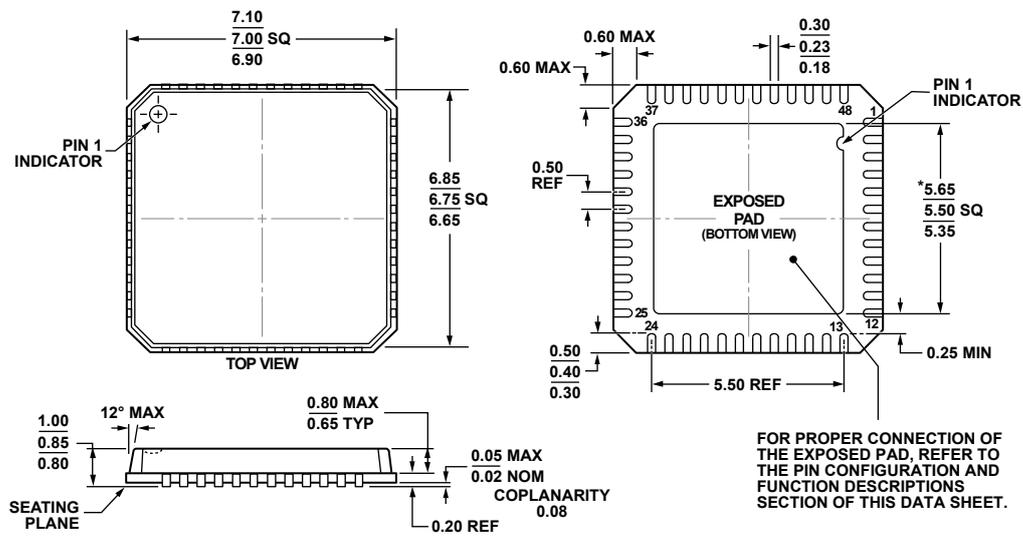
リファレンス電圧のデカップリング

VREF ピンは、ESR の小さい 1.0 μ F のコンデンサと ESR の小さい 0.1 μ F のセラミック・コンデンサとの並列接続により外部でグラウンドにデカップリングする必要があります。

SPIポート

コンバータのフル・ダイナミック性能が必要な区間では、SPI ポートをアクティブにしないようにしておく必要があります。SCLK 信号、CSB 信号、SDIO 信号は一般に ADC クロックに同期しているため、これらの信号からのノイズがコンバータ性能を低下させることがあります。内部 SPI バスを他のデバイスに対して使うことが便利な場合には、このバスと AD9265 との間にバッファを設けて、クリティカルなサンプリング区間にコンバータ入力でこれらの信号が変化することを防止することが必要になります。

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2
WITH EXCEPTION TO EXPOSED PAD DIMENSION.

120109-B

図 85.48 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
7 mm × 7 mm ボディ、極薄クワッド
(CP-48-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9265BCPZ-125	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265BCPZRL7-125	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265BCPZ-105	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265BCPZRL7-105	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265BCPZ-80	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265BCPZRL7-80	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-8
AD9265-125EBZ		Evaluation Board	
AD9265-105EBZ		Evaluation Board	
AD9265-80EBZ		Evaluation Board	

¹ Z = RoHS 準拠製品。