

**ANALOG
DEVICES**

14ビット、40/65MSPS A/Dコンバータ

AD9244

特長

14ビット、40/65MSPS ADC

低消費電力:

65MSPSで550mW

40MSPSで300mW

内蔵リファレンスとサンプル/ホールド
750MHzのアナログ入力帯域幅

65MSPS S/N比 73dBc

65MSPS SFDR 86dBc

微分非直線性誤差=±0.7 LSB

全温度範囲でノー・ミスコードを保証

1~2Vp-p差動フルスケール・アナログ入力範囲

5Vのアナログ単電源、3.3/5Vのドライバ電源

範囲外インジケータ

ストレート・バイナリまたは2の補数の出力データ

クロック・デューティ・サイクル安定器

出力イネーブル機能

48ピンLQFPパッケージ

アプリケーション

通信サブシステム (マイクロセル、ピコセル)

医療用およびハイエンド画像機器

超音波機器

概要

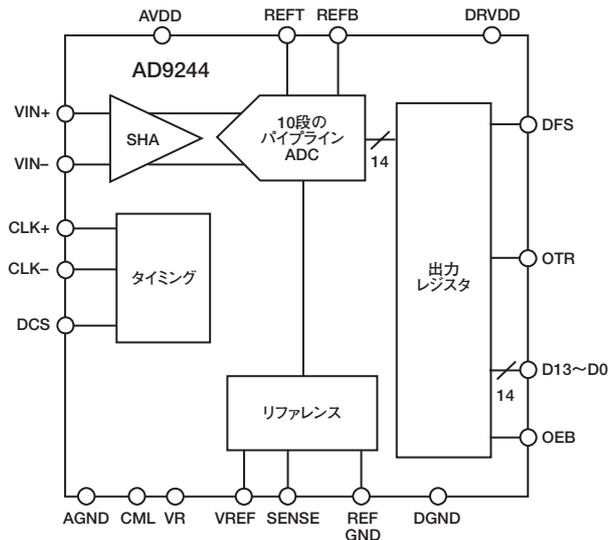
AD9244は、高性能なサンプル/ホールド・アンプとリファレンスを内蔵する、モノリシック、5V単電源、14ビット、40/65MSPSのA/Dコンバータです。出力誤差補正ロジックを備えたマルチステージ差動パイプライン・アーキテクチャを使用することにより、40/65MSPSのデータ・レートで14ビットの精度を提供し、全動作温度範囲にわたってノー・ミスコードを保証します。

AD9244は、プログラマブルなリファレンスを内蔵しています。アプリケーションのDC精度と温度ドリフトの条件に合わせて、外部リファレンスを使用することもできます。

すべての内部変換サイクルは、差動またはシングルエンドのクロック入力を使用して制御します。デジタル出力データは、ストレート・バイナリまたは2の補数のフォーマットで得られます。範囲外 (OTR) 信号によりオーバーフロー条件が示されるため、この信号を最上位ビットと組み合わせ使用すれば、下側または上側のオーバーフローを判定できます。

高度なCMOSプロセスによって製造されたAD9244は、48ピンのLQFPパッケージを採用しており、工業用温度範囲 (-40~+85°C) で動作します。

機能ブロック図



製品のハイライト

低消費電力 — AD9244の消費電力は550mWです。これは、既存高速ソリューションで現在利用できるADCの消費電力を大きく引き下げます。

IFサンプリング — AD9244は、1次ナイキスト領域を超える入力周波数で卓越した性能を発揮します。100MHzの入力周波数で65MSPSのサンプリングを行うことで、71dBのS/N比と86dBのSFDRを実現します。

ピン互換性 — 12ビット、65MSPSのAD9226からAD9244への移行が簡単にできます。

内蔵サンプル/ホールド (SHA) — 汎用性のあるSHA入力を、シングルエンド入力または差動入力に構成できます。

範囲外 (OTR) — このOTR出力ビットは、入力信号がAD9244の入力範囲を超えていることを示します。

単電源 — AD9244は、システムの電源設計が簡単な5V単電源を使用しています。また、3.3Vと5Vのロジックファミリに対応するために、独立したデジタル出力ドライバ電源を備えています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD9244 — 仕様

DC仕様 (特に指定のない限り、AVDD=5V、DRVDD=3V、 $f_{\text{SAMPLE}}=65\text{MSPS}$ (−65)または 40MSPS (−40)、差動クロック入力、VREF=2V、外部リファレンス、差動アナログ入力)

パラメータ	温度	テスト・レベル	AD9244BST-65			AD9244BST-40			単位
			Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	VI	14			14			ビット
DC精度									
ノーマル・ミスコード	全範囲	VI	保証			保証			ビット
オフセット誤差	全範囲	VI	±0.3	±1.4		±0.3	±1.4		%FSR
ゲイン誤差 ¹	全範囲	VI	±0.6	±2.0		±0.6	±2.0		%FSR
微分非直線性 (DNL) ²	全範囲	VI		±1.0			±1.0		LSB
	25°C	V		±0.7			±0.6		LSB
積分非直線性 (INL) ²	全範囲	V		±1.4			±1.3		LSB
温度ドリフト									
オフセット誤差	全範囲	V		±2.0			±2.0		ppm/°C
ゲイン誤差 (EXT VREF) ¹	全範囲	V		±2.3			±2.3		ppm/°C
ゲイン誤差 (INT VREF) ³	全範囲	V		±25			±25		ppm/°C
内部リファレンス									
出力電圧誤差 (2 VREF)	全範囲	VI			±29			±29	mV
1mAでの負荷レギュレーション	全範囲	V		0.5			0.5		mV
出力電圧誤差 (1 VREF)	全範囲	IV			±15			±15	mV
0.5mAでの負荷レギュレーション	全範囲	V		0.25			0.25		mV
入力抵抗	全範囲	V		5			5		kΩ
入力換算ノイズ									
VREF=2V	25°C	V		0.8			0.8		LSB rms
VREF=1V	25°C	V		1.5			1.5		LSB rms
アナログ入力									
入力電圧範囲 (差動)									
VREF=2V	全範囲	V		2			2		Vp-p
VREF=1V	全範囲	V		1			1		Vp-p
コモン・モード電圧	全範囲	V	0.5		4	0.5		4	V
入力容量 ⁴	25°C	V		10			10		pF
入力バイアス電流 ⁵	25°C	V		500			500		μA
アナログ帯域幅 (フル・パワー)	25°C	V		750			750		MHz
電源									
電源電圧									
AVDD	全範囲	IV	4.75	5	5.25	4.75	5	5.25	V
DRVDD	全範囲	IV	2.7		5.25	2.7		5.25	V
電源電流									
IAVDD	全範囲	V		109			64		mA
IDRVDD	全範囲	V		12			8		mA
PSRR	全範囲	V		±0.05			±0.05		%FSR
消費電力									
DC入力 ⁶	全範囲	V		550			300		mW
サイン波入力	全範囲	VI		590	640		345	370	mW

注

¹ ゲイン誤差はADCにのみ基づきます (2.0V固定の外部リファレンスを使用)。

² 最大クロック・レート、 $f_{\text{IN}}=2.4\text{MHz}$ 、フルスケール・サイン波、各出力ビットに約5pFの負荷を接続して測定。

³ 内部リファレンス誤差を含みます。

⁴ 入力容量とは、1本の差動入力ピンとAGNDとの間の実効容量を意味します。等価アナログ入力回路については、図2dを参照してください。

⁵ 入力バイアス電流は、クロック・レートに依存する抵抗とみなせる入力によるものです。

⁶ DC入力、最大クロック・レートで測定。

仕様は予告なく変更されることがあります。

AC仕様

(特に指定のない限り、AVDD=5V、DRVDD=3V、 $f_{\text{SAMPLE}}=65\text{MSPS}$ (−65)または 40MSPS (−40)、
差動クロック入力、VREF=2V、外部リファレンス、 $A_{\text{IN}}=-0.5\text{dBFS}$ 、差動アナログ入力)

パラメータ	温度	テスト・ レベル	AD9244BST-65			AD9244BST-40			単位
			Min	Typ	Max	Min	Typ	Max	
SNR									
$f_{\text{IN}}=2.4\text{MHz}$	全範囲	VI	72.4			73.4			dBc
	25°C	I		74.8			75.3		dBc
$f_{\text{IN}}=20\text{MHz}$	全範囲	VI				72.1			dBc
	25°C	I					74.7		dBc
$f_{\text{IN}}=32.5\text{MHz}$	全範囲	IV	70.8						dBc
	25°C	I		73.0					dBc
$f_{\text{IN}}=70\text{MHz}$	全範囲	IV	69.9						dBc
	25°C	V		72.2					dBc
$f_{\text{IN}}=100\text{MHz}$	25°C	V		71.2			72.8		dBc
$f_{\text{IN}}=200\text{MHz}$	25°C	V		67.2			68.3		dBc
SINAD									
$f_{\text{IN}}=2.4\text{MHz}$	全範囲	VI	72.2			73.2			dBc
	25°C	I		74.7			75.1		dBc
$f_{\text{IN}}=20\text{MHz}$	全範囲	VI				72			dBc
	25°C	I					74.4		dBc
$f_{\text{IN}}=32.5\text{MHz}$	全範囲	IV	70.6						dBc
	25°C	I		72.6					dBc
$f_{\text{IN}}=70\text{MHz}$	全範囲	IV	69.7						dBc
	25°C	V		71.9					dBc
$f_{\text{IN}}=100\text{MHz}$	25°C	V		71			72.4		dBc
$f_{\text{IN}}=200\text{MHz}$	25°C	V		59.8			56.3		dBc
ENOB									
$f_{\text{IN}}=2.4\text{MHz}$	全範囲	VI	11.7			11.9			ビット
	25°C	I		12.1			12.2		ビット
$f_{\text{IN}}=20\text{MHz}$	全範囲	VI				11.7			ビット
	25°C	I					12.1		ビット
$f_{\text{IN}}=32.5\text{MHz}$	全範囲	IV	11.4						ビット
	25°C	I		11.8					ビット
$f_{\text{IN}}=70\text{MHz}$	全範囲	IV	11.3						ビット
	25°C	V		11.7					ビット
$f_{\text{IN}}=100\text{MHz}$	25°C	V		11.5			11.7		ビット
$f_{\text{IN}}=200\text{MHz}$	25°C	V		9.6			9.1		ビット
THD									
$f_{\text{IN}}=2.4\text{MHz}$	全範囲	VI			−78.4			−80.7	dBc
	25°C	I		−90.0			−89.7		dBc
$f_{\text{IN}}=20\text{MHz}$	全範囲	VI						−80.4	dBc
	25°C	I					−89.4		dBc
$f_{\text{IN}}=32.5\text{MHz}$	全範囲	IV			−79.2				dBc
	25°C	I		−84.6					dBc
$f_{\text{IN}}=70\text{MHz}$	全範囲	IV			−78.7				dBc
	25°C	V		−84.1					dBc
$f_{\text{IN}}=100\text{MHz}$	25°C	V		−83.0			−83.2		dBc
$f_{\text{IN}}=200\text{MHz}$	25°C	V		−60.7			−56.6		dBc
WORST 2または3									
$f_{\text{IN}}=2.4\text{MHz}$	25°C	V		−94.5			−93.7		dBc
$f_{\text{IN}}=20\text{MHz}$	25°C	V					−92.8		dBc
$f_{\text{IN}}=32.5\text{MHz}$	25°C	V		−86.5					dBc
$f_{\text{IN}}=70\text{MHz}$	25°C	V		−86.1					dBc
$f_{\text{IN}}=100\text{MHz}$	25°C	V		−86.2			−84.5		dBc
$f_{\text{IN}}=200\text{MHz}$	25°C	V		−60.7			−56.6		dBc
SFDR									
$f_{\text{IN}}=2.4\text{MHz}$	全範囲	VI	78.6			82.5			dBc
	25°C	I		94.5			93.7		dBc
$f_{\text{IN}}=20\text{MHz}$	全範囲	IV				81.4			dBc
	25°C	I					91.8		dBc
$f_{\text{IN}}=32.5\text{MHz}$	全範囲	IV	80.0						dBc
	25°C	I		86.4					dBc
$f_{\text{IN}}=70\text{MHz}$	全範囲	IV	79.5						dBc
	25°C	V		86.1					dBc
$f_{\text{IN}}=100\text{MHz}$	25°C	V		86.2			84.5		dBc
$f_{\text{IN}}=200\text{MHz}$	25°C	V		60.7			56.6		dBc

AD9244

デジタル仕様 (特に指定のない限り、AVDD=5V、DRVDD=3V、VREF=2V、外部リファレンス)

パラメータ	温度	テスト・レベル	AD9244BST-65			AD9244BST-40			単位
			Min	Typ	Max	Min	Typ	Max	
デジタル入力									
ロジック“1”電圧 (OEB、DRVDD=3V)	全範囲	IV	2			2			V
ロジック“1”電圧 (OEB、DRVDD=5V)	全範囲	IV	3.5			3.5			V
ロジック“0”電圧 (OEB)	全範囲	IV			0.8			0.8	V
ロジック“1”電圧 (DFS、DCS)	全範囲	IV	3.5			3.5			V
ロジック“0”電圧 (DFS、DCS)	全範囲	IV			0.8			0.8	V
入力電流	全範囲	IV			10			10	μA
入力容量	全範囲	V		5			5		pF
クロック入力パラメータ									
差動入力電圧	全範囲	IV	0.4			0.4			V _{p-p}
CLK-電圧 ¹	全範囲	IV	0.25			0.25			V
内部クロック・コモン・モード	全範囲	V		1.6			1.6		V
シングルエンド入力電圧									
ロジック“1”電圧	全範囲	IV	2			2			V
ロジック“0”電圧	全範囲	IV			0.8			0.8	V
入力容量	全範囲	V		5			5		pF
入力抵抗	全範囲	V		100			100		kΩ
デジタル出力 (DRVDD=5V)²									
ロジック“1”電圧 (I _{OH} =50μA)	全範囲	IV	4.5			4.5			V
ロジック“0”電圧 (I _{OL} =50μA)	全範囲	IV			0.1			0.1	V
ロジック“1”電圧 (I _{OH} =0.5mA)	全範囲	IV	2.4			2.4			V
ロジック“0”電圧 (I _{OL} =1.6mA)	全範囲	IV			0.4			0.4	V
デジタル出力 (DRVDD=3V)²									
ロジック“1”電圧 (I _{OH} =50μA)	全範囲	IV	2.95			2.95			V
ロジック“0”電圧 (I _{OL} =50μA)	全範囲	IV			0.05			0.05	V
ロジック“1”電圧 (I _{OH} =0.5mA)	全範囲	IV	2.8			2.8			V
ロジック“0”電圧 (I _{OL} =1.6mA)	全範囲	IV			0.4			0.4	V

注

¹ 詳細については、「動作原理」のクロックのセクションを参照してください。

² 出力電圧レベルは、各出力に5pFの負荷を接続して測定。

仕様は予告なく変更されることがあります。

スイッチング仕様 (特に指定のない限り、AVDD=5V、DRVDD=3V)

パラメータ	温度	テスト・レベル	AD9244BST-65			AD9244BST-40			単位
			Min	Typ	Max	Min	Typ	Max	
クロック入力パラメータ									
最大変換レート	全範囲	VI	65			40		MHz	
最小変換レート	全範囲	V			500		500	kHz	
クロック周期 ¹	全範囲	V	15.4			25		ns	
クロックパルス幅ハイ ²	全範囲	V	4			4		ns	
クロックパルス幅ロー ²	全範囲	V	4			4		ns	
クロックパルス幅ハイ ³	全範囲	V	6.9			11.3		ns	
クロックパルス幅ロー ³	全範囲	V	6.9			11.3		ns	
データ出力パラメータ									
出力遅延 (t_{PD}) ⁴	全範囲	V	3.5		7	3.5		7	ns
パイプライン遅延 (レイテンシ)	全範囲	V		8			8		クロック・サイクル
アパーチャ遅延 (t_A)	全範囲	V		1.5			1.5		ns
アパーチャ不確定性 (ジッター)	全範囲	V		0.3			0.3		ps rms
出力イネーブル遅延	全範囲	V		15			15		ns
範囲外からの回復時間	全範囲	V		2			1		クロック・サイクル

注

¹ クロック周期は、25℃での規定性能を低下させることなく、2 μ sまで拡張できます。

² デューティ・サイクル安定器がイネーブルの場合

³ デューティ・サイクル安定器がディスエーブルの場合

⁴ 各出力に5pFの負荷を接続して、クロックの50%遷移からデータの50%遷移までを測定。

仕様は予告なく変更されることがあります。

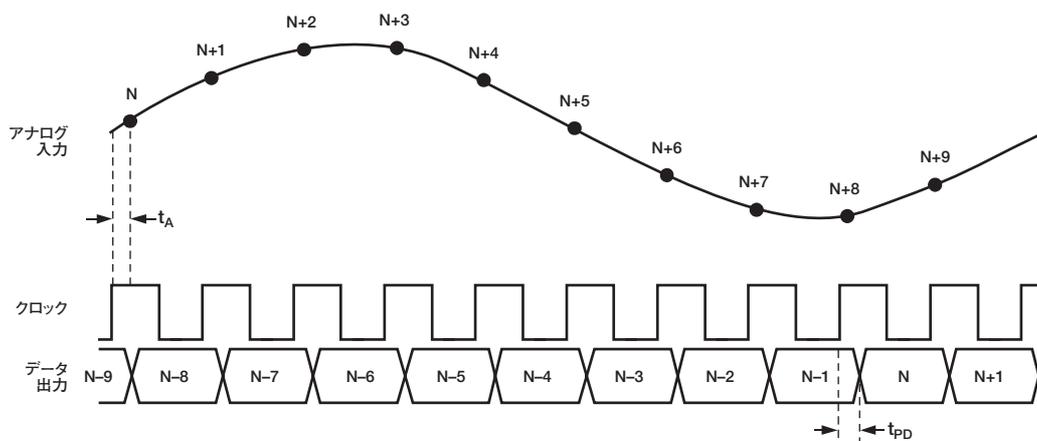


図1. 入力タイミング

AD9244

絶対最大定格¹

記号	基準 ポイント	Min	Max	単位
電気関係				
AVDD	AGND	-0.3	+6.5	V
DRVDD	DGND	-0.3	+6.5	V
AGND	DGND	-0.3	+0.3	V
AVDD	DRVDD	-6.5	+6.5	V
REFGND	AGND	-0.3	+0.3	V
CLK+、 CLK-、DCS	AGND	-0.3	AVDD+0.3	V
DFS	AGND	-0.3	AVDD+0.3	V
VIN+、VIN-	AGND	-0.3	AVDD+0.3	V
VREF	AGND	-0.3	AVDD+0.3	V
SENSE	AGND	-0.3	AVDD+0.3	V
REFB、REFT	AGND	-0.3	AVDD+0.3	V
CML	AGND	-0.3	AVDD+0.3	V
VR	AGND	-0.3	AVDD+0.3	V
OTR	DGND	-0.3	DRVDD+0.3	V
D0~D13	DGND	-0.3	DRVDD+0.3	V
OEB	DGND	-0.3	DRVDD+0.3	V
環境関係²				
接合温度			150	℃
保管温度		-65	+150	℃
動作温度		-40	+85	℃
ピン温度 (10秒)			300	℃

注

¹ 上記の絶対最大定格リストを超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格のみを規定するものであり、これらの規定値あるいはこの仕様書の動作セクションに記載した規定値を超える条件で、デバイスが機能的に動作することを意味するものではありません。長期間にわたって絶対最大定格条件で放置すると、デバイスの信頼性に影響を与えるおそれがあります。

² 一般的な熱抵抗は、 $\theta_{JA}=50.0^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC}=17.0^{\circ}\text{C}/\text{W}$ です。これらの値は、EIA/JESD51-7に準拠して自然空冷で4層ボードを使って測定。

テスト・レベルの説明

テスト・レベル

- I. 100%出荷テストが行われます。
- II. 25℃で100%出荷テストが行われ、指定温度でサンプル・テストが行われます。
- III. サンプル・テストのみ。
- IV. パラメータは設計および特性評価テストで保証されます。
- V. パラメータは標準値のみです。
- VI. 25℃で100%出荷テストが行われます。工業用温度範囲については、設計および特性評価テストで保証されます。軍用デバイスについては、最小および最大温度で100%出荷テストが行われます。

オーダー・ガイド

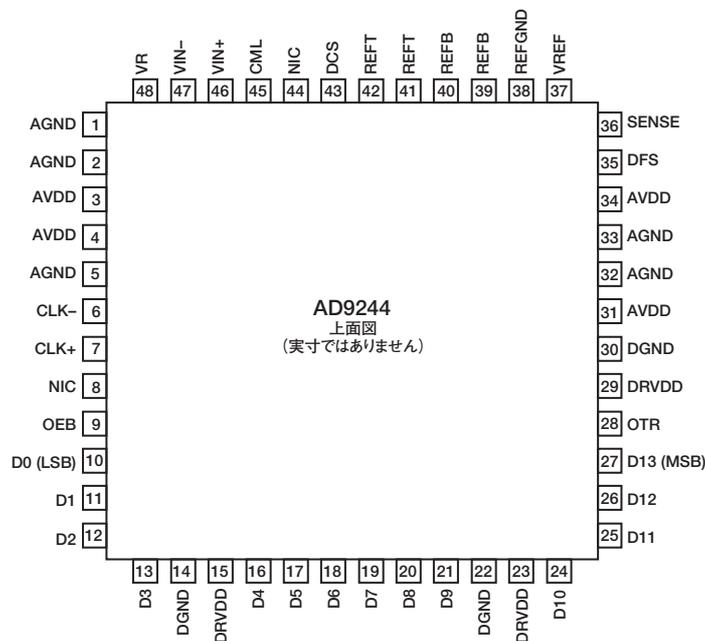
モデル	温度範囲	パッケージ	パッケージ・オプション
AD9244BST-65	-40~+85℃	48ピンLQFPパッケージ	ST-48
AD9244BST-40	-40~+85℃	48ピンLQFPパッケージ	ST-48
AD9244-65PCB		評価ボード	
AD9244-40PCB		評価ボード	

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD9244は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置



ピン機能の説明

ピン番号	記号	ピンの説明
1、2、5、32、33	AGND	アナログ・グラウンド
3、4、31、34	AVDD	アナログ電源電圧
6、7	CLK ⁻ 、CLK ⁺	差動クロック入力
8、44	NIC	内部接続なし
9	OEB	デジタル出力イネーブル (アクティブ・ロー)
10	D0 (LSB)	最下位ビット、デジタル出力
11~13、16~21、24~26	D1~D3、D4~D9、 D10~D12	デジタル出力
14、22、30	DGND	デジタル・グラウンド
15、23、29	DRVDD	デジタル電源電圧
27	D13 (MSB)	最上位ビット、デジタル出力
28	OTR	範囲外インジケータ (ロジック "1" はOTRを示します。)
35	DFS	データ・フォーマット選択 ストレート・バイナリの場合はAGNDに接続し、2の補数の場合はAVDDに接続します。
36	SENSE	内蔵リファレンス制御
37	VREF	内蔵リファレンス
38	REFGND	リファレンス・グラウンド
39~42	REFB、REFT	内蔵リファレンス・デカップリング
43	DCS	50%デューティ・サイクル安定器 50%デューティ・サイクル安定器をアクティブにするにはAVDDに接続し、クロック・エッジを両方も外部制御するにはAGNDに接続します。
45	CML	コモン・モード・リファレンス (0.5×AVDD)
46、47	VIN ⁺ 、VIN ⁻	差動アナログ入力
48	VR	内部バイアス・デカップリング

AD9244

仕様の定義

アナログ帯域幅 (フル・パワー帯域幅)

FFT分析で得られる基本周波数のスペクトル・パワーより3dB少ないアナログ入力周波数です。

アパーチャ遅延

クロックの立上りエッジの50%ポイントからアナログ入力が入力される瞬間までの遅延。

アパーチャ不確定性 (ジッター)

アパーチャ遅延でのサンプル間変動です。

差動アナログ入力電圧範囲

フルスケール応答を生成するには、コンバータにピークtoピーク差動電圧を印加する必要があります。ピーク差動電圧を計算するには、1本のピンで電圧を実測し、その電圧とは180度の位相差がある電圧を別のピンから引きます。ピークtoピーク差動電圧を計算するには、入力位相を180度回転させ、再びピーク測定を行います。これによって、2つのピーク測定値の差が得られます。

微分非直線性 (DNL、ノー・ミスコード)

理想的なADCでは、各コード遷移がちょうど1LSB離れた位置で発生します。DNLは、この理想値からの偏差です。ノー・ミスコードで14ビット分解能を保証するとは、全動作範囲で16384コードすべてが出力されることを意味します。

実効ビット数 (ENOB)

与えられた入力周波数でのサイン波入力に対するデバイスの実効ビット数は、次の式を使用して、その測定したSINADから計算できます。

$$N = (\text{SINAD} - 1.76) / 6.02$$

ゲイン誤差

最初のコード遷移は、負のフルスケールよりも1/2LSBだけ上のアナログ値で発生します。最後のコード遷移は、公称フルスケールよりも1/2LSBだけ下のアナログ値で発生します。ゲイン誤差とは、最初と最後のコード遷移の実際の差の理想的な差からの偏差です。

コモン・モード除去比 (CMRR)

VIN+とVIN-の上に現れるコモン・モード (CM) 信号は、理想的にはADCの差動フロントエンドによって排除されます。VIN+とVIN-の両方を駆動するフルスケールCM信号では、CMRRは、フルスケール入力CM信号の振幅と排除されない信号の振幅の比であり、dBFSで表わされます。

IFサンプリング

エイリアシングの効果によって、ADCは、必ずしもナイキスト・サンプリングに限定されません。サンプリングされた周波数が高い場合には、ADCの出力で1次ナイキスト領域 (DC - f_{CLOCK}/2) にエイリアスされます。サンプリングされた信号の帯域幅がナイキスト領域と重なり合って自分自身にエイリアスされないように注意する必要があります。ナイキスト・サンプリング性能は、クロック・ジッター (入力周波数の増大につれて増大するジッターによって生じるノイズ) と入力SHAの帯域幅によって制限されます。

積分非直線性 (INL)

INLは、個々のコードの負のフルスケールと正のフルスケールを結ぶ直線からの偏差を表わします。負のフルスケールとして使用されるポイントは、最初のコード遷移より1/2LSB下にあります。正のフルスケールは、最後のコード遷移より1/2LSB上のレベルにあります。偏差は、各コードの中央の位置と直線の間の距離として測定されます。

最小変換レート

最小周波数のアナログ信号のS/N比が、保証既定値よりも最大3dBまで低下するクロック・レートをいいます。

最大変換レート

パラメータ・テストを実施するクロック・レートです。

ナイキスト・サンプリング

アナログ入力の周波数成分がナイキスト周波数 (f_{CLOCK}/2) を下回る場合、これがナイキスト・サンプリングと呼ばれることがあります。

範囲外からの回復時間

正のフルスケールの10%上から負のフルスケールの10%上までの遷移の後、または負のフルスケールの10%下から正のフルスケールの10%下までの遷移の後で、ADCがアナログ入力を再度取り込むために要する時間をいいます。

電源除去比

下限の電源電圧で得られる値から上限の電源電圧で得られる値までの、フルスケールにおける変化をいいます。

信号対ノイズおよび歪み (SINAD) *

rms信号振幅値と、ナイキスト周波数より下の全スペクトル成分のrms値合計 (DC以外の高調波を含む) との比です。

S/N比 (SNR) *

rms信号振幅値と、ナイキスト周波数より下の全スペクトル成分のrms値合計 (6次までの高調波とDCを除く) との比です。

スプリアスフリー・ダイナミック・レンジ (SFDR) *

入力信号のrms振幅値とピーク・スプリアス信号との差をいい、dB値で表します。

温度ドリフト

オフセット誤差とゲイン誤差の温度ドリフトで、最初 (25°C) の値からT_{MIN}またはT_{MAX}での値までの最大変化が規定されます。

全高調波歪み (THD) *

6次までの高調波成分のrms合計と、測定された入力信号のrms値との比です。

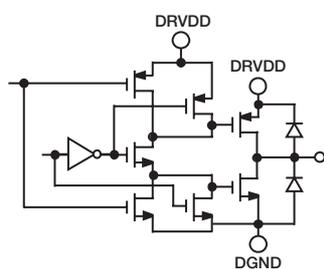
ツートーンSFDR*

いずれかの入力周波のrms値と、ピーク・スプリアス成分のrms値との比です。ピーク・スプリアス成分は、IMD積の場合とそうでない場合があります。

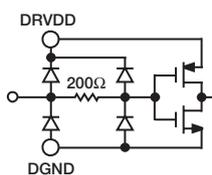
オフセット誤差

主要なキャリア遷移は、VIN+より1/2LSB下のアナログ値=VIN-について生じます。オフセット誤差は、そのポイントからの実際の遷移の偏差になります。

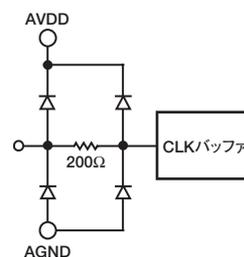
* AC仕様は、dBc (信号レベルが低くなると劣化) またはdBFS (常にコンバータのフルスケールに換算) で表わすことができます。



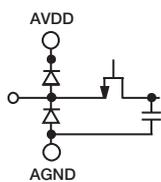
a. D0~D13, OTR



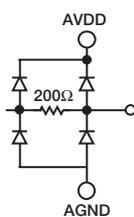
b. スリーステート (OEB)



c. CLK+, CLK-



d. VIN+, VIN-



e. DFS, DCS, SENSE

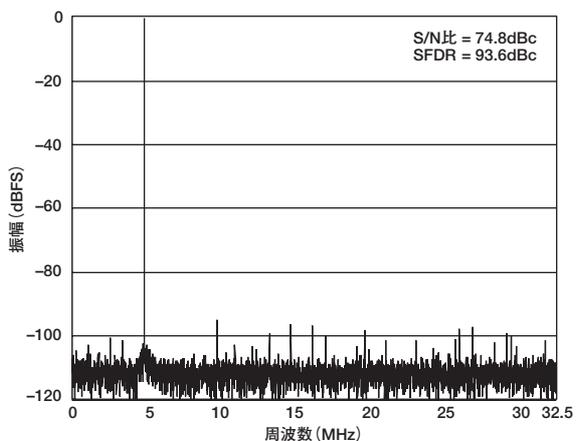


f. VREF, REFT, REFB, VR, CML

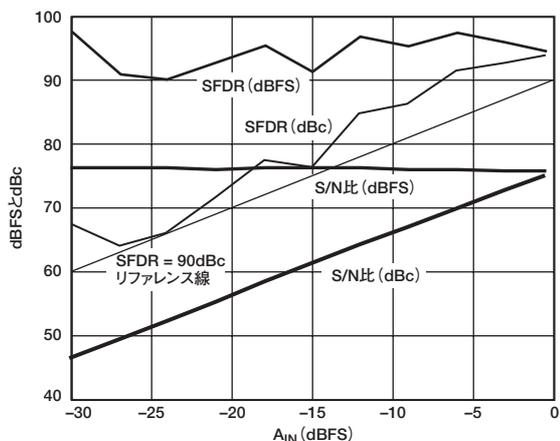
図2. 等価な回路

AD9244 — 特性

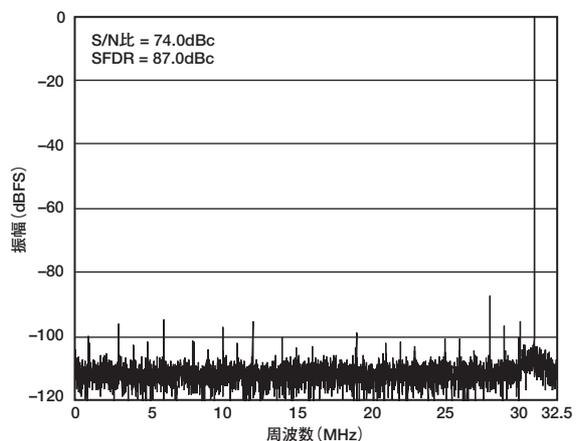
(特に指定のない限り、AVDD=5.0V、DRVDD=3.0V、CLKデューティ・サイクル安定器がイネーブルで $f_{\text{SAMPLE}}=65\text{MSPS}$ 、 $T_A=25^\circ\text{C}$ 、差動アナログ入力、コモン・モード電圧(VCM)=2.5V、入力振幅(AIN)=-0.5dBFS、VREF=2.0V外部、FFT長=8K)



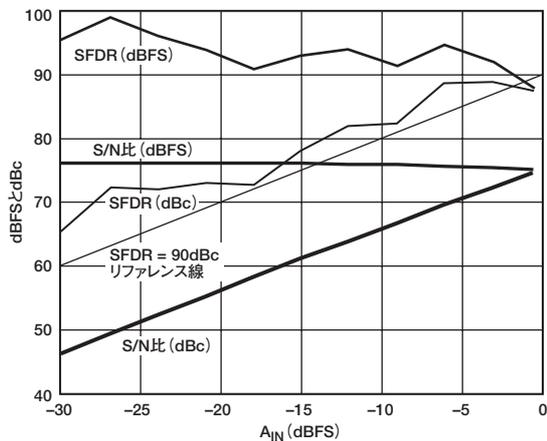
TPC 1. $f_{\text{IN}}=5\text{MHz}$ でのシングルトーンFFT



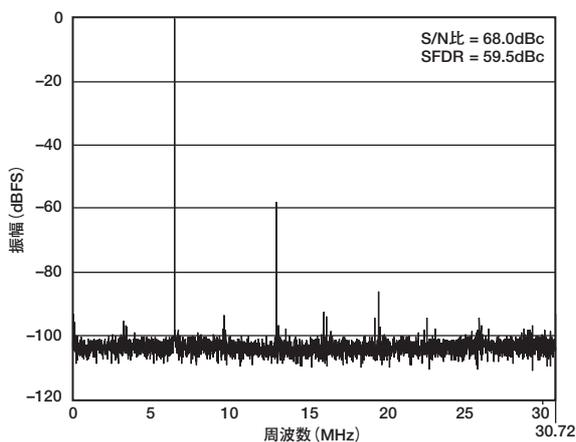
TPC 4. $f_{\text{IN}}=5\text{MHz}$ でのシングルトーンS/N比/SFDRと A_{IN} の関係



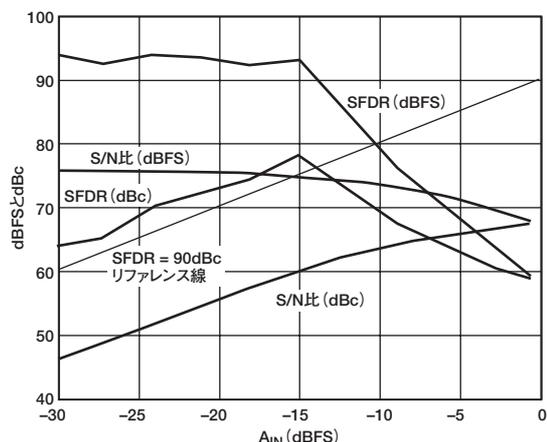
TPC 2. $f_{\text{IN}}=31\text{MHz}$ でのシングルトーンFFT



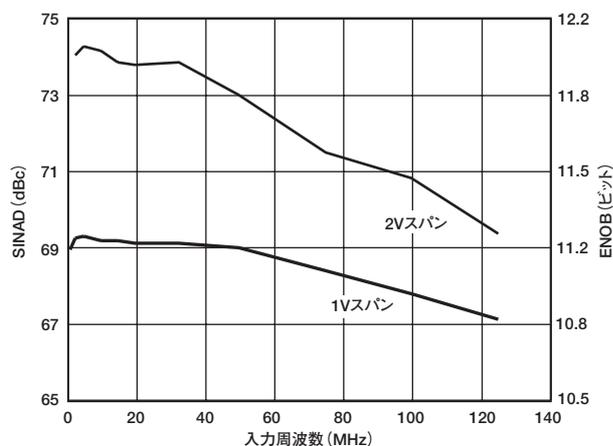
TPC 5. $f_{\text{IN}}=31\text{MHz}$ でのシングルトーンS/N比/SFDRと A_{IN} の関係



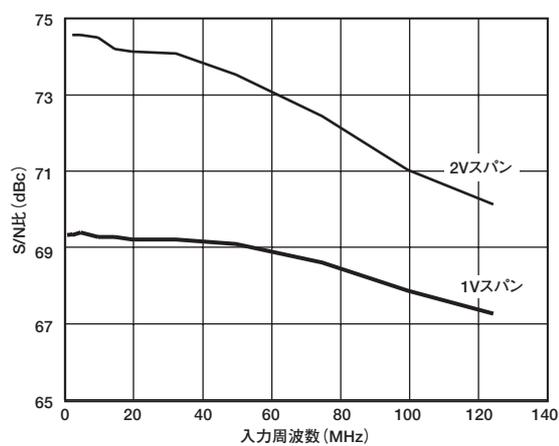
TPC 3. $f_{\text{IN}}=190\text{MHz}$ 、 $f_{\text{SAMPLE}}=61.44\text{MSPS}$ でのシングルトーンFFT



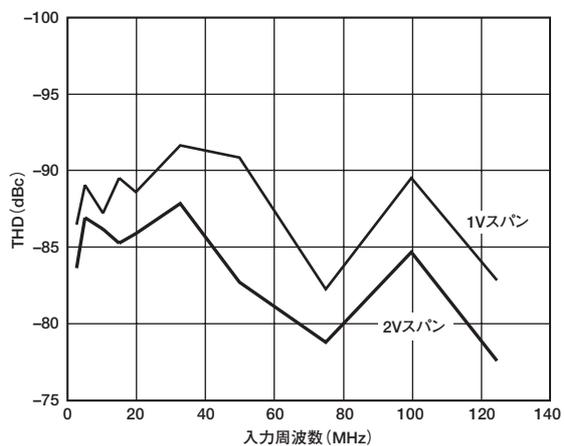
TPC 6. $f_{\text{IN}}=190\text{MHz}$ 、 $f_{\text{SAMPLE}}=61.44\text{MSPS}$ でのシングルトーンS/N比/SFDRと A_{IN} の関係



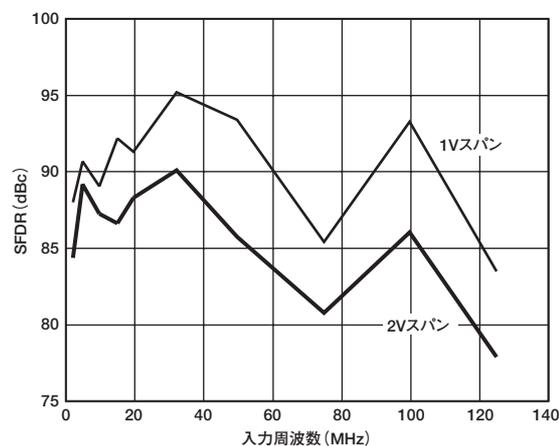
TPC 7. SINAD/ENOBと入力周波数の関係



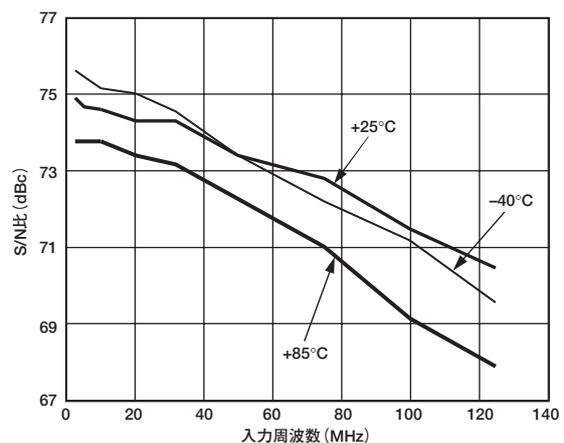
TPC 10. S/N比と入力周波数の関係



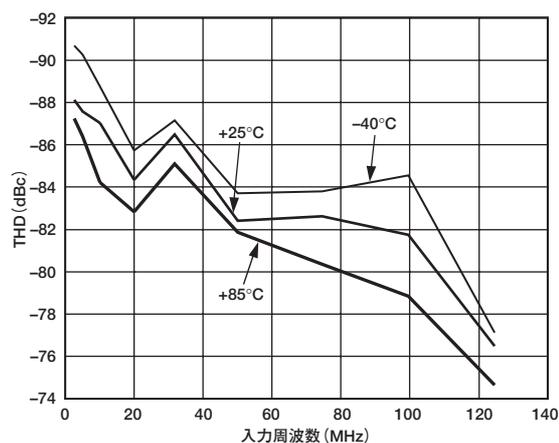
TPC 8. THDと入力周波数の関係



TPC 11. SFDRと入力周波数の関係

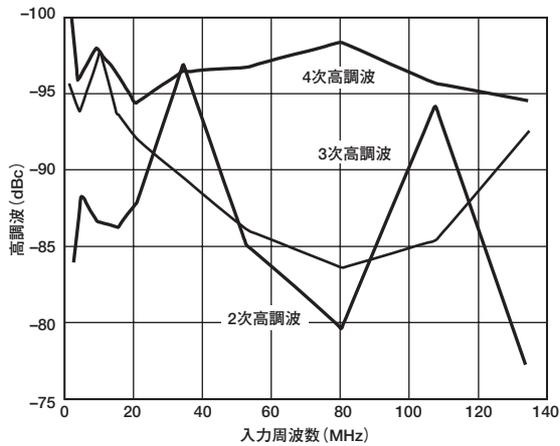


TPC 9. S/N比と温度および入力周波数の関係

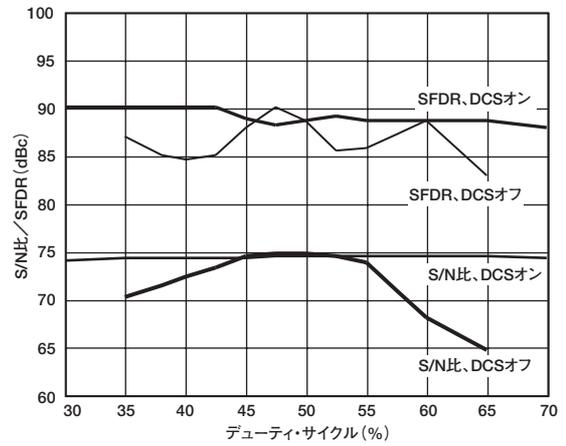


TPC 12. THDと温度および入力周波数の関係

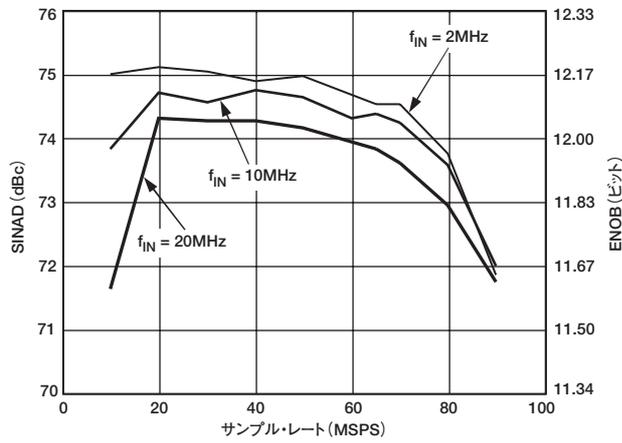
AD9244



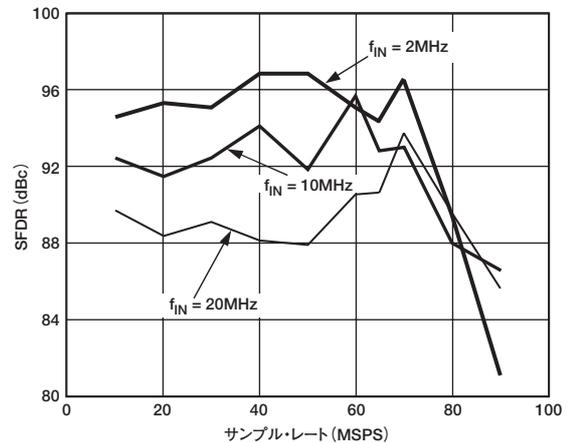
TPC 13. 高調波と入力周波数の関係



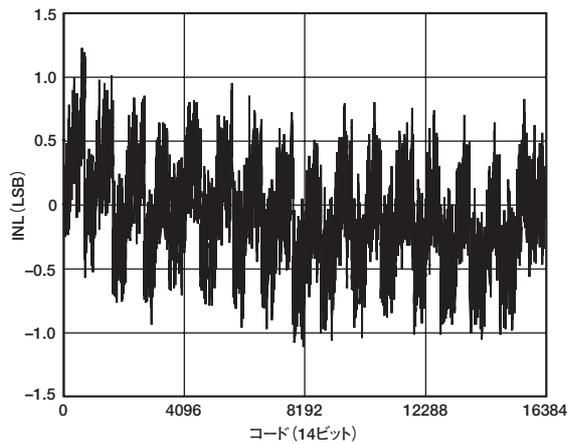
TPC 16. $f_{IN}=2.5\text{MHz}$ でのS/N比/SFDRとデューティ・サイクルの関係



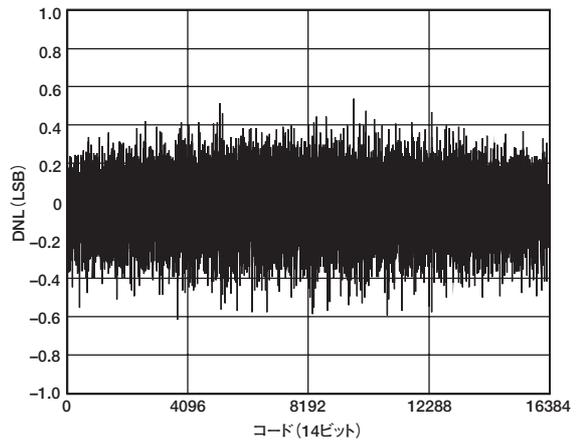
TPC 14. SINADとサンプル・レートの関係



TPC 17. SFDRとサンプル・レートの関係

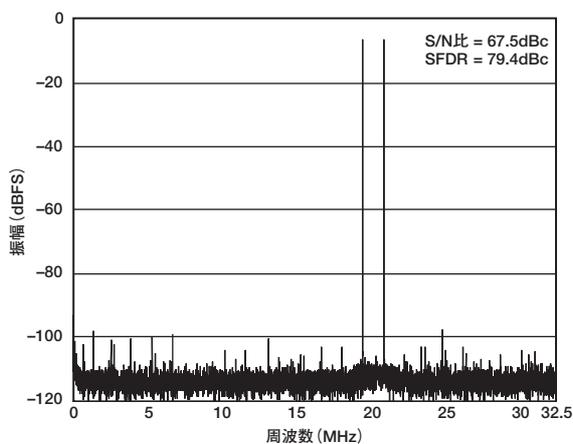


TPC 15. 代表的なINL

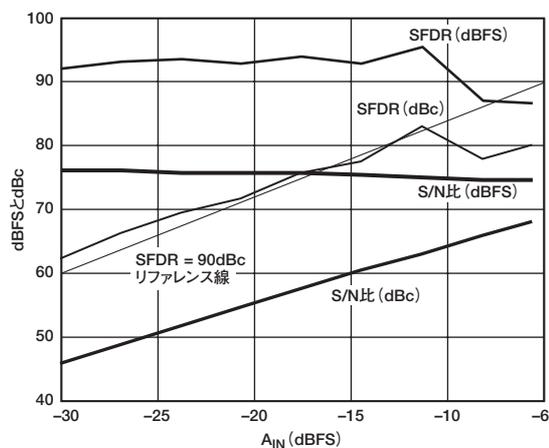


TPC 18. 代表的なDNL

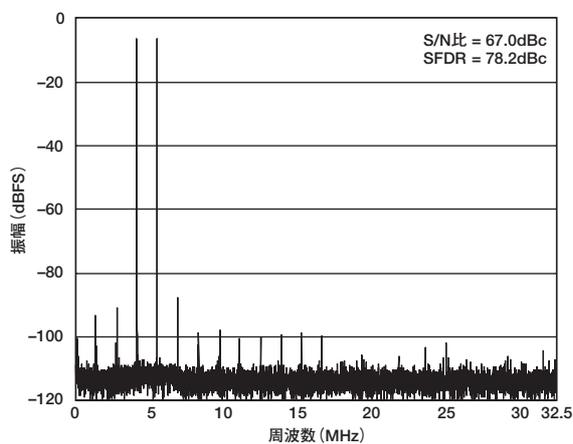
代表的なIFサンプリング性能



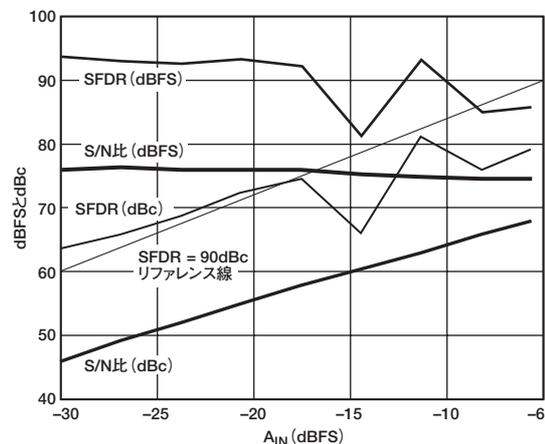
TPC 19. $f_{IN-1}=44.2\text{MHz}$ と $f_{IN-2}=45.6\text{MHz}$
($A_{IN1}=A_{IN2}=-6.5\text{dBFS}$) でのデュアルトーンFFT



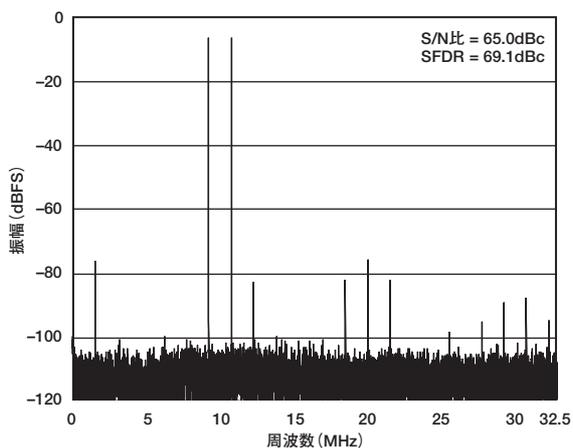
TPC 22. $f_{IN-1}=44.2\text{MHz}$ と $f_{IN-2}=45.6\text{MHz}$ での
デュアルトーンS/N比/SFDRと A_{IN} との関係



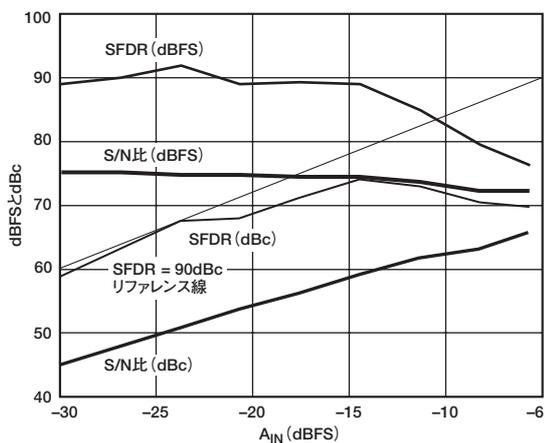
TPC 20. $f_{IN-1}=69.2\text{MHz}$ と $f_{IN-2}=70.6\text{MHz}$
($A_{IN1}=A_{IN2}=-6.5\text{dBFS}$) でのデュアルトーンFFT



TPC 23. $f_{IN-1}=69.2\text{MHz}$ と $f_{IN-2}=70.6\text{MHz}$ での
デュアルトーンS/N比/SFDRと A_{IN} との関係

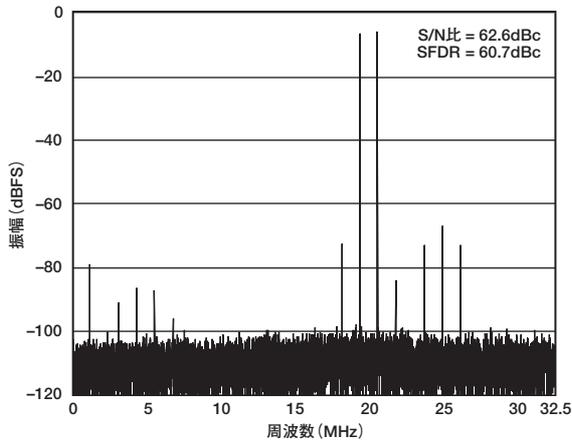


TPC 21. $f_{IN-1}=139.2\text{MHz}$ と $f_{IN-2}=140.7\text{MHz}$
($A_{IN1}=A_{IN2}=-6.5\text{dBFS}$) でのデュアルトーンFFT

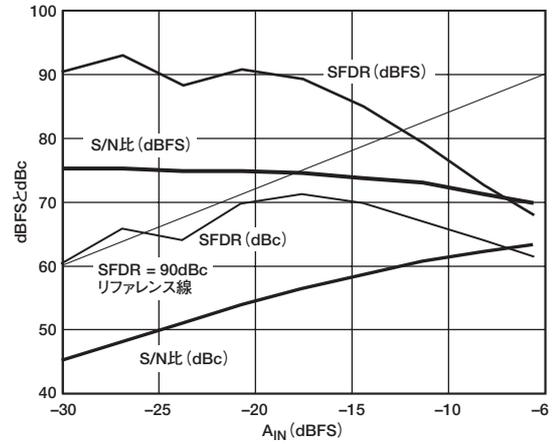


TPC 24. $f_{IN-1}=139.2\text{MHz}$ と $f_{IN-2}=140.7\text{MHz}$ での
デュアルトーンS/N比/SFDRと A_{IN} との関係

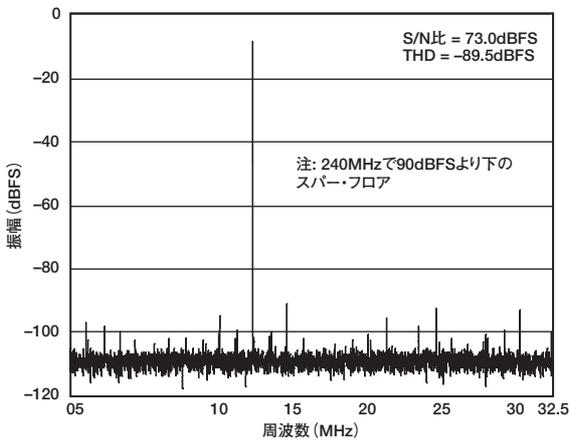
AD9244



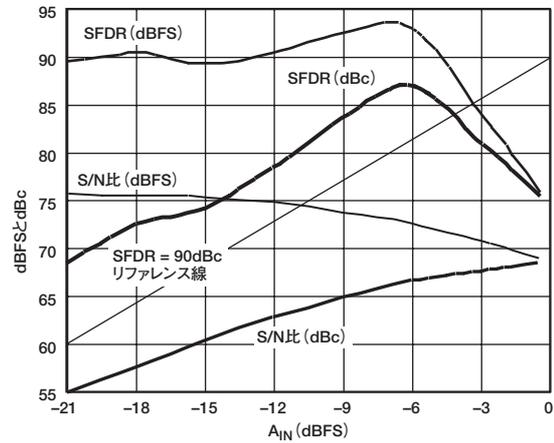
TPC 25. $f_{IN-1}=239.1\text{MHz}$ と $f_{IN-2}=240.7\text{MHz}$
($A_{IN-1}=A_{IN-2}=-6.5\text{dBFS}$)でのデュアルトーンFFT



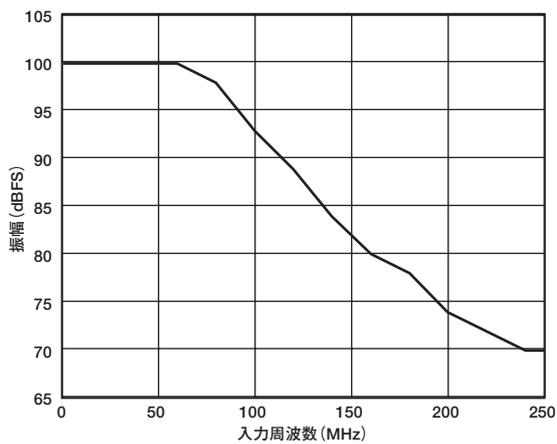
TPC 28. $f_{IN-1}=239.1\text{MHz}$ と $f_{IN-2}=240.7\text{MHz}$ での
デュアルトーンS/N比/SFDRと A_{IN}



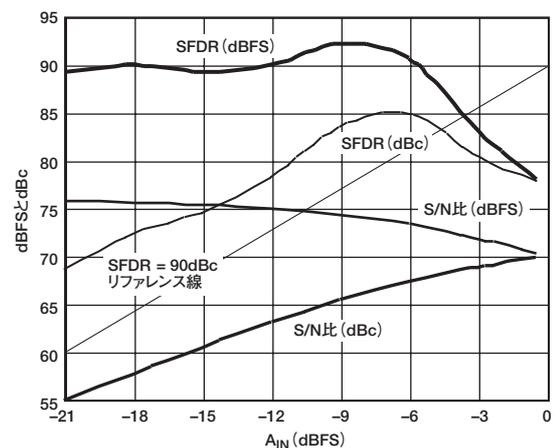
TPC 26. $f_{IN}=240\text{MHz}$ 、 $A_{IN}=-8.5\text{dBFS}$ での
トランスとバランによるADC入力の駆動



TPC 29. $f_{IN}=240\text{MHz}$ でのトランスとバランによる
ADC入力の駆動におけるS/N比/SFDRと A_{IN} の関係



TPC 27. CMRRと入力周波数の関係
($A_{IN}=0\text{dBFS}$ 、 $\text{CML}=2.5\text{V}$)



TPC 30. $f_{IN}=190\text{MHz}$ でのトランスとバランによる
ADC入力の駆動におけるS/N比/SFDRと A_{IN} の関係

動作原理

AD9244は、単電源14ビットの高性能なADCです。広いダイナミック・レンジのナイキスト・サンプリングに加えて、240MHzまで広帯域のアナログ入力によって優れたIFアンダーサンプリング性能を実現するよう設計されています。

AD9244は、コスト効果の高いCMOSプロセスで実装された特許取得済み広帯域入力サンプル/ホールド・アンプ (SHA) を備え、キャリブレートされた10段パイプライン・アーキテクチャを採用しています。最後の段を除くパイプラインの各段は、低分解能のフラッシュADC、スイッチト・キャパシタDAC、ステージ間残余アンプ (MDAC) で構成されます。MDACは、再生されたDAC出力とパイプライン内の次の段へのフラッシュ入力との差を増幅します。各段では冗長な1ビットを使用して、フラッシュADC誤差のデジタル補正を行います。最後の段は、フラッシュADCのみの構成です。

パイプライン・アーキテクチャでは、パイプライン遅延やレイテンシが生じる代わりに、大きなスループット・レートが実現します。コンバータは、クロック・サイクルごとに新しい入力サンプルを取り込みますが、図1に示すように、変換を完全に処理して出力するには8クロック・サイクルが必要です。多くのアプリケーションでは、このくらいのレイテンシは問題ではありません。デジタル出力は、範囲外インジケータ (OTR) と共に出力バッファにラッチされ、出力ピンを駆動します。AD9244の出力ドライバは、5Vまたは3.3Vのロジック・ファミリーとインターフェースをとるように設定できます。

AD9244のデューティ・クロック安定器 (DCS) は、外部から与えられるデューティ・サイクルとは無関係に、独自の内部立下りエッジを生成して内部の50%デューティ・サイクル・クロックを作成します。ストレート・バイナリまたは2の補数の出力フォーマットの制御は、DFSピンで行います。

ADCは、クロックの立下りエッジでアナログ入力をサンプリングします。クロックがローレベルの間、入力SHAはサンプル・モードです。クロックがロジック・ハイ・レベルに遷移すると、SHAはホールド・モードになります。クロックの立下りエッジの直前または直後にシステム障害が発生したり、過度のクロック・ジッターが発生したりすると、SHAが誤った入力値を取り込むことがありますので、これらを最小限に抑える必要があります。

アナログ入力とリファレンスの概要

AD9244の差動入力スパンは、VREFピンでの電位と等しくなります。VREFの電位は、AD9244の内蔵リファレンスまたは外部ソースから得られます。

差動アプリケーションでは、入力スパンの中心点は入力信号の共通・モード・レベルです。シングルエンド・アプリケーションでは、中心点は一方の入力ピンに印可されたDC電位で、信号は反対側の入力ピンに与えられます。図3a~3cに、さまざまなシステム構成を示します。

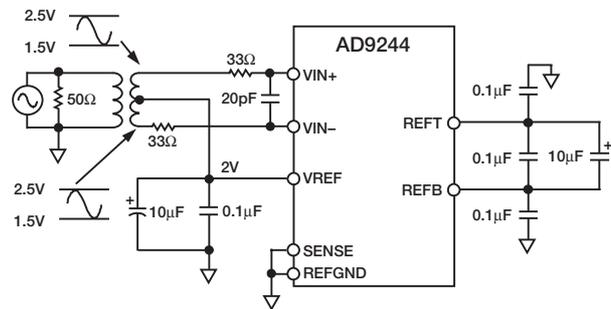


図3a. コモン・モード電圧=2Vでの2Vp-p差動入力

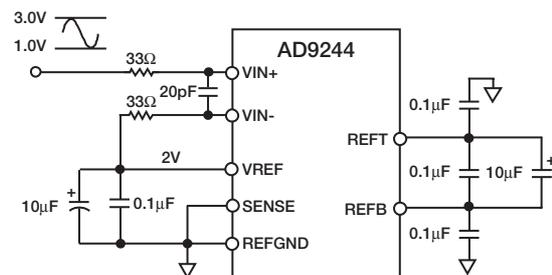


図3b. コモン・モード電圧=2Vでの2Vp-pシングルエンド入力

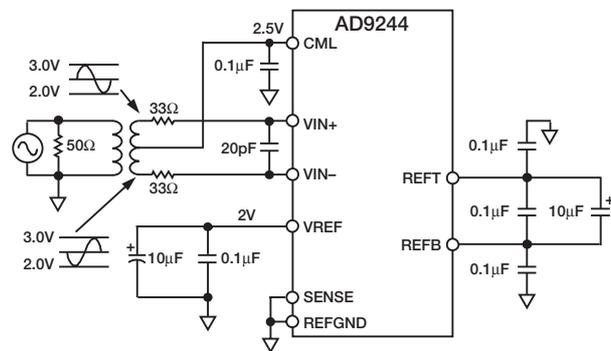


図3c. コモン・モード電圧=2.5Vでの2Vp-p差動入力

図4は、AD9244アナログ入力の簡略化したモデルであり、アナログ入力 (VIN+, VIN-) とリファレンス電圧 (VREF) との関係を示します。なお、これは単に記号的なモデルであり、AD9244の内部には実際の負電圧は存在しません。フラッシュADC内の抵抗ラダーの上下端に加えられる電圧の場合と同様に、値VREF/2もADCコアへの最小と最大の入力電圧を規定します。

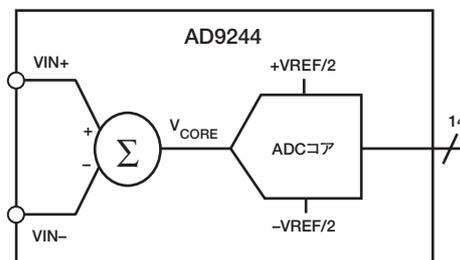


図4. AD9244の等価なアナログ入力

AD9244

差動入力構造によって、ユーザーは簡単にシングルエンド動作または差動動作の入力を設定できます。ADCの入力構造によって、入力信号のDCオフセットを、コンバータの入力スパンに関わらず変化させることができます。特に、ADCコアへの入力は、 V_{IN+} と V_{IN-} の入力ピンに加えられる電圧の差と定義できます。

これは、次の式で表されます。

$$V_{CORE} = V_{IN+} - V_{IN-} \quad (1)$$

これによって差動入力段の出力が定義され、ADCコアへの入力が行われます。電圧 V_{CORE} は、次の条件を満たす必要があります。

$$-V_{REF}/2 < V_{CORE} < V_{REF}/2 \quad (2)$$

V_{REF} は、 V_{REF} ピンでの電圧です。

式(1)と(2)による入力電圧 V_{IN+} と V_{IN-} への制限のほかにも、以下の条件での電源電圧を使用することから入力における限界もあります。

$$AGND - 0.3V < V_{IN+} < AVDD + 0.3V \quad (3)$$

$$AGND - 0.3V < V_{IN-} < AVDD + 0.3V$$

$AGND$ の公称値は0Vであり、 $AVDD$ の公称値は5Vです。 V_{IN+} と V_{IN-} に対する有効な入力の範囲は、式(2)と(3)の両方の条件を満たす組み合わせになります。

V_{IN+} 、 V_{IN-} 、 V_{REF} 、およびAD9244のアナログ入力範囲の関係の詳細については、表IとIIを参照してください。

アナログ入力の動作

図5に、750MHzの差動SHAで構成されるAD9244のアナログ入力の等価回路を示します。SHAの差動入力構造はフレキシブルであり、差動入力またはシングルエンド入りに簡単にデバイス構成できます。アナログ入力 V_{IN+} と V_{IN-} は相互に置き換え可能ですが、 V_{IN+} ピンと V_{IN-} ピンへの入力を交換すると、データが反転します（出力ワードが補数になります）。

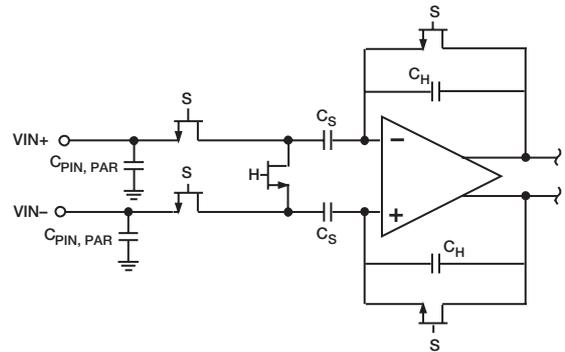


図5. AD9244 SHAのアナログ入力

表 I. アナログ入力構成の概要

入力接続	カップリング	入力スパン (V)	入力範囲 (V)		入力CM電圧	注記
			V_{IN+}^*	V_{IN-}^*		
シングルエンド	DCまたはAC	1.0	0.5~1.5	1.0	1.0	段階のある入力応答アプリケーションに最適。
		2.0	1~3	2.0	2.0	シングルエンド・モード用に最適なノイズ性能。通常、ヘッドルーム問題のために $V_{CC} > 5V$ の低歪みオペアンプが必要。
差動	DCまたはAC	1.0	2.25~2.75	2.75~2.25	2.5	ADCのナイキスト周波数を大きく超える最適なフルスケールTHD性能とSFDR性能。
		2.0	2.0~3.0	3.0~2.0	2.5	差動モード用に最適なノイズ性能。アプリケーションに適したモード。

* データ反転が必要な場合には、 V_{IN+} と V_{IN-} を交換できます。

表 II. リファレンス構成の概要

リファレンス動作モード	接続	接続先	得られる V_{REF} (V)	入力スパン ($V_{IN+} \sim V_{IN-}$) (V_{p-p})
内部	SENSE	V_{REF}	1	1
内部	SENSE	$AGND$	2	2
内部	R1	V_{REF} とSENSE	$1 \leq V_{REF} \leq 2.0$	$1 \leq SPAN \leq 2$
	R2	SENSEと REF_{GND}	$V_{REF} = (1 + R1/R2)$	($SPAN = V_{REF}$)
外部	SENSE	$AVDD$	$1 \leq V_{REF} \leq 2.0$	$SPAN =$ 外部リファレンス
	V_{REF}	外部リファレンス		

差動入力またはシングルエンド入力に対する最適なノイズ性能とDC直線性性能は、最大の入力信号電圧スパン（2V入力スパン）で、かつVIN+とVIN-の入力インピーダンスが整合する場合に得られます。2V入力スパンと1V入力スパンの間で、DC直線性性能の低下はわずかですが、S/N比は1V入力スパンで低くなります。

ADCがオペアンプによって駆動され、容量性負荷がオペアンプの出力側に切り替わると、出力がその実効出力インピーダンスによって瞬間的に低下します。出力が回復する際に、リングングが発生することもあります。この対策として、図6に示すように、オペアンプとSHA入力の間直列抵抗 R_S を接続できます。並列容量も電荷供給源として機能し、サンプリング・コンデンサ C_S が必要とする電荷を供給したり吸収して、オペアンプの出力での過渡電流をさらに低減します。

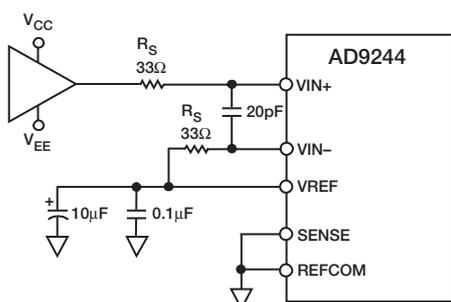


図6. SHA入力をオペアンプから絶縁している抵抗

この抵抗の最適なサイズは、ADCのサンプリング・レート、選択したオペアンプ、特定のアプリケーションなど、いくつかの要因によって異なります。ほとんどのアプリケーションでは、30~100Ωの抵抗で十分です。

ノイズに敏感なアプリケーションの場合は、AD9244の非常に広い帯域幅が有害になることもあります。その場合は、直列抵抗または並列コンデンサ（あるいはその両方）を接続すると、ローパス・フィルタが形成されて、ADCの入力における広帯域ノイズの制限に役立ちます。VIN+とVIN-を駆動するソース・インピーダンスは整合している必要があります。整合していないと、S/N比、THD、SFDRの性能が低下することがあります。

アナログ入力の差動駆動

AD9244の入力構造は非常にフレキシブルで、シングルエンド入力または差動入力とインターフェースをとることができます。

最適な動作モード、アナログ入力範囲、対応するインターフェース回路は、アプリケーションの性能条件と電源オプションによって決まります。

差動動作では、相互に180度位相のずれた2つの等しい信号でVIN+とVIN-を同時に駆動する必要があります。

差動動作モード（ACまたはDC結合入力）は、広い周波数範囲で最適なSFDR性能を実現します。差動モードは、最も厳しい条件が求められるスペクトル・ベースのアプリケーション（デジタル情報へのダイレクトIF変換）に使用できます。

すべてのアプリケーションが差動動作の信号条件を備えているわけではありません。このため、シングルエンドから差動への変換が必要になることがあります。DC結合を必要としないシステムでAD9244用の差動入力信号を生成するには、センター・タップ付きのRFトランスが最適です。RFトランスには、ノイズや歪みによる劣化なしに、ADCを差動モードで動作できるという長所があります。ほかに、RFトランスには、信号源とADCの間の電気的アイソレーションが可能といった利点があります。

このデータシートの差動入力特性試験は、図7の構成で行いました。この回路では、1:1のインピーダンス比を持つMini-Circuits社のRFトランス（モデルT1-1T）を使用しています。信号源に50Ωのソース・インピーダンスがあると想定しています。トランスの2次センター・タップによって、差動入力信号にDC共通モード電圧を加えることができます。図7では、センター・タップを抵抗分割器に接続し、半分の電源電圧を提供しています。AD9244のCMLピンにもセンター・タップを接続できます。IFサンプリング・アプリケーション（70MHz < f_{IN} < 200MHz）の場合には、VIN+とVIN-の間の20pF差動コンデンサを低減するか除去することをお勧めします。

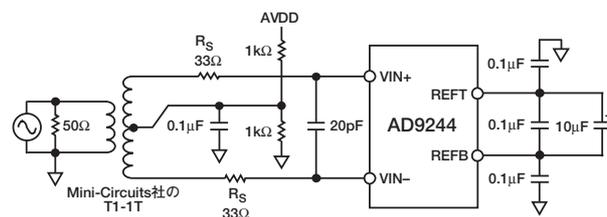


図7. トランス結合入力

図8の回路は、AD9244に差動直結信号を印加する方法を示しています。シングルエンド信号から差動信号を得るために、AD8138アンプを使用しています。

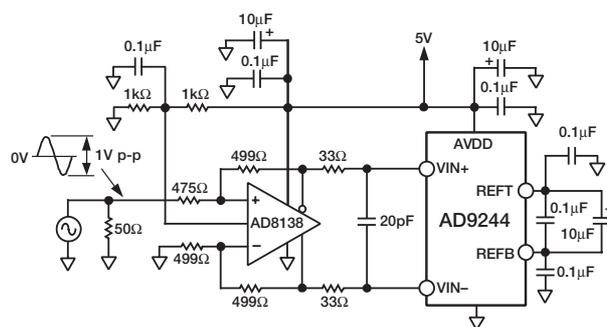


図8. AD8138差動オペアンプ付きの直結駆動回路

AD9244

リファレンスの動作

AD9244は、1Vまたは2Vの出力生成をピン設定できるバンド・ギャップ・リファレンスを内蔵しています。2本の外付け抵抗を接続すれば、1~2Vのリファレンスを生成できます。もう1つの方法は、後述するように高い精度やドリフト性能が必要な設計の場合に外部リファレンスを使用することです。図9aに、AD9244の内蔵リファレンスの簡略化したモデルを示します。リファレンス・アンプは、1Vの固定リファレンスをバッファします。リファレンス・アンプA1からの出力は、VREFピンで得られます。前述のように、ADCのフルスケール差動入力スパンはVREFピンでの電圧によって決まります。

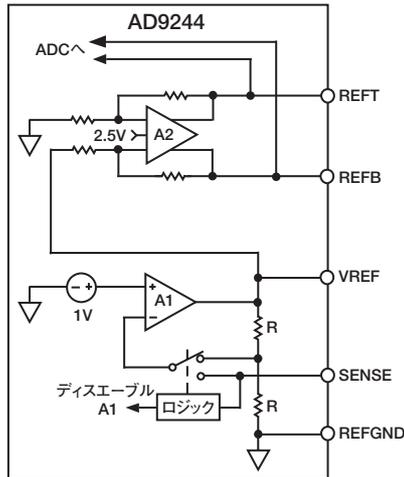


図9a. 等価なリファレンス回路

VREFピンに現われる電圧と内蔵リファレンス・アンプA1の状態は、SENSEピンでの電圧によって決まります。ロジック回路には、SENSEピンの電圧を監視するコンパレータが内蔵されています。表IIに、さまざまなリファレンス・モードをまとめました。これについて、以下に説明します。

AD9244の内部回路で使用する実際のリファレンスは、REFTピンとREFBピンに現われます。これらのピンの電圧は、電源電圧の半分またはCMLに関して対称です。正しい動作を実現するには、2つのピンをデカップリングするコンデンサ・ネットワークを接続する必要があります。図9bに、推奨のデカップリング・ネットワークを示します。REFTとREFBの間に現われるリファレンスのターンオン時間は約10msです。パワーダウン・モード動作では、必ずこれを考慮に入れてください。VREFピンをREFGNDピンにバイパスし、10μFのタンタル・コンデンサと低インダクタンスの0.1μFセラミック・コンデンサを並列接続してください。

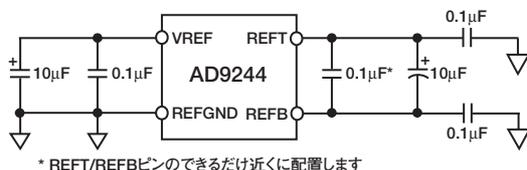


図9b. リファレンス・デカップリング

ピンによるリファレンスの設定

VREFピンとSENSEピンを短絡すると、内蔵リファレンス・アンプがユニティ・ゲイン・モードになるため、VREF出力は1Vになります。SENSEピンとREFGNDピンを短絡すると、内蔵リファレンス・アンプがゲイン2.0に設定され、VREF出力は2.0Vになります。

抵抗によるリファレンスの設定

図10に、2本の外付け抵抗を接続して、1.0Vや2.0V以外のリファレンスを生成する方法の例を示します。次の式で、R1とR2の適切な値を求めます。

$$VREF = 1V \times (1 + R1/R2)$$

これらの抵抗は、2~10kΩの範囲内にする必要があります。ここに示した例では、R1=2.5kΩ、R2=5kΩです。上式から、VREFピンのリファレンスは1.5Vになります。これによって、差動入力スパンが1.5Vp-pに設定されます。ミッドスケール電圧も、VIN-をVREFに接続してVREFに設定できます。

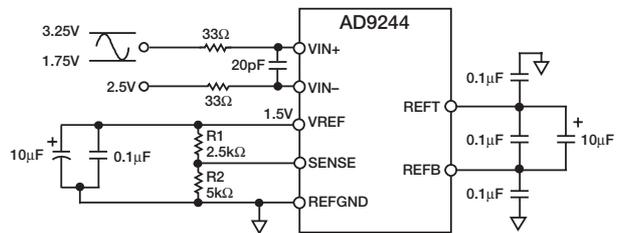


図10. 抵抗によるリファレンスの設定
(1.5Vp-pの入力スパン、VCM=2.5Vによる差動入力)

外部リファレンスの使用

外部リファレンスを使用するには、SENSEピンをAVDDに接続して、内蔵リファレンスをディスエーブルにする必要があります。AD9244には、外部リファレンスの駆動条件を簡単にする内蔵リファレンス・バッファA2 (図9aを参照) があります。外部リファレンスは、5kΩ (±20%) の負荷を駆動する必要があります。リファレンスの帯域幅は、リファレンスによるノイズを最小限に抑えるために、故意に狭くしています。このため、外部から高周波でVREFを駆動することはできません。

図11に、VIN-とVREFの両方を駆動する外部リファレンスの例を示します。この場合、コモン・モード電圧と入力スパンの両方が、VREFの値に直接に依存します。入力スパンと入力スパンの中心は、どちらも外部VREFに一致します。したがって、有効な入力範囲は(VREF+VREF/2)~(VREF-VREF/2)となります。たとえば、2.048Vの外部リファレンスである高精度リファレンス・パーツREF191を使用すると、入力スパンは2.048Vになります。この場合、AD9244の1LSBは0.125mVに対応します。最小10μFのコンデンサと0.1μFの低インダクタンス・セラミック・コンデンサを並列接続して、リファレンス出力をAGNDにデカップリングする必要があります。

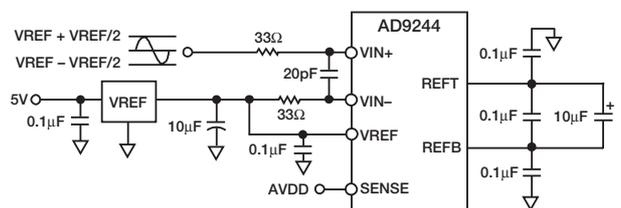


図11. 外部リファレンスの使用

表III. 出力データ・フォーマット

入力 (V)	条件 (V)	ストレート・バイナリ出力モード	2の補数モード	OTR
VIN+-VIN-	$< -VREF - 0.5LSB$	00 0000 0000 0000	10 0000 0000 0000	1
VIN+-VIN-	$= -VREF$	00 0000 0000 0000	10 0000 0000 0000	0
VIN+-VIN-	$= 0$	10 0000 0000 0000	00 0000 0000 0000	0
VIN+-VIN-	$= +VREF - 1.0LSB$	11 1111 1111 1111	01 1111 1111 1111	0
VIN+-VIN-	$> +VREF - 0.5LSB$	11 1111 1111 1111	01 1111 1111 1111	1

デジタル入／出力

デジタル出力

表IIIに、ADC入力、OTR、デジタル出力フォーマットの関係を示します。

データ・フォーマット選択 (DFS)

AD9244のデジタル出力は、ストレート・バイナリまたは2の補数データに設定できます。ストレート・バイナリの場合は、DFSピンをAGNDに接続します。2の補数の場合は、DFSピンをAVDDに接続します。

デジタル出力ドライバの注意事項

AD9244の出力ドライバは、DRVDDを5Vまたは3.3Vに設定することで、それぞれ5Vまたは3.3Vのロジック・ファミリに接続できるように設定できます。出力ドライバは、多種多様なロジック・ファミリを駆動するために十分な出力電流を提供できる設計になっています。しかし、大きな駆動電流が電源にグリッチを生じさせる傾向があり、コンバータ性能に影響を与えることがあります。ADCで大きな容量性負荷や大きなファンアウトを駆動する必要があるアプリケーションでは、外部バッファやラッチが必要になることがあります。

範囲外 (OTR)

アナログ入力電圧がADCの入力範囲を超えると、範囲外条件が成立します。OTRは、サンプリングされた特定の入力電圧に対応するデータ出力と一緒に更新されるデジタル出力です。したがって、OTRにはデジタル・データと同じパイプライン・レイテンシがあります。図12に示すように、アナログ入力電圧がアナログ入力範囲内であれば、OTRはローになり、アナログ入力電圧が入力範囲を超えると、OTRはハイになります。アナログ入力が入力範囲内に戻ってもう1つ変換が完了するまで、OTRはハイの状態のままです。OTRとMSBのANDをとって反転すると、オーバーフロー／アンダーフロー状態を検出できます。表IVに、NANDゲートを使用する図13のオーバーフロー／アンダーフロー回路の真理値表を示します。AD9244のプログラマブルなゲイン設定を必要とするシステムでは、8クロック・サイクル後に、範囲外条件を検出できます。このため、ゲイン選択を繰り返す必要はありません。OTRは、デジタル・オフセットとゲイン・キャリブレーションにも使用できます。

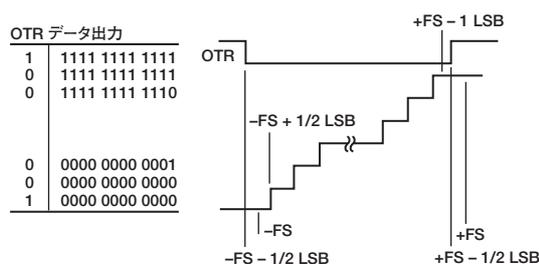


図12. OTR、入力電圧、出力データの関係

表IV. 出力データ・フォーマット

OTR	MSB	アナログ入力の状態
0	0	範囲内
0	1	範囲内
1	0	アンダーフロー
1	1	オーバーフロー

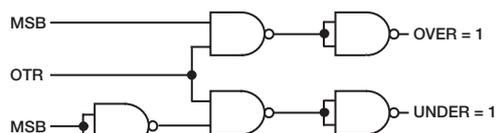


図13. オーバーフロー／アンダーフローのロジック

デジタル出力カインエーブル機能 (OEB)

AD9244にはスリーステート機能があります。OEBピンがローの場合、出力データ・ドライバが有効です。OEBピンがハイの場合には、出力データ・ドライバが高インピーダンス状態になっています。これは、データバスへの高速アクセスには向いていません。なお、OEBはデジタル電源 (DRVDD) を基準とするので、その電源電圧を超えてはいけません。

AD9244

クロックの概要

AD9244には、シングルエンド・クロックまたは差動クロックを受け付けるフレキシブルなクロック・インターフェースがあります。2つの外部コンデンサを使用すると、内部バイアス電圧によってAC結合が容易になります。AD9226のシングルピン・クロック方式との下位互換性を維持するために、AD9244は、CLK-ピンを接地してCLK+を駆動することによって、DC結合されたシングルピン・クロックで動作できます。

CLK-ピンが接地されていないとき、CLK+ピンとCLK-ピンは、差動クロック・レシーバとして機能します。CLK+がCLK-より大きいとき、SHAはホールド・モードになっています。CLK+がCLK-より小さいときは、SHAはトラック・モードになっています（図14のタイミングを参照）。SHAは、クロックの立上りエッジ（CLK+ - CLK-）でトラックからホールドに切り替わります。特に高周波アナログ入力の場合、この遷移でのタイミング・ジッターを最小限に抑えるようにしてください。

シングルエンド入力やサイン波入力でクロックを駆動する場合など、ADCへの50%デューティ・サイクルを維持することが難しい場合もあります。正確な50%クロックを提供するという制約を緩和するため、ADCにはオプションの内部デューティ・サイクル安定器（DCS）があります。DCSを使用すれば、クロックの立上りエッジを最小限のジッターで通過させ、入力クロックの立下りエッジとは無関係に立下りエッジを補間することができます。DCSの詳細については後述します。

クロック入力モード

図15a~eに、クロック・レシーバの動作モードを示します。図15aに、CLK+とCLK-に直結された差動クロックを示します。このモードでは、CLK+信号とCLK-信号のコモン・モードは1.6Vに近くなるはずですが。図15bには、シングルエンドのクロック入力を示します。コンデンサは、CLK-ピンでの内部バイアス電圧（約1.6V）をデカップリングして、CLK+ピンのスレッシュホールドを確立します。図15cには、AD9226との下位互換性を示します。このモードでは、CLK-を接地し、CLK+のスレッシュホールドを1.5Vにしています。図15dには、2つのコンデンサを接続してAC結合する差動クロックを示します。図15eの回路を使用すれば、シングルエンド・クロックのAC結合も可能です。

図15aまたは図15dの差動クロック回路を使用していると、CLK-が250mV未満に低下した場合に、クロック・レシーバのモードが変化して変換誤差が生じることがあります。クロックがAC結合またはDC結合されているときには、CLK-を250mVより上にすることが重要です。

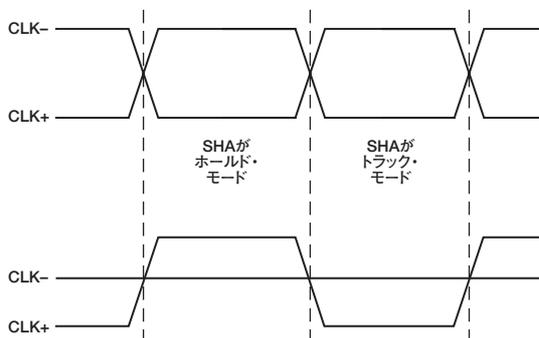


図14. SHAのタイミング

クロック入力の注意事項

アナログ入力は、クロックの立上りエッジでサンプリングされます。このエッジでのタイミング変動やジッターによって、サンプリングされた入力電圧に誤差が生じます。誤差の大きさは、入力信号のスルーレートとタイミング変動の量に比例します。したがって、AD9244の優れた高周波SFDR特性とS/N比特性を維持するには、クロック・エッジをできるだけきれいに保つことが重要です。

クロックは、アナログ信号のように扱ってください。クロック・ドライバには、デジタル・ロジックやノイズを伴う回路と共有する電源を使用してはいけません。クロック・パターンは、ノイズを伴うパターンと並行に配置しないでください。対称に配置された1対の差動クロック信号を使用すると、環境に関連するコモン・モード・ノイズの影響を受けにくくなります。

クロック・レシーバは、差動コンパレータのように機能します。CLK入力で、クロック信号がゆっくり変化すると、急速に変化した場合に比べて多くのジッターが発生します。クロックを低振幅のサイン波入力で駆動することはお勧めしません。分周回路を通じて高速のクロックを実行すれば、立上り/立下り時間が短縮されるため、多くのシステムでジッターを最小限に抑えることができます。

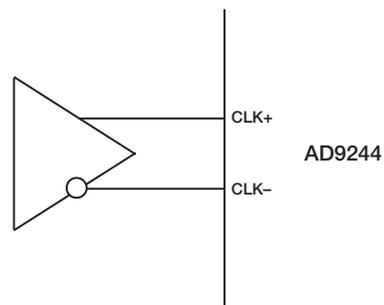


図15a. 差動クロック入力（DC結合）

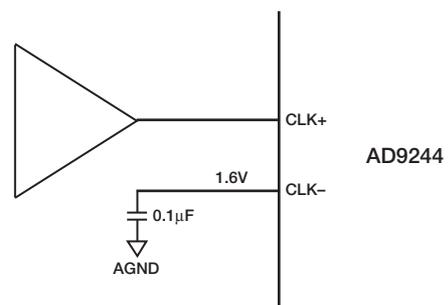


図15b. シングルエンド・クロック入力（DC結合）

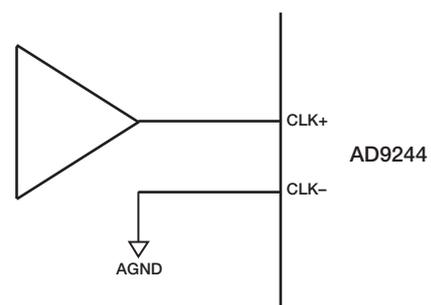


図15c. シングルエンド入力（AD9226とのピン互換性を保持）

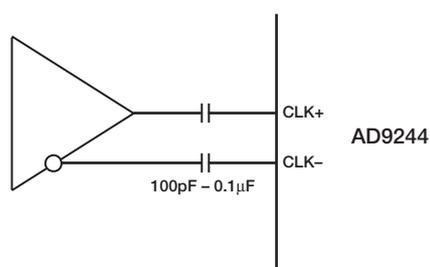


図15d. 差動クロック入力 (AC結合)

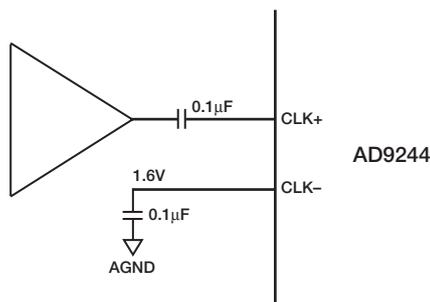


図15e. シングルエンド・クロック入力 (AC結合)

クロックの消費電力

AD9244が消費する電力の大部分は、アナログ電源から得られます。ただし、クロック速度が低下すると、デジタル電源電流が減少します。図16に、電力とクロック・レートの関係を示します。

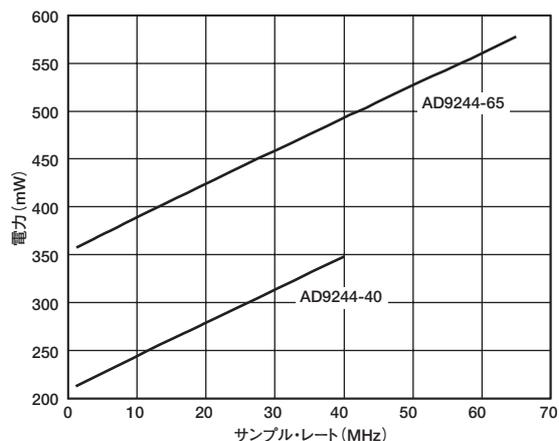


図16. 消費電力とサンプル・レートの関係

クロック安定器 (DCS)

AD9244のクロック安定器は、ADCがクロック・デューティ・サイクルの変動の影響を受けないようにする回路です。クロック入力デューティ・サイクルとは無関係に、クロック・デューティ・サイクルを内部で50%に復元することで、システム・クロックの制約を緩和します。クロックの立上りエッジ (サンプリング・エッジ) が低ジッターであることは必要ですが、立下りエッジはチップ内で生成されます。

クロック安定器は、ディスエーブルにする方がよいこともあります。クロック周波数を変更したり完全に停止させたときには、ディスエーブルにする必要があります。なお、AC結合されたクロックでは、クロックを停止させることはお勧めできません。クロック周波数を変更されると、クロック安定器が新しい速度で安定するまでに100クロック・サイクル以上かかることがあります。安定器をディスエーブルにすると、内部スイッチング

がクロック状態から直接影響を受けるようになります。CLK+がハイの場合、SHAはホールド・モードになります。CLK+がローの場合、SHAはトラック・モードになります。TPC 16に、クロック安定器を使用する利点を示します。DCSピンをAVDDに接続すると、AD9244で内部クロック安定化機能が実装されます。DCSピンをグラウンドに接続すると、AD9244は内部タイミング回路で外部クロックの両方のエッジを使用ようになります (タイミング条件については、仕様を参照してください)。

グラウンドとデカップリング

アナログ・グラウンドとデジタル・グラウンド

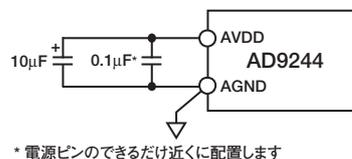
高速、高分解能のシステムでは、正しいグラウンドを設定することが大切です。多層プリント回路ボード (PCB) を使って、最適なグラウンドと電源供給を行うことをお勧めします。電源プレーンとグラウンド・プレーンの使用には、顕著な利点があります。たとえば、次のようなものです。

1. 信号バスとそのリターン・パスによって囲まれるループ領域が最小になります。
2. グラウンド・バスと電源バスに対応するインピーダンスが最小になります。
3. 電源プレーン、PCB絶縁体、グラウンド・プレーンによって、固有の分布コンデンサが形成されます。

入力信号に混入するノイズを最小限に抑えるレイアウトを設計することが重要です。デジタル入力信号は、入力信号パターンと並行に配置せず、入力回路から離してください。AD9244ではアナログ・グラウンド・ピンとデジタル・グラウンド・ピンが別になっていますが、これらはアナログ部分として扱ってください。AGNDピンとDGNDピンは、AD9244の真下で接続する必要があります。電源とグラウンドのリターン電流が入念に管理されている場合には、ADCの下のグラウンド・プレーンを厚くすることも可能です。

アナログ電源のデカップリング

AD9244では、アナログ電源回路、デジタル電源回路、グラウンド回路が別になっており、敏感なアナログ信号のデジタル信号による悪影響を最小限に抑えるために役立ちます。一般に、AVDD (アナログ電源) は、AGND (アナログ・グラウンド) にデカップリングしてください。AVDDピンとAGNDピンは隣接しています。図17に、アナログ電源対の推奨デカップリングを示します。0.1µFのセラミック・チップ・コンデンサと10µFのタンタル・コンデンサによって、広い周波数範囲でインピーダンスが十分に低いものになります。デカップリング・コンデンサ (特に0.1µFの場合) は、できるだけピンの近くに配置してください。



* 電源ピンのできるだけ近くに配置します

図17. アナログ電源のデカップリング

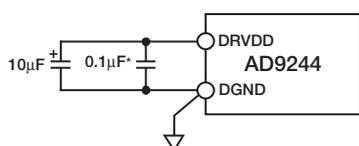
デジタル電源のデカップリング

AD9244でのデジタル動作は、補正ロジックと出力ドライバの2つのカテゴリに分類できます。内部補正ロジックでは、主にクロックの遷移時に比較的小さいサージ電流が流れます。出力ドライバには、出力ビットの状態変化時に大きな電流インパルスが流れます。これらの電流の大きさと継続時間は、出力ビットでの負荷の関数になります。大きな容量性負荷は避けるようにしてください。

AD9244

図18に示すデジタル・デカップリングでは、 $0.1\mu\text{F}$ のセラミック・チップ・コンデンサと $10\mu\text{F}$ のタンタル・コンデンサが適しています。デカップリング・コンデンサ（特に $0.1\mu\text{F}$ の場合）は、できるだけピンの近くに配置してください。データ・ピンでの合理的な容量性負荷は、ビット当たり 20pF 未満です。大きなデジタル負荷を伴うアプリケーションでは、デジタル・デカップリングを増やしたり、外部のバッファ/ラッチを使用することを検討してください。

完全なデカップリング方式では、低周波リップルを問題にならないレベルまで減らすために、電源コネクタに大きなタンタル・コンデンサまたは電解コンデンサを接続することがあります。



*電源ピンのできるだけ近くに配置します

図18. デジタル電源のデカップリング

CML

AD9244には、電源電圧の半分のリファレンス・ポイントがあります。これは、AD9244の内部アーキテクチャで使用され、 $0.1\mu\text{F}$ のコンデンサでデカップリングする必要があります。最大 $300\mu\text{A}$ の負荷をソースまたはシンクします。これ以上の電流が必要な場合には、CMLピンをアンプでバッファしてください。

VR

VRは、AD9244の内部バイアス・ポイントです。 $0.1\mu\text{F}$ のコンデンサで、AGNDにデカップリングする必要があります。

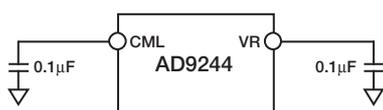


図19. CML/VRのデカップリング

評価ボード

アナログ入力構成

アナログ入力構成の概要を表Vに示します。評価ボード上のAD9244のアナログ入力、コネクタS4を介するトランスまたはコネクタS2を介するAD8138アンプによって差動的に駆動したり、コネクタS3を介するシングルエンド方式で直接駆動したりできます。トランスまたはAD8138アンプを使用するときには、シングルエンド信号から差動信号に変換するようにAD9244評価ボードに両方のデバイスが構成されるので、シン

グルエンド・ソースを使用できます。最適なAD9244性能は、入力トランスを使用して 500kHz より上で実現します。トランスを介してAD9244を駆動するには、はんだ付け可能なジャンパJP45とJP46を接続します。DCバイアスは、抵抗R8とR28によって提供されます。評価ボードには、スルーホール・トランスと表面実装トランスの場所があります。低周波数を必要とするアプリケーションやDCアプリケーションでは、AD8138を使用できます。AD8138は、優れた歪み性能とノイズ性能を提供しつつ、 30MHz までの入力バッファリングをします。詳細については、AD8138のデータシートを参照してください。AD8138を使用してAD9244を駆動するには、トランス（T1またはT4）を除去し、はんだ付け可能なジャンパJP42とJP43を接続します。AD9244は、S3を介してシングルエンド方式で直接駆動でき、JP5を除去または挿入することによって、AC結合またはDC結合が可能です。この方法で評価ボードを実行するには、トランス（T1またはT4）を除去し、はんだ付け可能なジャンパJP40とJP41を接続します。AD9244の入力をこのアプリケーションでの正しいコモン・モード・レベルにバイアスするために、抵抗R40、R41、R8、R28を使用します。

リファレンス設定

このデータシートのリファレンスのセクションで既に述べたように、AD9244は、内蔵リファレンスまたは外部リファレンスを使用するよう設定できます。AD9244評価ボードには、外部リファレンスD3とリファレンス・バッファU5があります。希望するリファレンス設定を選択するには、ジャンパJP8とJP22～JP24を使用します（表VI）。

クロック設定

AD9244評価ボードは、最適な性能を実現するとともに、ユーザーが簡単に設定できるように設計されています。クロック入力を設定するには、まず、はんだ付け可能なジャンパJP11～JP15の正しい組み合わせを接続します（表VII）。具体的なジャンパ設定はアプリケーションによって異なりますが、クロック入力モードのセクションを参照して判断することができます。差動クロック入力モードを選択した場合には、S5に適用された外部サイン波ジェネレータをクロック・ソースとして使用できます。クロック入力をバッファリングおよび矩形波にするには、評価ボードでON Semiconductor社のクロック・バッファ/ドライバMC10EL16を使用します。シングルエンドのクロック設定を使用する場合、S1には外部クロック・ソースを適用できます。

AD9244評価ボードは、HSC-ADC-EVAL-SCシステムなどのデータ・キャプチャ・システムで使用されるTTL/CMOSレベルでのバッファード・クロックを生成します。クロック・バッファリングは、U4とU7で提供し、ジャンパJP3、JP4、JP9、JP18で設定します（表VII）。

表V. アナログ入力ジャンパの設定

	入力コネクタ	ジャンパ	注
差動：トランス	S4	45、46	R8、R28がDCバイアスを提供。500kHz+に最適。
差動：アンプ	S2	42、43	T1またはT4を除去。低入力周波数に使用。
シングルエンド	S3	5、40、41	T1またはT4を除去。JP5: DC結合で接続し、AC結合では接続しない。

表VI. リファレンス・ジャンパの設定

リファレンス	電圧	ジャンパ	注
内部	2V	23	JP8は接続しない。
内部	1V	24	JP8は接続しない。
内部	$1V \leq VREF \leq 2V$	25	JP8は接続しない。VREF=1+R1/R2
外部	$1V \leq VREF \leq 2V$	8、22	R26でVREFを設定。

表VII. クロックジャンパの設定

	入力コネクタ	ジャンパ
DUTクロック		
差動	S5	11、13
シングルエンド	S1	12、15
データ・キャプチャ・クロック		
内部		
差動DUTクロック	該当せず	9、18A
シングルエンドDUTクロック	該当せず	9、18B
外部	S6	3または4

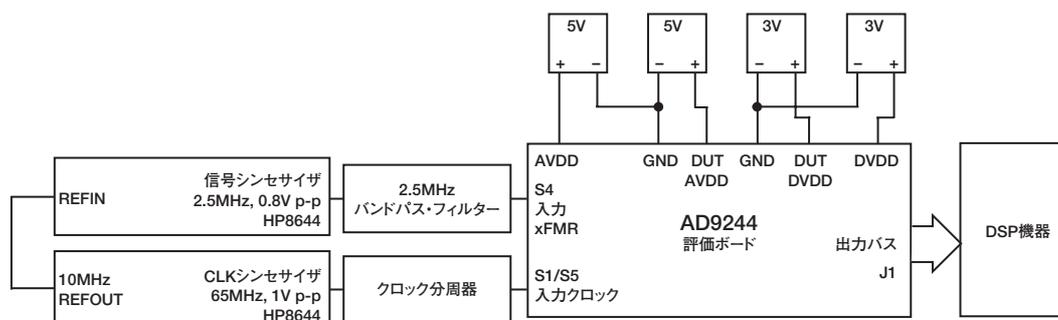


図20. 評価ボードの接続

AD9244

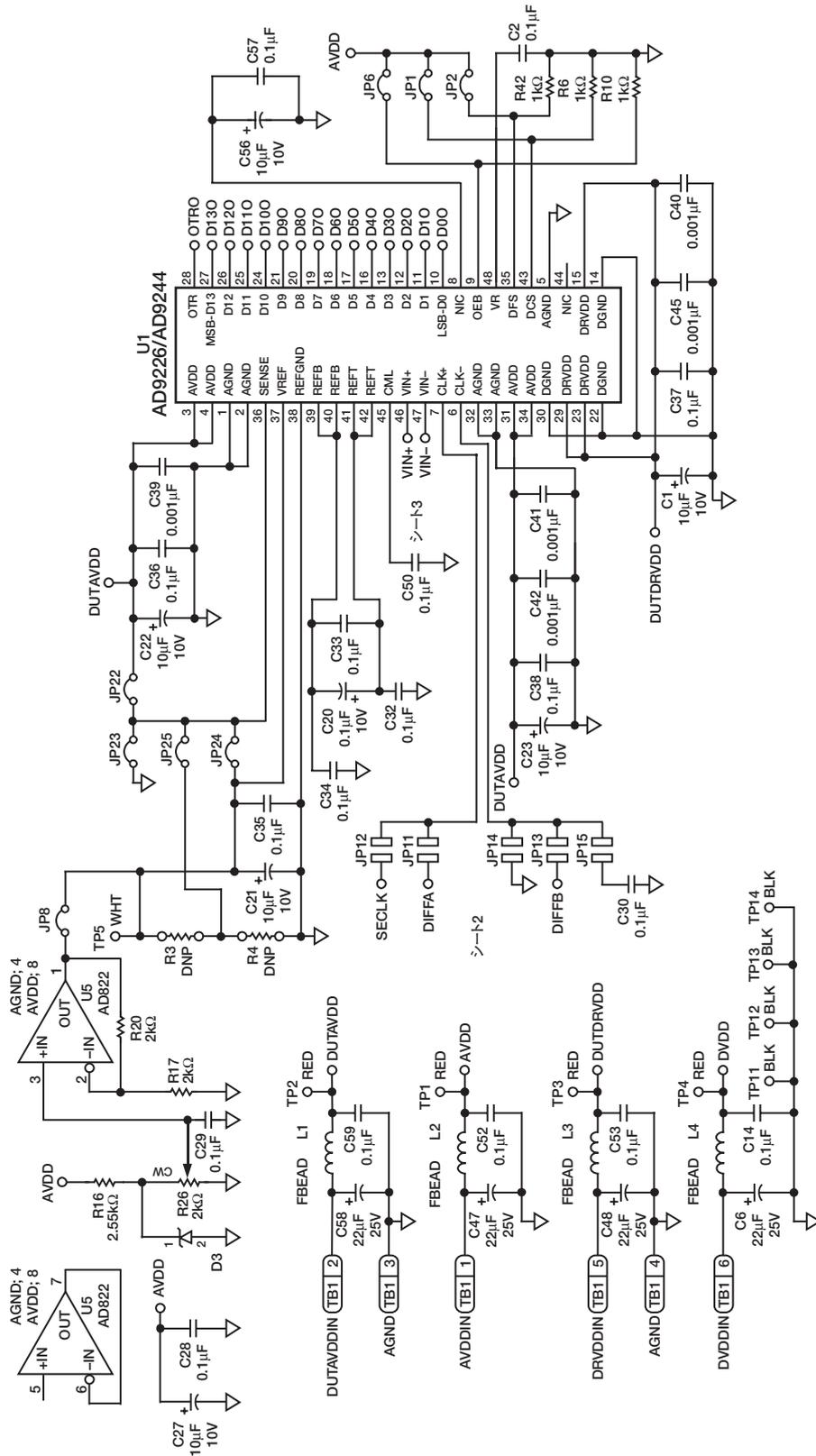


図21. AD9244評価ボード、ADC、外部リファレンス、電源回路

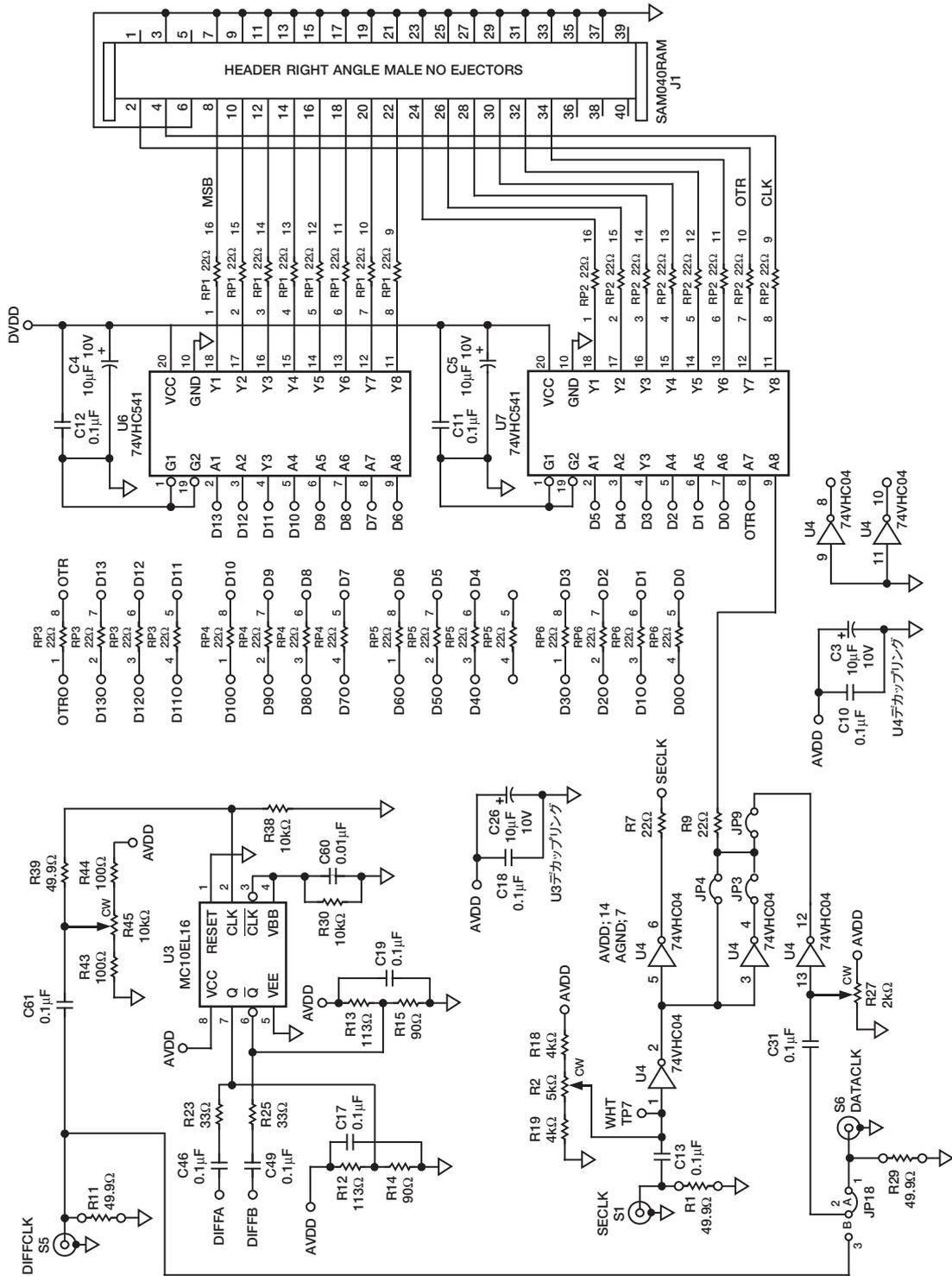


図22. AD9244評価ボード、クロック入力、デジタル出力バッファ回路

AD9244

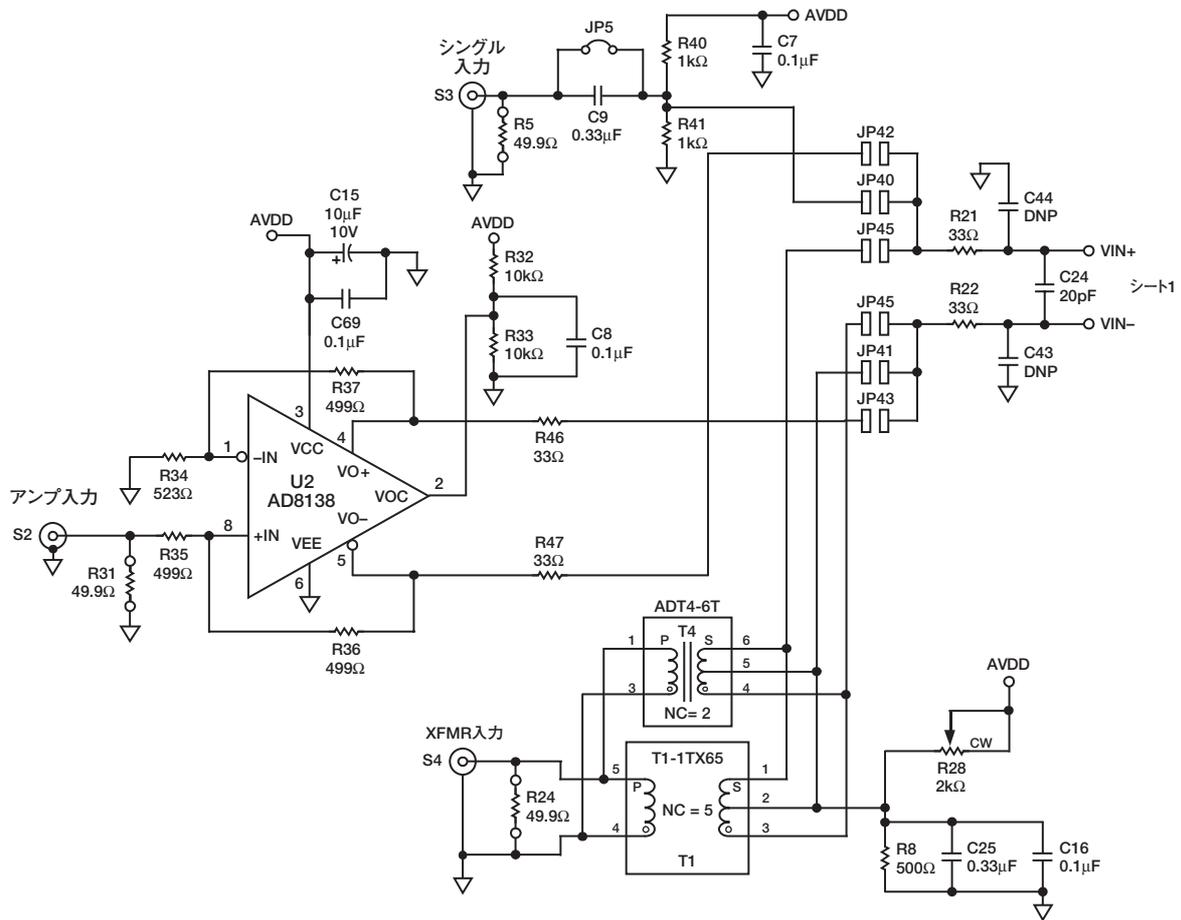


図23. AD9244評価ボード、アナログ入力回路

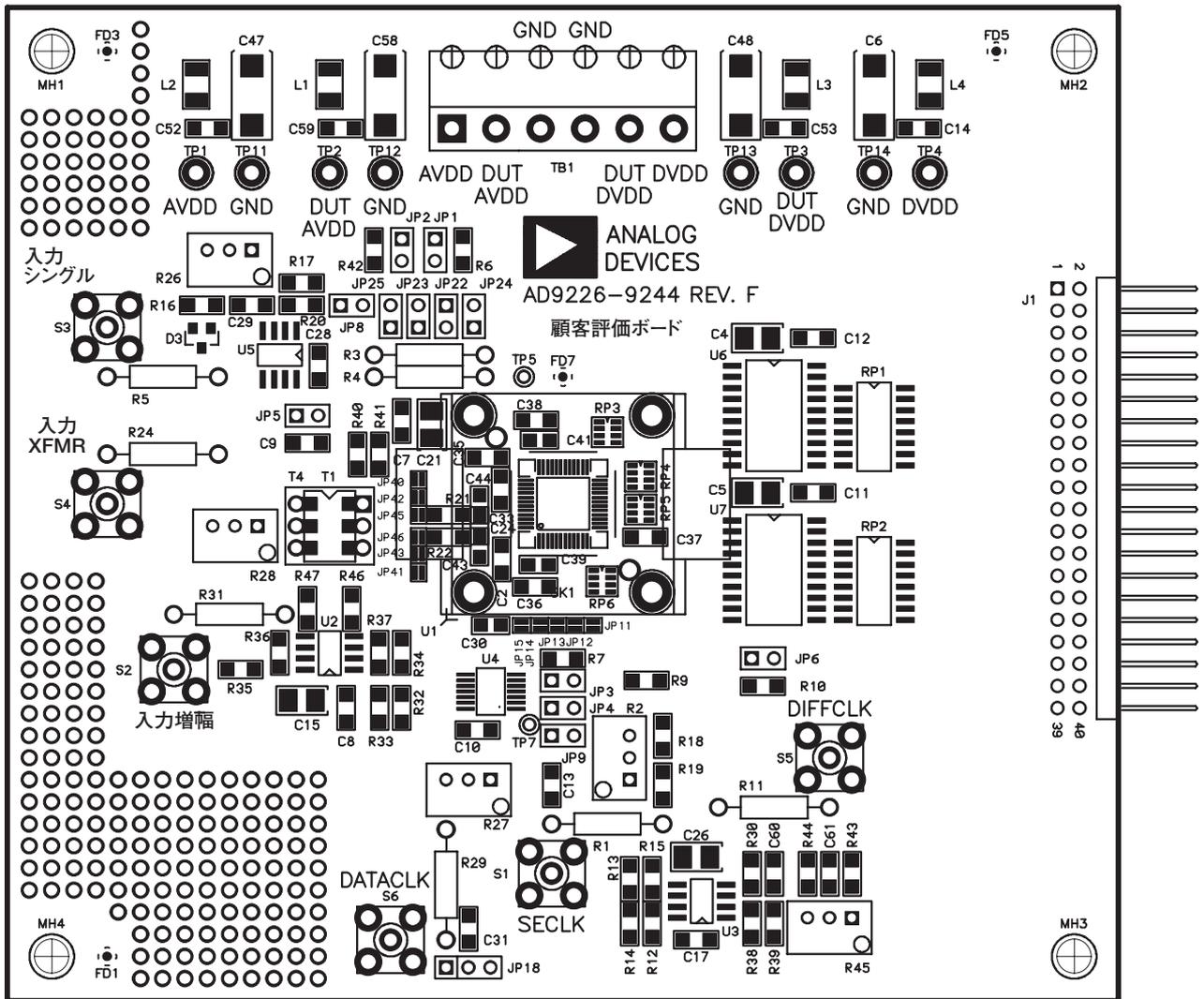


図24. AD9244評価ボード、PCBアセンブリ、上面

AD9244

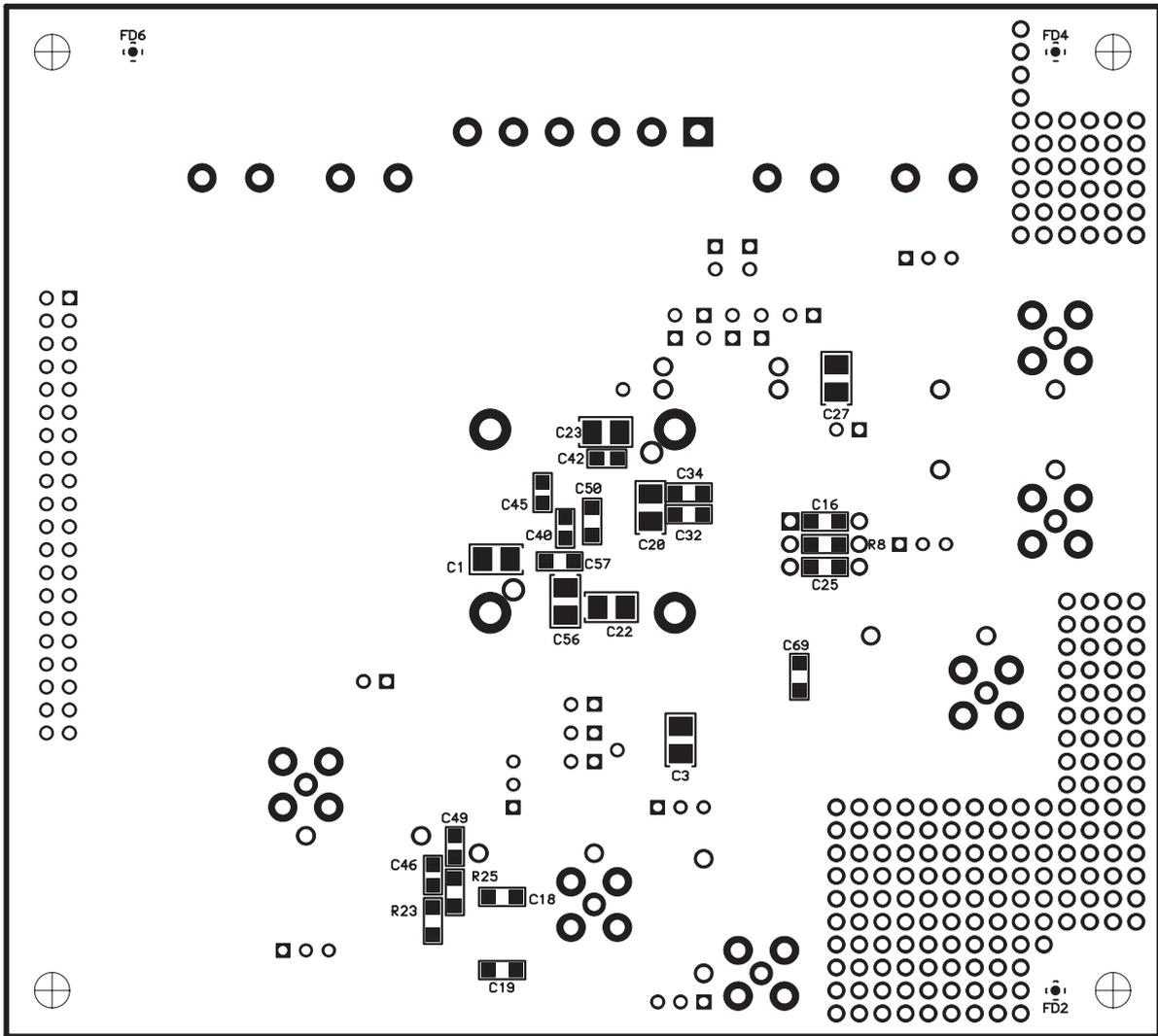


図25. AD9244評価ボード、PCBアセンブリ、下面

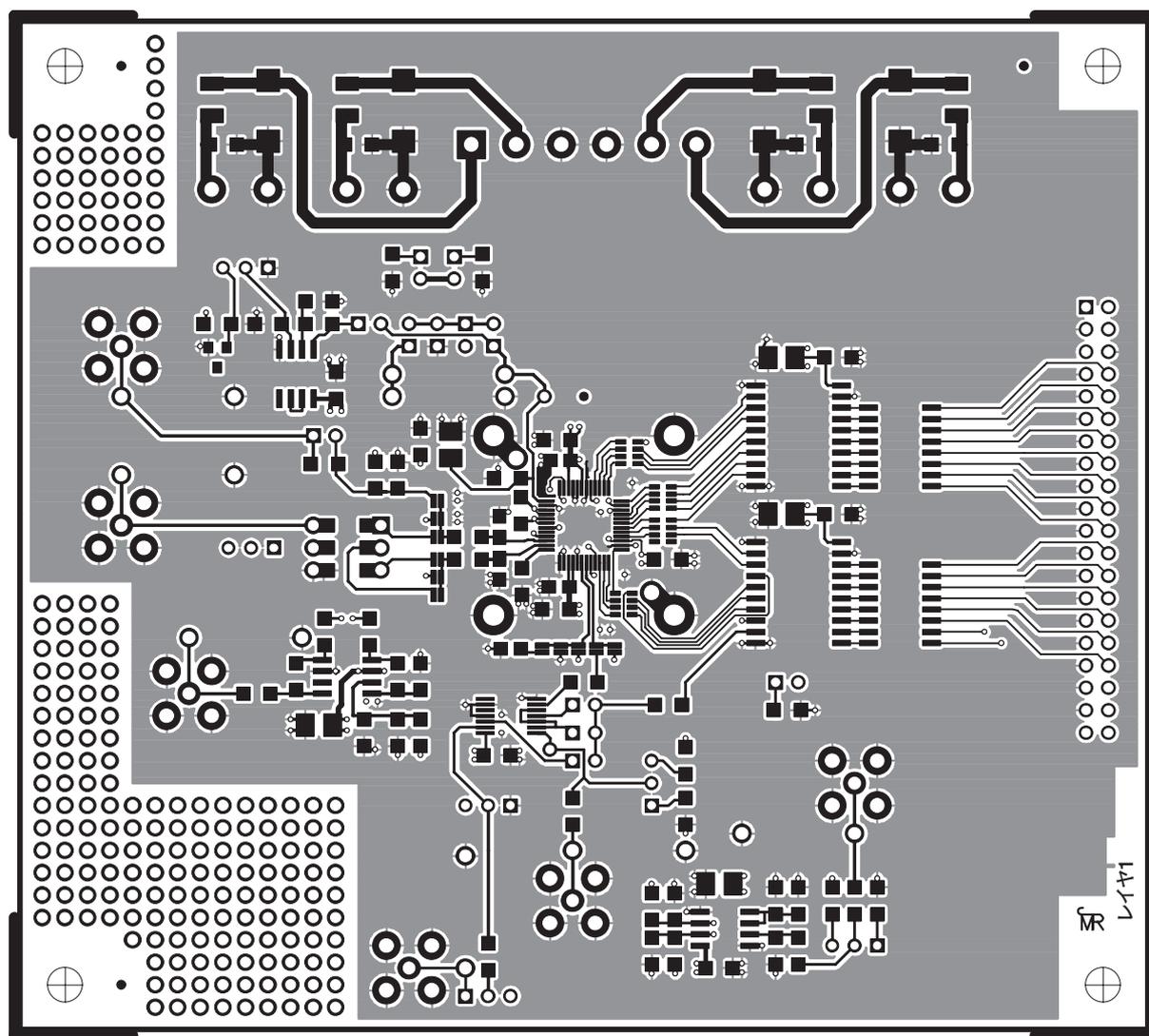


図26. AD9244評価ボード、PCBレイヤ1（上面）

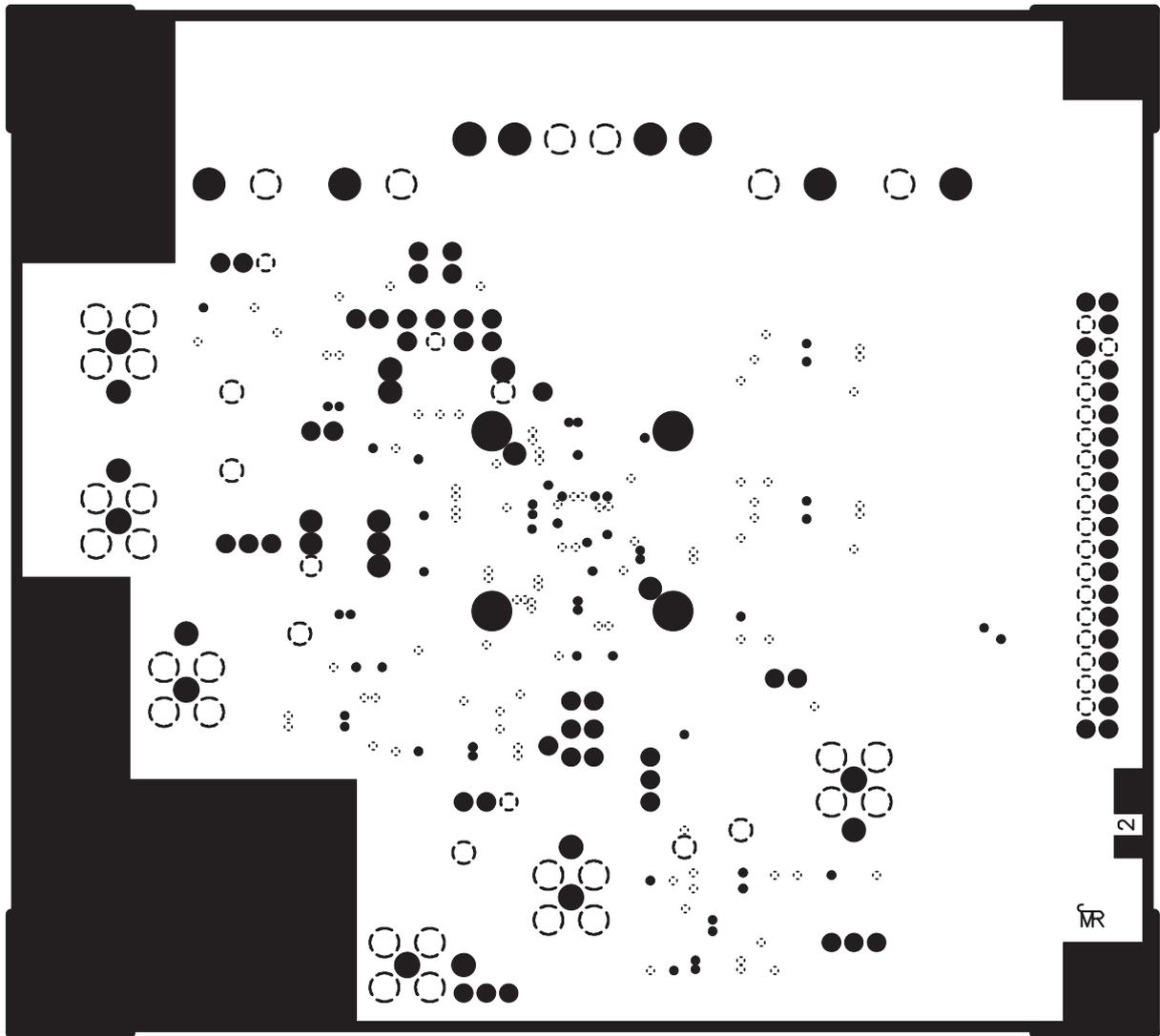


図27. AD9244評価ボード、PCBレイヤ2 (グラウンド・プレーン)

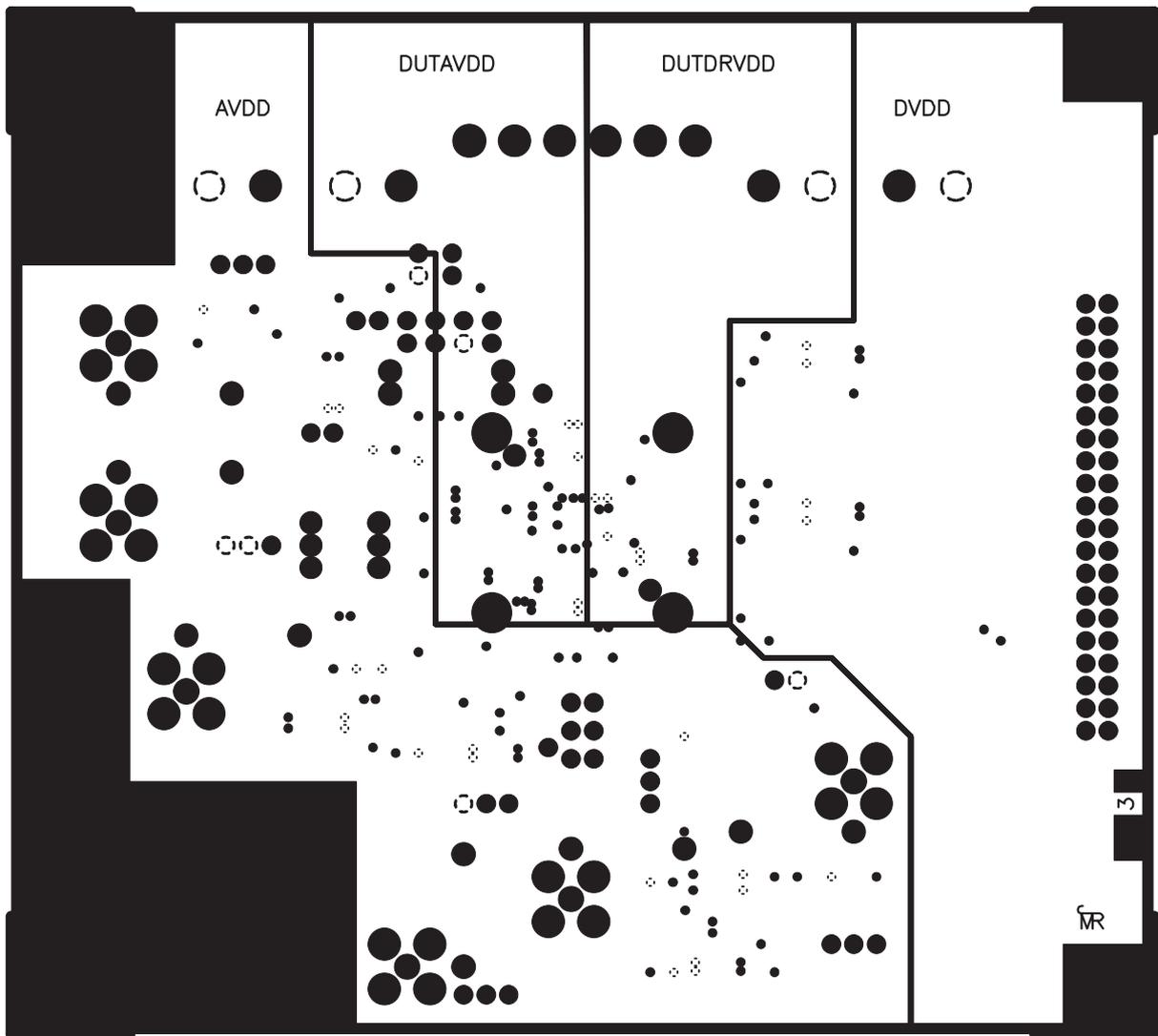


図28. AD9244評価ボード、PCBレイヤ3（電源プレーン）

AD9244

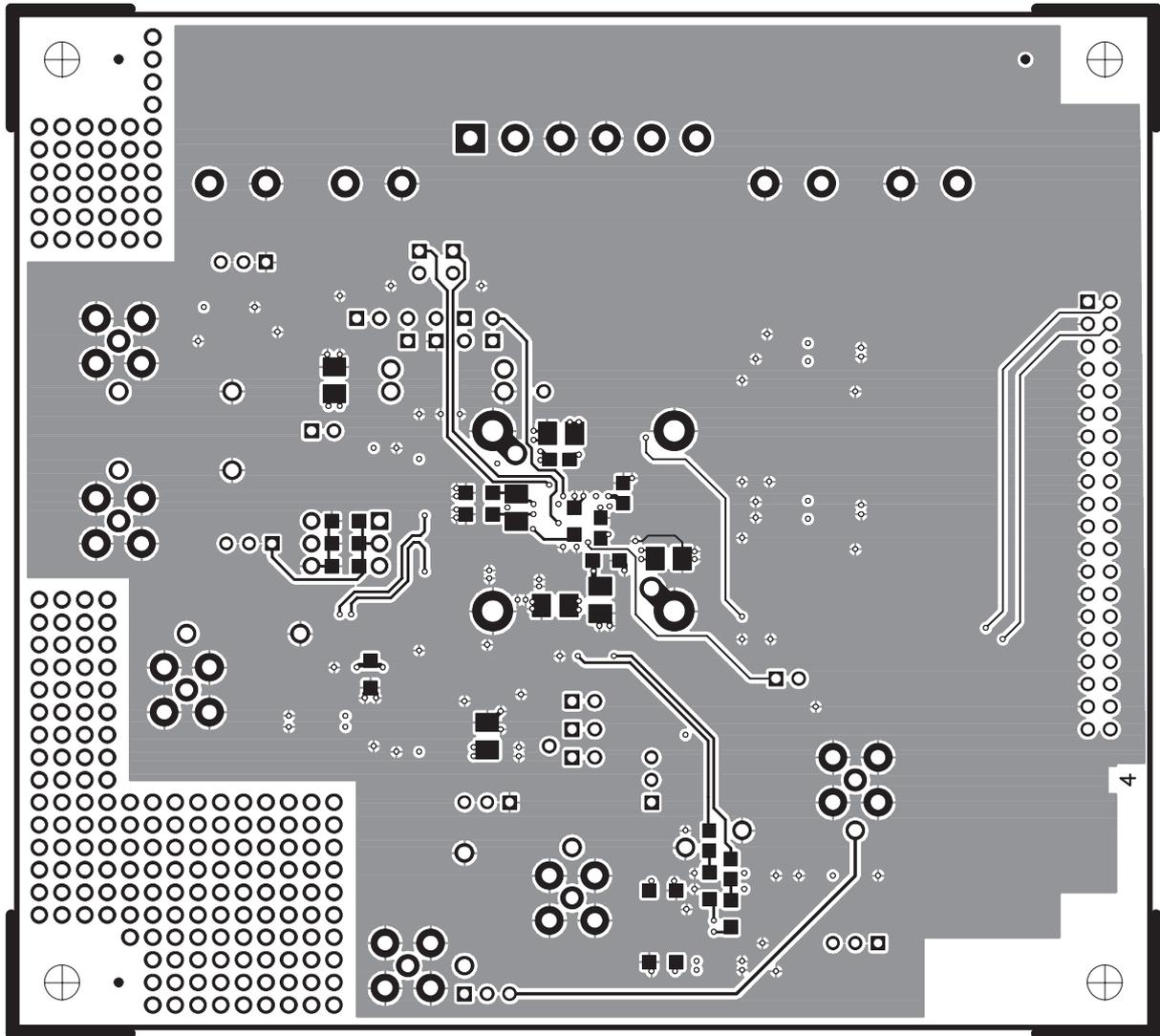
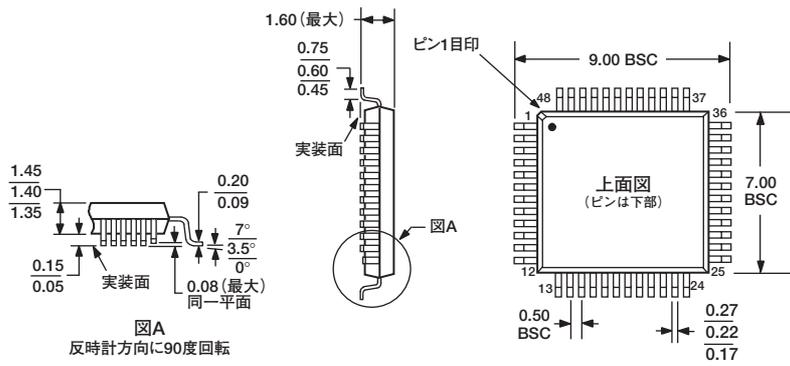


図29. AD9244評価ボード、PCBレイヤ4（下面）

外形寸法

48ピンのLQFPパッケージ
厚さ1.4mm
(ST-48)

寸法はミリメートルで表示



JEDEC規格MS-026BBCに準拠

AD9244

AD9244

C02404-0-1/03(0)

PRINTED IN JAPAN