

特長

デュアル12ビットA/Dコンバータ
 3V単電源動作 (2.7~3.6V)
 S/N比：70dBc (ナイキスト周波数まで、AD9238-65)
 SFDR：85dBc (ナイキスト周波数まで、AD9238-65)
 低消費電力：600mW@65MSPS
 差動入力時の帯域幅 (3dB)：500MHz
 リファレンスとサンプル/ホールド・アンプ (SHA) を内蔵
 フレキシブルなアナログ入力範囲：1~2V p-p
 オフセット・バイナリまたは2の補数のデータ・フォーマット
 クロック・デューティ・サイクル・スタビライザ

アプリケーション

超音波装置
 受信器のIFサンプリング：IS-95、CDMA-One、IMT-2000
 バッテリ動作の計測器
 ハンドヘルド・スコープメーター
 低価格のデジタル・オシロスコープ

概要

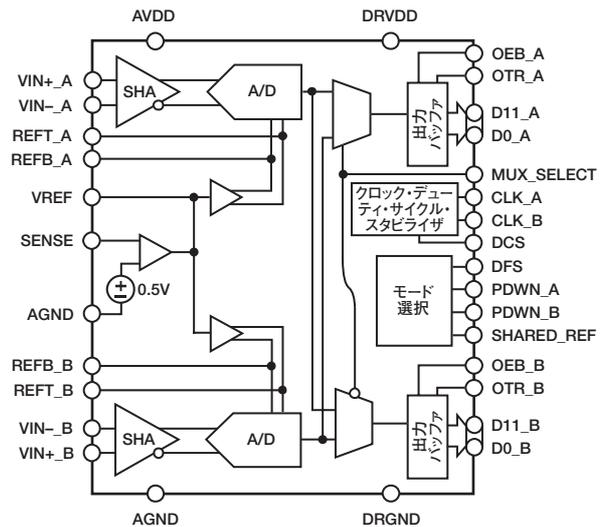
AD9238は、12ビット、3V、20/40/65MSPSのデュアルA/Dコンバータです。このコンバータは、デュアルの高性能なサンプル/ホールド・アンプ (SHA) とリファレンスを内蔵しています。AD9238は、最高65MSPSのデータ・レートで12ビット精度と、全動作温度範囲でノー・ミスコードを保証のため、出力誤差補正ロジック内蔵のマルチステージ差動パイプライン・アーキテクチャを採用しています。

広い帯域幅と差動SHAの採用によって、ユーザーは、シングルエンドを含むアプリケーションで、異なる入力範囲とオフセットを選択できます。AD9238は、連続する複数のチャンネル間でフルスケール電圧レベルの切り替えを行う多重化システムのほか、ナイキスト・レートを超える周波数で入力をサンプリングする用途など、多様なアプリケーションに適用できます。本製品は、通信、画像処理、医療用超音波アプリケーションに最適です。

内部変換サイクルの制御には、デュアル・シングルエンド・クロック入力を使用します。AD9238-65では、デューティ・サイクル・スタビライザによりクロック・デューティ・サイクルの広範囲な変動を補償し、優れたコンバータ性能を維持できます。デジタル出力データは、ストレート・バイナリまたは2の補数フォーマットで出力されます。範囲外信号はオーバーフロー状態を示しますが、この信号を最上位ビット (MSB) と組み合わせ使用すれば、ハイ側とロー側のオーバーフローを識別することができます。

AD9238は最新のCMOSプロセスで製造され、省スペースの64ピンLQFPで提供され、工業用温度範囲 (-40~+85°C) で仕様規定されています。

機能ブロック図



製品のハイライト

- AD9235のデュアル・バージョンで、12ビット、20/40/65MSPSのADCです。
- アプリケーションの電源、コスト、性能に柔軟に対応する速度オプション (20MSPS、40MSPS、65MSPS) を選択できます。
- AD9238は3V単電源で動作し、デジタル出力ドライバが別電源になっているため2.5Vと3.3Vのロジック・ファミリに対応できます。
- 低消費電力
 AD9238-65の消費電力は、65MSPS動作でわずか600mWです。
 AD9238-40の消費電力は、40MSPS動作でわずか330mWです。
 AD9238-20の消費電力は、20MSPS動作でわずか180mWです。
- 特許を取得したSHA入力は、最大100MHzまでの入力周波数に対して優れた性能を発揮し、シングルエンド動作または差動動作に設定できます。
- 80dB (Typ) のチャンネル間絶縁 (@ $f_{IN}=10\text{MHz}$)
- クロック・デューティ・サイクル・スタビライザ (AD9238-65のみ) は、広範囲なクロック・デューティ・サイクルで性能を維持します。
- OTR出力ビットは、いずれかの入力信号が選択中の入力範囲を超えたことを示します。
- 多重化データ出力オプションにより、データ・ポートAまたはデータ・ポートBからのシングル・ポート動作が可能です。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. A

AD9238 — 仕様

DC特性 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、最大サンプル・レート、CLK_A=CLK_B、AIN=-0.5dBFS差動入力、1.0V内部リファレンス、T_{MIN}~T_{MAX})

パラメータ	温度	テスト・レベル	AD9238BST-20			AD9238BST-40			AD9238BST-65			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能	全範囲	VI	12			12			12			ビット
精度												
ノーマル・ミスコード保証	全範囲	VI	12			12			12			ビット
オフセット誤差	全範囲	VI		±0.30	±1.2		±0.50	±1.1		±0.50	±1.1	%FSR
ゲイン誤差 ¹	全範囲	IV		±0.30	±2.2		±0.50	±2.4		±0.50	±2.5	%FSR
微分非直線性 (DNL) ²	全範囲	V		±0.35			±0.35			±0.35		LSB
	25°C	V		±0.35	±0.9		±0.35	±0.8		±0.35	±1.0	LSB
積分非直線性 (INL) ²	全範囲	VI		±0.45			±0.60			±0.70		LSB
	25°C	I		±0.40	±1.4		±0.50	±1.4		±0.55	±1.75	LSB
温度ドリフト												
オフセット誤差	全範囲	V		±2			±2			±3		ppm/°C
ゲイン誤差 ¹	全範囲	V		±12			±12			±12		ppm/°C
内部電圧リファレンス												
出力電圧誤差 (1Vモード)	全範囲	VI		±5	±35		±5	±35		±5	±35	mV
1.0mAでの負荷レギュレーション	全範囲	V		0.8			0.8			0.8		mV
出力電圧誤差 (0.5Vモード)	全範囲	V		±2.5			±2.5			±2.5		mV
0.5mAでの負荷レギュレーション	全範囲	V		0.1			0.1			0.1		mV
入力換算ノイズ												
入力スパン=1V	25°C	V		0.54			0.54			0.54		LSB rms
入力スパン=2.0V	25°C	V		0.27			0.27			0.27		LSB rms
アナログ入力												
入力スパン=1.0V	全範囲	IV		1			1			1		V p-p
入力スパン=2.0V	全範囲	IV		2			2			2		V p-p
入力容量 ³	全範囲	V		7			7			7		pF
リファレンス入力抵抗	全範囲	V		7			7			7		kΩ
電源												
電源電圧												
AVDD	全範囲	IV	2.7	3.0	3.6	2.7	3.0	3.6	2.7	3.0	3.6	V
DRVDD	全範囲	IV	2.25	3.0	3.6	2.25	3.0	3.6	2.25	3.0	3.6	V
電源電流												
IAVDD ²	全範囲	V		60			110			200		mA
IDRVDD ²	全範囲	V		4			10			14		mA
PSRR	全範囲	V		±0.01			±0.01			±0.01		%FSR
消費電力												
DC入力 ⁴	全範囲	V		180			330			600		mW
サイン波入力 ²	全範囲	VI		190	212		360	397		640	698	mW
スタンバイ電源 ⁵	全範囲	V		2.0			2.0			2.0		mW
マッチング特性												
オフセット誤差	全範囲	V		±0.1			±0.1			±0.1		%FSR
ゲイン誤差	全範囲	V		±0.05			±0.05			±0.05		%FSR

注

¹ ゲイン誤差とゲイン温度係数は、A/Dコンバータのみとします (1.0V固定の外部リファレンスを使用)。

² 各出力ビットに約5pFの負荷を接続し、低周波のサイン波入力を使って最大クロック・レートで測定。

³ 入力容量とは、1本の差動入力ピンとAVSSとの間の実効容量を意味します。アナログ入力の等価回路については、図2を参照してください。

⁴ DC入力を使い、最大クロック・レートで測定。

⁵ スタンバイ消費電力は、CLK_AピンおよびCLK_Bピンを非アクティブ (AVDDまたはAGNDに接続) にして測定。

仕様は予告なく変更されることがあります。

DC特性 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、最大サンプル・レート、CLKIN1=CLKIN2、AIN=-0.5dBFS差動入力、1.0V内部リファレンス、 $T_{MIN} \sim T_{MAX}$)

パラメータ	温度	テスト・レベル	AD9238BST-20			AD9238BST-40			AD9238BST-65			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
ロジック入力												
ハイレベル入力電圧	全範囲	IV	2.0			2.0			2.0			V
ローレベル入力電圧	全範囲	IV			0.8			0.8			0.8	V
ハイレベル入力電流	全範囲	IV	-10		+10	-10		+10	-10		+10	μ A
ローレベル入力電流	全範囲	IV	-10		+10	-10		+10	-10		+10	μ A
入力容量	全範囲	V		2			2			2		pF
ロジック出力*												
DRVDD=3.3V												
ハイレベル出力電圧 (IOH=50 μ A)	全範囲	IV	3.29			3.29			3.29			V
ハイレベル出力電圧 (IOH=0.5mA)	全範囲	IV	3.25			3.25			3.25			V
ローレベル出力電圧 (IOL=50 μ A)	全範囲	IV			0.05			0.05			0.05	V
ローレベル出力電圧 (IOL=1.6mA)	全範囲	IV			0.2			0.2			0.2	V
DRVDD=2.5V												
ハイレベル出力電圧 (IOH=50 μ A)	全範囲	IV	2.49			2.49			2.49			V
ハイレベル出力電圧 (IOH=0.5mA)	全範囲	IV	2.45			2.45			2.45			V
ローレベル出力電圧 (IOL=50 μ A)	全範囲	IV			0.05			0.05			0.05	V
ローレベル出力電圧 (IOL=1.6mA)	全範囲	IV			0.2			0.2			0.2	V

注

* 出力電圧レベルは、各出力に5pFの負荷を接続して測定。

仕様は予告なく変更されることがあります。

スイッチング特性

パラメータ	温度	テスト・レベル	AD9238BST-20			AD9238BST-40			AD9238BST-65			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
スイッチング性能												
最大変換レート	全範囲	VI	20			40			65			MSPS
最小変換レート	全範囲	V			1			1			1	MSPS
クロック周期	全範囲	V	50.0			25.0			15.4			ns
ハイレベルのクロック・パルス幅 ¹	全範囲	V	15.0			8.8			6.2			ns
ローレベルのクロック・パルス幅 ¹	全範囲	V	15.0			8.8			6.2			ns
データ出力パラメータ												
出力遅延 ² (t_{PD})	全範囲	V		3.5			3.5			3.5		ns
パイプライン遅延 (レイテンシ)	全範囲	V		7			7			7		サイクル
アパーチャ遅延 (t_A)	全範囲	V		1.0			1.0			1.0		ns
アパーチャ不確定性 (t_j)	全範囲	V		0.5			0.5			0.5		ps rms
ウェイクアップ時間 ³	全範囲	V		2.5			2.5			2.5		ms
範囲外からの復帰時間	全範囲	V		1			1			2		サイクル

注

¹ AD9238-65モデルでは、デューティ・サイクル・スタビライザをイネーブルにして広範なデューティ・サイクルを補正します (TPC 20を参照)。² 出力遅延は、各出力に5pFの負荷を接続して、クロック50%変化からデータ50%変化で測定。³ ウェイクアップ時間はデカップリング・コンデンサの値に依存。typ値はREFTとREFBのコンデンサ0.1 μ Fと10 μ Fで測定。

仕様は予告なく変更されることがあります。

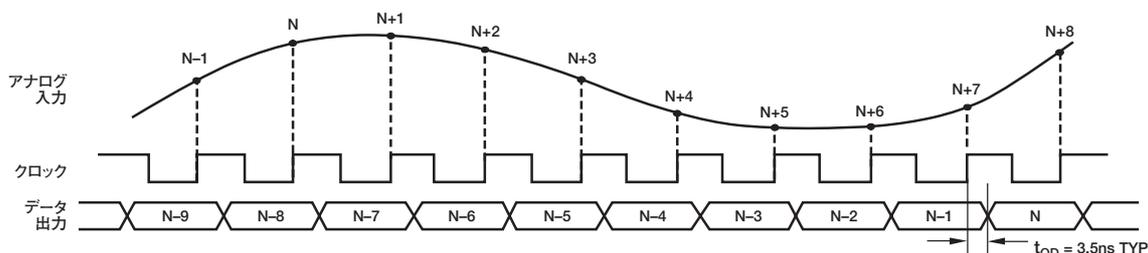


図1. タイミング図

AD9238

AC特性 (特に指定のない限り、AVDD=3V、DRVDD=2.5V、最大サンプル・レート、CLK_A=CLK_B、AIN=-0.5dBFS差動入力、1.0V内部リファレンス、T_{MIN}~T_{MAX})

パラメータ	温度	テスト・レベル	AD9238BST-20			AD9238BST-40			AD9238BST-65			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
S/N比												
f _{INPUT} =2.4MHz	25℃	V		70.4			70.4		70.3		dBc	
f _{INPUT} =9.7MHz	全範囲	V		70.2							dBc	
	25℃	IV	69.7	70.4							dBc	
f _{INPUT} =19.6MHz	全範囲	V					70.1				dBc	
	25℃	IV				69.7	70.3				dBc	
f _{INPUT} =32.5MHz	全範囲	V							69.3		dBc	
	25℃	IV						68.7	69.5		dBc	
f _{INPUT} =100MHz	25℃	V		68.7			68.3		67.6		dBc	
信号対 (ノイズ+歪み)												
f _{INPUT} =2.4MHz	25℃	V		70.2			70.2		70.4		dBc	
f _{INPUT} =9.7MHz	全範囲	V		70.1							dBc	
	25℃	IV	69.3	70.2							dBc	
f _{INPUT} =19.6MHz	全範囲	V					69.9				dBc	
	25℃	IV				69.4	70.1				dBc	
f _{INPUT} =32.5MHz	全範囲	V							68.9		dBc	
	25℃	IV						68.1	69.1		dBc	
f _{INPUT} =100MHz	25℃	V		67.9			67.9		66.6		dBc	
全高調波歪み												
f _{INPUT} =2.4MHz	25℃	V		-83.0			-83.0		-83.0		dBc	
f _{INPUT} =9.7MHz	全範囲	V		-81.0							dBc	
	25℃	I		-83.0	-74.6						dBc	
f _{INPUT} =19.6MHz	全範囲	V					-81.0				dBc	
	25℃	I					-83.0	-75.5			dBc	
f _{INPUT} =32.5MHz	全範囲	V							-78.0		dBc	
	25℃	I							-80.0	-71.7	dBc	
f _{INPUT} =100MHz	25℃	V		-77.0			-79.0		-74.0		dBc	
最悪高調波 (2次または3次)												
f _{INPUT} =9.7MHz	全範囲	V		-84.0							dBc	
f _{INPUT} =19.6MHz	全範囲	V					-85.0				dBc	
f _{INPUT} =32.5MHz	全範囲	V							-80.0		dBc	
スプリアスフリー・ダイナミックレンジ												
f _{INPUT} =2.4MHz	25℃	V		86.0			86.0		86.0		dBc	
f _{INPUT} =9.7MHz	全範囲	V		84.0							dBc	
	25℃	I	76.1	86.0							dBc	
f _{INPUT} =19.6MHz	全範囲	V					85.0				dBc	
	25℃	I				76.7	86.0				dBc	
f _{INPUT} =32.5MHz	全範囲	V							80.0		dBc	
	25℃	I						72.5	83.0		dBc	
f _{INPUT} =100MHz	25℃	V		79.0			81.0		75.0		dBc	
クロストーク												
	全範囲	V		-80			-80		-80		dB	

仕様は予告なく変更されることがあります。

絶対最大定格¹

ピン名	基準	Min	Max	単位
電気的条件				
AVDD	AGND	-0.3	+3.9	V
DRVDD	DRGND	-0.3	+3.9	V
AGND	DRGND	-0.3	+0.3	V
AVDD	DRVDD	-3.9	+3.9	V
デジタル出力	DRGND	-0.3	DRVDD+0.3	V
CLK、DCS、 MUX_SELECT、 SHARED_REF、 OEB、DFS	AGND	-0.3	AVDD+0.3	V
VINA、VINB	AGND	-0.3	AVDD+0.3	V
VREF	AGND	-0.3	AVDD+0.3	V
SENSE	AGND	-0.3	AVDD+0.3	V
REFB、REFT	AGND	-0.3	AVDD+0.3	V
PDWN	AGND	-0.3	AVDD+0.3	V
環境条件²				
動作温度		-45	+85	°C
接合温度			+150	°C
ピン温度 (10秒)			+300	°C
保管温度		-65	+150	°C

注

¹ 絶対最大定格は個々に適用される限界値であり、この値を超えると回路の使用に支障が生じます。これは、必ずしも機能的な動作を意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

² 64ピンLQFPの熱抵抗 (typ値)、 $\theta_{JA}=54^{\circ}\text{C}/\text{W}$ 。これらの値は、EIA/JESD51-7に準拠し、自然空冷で4層ボードを使って測定。

テスト・レベルの説明

- I. 100%の出荷テストを実施。
- II. 25°Cで100%の出荷テストを実施し、規定温度でサンプル・テストを実施。
- III. サンプル・テストのみ。
- IV. パラメータは、設計およびキャラクタライゼーション・テストにより保証。
- V. パラメータはtyp値のみ。
- VI. 25°Cで100%の出荷テストを実施し、さらに設計およびキャラクタライゼーション・テストにより工業用温度範囲を保証。軍用デバイスに対しては温度限界値で100%の出荷テストを実施。

オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
AD9238BST-20	-40~+85°C	64ピンのロー・プロファイル・クワッド・フラット・パック (LQFP)	ST-64
AD9238BST-40	-40~+85°C	64ピンのロー・プロファイル・クワッド・フラット・パック (LQFP)	ST-64
AD9238BST-65	-40~+85°C	64ピンのロー・プロファイル・クワッド・フラット・パック (LQFP)	ST-64
AD9238-20PCB		AD9238BST-20を搭載した評価ボード	
AD9238-40PCB		AD9238BST-40を搭載した評価ボード	
AD9238-65PCB		AD9238BST-65を搭載した評価ボード	

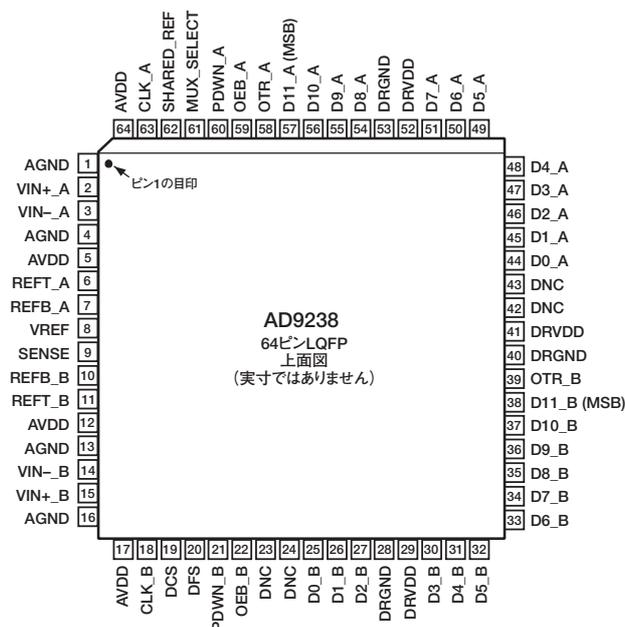
注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD9238は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



AD9238

ピン配置



DNC=接続しないようにして下さい。

ピン機能の説明

ピン番号	名前	説明
2	VIN+_A	チャンネルAのアナログ入力ピン (+)
3	VIN-_A	チャンネルAのアナログ入力ピン (-)
15	VIN+_B	チャンネルBのアナログ入力ピン (+)
14	VIN-_B	チャンネルBのアナログ入力ピン (-)
6	REFT_A	チャンネルAの差動リファレンス (+)
7	REFB_A	チャンネルAの差動リファレンス (-)
11	REFT_B	チャンネルBの差動リファレンス (+)
10	REFB_B	チャンネルBの差動リファレンス (-)
8	VREF	リファレンス入力/出力
9	SENSE	リファレンス・モード選択
18	CLK_B	チャンネルBのクロック入力ピン
63	CLK_A	チャンネルAのクロック入力ピン
19	DCS	デューティ・サイクル・スタビライザ (DCS) モード・イネーブル
20	DFS	データ出力フォーマット選択ビット (オフセット・バイナリの場合はロー、2の補数の場合はハイ)
21	PDWN_B	チャンネルBのパワーダウン機能の選択 (アクティブ・ハイ)
60	PDWN_A	チャンネルAのパワーダウン機能の選択 (アクティブ・ハイ)
22	OEB_B	チャンネルBの出力イネーブル・ビット
59	OEB_A	チャンネルAの出力イネーブル・ビット (ローにセットすると、チャンネルA出力データ・バスがイネーブルになります。)
44~51、54~57	D0_A (LSB)~D11_A (MSB)	チャンネルAデータ出力ビット
25~27、30~38	D0_B (LSB)~D11_B (MSB)	チャンネルBデータ出力ビット
39	OTR_B	チャンネルBの範囲外の表示
58	OTR_A	チャンネルAの範囲外の表示
62	SHARED_REF	共有リファレンス・コントロール・ビット (独立リファレンス・モードの場合はロー、共有リファレンス・モードの場合はハイ)
61	MUX_SELECT	データ多重化モード (イネーブル方法の説明を参照。ハイに設定すると、出力データ多重化モードがディスエーブルになります。)
5、12、17、64	AVDD	アナログ電源
1、4、13、16	AGND	アナログ・グラウンド
28、40、53	DRGND	デジタル出力グラウンド
29、41、52	DRVDD	デジタル出力ドライバ電源。最小0.1μFのコンデンサを使ってDRGNDとデカップリングする必要があります。0.1μFと10μFのコンデンサの並列接続によるデカップリングを推奨します。
23、24、42、43	DNC	無接続ピン。フローティング状態にしておきます。

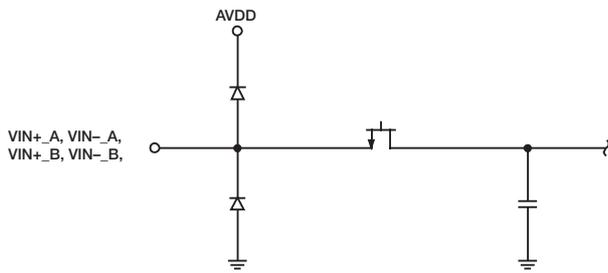


図2. アナログ入力の等価回路

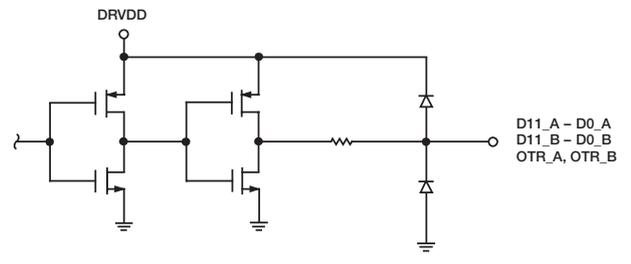


図3. デジタル出力の等価回路

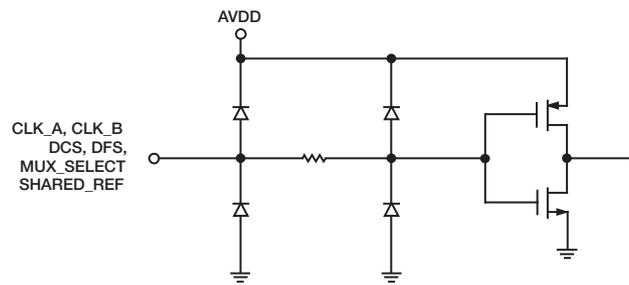


図4. デジタル入力の等価回路

AD9238

用語の定義

アパーチャ遅延

アパーチャ遅延はサンプル/ホールド・アンプ (SHA) の性能を表し、クロック入力の立ち上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

アパーチャ・ジッター

アパーチャ・ジッターは連続サンプルでのアパーチャ遅延の変動であり、A/Dコンバータ入力におけるノイズとなります。

積分非直線性 (INL)

INLは、負側のフルスケールと正側のフルスケールを結ぶ直線に対する各コード出力の偏差です。負側フルスケールとして使用されるポイントは、最初のコード遷移より1/2LSB下にあります。正側フルスケールは、最後のコード遷移より1 1/2LSB上のレベルにあります。偏差は各コードの中央の位置と直線の間の距離として測定されます。

微分非直線性 (DNL、ノー・ミスコード)

理想的なA/Dコンバータでは、各コード遷移は正確に1LSBだけ離れた位置で発生します。DNLとは、この理想値からの偏差をいいます。12ビット分解能に対しノー・ミスコードを保証するという事は、全動作範囲で4096コードのすべてが正しく出力されることを意味します。

オフセット誤差

$V_{IN+} = V_{IN-}$ より1/2LSB小さいアナログ値に対して、主要なキャリー変化が発生します。オフセット誤差は、そのポイントからの実際の変化の差と定義されます。

ゲイン誤差

最初のコード変化は、負側フルスケールより1/2LSB大きいアナログ値で発生します。最後の変化は、ノミナル・フルスケールより1 1/2LSB小さいアナログ値で発生します。ゲイン誤差は、最初と最後のコード変化間の実際の差と、最初と最後のコード変化間の理想的な差との偏差を表します。

温度ドリフト

ゼロ誤差とゲイン誤差の温度ドリフトは、初期値 (25°C) から T_{MIN} または T_{MAX} における値までの最大変化を規定します。

電源変動除去

この仕様は、電源が最小規定値から最大規定値に変化したときの、フルスケール値の最大変化を表します。

全高調波歪み (THD)

THDとは、2次波から7次高調波成分までのrms値の合計の、測定した入力信号のrms値に対する比をいい、キャリア信号のピークを基準にしたdB値 (dBc)、またはパーセントで表します。

信号対ノイズおよび歪み (S/N+D、SINAD) 比

測定した入力信号rms値の、ナイキスト周波数以下のその他の全スペクトル成分のrms値合計 (DC以外の高調波を含む) に対する比です。S/(N+D)値は、キャリア信号のピークを基準にしたdB単位 (dBc) で表します。

有効ビット数 (ENOB)

SINADは次式で表されます。

$$ENOB = (SINAD - 1.76) / 6.02$$

与えられた入力周波数のサイン波入力に対するデバイスの有効ビット数は、SINADの測定値から直接計算することができます。

S/N比 (SNR)

S/N比は、測定した入力信号rms値の、ナイキスト周波数以下のその他の全スペクトル成分のrms値合計 (7次までの高調波成分とDCを除く) に対する比です。S/N比は、キャリア信号のピークを基準にしたdB値 (dBc) で表されます。

スプリアスフリー・ダイナミックレンジ (SFDR)

入力信号のrms振幅値とピーク・スプリアス信号との差をいい、dB値で表します。

ナイキスト・サンプリング

サンプリングされるアナログ入力の周波数成分がナイキスト周波数 ($f_{CLOCK}/2$) 以下でサンプリングするとき、ナイキスト・サンプリングと呼ばれます。

IFサンプリング

エイリアシングの影響があるため、ADCは必ずしもナイキスト・サンプリングだけを行うわけではありません。サンプリングされる周波数が高いと、その周波数はADC出力で最初のナイキスト領域 ($DC - f_{CLOCK}/2$) に折り返され表われます。サンプリングされる信号の帯域幅がナイキスト領域にオーバーラップしてそれ自身に折り返されることがないように注意してください。ナイキスト・サンプリング性能は、入力SHAおよびクロック・ジッター (入力周波数が高いと、それだけジッターによるノイズが増加) によって制限されます。

2周波数SFDR

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。

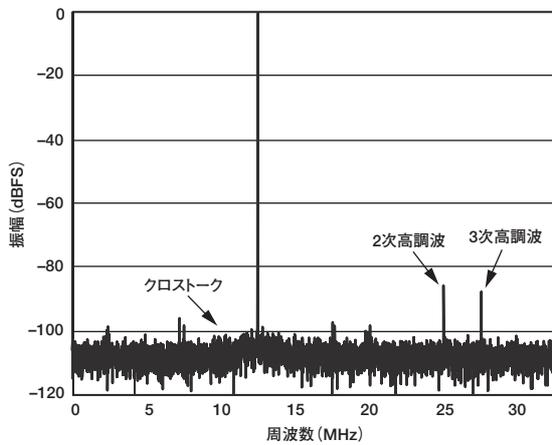
範囲外からの回復時間

範囲外からの回復時間とは、正側フルスケールの10%上から負側フルスケールの10%上までの変化の後、または負側フルスケールの10%下から正側フルスケールの10%下までの変化の後に、A/Dコンバータがアナログ入力を再度取り込むために要する時間をいいます。

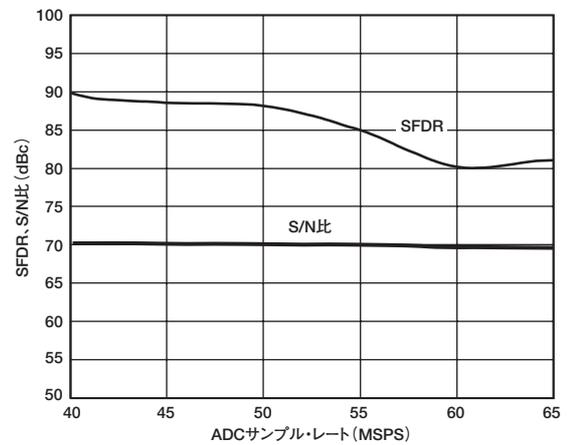
クロストーク

信号 (-0.5dBFS) が印加されているチャンネルに対し、隣接する干渉チャンネルがフルスケール信号によって駆動される場合に生じるカップリング。測定値には、直接的なカップリングと混合成分の両方から生じるすべての干渉が含まれます。

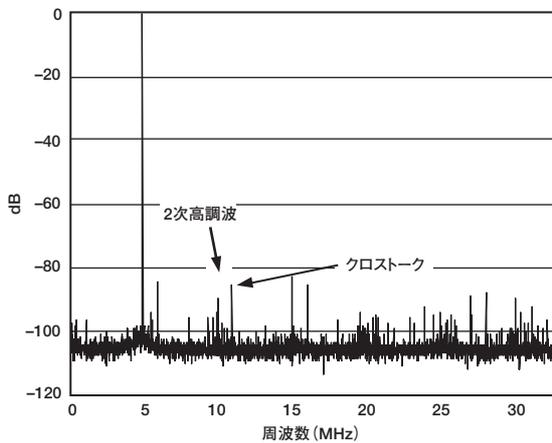
代表的な特性 — AD9238



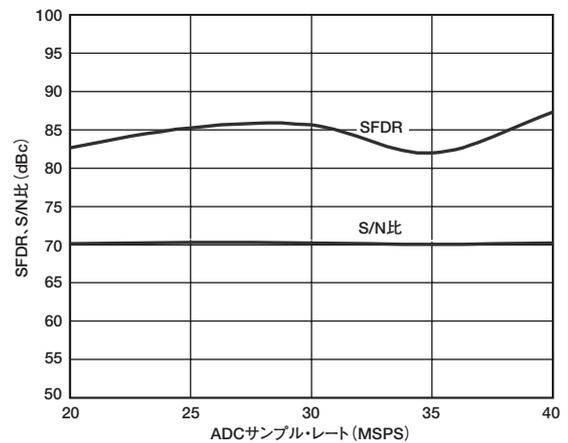
TPC 1. チャンネルBで $f_{IN}=10\text{MHz}$ をデジタル化しているときの $f_{IN}=12.5\text{MHz}$ をデジタル化するチャンネルAの単周波数FFT



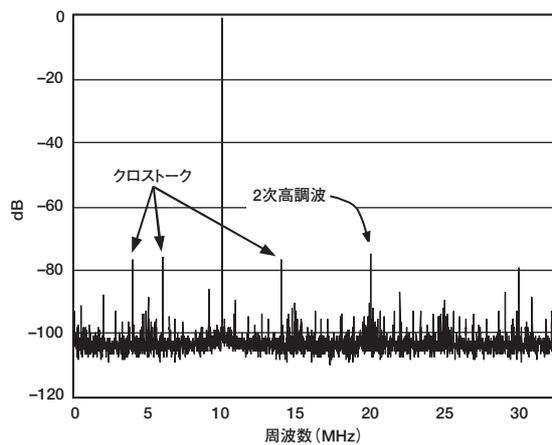
TPC 4. AD9238-65: 単周波数S/N比、SFDRとFS ($f_{IN}=32.5\text{MHz}$)



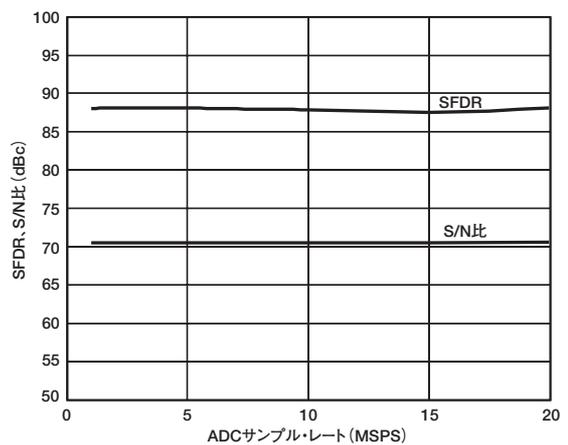
TPC 2. チャンネルBで $f_{IN}=76\text{MHz}$ をデジタル化しているときの $f_{IN}=70\text{MHz}$ をデジタル化するチャンネルAの単周波数FFT



TPC 5. AD9238-40: 単周波数S/N比、SFDRとFS ($f_{IN}=20\text{MHz}$)

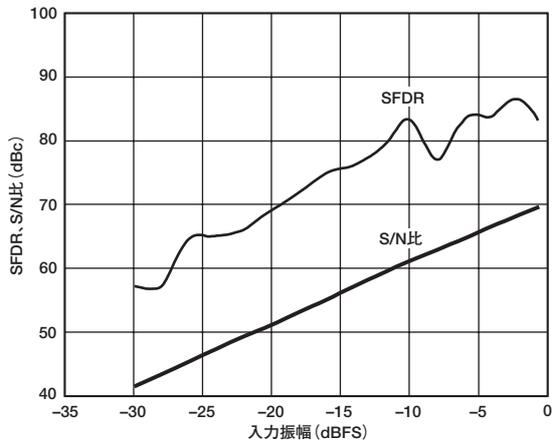


TPC 3. チャンネルBで $f_{IN}=126\text{MHz}$ をデジタル化しているときの $f_{IN}=120\text{MHz}$ をデジタル化するチャンネルAの単周波数FFT

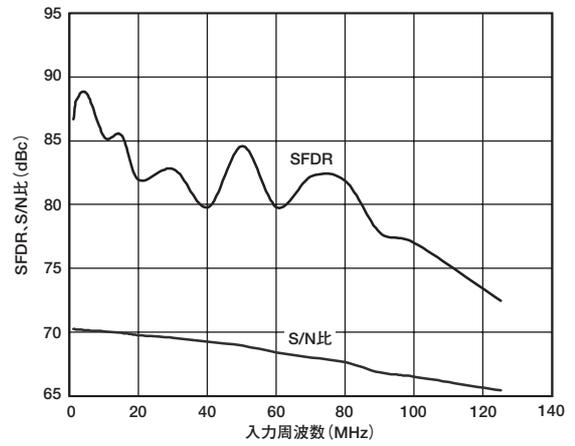


TPC 6. AD9238-20: 単周波数S/N比、SFDRとFS ($f_{IN}=10\text{MHz}$)

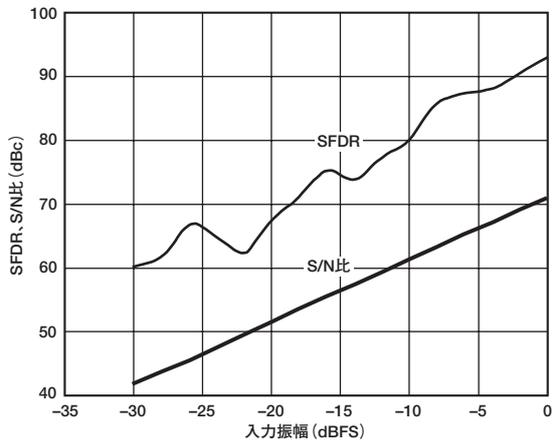
AD9238



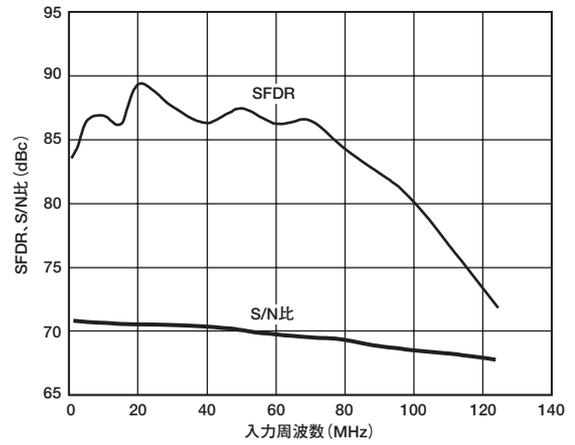
TPC 7. AD9238-65: 単周波数S/N比、SFDRとAIN ($f_{IN}=32.5\text{MHz}$)



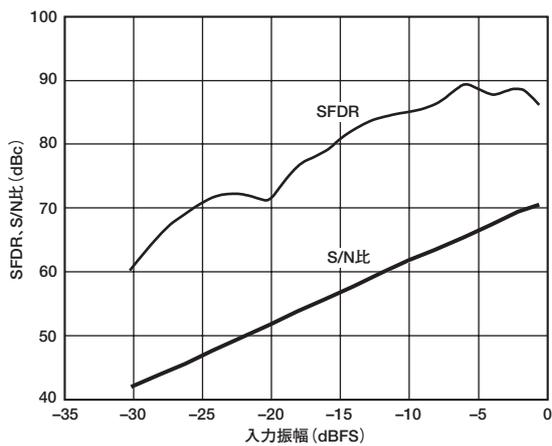
TPC 10. AD9238-65: 単周波数S/N比、SFDRと f_{IN}



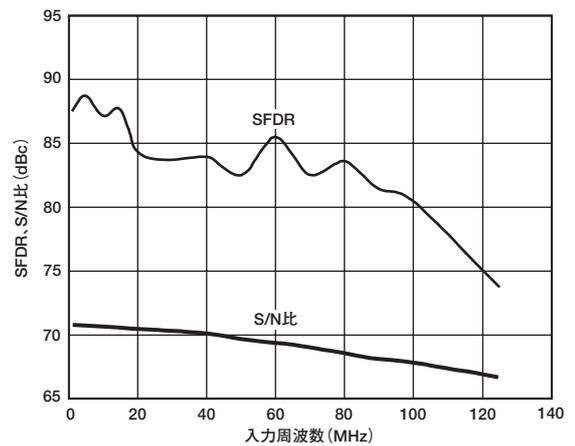
TPC 8. AD9238-40: 単周波数S/N比、SFDRとAIN ($f_{IN}=20\text{MHz}$)



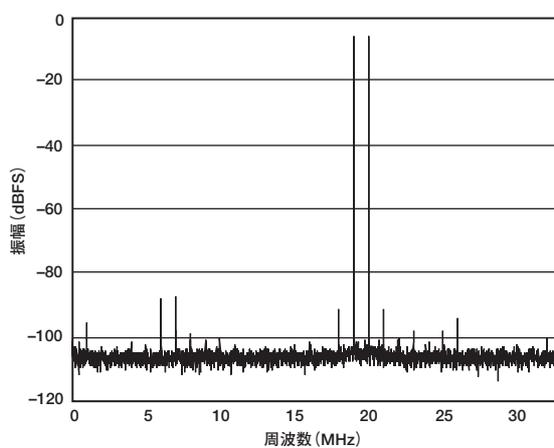
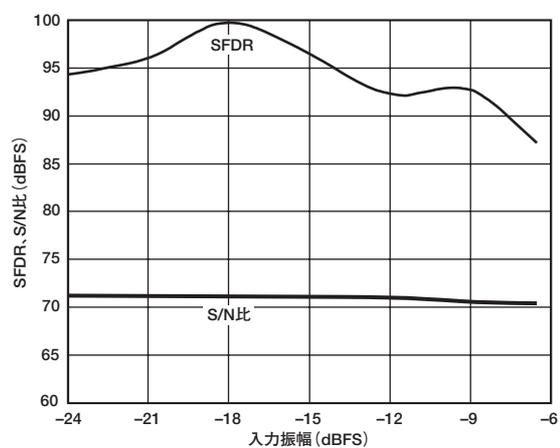
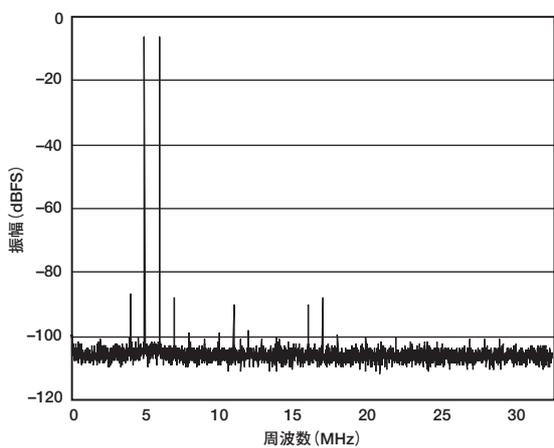
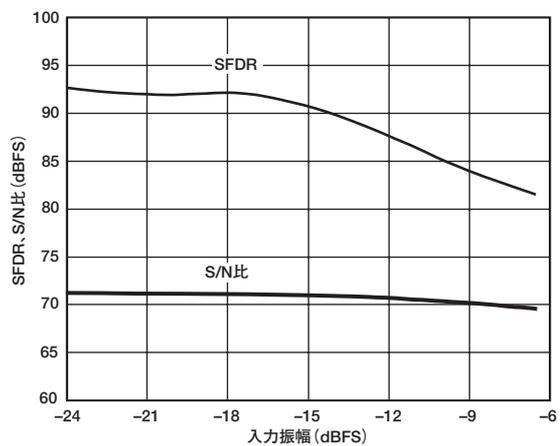
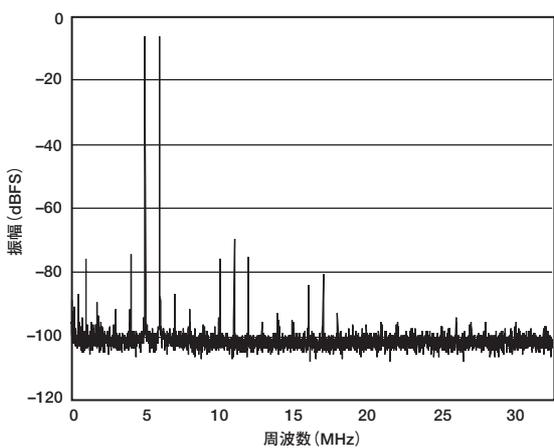
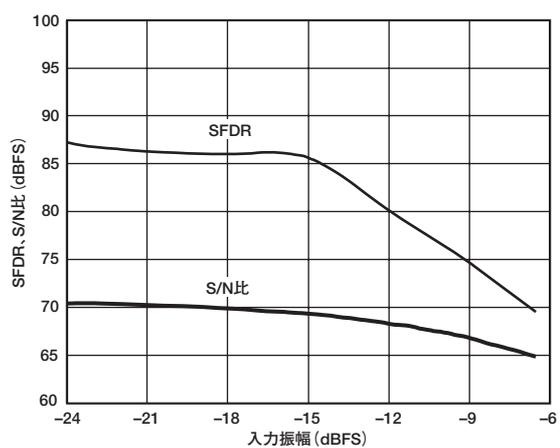
TPC 11. AD9238-40: 単周波数S/N比、SFDRと f_{IN}



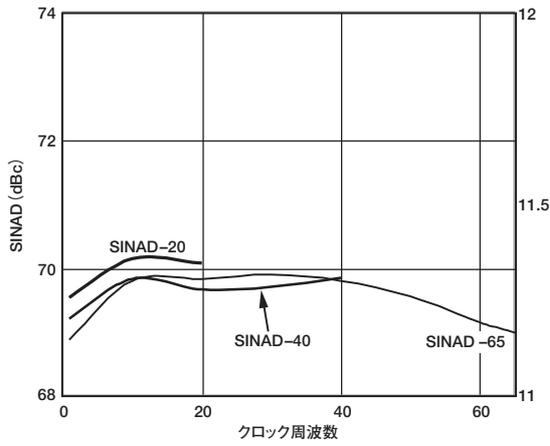
TPC 9. AD9238-20: 単周波数S/N比、SFDRとAIN ($f_{IN}=10\text{MHz}$)



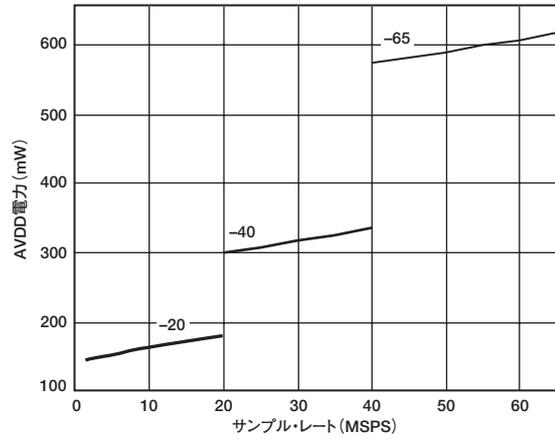
TPC 12. AD9238-20: 単周波数S/N比、SFDRと f_{IN}

TPC 13. 2周波数FFT ($f_{IN1}=45\text{MHz}$ 、 $f_{IN2}=46\text{MHz}$)TPC 16. 2周波数S/N比、SFDRとAIN
($f_{IN1}=45\text{MHz}$ 、 $f_{IN2}=46\text{MHz}$)TPC 14. 2周波数FFT ($f_{IN1}=70\text{MHz}$ 、 $f_{IN2}=71\text{MHz}$)TPC 17. 2周波数S/N比、SFDRとAIN
($f_{IN1}=70\text{MHz}$ 、 $f_{IN2}=71\text{MHz}$)TPC 15. 2周波数FFT ($f_{IN1}=200\text{MHz}$ 、 $f_{IN2}=201\text{MHz}$)TPC 18. 2周波数S/N比、SFDRとAIN
($f_{IN1}=200\text{MHz}$ 、 $f_{IN2}=201\text{MHz}$)

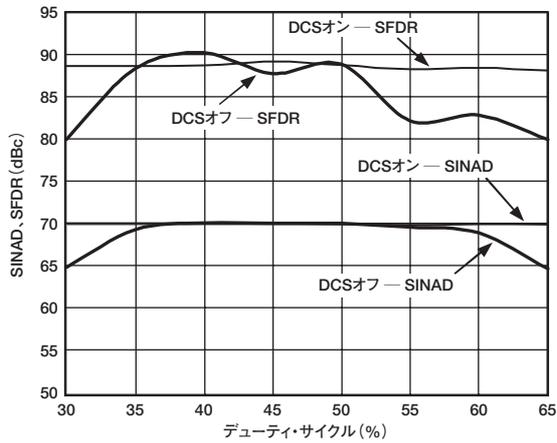
AD9238



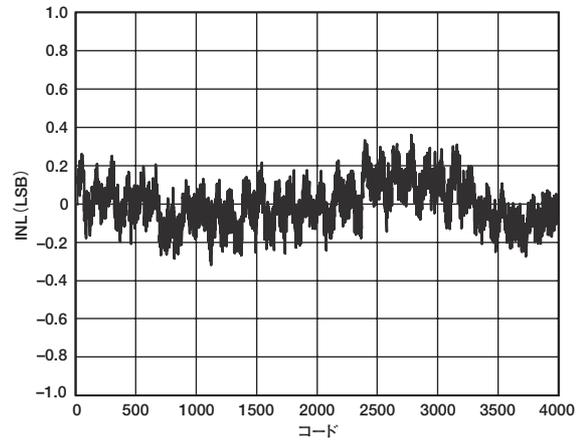
TPC 19. SINADとFS (ナイキスト入力)



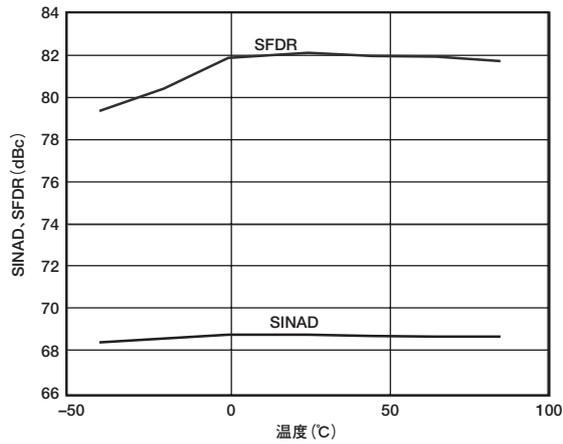
TPC 22. アナログ消費電力とFS



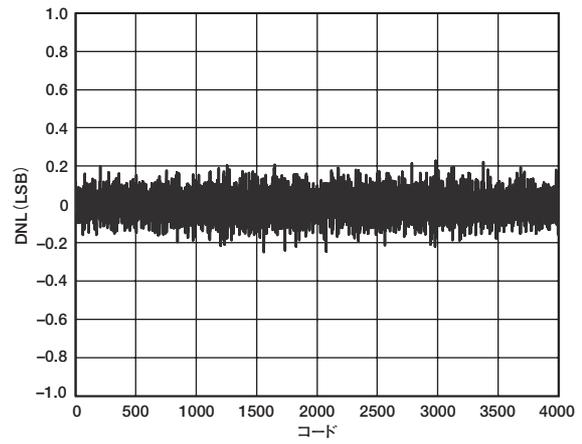
TPC 20. SINAD、SFDRとクロック・デューティ・サイクル



TPC 23. AD9238-65のINL (typ)



TPC 21. SINAD、SFDRの温度特性 ($f_{IN}=32.5\text{MHz}$)



TPC 24. AD9238-65のDNL (typ)

動作原理

AD9238は、AD9235コンバータ・コアをベースにした2つの高性能A/Dコンバータ（ADC）から構成されています。2つのADCパスは、内部バンド・ギャップ・リファレンスの V_{REF} を共有している以外は、互いに独立しています。各ADCパスは、専用フロントエンドのサンプル/ホールド・アンプ（SHA）と、これに続くパイプライン化されたスイッチド・キャパシター型A/Dコンバータで構成されています。パイプライン化されたA/Dコンバータは、最初の4ビット・ステージ、それに続く8個の1.5ビット・ステージ、最終ステージの3ビット・フラッシュからなる3つの部分で構成されます。各ステージには、前ステージのフラッシュ誤差を補正するために十分なオーバーラップがあります。各ステージからの量子化された出力は、デジタル補正ロジック内で結合されて最終の12ビットになります。このパイプライン・アーキテクチャでは、最初のステージで新しい入力サンプルを処理しながら、並行して残りのステージで前のサンプル値の処理を行うことができます。サンプリングは、各クロックの立ち上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、低分解能のフラッシュA/Dコンバータ（ADC）とパイプラインの次のステージを駆動する残留マルチプライヤで構成されます。この残留マルチプライヤは、フラッシュADC出力を使って、同じ分解能のスイッチド・コンデンサD/Aコンバータ（DAC）を制御します。DAC出力の再生分を、そのステージの入力信号から減算した残留信号を増幅（乗算）して、次のパイプライン・ステージを駆動します。残留マルチプライヤは、乗算DAC（MDAC）とも呼ばれます。各ステージ内で冗長な1ビットを使って、フラッシュ誤差のデジタル補正を行います。最終ステージはフラッシュA/Dコンバータのみで構成されます。

入力ステージには差動SHAがあります。SHAは、差動モードまたはシングルエンド・モードで、AC結合またはDC結合が可能です。出力段のブロックでは、データの整列、誤差補正を実行した後に、データを出力バッファに送ります。出力バッファは別電源で駆動されるため、出力電圧振幅の調整が可能です。

アナログ入力

AD9238のアナログ入力は差動スイッチド・キャパシター型のSHAで、差動入力信号の処理で最適な性能を発揮するようにデザインされています。SHA入力は、広い共通モード範囲で入力を受け付けます。最適な性能を得るために、電源電圧の1/2の入力共通モード電圧で使用されることを推奨します。

SHA入力は、差動スイッチド・キャパシター回路です。図5に示すように、クロック信号を使ってSHAのサンプル・モードとホールド・モードを交互に切り替えます。SHAをサンプル・モードに切り替えるときは、信号源がサンプル・コンデンサに充電して、クロック・サイクルの1/2以内にセトリングする必要があります。各入力に直列に小さい抵抗を入れることで、駆動源の出力ステージに要求されるピーク過渡電流を抑えるのに役立ちます。また、小さい並列コンデンサを入力間に接続して、ダイナミックな充電電流を供給することもできます。この回路はA/Dコンバータの入力でローパス・フィルタを構成するため、正確な値はアプリケーションに基づいて決定する必要があります。IFのアンダー・サンプリング・アプリケーションでは、この並列コンデンサはすべて除去する必要があります。こうしたコンデンサは、駆動源インピーダンスとともに、入力帯域幅を制限してしまいます。最適なダイナミック特性にするためには、 V_{IN+} と V_{IN-} を駆動する信号源インピーダンスが一致していて、共通モードのセトリング誤差が対称になる必要があります。これらの誤差は、A/Dコンバータの共通モード除去比により打ち消すことができます。

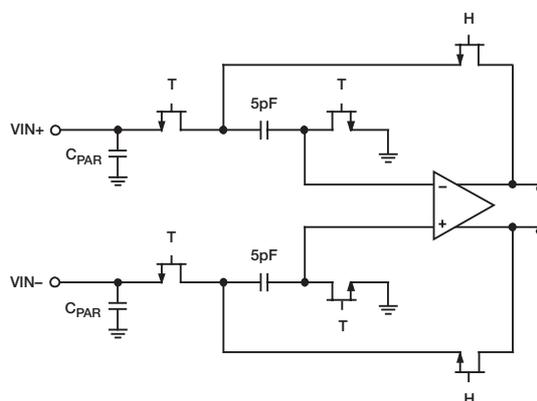


図5. スイッチド・キャパシターの入力

内部の差動リファレンス・バッファが、正と負のリファレンス（ $REFT$ と $REFB$ ）を発生させ、これらがA/Dコンバータ・コアのスパンを決定します。リファレンス・バッファの出力共通モードは電源電圧の1/2に設定され、 $REFT$ 電圧、 $REFB$ 電圧、スパンは次のように定義されます。

$$REFT = 1/2 (AVDD + V_{REF})$$

$$REFB = 1/2 (AVDD - V_{REF})$$

$$\text{スパン} = 2 \times (REFT - REFB) = 2 \times V_{REF}$$

上の式から明らかなように、 $REFT$ 電圧と $REFB$ 電圧は電源電圧の1/2に対して対称で、定義により、入力スパンは V_{REF} 電圧値の2倍になります。

内部リファレンスは固定値0.5Vまたは1.0Vにピン接続することも、または内部リファレンス接続のセクションで説明するように同範囲内で調整することもできます。最大S/N比性能は、AD9238を最大入力スパンの2V p-pに設定したときに得られます。2V p-pモードから1V p-pモードに変更すると、S/N比が3dB劣化します。

SHAは、選択されたリファレンスによって許容される信号ピーク範囲内で駆動できます。共通モード入力レベルの最小値と最大値は、次のように定義されます。

$$VCM_{MIN} = V_{REF} / 2$$

$$VCM_{MAX} = (AVDD + V_{REF}) / 2$$

この共通モード入力レベルの最小値により、グラウンド基準の入力をAD9238に入力することができます。最適性能は差動入力時に得られますが、シングルエンド信号源も V_{IN+} または V_{IN-} に入力できます。この構成では、リファレンスに対応した入力信号を一方に接続し、他方は、入力信号振幅の1/2の値に設定します。たとえば、 V_{IN+} に2V p-pの信号を入力し、 V_{IN-} には1Vのリファレンスを入力できます。このように設定すると、AD9238には2~0V間で変化する信号を入力できます。シングルエンド構成では、歪み性能が差動構成に比べて大幅に低下します。ただし、入力周波数が低く、低速のグレード・モデル（AD9238-40とAD9238-20）ほど、この影響は小さくなります。

差動入力構成

前述したように、最適性能は差動入力構成でAD9238を駆動するときに得られます。

ベースバンド・アプリケーションに対しては、AD8138差動ドライバが優れた性能とA/Dコンバータに対するフレキシブルなインターフェースを提供します。AD8138の出力共通モード

AD9238

ド電圧は容易にAVDD/2に設定でき、ドライバを入力信号の帯域制限機能があるSallen Keyフィルタ回路として構成できます。

2次ナイキスト領域およびそれ以上の入力周波数では、大部分のアンプの性能はAD9238の真の性能を実現するには不十分です。特に70~200MHzの範囲の周波数をサンプリングするIFアンダーサンプリング・アプリケーションでは、不十分なものになります。このようなアプリケーションに対しては、図6に示す差動トランス・カップリングの入力構成を推奨します。

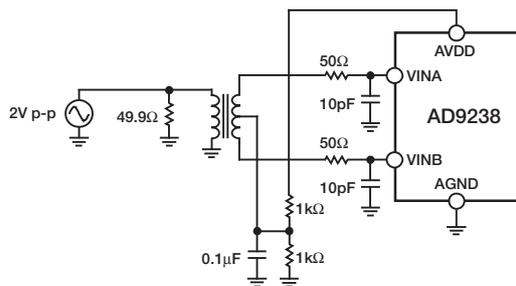


図6. 差動トランスのカップリング構成

トランスを選択する際は、信号特性を考慮する必要があります。多くのRFトランスは数MHz以下の周波数で飽和してしまうため、信号電力が大きくなり過ぎてコアの飽和が発生し、歪みの原因となります。

シングルエンド入力構成

シングルエンド入力では、低価格アプリケーションで妥当な性能を実現できます。この構成では、入力コモン・モード振幅が大きいため、SFDRと歪みの性能が低下します。ただし、各入力信号源インピーダンスを一致させると、S/N比への影響がほとんどなくなります。

クロック入力と考慮事項

一般に高速A/Dコンバータでは両方のクロック・エッジを使ってさまざまな内部タイミング信号を発生させるため、クロック・デューティ・サイクルの変化に対して敏感です。ダイナミック特性を維持するためには、一般にクロック・デューティ・サイクルの変化を5%以内に抑える必要があります。

AD9238は、各チャンネルに個別のクロックを供給します。最適な性能を実現するには、同じ周波数と同じ位相のクロックを供給する必要があります。チャンネルに非同期でクロックを送ると、性能が大幅に低下することがあります。しかし、アプリケーションによっては、隣接チャンネルのクロック・タイミングをずらしたほうが良い場合があります。AD9238は、チャンネル間のクロック・タイミングのずれ（標準で±1ns）の個別のロジック入力でも、性能の著しい低下を伴いません。

AD9238-65には、クロック・デューティ・サイクル・スタビライザが2つ（各コンバータに1つずつ）内蔵されており、非サンプリング・エッジのタイミングを再生して、公称50%のデューティ・サイクルで内部クロック信号を供給します（AD9238-40とAD9235-20にはDCSはありません）。40MHz超の入力クロック・レートでDCSを使用できるため、広い範囲のデューティ・サイクルでクロック入力が可能となります。50%のデューティ・サイクルのクロックを維持することは、高速アプリケーションにおいて高性能を維持するためにコンバータの適正なトラック・アンド・ホールド時間が要求される場合、特に重要です。DCSは、DCSピンをハイに固定することでイネーブルになります。

デューティ・サイクル・スタビライザは、遅延ロック・ループ（DLL）を使って非サンプリング・エッジを再生します。その

ため、サンプリング周波数が増えると、新しいレートに固定するためにDLLには約2~3μsが必要です。

高速・高分解能のA/Dコンバータは、クロック入力の質に敏感です。与えられたフルスケール入力周波数（ f_{INPUT} ）での、アパーチャ・ジッター（ t_j ）のみに起因するS/N比の低下は、次式を使って計算できます。

$$S/N \text{比の低下} = 20 \times \log_{10} [1/2 \times \pi \times f_{INPUT} \times t_j]$$

この式で、アパーチャ・ジッター実効値 t_j は全ジッター源の2乗和平方根を表しており、これにはクロック入力、アナログ入力信号、A/Dアパーチャ・ジッター仕様値が含まれています。アンダーサンプリング・アプリケーションは、特にジッターに敏感です。

とりわけアパーチャ・ジッターがAD9238のダイナミックレンジに影響を与える場合は、デジタル信号であるクロック入力を、しきい値電圧レベルを持つアナログ信号として扱う必要があります。クロック・ドライバの電源はA/Dコンバータ出力ドライバの電源と分離して、クロック信号がデジタル・ノイズで変調されないようにする必要があります。低ジッターの水晶制御発振器は最適なクロック源です。クロックを別のタイプの信号源（ゲート、分周器、またはその他の方法）で発生させる場合は、最終段で元のクロックを使ってタイミングを再生する必要があります。

消費電力とスタンバイ・モード

AD9238の消費電力はサンプル・レートに比例します。デジタル（DRVDD）消費電力は、主にデジタル・ドライバのパワーと各出力ビットの負荷によって決まります。デジタル・ドライブ電流は、次のように計算できます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLOCK} \times N$$

ここで、 N は変化するビットの数で、 C_{LOAD} は変化したデジタル・ピンの平均負荷です。

アナログ回路は、各スピード・グレードで優れた性能を提供しながら、消費電力を低減できるように、最適なバイアスが与えられています。各スピード・グレードは低いサンプル・レートで基本的な電力を消費しますが、この電力はクロック周波数に比例して増加します。

PWDN_AまたはPWDN_Bピンをアサートすることで、AD9238のチャンネルの1つを個別にスタンバイ・モードにすることができます。個別に、または全部をスタンバイにするときは、入力クロックとアナログ入力を静止状態にすることをお勧めします。この場合のA/Dコンバータの消費電力は1mW (typ)になります。DCSをイネーブルにしている場合は、個別にパワーダウンしたチャンネルのクロックをディスエーブルにする必要があります。そうしないと、アクティブ・チャンネルに大きな歪みが生じます。トータル・スタンバイ・モード中にクロック入力がアクティブのままだと、消費電力は12mW (typ)になります。

スタンバイ時の最小電力は、両チャンネルが完全なパワー・ダウン・モード（PDWN_A=PDWN_B=HI）のときになります。この条件では、内部リファレンスがパワーダウンされます。チャンネル・バスの1本または両方がパワーダウン後にイネーブルされた場合、ウェイクアップ時間は、REFTおよびREFBデカップリング・コンデンサの再充電とパワーダウン時間に直接関係します。通常、完全に放電した0.1μFと10μFのデカップリング・コンデンサをREFTとREFBに接続した場合、フル動作に戻るためには約5msが必要です。

消費電力をある程度低減させるために、チャンネルの1本をパワーダウンすることができます。チャンネルをパワーダウンす

ると内部回路はシャットダウンされますが、リファレンス・バッファと共有リファレンスは駆動された状態のままです。このため、ウェイクアップ時間のクロック・サイクル数が少なくなります。

デジタル出力

AD9238の出力ドライバは、DRVDDとインターフェース・ロジックのデジタル電源を一致させることにより、2.5Vまたは3.3Vのロジック・ファミリーに接続させる構成が可能です。出力ドライバは、さまざまなロジック・ファミリーを駆動するために十分な出力電流を提供するように設計されています。ただし、大きな駆動電流は電源にグリッチを生じさせる傾向があり、コンバータの性能に影響を及ぼすことがあります。A/Dコンバータで大きな容量負荷または大きなファンアウトを駆動する必要があるアプリケーションでは、外付けバッファまたはラッチが必要になることがあります。

データ・フォーマットは、オフセット・バイナリまたは2の補数のフォーマットを選択できます。このフォーマットについては、「データ・フォーマット」のセクションで説明します。

タイミング

AD9238は、7クロック・サイクルのパイプライン遅延を伴うラッチされたデータを出力します。データ出力は、クロック信号の立ち上がりエッジ後の1伝搬遅延 (t_{PD}) で有効になります。詳しいタイミング図については、図1を参照してください。

AD9238-65の内部デューティ・サイクル・スタビライザは、DCSピンを使ってイネーブルになります。これによって、安定した50%デューティ・サイクルが内部回路に与えられます。

出力データ・ラインの長さや、それらにかかる負荷を最小にして、AD9238内部のトランジエント電圧を抑える必要があります。このようなトランジエント電圧は、コンバータのダイナミック性能を低下させることがあります。

AD9238の標準最小変換レートは1MSPSです。1MSPSより低いクロック・レートでは、ダイナミック性能が低下することがあります。

データ・フォーマット

AD9238のデータ出力フォーマットは、2の補数またはオフセット・バイナリの形式に設定できます。これは、データ・フォーマット選択ピン (DFS) で制御します。DFSをAGNDに接続すると、オフセット・バイナリ出力データが生成され、DFSをAVDDに接続すると、データが2の補数形式で出力されます。

デュアルA/Dコンバータからの出力データを1本の12ビット出力バスに多重化できます。この多重化機能は、MUX_SELECTビットを切り換えて有効にします。この切り換えによって、チャンネル・データが同じチャンネル・データ・ポートか反対のポートに出力されます。MUX_SELECTビットがロジックハイの場合は、チャンネルAのデータがチャンネルA出力バスに出力され、チャンネルBデータはチャンネルB出力バスに出力されます。MUX_SELECTビットがロジックローの場合は、これと逆になり、チャンネルAのデータがチャンネルB出力バスに出力され、チャンネルBのデータがチャンネルA出力バスに出力されます。MUX_SELECTビットを切り換えれば、どちらの出力データ・ポートでも多重化されたデータを得られます。

両A/Dコンバータの動作を同期させる場合は、MUX_SELECTビットに同じクロックを供給できます。MUX_SELECTの立ち上がりエッジの後に、データ・ポートがデータ・ポートのチャンネルに対応したチャンネル・データを取得し、立ち下がりエッジ後は別のチャンネル・データがバスに出力されます。通常は、該当するOEBをハイにすることで、未使用のバスをディスエーブルにし、消費電力やノイズの低減を図ります。図7に、多重化モードの1例を示します。データを多重化すると、データ・レートはサンプル・レートの2倍になります。

電圧リファレンス

AD9238は、正確で安定した0.5Vのリファレンスを内蔵しています。内部リファレンスに異なる外部抵抗を組み合わせるか、または外部から供給するリファレンスを使用してAD9238に入力するリファレンスを変化させれば、入力範囲を調整できます。A/Dコンバータの入力スパンは、リファレンスに比例して変化します。

トランスを使って差動でA/Dコンバータを駆動する場合は、リファレンスを使ってセンタータップをバイアスできます (コモン・モード電圧)。

共有リファレンス・モードでは、デュアルA/Dコンバータからのリファレンスを外部から接続して優れたゲインおよびオフセットのマッチングを実現できます。各A/Dコンバータが独立して機能する場合は、リファレンス・デカップリングを各々のリファレンスに入れることで、優れたデュアル・チャンネル間絶縁が得られます。共有リファレンス・モードをイネーブルにするには、SHARED_REFピンをハイに固定して、外部差動リファレンスを外部から短絡する必要があります。(REFT_AとREFT_Bを短絡し、REFB_AとREFB_Bを短絡します。)

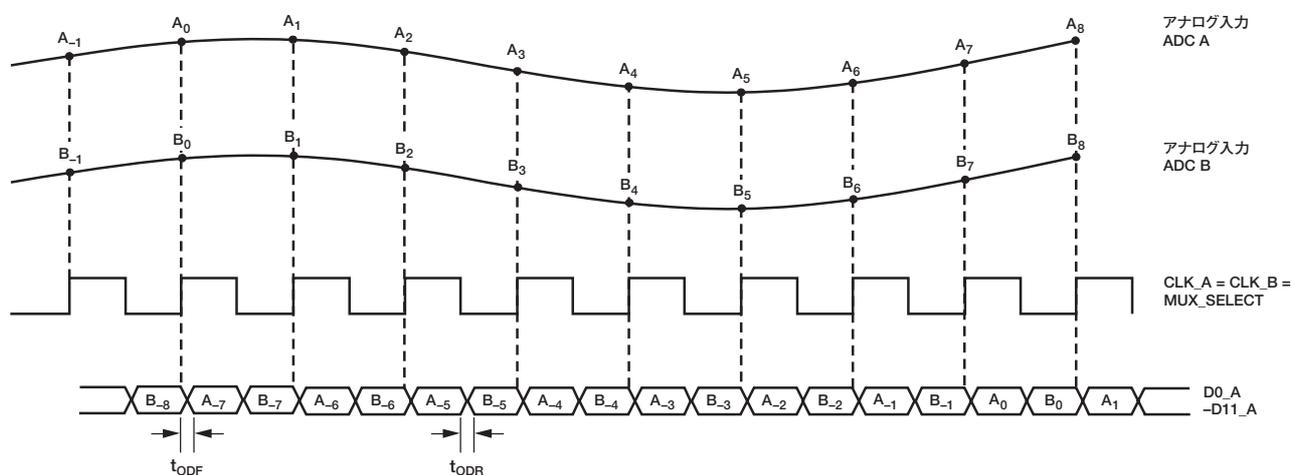


図7. チャンネルA出力ポートで、CLK_A、CLK_B、MUX_SELECTに同じクロックを使用し、多重化データ・フォーマットにした例

AD9238

表I. リファレンス設定の概要

選択するモード	SENSE電圧	V _{REF} (V)	差動スパン (V _{p-p})
外部リファレンス	AVDD	N/A	2×外部リファレンス
内部固定リファレンス	V _{REF}	0.5	1.0
プログラマブル・リファレンス	0.2V~V _{REF}	0.5×(1+R2/R1)	2×V _{REF} (図9を参照)
内部固定リファレンス	AGND~0.2V	1.0	2.0

内部リファレンスの接続

AD9238の内蔵コンパレータがSENSEピンの電位を検出し、リファレンスを表Iに示す4つの状態に設定します。SENSEがグラウンド・レベルの場合、リファレンス・アンプ・スイッチは内部抵抗分割器 (図8) に接続され、VREFが1Vに設定されます。SENSEピンをVREFに接続すると、リファレンス・アンプ出力はSENSEピンに接続され、ループを構成して0.5Vのリファレンスを出力します。抵抗分割器が図9のように接続された場合にも、スイッチはSENSEピンに接続されます。この接続により、リファレンス・アンプが非反転モードになり、VREF出力が次の値をとります。

$$V_{REF} = 0.5 \times (1 + R2/R1)$$

すべてのリファレンス設定で、REFTとREFBがA/Dコンバータ・コアを駆動し、入力スパンを決定します。A/Dコンバータの入力範囲は、内部/外部リファレンスに対して、常にリファレンスピンの電圧の2倍になります。

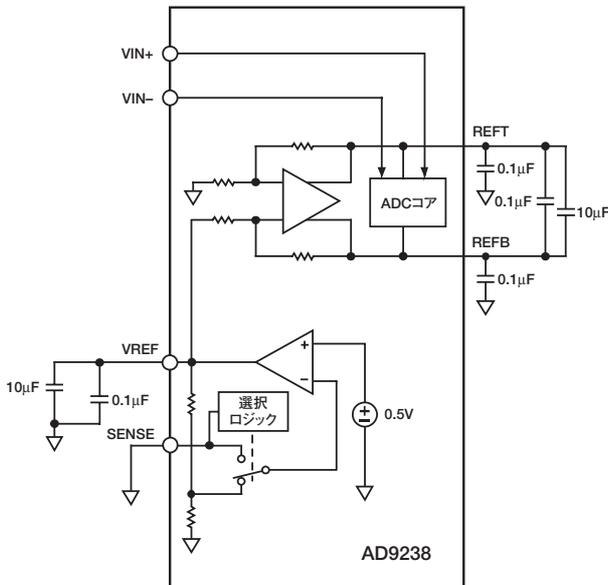


図8. 内部リファレンスの設定

外部リファレンスによる動作

A/Dコンバータのゲイン精度や熱ドリフト特性を向上させるために、外部リファレンスの使用が必要になることがあります。複数のA/Dコンバータを互いにトラッキングさせる場合は、ゲインマッチング誤差を許容レベルまで抑えるために、1個のリファレンス (内部/外部) を使う必要があります。ゲインとオフセットの温度ドリフトを低減するために、高精度の外部リファレンスを選択することもあります。図10に、1Vモードと0.5Vモードでの内部リファレンスの代表的なドリフト特性を示します。

SENSEピンをAVDDに接続すると、内部リファレンスがディスエーブルになり、外部リファレンスが使用できるようになります。内部リファレンスのバッファが、外部リファレンスに対して7kΩの等価負荷になります。この場合でも、内部バッファはA/Dコンバータ・コアに対する正と負のフルスケール・リファレンス (REFTとREFB) の供給を続けます。入力スパンが常にリファレンスの2倍になるため、外部リファレンスは最大1Vまでに制限する必要があります。

ゲインのマッチングを向上させるために複数のコンバータをAD9238の内部リファレンスで駆動する場合は、他のコンバータによるリファレンス負荷を考慮する必要があります。図11に、内部リファレンスの負荷に対する影響を示します。

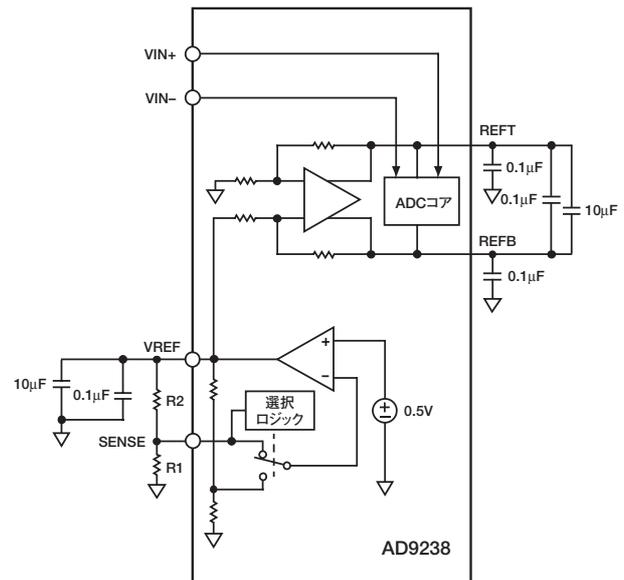


図9. プログラマブル・リファレンスの設定

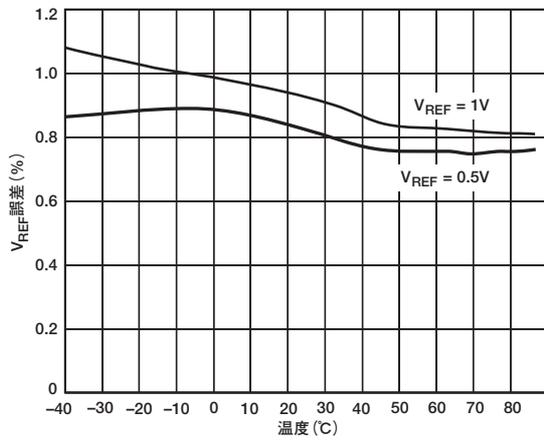


図10. V_{REF}ドリフト (代表値)

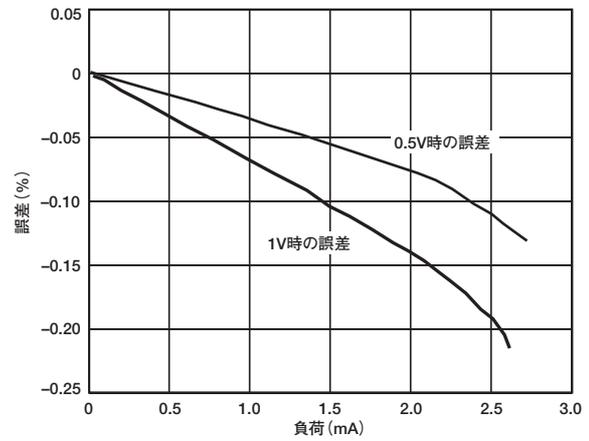
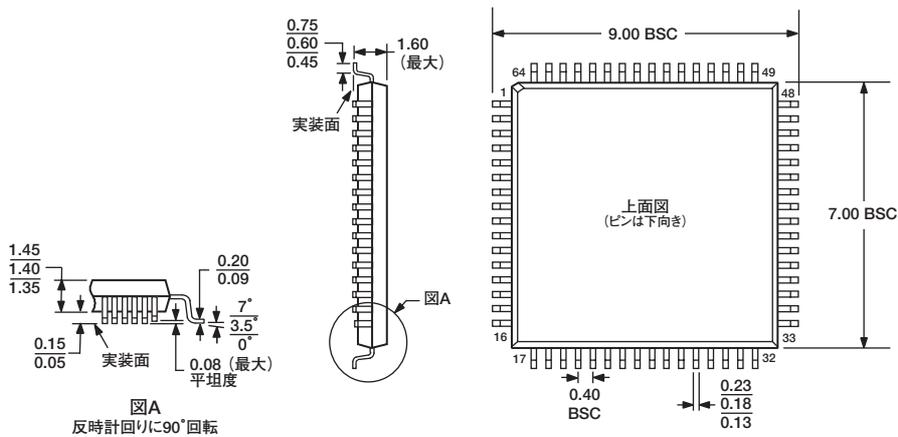


図11. V_{REF}の精度と負荷

外形寸法

64ピン・クワッド・フラット・パック (LQFP) (ST-64)

寸法はミリメートル単位



JEDEC標準MS-026BBDに準拠

