

特長

- 単電源 +3V動作(+2.7 ~ +3.6V)
- S/N比 = 70dBc(ナイキスト周波数まで)
- SFDR = 90dBc(ナイキスト周波数まで)
- 低消費電力 : 65MSPSで300mW
- 帯域幅500MHzの差動入力
- リファレンスとサンプル/ホールド・アンプ(SHA)を内蔵
- DNL = ± 0.4 LSB
- フレキシブルなアナログ入力 : 1 ~ 2V p-p 範囲
- オフセット・バイナリまたは2の補数のデータ・フォーマット採用のクロック・デューティ・サイクル・スタビライザ

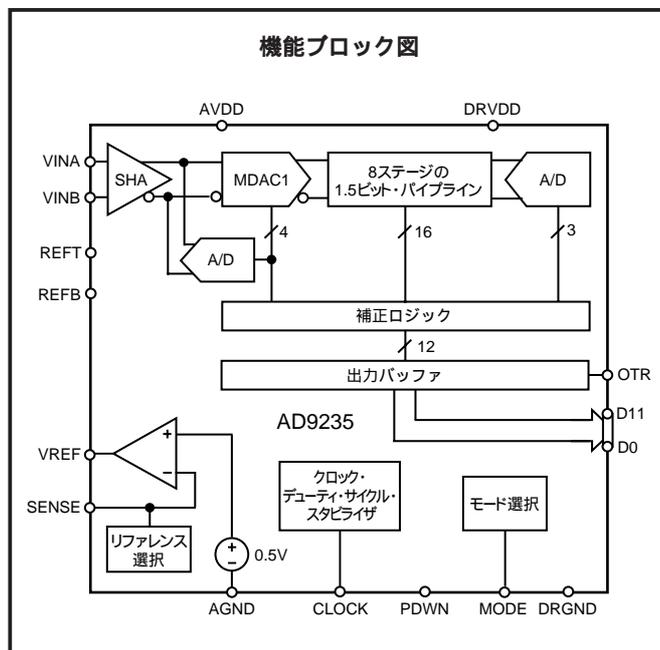
アプリケーション

- 超音波装置
- 受信器のIFサンプリング : IS-95、CDMA-One、IMT-2000
- バッテリー駆動計装機器
- ハンドヘルド・スコープメーター
- 低価格デジタル・オシロスコープ

概要

AD9235は、3V単電源動作、12ビット、20/40/65MSPSのモノリシックA/Dコンバータ・ファミリーの製品です。このファミリーは、高性能なサンプル/ホールド・アンプ(SHA)とリファレンスを内蔵しています。AD9235は、65MSPSのデータ・レートで12ビット精度を提供する出力誤差補正ロジック内蔵のマルチステージ差動パイプライン・アーキテクチャを採用しており、全動作温度範囲でノー・ミスコードを保証しています。

広い帯域幅と真の差動SHAの採用によって、AD9235はシングルエンドを含むアプリケーションで、ユーザーが様々な入力範囲とオフセットを選択できます。AD9235は、連続する複数のチャンネル間でフルスケール電圧レベルの切り替えを行う多重化システムや、ナイキスト・レートを超える周波数で1つのチャンネル入力をサンプリングする用途に最適です。従来のA/Dコンバータに比べて省電力化と低価格化を実現したAD9235は、通信、画像処理、医療用超音波アプリケーションに最適です。全ての内部変換サイクルの制御には、シングルエンド・クロック入力が使われます。デューティ・サイクル・スタビライザにより、クロック・デューティ・サイクルの広範囲な変動を補償すると同時に優れた性能を維持できます。デジタル出力データは自然2進数すなわち2の補数フォーマットで表されます。範囲外信号



はオーバーフロー状態を表示しますが、この信号を最上位ビット(MSB)と組み合わせて使用すると、オーバーフローとアンダーフローを区別することができます。

AD9235は最新のCMOSプロセスで製造され、28ピン表面実装プラスチック・パッケージで供給され、工業用温度範囲(-40 ~ +85)で仕様規定されています。

製品のハイライト

- AD9235は3V単電源で動作し、デジタル出力ドライバが別電源になっているため2.5Vと3.3Vのロジック・ファミリーの両方に対応できます。
- AD9235の消費電力は65MSPS動作でわずか300mWです。
- 特許を取得したSHA入力は、最大200MHzまでの入力周波数に対して優れた性能を維持し、シングルエンド/差動の両動作に設定できます。
- AD9235のピン配置は、10ビットの65MSPS A/DコンバータAD9214-65と同等です。したがって、65MSPSシステムの10ビットから12ビットへのアップグレードが容易に行えます。
- クロック・デューティ・サイクル・スタビライザは、広範囲なクロック・パルス幅で性能を維持します。
- OTR出力ビットは、信号が選択中の入力範囲を超えたことを表示します。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9235 仕様

DC特性 (特に指定のない限り、AVDD = 3V、DRVDD = 2.5V、最大サンプル・レート、2Vp-p差動入力、1.0V内部リファレンス、T_{MIN} ~ T_{MAX})

| パラメータ | 温度 | テスト・レベル | AD9235BRU-20 | | | AD9235BRU-40 | | | AD9235BRU-65 | | | 単位 |
|--------------------------|-----|---------|--------------|--------|--------|--------------|--------|--------|--------------|--------|--------|---------|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| 分解能 | 全範囲 | VI | 12 | | | 12 | | | 12 | | | ビット |
| 精度 | | | | | | | | | | | | |
| ノーマスコッド保証 | 全範囲 | VI | 12 | | | 12 | | | 12 | | | ビット |
| オフセット誤差 | 全範囲 | VI | | ± 0.30 | ± 1.20 | | ± 0.50 | ± 1.20 | | ± 0.50 | ± 1.20 | %FSR |
| ゲイン誤差 ¹ | 全範囲 | VI | | ± 0.30 | ± 2.40 | | ± 0.50 | ± 2.50 | | ± 0.50 | ± 2.60 | %FSR |
| 微分非直線性(DNL) ² | 全範囲 | IV | | ± 0.35 | ± 0.65 | | ± 0.35 | ± 0.75 | | ± 0.40 | ± 0.80 | LSB |
| | 25 | I | | ± 0.35 | | | ± 0.35 | | | ± 0.35 | | LSB |
| 積分非直線性(INL) ² | 全範囲 | IV | | ± 0.45 | ± 0.80 | | ± 0.50 | ± 0.90 | | ± 0.70 | ± 1.30 | LSB |
| | 25 | I | | ± 0.40 | | | ± 0.40 | | | ± 0.45 | | LSB |
| 温度ドリフト | | | | | | | | | | | | |
| オフセット誤差 | 全範囲 | V | | ± 2 | | | ± 2 | | | ± 3 | | ppm/ |
| ゲイン誤差 ¹ | 全範囲 | V | | ± 12 | | | ± 12 | | | ± 12 | | ppm/ |
| 内部電圧リファレンス | | | | | | | | | | | | |
| 出力電圧誤差(1Vモード) | 全範囲 | VI | | ± 5 | ± 35 | | ± 5 | ± 35 | | ± 5 | ± 35 | mV |
| 負荷レギュレーション@ 1.0mA | 全範囲 | V | | 0.8 | | | 0.8 | | | ± 0.8 | | mV |
| 出力電圧誤差(0.5Vモード) | 全範囲 | V | | ± 2.5 | | | ± 2.5 | | | ± 2.5 | | mV |
| 負荷レギュレーション@ 0.5mA | 全範囲 | V | | 0.1 | | | 0.1 | | | 0.1 | | mV |
| 入力換算ノイズ | | | | | | | | | | | | |
| VREF = 0.5V | 25 | V | | 0.54 | | | 0.54 | | | 0.54 | | LSB rms |
| VREF = 1.0V | 25 | V | | 0.27 | | | 0.27 | | | 0.27 | | LSB rms |
| アナログ入力 | | | | | | | | | | | | |
| 入力スパン、VREF = 0.5V | 全範囲 | IV | | 1 | | | 1 | | | 1 | | V p-p |
| 入力スパン、VREF = 1.0V | 全範囲 | IV | | 2 | | | 2 | | | 2 | | V p-p |
| 入力容量 ³ | 全範囲 | V | | 7 | | | 7 | | | 7 | | pF |
| リファレンス入力抵抗 | 全範囲 | V | | 7 | | | 7 | | | 7 | | k |
| 電源 | | | | | | | | | | | | |
| 電源電圧 | | | | | | | | | | | | |
| AVDD | 全範囲 | IV | 2.7 | 3.0 | 3.6 | 2.7 | 3.0 | 3.6 | 2.7 | 3.0 | 3.6 | V |
| DRVDD | 全範囲 | IV | 2.25 | 3.0 | 3.6 | 2.25 | 3.0 | 3.6 | 2.25 | 3.0 | 3.6 | V |
| 電源電流 | | | | | | | | | | | | |
| IAVDD ² | 全範囲 | V | | 30 | | | 55 | | | 100 | | mA |
| IDRVDD ² | 全範囲 | V | | 2 | | | 5 | | | 7 | | mA |
| PSRR | 全範囲 | V | | ± 0.01 | | | ± 0.01 | | | ± 0.01 | | %FSR |
| 消費電力 | | | | | | | | | | | | |
| DC入力 ⁴ | 全範囲 | V | | 90 | | | 165 | | | 600 | | mW |
| サイン波入力 ² | 全範囲 | VI | | 95 | 110 | | 180 | 205 | | 320 | 350 | mW |
| スタンバイ消費電力 ⁵ | 全範囲 | V | | 1.0 | | | 1.0 | | | 1.0 | | mW |

注

- ゲイン誤差とゲイン温度係数は、A/Dコンバータのみに基づきます(1.0V固定の外部リファレンスを使用)。
- 最大クロック・レート $f_{IN} = 2.4\text{MHz}$ 、フルスケール・サイン波、各出力ビットに約5pFの負荷を接続して測定。
- 入力容量とは、1本の差動入力ピンとAGNDとの間の実効容量を意味します。アナログ入力の等価回路については、図2を参照してください。
- DC入力を使い最大クロック・レートで測定。
- スタンバイ消費電力は、DC入力で、クロック・ピンを非アクティブ(AVDDまたはAGNDに接続)にして測定。

仕様は予告なく変更されることがあります。

デジタル特性

| パラメータ | 温度 | テスト・レベル | AD9235BRU-20 | | | AD9235BRU-40 | | | AD9235BRU-65 | | | 単位 |
|---------------------------|-----|---------|--------------|-----|------|--------------|-----|------|--------------|-----|------|----|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| ロジック入力 | | | | | | | | | | | | |
| ハイレベル入力電圧 | 全範囲 | IV | 2.0 | | | 2.0 | | | 2.0 | | | V |
| ローレベル入力電圧 | 全範囲 | IV | | | 0.8 | | | 0.8 | | | 0.8 | V |
| ハイレベル入力電流 | 全範囲 | IV | -10 | | +10 | -10 | | +10 | -10 | | +10 | μA |
| ローレベル入力電流 | 全範囲 | IV | -10 | | +10 | -10 | | +10 | -10 | | +10 | μA |
| 入力容量 | 全範囲 | V | | 2 | | | 2 | | | 2 | | pF |
| ロジック出力¹ | | | | | | | | | | | | |
| DRVDD = 3.3V | | | | | | | | | | | | |
| ハイレベル出力電圧 (IOH = 50mA) | 全範囲 | IV | 3.29 | | | 3.29 | | | 3.29 | | | V |
| ハイレベル出力電圧 (IOH = 0.5mA) | 全範囲 | IV | 3.25 | | | 3.25 | | | 3.25 | | | V |
| ローレベル出力電圧 (IOL = 1.6mA) | 全範囲 | IV | | | 0.2 | | | 0.2 | | | 0.2 | V |
| ローレベル出力電圧 (IOL = 50mA) | 全範囲 | IV | | | 0.05 | | | 0.05 | | | 0.05 | V |
| DRVDD = 2.5V | | | | | | | | | | | | |
| ハイレベル出力電圧 (IOH = 50mA) | 全範囲 | IV | 2.49 | | | 2.49 | | | 2.49 | | | V |
| ハイレベル出力電圧 (IOH = 0.5mA) | 全範囲 | IV | 2.45 | | | 2.45 | | | 2.45 | | | V |
| ローレベル出力電圧 (IOL = 1.6mA) | 全範囲 | IV | | | 0.2 | | | 0.2 | | | 0.2 | V |
| ローレベル出力電圧 (IOL = 50mA) | 全範囲 | IV | | | 0.05 | | | 0.05 | | | 0.05 | V |

注

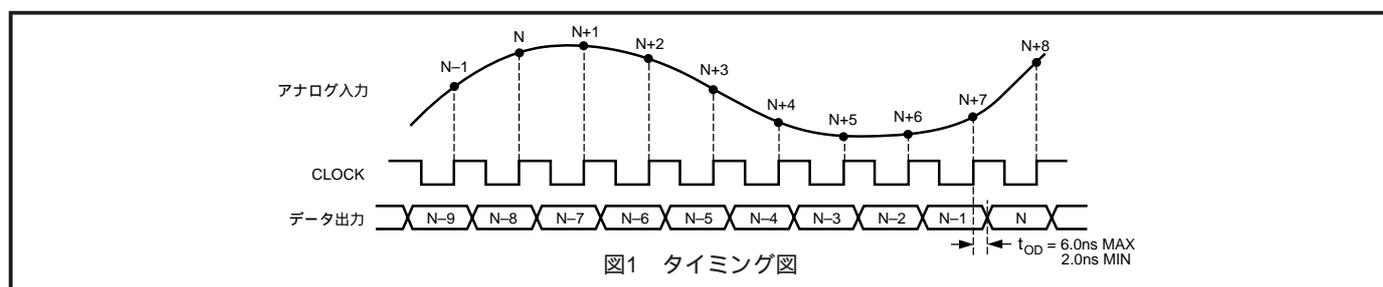
- 出力電圧レベルは、各出力に5pFの負荷を接続して測定。
仕様は予告なく変更されることがあります。

スイッチング特性

| パラメータ | 温度 | テスト・レベル | AD9235BRU-20 | | | AD9235BRU-40 | | | AD9235BRU-65 | | | 単位 |
|--------------------------------------|-----|---------|--------------|-----|-----|--------------|-----|-----|--------------|-----|-----|--------|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| クロック入力パラメータ | | | | | | | | | | | | |
| 最大変換レート | 全範囲 | VI | 20 | | | 40 | | | 65 | | | MSPS |
| 最小変換レート | 全範囲 | V | | | 1 | | | 1 | | | 1 | MSPS |
| クロック周期 | 全範囲 | V | 50.0 | | | 25.0 | | | 15.4 | | | ns |
| ハイレベルのクロック・パルス幅 ¹ | 全範囲 | V | 15.0 | | | 8.8 | | | 6.2 | | | ns |
| ローレベルのクロック・パルス幅 ¹ | 全範囲 | V | 15.0 | | | 8.8 | | | 6.2 | | | ns |
| データ出力パラメータ | | | | | | | | | | | | |
| 出力遅延 ² (t _{OD}) | 全範囲 | V | | 3.5 | | 3.5 | | | 3.5 | | | ns |
| パイプライン遅延 (レイテンシ) | 全範囲 | V | | 7 | | 7 | | | 7 | | | 周期 |
| アパーチャ遅延 | 全範囲 | V | | 1.0 | | 1.0 | | | 1.0 | | | ns |
| アパーチャ不確定性 (ジッター) | 全範囲 | V | | 0.5 | | 0.5 | | | 0.5 | | | ps rms |
| ウェイクアップ時間 ³ | 全範囲 | V | | 2.5 | | 2.5 | | | 2.5 | | | ms |
| 範囲外からの復帰時間 | 全範囲 | V | | 1 | | 1 | | | 2 | | | 周期 |

注

- デューティ・サイクル・スタビライザをイネーブルにしたAD9235-65モデルの場合DCS機能は末尾-20と-40のモデルには適用できません。
- 出力遅延は、各出力に5pFの負荷を接続して、クロック50%変化からデータ50%変化で測定。
- ウェイクアップ時間はデカップリング・コンデンサの値に依存。typ値はREFTとREFBのコンデンサ0.1μFと10μFで表示。
仕様は予告なく変更されることがあります。



AD9235 仕様

AC特性 (特に指定のない限り、AVDD = 3V、DRVDD = 2.5V、最大サンプル・レート、2V p-p差動入力、1.0V内部リファレンス、T_{MIN} ~ T_{MAX})

| パラメータ | 温度 | テスト・レベル | AD9235BRU-20 | | | AD9235BRU-40 | | | AD9235BRU-65 | | | 単位 |
|------------------------------|-----|---------|--------------|--------|--------|--------------|--------|--------|--------------|--------|-----|-----|
| | | | Min | Typ | Max | Min | Typ | Max | Min | Typ | Max | |
| S/N比 | | | | | | | | | | | | |
| f _{INPUT} = 2.4MHz | 25 | V | | 70.8 | | | 70.6 | | | 70.5 | | dBc |
| f _{INPUT} = 9.7MHz | 全範囲 | IV | 70.0 | 70.4 | | | | | | | | dBc |
| | 25 | I | | 70.6 | | | | | | | | dBc |
| f _{INPUT} = 19.6MHz | 全範囲 | IV | | | | 69.9 | 70.3 | | | | | dBc |
| | 25 | I | | | | | 70.4 | | | | | dBc |
| f _{INPUT} = 32.5MHz | 全範囲 | IV | | | | | | 68.7 | 69.7 | | | dBc |
| | 25 | I | | | | | | | 70.1 | | | dBc |
| f _{INPUT} = 100MHz | 25 | V | | 68.7 | | | 68.5 | | | 68.3 | | dBc |
| S/N比および歪み | | | | | | | | | | | | |
| f _{INPUT} = 2.4MHz | 25 | V | | 70.6 | | | 70.5 | | | 70.4 | | dBc |
| f _{INPUT} = 9.7MHz | 全範囲 | IV | 69.9 | 70.3 | | | | | | | | dBc |
| | 25 | I | | 70.5 | | | | | | | | dBc |
| f _{INPUT} = 19.6MHz | 全範囲 | IV | | | | 69.7 | 70.2 | | | | | dBc |
| | 25 | I | | | | | 70.3 | | | | | dBc |
| f _{INPUT} = 32.5MHz | 全範囲 | IV | | | | | | 68.3 | 69.5 | | | dBc |
| | 25 | I | | | | | | | 69.9 | | | dBc |
| f _{INPUT} = 100MHz | 25 | V | | 68.9 | | | 68.3 | | | 67.8 | | dBc |
| 合計高調波歪み | | | | | | | | | | | | |
| f _{INPUT} = 2.4MHz | 25 | V | | - 88.0 | | | - 89.0 | | | - 87.5 | | dBc |
| f _{INPUT} = 9.7MHz | 全範囲 | IV | | - 86.0 | - 79.0 | | | | | | | dBc |
| | 25 | I | | - 87.4 | | | | | | | | dBc |
| f _{INPUT} = 19.6MHz | 全範囲 | IV | | | | | - 85.5 | - 79.0 | | | | dBc |
| | 25 | I | | | | | - 86.0 | | | | | dBc |
| f _{INPUT} = 32.5MHz | 全範囲 | IV | | | | | | | - 81.8 | - 74.0 | | dBc |
| | 25 | I | | | | | | | - 82.0 | | | dBc |
| f _{INPUT} = 100MHz | 25 | V | | - 84.0 | | | - 82.5 | | | - 78.0 | | dBc |
| 最悪高調波 (2次または3次) | | | | | | | | | | | | |
| f _{INPUT} = 9.7MHz | 全範囲 | IV | | - 90.0 | - 80.0 | | | | | | | dBc |
| f _{INPUT} = 19.6MHz | 全範囲 | IV | | | | | - 90.0 | - 80.0 | | | | dBc |
| f _{INPUT} = 32.5MHz | 全範囲 | IV | | | | | | | - 83.5 | - 74.0 | | dBc |
| スプリアスフリー・ダイナミックレンジ | | | | | | | | | | | | |
| f _{INPUT} = 2.4MHz | 25 | V | | 92.0 | | | 92.0 | | | 92.0 | | dBc |
| f _{INPUT} = 9.7MHz | 全範囲 | IV | 80.0 | 8.5 | | | | | | | | dBc |
| | 25 | I | | 91.0 | | | | | | | | dBc |
| f _{INPUT} = 19.6MHz | 全範囲 | IV | | | | 80.0 | 89.0 | | | | | dBc |
| | 25 | I | | | | | 90.0 | | | | | dBc |
| f _{INPUT} = 32.5MHz | 全範囲 | IV | | | | | | 74.0 | 83.0 | | | dBc |
| | 25 | I | | | | | | | 85.0 | | | dBc |
| f _{INPUT} = 100MHz | 25 | V | | 84.0 | | | 85.0 | | | 80.5 | | dBc |

仕様は予告なく変更されることがあります。

絶対最大定格¹

| ピン名 | 基準 | Min | Max | 単位 |
|-------------------------|-------|-------|-------------|----|
| 電気条件 | | | | |
| AVDD | AGND | - 0.3 | + 3.9 | V |
| DRVDD | DRGND | - 0.3 | + 3.9 | V |
| AGND | DRGND | - 0.3 | + 0.3 | V |
| AVDD | DRVDD | - 3.9 | + 3.9 | V |
| デジタル出力 | DRGND | - 0.3 | DRVDD + 0.3 | V |
| CLOCK、MODE | AGND | - 0.3 | AVDD + 0.3 | V |
| VINA、VINB | AGND | - 0.3 | AVDD + 0.3 | V |
| VREF | AGND | - 0.3 | AVDD + 0.3 | V |
| SENSE | AGND | - 0.3 | AVDD + 0.3 | V |
| REFB、REFT | AGND | - 0.3 | AVDD + 0.3 | V |
| PDWN | AGND | - 0.3 | AVDD + 0.3 | V |
| 環境条件² | | | | |
| 動作温度 | | - 40 | + 85 | |
| 接合温度 | | | 150 | |
| ピン温度 (10秒) | | | 300 | |
| 保管温度 | | - 65 | + 150 | |

注

- 絶対最大定格は独立に適用される限界値であり、この値を超えると、回路動作が損なわれます。必ずしも機能的な動作を意味するものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。
- 28ピンTSSOPの熱抵抗 (Typ値) ; $J_A = 97.9 \text{ /W}$; $J_C = 14 \text{ /W}$ 。これらの値は、EIA/JESD51-3に準拠して自然空冷で2層ボードを使って測定。

テスト・レベルの説明

- 100%の出荷テストを実施。
- 25 で100%の出荷テストおよび指定温度でのサンプル・テストを実施。
- サンプル・テストのみを実施。
- パラメータは、設計およびキャラクタライゼーション・テストにより保証。
- パラメータは、typ値のみ。
- 25 で100%の出荷テストを実施し、さらに設計およびキャラクタライゼーション・テストにより工業用温度範囲を保証。軍用デバイスに対しては温度限界値で100%の出荷テストを実施。

オーダー・ガイド

| モデル | 温度範囲 | パッケージ | パッケージ・オプション |
|--------------|-------------|---------------------------------|-------------|
| AD9235BRU-20 | - 40 ~ + 85 | 28ピン薄型シュリンク・スモール・アウトライン (TSSOP) | RU-28 |
| AD9235BRU-40 | - 40 ~ + 85 | 28ピン薄型シュリンク・スモール・アウトライン (TSSOP) | RU-28 |
| AD9235BRU-65 | - 40 ~ + 85 | 28ピン薄型シュリンク・スモール・アウトライン (TSSOP) | RU-28 |
| AD9235-20PCB | | 評価ボード | |
| AD9235-40PCB | | 評価ボード | |
| AD9235-65PCB | | 評価ボード | |

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



AD9235

ピン機能の説明

| ピン番号 | 記号 | 説明 |
|-----------------|----------------------|--|
| 1 | OTR | 範囲外を表示。 |
| 2 | MODE | データ・フォーマットとクロック・デューティ・サイクル・スタビライザ (DCS) モードの選択。 |
| 3 | SENSE | リファレンスモードの選択。 |
| 4 | VREF | リファレンス入力 / 出力。 |
| 5 | REFB | 差動リファレンス (負側) |
| 6 | REFT | 差動リファレンス (正側) |
| 7、12 | AVDD | アナログ電源。 |
| 8、11 | AGND | アナログ・グラウンド。 |
| 9 | VINA | アナログ入力ピン (+) |
| 10 | VINB | アナログ入力ピン (-) |
| 13 | CLOCK | クロック入力ピン。 |
| 14 | PDWN | パワーダウン機能の選択 (アクティブ・ハイ)。 |
| 15 ~ 22、25 ~ 28 | D0 (LSB) ~ D11 (MSB) | データ出力ビット。 |
| 23 | DRGND | デジタル出力グラウンド。 |
| 24 | DRVDD | デジタル出力ドライバ電源。最小0.1 μ Fのコンデンサを使ってDRGNDからデカップリングする必要があります。0.1 μ Fと10 μ Fの並列接続によるデカップリングを推奨します。 |

ピン配置

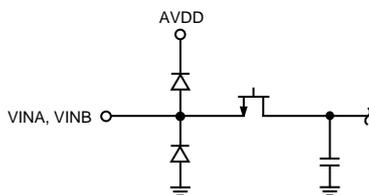
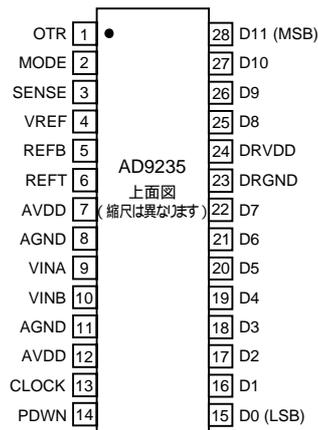


図2 アナログ入力の等価回路

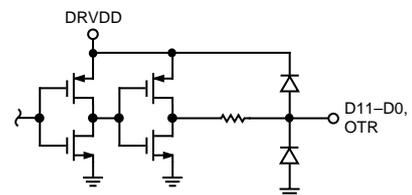


図4 デジタル出力の等価回路

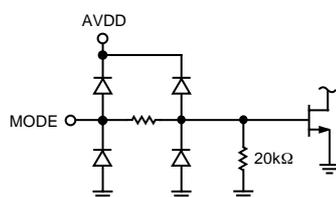


図3 MODE入力の等価回路

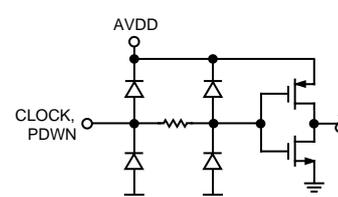


図5 デジタル入力の等価回路

仕様の定義**積分非直線性(INL)**

INLは、“負側のフルスケール”と“正側のフルスケール”を結ぶ直線と実際のコード出力との誤差として定義されます。

“負側のフルスケール”として使用されるポイントは、最初のコード遷移より1/2 LSB下に存在します。“正側のフルスケール”は、最後のコード変化より1.5 LSB上のレベルに存在します。偏差は各コードの中央の位置と直線の間の距離として測定されます。

微分非直線性(DNL、ノー・ミスコード)

理想的なA/Dコンバータでは、各コード遷移は1 LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差をいいます。ノー・ミスコードで12ビット分解能を保証するとは、全動作範囲で4096コードすべてが出力されることを意味します。

オフセット誤差

VINA = VINBより1/2 LSB小さいアナログ値に対して、主要なキャリア変化が発生します。ゼロ誤差は、そのポイントからの実際の変化の差と定義されます。

ゲイン誤差

最初のコード変化は、負側フルスケールより1/2 LSB大きいアナログ値で発生します。最後の変化は、正側フルスケールより1.5 LSB小さいアナログ値で発生します。ゲイン誤差は、最初と最後のコード変化間の実際の差と、最初と最後のコード変化間の理想的な差との偏差を表します。

温度ドリフト

ゼロ誤差とゲイン誤差の温度ドリフトは、初期値(25)から T_{MIN} または T_{MAX} における値までの最大変化を規定します。

電源変動除去

この仕様は、電源が最小規定値から最大規定値に変化したときの、フルスケール値の最大変化を表します。

アパーチャ・ジッター

アパーチャ・ジッターは連続サンプルでのアパーチャ遅延の変動であり、A/Dコンバータ入力でのノイズとして扱うことができます。

アパーチャ遅延

アパーチャ遅延はサンプル / ホールド・アンプ(SHA)の性能を表し、クロック入力の立ち上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

信号対ノイズおよび歪み(S/N + D、SINAD)比

$S/(N + D)$ は、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値合計(DC以外の高調波を含む)に対する比です。 $S/(N + D)$ 値はdB単位で表します。

実効ビット数(ENOB)

サイン波に対して、SINADはビット数で表されます。

式 $N = (\text{SINAD} - 1.76) / 6.02$ を使うと、実効ビット数Nで表した性能を求めることができます。したがって、与えられた入力周波数のサイン波入力に対するデバイスの実効ビット数は、SINADの測定値から直接計算することができます。

合計高調波歪み(THD)

THDとは、基本波から6次高調波成分までのrms値の合計の、フルスケール入力信号のrms値に対する比をいい、パーセント値またはdB値で表します。

S/N比(SNR)

SNRは、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値合計から6次までの高調波成分を除いた分に対する比です。SNRは、dB値で表されます。

スプリアスフリー・ダイナミックレンジ(SFDR)

入力信号のrms振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB値で表します。

クロック・パルス幅およびデューティ・サイクル

ハイレベル・パルス幅は、定格性能を達成するために、クロック・パルスがロジック“1”状態を維持する必要がある最小時間幅です。ローレベル・パルス幅は、クロック・パルスがローレベル状態を維持する必要がある最小時間幅です。与えられたクロック・レートで、これらの仕様が許容クロック・デューティ・サイクルを決定します。

最小変換レート

保証規定値より最小周波数のアナログ信号のS/N比が3dB低下するクロック・レートをいいます。

最大変換レート

パラメータ・テストが実施されるクロック・レート。

出力伝搬遅延

クロック・ロジックのスレシヨルドから全ビットが有効ロジック・レベルになるまでの遅延を表します。

2周波SFDR

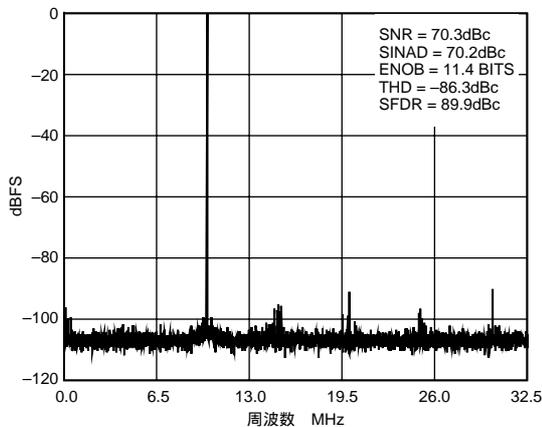
いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。dBα(信号レベルを小さくした場合の劣化)またはdBFS(コンバータのフルスケールに換算)で表されることがあります。

範囲外からの回復時間

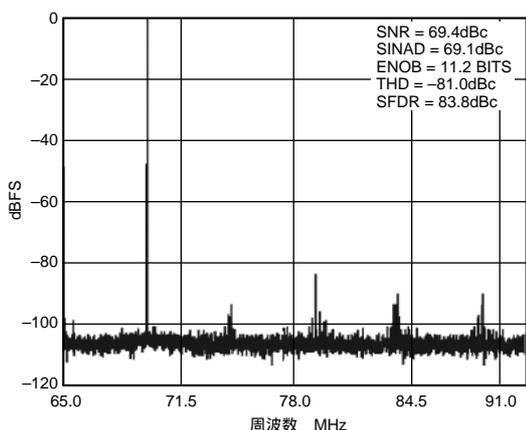
範囲外からの回復時間とは、正側フルスケールの10%上から負側フルスケールの10%上までの変化の後、または負側フルスケールの10%下から正側フルスケールの10%下までの変化の後に、A/Dコンバータがアナログ入力を再度取り込むために要する時間をいいます。

AD9235 代表的な性能特性

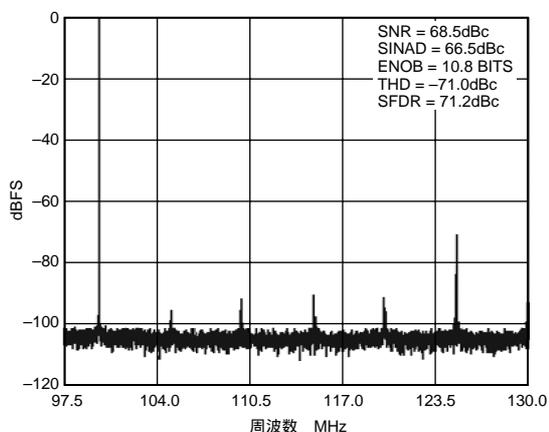
(特に指定のない限り、AVDD = 3.0V、DRVDD = 2.5V、DCSをイネーブルで $f_{\text{SAMPLE}} = 65\text{MSPS}$ 、 $T_A = 25$ 、2V差動入力、 $A_{\text{IN}} = -0.5\text{dBFS}$ 、VREF = 1.0V)



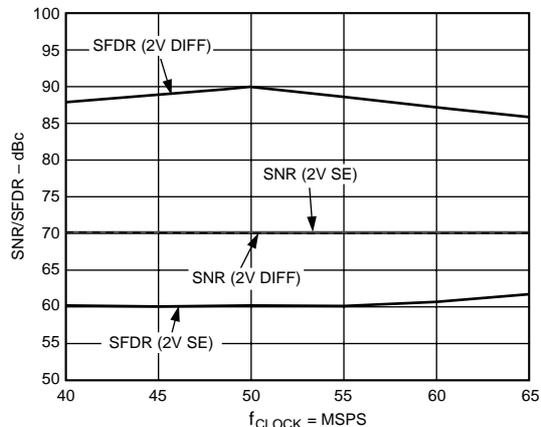
特性1 単周波8K FFT ($f_{\text{IN}} = 10\text{MHz}$)



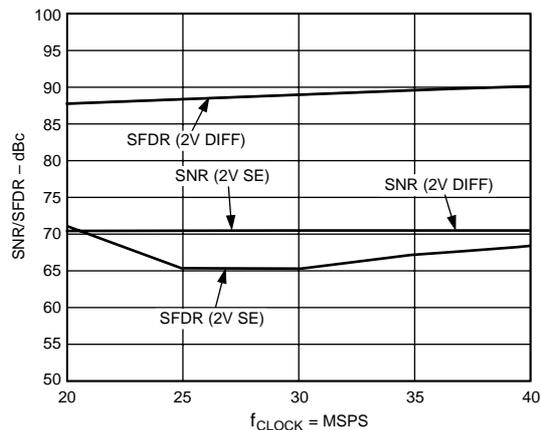
特性2 単周波8K FFT ($f_{\text{IN}} = 70\text{MHz}$)



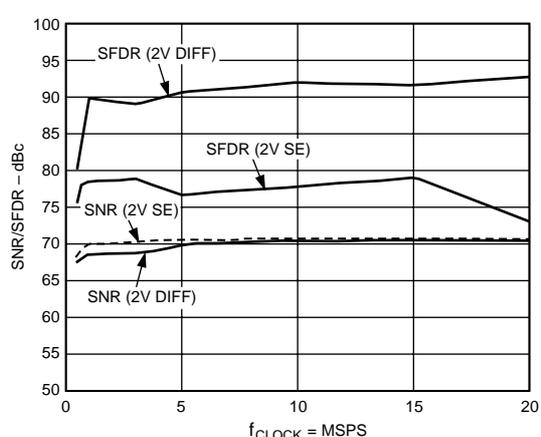
特性3 単周波8K FFT、($f_{\text{IN}} = 100\text{MHz}$)



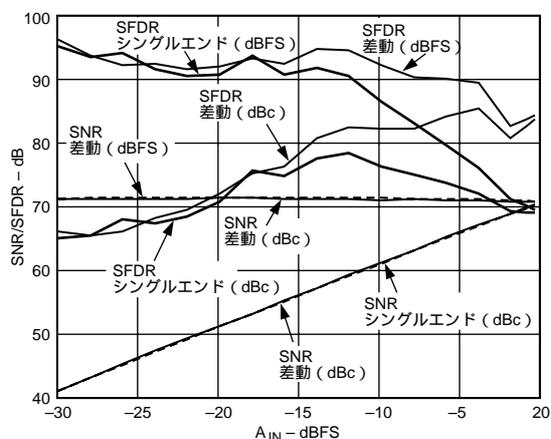
特性4 AD9235-65: 単周波SNR/SFDR 対 f_{CLOCK} ($f_{\text{IN}} = \text{ナイキスト周波数、} 32.5\text{MHz}$)



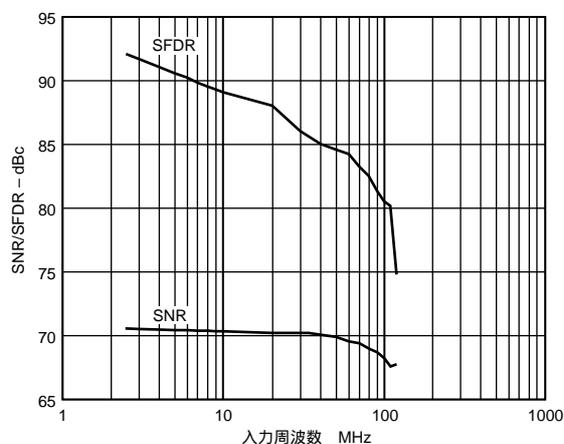
特性5 AD9235-40: 単周波SNR/SFDR 対 f_{CLOCK} ($f_{\text{IN}} = \text{ナイキスト周波数、} 20\text{MHz}$)



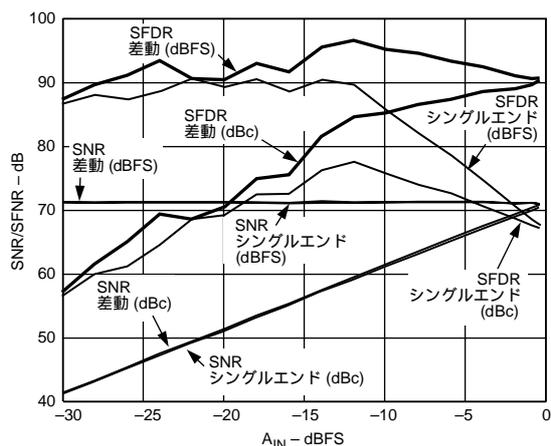
特性6 AD9235-20: 単周波SNR/SFDR 対 f_{CLOCK} の関係 ($f_{\text{IN}} = \text{ナイキスト周波数、} 10\text{MHz}$)



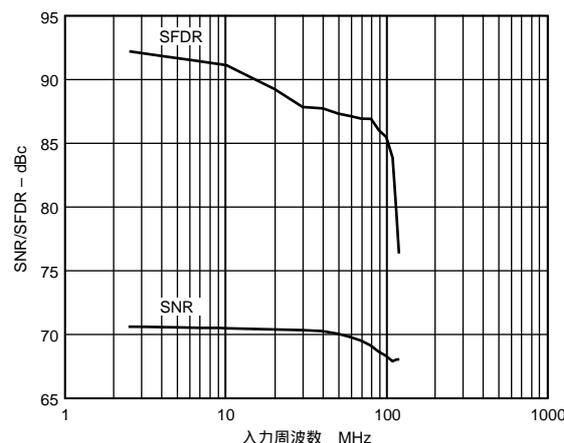
特性7 AD9235-65 : 単周波SNR/SFDR 対 A_{IN}
(f_{IN} = ナイキスト周波数、32.5MHz)



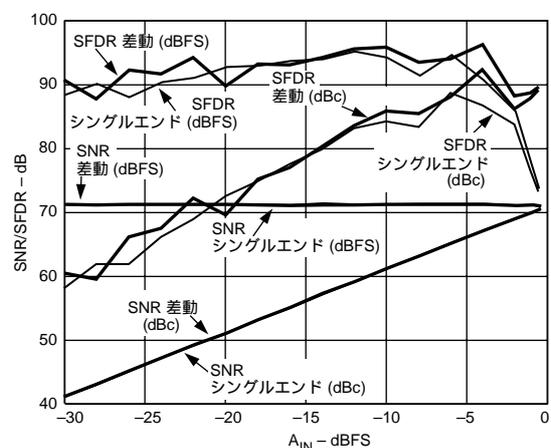
特性10 AD9235-65 : SNR/SFDRの周波数特性



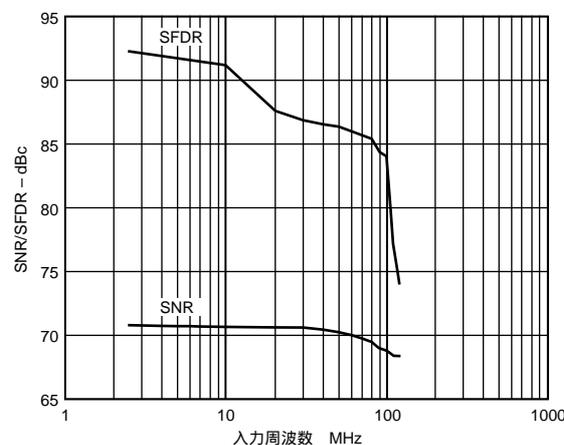
特性8 AD9235-40 : 単周波SNR/SFDR 対 A_{IN}
(f_{IN} = ナイキスト周波数、20MHz)



特性11 AD9235-40 : SNR/SFDRの周波数特性

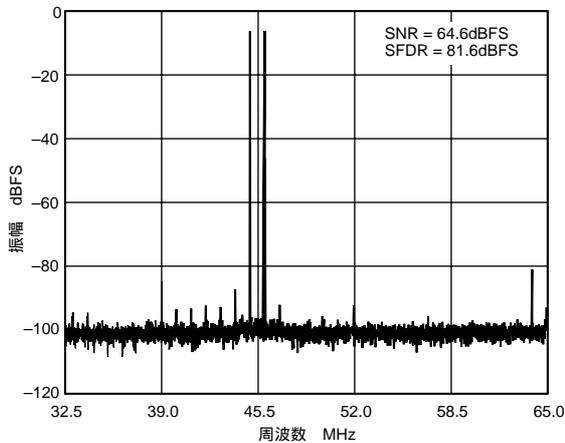


特性9 AD9235-20 : 単周波SNR/SFDR 対 A_{IN}
(f_{IN} = ナイキスト周波数、10MHz)

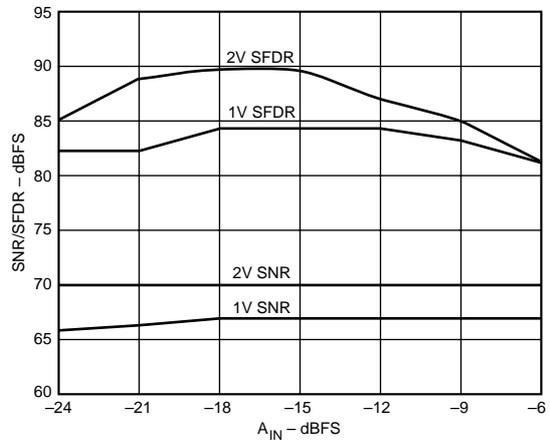


特性12 AD9235-20 : SNR/SFDRの周波数特性

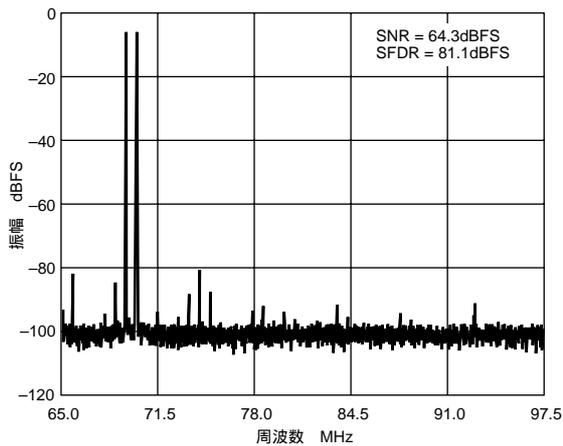
AD9235



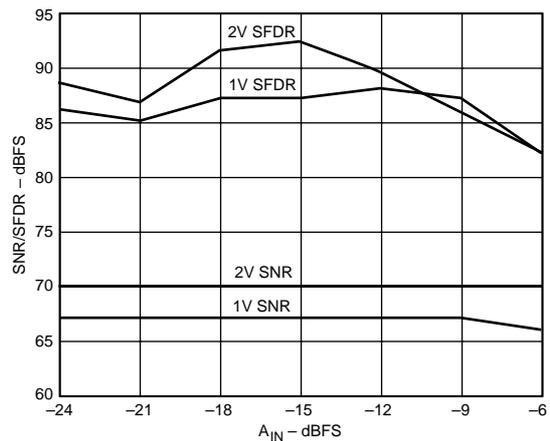
特性13 2周波8K FFT ($f_{IN1} = 45\text{MHz}$ 、 $f_{IN2} = 46\text{MHz}$)



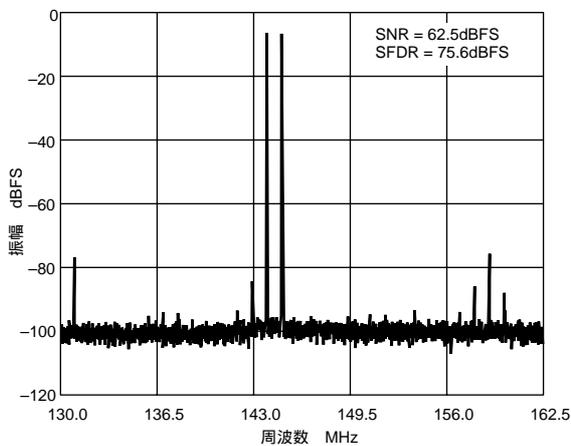
特性16 2周波SNR/SFDR 对 A_{IN}
($f_{IN1} = 45\text{MHz}$ 、 $f_{IN2} = 46\text{MHz}$)



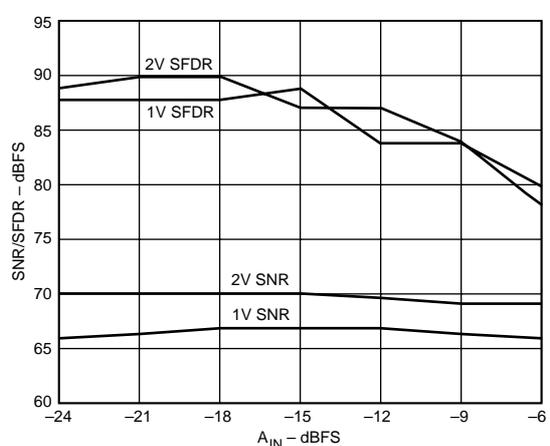
特性14 2周波8K FFT ($f_{IN1} = 69\text{MHz}$ 、 $f_{IN2} = 70\text{MHz}$)



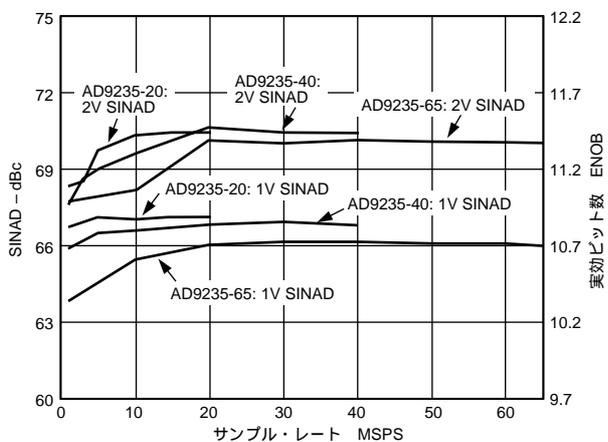
特性17 2周波SNR/SFDR 对 A_{IN}
($f_{IN1} = 69\text{MHz}$ 、 $f_{IN2} = 70\text{MHz}$)



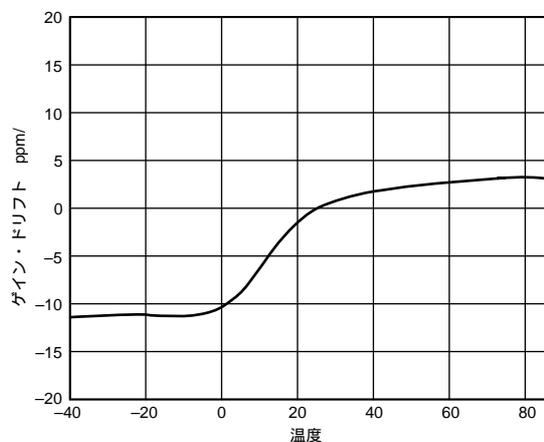
特性15 2周波8K FFT ($f_{IN1} = 144\text{MHz}$ 、 $f_{IN2} = 145\text{MHz}$)



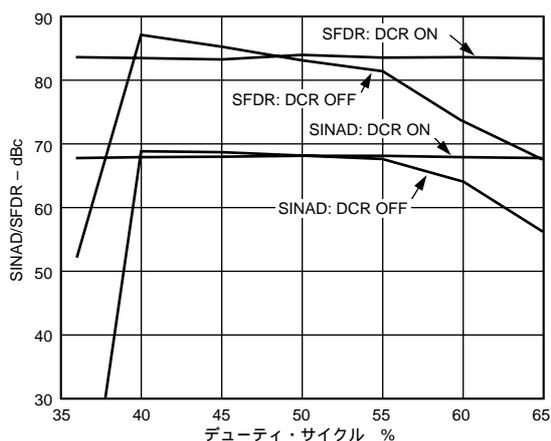
特性18 2周波SNR/SFDR 对 A_{IN}
($f_{IN1} = 144\text{MHz}$ 、 $f_{IN2} = 145\text{MHz}$)



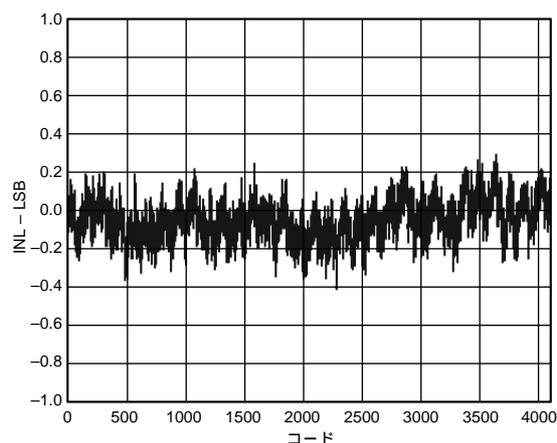
特性19 SINAD対 f_{CLOCK} (f_{IN} = ナイキスト周波数)



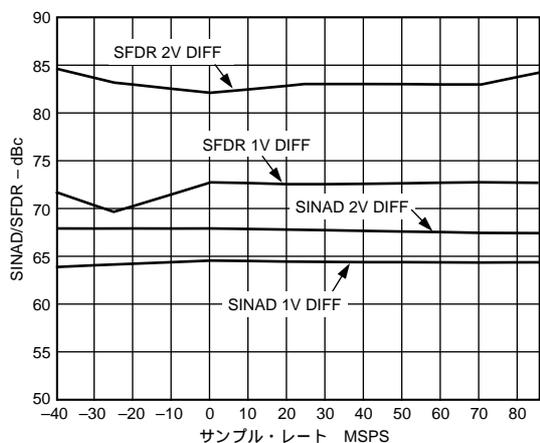
特性22 A/Dゲインの温度特性(外部リファレンスを使用)



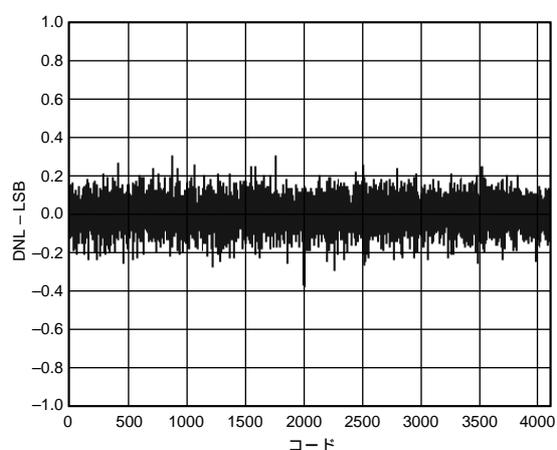
特性20 SINAD/SFDR 対 クロック・デューティ・サイクル



特性23 INLの代表値



特性21 SINAD/SFDRの温度特性 ($f_{\text{IN}} = 32.5\text{MHz}$)



特性24 DNLの代表値

AD9235

AD9235の応用

動作原理

AD9235のアーキテクチャは、フロントエンドのサンプル / ホールド・アンプ (SHA) と、これに続くパイプライン化されたスイッチド・コンデンサ型 A/Dコンバータから構成されています。パイプライン化された A/Dコンバータは、初段の4ビット・ステージとそれに続く8個の1.5ビット・ステージ、最終ステージの3ビット・フラッシュからなる4つの部分から構成されています。各ステージは、前ステージのフラッシュ誤差を補正するために、十分オーバーラップするようになっています。各ステージからの量子化された出力は、デジタル補正ロジック内で結合されて最終の12ビットになります。このパイプライン・アーキテクチャでは、初段ステージが新しい入力サンプルの処理中に、残りのステージは前のサンプル値の処理を並行して行うことができます。サンプリングはクロックの立ち上がりエッジで行われます。

最終ステージ以外のパイプラインの各ステージは、スイッチド・コンデンサDACに接続された低分解能のフラッシュA/Dコンバータとステージ間残留アンプ (MDAC) により構成されています。この残留アンプは、再生されたDAC出力とパイプライン内の次のステージに対するフラッシュ入力の差を増幅します。各ステージ内で冗長な1ビットを使って、フラッシュ誤差のデジタル補正を実現しています。最終ステージはフラッシュA/Dコンバータのみで構成されています。

入力ステージには差動SHAがあり、このSHAは差動モードまたはシングルエンド・モードで、AC結合またはDC結合が可能です。出力段のブロックでは、データの整列を行い、誤差補正を実行した後に、データを出力バッファに渡します。出力バッファは別電源から駆動されるため、出力電圧振幅の調整が可能です。パワーダウン時には、出力バッファは高インピーダンス状態になります。

アナログ入力

AD9235のアナログ入力は差動スイッチング・コンデンサ型のSHAであり、差動入力信号の処理で最適性能を持つようにデザインされています。このSHA入力では、広いコモン・モード範囲をサポートすることができるため、図7に示すように優れた性能を維持することができます。電源電圧の1/2での入力コモン・モード電圧により、信号依存の誤差が最小になるため、最適な性能を提供します。

図6に示すように、クロック信号を使って、SHAのサンプル・モードとホールド・モードを交互に切り替えます。SHAがサンプル・モードに切り替わるときは、信号源がサンプル・コンデンサを充電して、クロック・サイクルの1/2以内に整定する必要があります。各入力に直列に存在する小さい抵抗は、駆動源の出力ステージに必要なとされるピーク過渡電流を抑えるのに役立ちます。また、小さいコンデンサを入力間に接続して、動的充電電流を供給することもできます。この受動回路は、A/Dコンバータの入力でローパス・フィルタを構成するため、正確な値はアプリケーションに基づいて決定する必要があります。IFのアンダー・サンプリング・アプリケーションでは、この並列コンデンサはすべて除去する必要があります。信号源インピーダンスとこれらのコンデンサの組み合わせにより、入力帯域幅が制限されます。最適な動的性能を得るためには、VINAとVINBを駆動する信号源インピーダンスが一致していて、コモン・モード整定誤差が対称になる必要があります。これらの誤差は、A/Dコンバータのコモン・モード除去比により削減できます。

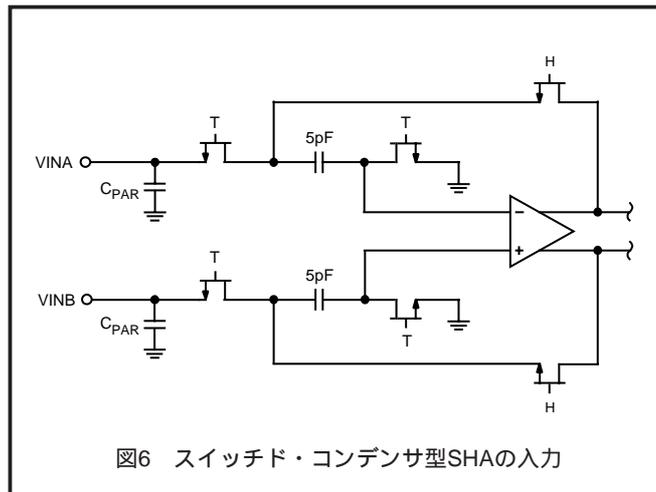


図6 スイッチド・コンデンサ型SHAの入力

内部の差動リファレンス・バッファが、正と負のリファレンス (REFTとREFB) を発生させ、これらがA/Dコアのスパンを決定します。リファレンス・バッファの出力コモン・モードは電源電圧の1/2に設定され、REFT電圧、REFB電圧、スパンは次のように決定されます。

$$REFT = 1/2(AVDD + VREF)$$

$$REFB = 1/2(AVDD - VREF)$$

$$\text{スパン} = 2 \times (REFT - REFB) = 2 \times VREF$$

上の式から明らかなように、REFT電圧とREFB電圧は電源電圧の1/2に対して対称であり、定義により、入力スパンはVREF電圧値の2倍になります。

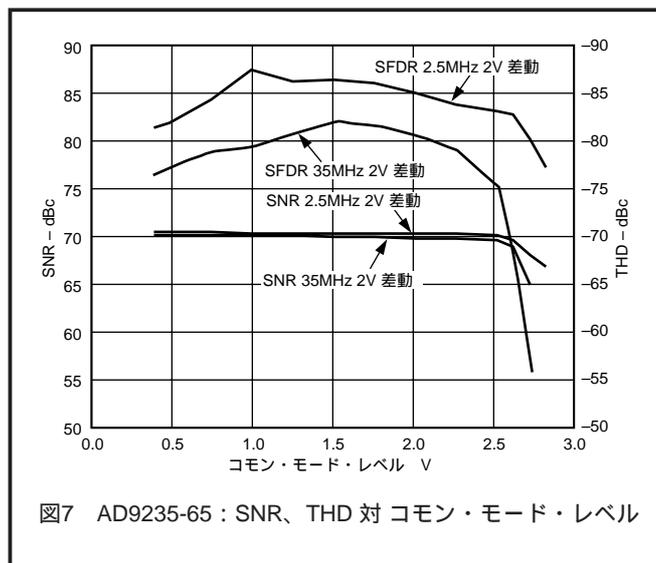


図7 AD9235-65 : SNR、THD 対 コモン・モード・レベル

内部リファレンスは固定値0.5Vまたは1.0Vにピン接続することも、または内部リファレンス接続の節で説明する同じ範囲で調整することもできます。

最大S/N比性能は、AD9235を最大入力スパンの2V p-pに設定したときに得られます。2V p-pモードから1V p-pモードに変更すると、S/N比が3dB劣化します。

SHAは、選択されたリファレンスに対して許容される範囲内に信号ピークを維持する信号源から駆動することができます。コモン・モード入力レベルの最小値と最大値は、次のように定義されます。

$$V_{CM_{MIN}} = V_{REF}/2$$

$$V_{CM_{MAX}} = (AVDD + V_{REF})/2$$

このコモン・モード入力レベルの最小値により、グラウンド基準の入力をAD9235に入力することが可能になっています。

最適性能は差動入力時に得られますが、シングルエンド信号源もVINAまたはVINBに入力できます。この構成では、一方の入力に信号を接続し、他方の入力は、該当するリファレンスに接続することにより、電源電圧の1/2の値に設定します。例えば、VINAに2V p-pの信号を入力し、VINBには1Vのリファレンスを入力できます。このように設定すると、AD9235には2~0Vで変化する信号を入力できます。シングルエンド構成では、歪み性能が差動構成に比べて大幅に低下します。ただし、入力周波数が低い程、および低速グレード・モデル(AD9235-40とAD9235-20)では、この影響は小さくなります。

差動入力構成

前述のように、最適性能は差動入力構成でAD9235を駆動するときには得られます。ベースバンド・アプリケーションに対しては、AD8138差動ドライバが優れた性能とA/Dコンバータに対するフレキシブルなインターフェースを提供します。AD8138の出力コモン・モード電圧は容易にAVDD/2に設定することができ、ドライバは入力信号帯域制限機能を持つSallen Keyフィルタ回路として構成できます。

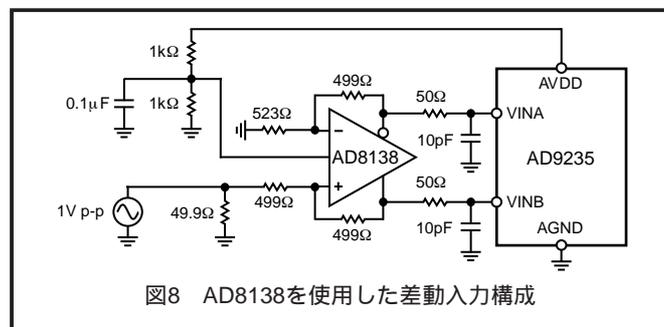


図8 AD8138を使用した差動入力構成

2次ナイキスト領域およびそれ以上の入力周波数では、大部分のアンプの性能はAD9235の真の性能を得るためには不十分です。特に、70~200MHzの範囲の周波数をサンプリングするIFアンダーサンプリング・アプリケーションでは、不十分です。これらのアプリケーションに対しては、図9に示す差動トランス・カップリングの入力構成を推奨します。

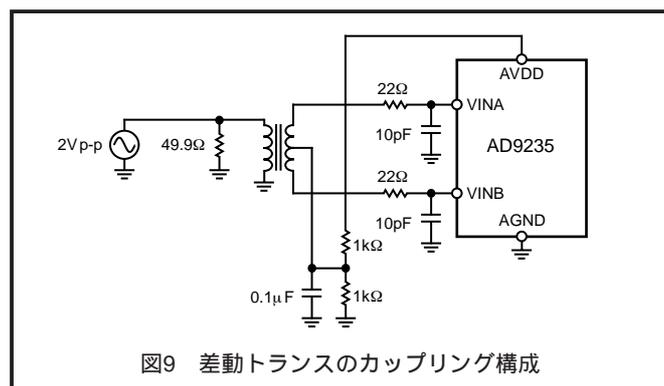


図9 差動トランスのカップリング構成

トランスを選択する際は、信号特性を考慮する必要があります。多くのRFトランスは数MHz以下の周波数で飽和してしまうため、信号電力が大きくなることによりコアの飽和も発生して、これが歪みの原因になります。

シングルエンド入力構成

シングルエンド入力は、低価格アプリケーションで妥当な性能を提供できます。この構成では、大きな入力コモン・モード振幅によりSFDRと歪みの性能が低下します。ただし、各入力の信号源インピーダンスを一致させると、S/N比への影響をなくせます。図10に、代表的なシングルエンド入力構成を示します。

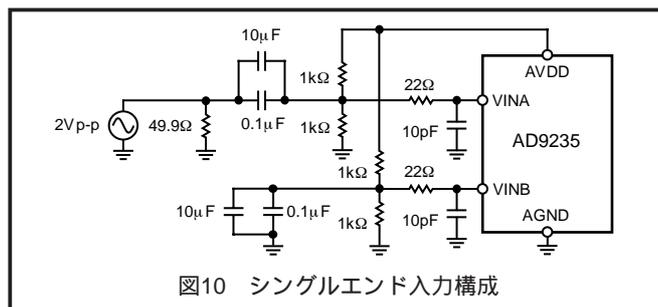


図10 シングルエンド入力構成

クロック入力と考慮事項

一般に高速A/Dコンバータでは両クロック・エッジを使って様々な内部タイミング信号を発生させるため、クロック・デューティ・サイクルの変化に対して敏感です。動的な性能特性を維持するためには、一般にクロック・デューティ・サイクルの変化を5%以内に抑える必要があります。AD9235には、クロック・デューティ・サイクル・スタビライザが内蔵されており、非サンプリング・エッジのタイミングを再生して、公称50%のデューティ・サイクルを持つ内部クロック信号を供給しています。この機能により、AD9235の性能に悪影響を与えずに、広い範囲のデューティ・サイクルを持つクロック入力を可能にしています。特性20に示すように、ノイズと歪みの性能は、30%の範囲のデューティ・サイクルに対してほぼ平坦です。

このデューティ・サイクル・スタビライザは、遅延ロック・ループ(DLL)を使って非サンプリング・エッジを再生しています。そのため、サンプリング周波数が変化すると、新しいレートにロックするためにDLLは約100クロック・サイクルを必要とします。

高速・高分解能のA/Dコンバータは、クロック入力の品質に敏感です。与えられたフルスケール入力周波数(f_{INPUT})での、アパーチャ・ジッター(t_A)のみに起因するS/N比の低下は、次式を使って計算できます。

$$S/N \text{ 比の低下} = 20 \times \log_{10} [1/2 \times \sqrt{f_{INPUT} \times t_A}]$$

この式では、アパーチャ・ジッター実効値 t_A は全ジッター源の二乗和平方根を表しており、これにはクロック入力、アナログ入力信号、A/Dアパーチャ・ジッター仕様値が含まれています。アンダーサンプリング・アプリケーションは特にジッターに敏感です。

アパーチャ・ジッターがAD9235のダイナミックレンジに影響を与える場合は、クロック入力をアナログ信号として扱う必要があります。クロック・ドライバの電源はA/Dコンバータ出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにする必要があります。低ジッターの水晶制御発振器は最適なクロック源です。クロックが別のタイプの信号源(ゲート、分周器、または他の方法)で発生される場合は、最終段で元のクロックを使ってタイミングを再生する必要があります。

AD9235

表1 リファレンスSENSE動作

| SENSE電圧 | 内部スイッチ位置 | 選択するモード | VREF (V) | 差動スパン (V p-p) |
|-------------|----------|----------------|--------------------------|------------------|
| AVDD | N/A | 外部リファレンス | N/A | 2 × 外部リファレンス |
| VREF | SENSE | 内部固定リファレンス | 0.5 | 1.0 |
| 0.2V ~ VREF | SENSE | プログラマブルなリファレンス | $0.5 \times (1 + R2/R1)$ | 2 × VREF (図13参照) |
| AGND ~ 0.2V | 内蔵分割器 | 内部固定リファレンス | 1.0 | 2.0 |

消費電力とスタンバイ・モード

図11に示すように、AD9235の消費電力はサンプル・レートに比例します。3種類のスピード・グレード間でデジタル消費電力はそれほど変化しません。これは主にデジタル・ドライバの電流と各出力ビットの負荷により、消費電力が決定されるためです。DRVDDの最大電流は次のように計算されます。

$$I_{DRVDD} = V_{DRVDD} \times C_{LOAD} \times f_{CLOCK} \times N$$

ここで、Nは出力ビット数で、AD9235の場合は12です。この最大電流は、各出力ビットが各クロック・サイクルでスイッチングしている状態での値であり、この状態はナイキスト周波数 ($f_{CLOCK}/2$) のフルスケール方形波が入力された場合にのみ発生します。実用的には、DRVDD電流はスイッチングする出力ビット数の平均値を使って計算され、この平均値はエンコード・レートとアナログ入力信号特性により決定されます。

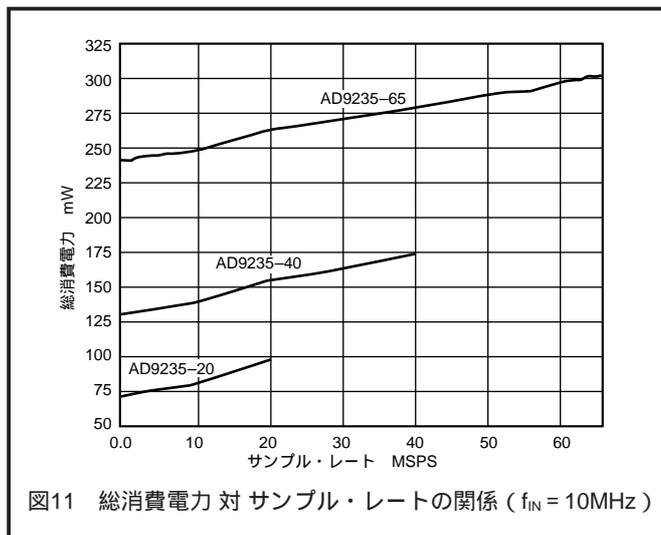


図11 総消費電力 対 サンプル・レートの関係 ($f_{IN} = 10\text{MHz}$)

AD9235-20スピード・グレードに対しては、デジタル消費電力は総消費電力の10%として表すことができます。デジタル消費電力は、出力ドライバに接続される容量性負荷を抑えることにより、減らせます。図11に示すデータは、各出力ドライバに5pFの負荷を接続して取得したものです。

アナログ回路は、各スピード・グレードで優れた性能を提供し、かつ消費電力を削減できるように、最適なバイアスが与えられています。各スピード・グレードは低いサンプル・レートで基本的な電力を消費しますが、この電力はクロック周波数に比例して増加します。

PDWNPピンをハイレベルにすると、AD9235はスタンバイ・モードになります。この状態では、クロック入力とアナログ入力が入力されているときのA/Dコンバータの消費電力は1mW (typ値)です。スタンバイ時の出力ドライバは高インピーダンス状態になります。PDWNPピンをローレベ

ルにすると、AD9235は通常の動作モードに戻ります。

スタンバイ・モードでは、リファレンス、リファレンス・バッファ、バイアス回路をシャットダウンすることにより低消費電力を実現します。スタンバイ・モードに入るとき、REFTとREFBに接続するデカップリング・コンデンサが放電し、通常動作に戻る際にこれらをプリチャージする必要があります。そのため、ウェイクアップ時間はスタンバイ・モードに留まっていた時間に関係し、スタンバイ時間が短い程、ウェイクアップ時間が短くなります。REFTとREFBに推奨値の0.1 μF と10 μF デカップリング・コンデンサを接続した場合、リファレンス・バッファ・デカップリング・コンデンサの放電には約1秒を要し、フル動作に戻るためには5msを要します。

デジタル出力

AD9235の出力ドライバは、DRVDDとインターフェース・ロジックのデジタル電源を一致させることにより、2.5Vまたは3.3Vのロジック・ファミリーとインターフェースするように設定できます。出力ドライバは、あらゆるロジック・ファミリーを駆動するために十分な出力電流を提供するように設計されています。ただし、大きな駆動電流は電源にグリッチを生じさせる傾向を持つため、コンバータ性能に影響を与えることがあります。ADCにより大きな容量負荷または大きなファンアウトを駆動する必要があるアプリケーションでは、外付けバッファまたはラッチが必要となる場合があります。

表IIIに示すように、オフセット・バイナリまたは2の補数のデータ・フォーマットを選択できます。

タイミング

AD9235は、6クロック・サイクルのパイプライン遅延を持つラッチされたデータを出力します。データ出力は、クロック信号の立ち上がりエッジ後の1伝搬遅延 (t_{OD}) で有効になります。詳しいタイミング図については図1を参照してください。

出力データ・ラインの長さ、それらに接続された負荷を最小にしてAD9235内部での過渡電圧を抑える必要があります。これらの過渡電圧はコンバータのダイナミック性能を低下させる場合があります。

AD9235の最小変換レート (typ値) は1MSPSです。1MSPSより低いクロック・レートでは、ダイナミック性能が低下する場合があります。

リファレンス

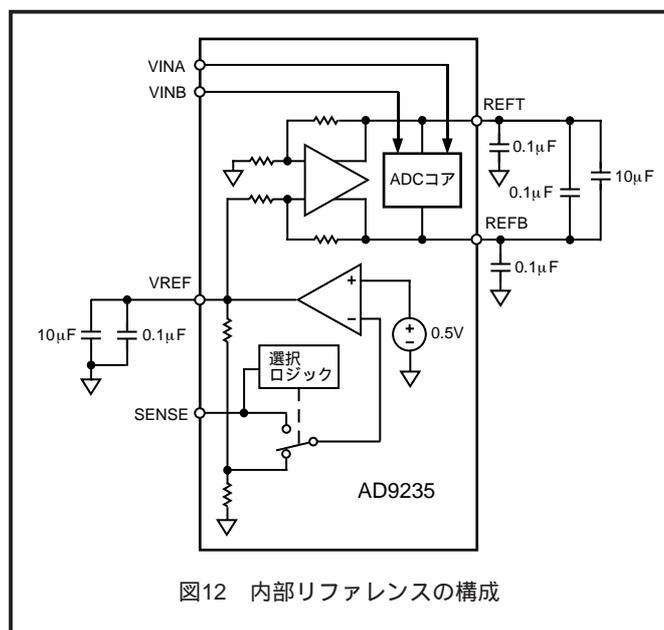
AD9235は、安定した正確な0.5Vのリファレンスを内蔵しています。内部 / 外部リファレンスを使ってAD9235に入力されるリファレンスを変えることにより、入力範囲を調整できます。A/Dコンバータの入力スパンは、リファレンスの変化に比例して変化します。

変成器を使って差動でA/Dを駆動する場合は、リファレンスを使ってセンタータップをバイアスできます (コモン・モード電圧)。

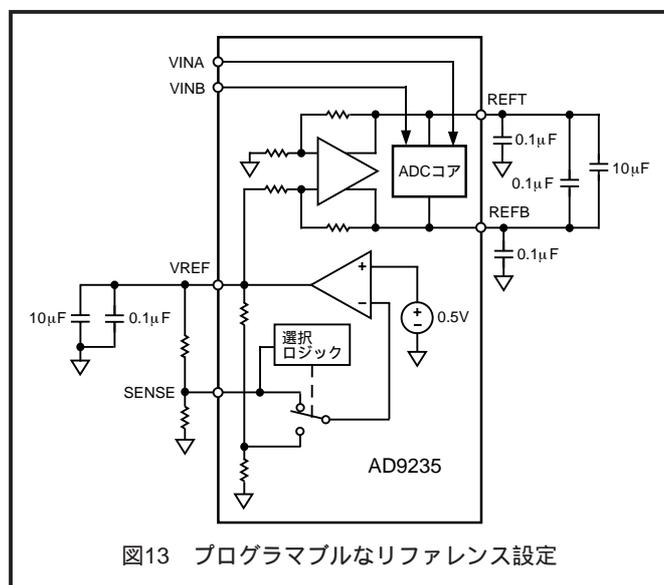
内部リファレンスの接続

AD9235に内蔵されているコンパレータがSENSEピンの電位を検出し、リファレンスを表Iに示す4つの状態に設定します。SENSEがグラウンド・レベルの場合、リファレンス・アンプ・スイッチは内部抵抗分割器(図12)に接続され、VREFが1Vに設定されます。SENSEピンをVREFスイッチに接続すると、リファレンス・アンプ出力はSENSEピンに接続され、ループを構成して0.5Vのリファレンスを出力します。抵抗分割器が図13のように接続された場合にも、スイッチはSENSEピンに接続されます。この接続により、リファレンス・アンプは非反転モードになり、VREF出力は次のように決定されます。

$$V_{REF} = 0.5 \times (1 + R2/R1)$$

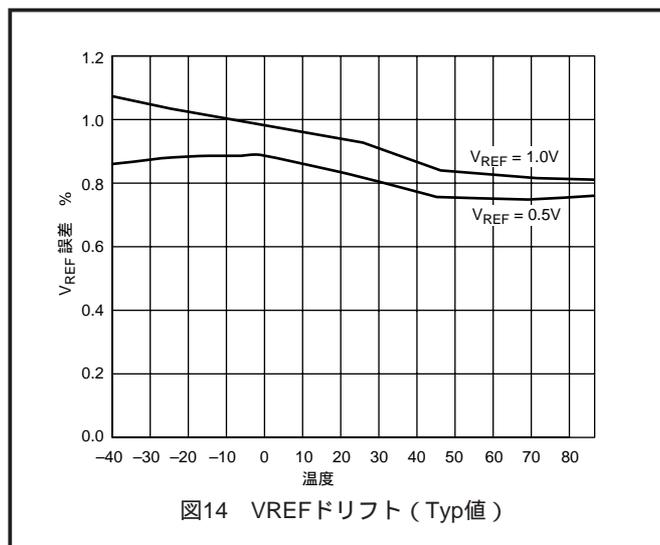


すべてのリファレンス設定で、REFTとREFBがA/D変換コアを駆動し、入力スパンを決定します。A/Dの入力範囲は、内部/外部リファレンスに対して、常にリファレンスピンの電圧の2倍になります。

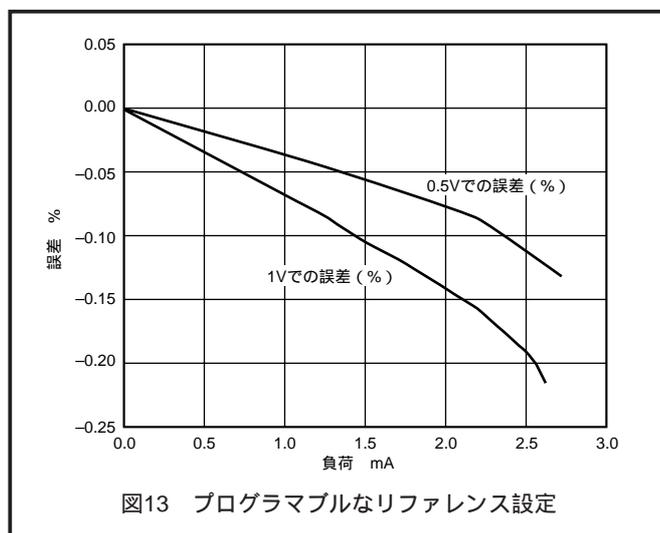


外部リファレンスによる動作

A/Dコンバータのゲイン精度または熱ドリフト特性を改善するために、外部リファレンスの使用が必要となることがあります。複数のA/Dコンバータが互に相手を監視する場合は、ゲイン不一致誤差を許容レベルまで抑えるために、1つのリファレンス(内部/外部)を使う必要があります。ゲインとオフセットの温度ドリフトを削減するために、高精度の外部リファレンスを選択することもあります。図14に、1Vモードと0.5Vモードでの内部リファレンスのドリフト特性(typ値)を示します。



SENSEピンをAVDDに接続すると、内部リファレンスがディスエーブルにされて、外部リファレンスの使用が可能になります。内部リファレンスのバッファは、外部リファレンスに対して7kの等価負荷になります。内部バッファは、A/Dコンバータ・コアに対する正と負のフルスケール・リファレンス(REFTとREFB)の供給を続けています。入力スパンは常にリファレンスの2倍であるため、外部リファレンスは最大1Vに制限してください。ゲインのマッチングを改善するために複数のコンバータをAD9235の内部リファレンスから駆動する場合は、他のコンバータによるリファレンス負荷を考慮する必要があります。図15に、内部リファレンスに対する負荷の影響を示します。



AD9235

動作モードの選択

前述のように、AD9235はオフセット・バイナリ・フォーマットまたは2の補数フォーマットでデータを出力できます。クロック・デューティ・サイクル・スタビライザ (DCS) をイネーブル/ディスエーブルにする機能も備えています。MODEピンは、データ・フォーマットとDCS状態を制御するマルチレベル入力です。入力スレシヨルド値と対応するモード選択の概要を次に説明します。

表 II モード選択

| MODE ピンの電圧 | データ・ フォーマット | デューティ・サイクル・ スタビライザ |
|---------------|----------------|-----------------------|
| AVDD | 2の補数 | ディスエーブル |
| 2/3AVDD | 2の補数 | イネーブル |
| 1/3AVDD | オフセット・バイナリ | イネーブル |
| AGND(デフォルト) | オフセット・バイナリ | ディスエーブル |

MODEピンは、内部で20k の抵抗を使ってAGNDにプルダウンされています。

評価ボード

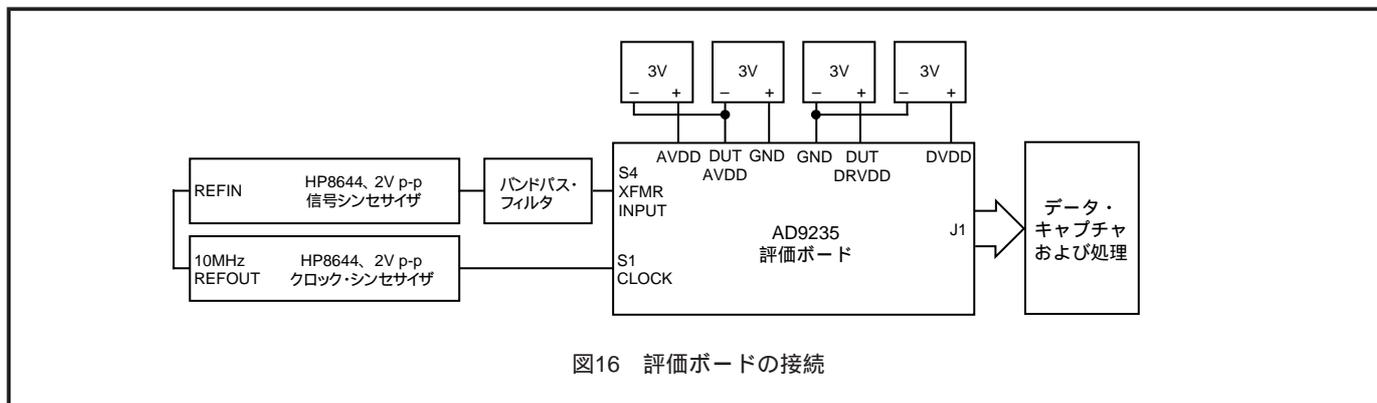
AD9235評価ボードは、あらゆるモードと設定でA/Dコンバータを動作させるために必要なすべてのサポート回路を提供します。コンバータは、AD8138ドライバまたはトランスを使って、差動/シングルエンドで駆動できます。DUTをサポート回路から分離するために分離させた電源ピンが用

意されています。各入力構成は、さまざまなジャンパ接続により選択できます (回路図参照)。

図16に、AD9235のAC性能を評価するときに使う代表的なベンチ特性評価の接続を示します。非常に低い位相ノイズ (1ps未満のrmsジッター) を持つ信号源を使って、コンバータの極限性能を得ることは、非常に重要です。仕様のノイズ性能を得るためには、入力信号の適切なフィルタリングにより、高調波を除去し、入力での総合ノイズを小さくすることも必要です。

最小のジッターとS/N比を必要とするアプリケーション (IFアンダーサンプリング特性評価) ではAUXCLK入力を選択する必要があります。この入力を使うと、AD9235のターゲット・サンプル・レートの4倍のクロック入力信号を入力できます。低ジッター、差動の4分周カウンタ、MC100LVEL33Dを使うと、1xクロック出力を得られます。このクロックはJP9を経由してクロック入力に戻されます。例えば、260MHz信号 (サイン波) は65MHzの信号になるまで分周されてA/Dのクロックになります。AUXCLKインターフェースではR1を除く必要があることに注意してください。多くのRF信号ジェネレータは高い出力周波数で位相ノイズが良くなり、かつサイン波出力信号のスルーレートは等しい振幅の1倍信号の4倍であるため、このインターフェースで低ジッターが得られる場合があります。

回路図とレイアウトを以下に示します。これらはシステム・レベルで使用するための適切な配線とグラウンド接続の技術をデモンストレーションするものです。



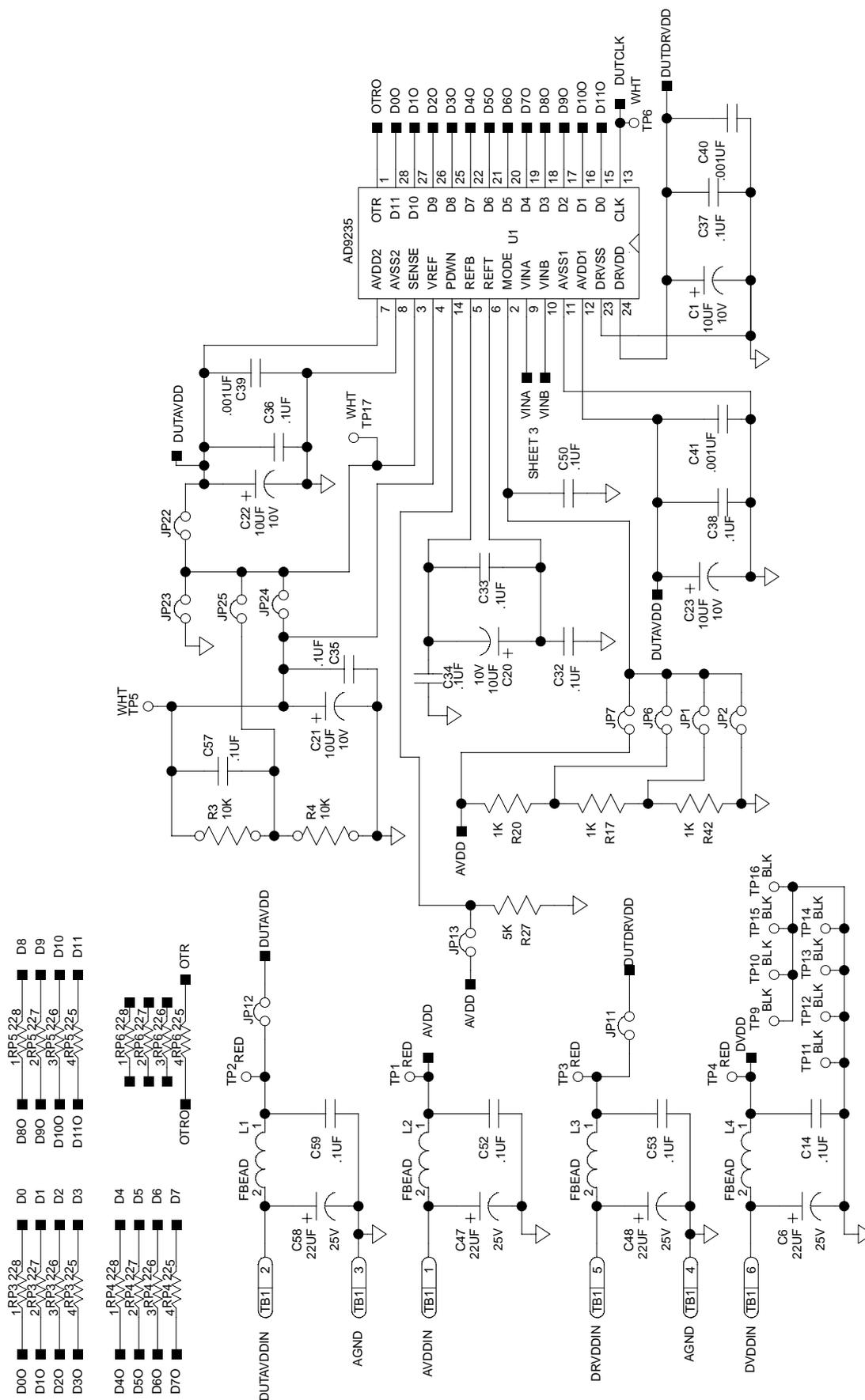


図17 評価ボードの回路図 DUT

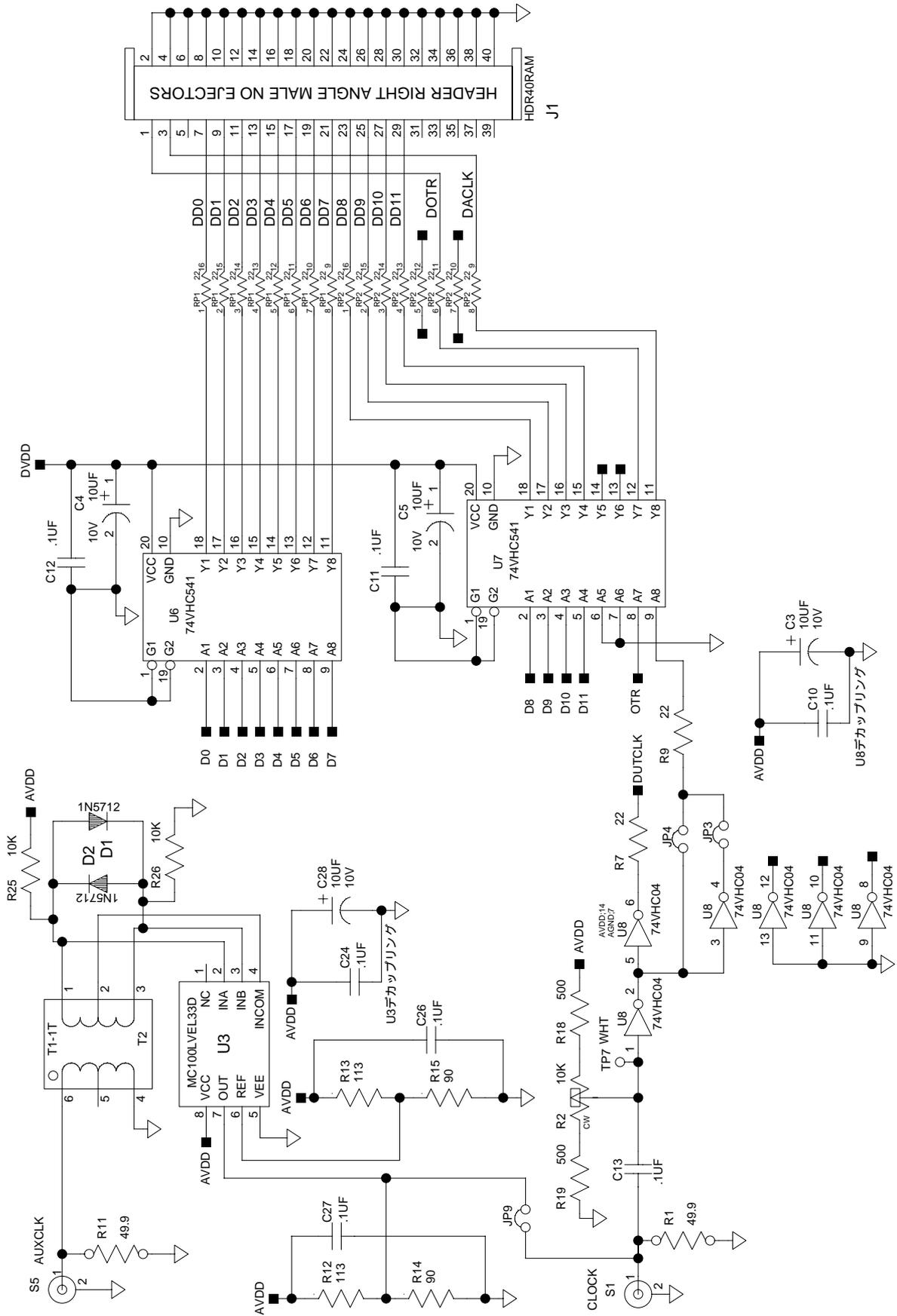


図18 評価ボードの回路図 クロック入力と出力バッファ

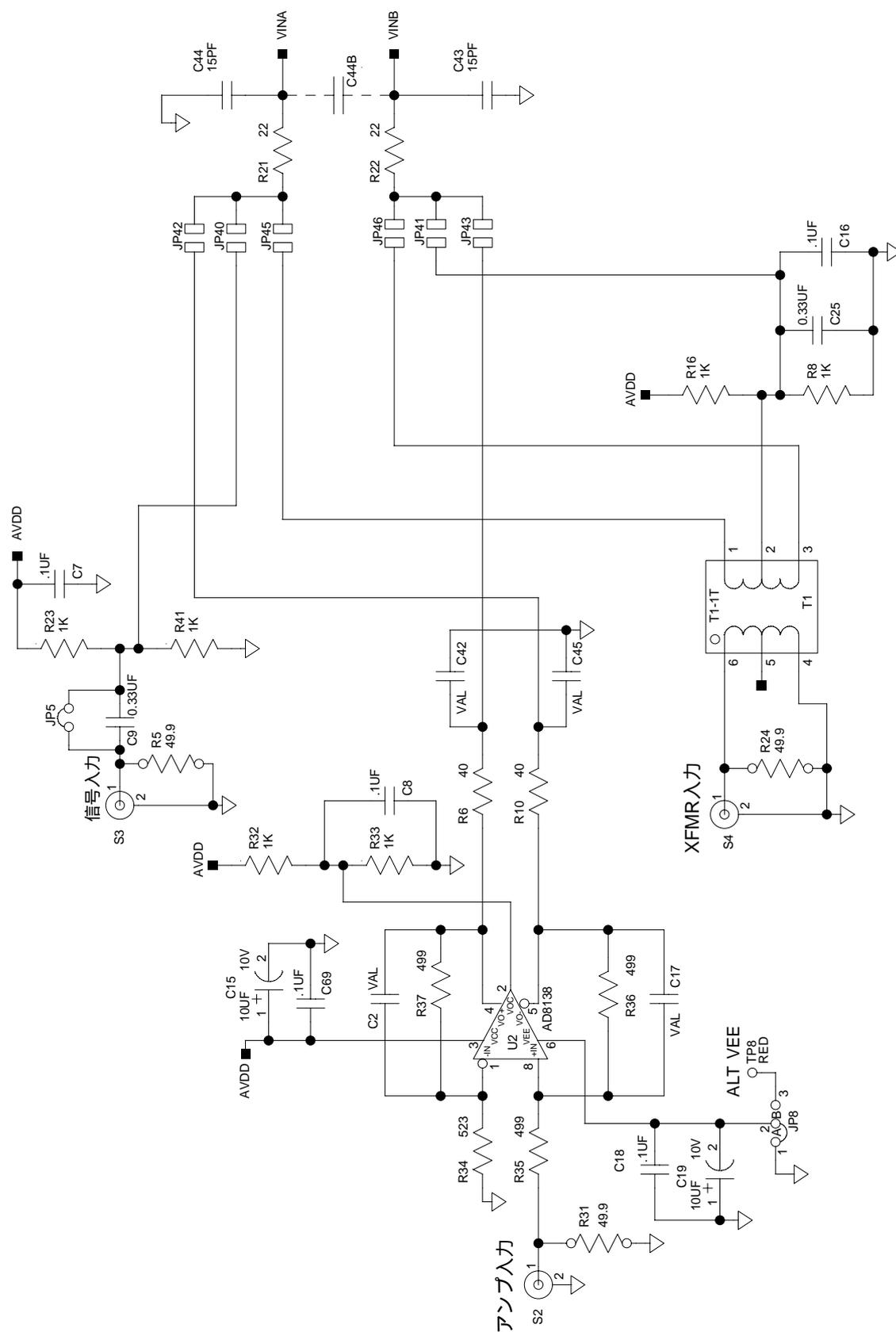


図19 評価ボードの回路図 アナログ入力

AD9235

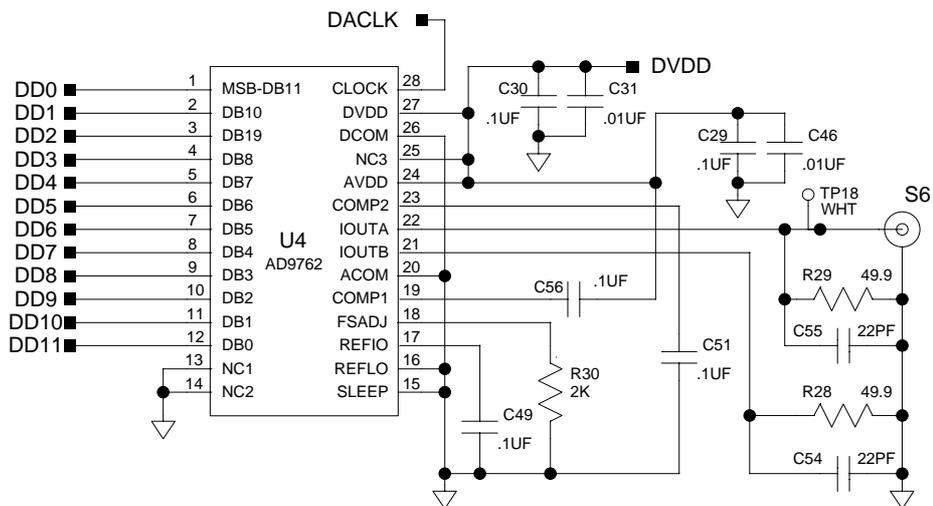


図20 評価ボードの回路図 オプションのD/Aコンバータ

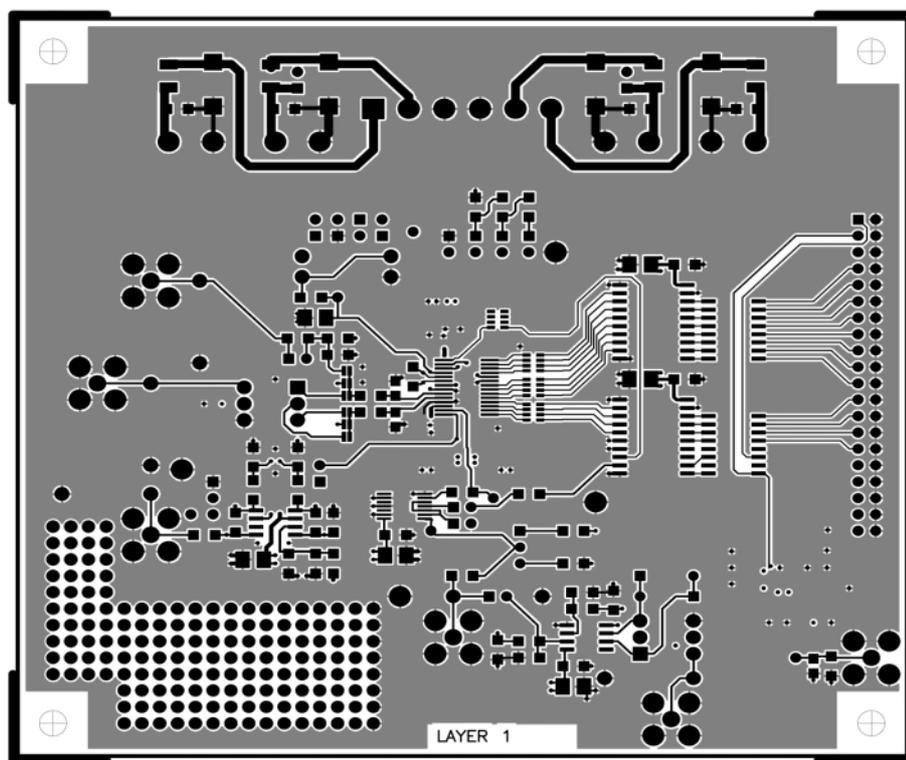


図21 評価ボードのレイアウト 表面

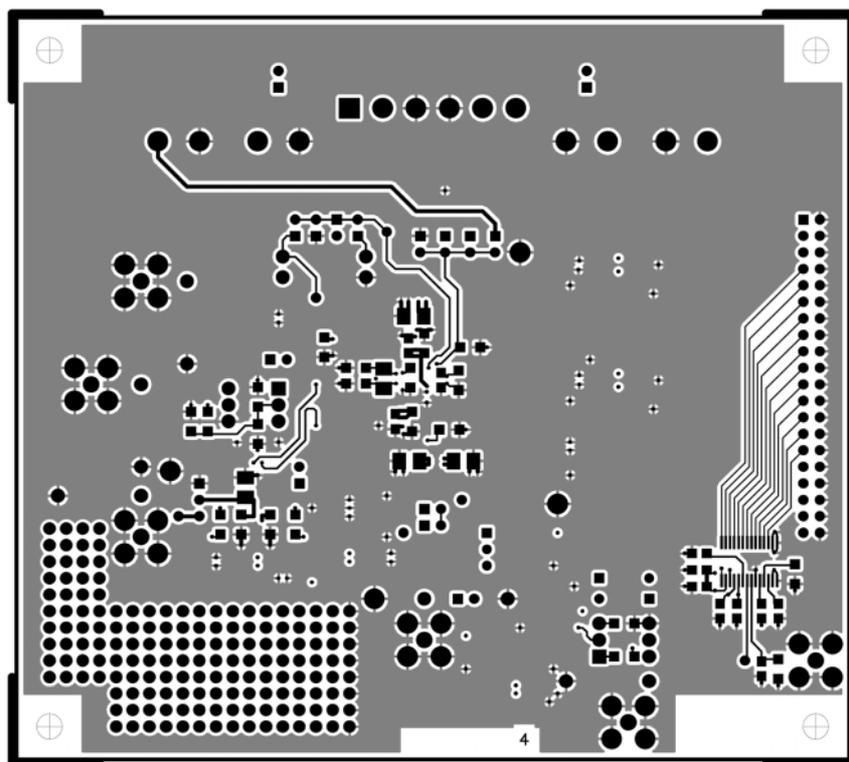


図22 評価ボードのレイアウト 裏面

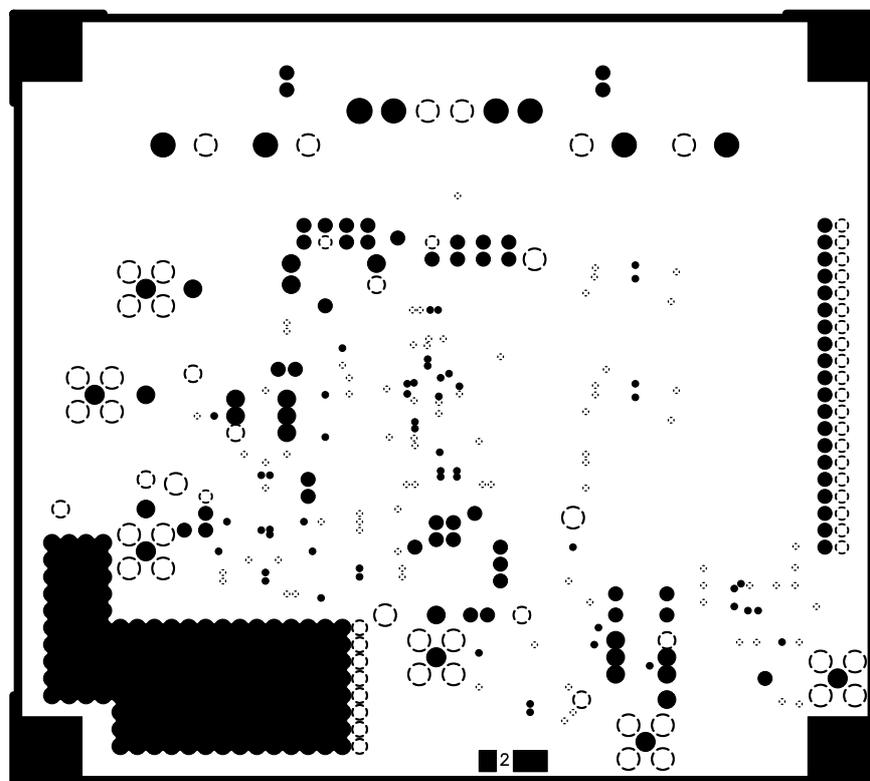


図23 評価ボードのレイアウト グラウンド・プレーン

AD9235

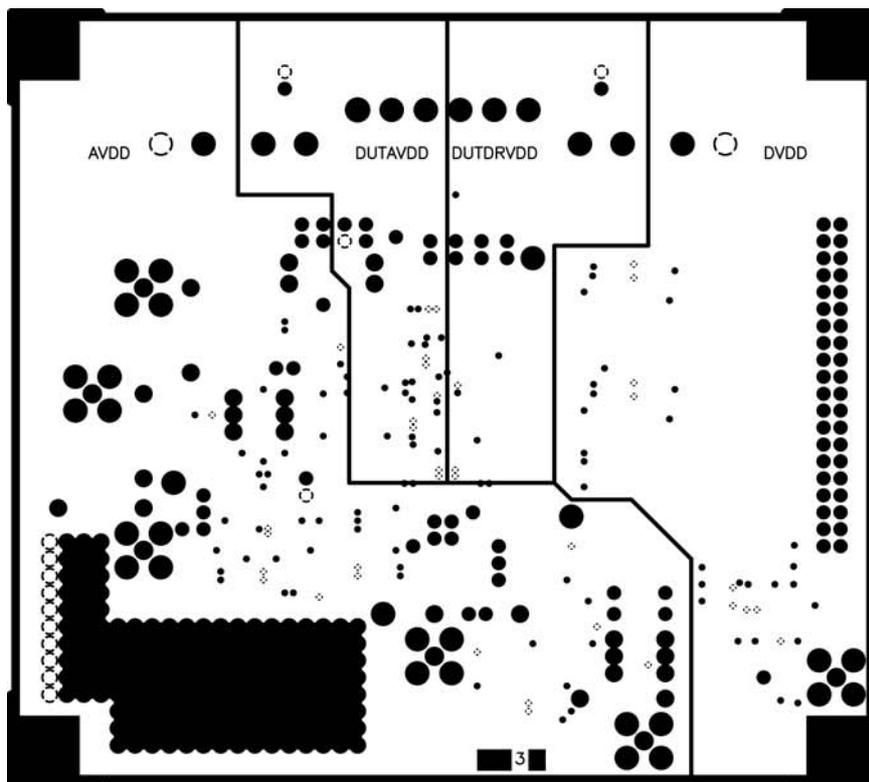


図24 評価ボードの電源プレーン

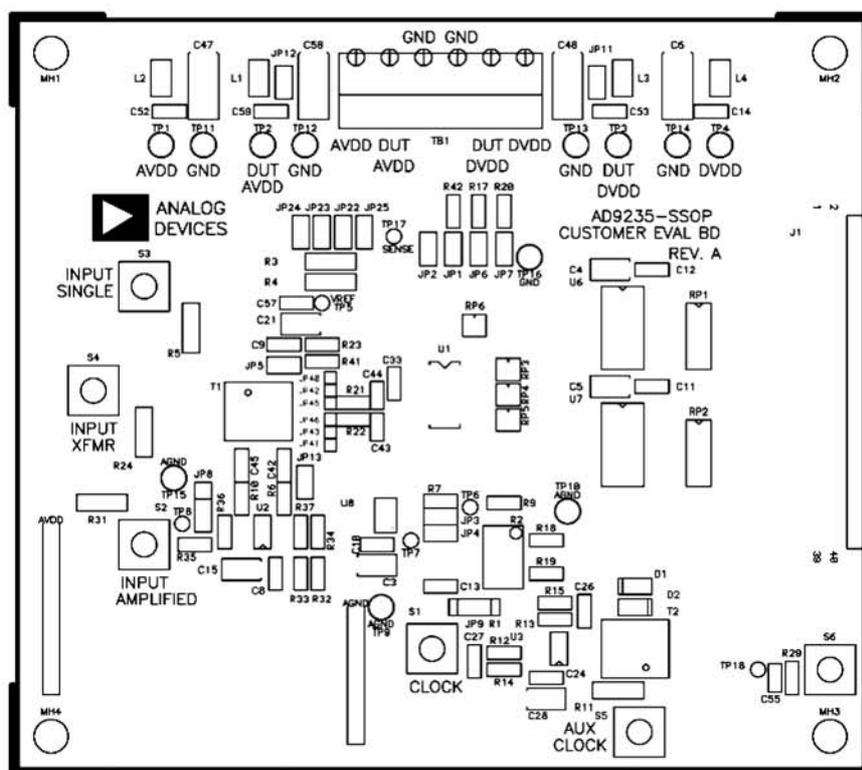


図25 評価ボードのレイアウト 表面シルクスクリーン

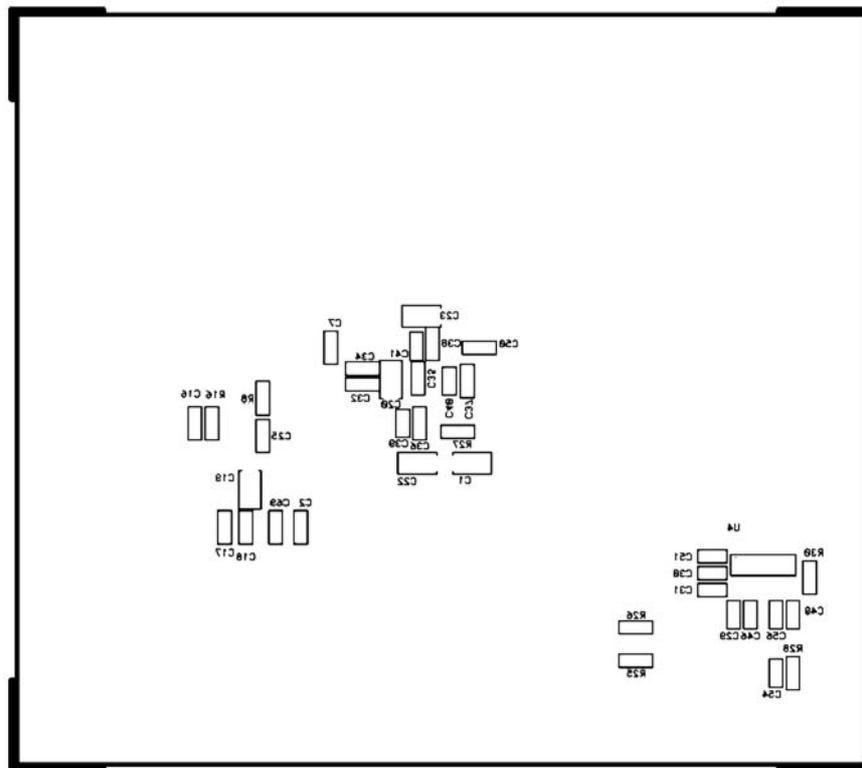


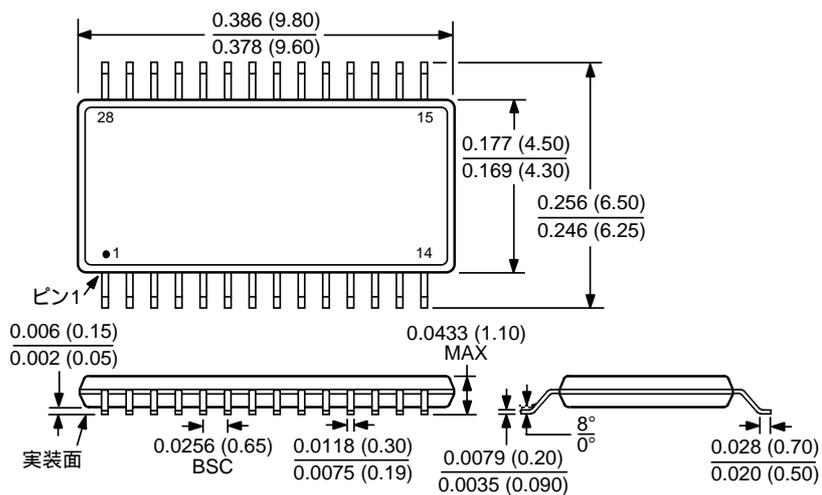
図26 評価ボード・レイアウト 裏面シルクスクリーン

AD9235

外形寸法

サイズはインチと (mm) で示します。

28ピンTSSOP
(RU-28)



TDS08/2001/1000

PRINTED IN JAPAN

