

### 特長

S/N比：69dB@ $f_{IN} = 31\text{MHz}$

スプリアス・フリー・ダイナミックレンジ：

85dB@ $f_{IN} = 31\text{MHz}$

相互変調歪み：-75dBFS@ $f_{IN} = 140\text{MHz}$

ENOB = 11.1@ $f_{IN} = 10\text{MHz}$

低消費電力：475mW

ノーマス・コードを保証

微分非直線性誤差： $\pm 0.6\text{LSB}$

積分非直線性誤差： $\pm 0.6\text{LSB}$

クロック・デューティ・サイクル安定器内蔵

特許取得済みのフルパワー帯域幅750MHzの

サンプル/ホールド回路を採用

自然2進出力データまたは2の補数出力データ

28ピンSSOPまたは48ピンLQFPを採用

5Vのアナログ単電源、3V/5Vのドライバ電源

AD9220、AD9221、AD9223、AD9224、AD9225とピン・コンパチブル

### 概要

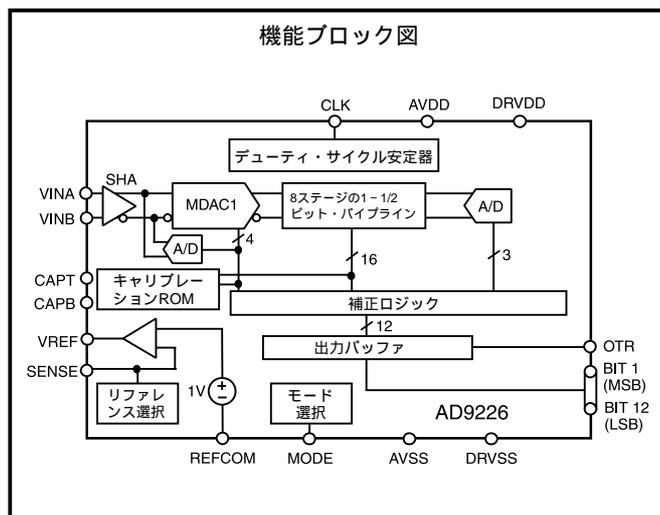
AD9226は、高性能なサンプル/ホールド・アンプとリファレンスを内蔵する単電源動作のモノリシック12ビット65MSPSA/Dコンバータです。AD9226では、65MSPSのデータ・レートで12ビット精度を提供する特許取得済みの入力ステージおよび出力誤差補正ロジックを内蔵するマルチステージ差動パイプライン・アーキテクチャを採用しています。全動作範囲でノーマス・コードを保証しています。

AD9226の入力は、画像処理システムと通信システムに容易にインターフェースできます。真の差動入力構成により、シングル・エンド・アプリケーションなどのさまざまな入力範囲とオフセットが選択可能です。

サンプル/ホールドアンプ (SHA) は、ナイキスト周波数を超える入力周波数を持つシングル・チャンネル通信アプリケーションなどの、IFアンダーサンプリング方式に適しています。

AD9226はプログラマブルなリファレンスを内蔵しています。外付けのリファレンスを選択することもでき、フレキシブルなシステム・デザインが可能です。

すべての内部変換サイクルの制御は、1本のクロック入力によって行われます。オーバーフロー条件を表示する範囲外信号も用意されています。この信号は最上位ビットと組み合わせると、上側または下側のオーバーフローを識別できます。



AD9226には2つの重要なモード機能があります。1つはデータ・フォーマットを自然2進数または2の補数に設定するモードで、もう1つはクロック・デューティ・サイクル変動に対する耐性をADCに持たせるモードです。

### 製品のハイライト

**IFサンプリング** 特許を取得したSHA入力は、シングル・エンド入力または差動入力に構成できます。この回路は、入力周波数300MHzまで優れたAC性能を維持しています。

**低消費電力** AD9226は、既存の高速モノリシック・ソリューションで使用可能な、475mWという非常に小さい電力を消費します。

**範囲外信号 (OTR)** このOTR出力ビットは、入力信号がAD9226の入力範囲を超えたことを表示します。

**単電源動作** AD9226は、システムの電源設計の容易な5V単電源を採用しています。また、3Vロジック・ファミリーと5Vロジック・ファミリーに対応するために、デジタル出力ドライバ電源ラインを別々に持っています。

**ピン・コンパチブル** AD9226は、AD9220、AD9221、AD9223、AD9224、AD9225とピン・コンパチブルです。クロック・デューティ・サイクル安定器 変換に、クロックのパルス幅変動に対する耐性を持たせます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD9226 - 仕様

DC特性 (特に指定のない限り、AVDD = 5V、DRVDD = 3V、 $f_{\text{SAMPLE}} = 65\text{MSPS}$ 、VREF = 2.0V、差動入力、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ )

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
分解能			12			ビット
精度						
積分非直線性 (INL)	全範囲	V		±0.6		LSB
	25	I			±1.6	LSB
微分非直線性 (DNL)	全範囲	V		±0.6		LSB
	25	I			±1.0	LSB
ノーマス・コード保証	全範囲	I	12			ビット
ゼロ誤差	全範囲	V		±0.3		FSRの%
	25	I			±1.4	FSRの%
ゲイン誤差	25	I			±2.0	FSRの%
	全範囲	V		±0.6		FSRの%
温度ドリフト						
ゼロ誤差	全範囲	V		±2		ppm/
ゲイン誤差 <sup>1</sup>	全範囲	V		±26		ppm/
ゲイン誤差 <sup>2</sup>	全範囲	V		±0.4		ppm/
電源変動除去						
AVDD (5V ± 0.25V)	全範囲	V		±0.05		FSRの%
	25	I			±0.4	FSRの%
入力換算ノイズ						
VREF = 1.0V	全範囲	V		0.5		LSB rms
VREF = 2.0V	全範囲	V		0.25		LSB rms
アナログ入力						
入力スパン (VREF = 1V)	全範囲	V		1		Vp-p
(VREF = 2V)	全範囲	V		2		Vp-p
入力範囲 (VINAまたはVINB)	全範囲	IV	0		AVDD	V
入力容量	全範囲	V		7		pF
内部リファレンス						
出力電圧 (1Vモード)	全範囲	V		1.0		V
出力電圧許容偏差 (1Vモード)	25	I			±15	mV
出力電圧 (2.0Vモード)	全範囲	V		2.0		V
出力電圧許容偏差 (2.0Vモード)	25	I			±29	mV
出力電流 (外部負荷用)	全範囲	V		1.0		mA
負荷レギュレーション <sup>3</sup>	全範囲	V		0.7		mV
	25	I			1.5	mV
リファレンス入力抵抗	全範囲	V		5		k
電源						
電源電圧						
AVDD	全範囲	V	4.75	5	5.25	V (±5%、AVDD動作)
DRVDD	全範囲	V	2.85		5.25	V (±5%、DRVDD動作)
電源電流						
IAVDD <sup>4</sup>	全範囲	V		86		mA (2V外部VREF)
	25	I			90.5	mA (2V外部VREF)
IDRVDD <sup>5</sup>	全範囲	V		14.6		mA (2V外部VREF)
	25	I			16.5	mA (2V外部VREF)
消費電力 <sup>4, 5</sup>	全範囲	V		47.5		
	25	I			500	mW (2V外部VREF)

注

<sup>1</sup>内部リファレンス誤差を含む。

<sup>2</sup>内部リファレンス誤差を含まない。

<sup>3</sup>負荷電流1mA (AD9226での使用分の他に)での負荷レギュレーション。

<sup>4</sup>AVDD = 5V

<sup>5</sup>DRVDD = 3V

仕様は予告なく変更されることがあります。

## デジタル特性 (特に指定のない限り、AVDD = 5V、DRVDD = 3V、 $f_{\text{SAMPLE}} = 65\text{MSPS}$ 、VREF = 2.0V、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ )

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
ロジック入力 (クロック、DFS <sup>1</sup> 、 デューティ・サイクル <sup>1</sup> 、出力イネーブル <sup>1</sup> )						
ハイレベル入力電圧	全範囲	IV	2.4			V
ローレベル入力電圧	全範囲	IV			0.5	V
ハイレベル入力電流 ( $V_{\text{IN}} = \text{AVDD}$ )	全範囲	IV	- 10		+ 10	$\mu\text{A}$
ローレベル入力電流 ( $V_{\text{IN}} = 0\text{V}$ )	全範囲	IV	- 10		+ 10	$\mu\text{A}$
入力容量	全範囲	V		5		pF
出力イネーブル <sup>1</sup>	全範囲	IV	$\frac{\text{DRVDD}}{2} - 0.5$		$\frac{\text{DRVDD}}{2} + 0.5$	V
ロジック出力 (DRVDD = 5Vの場合)						
ハイレベル出力電圧 ( $I_{\text{OH}} = 50\ \mu\text{A}$ )	全範囲	IV	4.5			V
ハイレベル出力電圧 ( $I_{\text{OH}} = 0.5\text{mA}$ )	全範囲	IV	2.4			V
ローレベル出力電圧 ( $I_{\text{OL}} = 1.6\text{mA}$ )	全範囲	IV			0.4	V
ローレベル出力電圧 ( $I_{\text{OL}} = 50\ \mu\text{A}$ )	全範囲	IV			0.1	V
出力容量				5		pF
ロジック出力 (DRVDD = 3Vの場合)						
ハイレベル出力電圧 ( $I_{\text{OH}} = 50\ \mu\text{A}$ )	全範囲	IV	2.95			V
ハイレベル出力電圧 ( $I_{\text{OH}} = 0.5\text{mA}$ )	全範囲	IV	2.80			V
ローレベル出力電圧 ( $I_{\text{OL}} = 1.6\text{mA}$ )	全範囲	IV			0.4	V
ローレベル出力電圧 ( $I_{\text{OL}} = 50\ \mu\text{A}$ )	全範囲	IV			0.05	V

注

<sup>1</sup>LQFPパッケージ。

仕様は予告なく変更されることがあります。

## スイッチング特性 ( $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、AVDD = 5V、DRVDD = 3V、 $C_L = 20\text{pF}$ )

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
最大変換レート	全範囲	VI	65			MHz
クロック周期 <sup>1</sup>	全範囲	V	15.38			ns
クロック・パルス幅ハイ <sup>2</sup>	全範囲	V	3			ns
クロック・パルス幅ロー <sup>2</sup>	全範囲	V	3			ns
出力遅延	全範囲	V	3.5		7	ns
パイプライン遅延 (レイテンシ)	全範囲	V		7		クロック・サイクル数
出力イネーブル遅延 <sup>3</sup>	全範囲	V		15		ns

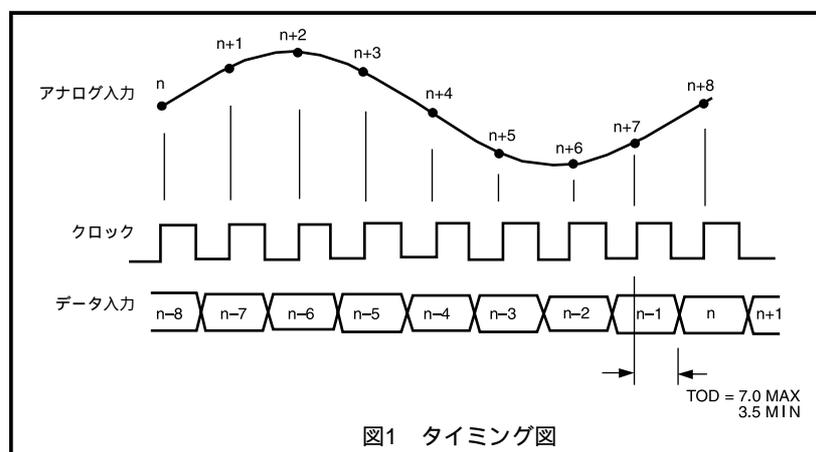
注

<sup>1</sup>クロック周期は、25 °Cでの規定性能を低下させることなく10  $\mu\text{s}$ まで延ばすことができます。

<sup>2</sup>MODEピンをAVDDまたはグラウンドに接続すると、AD9226SSOPはクロック・デューティ・サイクルの影響を受けなくなります。

<sup>3</sup>LQFPパッケージ。

仕様は予告なく変更されることがあります。



# AD9226 - 仕様

AC特性 (特に指定のない限り、AVDD = 5V、DRVDD = 3V、 $f_{\text{SAMPLE}} = 65\text{MSPS}$ 、VREF = 2.0V、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、差動入力)

パラメータ	温度	テスト・レベル	Min	Typ	Max	単位
<b>S/N比</b>						
$f_{\text{IN}} = 2.5\text{MHz}$	全範囲	V		68.9		dBc
	25	I			68	dBc
$f_{\text{IN}} = 15\text{MHz}$	全範囲	V		68.4		dBc
	25	I			67.4	dBc
$f_{\text{IN}} = 31\text{MHz}$	全範囲	V		68		dBc
$f_{\text{IN}} = 60\text{MHz}$	全範囲	V		68		dBc
$f_{\text{IN}} = 200\text{MHz}^1$	全範囲	V		65		dBc
<b>S/N比および歪み</b>						
$f_{\text{IN}} = 2.5\text{MHz}$	全範囲	V		68.8		dBc
	25	I			67.9	dBc
$f_{\text{IN}} = 15\text{MHz}$	全範囲	V		68.3		dBc
	25	I			67.3	dBc
$f_{\text{IN}} = 31\text{MHz}$	全範囲	V		67		dBc
$f_{\text{IN}} = 60\text{MHz}$	全範囲	V		67		dBc
$f_{\text{IN}} = 200\text{MHz}^1$	全範囲	V		60		dBc
<b>全高調波歪み (THD)</b>						
$f_{\text{IN}} = 2.5\text{MHz}$	全範囲	V		- 84		dBc
	25	I			- 77.0	dBc
$f_{\text{IN}} = 15\text{MHz}$	全範囲	V		- 82.3		dBc
	25	I			- 76.0	dBc
$f_{\text{IN}} = 31\text{MHz}$	全範囲	V		- 68		dBc
$f_{\text{IN}} = 60\text{MHz}$	全範囲	V		- 68		dBc
$f_{\text{IN}} = 200\text{MHz}^1$	全範囲	V		- 61		dBc
<b>2次および3次高調波歪み</b>						
$f_{\text{IN}} = 2.5\text{MHz}$	全範囲	V		- 86.5		dBc
	25	I			- 78	dBc
$f_{\text{IN}} = 15\text{MHz}$	全範囲	V		- 86.7		dBc
	25	I			- 76	dBc
$f_{\text{IN}} = 31\text{MHz}$	全範囲	V		- 83		dBc
$f_{\text{IN}} = 60\text{MHz}$	全範囲	V		- 82		dBc
$f_{\text{IN}} = 200\text{MHz}^1$	全範囲	V		- 75		dBc
<b>スプリアス・フリー・ダイナミックレンジ</b>						
$f_{\text{IN}} = 2.5\text{MHz}$	全範囲	V		86.4		dBc
	25	I			78	dBc
$f_{\text{IN}} = 15\text{MHz}$	全範囲	V		85.5		dBc
	25	I			76	dBc
$f_{\text{IN}} = 31\text{MHz}$	全範囲	V		82		dBc
$f_{\text{IN}} = 60\text{MHz}$	全範囲	V		81		dBc
$f_{\text{IN}} = 200\text{MHz}^1$	全範囲	V		60		dBc
<b>アナログ入力帯域幅</b>	25	V		750		MHz

注

<sup>1</sup>1.0Vのリファレンスと入力スパン  
仕様は予告なく変更されることがあります。

## テスト・レベルの説明

## テスト・レベル

- I. 100%の出荷テストを実施。
- II. 25 で100%の出荷テストおよび指定温度でのサンプルを実施。ACテストはサンプル・ベースで実施。
- III. サンプル・テストのみを実施。
- IV. パラメータは、デザインおよびキャラクタライゼーション・テストにより保証。
- V. パラメータは、typ値のみ。
- VI. 25 で全デバイスを100%出荷テスト。温度限界ではサンプル・テストを実施。

絶対最大定格<sup>1</sup>

ピン名	基準ポイント	Min	Max	単位
AVDD	AVSS	-0.3	+6.5	V
DRVDD	DRVSS	-0.3	+6.5	V
AVSS	DRVSS	-0.3	+0.3	V
AVDD	DRVDD	-6.5	+6.5	V
REFCOM	AVSS	-0.3	+0.3	V
CLK,MODE	AVSS	-0.3	AVDD+0.3	V
Digital Outputs	DRVSS	-0.3	DRVDD+0.3	V
VINA,VINB	AVSS	-0.3	AVDD+0.3	V
VREF	AVSS	-0.3	AVDD+0.3	V
SENSE	AVSS	-0.3	AVDD+0.3	V
CAPB,CAPT	AVSS	-0.3	AVDD+0.3	V
OAB <sup>2</sup>	DRVSS	-0.3	DRVDD+0.3	V
CM LEVEL <sup>2</sup>	AVSS	-0.3	AVDD+0.3	V
VR <sup>2</sup>	AVSS	-0.3	AVDD+0.3	V
接合温度			150	
保管温度		-65	+150	
ピン温度 (10秒)			300	

注

<sup>1</sup>上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

<sup>2</sup>LQFPパッケージ。

## 熱抵抗

JC SSOP	23	/W
JA SSOP	63.3	/W
JC LQFP	17	/W
JA LQFP	76.2	/W

## オーダー・ガイド

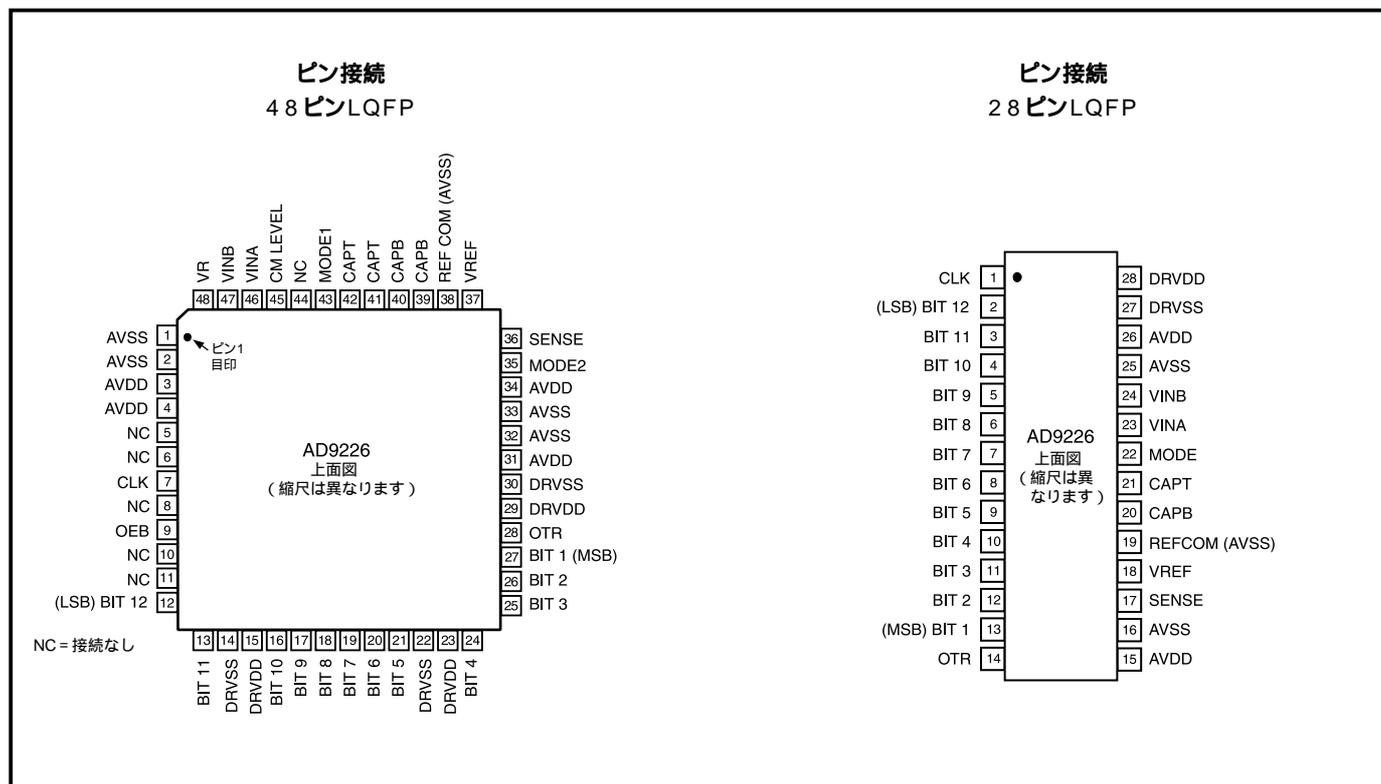
モデル	温度範囲	パッケージ	パッケージ・オプション
AD9226ARS	-40 ~ +85	28ピン・シュリンク・スモール・アウトライン (SSOP)	RS-28
AD9226AST	-40 ~ +85	48ピン薄型プラスチック・クワッド・フラットパック (LQFP)	ST-48
AD9226-EB		評価ボード (SSOP)	
AD9226-LQFP-EB		評価ボード (LQFP)	

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



# AD9226



## 48ピンの機能説明

ピン番号	名前	説明
1、2、32、33	AVSS	アナログ・グラウンド
3、4、31、34	AVDD	5Vアナログ電源
5、6、8、10、11、44	NC	接続なし
7	CLK	クロック入力ピン
9	OEB	出力イネーブル(アクティブ・ロー)
12	BIT12	最下位データ・ビット(LSB)
13	BIT11	データ出力ビット
14、22、30	DRVSS	デジタル出力ドライバのグラウンド
15、23、29	DRVDD	3~5Vデジタル出力 ドライバ電源
16~21、24~26	BITS10~5, BITS4~2	データ出力ビット
27	BIT1	最上位データ・ビット(MSB)
28	OTR	範囲外
35	MODE2	データ・フォーマット選択
36	SENSE	リファレンス選択
37	VREF	リファレンス入力/出力
38	REFCOM (AVSS)	リファレンス・スモモン
39、40	CAPB	ノイズ圧縮ピン
41、42	CAPT	ノイズ圧縮ピン
43	MODE1	クロック安定器
45	CMLEVEL	電源電圧×1/2のレベル
46	VINA	アナログ入力ピン(+)
47	VINB	アナログ入力ピン(-)
48	VR	ノイズ圧縮ピン

## 28ピンの機能説明

ピン番号	名前	説明
1	CLK	クロック入力ピン
2	BIT12	最下位データ・ビット(LSB)
3~12	BITS11~2	データ出力ビット
13	BIT1	最上位データ・ビット(MSB)
14	OTR	範囲外
15、26	AVDD	5Vアナログ電源
16、25	AVSS	アナログ・グラウンド
17	SENSE	リファレンス選択
18	VREF	入力スパン選択(リファレンス入力/出力)
19	REFCOM (AVSS)	リファレンス・スモモン
20	CAPB	ノイズ圧縮ピン
21	CAPT	ノイズ圧縮ピン
22	MODE	データ・フォーマット選択/クロック安定器
23	VINA	アナログ入力ピン(+)
24	VINB	アナログ入力ピン(-)
27	DRVSS	デジタル出力ドライバのグラウンド
28	DRVDD	3~5Vデジタル出力ドライバ電源

**仕様の定義****積分非直線性 (INL)**

INLは、“負側フルスケール”と“正側フルスケール”を結ぶ直線と実際のコード出力との誤差として定義されます。“負側フルスケール”として使用されるポイントは、最初のコード遷移より1/2LSBだけ下に存在します。“正側フルスケール”は、最後のコード遷移より1+1/2LSBだけ上のレベルと定義されます。偏差は各コードの中央の位置と直線の間の距離として測定されます。

**微分非直線性 (DNL、ノーマス・コード)**

理想的なADCでは、各コード遷移は1LSBだけ離れた位置で発生します。DNLとは、この理想値からの最大偏差をいいます。ノーマス・コードで12ビット分解能を保證するとは、全動作範囲で4096コードすべてが出力されることを表します。

**ゼロ誤差**

VINA = VINBより1/2LSBだけ小さいアナログ値に対して主要なキャリ変化が発生します。ゼロ誤差は、そのポイントからの実際の変化の差と定義されます。

**ゲイン誤差**

最初のコード変化は、負側フルスケールより1/2LSBだけ大きいアナログ値で発生します。最後の変化は、正側フルスケールより1.5LSBだけ小さいアナログ値で発生します。ゲイン誤差は、最初と最後のコード変化間の実際の差と、最初と最後のコード変化間の理想的な差との間の差をいいます。

**温度ドリフト**

ゼロ誤差とゲイン誤差の温度ドリフトは、初期値 (25 ) からT<sub>MIN</sub>またはT<sub>MAX</sub>における値までの最大変化を規定します。

**電源変動除去**

この仕様は、電源が最小規定値から最大規定値に変化したときのフルスケール値の最大変化を表します。

**アパーチャ・ジッター**

アパーチャ・ジッターは連続サンプルでのアパーチャ遅延の変動であり、ADC入力でのノイズとして扱われます。

**アパーチャ遅延**

アパーチャ遅延はサンプル/ホールド・アンプ (SHA) の性能を表し、クロック入力の立ち上がりエッジから入力信号が変換用にホールドされるまでの時間として測定されます。

**信号対ノイズおよび歪み (S/N + D、SINAD) 比**

S/(N + D)は、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和 (DC以外の高調波を含む) に対する比です。S/(N + D)値はdBで表します。

**実効ビット数 (ENOB)**

サイン波に対して、SINADはビット数で表されます。次式を使い、実効ビット数Nで表した性能を求めることができます。

$$N = (\text{SINAD} - 1.76) / 6.02$$

したがって、与えられた入力周波数のサイン波入力に対するデバイスの実効ビット数は、SINADの測定値から直接計算できます。

**合計高調波歪み (THD)**

THDとは、基本波から6次高調波成分までのrms値の総和の、フルスケール入力信号のrms値に対する比をいい、%値またはdB値で表します。

**S/N比 (SNR)**

S/N比は、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和から6次までの高調波成分を除いた分に対する比です。S/N比は、dB値で表されません。

**スプリアス・フリー・ダイナミックレンジ (SFDR)**

入力信号のrms振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB値で表します。

**エンコード・パルス幅デューティ・サイクル**

パルス幅ハイは、定格性能を達成するために、クロック・パルスがロジック“1”状態を維持する必要がある最小時間幅です。パルス幅ローは、クロック・パルスがロー状態を維持する必要がある最小時間幅です。与えられたクロック・レートで、これらの仕様が許容クロック・デューティ・サイクルを決定します。

**最小変換レート**

保証規定値より最小周波数のアナログ信号のS/N比が3dB低下するクロック・レートをいいます。

**最大変換レート**

パラメータ・テストが実施されるエンコード・レート。

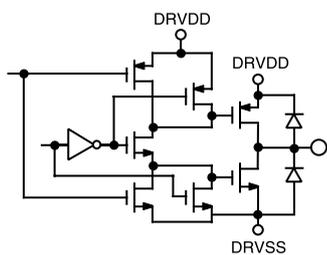
**出力伝搬遅延**

クロック・ロジックのスレシヨルドから全ビットが有効ロジック・レベルになるまでの遅延。

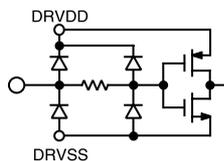
**2周波SFDR**

いずれかの入力周波のrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分は、IMD積である場合とそうでない場合があります。dBc (信号レベルを小さくした場合の劣化) またはdBFS (コンバータのフルスケールに換算) で表されることがあります。

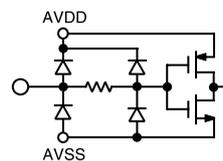
# AD9226



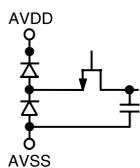
a. D0-D11, OTR



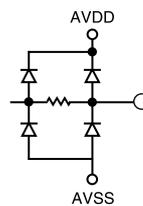
b. スリーステート (OEB)



c. CLK



d. AI

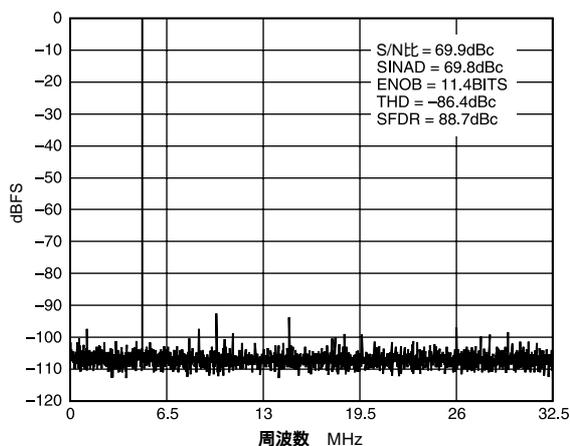


e. CAPT, CAPB, MODE, SENSE, VREF

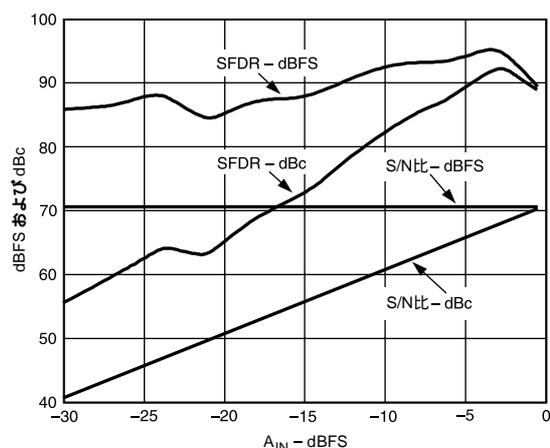
図2 等価回路

# 代表的な性能特性 - AD9226

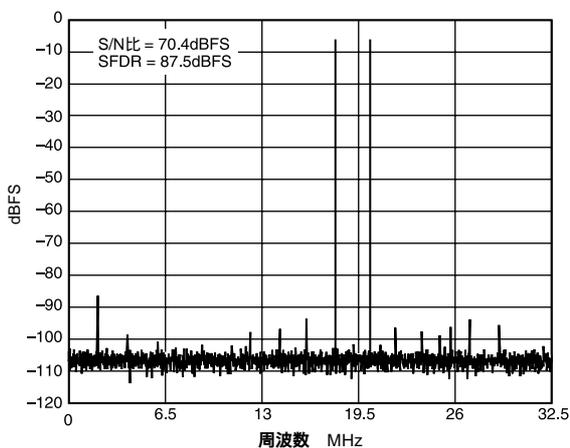
(特に指定のない限り、 $AVDD = 5.0V$ 、 $DRVDD = 3.0V$ 、 $f_{SAMPLE} = 65MSPS$ 、CLK安定器イネーブル、 $T_A = 25$ 、2V差動入力スパン、 $V_{CM} = 2.5V$ 、 $A_{IN} = -0.5dBFS$ 、 $V_{REF} = 2.0V$ )



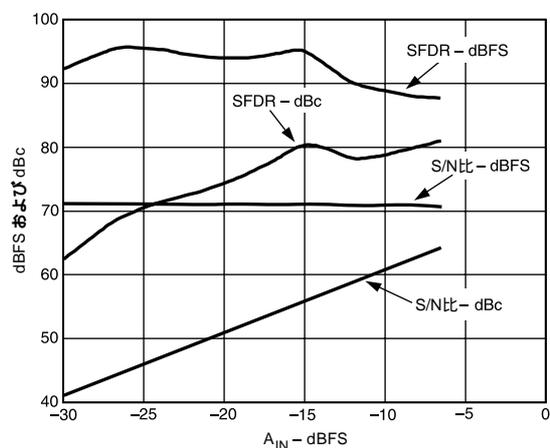
特性1 シングル・トーン8K FFT、 $f_{IN} = 5MHz$



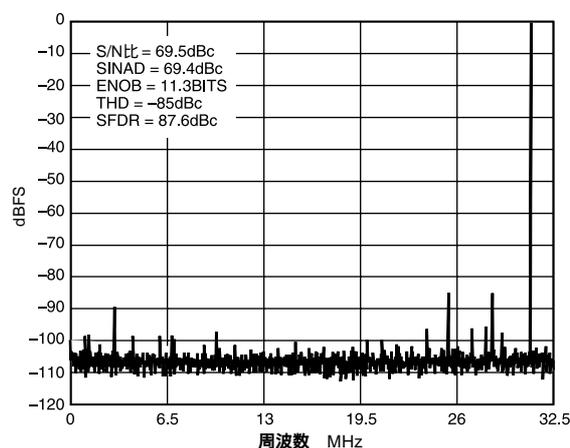
特性4 シングル・トーンS/N比 / SFDR 対  $A_{IN}$  ( $f_{IN} = 5MHz$ )



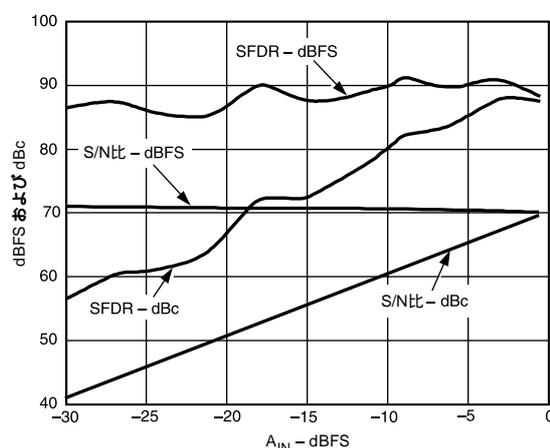
特性2 デュアル・トーン8K FFT、  
 $f_{IN-1} = 18MHz$ および $f_{IN-2} = 20MHz$   
( $A_{IN-1} = A_{IN-2} = -6.5dBFS$ )



特性5 デュアルトーンS/N比 / SFDR 対  $A_{IN}$   
( $f_{IN-1} = 18MHz$ および $f_{IN-2} = 20MHz$ )

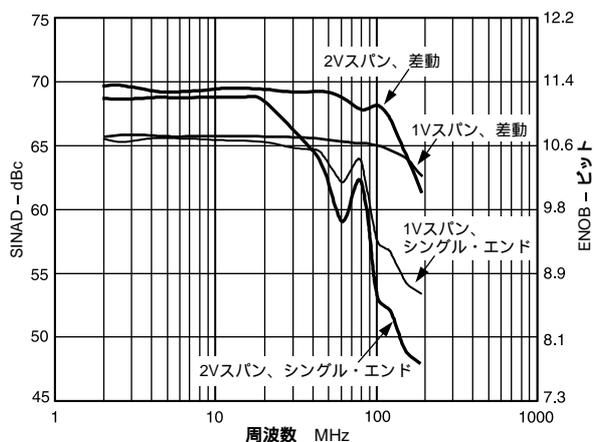


特性3 シングルトーン8K FFT、 $f_{IN} = 31MHz$

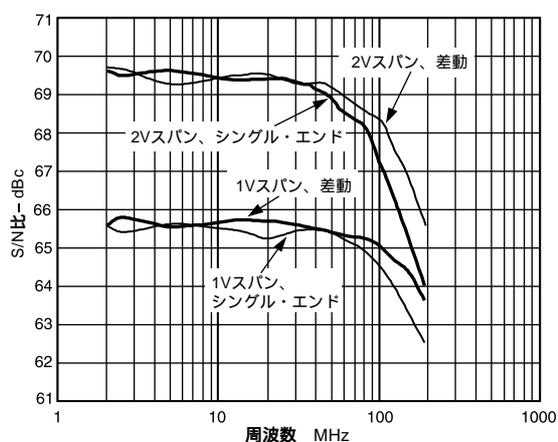


特性6 シングル・トーンS/N比 / SFDR 対  $A_{IN}$   
( $f_{IN} = 31MHz$ )

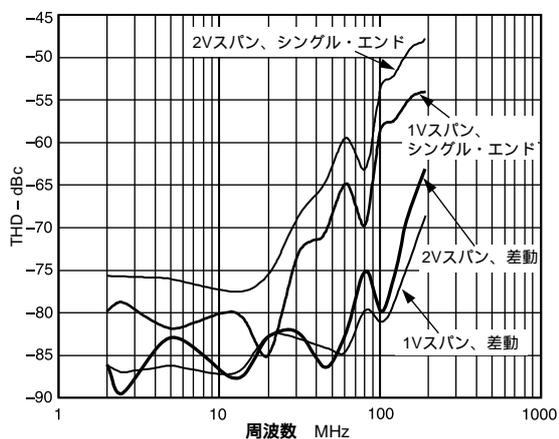
# AD9226



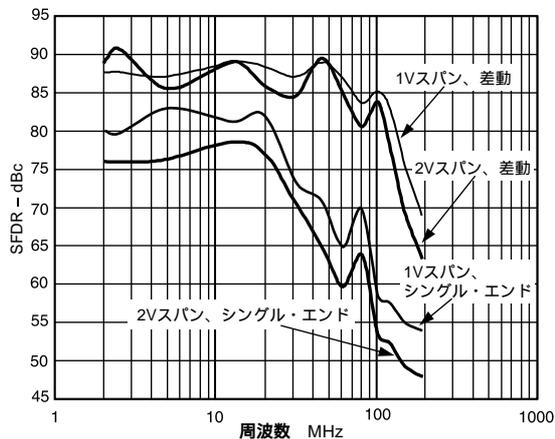
特性7 SINAD / ENOB 対 周波数



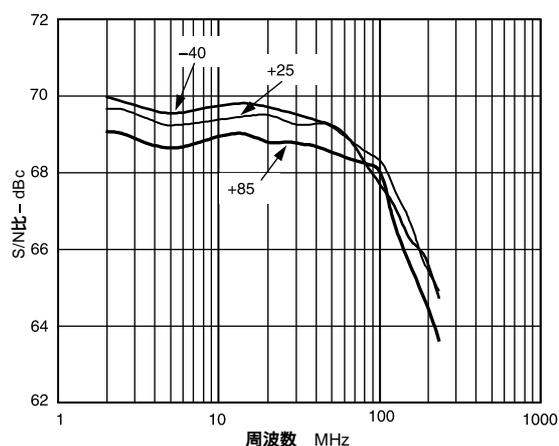
特性10 S/N比 対 周波数



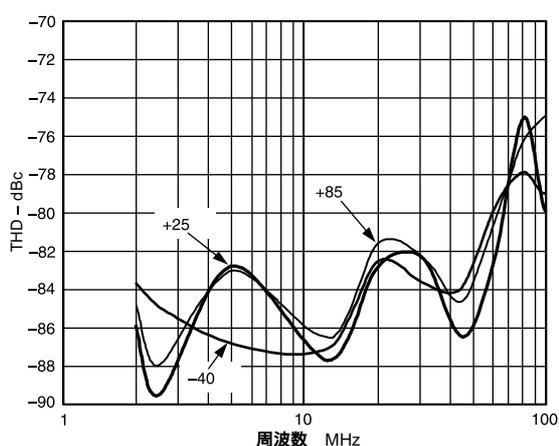
特性8 THD 対 周波数



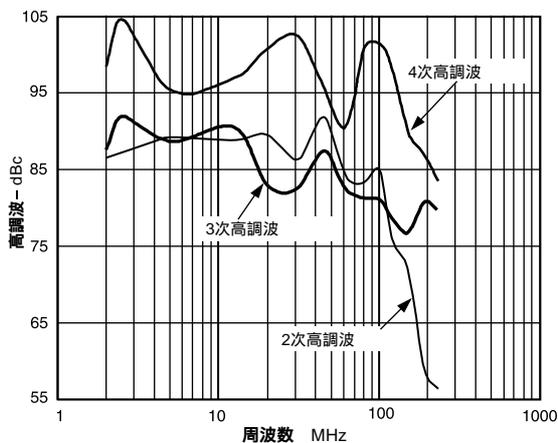
特性11 SFDR 対 周波数



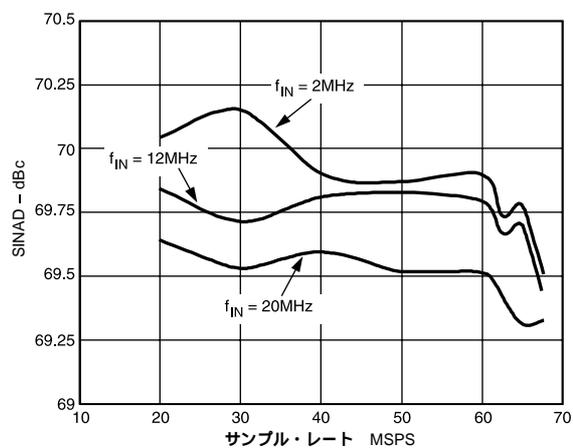
特性9 S/N比と温度 対 周波数



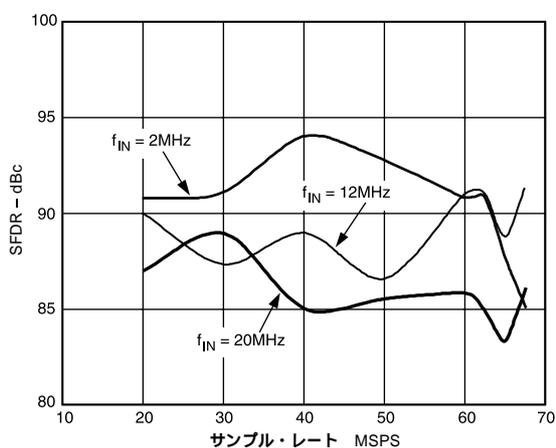
特性12 THDと温度 対 周波数



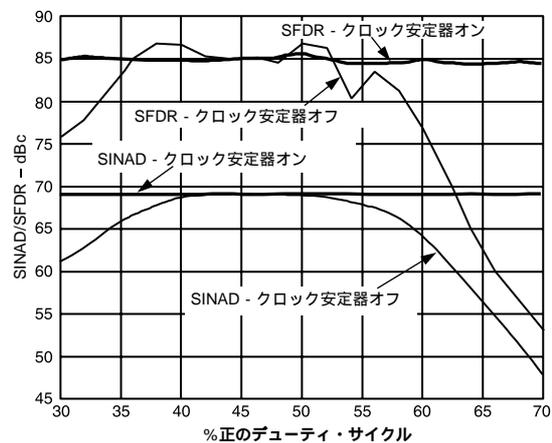
特性13 高調波対周波数



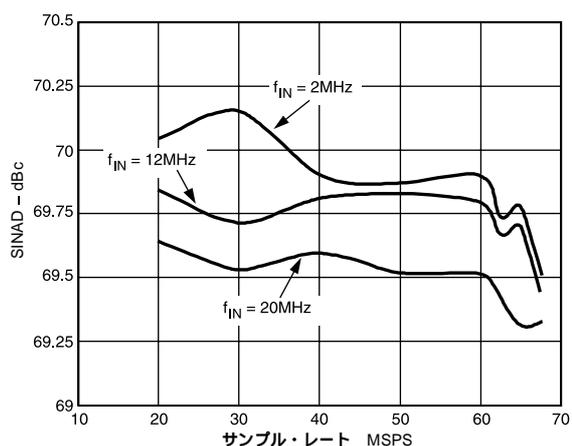
特性16 SINAD対サンプル・レート



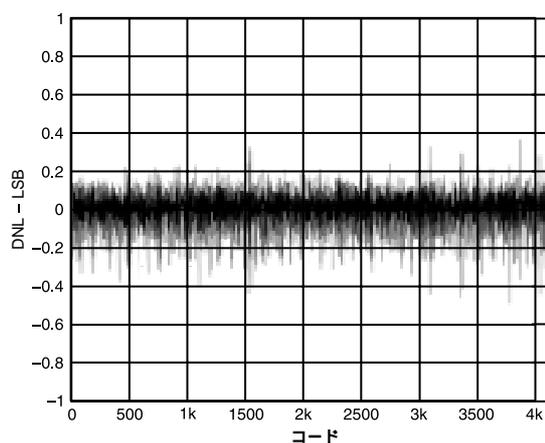
特性14 SFDR対サンプル・レート



特性17 SINAD / SFDR 対 デューティ・サイクル ( $f_{IN} = 20\text{MHz}$ )



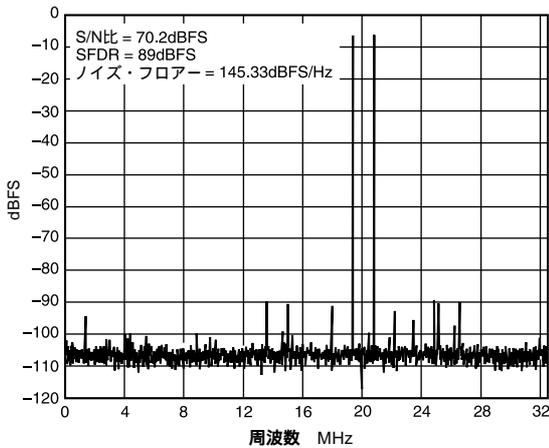
特性15 INLの代表値



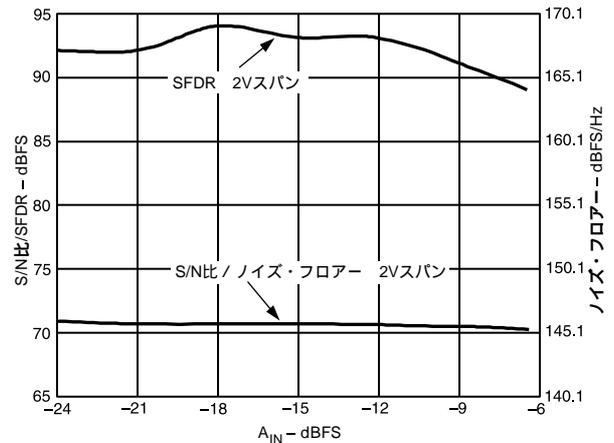
特性18 DNLの代表値

# AD9226 代表的なIFサンプリング性能特性

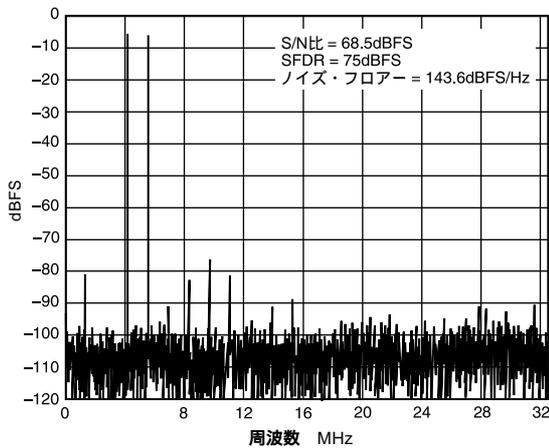
(特に指定のない限り、 $AVDD = 5.0V$ 、 $DRVDD = 3.0V$ 、 $f_{SAMPLE} = 65MSPS$ 、CLK安定器をイネーブ、 $T_A = 25$ 、2V差動入力スパン、 $V_{CM} = 2.5V$ 、 $A_{IN} = -6.5dBFS$ 、 $V_{REF} = 2.0V$ )



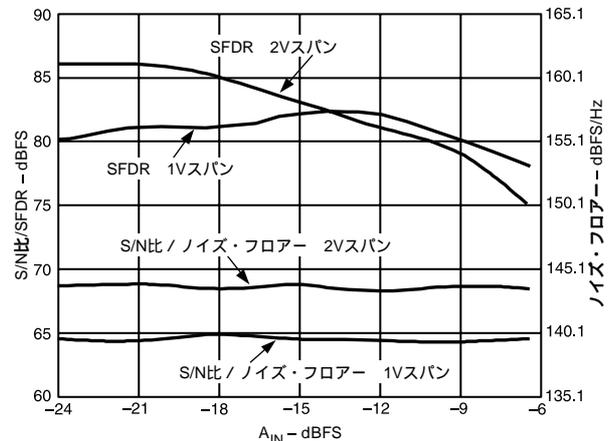
特性19 デュアル・トーン8K FFT、  
 $f_{IN-1} = 44.2MHz$ および $f_{IN-2} = 45.6MHz$



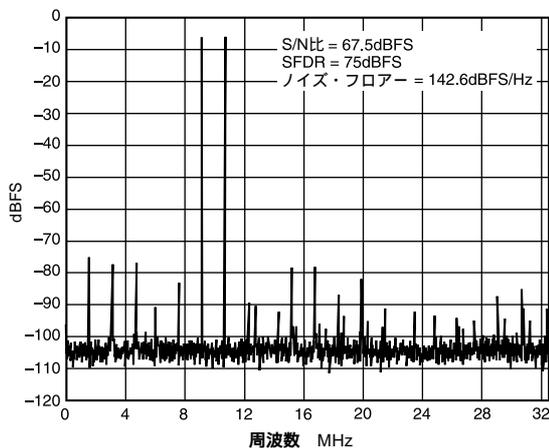
特性22 デュアル・トーンS/N比およびSFDR、  
 $f_{IN-1} = 44.2MHz$ および $f_{IN-2} = 45.6MHz$



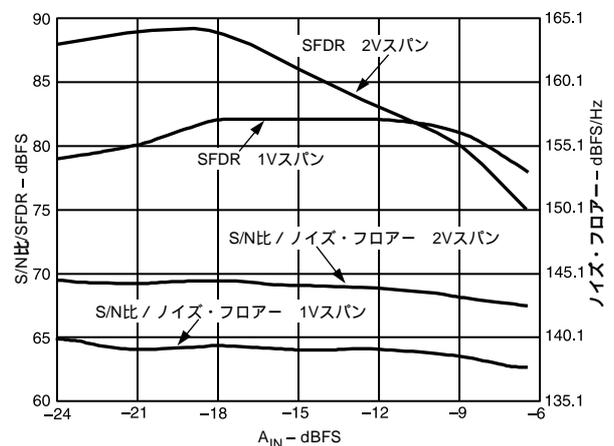
特性20 デュアル・トーン8K FFT、  
 $f_{IN-1} = 69.2MHz$ および $f_{IN-2} = 70.6MHz$



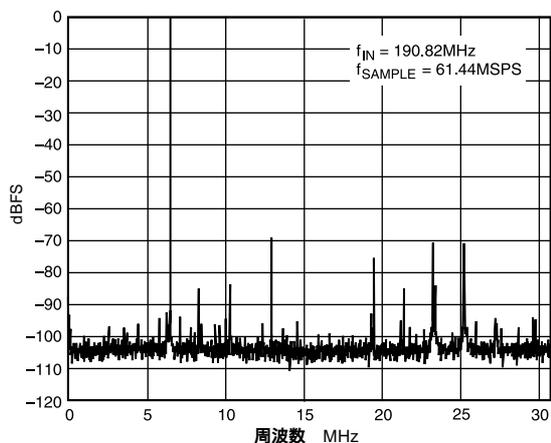
特性23 デュアル・トーンS/N比およびSFDR、  
 $f_{IN-1} = 69.2MHz$ および $f_{IN-2} = 70.6MHz$



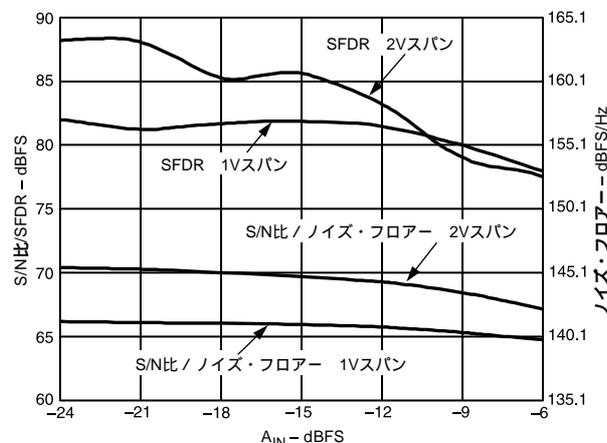
特性21 デュアル・トーン8K FFT、  
 $f_{IN-1} = 139.2MHz$ および $f_{IN-2} = 140.7MHz$



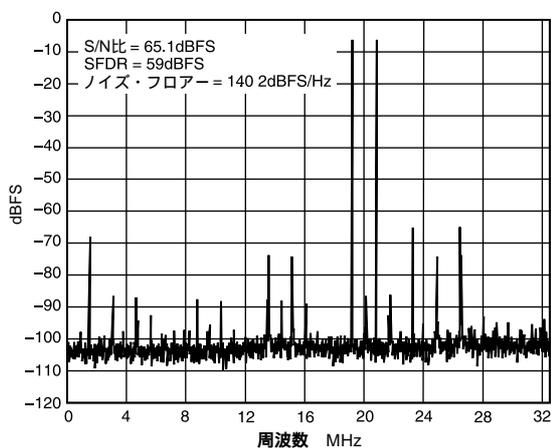
特性24 デュアル・トーンS/N比およびSFDR、  
 $f_{IN-1} = 139.2MHz$ および $f_{IN-2} = 140.7MHz$



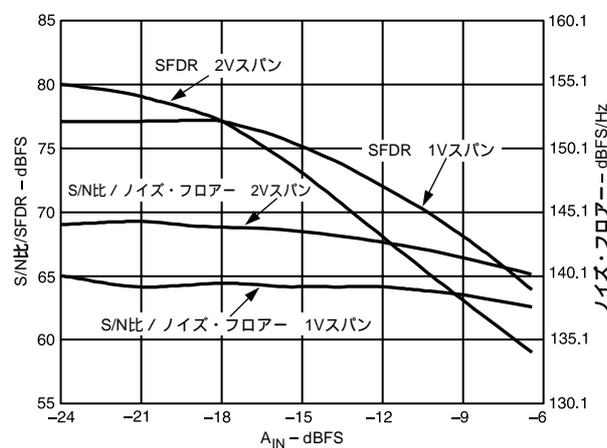
特性25 シングル・トーン8K FFT、  
IF = 190MHz-WCDMA  
( $f_{IN} = 190.82\text{MHz}$ ,  $f_{SAMPLE} = 61.44\text{MSPS}$ )



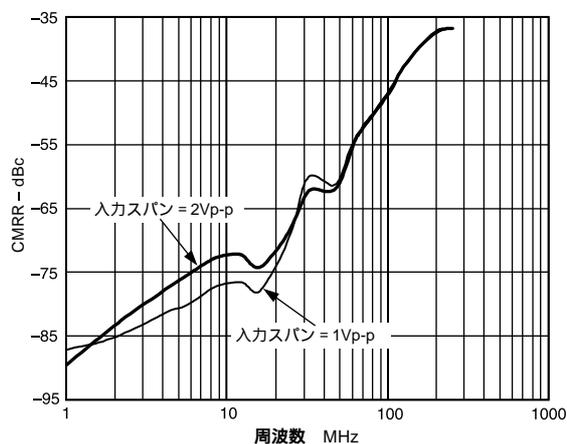
特性28 シングル・トーンS/N比およびSFDR  
対  $A_{IN}$ 、IF = 190MHz-WCDMA  
( $f_{IN-1} = 190.8\text{MHz}$ ,  $f_{SAMPLE} = 61.44\text{MSPS}$ )



特性26 デュアル・トーン8K FFT、  
 $f_{IN-1} = 239.1\text{MHz}$ および $f_{IN-2} = 240.7\text{MHz}$



特性29 デュアル・トーンS/N比およびSFDR、  
 $f_{IN-1} = 239.1\text{MHz}$ および $f_{IN-2} = 240.7\text{MHz}$



特性27 CMRR 対 周波数  
( $A_{IN} = -0\text{dBFS}$ ,  $CML = 2.5\text{V}$ )

# AD9226

## 動作原理

AD9226は、単電源動作の高性能12ビットADCです。AD9226のアナログ入力は非常にフレキシブルで、AC結合またはDC結合が可能な、可変振幅のシングル・エンド信号または差動信号が入力できます。

このデバイスは、経済的なCMOSプロセスで集積された広帯域サンプル/ホールド・アンプ（SHA）を持つ9ステージ・パイプライン・アーキテクチャを採用しています。特許を取得した構造をSHAに使用して、高周波数SFDRと歪みを大幅に改善しています。これにより、IFアンダーサンプリング・アプリケーションにおける性能も改善されています。最終ステージ以外のパイプラインの各ステージは、スイッチド・コンデンサDACに接続された低分解能のフラッシュADCとステージ間残留アンプ（MDAC）により構成されています。この残留アンプは、再生されたDAC出力とパイプライン内の次のステージに対するフラッシュ入力との差を増幅します。各ステージ内で冗長な1ビットを使って、フラッシュ誤差のデジタル補正を可能にしています。最終ステージはフラッシュADCのみで構成されています。

出荷時のキャリブレーションにより、高い直線性と低歪みを保証しています。

## アナログ入力の動作

図3に、750MHzの差動SHAで構成される、AD9226のアナログ入力の等価回路を示します。SHAの差動入力構成は非常にフレキシブルであり、デバイスを差動入力またはシングル・エンド入力に容易に構成できます。アナログ入力VINAとVINBは、相互に置き換え可能ですが、VINAピンとVINBピンに対する入力を交換すると、データが反転します（出力ワードが補数になります）。

差動入力またはシングル・エンド入力に対する最適なノイズ性能およびDC直線性性能は、最大の入力信号電圧スパン（2V入力スパン）で、かつVINAとVINBの入力インピーダンスがマッチングする場合に得られます。2Vスパンと1V入力スパンの間でDC直線性性能のわずかな低下があります。

高周波入力では、1Vスパンの方がSFDR性能に適した性能を発揮します（代表的な性能特性を参照）。

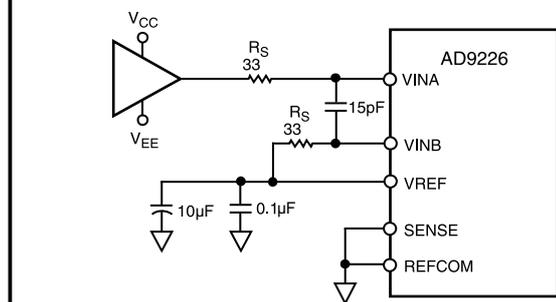
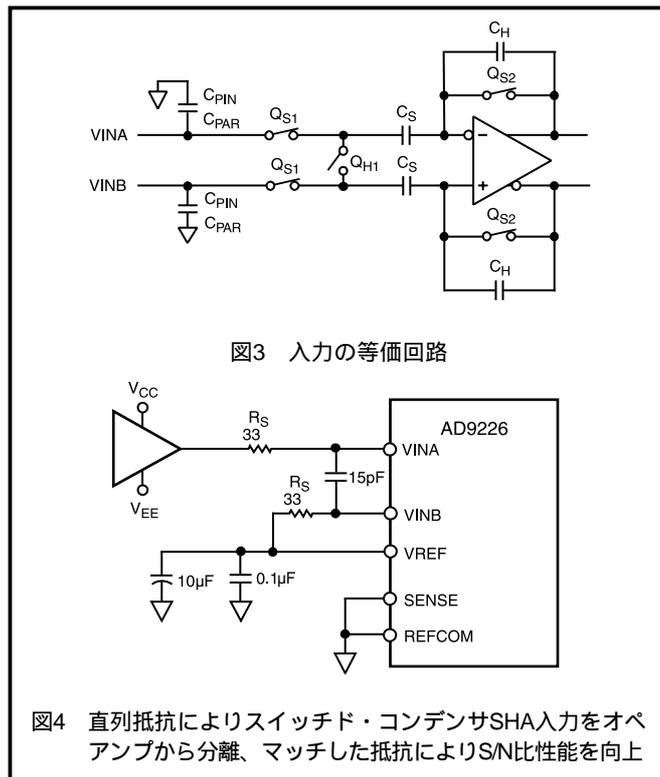
ADCは、クロック入力の立ち上がりエッジでアナログ入力をサンプルします。クロックがローの間に（クロックの立ち上がりエッジと立ち上がりエッジの間に）、入力SHAはサンプル・モードになり、クロックがハイの間にホールド・モードになります。クロックの立ち上がりエッジの直前におけるシステム外乱および（または）立ち上がりエッジでのクロック・ジッターが大きくなると、入力SHAに不正な値が混入してしまうため、これらを小さくする必要があります。

ADCがオペアンプにより駆動され、さらに容量性負荷がオペアンプの出力でスイッチされると、その実効出力インピーダンスに起因して出力が瞬時的に低下します。出力が回復する際に、リングングが発生することもあります。これに対する対策として、オペアンプとSHA入力の間に直列抵抗を接続できます（図4）。並列容量も電荷供給源として機能し、ホールド・コンデンサ $C_H$ が必要とする電荷の供給または吸収を行って、オペアンプ出力での過渡電流をさらに減少させます。

この抵抗の最適な値は、ADCのサンプリング・レート、選択したオペアンプ、特定のアプリケーションなどの複数の要因に依存します。大部分のアプリケーションでは、30~100

の抵抗で十分です。

ノイズに敏感なアプリケーションの場合は、AD9226の非常に広い帯域幅が決定要因になるため、直列抵抗および（または）並列コンデンサを接続すると、ローパス・フィルタが形成されて、ADC入力における広帯域ノイズの制限に役立ちます。VINAとVINBを駆動するソース・インピーダンスもマッチングしている必要があります。マッチしていないと、AD9226のS/N比、THD、SFDRが悪影響を受けます。



## 入力の概要とリファレンスの接続

AD9226の全入力スパンは、VREFピンの電位に等しくなります。VREFの電位は、AD9226の内部リファレンスまたは外部電圧源から得られます（リファレンス動作の節を参照）。差動アプリケーションでは、スパンの中心点は信号の共通・モード・レベルから得られます。シングル・エンド・アプリケーションでは、中心点は一方の入力ピンに加えられたDC電位になり、信号は他方の入力ピンに加えられます。図5a~5fに、種々のシステム構成を示します。

## アナログ入力の駆動

AD9226は非常にフレキシブルな入力構成を持ち、シングル・エンド入力または差動入力とのインターフェースが可能です。最適な動作モード、アナログ入力範囲、対応するインターフェース回路は、そのアプリケーションの性能条件と電源オプションにより決定されます。

## 差動ドライバ回路

差動動作では、VINAとVINBを180度位相がずれている2つの等しい信号で駆動する必要があります。差動動作モード（ACまたはDC結合入力）は、広い周波数範囲で最適なTHD性能とSFDR性能を提供します。スペクトル・ベースの多くのアプリケーション（例えば、IF直接デジタル変換）に使用できます。

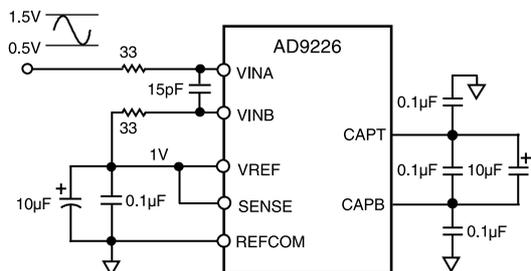


図5a 1Vシングル・エンド入力、共通・モード電圧 = 1V

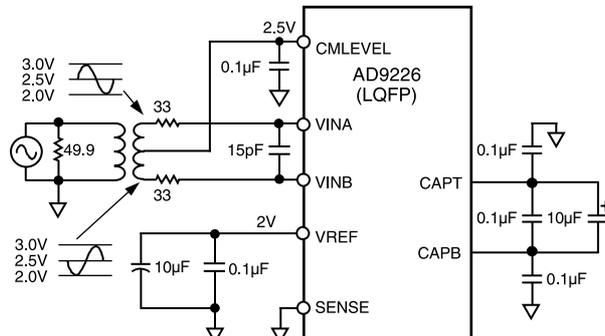


図5e 2V差動入力、共通・モード電圧 = 2.5V

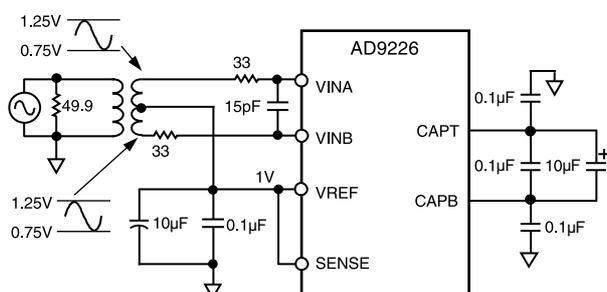


図5b 1V差動入力、共通・モード電圧 = 1V

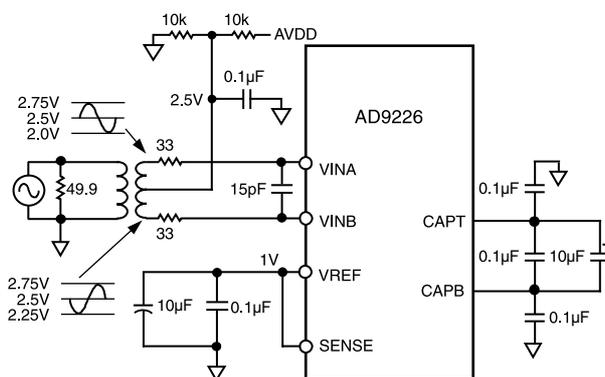


図5f 1V差動入力、共通・モード電圧 = 2.5V  
(IFアンダーサンプリング向けに推奨)

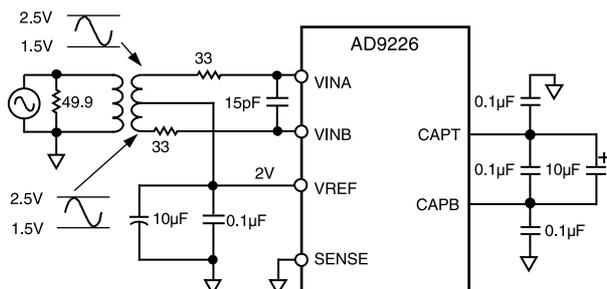


図5c 2V差動入力、共通・モード電圧 = 2V

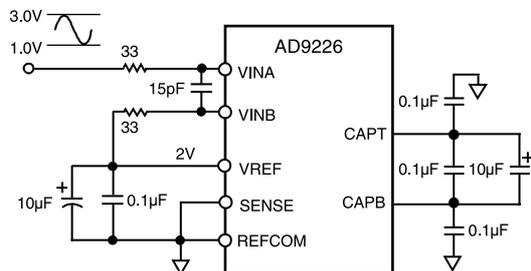


図5d 2Vシングル・エンド入力、共通・モード電圧 = 2V

このデータシートの差動入力の特徴は、図7の構成に示されています。

すべてのアプリケーションが差動動作に信号をあらかじめコンデショニングしている訳ではないので、シングル・エンドから差動への変換が必要になる場合があります。DC結合を必要としないシステムでは、AD9226用の差動入力を発生させるにはセンター・タップ付きのRF変成器が最適です。RF変成器は、ノイズまたは歪みによる劣化なしでADCを差動モードで動作させる利点を提供します。RF変成器は、信号源とADC間の電気的アイソレーションを提供する長所もあります。AD9226を差動モードで動作させると、THD性能とSFDR性能を改善できます。差動モードとシングル・エンド・モードの間の性能改善は、入力周波数がナイキスト周波数に近づき、さらにこれを超えると ( $f_{IN} > F_S/2$ ) 望めなくなります。

図6aに示す回路は、AD9226を差動でDC駆動する最適な方法を示します。この回路では、AD8138を使って、シングル・エンド信号から差動信号を駆動しています。図6bに、その性能を示します。

図7に、推奨される変成器回路を示します。この回路では、Minicircuits社のRF変成器モデルT1-1Tを使用しています。この変成器のインピーダンス比は4です (巻き数比2)。この回路図では、信号源インピーダンス50Ωを想定しています。変成器のセンター・タップは、入力信号の所要共通・モード電圧までのレベル・シフトを行う便利な方法です。図7では、変成器のセンター・タップは抵抗分割器で電源電圧の中心点に接続されています。

# AD9226

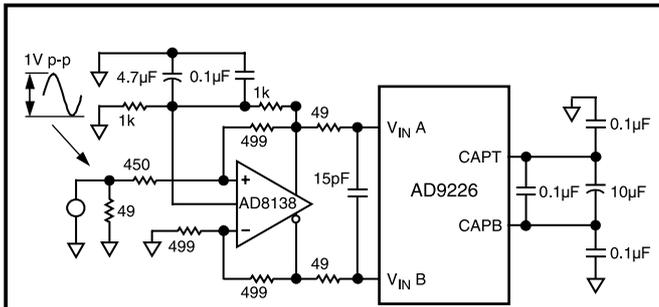


図6a AD8138差動オペアンプを使用した直結駆動回路

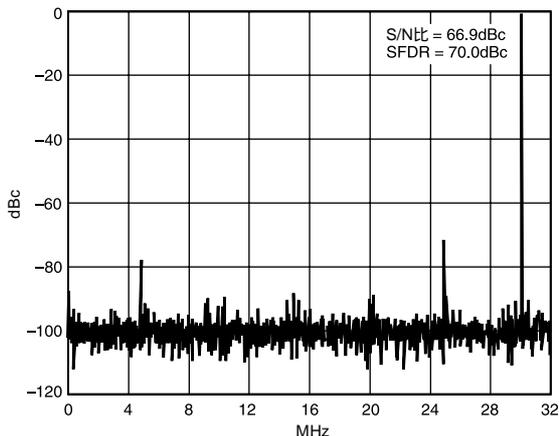


図6b FS = 65MSPS、 $f_{IN} = 30\text{MHz}$ 、入力スパン = 1Vp-p

同じ電源電圧の中心点は、LQFPパッケージのAD9226のCMLEVELピンからも得られます。

図7で、直列抵抗 $R_s$ は、AD9226と変成器の2次側の間に接続されています。ADCのTHD性能とS/N比性能を最適化するために、値は33 が選択されています。 $R_s$ と内部容量は、高周波ノイズを阻止するローパス・フィルタを構成するのに役立っています。

アプリケーションに応じて性能を最適化するために、他の巻き数比を持つ変成器も選択できます。例えば、与えられた入力信号源またはアンプは、出力電力レベルと信号振幅を小さくすると、歪み性能を改善できます。高いインピーダンス比を持つ変成器を選択すると（例えば、インピーダンス比1:16のMinicircuits社のT16-6T）、信号レベルは実質的に“ステップアップ”されるため、信号源の駆動にかかる要求をさらに抑えられます。

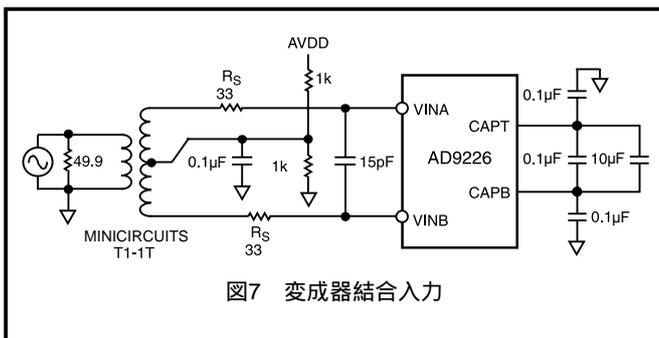


図7 変成器結合入力

## シングル・エンド駆動回路

AD9226は、DC結合またはAC結合を使ってシングル・エンド動作に構成できます。いずれのケースでも、ADC入力にはADCの性能を損なわないオペアンプで駆動してください。AD9226 ADCは単電源動作なので、グラウンド・ベースのバイポーラ信号を、入力条件を満たすようにレベルシフトする必要があります。DC結合とAC結合はこの必要な機能を提供しますが、各方法ともシステム設計と性能に影響を与える異なるインターフェース問題が起きます。

シングル・エンド動作では、VIN Aを入力信号源に対してDC結合またはAC結合することが必要で、一方VIN Bは入力スパンの中心に対応する電圧にバイアスする必要があります。AD9226のシングル・エンド仕様は、1Vと2Vの入力スパンを持つ図9の回路を使って仕様規定されています。コモン・モード・レベルは2.5Vです。

アナログ入力がある電源電圧を超える場合は、内部寄生ダイオードが導通します。このために、デバイス内で過渡電流が発生します。図8に、入力をクランプする簡単な方法を示します。この回路では、直列抵抗と2つのダイオードを使用しています。AC結合のアプリケーション用に、オプションのコンデンサを示してあります。大きな値の直列抵抗を使って、D1とD2を通過する電流を制限できますが、これにより全体性能が低下することがあります。差動入力信号を接続する場合は、各入力に簡単なクランプ回路を使用できます。超過入力を確実に防止するための望ましい方法は、単電源5V動作のAD8138などのアンプを使う方法です。

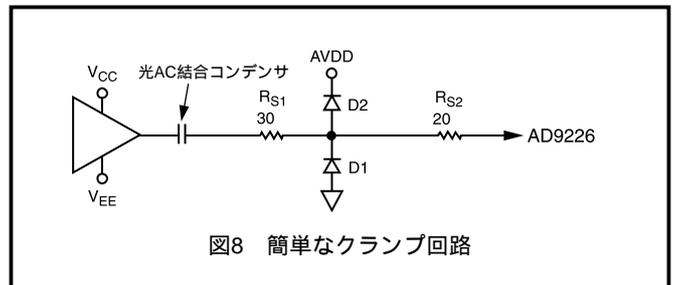


図8 簡単なクランプ回路

## AC結合とインターフェースに関して

AC結合が望ましいアプリケーションの場合は、結合コンデンサを使ってオペアンプ出力を容易にレベルシフトできます。この方法は、オペアンプのコモン・モード・レベルを電源電圧の中心レベル ( $AVDD/2$ ) に対称にバイアスさせる利点があります。電源に対して対称に動作するオペアンプは、一般に、最適なAC性能と最大の入/出力スパンを提供します。+5V / -5V動作に制限され、かつ（または）5V単電源動作のあらゆる高性能アンプを使って、AD9226の2Vまたは1Vの入力スパン向けに容易に構成できます。

## 簡単なACインターフェース

図9aに、SSOPパッケージのAC結合シングル・エンド構成の代表的な例を示します。バイアス電圧により、グラウンド基準のバイポーラ入力信号を約 $AVDD/2$ にレベルシフトしています。コンデンサC1とC2は、低いカットオフ周波数を実現するために並列接続した0.1μFのセラミック・コンデンサと10μFのタンタル・コンデンサで、広い周波数範囲で低インピーダンスを維持します。コンデンサと抵抗の組み合わせにより、次式で決定される高い-3dBハイパス周波数を持つハイパス・ネットワークを構成しています。

$$f_{-3dB} = 1/(2 \times R \times (C1 + C2))$$

低インピーダンスのVREF出力を使い、固定VINBピンとVINA信号に対してDCバイアス・レベルを供給できます。図9bに、2.0Vに設定されたVREFを示します。したがって、ADCの入力範囲は1.0~3.0Vになります。他の入力範囲は、VREFを変更して選択できます。

入力をリファレンスでバイアスすると（図9b）、ダイナミック性能が少し低下することがあります。電源電圧中心点の出力レベルは、LQFPパッケージのCMレベル・ピンから得られます。

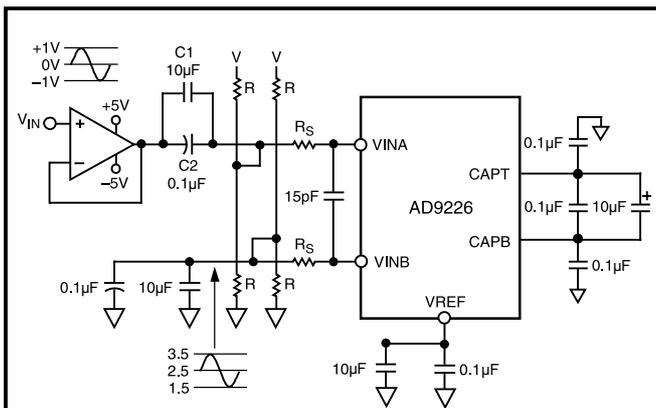


図9a AC結合の入力構成

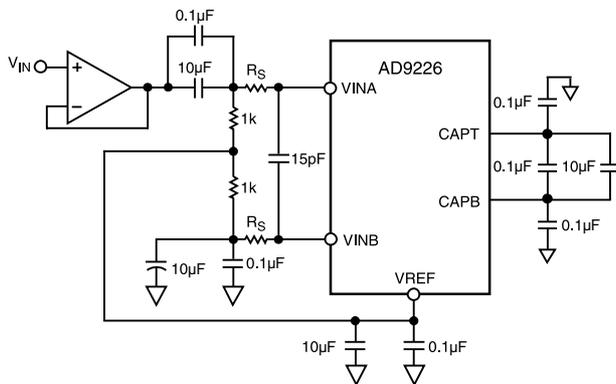


図9b もう1つのAC結合の入力構成

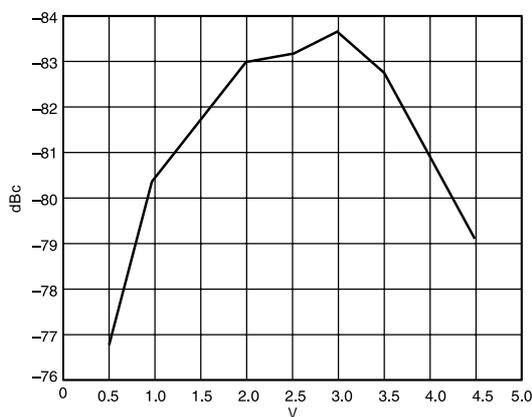


図10 THDとコモン・モード電圧の関係  
(2V差動入力スパン、 $f_{IN} = 10\text{MHz}$ )

## DC結合とインターフェースに関して

多くのアプリケーションで、アナログ入力信号をAD9226にDC結合する必要があります。オペアンプを使うと、入力信号をスケール/レベルシフトして、ADCの選択した入力範囲に合わせられます。

AD9226入力範囲の選択は、信号のクリッピングを防止するため、使用するオペアンプのヘッドルーム条件を考慮して選択する必要があります。新しい高性能オペアンプのほとんどは $\pm 5\text{V}$ 動作でのみ仕様規定されており、入/出力振幅能力には限界があります。また、両電源動作アンプの出力は、絶対最小値 ( $-0.3\text{V}$ ) より振幅が低くなることもあるため、アプリケーションによっては出力のクランプが必要になります（図8）。シングル・エンドでのDC結合が必要な場合は、AD8138を差動構成で使用することを推奨します（図9a）。

## 簡単なオペアンプ・バッファ

簡単なケースでは、AD9226の入力信号が、選択した入力範囲に一致するレベルに既にバイアスされています。ADCのアナログ・ピンVINAとVINBに対して、適切な低い信号源インピーダンスを与えてください。

## リファレンスの動作

AD9226は、1Vまたは2V出力をピン設定できるバンドギャップ・リファレンスを内蔵しています。2本の外付け抵抗を接続して、1~2Vのリファレンスを発生できます。AD9226のリファレンスを設定するピン接続オプションについては図5a~5fを参照してください。この項で後述するように、精度および（または）ドリフト性能の強化が必要な設計の場合、もう1つの方法として外部リファレンスの使用があります。

図11aに、AD9226の内部リファレンスの簡略化モデルを示します。リファレンス・アンプにより、1V固定リファレンスをバッファします。リファレンス・アンプA1の出力は、VREFピンから得られます。ADCのフルスケール入力スパンは、VREFピンの電圧により決定されます。この入力スパンは、次に等しくなります。

$$\text{フルスケール入力スパン} = \text{VREF}$$

VREFピンに出力される電圧と内部リファレンス・アンプA1の状態は、SENSEピンの電圧で決定されます。ロジック回路は、SENSEピンの電圧を監視するコンパレータを内蔵しています。SENSEピンがAVSSに接続されると、スイッチが内部抵抗ネットワークに接続されるため、 $\text{VREF} = 2.0\text{V}$ になります。SENSEピンが短絡または抵抗を介してVREFピンに接続されると、スイッチがSENSEピンに接続されます。この接続により、 $\text{VREF} = 1.0\text{V}$ になります。外部抵抗ネットワークにより、1.0~2.0VのVREFを与えることもできます（図12）。もう1つのコンパレータが、SENSEピンをAVDDに接続した場合にリファレンス・アンプをディスエーブルにする内部回路を制御しています。リファレンス・アンプをディスエーブルにすると、VREFピンを外部リファレンスから駆動可能になります。

# AD9226

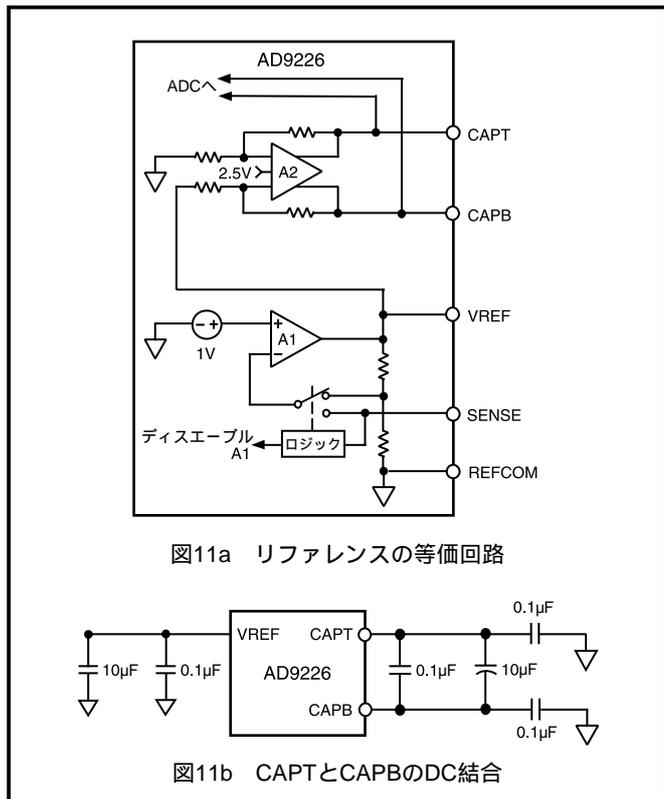


図11a リファレンスの等価回路

図11b CAPTとCAPBのDC結合

AD9226の内部回路によって使用される実際のリファレンスは、CAPTピンとCAPBピンに出力されます。これらのピンの電圧は、アナログ電源に関して対称です。内部リファレンスまたは外部リファレンスを使用して正常に動作させるためには、これらのピンをデカップリングするコンデンサ・ネットワークを接続する必要があります。図11bに、推奨デカップリング・ネットワークを示します。CAPTとCAPBの間に出力されるリファレンスのターンオン時間は約10msですが、全パワーダウン動作モードで確認してください。

## 内部リファレンスの使用に関して

AD9226は内部リファレンスの設定により、容易に1Vp-p入力スパンまたは2Vp-p入力スパンに設定できます。その他の入力スパンは、図12に示すように2本の外付けゲイン設定抵抗、あるいは外部リファレンスを使用して設定できます。

## ピンによるリファレンスの設定

VREFピンとSENSEピンを短絡すると、内部リファレンス・アンプは単位ゲイン・モードになるため、VREF出力は1Vになります。SENSEピンとREFCOMピンを短絡すると、内部リファレンス・アンプがゲイン2.0に設定されるため、VREF出力は2.0Vになります。VREFピンは、10µFのタンタル・コンデンサと低インダクタンス0.1µFのセラミック・コンデンサを並列接続し、図11bのようにREFCOMピンにバイパスしてください。

## 抵抗によるリファレンスの設定

図12に、2本の抵抗を外部に接続して、1.0Vまたは2.0V以外のリファレンスを発生させる方法の例を示します。次式を使って、R1とR2の値を決めます。

$$V_{REF} = 1V \times (1 + R1 / R2)$$

抵抗は、2~10k の範囲内にしてください。この例の場合は、R1 = 2.5k、R2 = 5k です。上式から、VREFピンに発生するリファレンスは

1.5Vになります。この場合、入力スパンは1.5Vp-pに設定されます。スケール中心点の電圧も、VINBとVREFを短絡することにより、VREFに設定できます。あるいは、VINBを低インピーダンス2.5V電源に接続して、スケール中心電圧を2.5Vに設定できます(図12)。

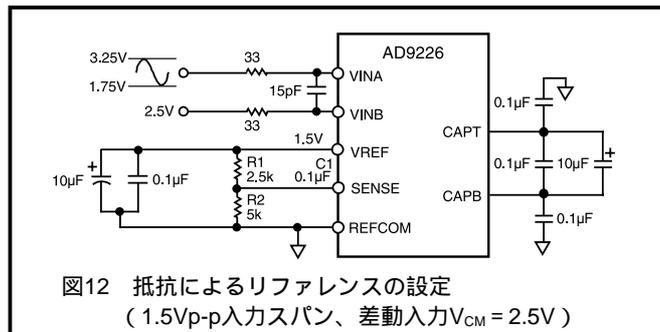


図12 抵抗によるリファレンスの設定  
(1.5Vp-p入力スパン、差動入力V<sub>CM</sub> = 2.5V)

## 外部リファレンスの使用に関して

AD9226には、外部リファレンスの駆動条件を簡単にする内部リファレンス・バッファA2(図11b)が内蔵されています。外部リファレンスは、約5k(±20%)の負荷を駆動できる能力が必要です(注:リファレンスバッファの帯域幅は、リファレンス・ノイズを小さくするため意図的に狭くしてあるため、このモードではリファレンスを高速に変化させることができません)。

図13に、VINBとVREFを駆動する外部リファレンスの例を示します。このケースでは、共通モード電圧と入力スパンはVREFの値に直接依存します。入力スパンと入力スパンの中心は、外部VREFに一致します。したがって、有効入力範囲は(VREF + VREF/2) ~ (VREF - VREF/2)になります。例えば、2.048Vの外部リファレンスREF191を選択すると、入力スパンは2.048Vになります。このケースでは、AD9226の1LSBは0.5mVに対応します。最小10µFのコンデンサと0.1µFの低インダクタンス・セラミック・コンデンサを並列接続して、リファレンス出力をグラウンドにデカップリングしてください。外部リファレンスを使うときは、SENSEピンをAVDDに接続してください。この接続により、内部リファレンスがディスエーブルになります。

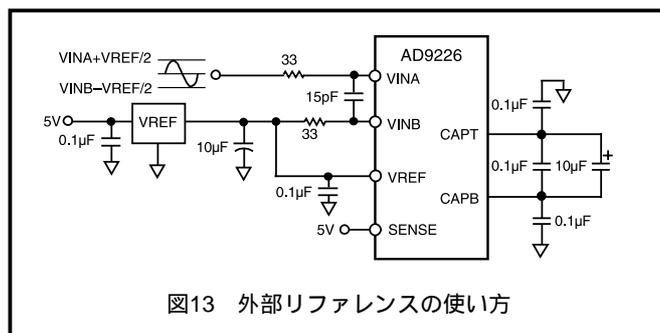


図13 外部リファレンスの使い方

## モード制御

### クロック安定器

クロック安定器は、ADCがクロック・デューティ・サイクルの変動の影響を受けないようにする回路です。AD9226は、入力デューティ・サイクルに無関係に内部デューティ・サイクルを50%に設定する回路を採用し、システム・クロックの制約を抑えています。クロックの立ち上がりエッジ(サンプリング・エッジ)のジッターを低く維持すると同時に、クリティカルでない立ち下がりエッジもチップ内で発生させます。クロック周波数を変更、または完全に停止させる場合は、クロック安定器はディスエーブルにすることが望ましく、場合によっては必要です。

クロック周波数を変更した場合は、クロック安定器が別の速度で安定するまでに100クロック・サイクルを超える時間が必要です。安定器をディスエーブルにすると、内部スイッチングがクロック状態の影響を直接受けます。外部クロックがハイのとき、SHAはホールド状態になります。クロック・パルスがローのとき、SHAはトラック状態になります。TPC16に、クロック安定器を使う利点を示します。表Iと表IIIを参照してください。

## データ・フォーマット選択 (DFS)

AD9226は、自然2進または2の補数のデータ出力フォーマットに設定できます。表Iと表IIを参照してください。

## SSOPパッケージ

SSOPモード・コントロール (ピン22) には、2つの機能があります。このピンは、クロック安定器をイネーブル/ディスエーブルにし、さらに出力データ・フォーマットを決定します。このモード・ピンの機能を表Iに示します。

表I モード選択 (SSOP)

モード	DFS	クロック・デューティ・サイクルの設定
DNC	2進数	クロック安定器をディスエーブル
AVDD	2進数	クロック安定器イネーブル
GND	2の補数	クロック安定器をイネーブル
10k	2の補数	クロック安定器をディスエーブル
抵抗	GNDへ接続	

## LQFPパッケージ

LQFPパッケージのピン35は、出力データ・フォーマット (DFS) を決定します。このピンをAVSSに接続すると、出力ワードは自然2進数になります。このピンをAVDDに接続すると、出力データ・フォーマットは2の補数になります。表IIを参照してください。

LQFPパッケージのピン43は、AD9226のクロック安定器機能を制御します。このピンをAVDDに接続すると、変換アーキテクチャ内で両クロック・エッジを使用します。ピン43をAVSSに接続すると、内部デューティ・サイクルがADC内部でクロック安定器機能により決定されます。表IIIを参照してください。

表II DFSピンの制御

DFS機能	ピン35の接続
自然2進数	AVDD
2の補数	AVSS

表III クロック安定器ピン

クロック再生機能	ピン43の接続
クロック安定器をイネーブル	AVDD
クロック安定器をディスエーブル	AVSS

## デジタル入/出力

### デジタル出力

表IVに、ADC入力、OTR、自然2進数出力の間の関係を示します。

表IV 出力データ・フォーマット

入力 (V)	条件 (V)	自然2進数出力モード	2の補数モード	OTR
VIVA-VINE	< -VREF	0000 0000 0000	1000 0000 0000	1
VIVA-VINE	= -VREF	0000 0000 0000	1000 0000 0000	0
VIVA-VINE	= 0	1000 0000 0000	0000 0000 0000	0
VIVA-VINE	= +VREF - 1LSB	1111 1111 1111	0111 1111 1111	0
VIVA-VINE	= +VREF	1111 1111 1111	0111 1111 1111	1

### 範囲外 (OTR)

範囲外状態は、アナログ入力電圧がコンバータの入力範囲を超えた場合に発生します。OTRは、サンプルされた特定のアナログ入力電圧に対応するデータ出力と一緒に更新される、デジタル出力です。したがって、OTRにはデジタル・データと同じパイプライン遅延 (レイテンシ) があります。アナログ入力電圧が範囲内にあるとき、OTRはローになります。OTRはアナログ入力電圧が入力範囲を超えるときにハイになります (図14)。アナログ入力が入力範囲内に戻り、次の変換が完了するまで、OTRはハイを維持します。OTRとMSBのANDをとって反転すると、オーバーフロー/アンダーフローを区別できます。表Vに、図15に示すNANDゲートを使ったオーバーフロー/アンダーフロー回路の真理表を示します。AD9226入力信号のプログラマブルなゲイン設定を必要とするシステムは範囲状態を瞬時に検出できるため、ゲイン選択を繰り返す必要はありません。また、OTRはデジタル・オフセットとゲイン・キャリブレーションにも使用できます。

表V 範囲外の真理表

OTR	MSB	アナログ入力の状態
0	0	範囲内
0	1	範囲内
1	0	アンダーフロー
1	1	オーバーフロー

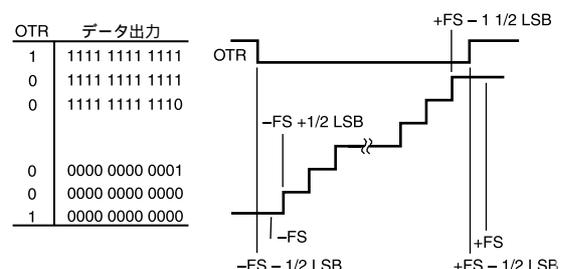


図14 OTR 対 入力電圧および出力データ

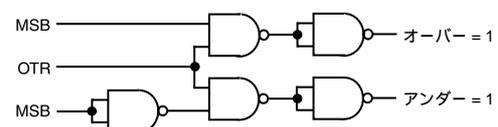


図15 オーバーフロー/アンダーフロー検出回路

# AD9226

## デジタル出力ドライバの考慮事項

AD9226の出力ドライバは、DRVDDを5Vまたは3.3Vに接続することにより、それぞれ5Vまたは3.3Vのロジック・ファミリーとインターフェースするように設定できます。出力ドライバは、あらゆるロジック・ファミリーを駆動するために十分な出力電流を提供する設計になっています。ただし、大きな駆動電流は電源にグルッチを生じさせる傾向を持つため、コンバータ性能に影響を与えることがあります。ADCにより大きな容量負荷または大きなファンアウトを駆動する必要があるアプリケーションでは、外部バッファまたはラッチが必要となる場合があります。

## OEBの機能 (スリーステート)

LQFPパッケージのAD9226には、スリーステート (OEB) 機能があります。OEBピンをローにすると、出力データ・ドライバがインピーダンス状態になります。OEBピンをハイにすると、出力データ・ドライバは高インピーダンス状態になります。バスに対する高速アクセスを意図したものではありません。

## クロック入力の考慮事項

高速・高分解能のADCは、クロック入力の品質に敏感です。ジッターがAD9226のダイナミック性能に影響を与える場合、クロック入力をアナログ信号として扱う必要があります。クロック・ドライバの電源はADC出力ドライバの電源と分離して、クロック信号がデジタル・ノイズから変調を受けないようにしてください。低ジッターのクリスタル・オシレータは最適なクロック源になります。クロック入力の品質、特に立ち上がりエッジはデバイスの最適ジッター性能を得るために重要です。立ち上がりエッジが高速になると、ジッターは小さくなります。

## クロック入力および消費電力

AD9226の大部分の電力はアナログ電源から消費されます。ただし、クロック・スピードを下げるとデジタル電流は減少します。図16に、消費電力とクロック・レートとの関係を示します。

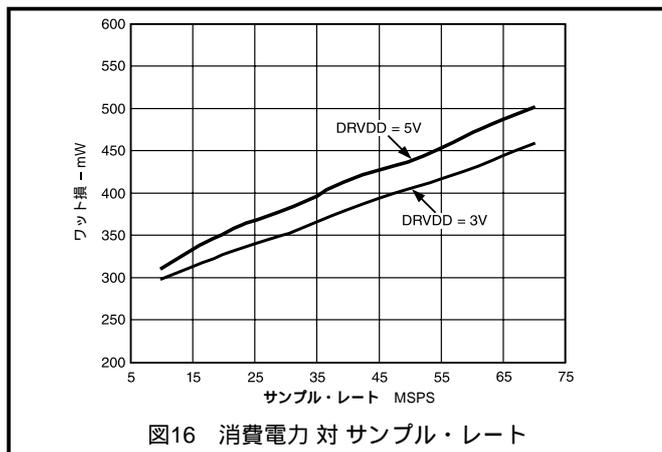


図16 消費電力 対 サンプル・レート

## グラウンドとデカップリング

### アナログ・グラウンドとデジタル・グラウンド

すべての高速高分解能システムで、適切なグラウンドは重要です。多層プリント回路ボード (PCB) を使って、最適なグラウンドと電源を供給することを推奨します。グラウンド・プレーンと電源プレーンを使うと、次のような利点があります。

1. 信号バスとそのリターン・パスで囲まれるループ領域が最小になります。
2. グラウンド・バスと電源バスに対応するインピーダンスが最小になります。

ります。

3. 電源プレーン、PCB絶縁体、グラウンド・プレーンにより分布コンデンサが形成されます。

ノイズが入力信号に混入しないようにするレイアウトを設計することは重要です。デジタル信号は入力信号パターンと並行に配置せず、入力回路から離して配置します。AD9226ではアナログ・グラウンド・ピンとドライバ・グラウンド・ピンが別れていますが、アナログ部品として扱う必要があります。AVSSピンとDRVSSピンは、AD9226の真下で直接接続してください。電源とグラウンドのリターン電流が注意深く管理されている場合は、ADCの下のグラウンド・プレーンを厚くするのが望ましいことです。

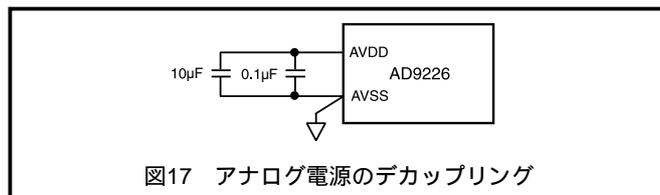


図17 アナログ電源のデカップリング

## アナログ電源とデジタル・ドライバ電源のデカップリング

AD9226では、アナログ電源ピン、デジタル電源ピン、グラウンド・ピンが別れており、デジタル信号が敏感なアナログ信号に混入するのを防いでいます。一般に、AVDD (アナログ電源) は、AVSS (アナログ・グラウンド) からデカップリングする必要があります。AVDDピンとAVSSピンは隣接しています。また、DRVDD (デジタル電源) は、DRVDD (デジタル・グラウンド) からデカップリングする必要があります。デカップリング・コンデンサ (特に0.1µF) は、ピンのできるだけ近くに配置してください。図17に、アナログ電源対に対する推奨デカップリングを示します。0.1µFのセラミック・チップ・コンデンサと10µFのタンタル・コンデンサにより、広い周波数範囲で十分低いインピーダンスを用意する必要があります。



図18 CMLのデカップリング (LQFP)

## バイアスのデカップリング

CMLとVRは、AD9226内部で使用されるアナログ・バイアス・ポイントです。これらのピンは、最小でも0.1µFのコンデンサでデカップリングする必要があります (図18)。CMLのDCレベルは約AVDD/2です。この電圧を外部バイアスに使用する場合は、バッファが必要です。CML出力とVR出力は、LQFPパッケージにしかありません。

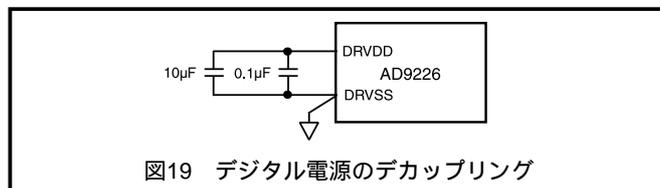


図19 デジタル電源のデカップリング

## CML

LQFPパッケージのAD9226には、中点電圧リファレンス・ポイントがあります。この中点電圧出力はAD9226の内部で使用されているため、0.1µFのコンデンサでデカップリングする必要があります。最大300µAの負荷をシンクまたはソースします。これより大きな電流が必要な場合は、高インピーダンス・アンブでバッファする必要があります。

VR

VRは、LQFPパッケージにある内部バイアス・ポイントです。0.1  $\mu$ Fのコンデンサでグラウンドからデカップリングしてください。

AD9226チップ上のデジタル動作は、補正ロジックと出力ドライバの2種類に分類されます。内部補正ロジックは、比較的小さいサージ電流が主にクロック変化時に流れます。出力ドライバは、出力ビットの変化時に大きな電流インパルスが流れます。これらの電流の大きさと継続時間は、出力ビットの負荷の関数になります。大きな容量負荷は使用しないでください。

図19に示すデジタル・デカップリングに対しては、0.1  $\mu$ Fのセラミック・チップ・コンデンサと10  $\mu$ Fのタンタル・コンデンサが適しています。データ・ピンに適切な容量負荷は、各ビット当たり20pF未満です。大きなデジタル負荷を必要とするアプリケーションでは、比例してデジタル・デカップリングを増やすか、外部バッファ / ラッチの採用を検討してください。

完全なデカップリング方式には、電源コネクタ上の低周波リップルを無視できるレベルまで減少させる大きなタンタル・コンデンサまたは電解コンデンサを接続することがあります。

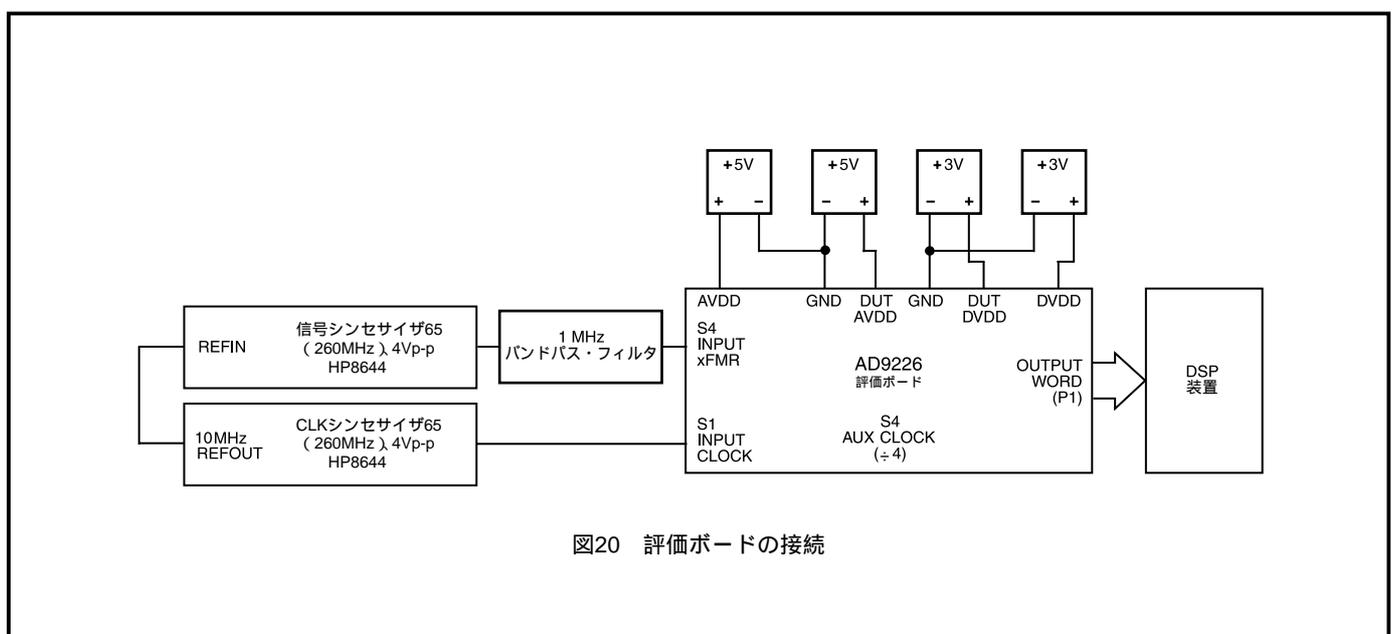
#### 評価ボードおよび代表的なベンチ・キャラクタライゼーションの接続

AD9226評価ボードは、両電源、アナログ信号、クロック入力信号を接続して動作するように設定されています。AD9226のAC / DC性能の評価が行える、3通りのアナログ入力インターフェースを用意しています。AC性能の評価に対しては、コモン・モード電圧 (CMV) = AVDD/2に設定した変成器結合入力を用意しています。評価ボードは、変成器結合インターフェースで、かつ2V入力スパンで出荷されています。差動DC結合アプリケーションに対しては、評価ボードはAD8138アンプから駆動するようになっています。シングル・エンド入力の場合は、S3コネクタから駆動します。さまざまな入力信号オプションは、ジャンパ接続により使用可能です。評価ボード回路図を参

照してください。

AD9226評価ボードへのクロック入力信号は、CLOCKとAUXCLKのいずれかの入力に接続できます。CLOCK入力は、入力クロック信号周波数がAD9226のターゲット・サンプル・レートに一致する場合に使用します。入力クロック信号はAC結合して、74VHC02クロック・ドライバのスイッチング・スレシヨルドまでレベルシフトされます。AUXCLK入力は、ジッターとS/N比性能を最小に抑える必要があるアプリケーション (IFアンダー・サンプリング・キャラクタライゼーション) の場合に、選択します。AD9226のターゲットとなるサンプル・レートの4倍のクロック信号を入力できます。低ジッターの差動4分周カウンタMC100EL33DIは、JP7を経由してCLOCK入力へ戻る1クロック出力を提供します。例えば、260MHz信号 (サイン波) は65MHzの信号になるまで分周されてADCのクロックになります。AUXCLKインターフェースではR1を削除する必要があります。多くのRF信号ジェネレータは高い出力周波数で位相ノイズが良くなく、かつサイン波出力信号のスルー・レートは等しい振幅の1倍信号の4倍であるため、このインターフェースでジッターを小さくすることが可能になる場合があります。

データシートのほとんどの特性曲線に用いている、AD9226のAC性能を評価するベンチ・キャラクタライゼーション用の接続を図20に示します。信号とクロックRFジェネレータのAとBは、高周波の「非常に」小さい位相ノイズを持つ周波数源です。計装用バック・パネル上にある同じ10MHz REF信号を共用することにより、これらのジェネレータを位相ロックさせて、非ウィンドウのコヒーレントFFTを可能にする必要があります。また、最適なS/N比性能を得るためには、AD9226評価ボードのAUXCLKオプションを使ってください。ADCの真の性能を測定する際には、RFジェネレータの歪みと広帯域ノイズが制約となることがあるため、高いIQを持つバンドパス受動フィルタをジェネレータとAD9226評価ボードの間に接続してください。



# AD9226

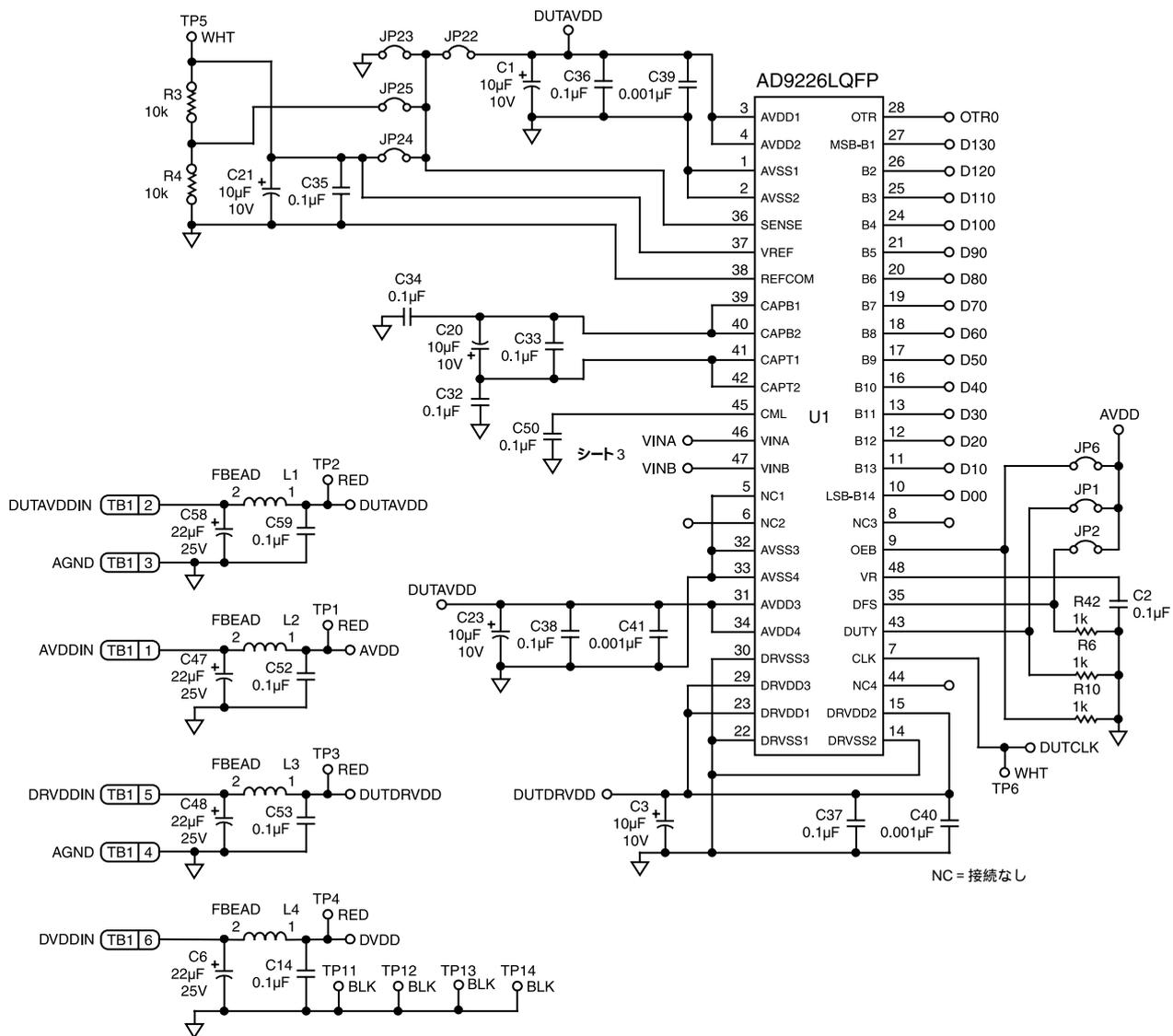


図21 AD9226評価ボード

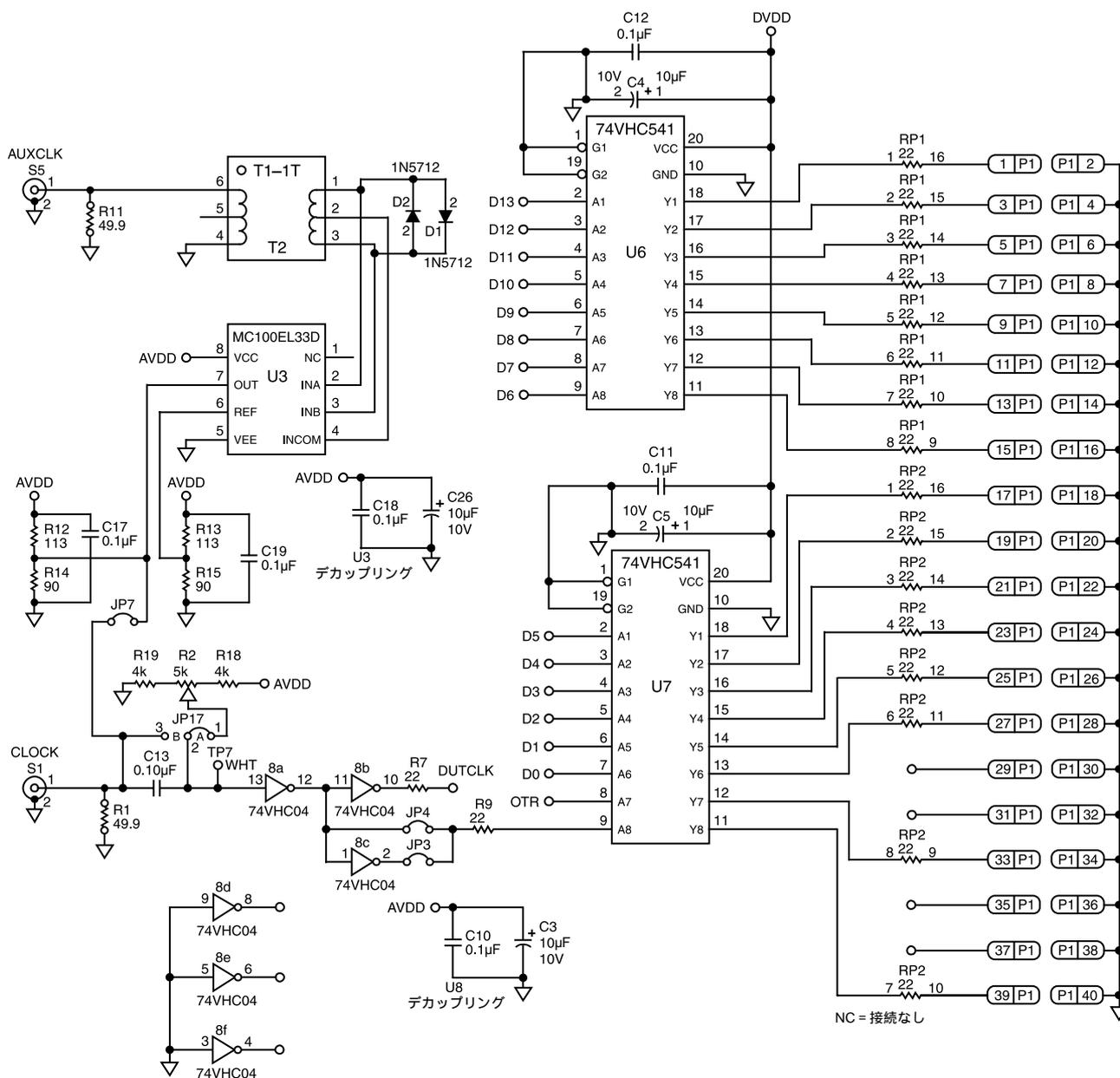


図22 AD9226評価ボード

# AD9226

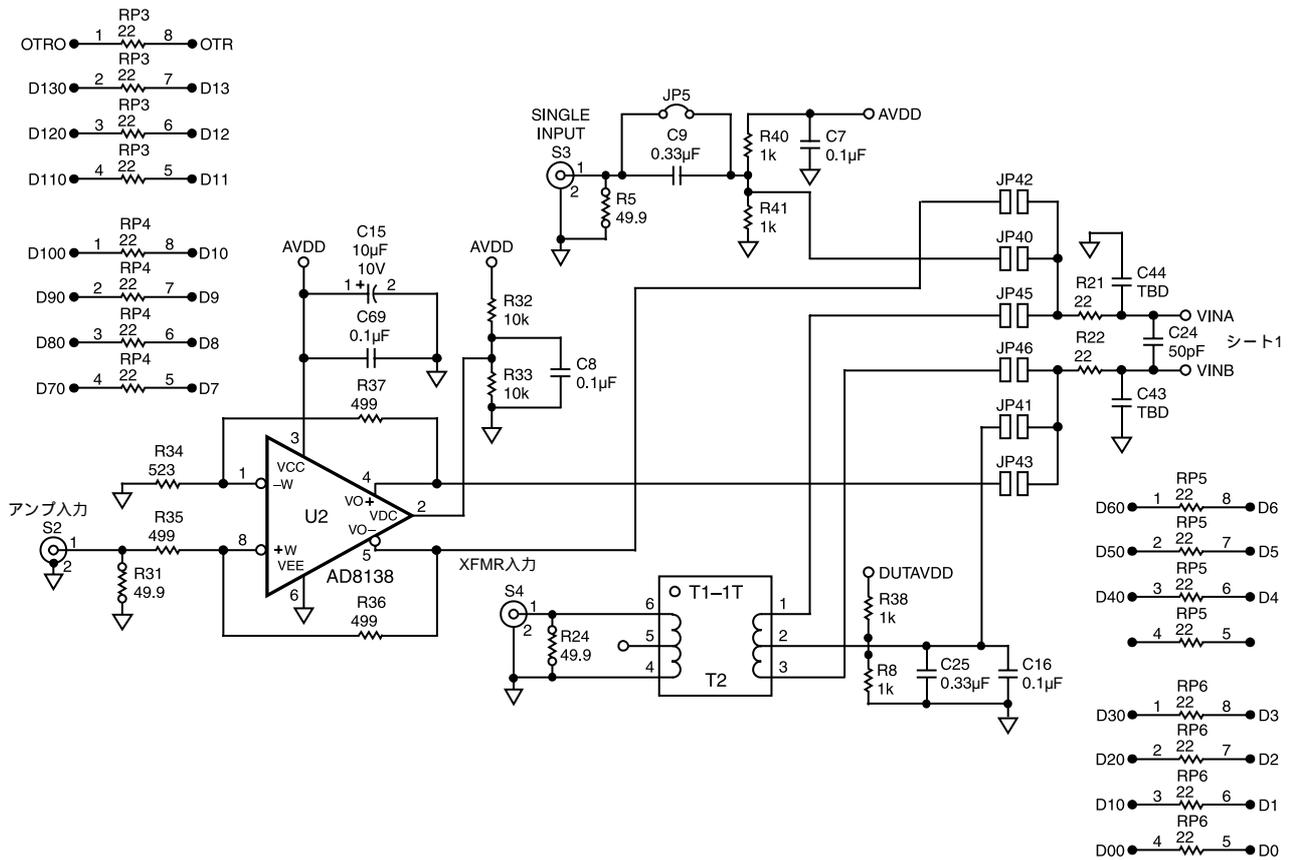


図23 AD9226評価ボード

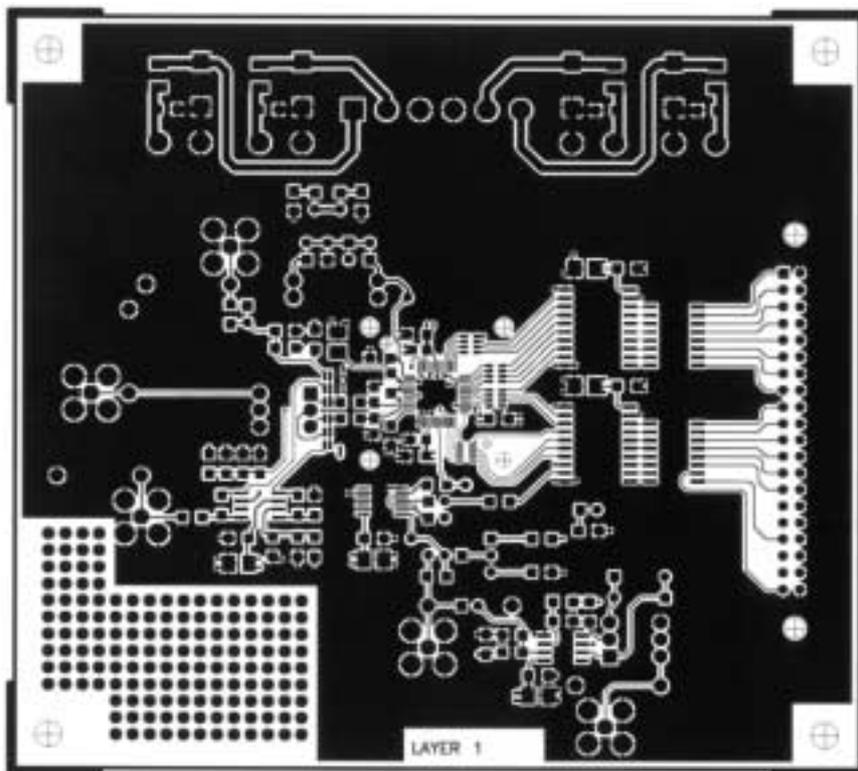


図24 評価ボードの部品面のレイアウト (縮尺は異なります)

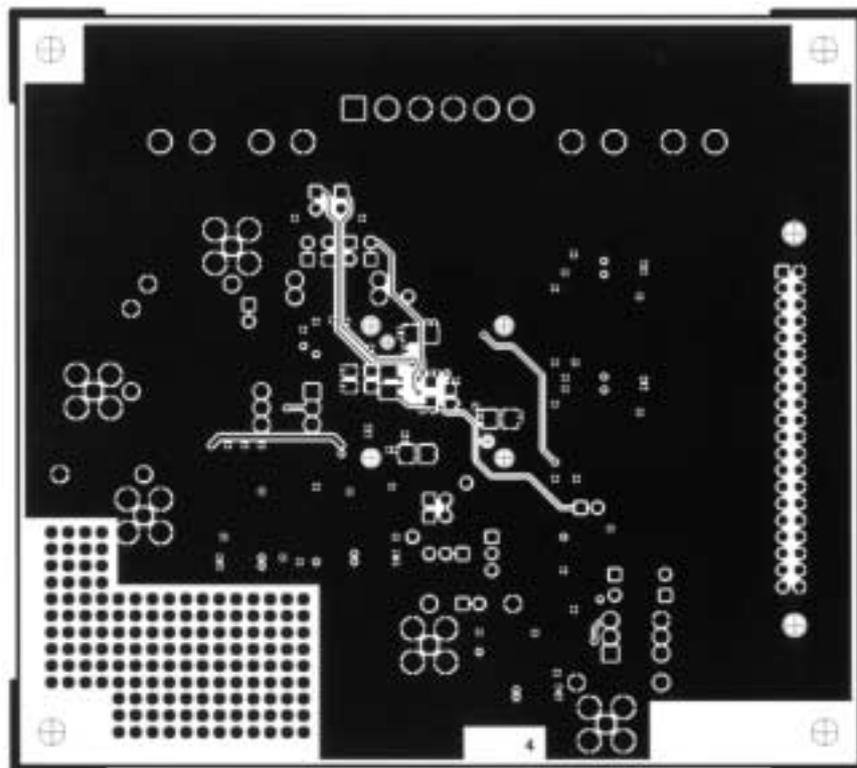


図25 評価ボード、ハンダ面のレイアウト（縮尺は異なります）

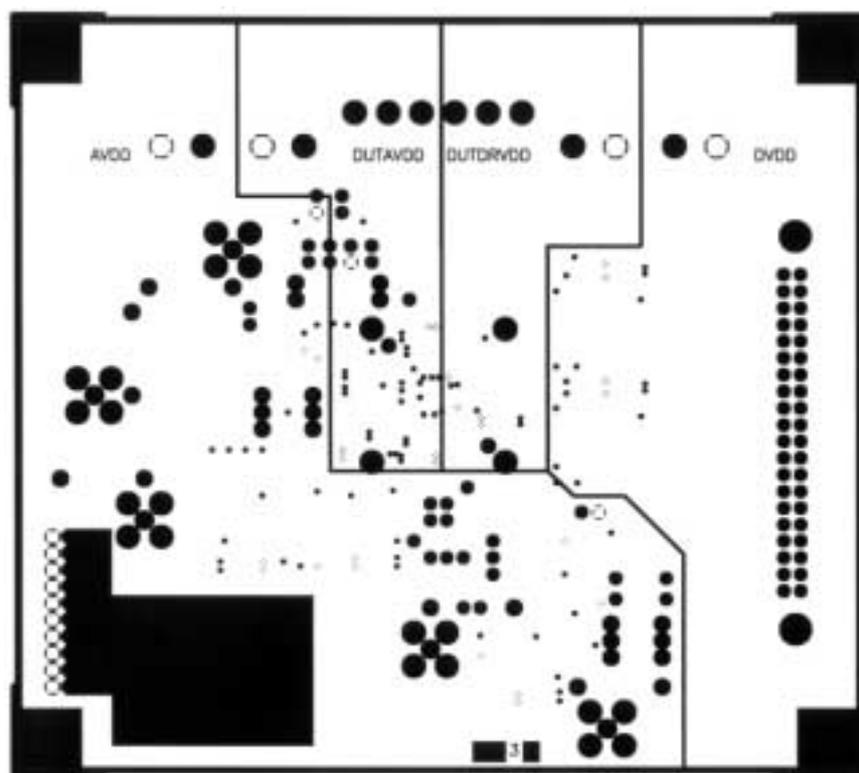


図26 評価ボードの電源プレーン

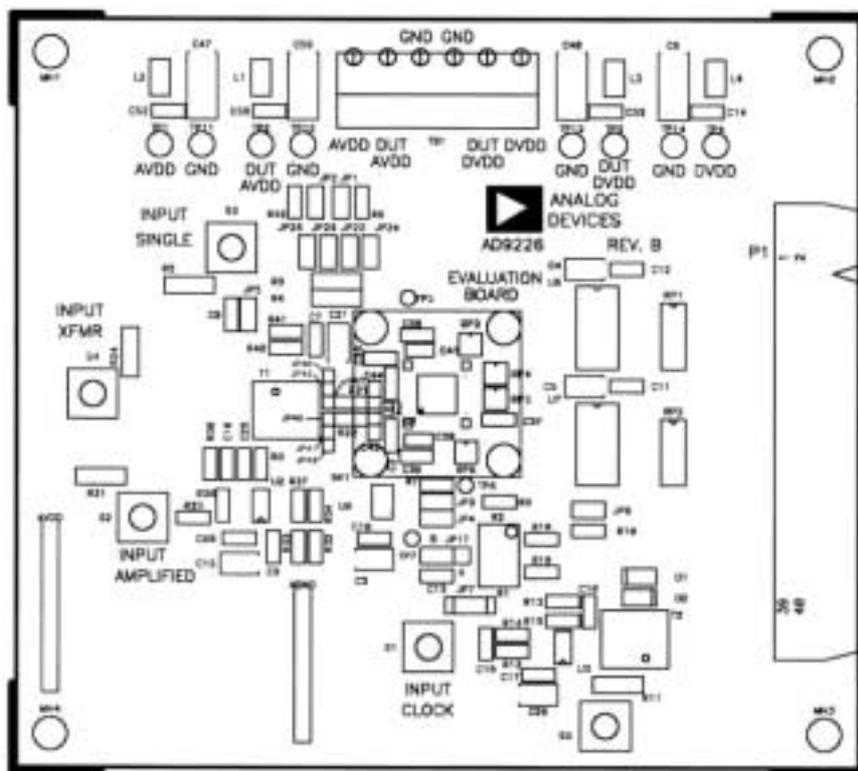


図27 評価ボードのグラウンド・プレーン

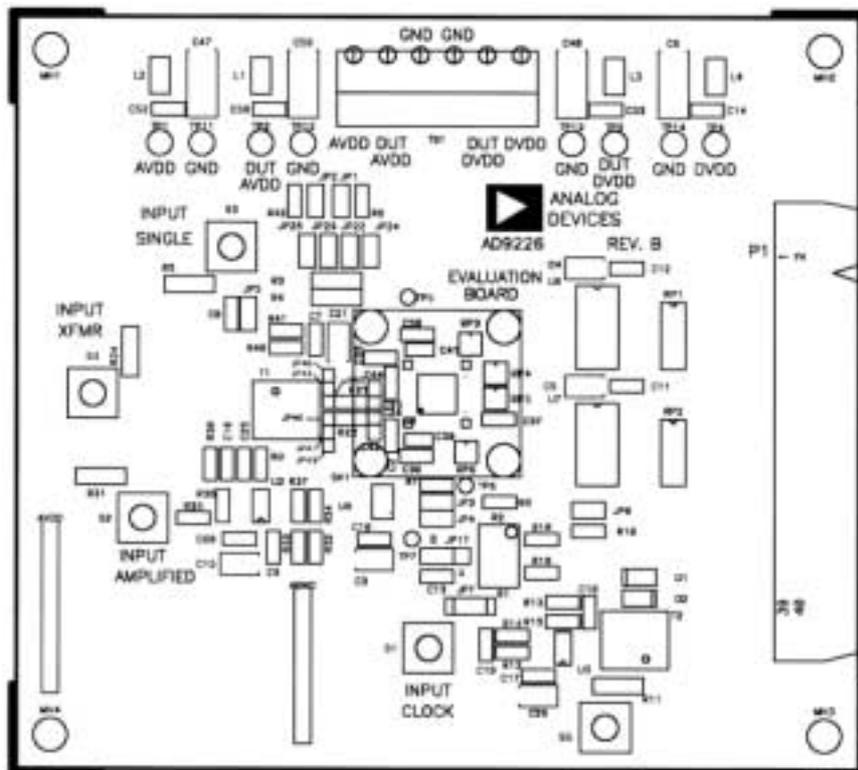


図28 評価ボードの部品面 (縮尺は異なります)

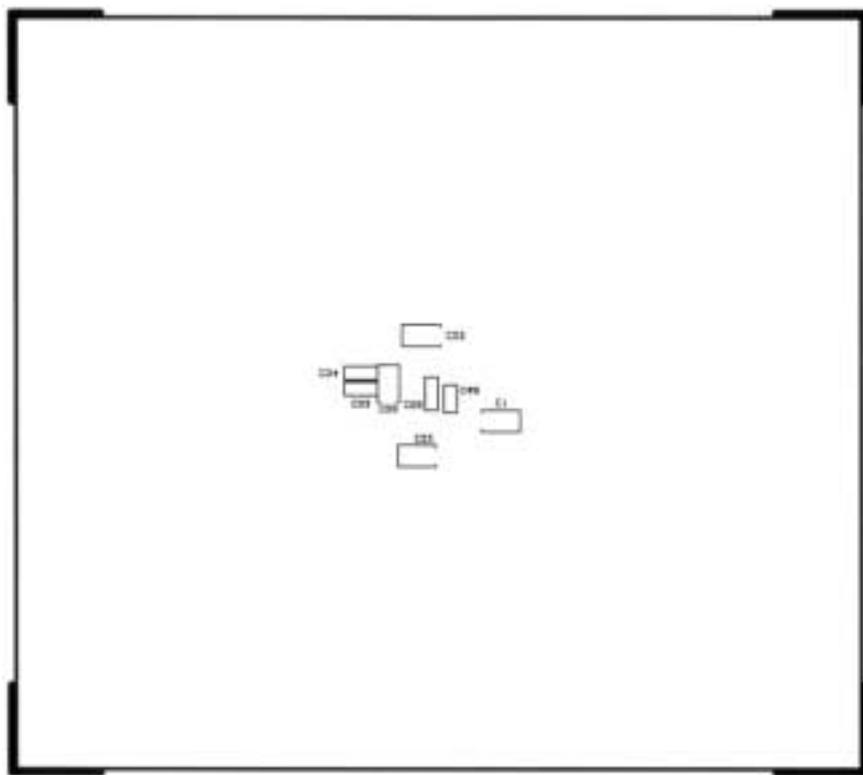


図29 評価ボードのハンダ面（縮尺は異なります）

# AD9226

## 外形寸法

サイズはインチと (mm) で示します。

28ピン・シュリンク・スモール・アウトライン  
(RS-28)

48ピン薄型プラスチック・クワッド・フラットバック  
(ST-48)

