

### 特長

デュアル10ビット、40/65/80/105MSPSのA/Dコンバータ

低消費電力：275mW / 1チャンネル@105MSPS

リファレンスおよびトラック/ホールド・アンプ内蔵

300MHzのアナログ帯域幅 / 各チャンネル

S/N比：57dB@41MHz（エンコード：80MSPS）

1Vp-pまたは2Vp-pアナログ入力範囲 / 各チャンネル

3.0V単電源動作（2.7~3.6V）

シングル・チャンネル動作のパワーダウン・モード

2の補数またはオフセット・バイナリ出力モード

出力データ・アライメント・モード

8ビットのA/D9288とピン・コンパチブル

チャンネル間クロストーク：-75dBc

### アプリケーション

バッテリー駆動機器

携帯型スコープメータ

ローコスト・デジタル・オシロスコープ

IおよびQ通信

超音波装置

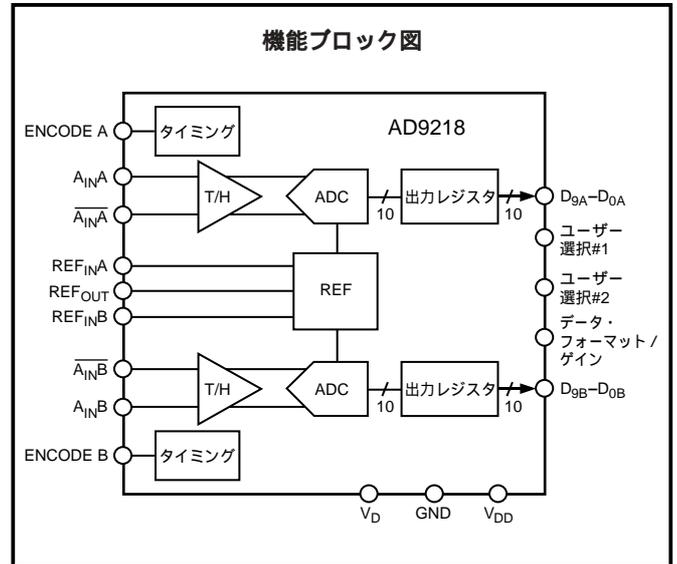
### 概要

AD9218は、内蔵トラック/ホールド回路を備えたデュアル・10ビットのモノリシック・サンプリングA/Dコンバータです。低コスト、低消費電力、小型、取扱いの容易さなどの点が最適化された製品です。AD9218は105MSPSの変換レートで動作し、全動作範囲にわたって優れたダイナミック特性を持っています。また、各チャンネルは、独立して動作させることができます。

AD9218は、3.0V（2.7~3.6V）単電源と1つのエンコード・クロックだけで、完全な動作が可能なA/Dコンバータです。ほとんどのアプリケーションで、外部リファレンスまたはドライバ部品が不要です。デジタル出力はTTL/CMOSコンパチブルであり、分離された出力電源ピンを備えているので、3.3Vまたは2.5Vロジックとのインターフェースに対応できます。

クロック入力はTTL/CMOSコンパチブルであり、10ビットのデジタル出力は3.0V（2.5~3.6V）電源から動作します。パワーダウン・モード、デジタル・データ・フォーマット、デジタル・データ・タイミングの組み合わせは、オプションにより、ユーザーによる選択が可能です。パワー・ダウン・モードでは、デジタル出力はハイ・インピーダンス状態となります。

AD9218は、先進のCMOSプロセスにより製造され、48ピン表面実装型プラスチック・パッケージ（7×7mm LQFP）で供給され、工業温度範囲（-40~+85）で仕様規定されています。



### 製品のハイライト

低消費電力

105MSPS動作での消費電力は、わずか275mW / チャンネル。他の変換速度では、優れたAC特性を維持しながら、速度に比例して消費電力が減少します。

ピン・コンパチブルなアップグレード

8ビットのAD9288デュアルA/Dコンバータとピン・コンパチブルなので、8ビットから10ビットへのアップグレードが容易。

使用が容易

内蔵リファレンスおよびユーザー・コントロールによって、柔軟なシステム設計を実現。

高性能

105MSPSにおけるナイキスト入力で54dBのS/N比を維持。

チャンネル間クロストーク

極めて低く、-75dBcを達成。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# AD9218 - 仕様

DC特性 (特に指定のない限り、 $V_{DD} = 3.0V$ 、 $V_D = 3.0V$ )

パラメータ	温度	テスト・レベル	AD9218BST-40/-65			AD9218BST-80/-105			単位
			Min	Typ	Max	Min	Typ	Max	
分解能				10			10		ビット
精度									
ノーマル・ミスコード <sup>1</sup>	全範囲	VI		GNT			GNT		
オフセット誤差 <sup>2</sup>	25	I	-18	2	18	-18	2	18	LSB
ゲイン誤差 <sup>2</sup>	25	I	-2	3	8	-2	3.5	8	% FS
微分非直線性 (DNL)	25	I	-1	$\pm 0.3/\pm 0.6$	1/1.3	-1	$\pm 0.5/\pm 0.8$	1.2/1.7	LSB
	全範囲	VI		$\pm 0.8$			$\pm 0.6/\pm 0.9$		LSB
積分非直線性 (INL)	25	I	-1/-1.6	$\pm 0.3/\pm 1$	1/1.6	-1.35/-2.7	$\pm 0.75/\pm 2$	1.35/2.7	LSB
	全範囲	VI		$\pm 1$			$\pm 1/\pm 2.3$		LSB
温度ドリフト									
オフセット誤差	全範囲	V		10			4		ppm/
ゲイン誤差 <sup>2</sup>	全範囲	V		80			100		ppm/
リファレンス	全範囲	V		40			40		ppm/
リファレンス									
内部リファレンス (REFOUT)	25	I	1.18	1.24	1.28	1.18	1.24	1.28	V
入力抵抗 (REFIN A,B)	全範囲	V	9	11	13	9	11	13	k
アナログ入力									
差動入力電圧範囲 (AIN, AIN <sup>+</sup> ) <sup>3</sup>	全範囲	V		1または2			1		V
コモンモード電圧	全範囲	V		$V_D/3$			$V_D/3$		V
入力抵抗	全範囲	VI	8	10	14	8	10	14	k
入力容量	25	V		3			3		pF
電源									
$V_D$	全範囲	IV	2.7	3	3.6	2.7	3	3.6	V
$V_{DD}$	全範囲	IV	2.7	3	3.6	2.7	3	3.6	V
電源電流									
$I_{V_D}$ ( $V_D = 3.0V$ ) <sup>4</sup>	全範囲	VI		108/117	113/122		172/183	175/188	mA
$I_{V_{DD}}$ ( $V_{DD} = 3.0V$ ) <sup>4</sup>	25	V		7/11			13/17		mA
消費電力 DC <sup>5</sup>	全範囲	VI		325/350	340/365		515/550	525/565	mW
$I_{V_D}$ パワーダウン電流 <sup>6</sup>	全範囲	VI		20			22		mA
電源除去比	25	I		$\pm 1$			$\pm 1$		mV/V

## 注

- 40MSPS、65MSPS、80MSPSの各グレードでは、工業温度範囲でのノーマル・ミスコードを保証。105MSPSグレードでは室温におけるノーマル・ミスコードを保証。
- ゲイン誤差およびゲイン温度係数は、2V<sub>p-p</sub>範囲での65グレード、1V<sub>p-p</sub>範囲での40、85、105グレードのA/Dコンバータ (外部リファレンスは1.25Vに固定) のみについての数値です。
- 1V範囲 (フルスケール) において (AIN-AIN<sup>+</sup>) =  $\pm 0.5V$ 、2V範囲 (フルスケール) において (AIN-AIN<sup>+</sup>) =  $\pm 1V$ です。
- 定格エンコード、0.5dBFSにおける10.3MHzのアナログ入力、 $C_{LOAD} = 5pF$ で測定されたAC消費電力です。
- 定格エンコード、DCアナログ入力 (スタティック出力、 $I_{V_{DD}} = 0$ ) で測定されたDC消費電力です。
- $I_{V_{DD}} = 10 \mu A$  typのパワーダウン状態における値です (すべてのグレード)。

仕様は予告なく変更されることがあります。

## デジタル特性 (特に指定のない限り、 $V_{DD} = 3.0V$ 、 $V_D = 3.0V$ 、外部リファレンス)

パラメータ	温度	テスト・レベル	AD9218BST-40/-65			AD9218BST-80/-105			単位
			Min	Typ	Max	Min	Typ	Max	
<b>デジタル入力</b>									
エンコード入力コモン・モード	全範囲	V		$V_D/2$			$V_D/2$		V
エンコード“1”電圧	全範囲	VI	2			2			V
エンコード“0”電圧	全範囲	VI			0.8			0.8	V
エンコード入力抵抗	全範囲	VI	1.8	2.0	2.3	1.8	2.0	2.3	k
ロジック“1”電圧 - S1,S2,DFS	全範囲	VI	2			2			V
ロジック“0”電圧 - S1,S2,DFS	全範囲	VI			0.8			0.8	V
ロジック“1”電流 - S1	全範囲	VI	-50	$\pm 10$	+50	-50	$\pm 10$	+50	$\mu A$
ロジック“0”電流 - S1	全範囲	VI	-400	-230	-50	-400	-230	-50	$\mu A$
ロジック“1”電流 - S2	全範囲	VI	50	230	400	50	230	400	$\mu A$
ロジック“0”電流 - S2	全範囲	VI	-50	$\pm 10$	+50	-50	$\pm 10$	+50	$\mu A$
ロジック“1”電流 - DFS	全範囲	VI	30	100	200	30	100	200	$\mu A$
ロジック“0”電流 - DFS	全範囲	VI	-400	-230	-50	-400	-230	-50	$\mu A$
入力容量 - S1,S2、エンコード入力	25	V		2			2		pF
入力容量 DFS	25	V		4.5			4.5		pF
<b>デジタル出力</b>									
ロジック“1”電圧	全範囲	VI	2.45			2.45			V
ロジック“0”電圧	全範囲	VI			0.05			0.05	V
出力コーディング			2の補数またはオフセット・バイナリ			2の補数またはオフセット・バイナリ			

仕様は予告なく変更されることがあります。

## AC特性 (特に指定のない限り、 $V_{DD} = 3.0V$ 、 $V_{DD} = 3.0V$ 、外部リファレンス)

パラメータ	温度	テスト・レベル	AD9218BST-40/-65			AD9218BST-80/-105			単位
			Min	Typ	Max	Min	Typ	Max	
<b>ダイナミック特性<sup>1</sup></b>									
S/N比 (SNR)									
(高調波を除く)									
$f_{IN} = 10.3MHz$	25	I	58/55	59/57		57/53	58/55		dB
$f_{IN} = \text{ナイキスト}^2$	25	I	-/54	59/56		55/52	57/54		dB
S/N比 (SINAD)									
(高調波を含む)									
$f_{IN} = 10.3MHz$	25	I	58/54	59/56		56/52	58/53		dB
$f_{IN} = \text{ナイキスト}^2$	25	I	-/53	59/55		55/51	57/53		dB
実効ビット数 (ENB)									
$f_{IN} = 10.3MHz$	25	I	9.4/8.8	9.6/9.1		9.1/8.4	9.4/8.6		ビット
$f_{IN} = \text{ナイキスト}^2$	25	I	-/8.6	9.6/8.9		9/8.3	9.3/8.6		ビット
2次高調波歪み									
$f_{IN} = 10.3MHz$	25	I	-72/-66	-89/-77		-69/-60	-77/-68		dBc
$f_{IN} = \text{ナイキスト}^2$	25	I	-/-63	-89/-72		-65/-57	-76/-66		dBc
3次高調波歪み									
$f_{IN} = 10.3MHz$	25	I	-68/-62	-79/-68		-62/-57	-71/-63		dBc
$f_{IN} = \text{ナイキスト}^2$	25	I	-/-60	-78/-64		-63/-57	-73/-69		dBc
スプリアスフリー・ダイナミックレンジ (SFDR)									
$f_{IN} = 10.3MHz$	25	I	-68/-62	-79/-67		-62/-57	-69/-62		dBc
$f_{IN} = \text{ナイキスト}^2$	25	I	-/-60	-78/-64		-63/-57	-70/-63		dBc
2周波相互変調歪み (IMD)									
-7dBFSにおいて									
$f_{IN1} = 10MHz, f_{IN2} = 11MHz$	25	V		-74/-73					dBc
-7dBFSにおいて									
$f_{IN1} = 30MHz, f_{IN2} = 31MHz$	25	V		-73/-73			-77/-67		dBc
アナログ帯域幅、フル・パワー									
クロストーク	25	V		300			300		MHz
	25	V		-75			-75		dBc

注  
<sup>1</sup> 特に指定のない限り、AC特性は10.3MHzにおける -0.5dBFSのアナログ入力電圧に対するものです。40、80、105の各グレードのAC特性は1Vp-p範囲で差動ドライブでテストしたものです。65グレードについてのAC特性は2Vp-p範囲で差動ドライブでテストしたものです。  
<sup>2</sup> 65、80、105のグレードについてはナイキスト周波数に近い周波数でテストしたものです。65、80、105のグレードについて、それぞれ、31MHz、39MHz、51MHzにおける値です。  
 仕様は予告なく変更されることがあります。

# AD9218 - 仕様

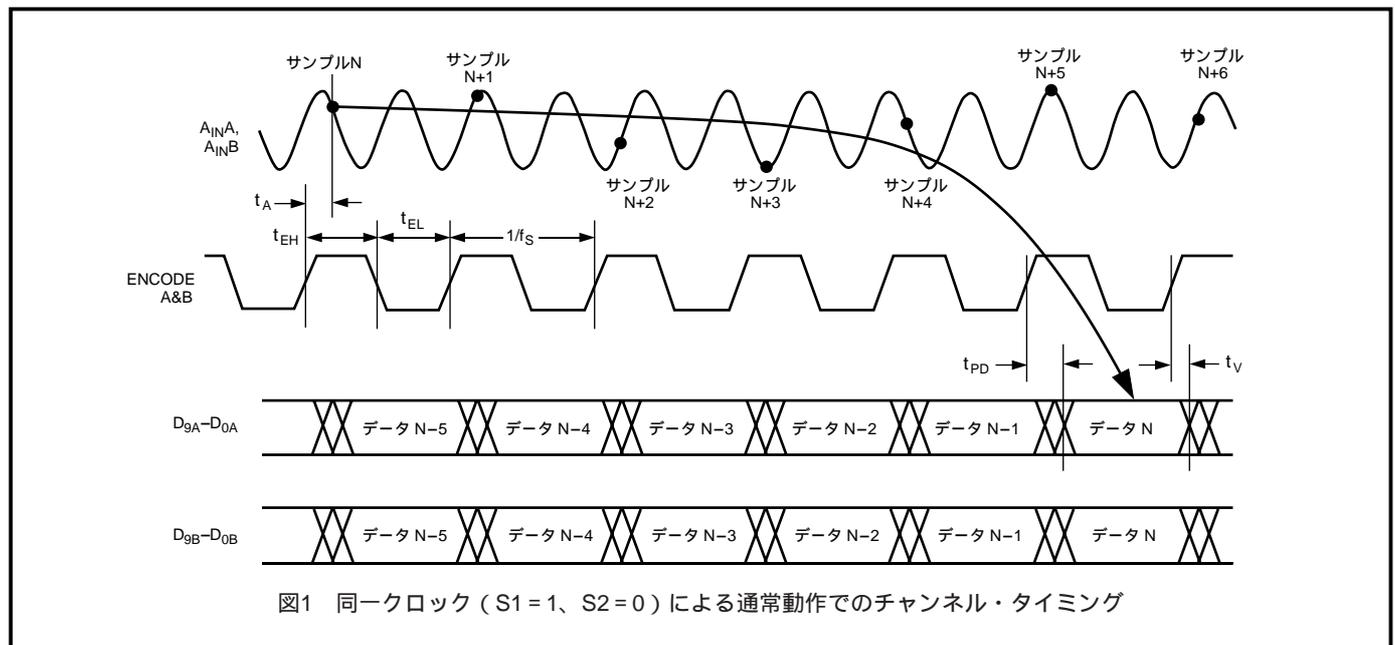
スイッチング特性 (特に指定のない限り、 $V_{DD}=3.0V$ 、 $V_D=3.0V$ 、外部リファレンス)

パラメータ	温度	テスト・レベル	AD9218BST-40/-65			AD9218BST-80/-105			単位
			Min	Typ	Max	Min	Typ	Max	
エンコード入力パラメータ									
最大エンコード・レート	全範囲	VI	40/65			80/105			MSPS
最小エンコード・レート	全範囲	IV			20/20			20/20	MSPS
エンコード・パルス幅ハイ ( $t_{EH}$ )	全範囲	IV	7/6			5/3.8			ns
エンコード・パルス幅ロー ( $t_{EL}$ )	全範囲	IV	7/6			5/3.8			ns
アパーチャ遅延 ( $t_A$ )	25	V		2			2		ns
アパーチャ不確定性 (ジッター)	25	V		3			3		ps rms
デジタル出力パラメータ									
出力有効期間 ( $t_V$ ) *	全範囲	VI	3			3			ns
出力伝播遅延 ( $t_{PD}$ ) *	全範囲	VI		4.5	7		4.5	6	ns
出力立ち上がり時間 ( $t_R$ )	25	V		1			1.0		ns
出力立ち下がり時間 ( $t_F$ )	25	V		1.2			1.2		ns
範囲外からのリカバリ時間	25	V		5			5		ns
過渡応答時間	25	V		5			5		ns
パワーダウンからのリカバリ時間	25	V		10			10		周期
パイプライン遅延	全範囲	IV		5			5		周期

## 注

\*  $t_V$ および $t_{PD}$ は、エンコード入力の1.5レベルからデジタル出力振幅の50%/50%レベルまでを測定したものです。テストにおけるデジタル出力のAC負荷は、5pFのAC負荷または $\pm 40 \mu A$ のDC電流を超えません。立ち上がり/立ち下がりの時間は、10%と90%の間で測定したものです。

仕様は予告なく変更されることがあります。



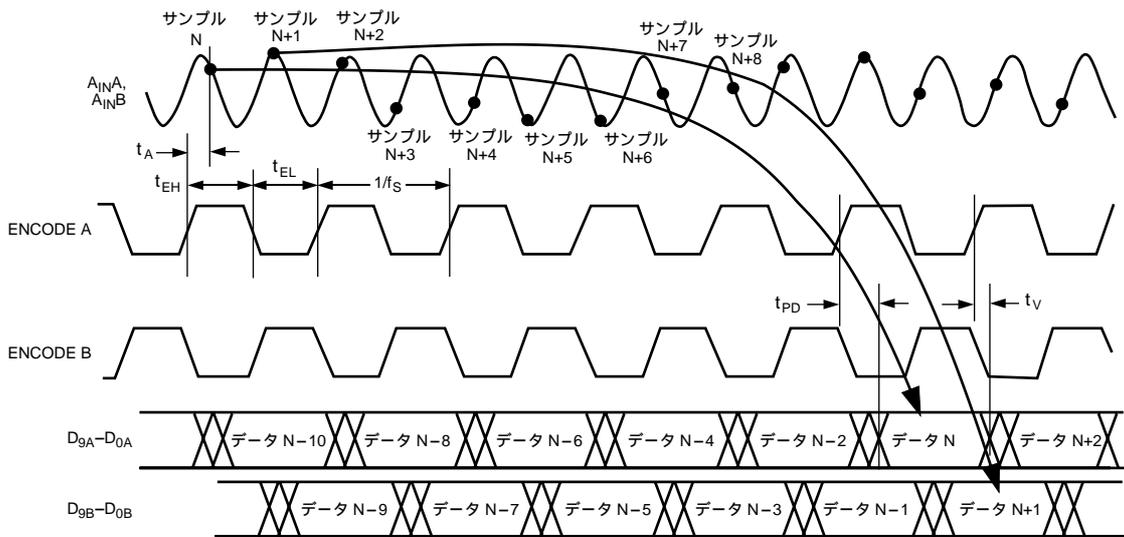


図2 2つのクロック・ソース (S1=1、S2=0) による通常動作でのチャンネル・タイミング

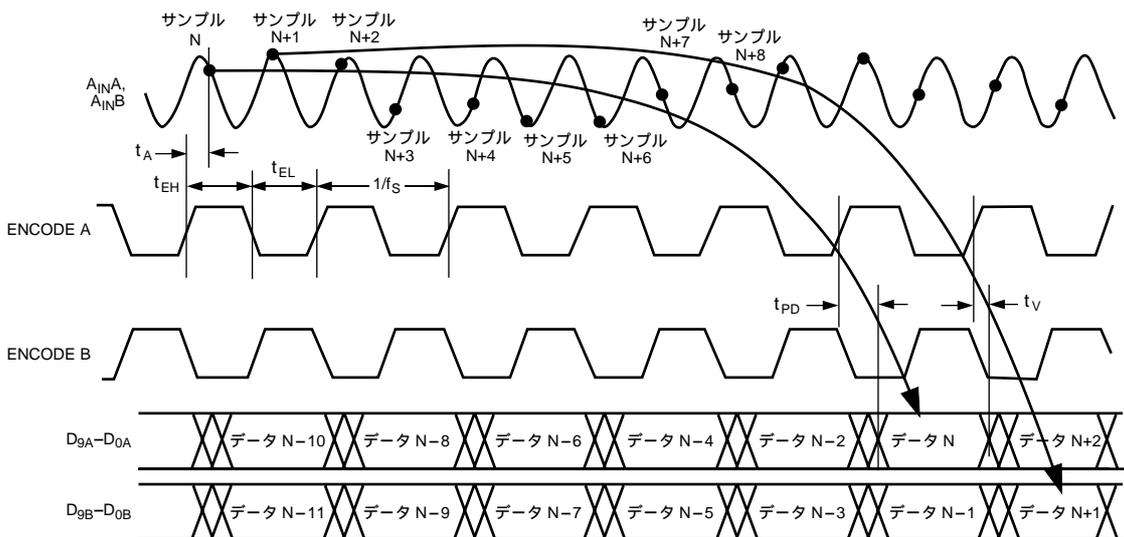


図3 2つのクロック・ソース (S1=1、S2=1) によるデータ・アラインでのチャンネル・タイミング

# AD9218

## 絶対最大定格<sup>1</sup>

$V_D$ 、 $V_{DD}$	4V
アナログ入力	- 0.5V ~ $V_D + 0.5V$
デジタル入力	- 0.5V ~ $V_{DD} + 0.5V$
REF <sub>IN</sub> 入力	- 0.5V ~ $V_D + 0.5V$
デジタル出力電流	20mA
動作温度	- 55 ~ + 125
保管温度	- 65 ~ + 150
最大接合温度	150
最大ケース温度	150
$J_A^2$	57 W

## 注

1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

2 連続したグラウンド・プレーンが設けられた4層基板における測定値です。

## 注意

ESD（静電放電）の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



## テスト・レベルの説明

### テスト・レベル

- I 100%製造テスト。
- II 25 における100%製造テスト、および特定の温度におけるサンプル・テスト。
- III サンプル・テストのみ。
- IV パラメータは設計および特性テストにより保証。
- V パラメータは代表値のみ。
- VI 25 において100%製造テスト。設計および特性テストにより、工業温度範囲で保証。軍用デバイスについては、極限温度において100%製造テスト。

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9218BST-40,-65,-80,-105	- 40 ~ + 85	メトリック・クワッド・フラット・バック（1.4mm厚：LQFP）	ST-48
AD9218-65PCB	25	評価ボード（40/65グレードに対応）	
AD9218-105PCB	25	評価ボード（80/105グレードに対応）	

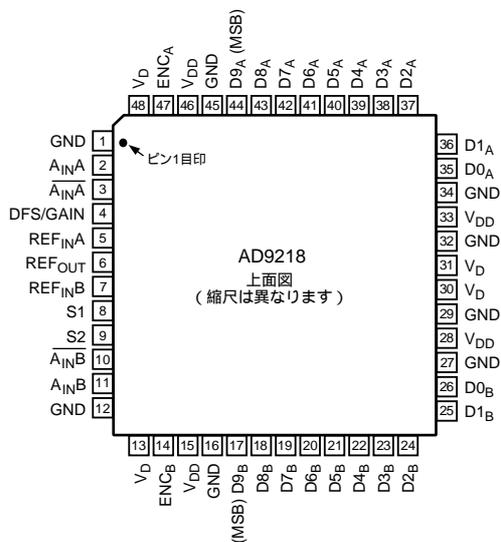
表1 ユーザー選択モード

S1	S2	ユーザー選択オプション
0	0	チャンネルAおよびBの両方をパワーダウン
0	1	チャンネルBのみをパワーダウン
1	0	通常動作（データ・アライン・ディスエーブル）
1	1	データ・アライン・イネーブル（クロックAの立ち上がりエッジで両チャンネルからのデータが有効。チャンネルBのデータは1/2クロック・サイクル遅延）

## ピン機能の説明

ピン番号	記号	機能
1,12,16,27,29,32,34,45	GND	グラウンド。
2	A <sub>IN</sub> A	チャンネルAへのアナログ入力。
3	$\overline{A}_{IN}A$	チャンネルAへのアナログ入力 (コンプリメンタリ)。
4	DFS/GAIN	データ・フォーマット選択およびアナログ入力ゲイン・モード (ローでオフセット・バイナリ出力が有効で1Vp-pに対応、ハイで2の補数による出力が有効で1Vp-pに対応、フローティングでオフセット・バイナリ出力が有効で2Vp-pに対応。V <sub>REF</sub> で2の補数による出力が有効で2Vp-pに対応)。
5	REF <sub>IN</sub> A	チャンネルAへのリファレンス入力。
6	REF <sub>OUT</sub>	内部リファレンス。
7	REF <sub>IN</sub> B	チャンネルBへのリファレンス入力。
8	S1	ユーザー選択#1 (表1参照)。
9	S2	ユーザー選択#2 (表1参照)。
10	$\overline{A}_{IN}B$	チャンネルBへのアナログ入力 (コンプリメンタリ)。
11	A <sub>IN</sub> B	チャンネルBへのアナログ入力。
13,30,31,48	V <sub>D</sub>	アナログ電源 (3V)。
14	ENC <sub>B</sub>	Bチャンネルへのクロック入力。
15,28,33,46	V <sub>DD</sub>	デジタル電源 (2.5~3.6V)。
17~26	D <sub>9</sub> B ~ D <sub>0</sub> B	チャンネルBへのデジタル出力 (D <sub>9</sub> B = MSB)。
35~44	D <sub>0</sub> A ~ D <sub>9</sub> A	チャンネルAへのデジタル出力 (D <sub>9</sub> A = MSB)。
47	ENC <sub>A</sub>	チャンネルAへのクロック入力。

## ピン配置



# AD9218

## 用語解説

### アナログ帯域幅

基本周波数（FFT解析により決定）の電力スペクトルが3dB低下するアナログ入力周波数。

### アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%の時点からアナログ入力サンプルされる時点までの遅延。

### アパーチャ不確定性（ジッター）

アパーチャ遅延のサンプル間における変化。

### クロストーク

低いレベル（-40dBFS）の信号でドライブされているチャンネルへの、フルスケールの信号でドライブされている隣接チャンネルからのカップリング。

### 差動アナログ入力抵抗、差動アナログ入力容量、差動アナログ入力インピーダンス

各アナログ入力ポートで測定される実インピーダンスおよび複合インピーダンス。抵抗は静的に測定し、容量および差動入力インピーダンスはネットワーク・アナライザによって測定します。

### 差動アナログ入力

フルスケール応答を発生させるためにコンバータにかかる必要のあるピークtoピーク差動電圧。ピーク差動電圧は、あるピンの電圧を、そのピンと180度の位相差がある他のピンの電圧から減算して求められます。ピークtoピークの差動電圧は、まず入力周波数のピーク値を測定し、次に入力位相を180度回転してピーク値を再度測定することにより算出されます。この差異は、両方のピーク値を比較することにより算出されます。

### 微分非直線性

任意のコード幅における理想的な1LSBのステップからの偏差。

### 実効ビット数

実効ビット数（ENOB）は、測定されたS/N比から次式によって算出します。

$$\text{ENOB} = \frac{\text{SNR}_{\text{MEASURED}} - 1.76 \text{ dB}}{6.02}$$

### ENCODEパルス幅 / デューティ・サイクル

パルス幅のハイは、定格性能を達成するために、ENCODEパルスをロジック“1”の状態に保持すべき最小の時間です。パルス幅のローは、ENCODEパルスをローの状態とすべき最小の時間です。t<sub>ENCH</sub>を変更することによるタイミングへの影響については、データシートの当該箇所を参照してください。任意のクロック・レートにおいて、これらの仕様がENCODEのデューティ・サイクルの許容値を決定します。

### フルスケール入力電力

dBm値で表し、次式で計算します。

$$\text{Power}_{\text{Full-Scale}} = 10 \log \left( \frac{V_{\text{Full-Scale rms}}^2}{Z_{\text{INPUT}} \cdot 0.001} \right)$$

### ゲイン誤差

ゲイン誤差は、A/Dコンバータのフルスケール入力電圧の、実際の測定値と理想的な値との差異を示します。

### 2次高調波歪み

信号振幅のrms値の2次高調波成分のrms値に対する比であり、dBcで表します。

### 3次高調波歪み

信号振幅のrms値の3次高調波成分のrms値に対する比であり、dBcで表します。

### 積分非直線性

最小二乗法によって決定される「最良の直線」を用いて測定されるリファレンス直線からの伝達関数の偏差であり、1LSB単位で表されます。

### 最小変換レート

アナログ信号のS/N比が保証された限界から3dB低下する、最低の周波数に対応するエンコード・レートです。

### 最大変換レート

パラメータのテストが行われるエンコード・レートです。

### 出力伝播遅延

差動のENCODEとENCODEが交差する時点から、全出力データ・ビットが有効なロジック・レベル範囲内となる時点までの遅延を示します。

### ノイズ（A/Dコンバータ内の任意の範囲）

$$V_{\text{NOISE}} = \sqrt{Z \times 0.001 \times 10^{\left( \frac{\text{FS}_{\text{dBm}} - \text{SNR}_{\text{dBc}} - \text{Signal}_{\text{dBFS}}}{10} \right)}}$$

ここで、Zは入力インピーダンス、FSは特定の周波数におけるデバイスのフルスケール、SNRは特定の入力レベルにおける値、SignalはA/Dコンバータ内部の信号レベルとフルスケールの差異をdB値で表したものです。この値には、熱ノイズと量子化ノイズが含まれます。

### 電源除去比

入力オフセット電圧変化の、電源電圧変化に対する比を示します。

### 信号対ノイズ + 歪み比（Signal-to-Noise-And-Distortion, SINAD）

信号振幅（フルスケールから1dB低く設定）のrms値の、他の全てのスペクトル成分（高調波を含みDC成分を除く）の合計値に対する比を示します。

### S/N比（高調波を除く）

信号振幅（フルスケールから1dB低く設定）のrms値の、他のすべてのスペクトル成分（最初の5つの高調波とDC成分を除く）の合計値に対する比を示します。

### スプリアスフリー・ダイナミックレンジ（Spurious-Free Dynamic Range, SFDR）

信号振幅のrms値の、ピーク・スプリアス・スペクトル成分のrms値に対する比です。ピーク・スプリアス成分が高調波であるかどうかを問いません。dBc（信号レベルの低下により劣化）またはdBFS（常にコンバータのフルスケールに関連する）により示します。

### 2周波相互変調歪み除去

いずれかの入力トーンのrms値の、最悪の3次総合変調出力のrms値に対する比で、dBcで示します。

### 2周波SFDR

いずれかの入力トーンのrms値の、ピーク・スプリアス成分のrms値に対する比。ピーク・スプリアス成分はIMDにより生成されたものであるか否かを問いません。dBc（信号レベルの低下により劣化）またはdBFS（常にコンバータのフルスケールに関連する）により示します。

## その他の最悪スプリアス

信号振幅のrms値の、最悪スプリアス成分（2次および3次の高調波を除く）のrms値に対する値であり、dBcで表します。

## 過渡応答時間

過渡応答は、アナログ入力が増のフルスケールを10%上回る時点から正のフルスケールを10%下回る時点までの遷移の後に、A/Dコンバータがアナログ入力を再度得るために必要とする時間と定義されます。

## 範囲外からのリカバリ時間

範囲外からのリカバリ時間は、A/Dコンバータのアナログ入力が、正のフルスケールを10%上回る時点から負のフルスケールを10%上回る時点への遷移、または、負のフルスケールを10%下回る時点から正のフルスケールを10%下回る時点への遷移の後に、A/Dコンバータがアナログ入力を再度得るために必要とする時間とする時間をいいます。

### 等価回路

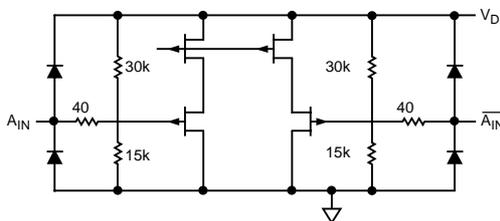


図4 アナログ入力段

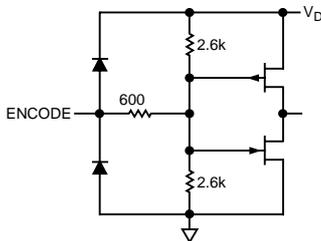


図5 エンコード入力

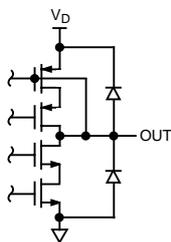


図6 リファレンス出力段

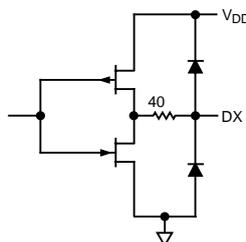


図7 デジタル出力段

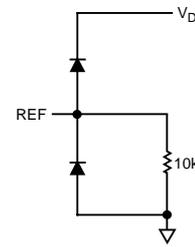


図8 リファレンス入力

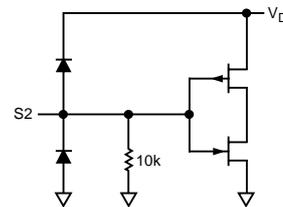


図9 S2入力

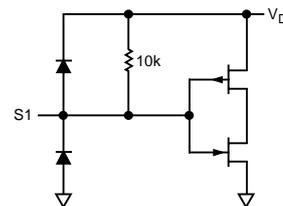


図10 S1入力

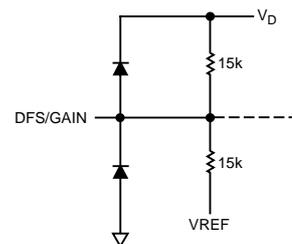
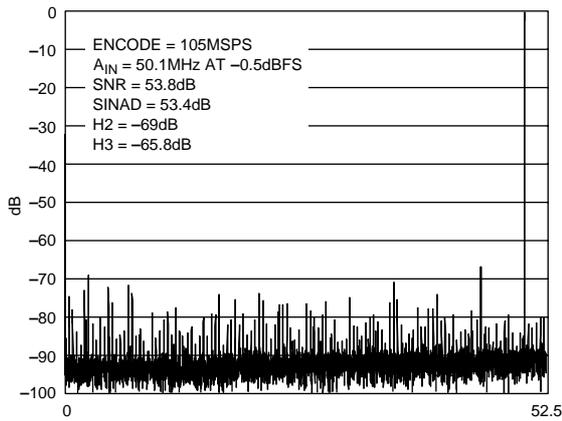
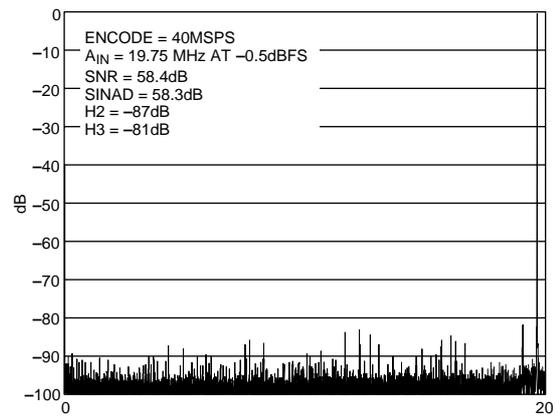


図11 DFS/Gain入力

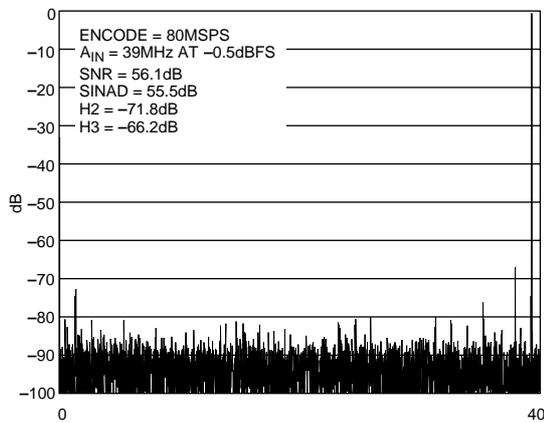
# AD9218



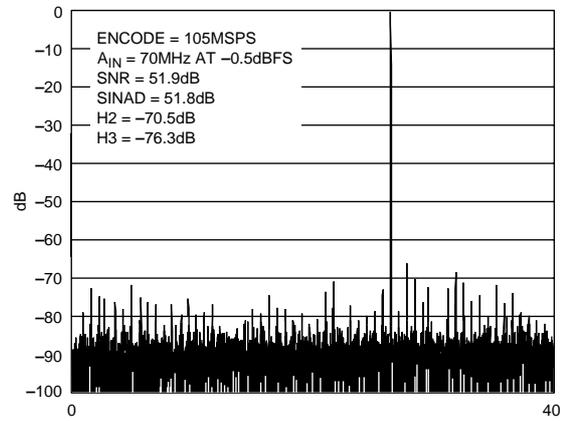
特性1 FFT ( FS = 105MSPS、 $A_{IN}$  = 50.1MHz@ - 0.5dBFS、差動、入力範囲1Vp-p )



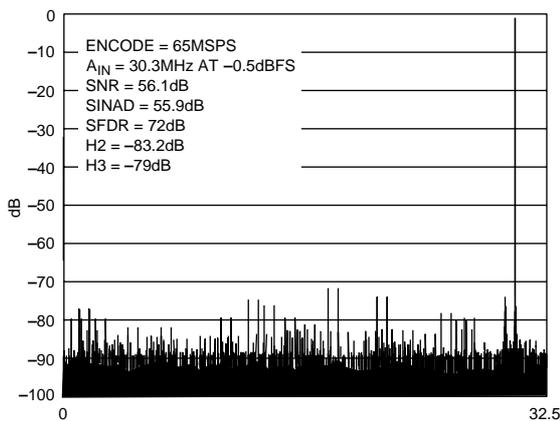
特性4 FFT ( FS = 40MSPS、 $A_{IN}$  = 19.7MHz@ - 0.5dBFS、差動、入力範囲1Vp-p )



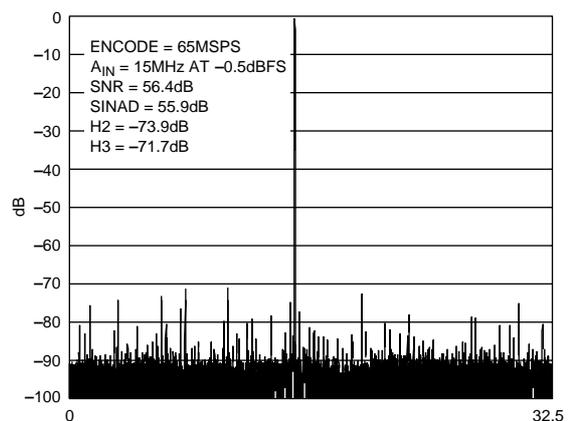
特性2 FFT ( FS = 80MSPS、 $A_{IN}$  = 39MHz@ - 0.5dBFS、差動、入力範囲1Vp-p )



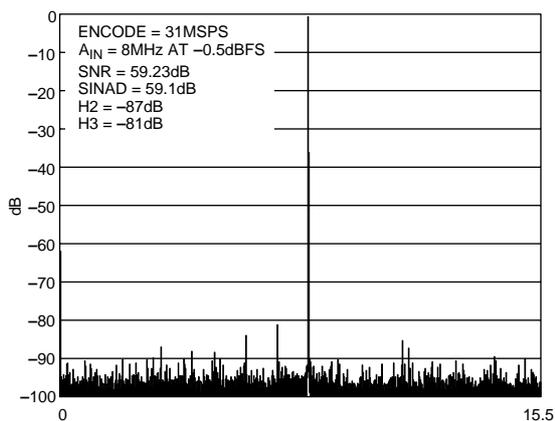
特性5 FFT ( FS = 105MSPS、 $A_{IN}$  = 70MHz@ - 0.5dBFS、差動、入力範囲1Vp-p )



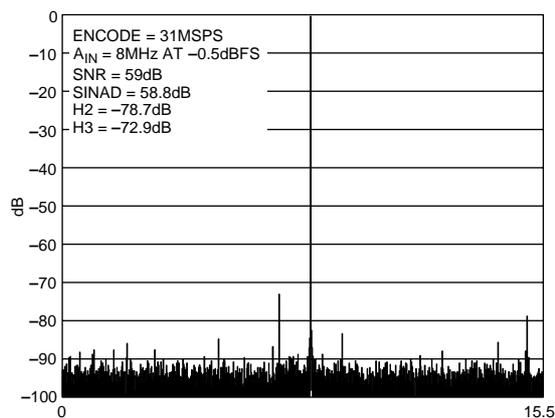
特性3 FFT ( 65MSPS、 $A_{IN}$  = 30.3MHz@ - 0.5dBFS、差動、入力範囲2Vp-p )



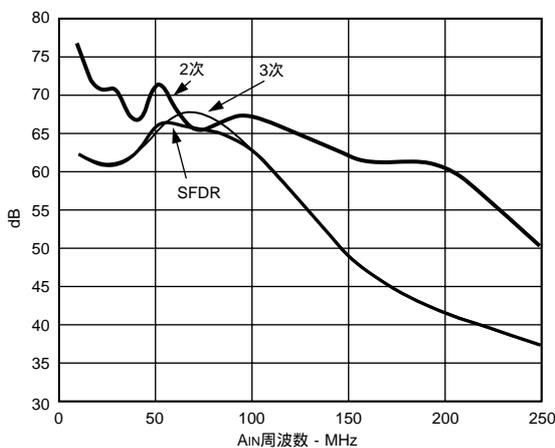
特性6 FFT ( FS = 65MSPS、 $A_{IN}$  = 15MHz@ - 0.5dBFS、A/Dコンバータ入力をAD8138でドライブ、入力範囲1Vp-p )



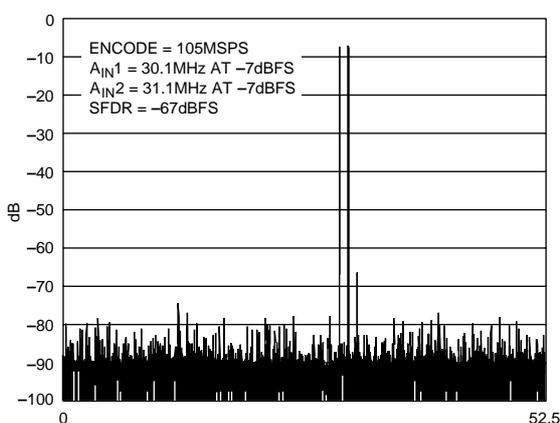
特性7 FFT ( FS = 31MSPS、 $A_{IN}$  = 8MHz@ - 0.5dBFS、差動、入力範囲1Vp-p )



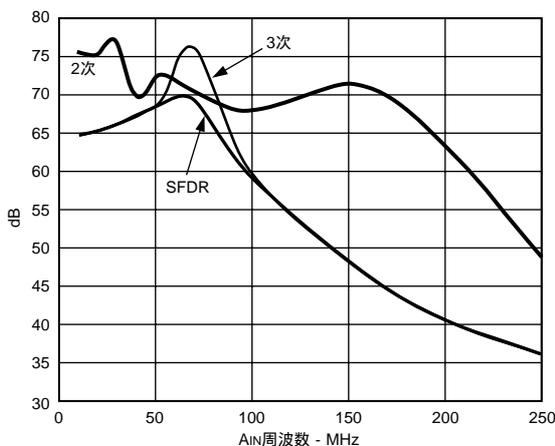
特性10 FFT ( FS = 31MSPS、 $A_{IN}$  = 8MHz@ - 0.5dBFS、A/Dコンバータ入力をAD8138でドライブ、入力範囲1Vp-p )



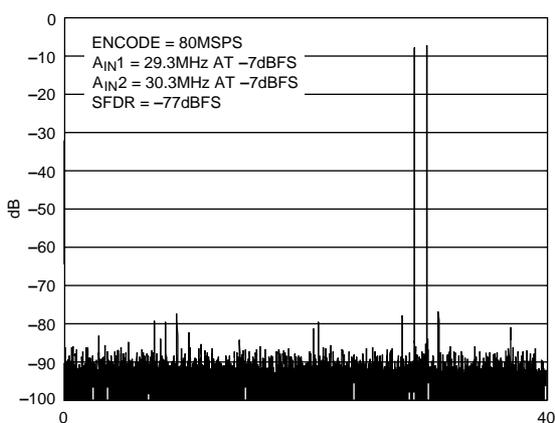
特性8 高調波歪み (2次、3次) およびSFDR 対  $A_{IN}$ 周波数 (1Vp-p、FS = 105MSPS )



特性11 2周波相互変調歪み (30MHzおよび31MHz、1Vp-p、FS = 105MSPS )

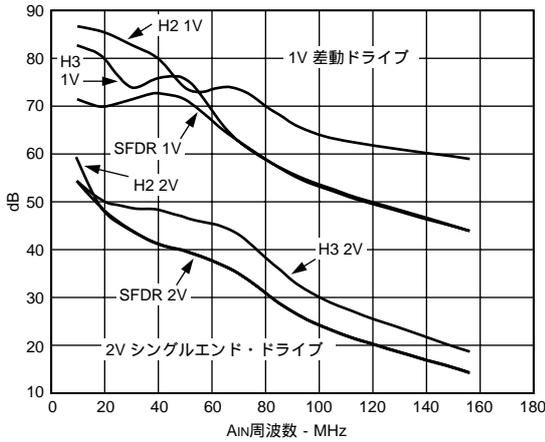


特性9 高調波歪み (2次、3次) およびSFDR 対  $A_{IN}$ 周波数 (1Vp-p、FS = 80MSPS )

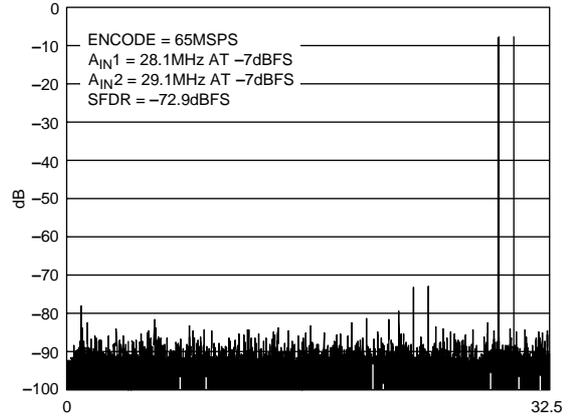


特性12 2周波相互変調歪み (29.3MHz、30.3MHz、1Vp-p、FS = 80MSPS )

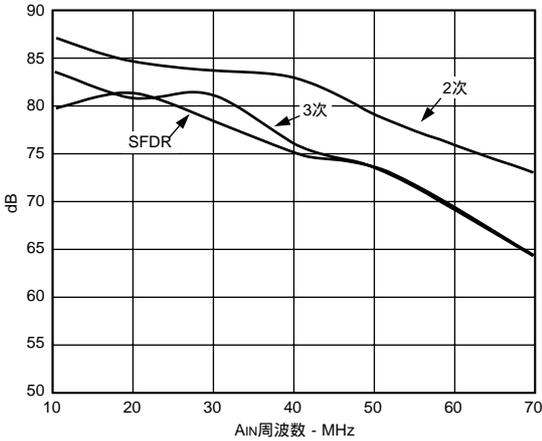
# AD9218



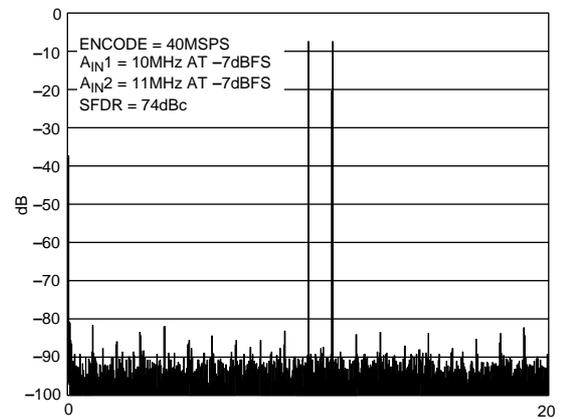
特性13 高調波歪み(2次、3次)およびSFDR 対  $A_{IN}$ 周波数 (FS = 65MSPS)



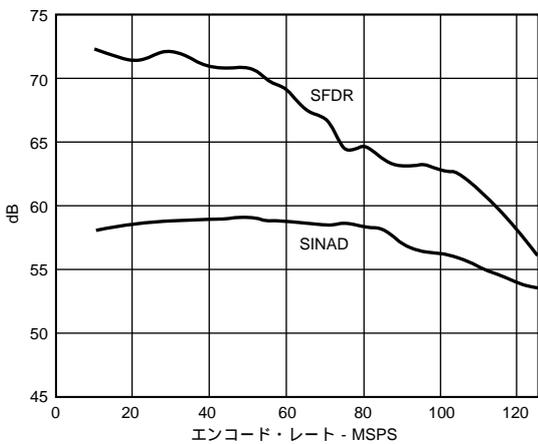
特性16 2周波相互変調歪み (28MHz、29MHz、1Vp-p、FS = 65MSPS)



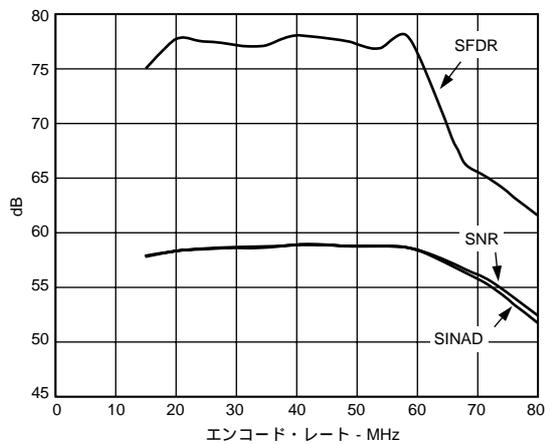
特性14 高調波歪み(2次、3次)およびSFDR 対  $A_{IN}$ 周波数 (1Vp-p、FS = 40MSPS)



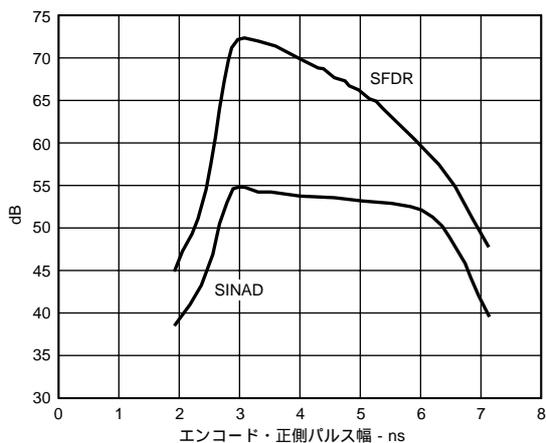
特性17 2周波相互変調歪み (10MHz、11MHz、1Vp-p、FS = 40MSPS)



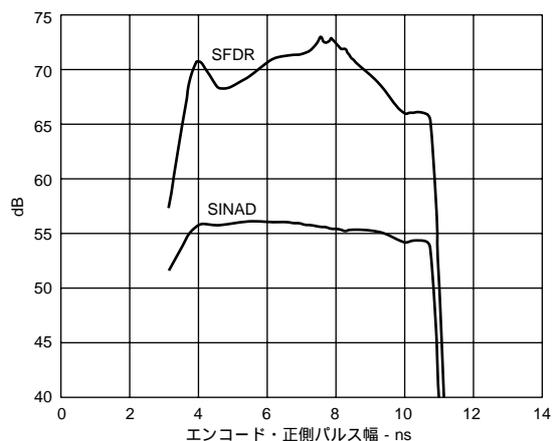
特性15 SINADおよびSFDR 対 エンコード・レート ( $f_{IN}$  = 10.3MHz、105MSPSグレード)  $A_{IN}$  = -0.5dBFS差動、アナログ入力範囲1Vp-p



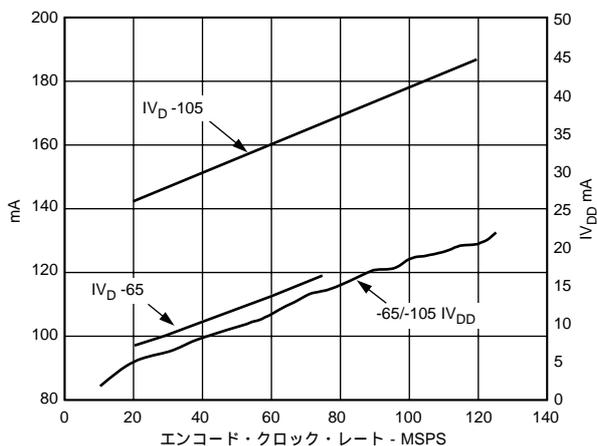
特性18 SINADおよびSFDR 対 エンコード・レート ( $A_{IN}$  = 10.3MHz、65MSPSグレード)  $A_{IN}$  = -0.5dBFS差動、アナログ入力範囲1Vp-p



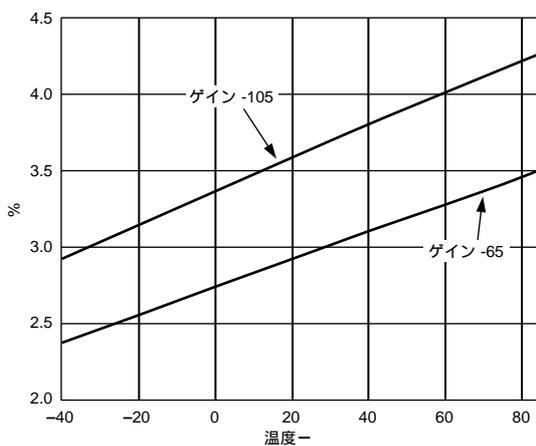
特性19 SINADおよびSFDR 対 エンコード・パルス幅ハイ  
( $A_{IN} = -0.5\text{dBFS}$  シングル・エンド、  
アナログ入力範囲 $1\text{Vp-p}$ 、 $105\text{MSPS}$ )



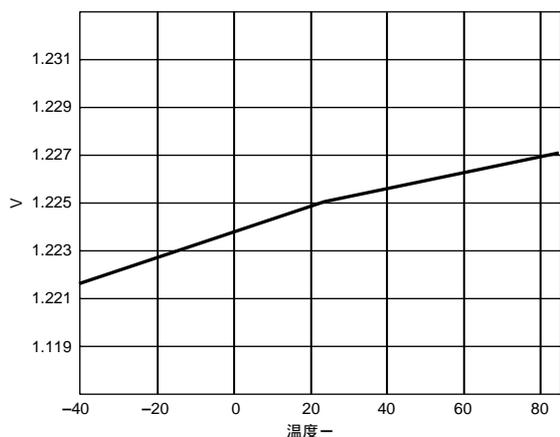
特性22 SINADおよびSFDR 対 エンコード・パルス幅ハイ  
( $A_{IN} = -0.5\text{dBFS}$  シングル・エンド、  
アナログ入力範囲 $1\text{Vp-p}$ 、 $65\text{MSPS}$ )



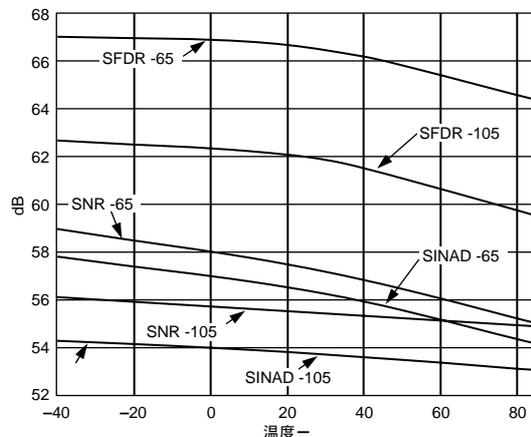
特性20  $I_{VD}$ および $I_{VDD}$  対 エンコード・レート  
( $A_{IN} = 10.3\text{MHz}$  @  $-0.5\text{dBFS}$  )  
 $65/105\text{MSPS}$ グレード、 $C_I = 5\text{pF}$



特性23 ゲイン誤差 対 温度  
( $A_{IN} = 10.3\text{MHz}$ 、 $65\text{MSPS}$ グレード、  
 $105\text{MSPS}$ グレード、 $1\text{Vp-p}$ )

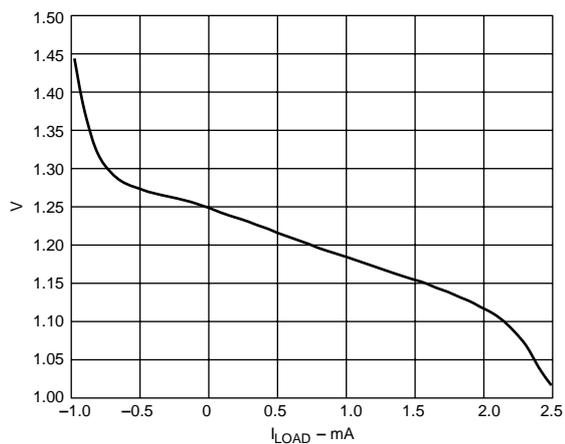


特性21  $V_{REF}$ 出力電圧 対 温度 ( $I_{LOAD} = 300\mu\text{A}$ )

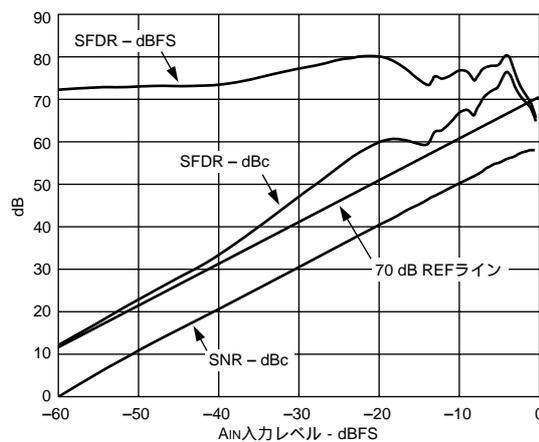


特性24 SNR、SINAD、SFDR 対 温度  
( $A_{IN} = 10.3\text{MHz}$ 、 $65\text{MSPS}$ グレード、  
 $105\text{MSPS}$ グレード、 $1\text{Vp-p}$ )

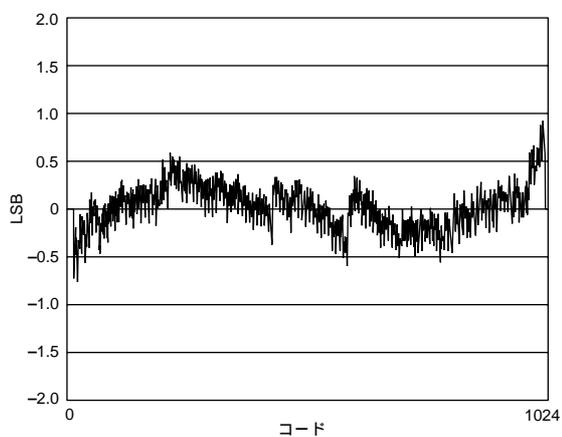
# AD9218



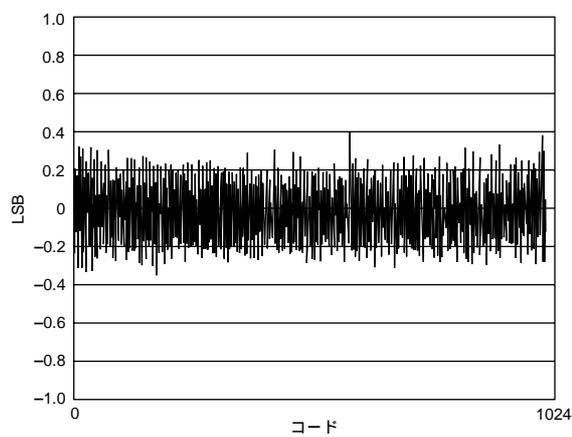
特性25  $V_{REF}$  対  $I_{LOAD}$



特性27 SFDR 対  $A_{IN}$ 入力レベル (10.3MHz  $A_{IN}$ @80MSPS)



特性26 代表的なINLプロット (10.3MHz  $A_{IN}$ @80MSPS)



特性28 代表的なDNLプロット (10.3MHz  $A_{IN}$ @80MSPS)

## 動作原理

AD9218 A/Dコンバータのアーキテクチャは、スイッチド・キャパシタ技術を用いた、1段あたり1ビットのパイプライン型コンバータです。これらの段は、MSB側の7ビットを決定して3ビットのフラッシュをドライブします。各段は、十分なオーバーラップと誤差修正を行うことにより、コンパレータの精度を最適化しています。入力バッファは差動式であり、両方の入力セットは内部的にバイアスされます。これにより、ACカップリングまたはDCカップリングおよび差動またはシングル・エンドの入力モードを、極めて柔軟に扱えます。出力段のブロックでは、データの配置を整合させて、誤差修正を行い、データを出力バッファに送ります。出力バッファのセットに個別の電源から電力を供給するので、出力電圧スイングの調整が可能です。2つのチャンネル間での動作の違いは認識できない程度です。

## AD9218の使用法

### ENCODE入力

高速のA/Dコンバータは、例外なく、ユーザーによって供給されるサンプリング・クロックの品質に敏感です。トラック/ホールドの回路は、本質的にミキサーとして動作します。クロックにおけるノイズ、歪み、タイミング・ジッターのすべてが、目的とするA/D出力の信号に混入します。このため、AD9218のENCODE入力の設計は細心の注意をもって行われていますので、クロック・ソースの設計についても、上記の事情に配慮してください。ENCODE入力は、完全にTTL/CMOSコンパチブルとなっています。

### デジタル出力

デジタル出力はTTL/CMOSコンパチブルであり、低消費電力を実現しています。パワーダウンの間に、出力バッファはハイ・インピーダンスの状態となります。データ・フォーマット選択のオプションにより、2の補数（ハイに設定）またはオフセット・バイナリ出力（ローに設定）のフォーマットのいずれかに対応します。

### アナログ入力

AD9218へのアナログ入力は、差動バッファを介して行われます。最良のダイナミック特性を得るために、AINおよびAINのインピーダンスを整合させておく必要があります。AD9218のアナログ入力セクションの設計は、入力がオーバードライブとなったときにデータの損傷および破壊を防止するために、細心の注意をもって行われました。公称入力範囲は1.024Vp-pです。差動動作させて共通・モード・ノイズおよび偶数次高調波を最小化することにより、最適な特性を達成できます。図12に、ACカップリングされたアプリケーションにおいて広帯域のRFトランスを介してAD9218を差動動作させる例を示します。DCカップリングされた差動ドライブを必要とするアプリケーションは、図13に示すように差動出力のオペアンプであるAD8138を用いて実現できます。

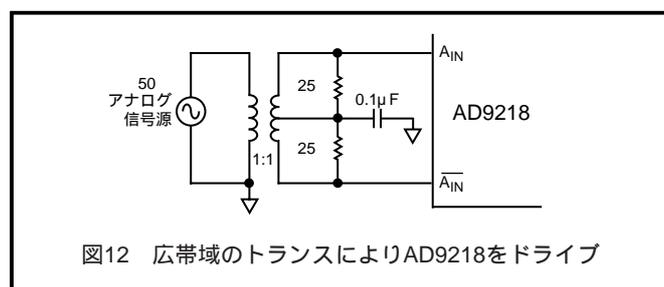


図12 広帯域のトランスによりAD9218をドライブ

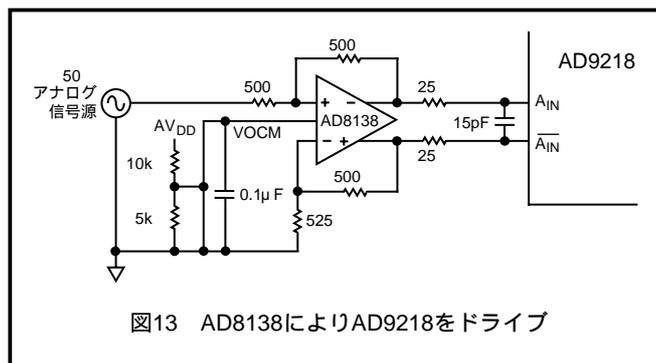


図13 AD8138によりAD9218をドライブ

### リファレンス

AD9218は、安定した高精度の1.25Vリファレンス（VREFOUT）を内蔵しています。通常動作では、5ピン（REF<sub>INA</sub>）と7ピン（REF<sub>INB</sub>）を6ピン（REF<sub>OUT</sub>）に接続することにより内部リファレンスを使用できます。各チャンネルの入力範囲は、AD9218に与えられるリファレンス入力を変化させることにより、独立して調節できます。リファレンスの±5%の範囲での変化による特性の劣化は無視できる程わずかです。A/Dコンバータのフルスケール範囲はリファレンスに追随し、直線的に変化します。

### タイミング

AD9218では、5つのパイプライン遅延により出力データがラッチされます。データ出力は、エンコード命令の立ち上がりエッジから、伝播遅延（ $t_{PD}$ ）が一周期経過した時に有効となります。AD9218の内部過渡応答を低減するために、出力データ・ラインの長さ、および、それらのラインに接続される負荷を最小化する必要があります。これらの過渡応答により、コンバータのダイナミック特性が劣化する場合があります。AD9218については、20MSPSの最小変換レートが保証されています。20MSPSを下回るクロック・レートでは、ダイナミック特性が劣化します。

### ユーザー選択オプション

動作モードの組み合わせは2つのピンにより選択されます。これらのオプションにより、ユーザーは、リファレンスを除く両チャンネルまたはBチャンネルのみのパワーダウンを指定できます。両モードにおいて、出力バッファはハイ・インピーダンス状態となります。パワーダウン状態からのリカバリは、パワーオンから10クロック・サイクルで実行されます。

もう一方のオプションでは、ユーザはBチャンネルの出力データに1/2クロック・サイクルのスキューを与えることができます。すなわち、AD9218に対して位相が180度異なる2つのクロックが与えられている場合に、データの整合を行うことにより、クロックAの立ち上がりエッジでチャンネルBの出力データを有効とすることができます。両チャンネルに同一のエンコード・クロックが与えられておりデータ整合ピンがイネーブルにされている場合には、Bチャンネルの出力データはチャンネルAに対して180度の位相差を保ちます。両方のチャンネルに同一のエンコード・クロックが与えられておりデータ整合ピンがディスエーブルにされている場合には、両チャンネルからの出力は、クロックの同一の立ち上がりエッジで出力されます。

# AD9218

## アプリケーション

広いアナログ帯域幅を備えたAD9218は、高性能の受信機およびエンコーダなどの多くのアプリケーションにおいて魅力的なデバイスとなっています。図14に、有線通信、衛星通信、ワイヤレスLANモデムのレシーバなど、代表的なローコストのI/Q復調器におけるデュアルA/Dコンバータの構成を示します。高周波のアナログ入力におけるA/Dコンバータの優れたダイナミック特性およびエンコード・レートにより、ユーザーは直接IFサンプリング技術を使用できます。IFサンプリングにより、アナログ・ミキサー段およびフィルタ段を不要または簡略化して、システム全体のコストおよび消費電力を低減します。

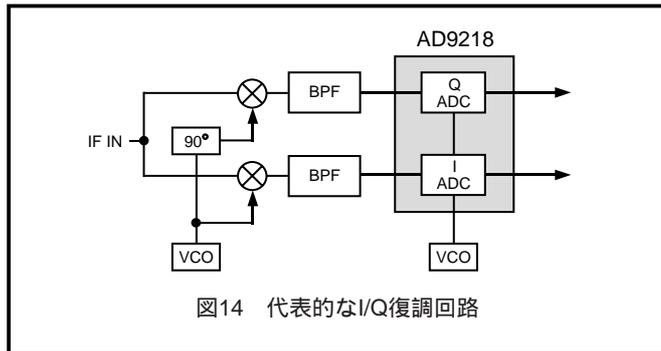


図14 代表的なI/Q復調回路

## 評価ボード

評価ボードを使用して、AD9218のテストを簡単に行うことができます。評価ボードを使えば、アナログ入力をシングル・エンドまたは差動でドライブできます。差動ドライブは、広帯域のRFトランスまたは差動出力のオペアンプAD8138を介してテストできます。2つのエンコード・クロックは、内蔵のSMBコネクタJ2、J7からアクセスできます。これらのクロックはボード上でバッファされて内蔵D/Aコンバータおよびラッチにクロックを供給します。デジタル出力および出力クロックは、2つの40ピンのコネクタP3およびP4で利用可能です。ボードは複数の異なる動作モードを持っており、以下に示す設定で出荷されます。

- ・差動アナログ入力 (RFトランス・モード)
- ・通常動作タイミング・モード
- ・内部リファレンス

## 電源コネクタ

電源は、着脱可能な12ピンの電源フラット・ケーブル経由でボードに供給されます。

+5V - オペアンプへのオプション電源

-5V - オペアンプへのオプション電源

V<sub>REFA</sub> - オプションの外部リファレンス入力

V<sub>REFB</sub> - オプションの外部リファレンス入力

V<sub>DL</sub> - サポート・ロジックおよびD/Aコンバータへの電源

V<sub>DD</sub> - A/Dコンバータ出力への電源

V<sub>D</sub> - A/Dコンバータへのアナログ電源

## アナログ入力

評価ボードは、各アナログ入力のグラウンドを中心とする1Vのアナログ入力信号を入力できます。SMBコネクタJ4およびJ6は、それぞれ、A<sub>IN</sub>およびB<sub>IN</sub>に使用されます。これらの信号は、それぞれ、広帯域のRFトランスT1、T2をドライブし、シングル・エンド・ソースを用いて測定される、差動入力に適したA/Dコンバータ特性を引き出します。このモードでは、抵抗R35、R33、R39、R32を設置しないでください。各アナログ入力は、ボード上で50Ωの抵抗でグラウンドに終

端されます。各入力は、ボード上で0.1μFのコンデンサによりDCバイアスを生成する内蔵抵抗分圧器に対してACカップリングされます。シングル・エンドの特性は、コネクタSMB J5 (チャンネルA) およびJ1 (チャンネルB) によりトランスをバイパスすることにより測定することができます。このモードでは、0Ωの抵抗を、R35およびR33 (Aチャンネル)、R39およびR32 (Bチャンネル) に設置します。反転アナログ入力はボード上で25Ωの抵抗により終端されます (差動動作について最適化)。ボードをシングル・エンドでドライブするときには、これらの抵抗 (R1、R3) を50Ωに変更してバランスされた入力を得ることができます。オペアンプは、J5 (チャンネルA) およびJ1 (チャンネルB) に接続して使用することができます。このオペアンプを使用するためには、最上位レベルのACカップリング・コンデンサをボードから取り除く必要があります。オペアンプを使用するための部品はボードの裏面に設置してください。部品の値については「プリント基板の部品表」を参照してください。

## エンコード

チャンネルAのエンコード・クロックは、SMBコネクタJ7から入力します。チャンネルBのエンコード・クロックは、SMBコネクタJ2から入力します。各クロック入力は、ボード上で50Ωの抵抗によりグラウンドに終端されます。入力クロックは、A/DコンバータおよびバッファU5、U6に直接に入力されてD/Aコンバータおよびラッチをドライブします。クロック入力はTTLコンパチブルです。

## リファレンス

AD9218は、内部1.25Vリファレンスを備えています。これに代えて、各チャンネルに対して外部リファレンスを使用することもできます。評価ボードは内部リファレンスを使用するように設定されています (ジャンパE18~E19およびE17~E19を使用)。外部リファレンスを使用するには、電源コネクタP1にV<sub>REFA</sub>およびV<sub>REFB</sub>ピンを接続して、ジャンパE20~E18およびE19~E21を使用します。

## 通常動作モード

このモードでは、両方のコンバータは同一のエンコード・クロックによりクロック動作し、レイテンシは5クロック・サイクルとなります (タイミング図参照)。信号S1 (8ピン) はハイの状態に保持され、信号S2 (9ピン) はローに保持されます。これは、S1およびS2のラベルが付されたジャンパ (アナログ入力の近く) により設定されます。

## データ整合モード

このモードではチャンネルBの出力は、さらに0.5サイクル遅延されます。信号S1 (8ピン) および信号S2 (9ピン) は、ともにハイの状態に保持されます。これは、S1およびS2のラベルが付されたジャンパ (アナログ入力の近く) により設定されます。

## データ・フォーマットの選択

データ・フォーマットの選択により、出力データ・ファイルのフォーマットおよびA/Dコンバータのゲインが設定されます。DFS (4ピン) をローに設定すると、出力フォーマットはオフセット・バイナリでゲイン1に設定されます。DFSをハイに設定すると、出力は2の補数でゲイン1に設定されます。DFSのジャンパを取り除くと、出力データ・フォーマットはオフセット・バイナリでゲイン2に設定されます。DFSを中間選択に設定すると、出力データ・フォーマットは2の補数でゲイン2に設定されます。

## プリント基板の部品表

番号	数量	部品番号	デバイス	パッケージ	値
1	29	C1, C3–C15, C20–C25, C27–C35	コンデンサ	0603	0.1 $\mu$ F
2	2	C2, C36	コンデンサ	0603	15 pF
3	7	C16, C17, C18, C19, C26, C37, C38	コンデンサ	TAJD	10 $\mu$ F
6	8	J1, J2, J3, J4, J5, J6, J7, J8	コネクタ	SMB	
7	3	P1, P4, P11	4ピン電源コネクタ	TB4	Wieland 25.531.3425.0 Z5.602.5453.0
8	2	P2, P3	HEADER40		
10	8	R1–R4, R22–R24, R30	抵抗	0603	25
11	10	R5–R12, R34, R37	抵抗	0603	50
12	2	R13, R14	抵抗	0603	2 k
13	6	R15, R17, R18, R26, R29, R31	抵抗	0603	500
14	2	R16, R25	抵抗	0603	525
15	2	R19, R27	抵抗	0603	4 k
16	8	R20, R32, R33, R35, R36, R38–R40	抵抗	0603	0
17	2	R21, R28	抵抗	0603	1 k
18	2	T1, T2	トランス	ADT-1-1WT	Minicircuits
19	1	U1	AD9218	LQFP48	
20	2	U2, U3	74LCX821	SO24M3	
21	1	U4	AD9763	LQFP48	
22	2	U5, U6	74LCX86	SO14	
23	4	U7, U8, U9, U10	抵抗アレイ	CTS20	22
24	2	U11, U12	AD8138	SO8NB	

## 注

R22, R23, R24, R30, R32, R33, R35, R36, R38, R39, R40, C2, C36は基板上に設置されていません。

## データ出力

A/Dコンバータのデジタル出力は、2つのLCX821でボード上でラッチされ、ラッチの出力は2つの40ピンのコネクタのP3 (チャンネルA) の23～33ピンおよびP4 (チャンネルB) の23～33ピンで利用することができます。ラッチ出力クロック (データ・レディ) は、P3 (チャンネルA) の4ピンおよびP4 (チャンネルB) の4ピンで利用することができます。チャンネルBのデータ・レディ信号は、E43とE42を接続することにより、または、E42～E33を接続してクロックBと整合させることにより、クロックA入力と整合させることができます。

## D/Aコンバータ出力

各チャンネルは、内蔵デュアル・チャンネルのD/AコンバータAD9763によって再生されます。このD/Aコンバータは、デバッグのみに使用すべきものであり、これを使用してA/Dコンバータの特性を測定しないでください。これは、内蔵50の抵抗によって終端される電流出力のD/Aコンバータです。図16に、フルスケールのアナログ入力に対するD/Aコンバータの出力を示します。スコープは狭帯域幅に設定され、50で終端されます。

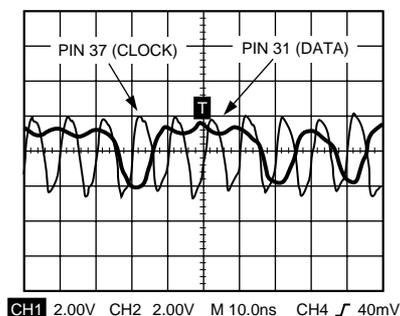


図15 80ピン・コネクタにおけるデータ出力およびクロック

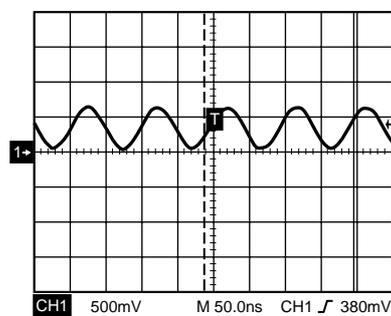
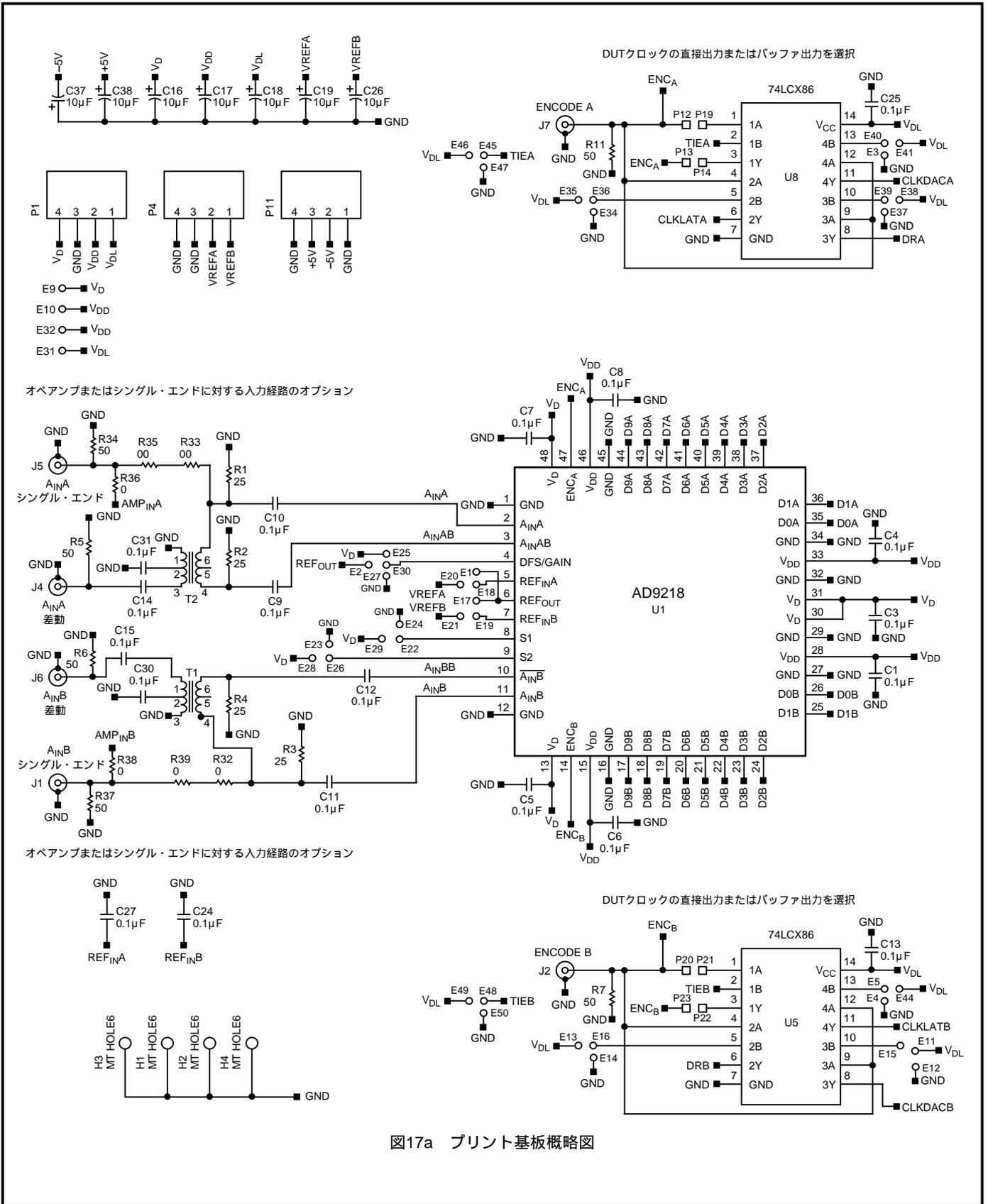


図16 D/Aコンバータ出力

# AD9218



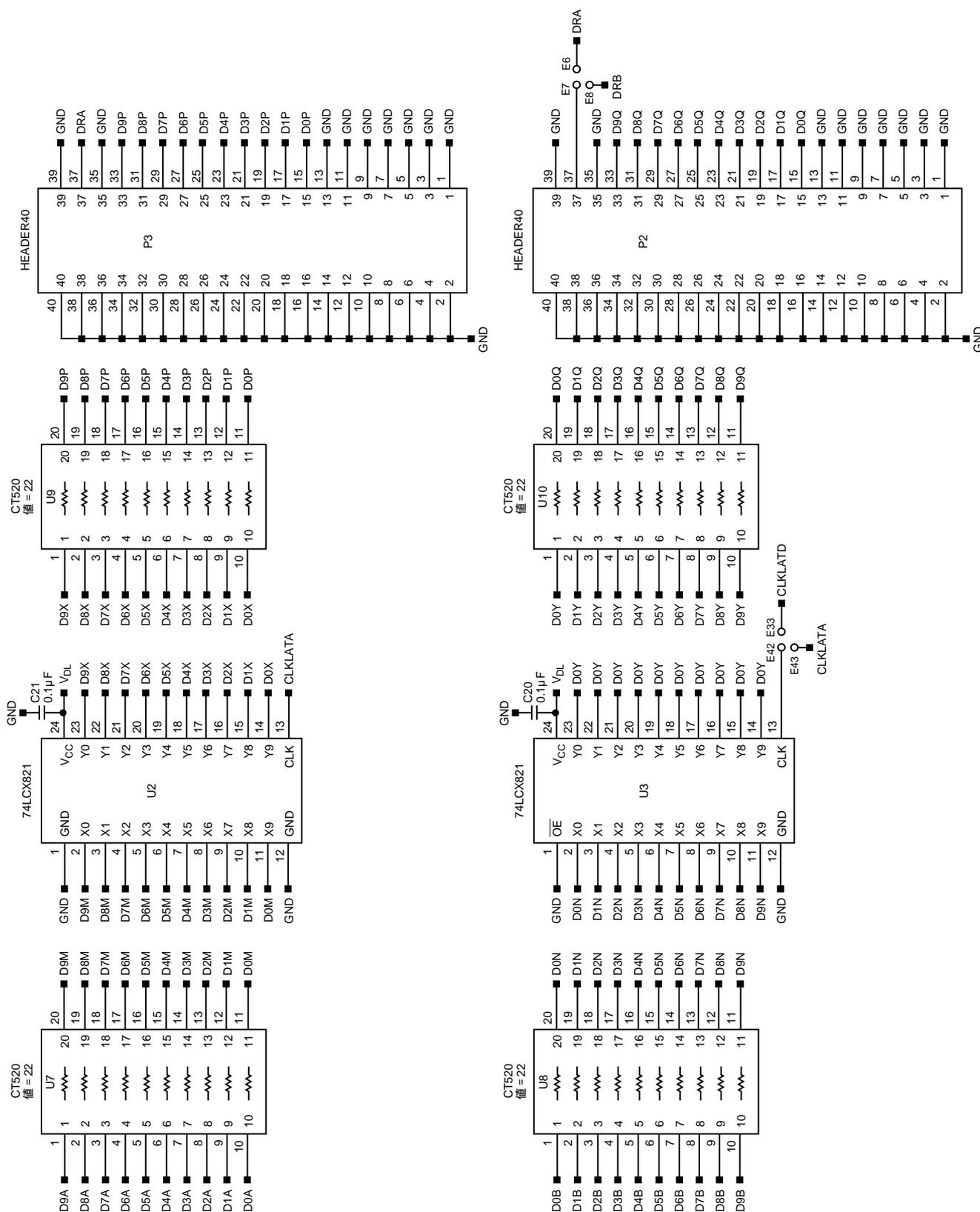


図17b プリント基板概略図



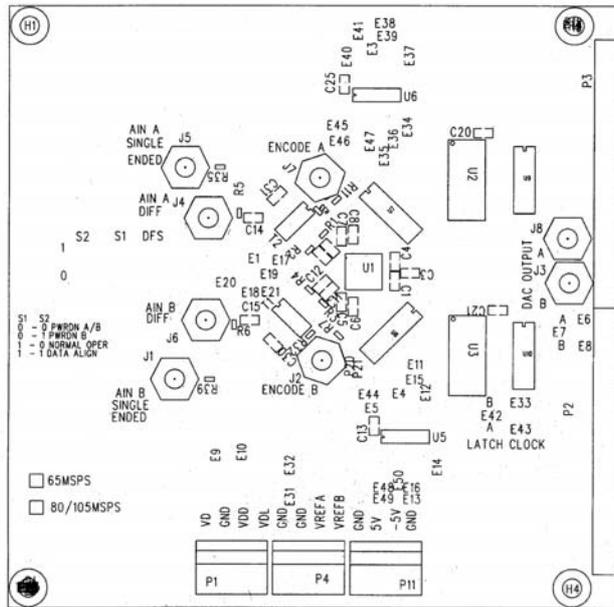


図18 プリント基板表面シルクスクリーン

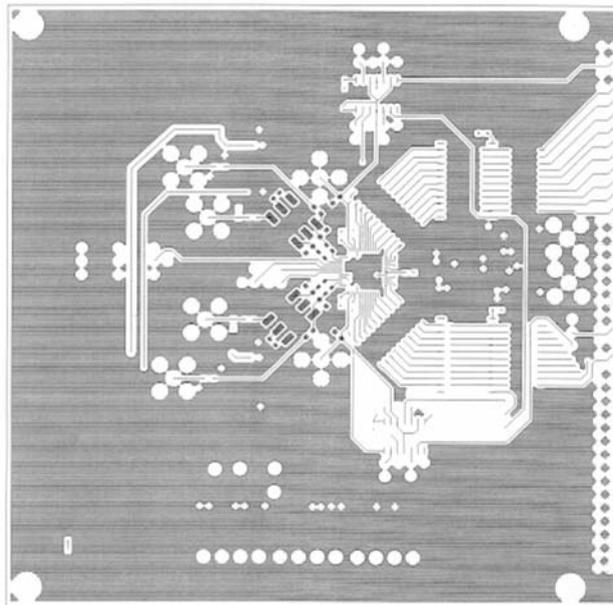


図19 プリント基板表面銅プレーン

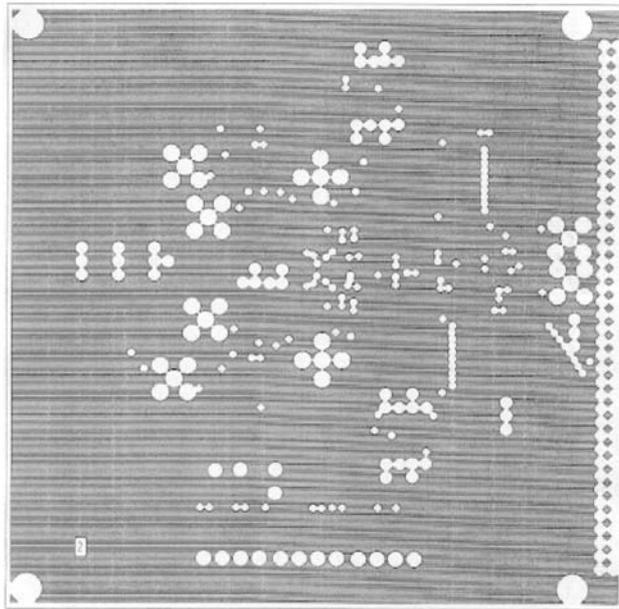


図20 プリント基板グラウンド層

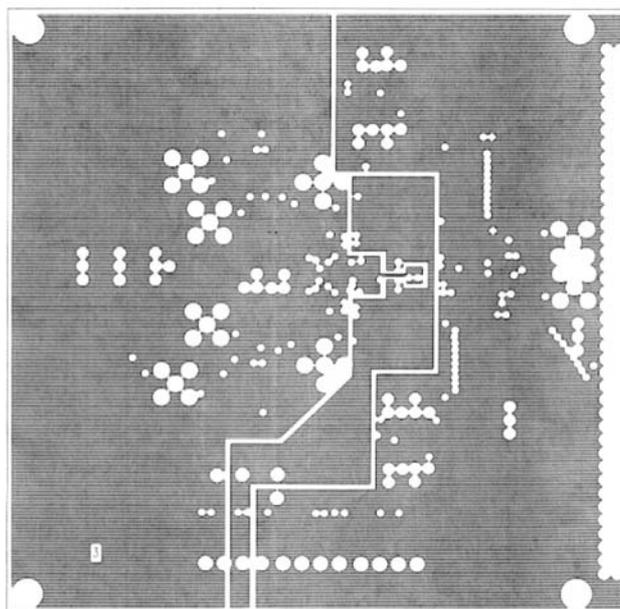


図21 プリント基板分離電源プレーン

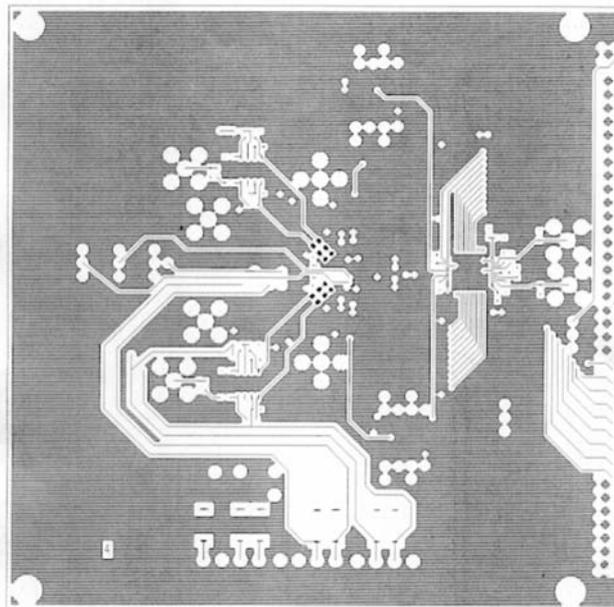


図22 プリント基板裏面銅プレーン

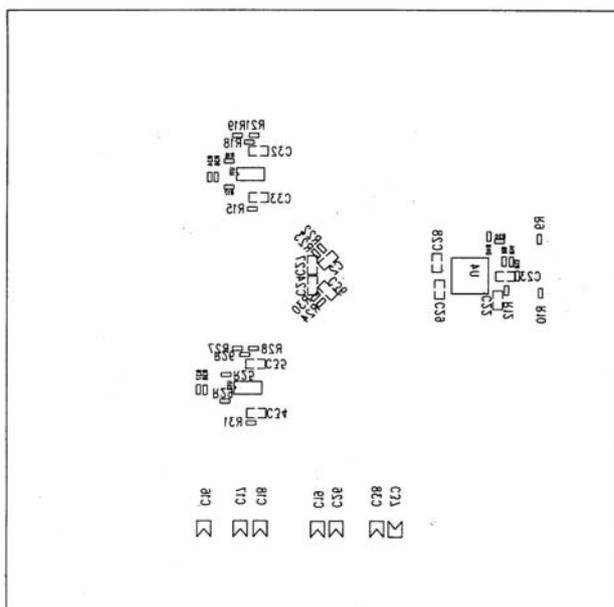


図23 裏面シルクスクリーン

# AD9218

## トラブルシューティング

基板が正常に動作していないと認められる場合には、以下の確認を行ってください。

- ・ ICピンの電源の確認。
- ・ すべてのジャンパが目的とする動作モードに対応した位置に設定されていることを確認。
- ・  $V_{REF}$ が1.23Vであることを確認。

- ・ エンコード・クロックおよびアナログ入力を低速（20MSPS/1MHz）にし、LCX821出力、D/Aコンバータ出力、A/Dコンバータ出力のトグル動作を確認。

AD9218の評価ボードを、当社の顧客向けに設計例としてご提供していますが、当社では、特定の用途に対する市場性または適合性に関して、何ら保証、表現、責務、または言外に暗示するものではありません。

## 外形寸法

サイズはインチと（mm）で示します。

### 48ピンLQFP （ST-48）

