

### 特長

S/N比57dB@39MHzアナログ入力 (-0.5dBFS)

#### 低消費電力

65MSPSで190mW

105MSPSで285mW

30mWパワー・ダウン・モード

300MHzのアナログ帯域幅

リファレンスおよびトラック/ホールド内蔵

1Vp-pまたは2Vp-pのアナログ入力範囲オプション

2の補数またはオフセット・バイナリのデータ・フォーマット・オプション

### アプリケーション

バッテリー駆動機器

ハンドヘルド・スコープメーター

ローコスト・デジタル・オシロスコープ

超音波機器

ケーブル・リバーサ・バス

広帯域ワイヤレス

住宅用電源ライン・ネットワーク

### 概要

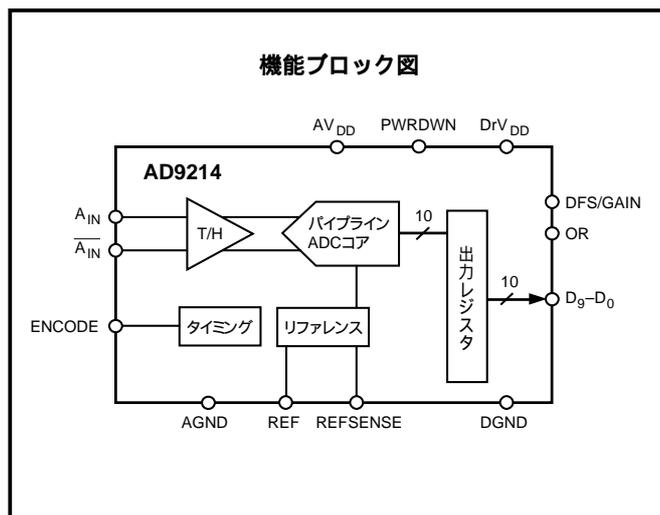
AD9214は、10ビット、モノリシックの、トラック/ホールド回路を内蔵したA/Dコンバータ(ADC)です。ロー・コスト化のための最適化され、低消費電力で小型、使い勝手の良い構成となっています。製品は、105MSPSまでの変換レートで動作でき、全動作範囲にわたって優れたダイナミック動作が可能です。

AD9214 ADCは、3.3V (2.7~3.6V)の単電源、およびエンコード・クロックのみで、最高の動作特性を実現します。殆どのアプリケーションでは、外部リファレンスやドライバ部品が不要です。デジタル出力はTTL/CMOSコンパチブルであり、独立した出力電源供給ピンによって、3.3Vまたは2.5Vのロジックとインターフェースできます。

クロック入力は、TTL/CMOSコンパチブルです、パワー・ダウン状態では、消費電力は30mWに低減されます。ゲイン・オプションにより、1Vp-pまたは2Vp-pの両方のアナログ入力信号振幅に対応します。AD9214は先進的CMOSプロセスにより製造され、28ピン表面実装型プラスチック・パッケージ(28ピンSSOP)で供給され、工業用温度範囲(-40~+85)で仕様規定されています。

REV.0

アナログ・デバイセズ株式会社



### 製品のハイライト

**高性能** 65~105MSPSの範囲で優れたAC特性を示します。S/N比は、代表値の55dBから58dBに達します。

**低消費電力** 285mWのAD9214は、従来の高速モノリシック・ソリューションで利用可能な電力のごく一部しか消費しません。スリープ・モードでは、消費電力は30mWまで低減されます。

**単電源** AD9214は、3Vの単電源を使用し、システムの電源設計が簡略化できます。さらに、独立したデジタル出力ドライバ電源ラインにより、2.5Vのロジック・ファミリーへの対応が可能です。

**小型パッケージ** 小型の28ピン表面実装型プラスチック・パッケージ(28ピンSSOP)に収納されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

本社 / 東京都港区海岸1-16-1 電話03(5402)8400 〒105-6891  
 ニューピア竹芝サウスタワービル  
 大阪営業所 / 大阪市淀川区宮原3-5-36 電話06(6350)8868(代) 〒532-0003  
 新大阪第二森ビル

# AD9214 仕様

DC特性 (特に指示のない限り、 $AV_{DD} = 3V$ 、 $DrV_{DD} = 3V$ 、 $T_{MIN} = -40$ 、 $T_{MAX} = +85$ 、1.25Vの外部リファレンスおよび定格エンコード周波数を使用)

パラメータ	温度	テスト・レベル	AD9214-65			AD9214-80			AD9214-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
分解能			10			10			10			ビット
精度			保証			保証			保証			
ノーマル・ミスコード	25	VI	保証			保証			保証			
	全範囲	VI	保証			保証			保証			
オフセット誤差	全範囲	VI	-18	0	+18	-18	0	+18	-18	0	+18	LSB
ゲイン誤差 <sup>1</sup>	25	I	-2		+6	-2		+6	-2		+6	%FS
微分非直線性 <sup>2</sup>	25	I	-1.0	±0.5	+1.0	-1.0	±0.5	+1.2		±0.9		LSB
(DNL)	全範囲	V	-1.0		+1.2	-1.0		+1.4				LSB
積分非直線性 <sup>2</sup>	25	I	-1.3	±0.75	+1.3	-1.5	±0.75	+1.5		±1.25		LSB
(INL)	全範囲	V	-1.9		+1.9	-1.8		+1.8				LSB
温度ドリフト												
オフセット誤差	全範囲	V	16			16			16			ppm/
ゲイン誤差 <sup>1</sup>	全範囲	V	150			150			150			ppm/
リファレンス	全範囲	V	80			80			80			ppm/
リファレンス (REF)												
内部リファレンス	25	VI	1.18	1.23	1.28	1.18	1.23	1.28	1.18	1.23	1.28	V
出力電流 <sup>3</sup>	全範囲	V	200			200			200			μA
入力電流 <sup>4</sup>	全範囲	V	123			123			123			μA
入力抵抗	全範囲	V	10			10			10			k
アナログ入力 ( $A_{IN}$ 、 $\overline{A_{IN}}$ )												
差動入力範囲	全範囲	V	1または2			1または2			1または2			Vp-p
コモン・モード電圧	全範囲	V	$AV_{DD}/3$			$AV_{DD}/3$			$AV_{DD}/3$			V
差動入力抵抗 <sup>5</sup>	全範囲	V	20			20			20			k
差動入力容量	全範囲	V	5			5			5			pF
電源												
電源電圧												
$AV_{DD}$	全範囲	IV	2.7		3.6	2.7		3.6	2.7		+3.6	V
$DrV_{DD}$	全範囲	IV	2.7		3.6	2.7		3.6	2.7		+3.6	V
消費電流												
$I_{AVDD}$ ( $AV_{DD} = 3.0V$ ) <sup>6</sup>	全範囲	VI		64	75		90	105		95	110	mA
パワーダウン電流 <sup>7</sup>												
$I_{AVDD}$ ( $AV_{DD} = 3.0V$ )	全範囲	VI		10	15		10	15		10	15	mA
消費電力 <sup>8</sup>	全範囲	VI		190	220		250	300		285		mW
PSRR (電源除去比)	25	I		±0.5	±6.5		±1	±6.5		±1	±6.5	LSB/V
	全範囲	V		±2			±2			±2		mV/V

## 注

- ゲイン誤差および温度係数は、ADCのみに依存します。(固定1.25Vの外部リファレンス)
  - AD9214-80およびAD9214-105については1V  $A_{IN}$ 範囲で測定しました。AD9214-65については2V  $A_{IN}$ 範囲で測定しました。
  - リファレンスは外部からAGNDに接続し、REFは内部リファレンス電圧のための出力として設定しました。
  - リファレンスは外部から $AV_{DD}$ に接続し、REFは外部リファレンス電圧のための入力として設定しました。
  - 各入力の $AV_{DD}/3$ に10kΩを接続しました。
  - $I_{AVDD}$ は10.3MHz、0.5dBFSのアナログ入力について、サイン波、定格の変換レートでPWRDN=0として測定しました。 $I_{DrVDD}$ については代表的な動作特性およびアプリケーションのセクションを参照してください。
  - パワーダウンにおける消費電流はPWRDN=1として、定格の変換レートで、 $A_{IN}$ をフルスケールDC入力として測定しました。
  - 消費電力は $A_{IN}$ をフルスケールDC入力として測定しました。
- 仕様は予告なく変更されることがあります。

デジタル特性 (  $AV_{DD} = 3V$ 、 $DrV_{DD} = 3V$ 、 $T_{MIN} = -40$ 、 $T_{MAX} = +85$  )

パラメータ	温度	テスト・レベル	AD9214-65			AD9214-80			AD9214-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
デジタル入力 <sup>1</sup>												
ロジック“1”電圧	全範囲	IV	2.0			2.0			2.0			V
ロジック“0”電圧	全範囲	IV			0.8			0.8			0.8	V
入力容量	全範囲	V		2.0			2.0			2.0		pF
デジタル出力 <sup>2</sup>												
ロジック互換性			CMOS/TTL			CMOS/TTL			CMOS/TTL			V
ロジック“1”電圧	全範囲	VI	$DrV_{DD}-50mV$			$DrV_{DD}-50mV$			$DrV_{DD}-50mV$			V
ロジック“0”電圧	全範囲	VI			50			50			50	mV

## 注

1 デジタル入力にはENCODEおよびPWRDNが含まれます。

2 デジタル出力にはD0～D9およびORが含まれます。

仕様は予告なく変更されることがあります。

AC特性<sup>1</sup> (特に指示のない限り、 $AV_{DD} = 3V$ 、 $DrV_{DD} = 3V$ 、ENCODE = 最大変換レート、 $T_{MIN} = -40$ 、 $T_{MAX} = +85$ 、外部リファレンスとして1.25Vを使用)

パラメータ	温度	テスト・レベル	AD9214-65			AD9214-80			AD9214-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
S/N比												
アナログ入力	10MHz	25	I	56.0	58.3	56.0	58.1		55.0			dB
@ - 0.5dBFS	39MHz	25	I		57.1	55.0	57.1		54.5			dB
	51MHz	25	V				55.0		53.0			dB
	70MHz	25	V				54.0		52.6			dB
SINAD												
アナログ入力	10MHz	25	I	55.5	57.8	55.5	57.6		54.0			dB
@ - 0.5dBFS	39MHz	25	I		56.7	54.5	56.7		53.7			dB
	51MHz	25	V				54.5		52.6			dB
	70MHz	25	V						52.0			dB
有効ビット数												
アナログ入力	10MHz	25	I	9.0	9.3	9.0	9.3		8.8			ビット
@ - 0.5 dBFS	39MHz	25	I		9.2	8.8	9.2		8.6			ビット
	51MHz	25	V				8.8		8.5			ビット
	70MHz	25	V				8.5		8.4			ビット
2次高調波歪み												
アナログ入力	10MHz	25	I	-68	-79	-64	-74		-71			dBc
@ - 0.5dBFS	39MHz	25	I		-75	-63	-76		-76			dBc
	51MHz	25	V				-72		-66			dBc
	70MHz	25	V				-65		-62			dBc
3次高調波歪み												
アナログ入力	10MHz	25	I	-63	-71	-63	-72		-67			dBc
@ - 0.5 dBFS	39MHz	25	I		-70	-63	-74		-69			dBc
	51MHz	25	V				-78		-72			dBc
	70MHz	25	V						-65			dBc
SFDR												
アナログ入力	10MHz	25	I	63	71	63	71		64			dBc
@ - 0.5dBFS	39MHz	25	I		70	63	71		64			dBc
	51MHz	25	V				67		64			dBc
	70MHz	25	V				64		62			dBc
2トーン相互変調歪み <sup>2</sup>												
アナログ入力 @ - 0.5dBFS	25	V		76		74			72			dBFS
アナログ入力帯域幅	25	V		300		300			300			MHz

## 注

1 AC特性は、AD9214-80およびAD9214-105については1Vp-pのフルスケール入力範囲に基づき、AD9214-65では2.0Vp-pのフルスケール範囲に基づいています。外部リファレンスを使用。

2 F1 = 29.3MHz、F2 = 30.3MHzです。

仕様は予告なく変更されることがあります。

# AD9214 仕様

**スイッチング特性** (特に指示のない限り、 $AV_{DD} = 3V$ 、 $DIV_{DD} = 3V$ 、 $ENCODE =$  最大変換レート、 $T_{MIN} = -40$ 、 $T_{MAX} = +85$ 、外部リファレンスを使用)

パラメータ	温度	テスト・レベル	AD9214-65			AD9214-80			AD9214-105			単位
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
エンコード入力パラメータ <sup>1</sup>												
最大変換レート	全範囲	VI	65			80			105			MSPS
最小変換レート	全範囲	IV			20			20			20	MSPS
エンコード・パルス幅ハイ ( $t_{EH}$ )	全範囲	IV	6.0			5.0			3.8			ns
エンコード・パルス幅ロー ( $t_{EL}$ )	全範囲	IV	6.0			5.0			3.8			ns
アパーチャ遅延 ( $t_A$ )	25	V		2.0			2.0			2.0		ns
アパーチャ不確定性 (ジッター)	25	V		3			3			3		ps rms
データ出力パラメータ												
パイプライン遅延	全範囲	IV		5			5			5		クロック周期
出力有効期間 ( $t_V$ ) <sup>1</sup>	全範囲	V	3.0	4.5		3.0	4.5		3.0	4.5		ns
出力伝播遅延 <sup>1</sup> ( $t_{PD}$ )	全範囲	V		4.5	6.0		4.5	6.0		4.5	6.0	ns
過渡応答時間	25	V		5			5			5		ns
範囲外リカバリ時間	25	V		5			5			5		ns

**注**

<sup>1</sup>  $t_V$ および $t_{PD}$ はENCODE入力の1.5Vレベルがデジタル出力振幅の50%となるまでの時間です。テストではデジタル出力の負荷はACの負荷が5pFを超えず、DC電流が $\pm 40 \mu A$ の範囲内に制限されました。仕様は予告なく変更されることがあります。

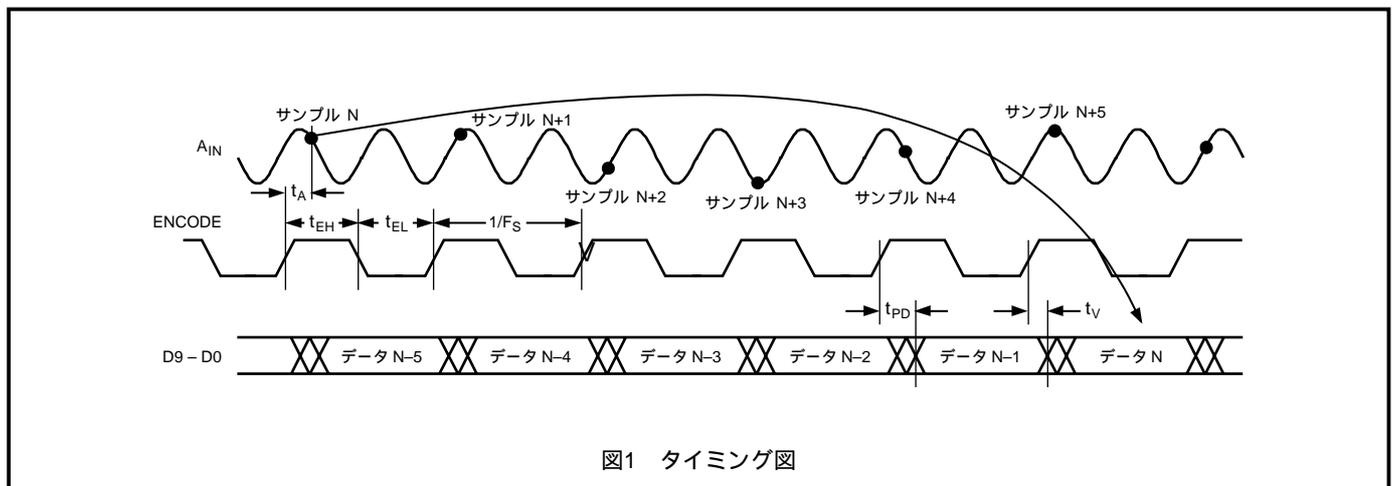


図1 タイミング図

絶対最大定格<sup>1</sup>

## 電気的定格

AV <sub>DD</sub> 電圧	4V max
DrV <sub>DD</sub> 電圧	4V max
アナログ入力電圧	- 0.5V ~ AV <sub>DD</sub> + 0.5V
アナログ入力電流	0.4mA
デジタル入力電圧	- 0.5V ~ AV <sub>DD</sub> + 0.5V
デジタル出力電流	20mA max
REF入力電圧	- 0.5V ~ AV <sub>DD</sub> + 0.5V

環境的定格<sup>2</sup>

動作温度範囲 (周辺温度)	- 40 ~ + 125
最大接合温度	175
ピン温度 (ハンダ付け、10秒)	150
保管温度範囲 (周辺温度)	- 65 ~ + 150

## 注

- 1 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。
- 2 代表的な熱抵抗 (28ピンSSOP) は、 $J_A = 49 \text{ } ^\circ\text{C/W}$ です。これらの測定は、しっかりしたグラウンド・プレーンを持った6層基板を用いて静止した空気の中で行われました。

## テスト・レベルの説明

- I 100%の製造テスト。
- II 25 °Cでの100%の製造テストで、設計および特性により、特定の温度について保証。
- III サンプル・テストのみ。
- IV パラメータは設計と特性テストにより保証。
- V パラメータは代表値のみ。
- VI 25 °Cでの100%の製造テストを行い、設計および特性により、工業用温度範囲について保証。

## オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション*
AD9214BRS-65	- 40 ~ + 85 (周辺温度)	28ピン・シュリンク・スモール・アウトライン・パッケージ	RS-28
AD9214BRS-80	- 40 ~ + 85 (周辺温度)	28ピン・シュリンク・スモール・アウトライン・パッケージ	RS-28
AD9214BRS-105	- 40 ~ + 85 (周辺温度)	28ピン・シュリンク・スモール・アウトライン・パッケージ	RS-28
AD9214-65PCB	25	AD9214-65搭載の評価用ボード	
AD9214-105PCB	25	AD9214-105搭載の評価用ボード	

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

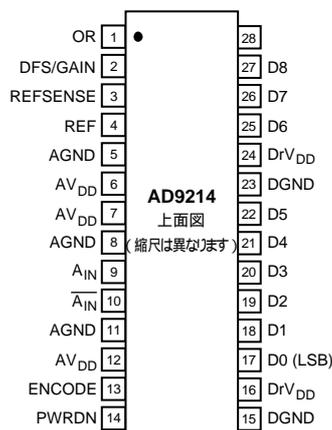


# AD9214

## ピン機能説明

ピン番号	記号	機能
1	OR	CMOS出力で、入力範囲外のインジケータ。ロジック・ハイはアナログ入力電圧が、出力中のデータのコンバータ範囲外にあることを示します。
2	DFS/GAIN	データ・フォーマット・セレクトおよびゲイン・モード・セレクト。外部的にAV <sub>DD</sub> の2の補数のデータ・フォーマットおよび1V <sub>p-p</sub> のアナログ入力範囲に接続します。オフセット・バイナリのデータ・フォーマットおよび1V <sub>p-p</sub> のアナログ入力範囲では外部的にAGNDに接続します。このピンを開放状態とすると、デバイスはオフセット・バイナリのデータ・フォーマットおよび2V <sub>p-p</sub> のアナログ入力範囲に設定されます。
3	REFSENSE	ADCのリファレンス・モードのセレクト・ピン。通常、外部的にAGNDに接続して内部1.25Vのリファレンスをイネーブルにして、REF (4ピン) をアナログ・リファレンス出力ピンに設定します。REFER-ENCEを外部的にAV <sub>DD</sub> に接続することにより内部リファレンスがディスエーブルになり、REF (4ピン) が外部リファレンス入力に設定されます。この場合には、クリーンで正確な1.25V (±5%) でREFをドライブしてください。
4	REF	REFERENCE (3ピン) により、リファレンス入 / 出力に設定されます。出力として設定された場合 (REFERENCE = AGND) には、内部リファレンス (公称値1.25V) がイネーブルになり、このピンでそのリファレンスを使用できます。入力として設定された場合 (REFERENCE = AV <sub>DD</sub> ) には、REFをクリーンで正確な1.25V (±5%) でドライブしてください。このピンを入 / 出力として設定するためには0.1 μFの外部コンデンサでAGNDにバイパスしてください。
5, 8, 11	AGND	アナログ・グラウンド。
6, 7, 12	AV <sub>DD</sub>	アナログ電源であり、公称値は3Vです。
9	A <sub>IN</sub>	ADCの差動アナログ入力の正極性の端子。
10	$\overline{A}_{IN}$	ADCの差動アナログ入力の負極性の端子。シングル・エンド・モードで動作させる場合には開放にできますが、正極性の端子 (アナログ入力ドライブの項参照) のインピーダンスにマッチさせると理想的です。
13	ENCODE	ADCのエンコード・クロック。AD9214は、ENCODEの立ち上がりエッジでアナログ信号をサンプルします。
14	PWRDN	CMOSコンパチブルのパワーダウン・モード・セレクトで、ロジック・ローが通常動作、ロジック・ハイがパワーダウン・モードに対応します (デジタル出力はハイ・インピーダンス状態)。PWRDNは、10k Ωのプルダウン抵抗で内部的にグラウンドに接続されています。
15, 23	DGND	デジタル出力のグラウンド。
16, 24	DrV <sub>DD</sub>	デジタル出力ドライバの電源。通常2.5 ~ 3.6Vです。
17-22, 25-28	D0 (LSB)-D5, D6-D9 (MSB)	ADCのCMOSデジタル出力。

AD9214ピン配置



## 用語集

## アナログ帯域幅

基本周波数 FFT 解析によって決定される)のスペクトル電力が3dB 減衰するアナログ入力周波数。

## アパーチャ遅延

ENCODEコマンドの立ち上がりエッジの50%のレベルから、アナログ入力がサンプルされるまでの遅延。

## アパーチャ不確定性 (アパーチャ遅延)

アパーチャ遅延の各サンプルでの変化。

## 差動アナログ入力抵抗、差動アナログ入力容量、

## 差動アナログ入力インピーダンス

各アナログ入力ポートにおいて測定された実数および複素数のインピーダンス。抵抗はスタティックに測定され、容量および差動入力インピーダンスはネットワーク・アナライザによって測定されます。

## 差動アナログ入力電圧範囲

コンバータにフルスケール応答を生じさせるために印加する必要がある、ピークtoピークの差動電圧。ピークの差動電圧は、あるピンの電圧を観察し、180度位相の異なる他のピンの電圧を減算して算出されます。ピークtoピークの差異は、入力の位相を180度回転させて、再びピークの測定を行って算出されます。次に、両方のピークの測定結果から差異が算出されます。

## 微分非直線性

任意のコード幅の理想的な1LSBのステップからの偏差。

## 有効ビット数

有効ビット数 (ENOB) は、測定されたS/N比から以下の式によって算出されます。

$$\text{ENOB} = \frac{\text{SINAD}_{\text{MEASURED}} - 1.76 \text{ dB} + 20 \log \left( \frac{\text{フルスケール}}{\text{実測値}} \right)}{6.02}$$

## エンコード・パルス幅 / デューティ・サイクル

パルス幅ハイは、定格の性能を有効にするためにENCODEパルスがロジック 1 レベルに留まるべき最小の時間であり、パルス幅ローは、ENCODEパルスがローに留まるべき最小の時間です。テキストの $t_{\text{ENCH}}$ を変更するタイミングの意味を参照してください。任意のクロック・レートでは、これらの仕様により取扱い可能なエンコードのデューティ・サイクルが決定されます。

## フルスケール入力電力

dBmで表され、以下の式により算出されます。

$$\text{Power}_{\text{FULL SCALE}} = 10 \log \left( \frac{V_{\text{FULL SCALE rms}}^2}{Z_{\text{INPUT}} \cdot 0.001} \right)$$

## ゲイン誤差

ゲイン誤差は、ADCの理想的なフルスケール入力電圧と測定値の差異です。

## 高調波歪み、2次

rms信号振幅の第2高調波のrms値に対する比で、dBc単位で表されます。

## 高調波歪み、3次

rms信号振幅の第3高調波のrms値に対する比で、dBc単位で表されます。

## 積分非直線性

適応する最小2乗曲線によって決定される「最良の直線」から1LSB単位で決定される、基準線からの伝達関数の偏差を示したものです。

## 最小変換レート

最も低いアナログ信号のS/N比が、保証された限界から3dB以上減少しないエンコード・レート。

## 最大変換レート

パラメータのテストで得られたエンコード・レート。

## 出力伝播遅延

ENCODEの差動交線とENCODE間の遅延であり、すべての出力ビットが有効なロジック範囲にある時間です。

## ノイズ (ADCの任意の範囲について)

$$V_{\text{NOISE}} = \sqrt{Z \times 0.001 \times 10^{\frac{\text{FS}_{\text{dBm}} - \text{SNR}_{\text{dBc}} - \text{Signal}_{\text{dBFS}}}{10}}}$$

ここでZは入力インピーダンス、FSは周波数が問題となるデバイスのフルスケール、S/N比 (SNR) は特定の入力レベルに対する値、SignalはADCのフルスケールを下回る信号レベルをdB単位で表したものです。この値は、熱ノイズと量子化ノイズの両方を含みます。

## 電源除去比 (PSRR)

入力オフセット電圧の変化の電源電圧の変化に対する比。

## S/N + 歪み (SINAD)

rms信号振幅 (フルスケールの0.5dB下に設定)の高調波を含み、DC成分を含まない他のすべてのスペクトル成分の合計の、rms値に対する比。

## S/N比 (高調波を含まない)

rms信号振幅 (フルスケールの0.5dB下に設定)の始めの5つの高調波、およびDC成分を含まない他のすべてのスペクトル成分の合計の、rms値に対する比。

## スプリアス・フリー・ダイナミックレンジ (SFDR)

rms信号振幅のピーク・スプリアス・スペクトル成分のrms値に対する比です。ピークのスプリアス成分は、高調波であるか否かを問いません。dBc単位で表された(信号レベルが低くなるほど劣化するため)またはdBFS単位で表された(常にコンバータのフルスケールと対比させるため)します。

## 2トーン・相互変調歪み

rms値で表したいずれかの入力トーンの、最悪第3次相互変調成分に対する比。dBc単位で表されます。

## 2トーン・SFDR

rms値で表したいずれかの入力信号のピーク・スプリアス成分の、rms値に対する比。ピーク・スプリアス成分は、相互変調成分であるか否かを問いません。dBc単位で表された(信号レベルが低くなるほど劣化するため)またはdBFSで表された(常にコンバータのフルスケールと対比させるため)します。

## 他の最悪スプリアス

rms信号振幅の最悪のスプリアス成分に対する比(2次および3次高調波を除いたもの) dBc単位で表されます。

# AD9214

## 過渡応答時間

過渡応答は、ADCがアナログ入力を負極フルスケールの10%上から正極フルスケールの10%下に遷移するのに必要な時間です。

## 帯域外リカバリ時間

帯域外リカバリ時間は、ADCがアナログ入力を正極フルスケールの10%上から負極フルスケールの10%上まで、または、負極フルスケールの10%下から正極フルスケールの10%下に遷移するのに必要な時間です。

### 等価回路

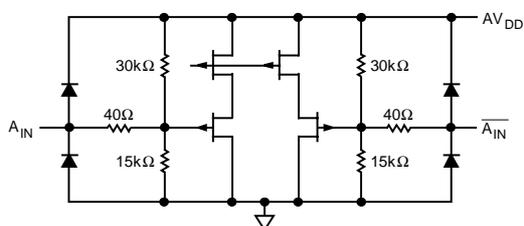


図2 アナログ入力段

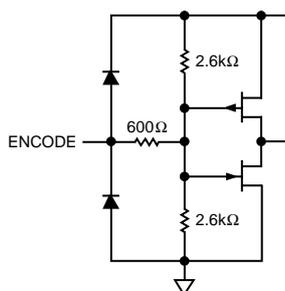


図3 エンコード入力

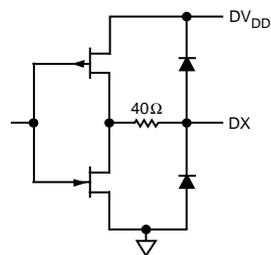


図4 デジタル出力段

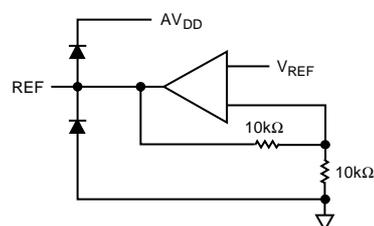


図5 出力に設定されたREF

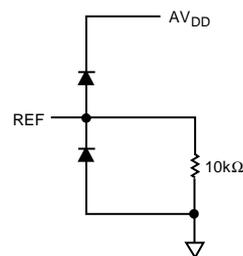
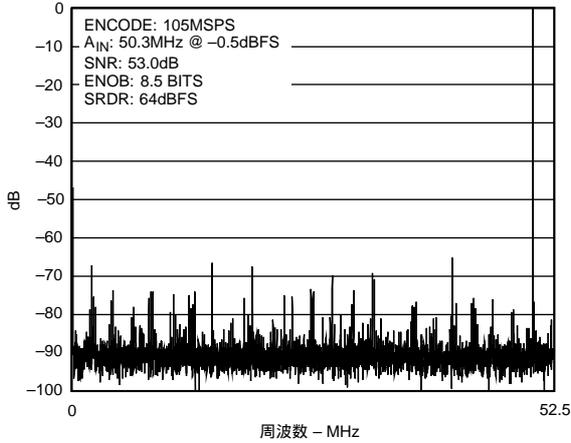
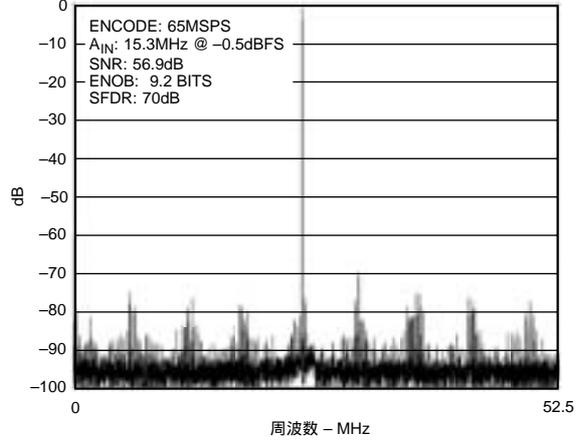


図6 入力に設定されたREF

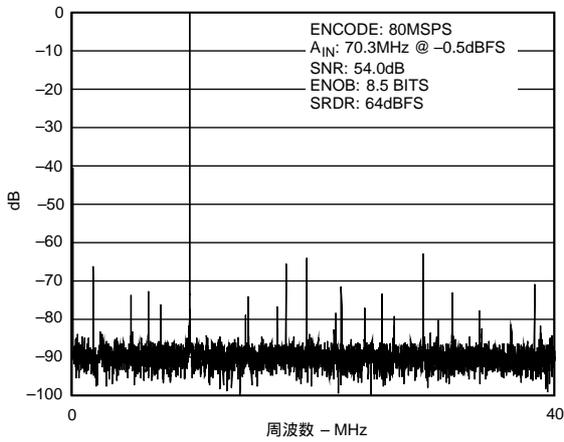
# 代表的な性能特性 AD9214



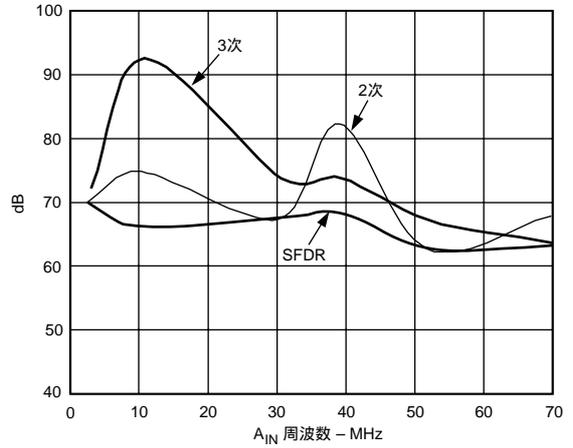
特性1 FFT:  $f_s = 105\text{MSPS}$ ,  $f_{IN} = \sim 50.3\text{MHz}$ ,  $A_{IN} = -0.5\text{dBFS}$ , 差動、1Vp-pアナログ入力範囲



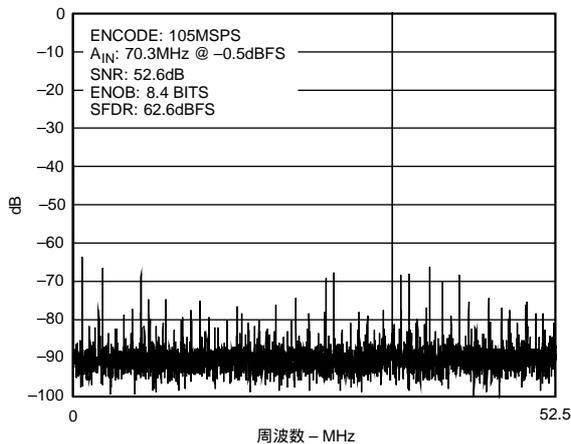
特性4 FFT:  $f_s = 65\text{MSPS}$ ,  $f_{IN} = 15.3\text{MHz}$  (2Vp-p), AD8138で $A_{IN}$ をドライブ



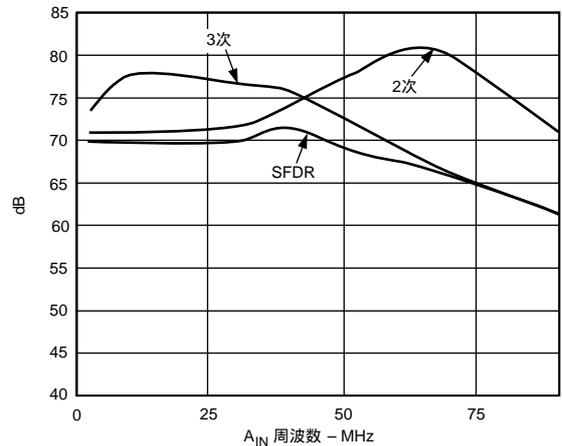
特性2 FFT:  $f_s = 80\text{MSPS}$ ,  $f_{IN} = 70\text{MHz}$ ,  $A_{IN} = -0.5\text{dBFS}$ , 1Vp-pアナログ入力範囲



特性5 高調波歪み (2次および3次) およびSFDR 対  $A_{IN}$  周波数 (1Vp-p,  $f_s = 105\text{MSPS}$ )

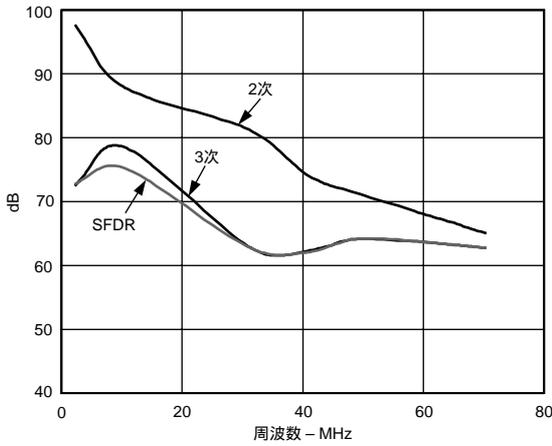


特性3 FFT:  $f_s = 105\text{MSPS}$ ,  $f_{IN} = 70\text{MHz}$  (1Vp-p)

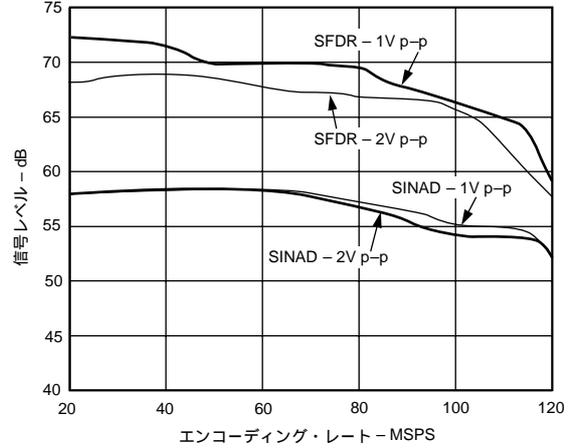


特性6 高調波歪み (2次および3次) およびSFDR 対  $A_{IN}$  周波数 (2Vp-p,  $f_s = 80\text{MSPS}$ )

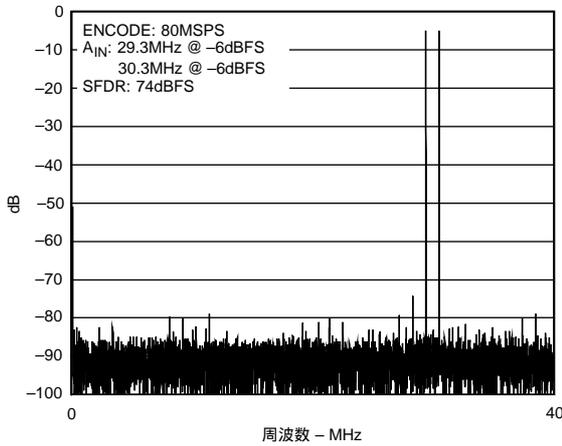
# AD9214



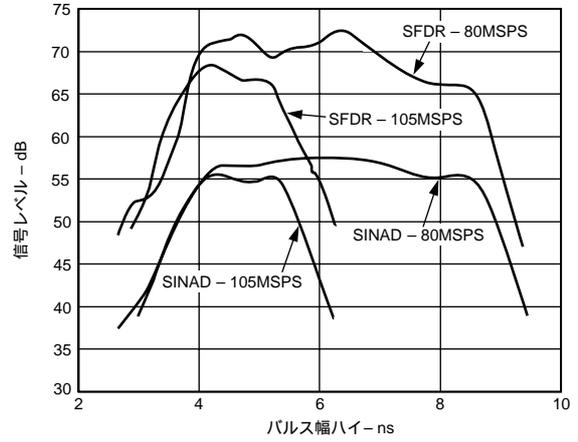
特性7 高調波歪み(2次および3次)およびSFDR 対  $A_{IN}$ 周波数(1Vp-pおよび2Vp-p,  $f_s = 65\text{MSPS}$ )



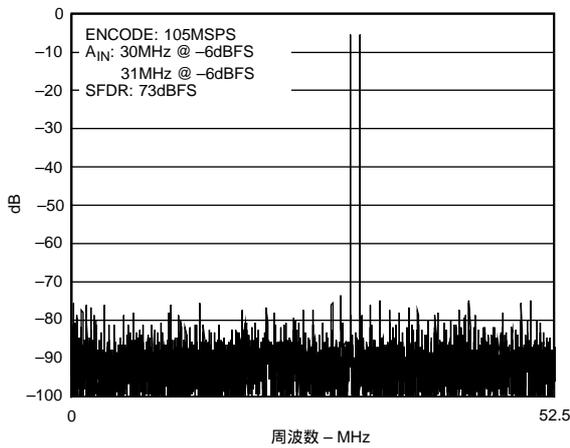
特性10 SINADおよびSFDR 対 エンコード・レート ( $f_{IN} = 10.3\text{MHz}$ , 1Vp-pおよび2Vp-p)



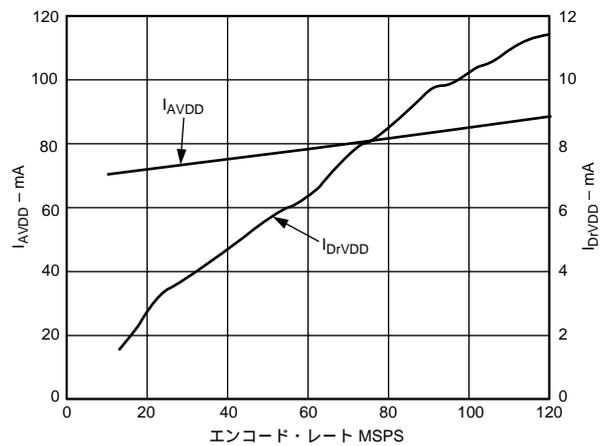
特性8 2トーン相互変調歪み (29.3MHz、30.3MHz、1Vp-p、 $f_s = 80\text{MSPS}$ )



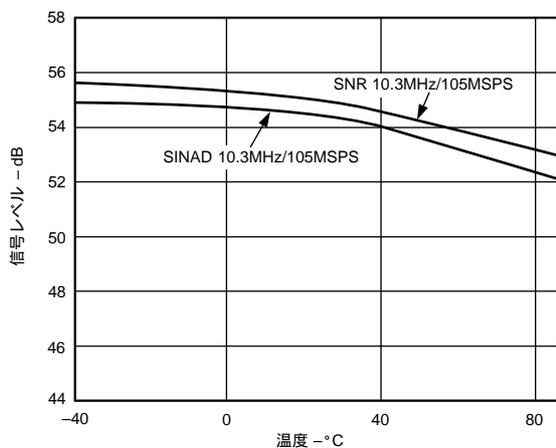
特性11 SINADおよびSFDR 対 エンコード・パルス幅ハイ (1Vp-p)



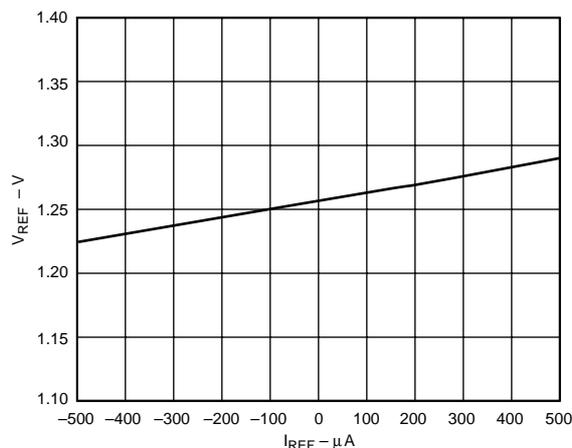
特性9 2トーン相互変調歪み (30MHzおよび31MHz、1Vp-p、 $f_s = 105\text{MSPS}$ )



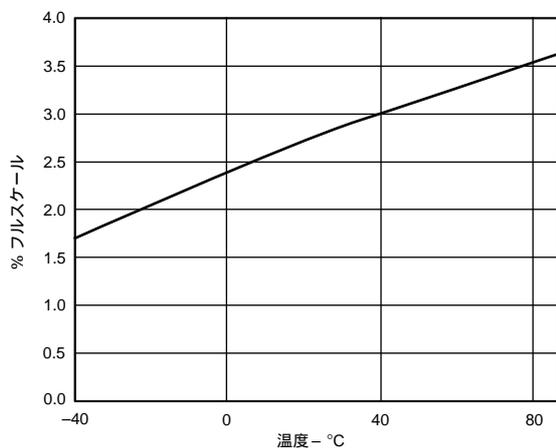
特性12  $I_{AVDD}$ および $I_{DrVDD}$  対 エンコード・レート ( $f_{IN} = 10.3\text{MHz}$ , -0.5 dBFS、および -3dBFS) デジタル出力における  $C_{LOAD} \sim 7\text{pF}$



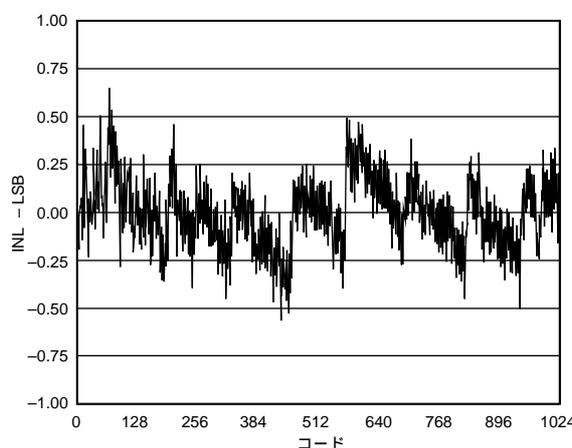
特性13 SINAD / S/N比 対 温度 ( $f_{AIN} = 10.3\text{MHz}$ 、 $f_{ENCODE} = 105\text{MSPS}$ 、 $1\text{Vp-p}$ )



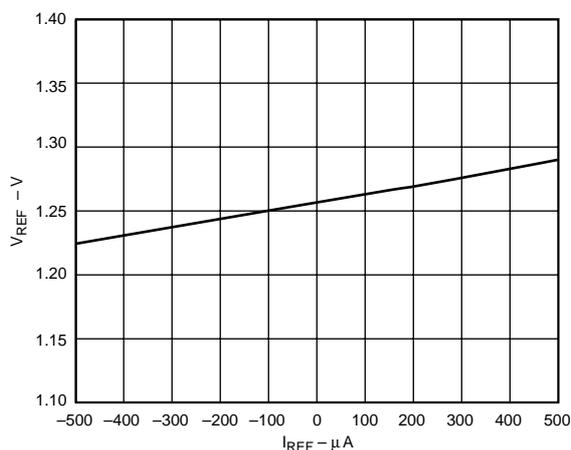
特性16 ADCリファレンス 対 電流負荷



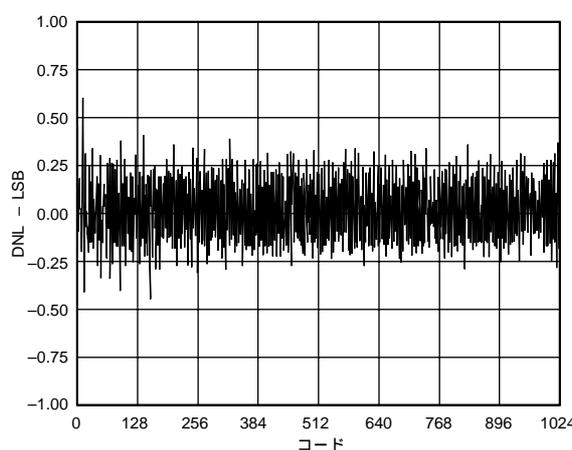
特性14 ADCゲイン 対 温度 (外部1.25Vリファレンス)



特性17 INL@80MSPS



特性15 ADCリファレンス 対 温度(200  $\mu\text{A}$  負荷)



特性18 DNL@80MSPS

# AD9214

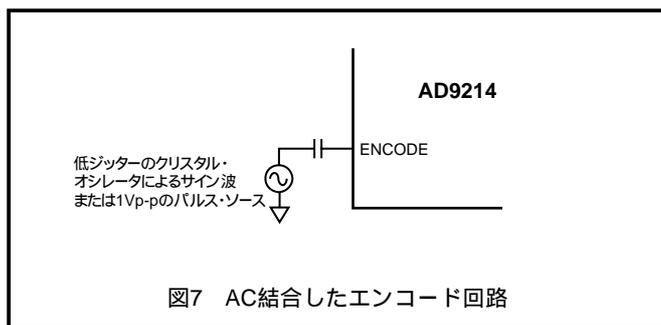
## 動作原理

AD9214のアーキテクチャは、スイッチド・キャパシタの技法を用いている、ステージあたり1ビットのパイプライン・コンバータです。これらのステージでは、7個のMSBを決定して3ビットのフラッシュをドライブします、各ステージは、十分なオーバーラップとエラー補正により、コンパレータの精度を最適化しています、入力バッファは差動で両入力に内部的にバイアスされます。これにより、ACとDC、差動とシングル・エンドの入力モードを柔軟に使い分けられます。出力ステージのブロックでは、データの同期化とエラー訂正を行い、データを出力バッファに書き込みます。出力バッファは、別々の電源を用いて、異なるロジック・ファミリーに対応可能です。パワーダウンの間、出力はハイ・インピーダンス状態となります。

## AD9214の適用

### AD9214のエンコード

あらゆる高速型A/Dコンバータは、ユーザーの供給するサンプリング・クロックの品質に敏感です。トラック/ホールド回路は本質的にミキサーです。クロックのすべてのノイズ、歪み、タイミングのジッターはA/Dの出力において目的の信号と混ざってしまいます。このため、AD9214のENCODE入力は細心の注意を払って設計されており、ユーザー側でもクロック・ソースに関して相応の注意を払う必要があります。ENCODE入力は、TTL/CMOSと完全な互換性を持っており、通常はジッターの少ない水晶制御のTTL/CMOS発振器を使って直接駆動してください。ENCODE入力は内部的にバイアスされており、ユーザーによってクロック信号とAC結合可能です。最もクリーンなクロック・ソースとして、純粋なサイン波を生成するクリスタル・オシレータがよく使われます。図7にこのようなソースをENCODE入力にAC結合する方法を示します。



### リファレンス回路

AD9214のリファレンス回路は、REFERENCE (3ピン) によって設定されます。REFERENCEを外部的にAV<sub>DD</sub>に接続することにより、ADCは内部リファレンス (~1.25V) を使用するように設定され、REFピン (4ピン) の接続は、内部のリファレンス電圧を出力するよう設定されます。REFERENCEが外部的にAV<sub>DD</sub>に接続されている場合には、ADCは外部リファレンスを使用するよう設定されます。このモードでは、REFピンはリファレンス入力として設定され、外部の1.25Vのリファレンスでドライブする必要があります。

ます。

いずれの設定においても、アナログ入力電圧範囲 (DFS/GAINで決定する1Vp-pまたは2Vp-p) はリファレンス電圧の直線性をトラックするので、リファレンスのノイズを低減するためには、REFとAGNDの間に外部バイパス・コンデンサの接続が必要です。実際には、外部リファレンスが±5%に調節されている限り、性能の目立った低下は生じません。

### DFS/GAIN

DFS/GAIN (データ・フォーマット・セレクト/ゲイン) 入力 (2ピン) は、ADCの出力データ・フォーマットとゲイン (アナログ入力電圧範囲) の両方を制御します。下記の表にその動作を解説します。

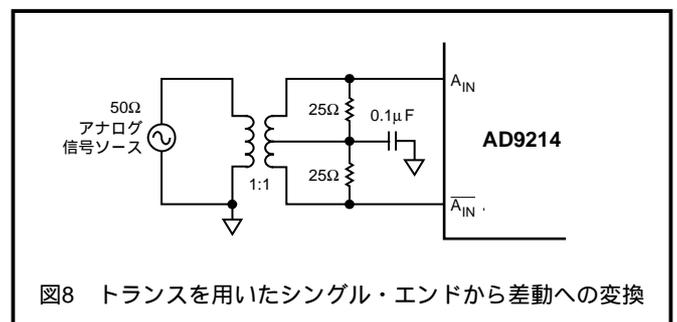
表1 データ・フォーマットおよびゲインの設定

外部のDFS/GAINの接続	差動アナログ入力範囲	出力データ・フォーマット
AGND	1Vp-p	オフセット・バイナリ
AV <sub>DD</sub>	1Vp-p	2の補数
REF	2Vp-p	2の補数
開放	2Vp-p	オフセット・バイナリ

### アナログ入力のドライブ

AD9214のアナログ入力は差動バッファです。等価回路に示すように、各差動入力は内部的にDC ~ AV<sub>DD</sub>/3にバイアスされ、アナログ入力信号のAC結合が可能です。また、アナログ信号は、DC結合もできます。この場合、AV<sub>DD</sub>/3に対する負荷は ~10k と等価であり、アナログ信号のコモン・モードのレベルはAV<sub>DD</sub>/3 ± 200mVの範囲になければなりません。最高のダイナミック性能を得るためには、A<sub>IN</sub>およびA<sub>IN</sub>のインピーダンスを整合させる必要があります。

アナログ入力を差動動作させることによりAC特性が最適化され、偶数次の高調波が最小化され、コモン・モードのノイズが除去できる利点があります。差動信号は、図8に示すトランス結合、または図9に示すAD8138のような高性能差動アンプで駆動できます。



AD9214のアナログ入力部の設計においては、データがオーバー・ドライブ状態となったときの損傷とデータの改変を防止するために、特別な配慮がなされています。最適な入力範囲は1.0Vp-pですが、AD9214である程度の性能低下と引き替えに2.0Vp-p入力範囲にも対応できます (上記DFS/GAINピンの解説を参照)。

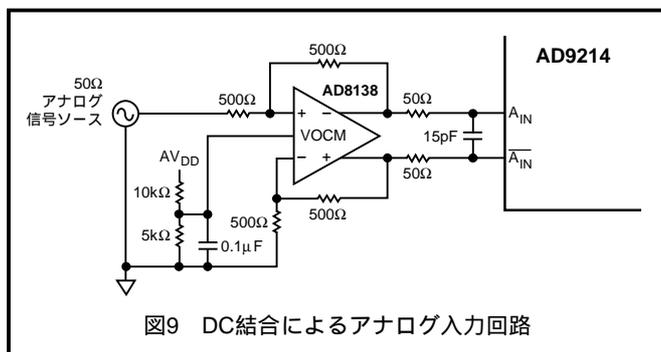


図9 DC結合によるアナログ入力回路

## 電源

AD9214は $AV_{DD}$ と $DrV_{DD}$ の2つの電源を備えています。 $AV_{DD}$ および $AGND$ は、すべてのアナログ回路、入力、内部タイミング、デジタル・エラー補正の回路に電源を供給します。 $AV_{DD}$ の消費電流は、代表的な性能特性の項に示すようにエンコード・レートにより多少変動します。

$DrV_{DD}$ の電流は、電圧レベル、外部負荷容量、エンコード周波数に応じて変動します。外部容量を最小化する設計により消費電力が低減でき、ADCの性能に影響を与える電源ノイズが削減されます。 $DrV_{DD}$ の最大電流は以下の式で算出できます。

$$I_{DrV_{DD}} = V_{DrV_{DD}} \times C_{LOAD} \times f_{ENCODE} \times N$$

ここで $N$ は出力ビットの数であり、AD9214の場合には10となります。この最大電流は、各クロック・サイクルの各出力ビットのスイッチングの状態に対応し、これは、ナイキスト周波数である $f_{ENCODE}/2$ のフルスケールの矩形波の場合にのみ発生します。実際には、 $I_{DrV_{DD}}$ は出力ビットのスイッチングの平均的な数となり、これはエンコードのレートとアナログ入力信号の特性によって決定されます。特性曲線の項では、10.3MHzサイン波によってアナログ入力を駆動する場合の $I_{DrV_{DD}}$ とエンコード・レートの参照を示します。

両方の電源接続は、パッケージ接続の位置またはその近くで、高品質なセラミック・チップ・コンデンサを用いて、グラウンドとデカップリングしてください。すべてのグラウンド( $AGND$ および $DGND$ )の接続に単一のグラウンド・プレーンを用いることを推奨します。

$PWRDN$ 制御ピンのロジック・レベルをハイにすると、AD9214がスリープ・モードに設定されます。 $PWRDN$ は通常動作ではロジック・レベルがローの状態が開放となります。スリープ・モードでは、ADCはアクティブ状態ではなくなり、消費電力が低減されます。スリープ・モードから通常動作に切り替える場合には、ADCが有効な出力データに復帰するために $\sim 15$ クロック・サイクルを必要とします。

## デジタル出力

AD9214のデータ・レシーバの設計には注意が必要です。デジタル出力によってシリーズ抵抗(例: 100 $\Omega$ )をドライブし、その次に74LCX821のようなゲートを付加することを推奨します。容量性負荷を最小化するために、各出力ピンには1つのゲートだけを接続してください。このような例として、図10に示す評価ボード概略図があります。このシリーズ抵抗は、出力段に流れ込む電流の量を制限するために、できる限りAD9214の近くに設置する必要があります。これらのスイッチング電流は、グラ

ウンド( $DGND$ )と $DrV_{DD}$ の間に閉じ込められます。スタンダードなTTLのゲートは、AD9214のダイナミックなスイッチング電流を際だって増加させるため、使用を避けてください。容量性負荷が増加すると出力タイミングが遅延し、タイミング特性が満たされなくなるので注意が必要です。デジタル出力タイミングは、10pFの負荷について保証されています。

## レイアウトに関する情報

評価ボードの概略図(図10)に、AD9214の代表的な構成例を示します。最良の結果を得るためには多層基板の使用を推奨します。デバイスの各ピンを直接にグラウンドからデカップリングするために、高品質のセラミック・チップ・コンデンサの使用を特に推奨します。AD9214のピン出力は、高周波数の高分解能での設計において使いやすい構造です。すべてのデジタル出力、およびそれらの電源とグラウンド・ピンの接続はチップの片側に分離され、入力は絶縁のため反対側に配置されています。

デジタル出力経路の配線には注意が必要です。デジタル出力とAD9214のアナログ部との結合を防止するため、これらの出力における容量性負荷を最小に抑えてください。AD9214のデジタル出力の各ゲートからのファンアウトを1にすることを推奨します。

同様に、エンコード回路のレイアウトも重要です。この回路によって受けるすべてのノイズはデジタル化プロセスを劣化させ、全体的な特性を低下させるためです。エンコード・クロックは、デジタル出力およびアナログ入力から絶縁する必要があります。

## 評価ボード

AD9214の評価ボードを使って、ユーザーはデバイスの性能を簡単な手法で評価できます。ユーザーはアナログ入力信号、エンコード・クロック・リファレンス、電源を供給する必要があります。AD9214のデジタル出力は、評価ボードによってラッチされ、40ピンのコネクタによってレディ信号とともに得られます。評価ボードの概略図、レイアウト、部品の一覧表を参照してください。

## 電源接続

ボードへの電源は、着脱可能な4ピンの電源ストリップ(U4、U9、U10)により供給されます。これらの12ピンは、表IIに示すようにドライブしてください。

表II AD9214評価ボードの電源接続

ピン	記号	必要な外部電源
1	LVC	3V
3	5V	5V
5	-5V	(オプションのZ1電源) -5V
7	VCC	3V
9	VDD	3V
11	DAC	5V
2,4,6, 8,10,12	GND	グラウンド

A + 5Vおよび - 5Vの電源はオプションであり、差動式オペアンプZ1をボードに装着する場合にのみ必要です。

# AD9214

## リファレンス回路

評価ボードは、AD9214がボード上のリファレンスを使用するように、組み立ての時点で設定されています。外部リファレンスを供給する場合には、ユーザーがE25とE26を接続するジャンパを取り除いてE19とE24の間に接続して、REFERENCEピンをVCCに接続してください。この設定では、外部の1.25Vリファレンスをジャンパ接続のE23に接続する必要があります。ジャンパ接続のE19～E21、E24および抵抗R13～R14は組み立て時に省略されており、AD9214の評価には使用されません。

## ゲイン/データ・フォーマット

評価ボードはDFS/GAINピンをグラウンドに接続した状態で組み立てられ、これによりAD9214はアナログ入力範囲1Vp-p、データ・フォーマットはオフセット・バイナリに設定されます。ユーザーはこのジャンパを取り除き、接続を表IIIに中の1つに切り替えて、AD9214を異なるゲインと出力フォーマットのオプションに設定できます。

表III 評価ボードのデータ・フォーマットおよびゲインの設定

DFS/GAIN ジャンパの配置	DFS/GAIN 接続	差動A <sub>IN</sub> 範囲	出力データ・ フォーマット
E18～E12	AGND	1Vp-p	オフセット・バイナリ
E16～E11	AV <sub>DD</sub>	1Vp-p	2の補数
E15～E14	REF	2Vp-p	2の補数
E17～E13	フローティング	2Vp-p	オフセット・バイナリ

## パワー・ダウン

評価ボードは、PWRDN入力が入りの開放状態、つまり通常動作の状態となるように組み立て時点で設定されています。ユーザーは、オプション・ホルルのE5とE6の間にジャンパを設置してPWRDNをAVCCに接続し、AD9214をパワー・ダウン・モードに設定できます。

## 信号のエンコードおよび分配

エンコード入力信号はSMBコネクタJ5をドライブする必要があり、これはボード上で50Ωで終端されています。スタンダードのCMOSコンパチブルのパルス・ソースを推奨します。または、通常は省略される抵抗R11をユーザーが付加して、AC結合されたクロック・ソースのDCレベルを調節できます。J5はAD9214のENCODE入力とU12の1つのゲートをドライブし、これによりクロック信号がバッファされボード上のラッチ（U3）、再構成DAC（U11）、データ・コネクタ（U2）に分配されます。ボードはタイミング・オプションをDACおよびラッチに最適化された状態で組み立てられるため、ユーザーはE34とE35の間のジャンパを取り除いて、これをE35とE36の間に装着することにより、エッジ・コネクタU2の37ピンでDR信号を反転させることができます。

## アナログ入力

アナログ入力信号は、SMBコネクタJ1によって評価ボードに接続されます。組み立て時の設定により、信号はコンデンサC10によってトランスT1にAC結合します。この1:1のトランスは25Ωの抵抗R1およびR4を介して、コネクタJ1を50Ωで終端します。また、T1はJ1の信号を差動信号に変換してAD9214のアナログ入力とします。通常省略されるR3を用いると、トランスが除去された場合にJ1を終端するのに使えます。

ユーザーは、E1とE3のジャンパ・ブロックを取り除いて、これをE3とE2の間に設置することにより、AD9214をボードにおいてシングル・エンドでドライブするように再設定できます。この設定では、コンデンサC2がA<sub>IN</sub>の自己バイアスを安定化させ、抵抗R2がJ1の50Ωソースに整合したインピーダンスを与えます。

トランスT1は、通常時にE40とE38の間にあるジャンパをE40とE37の間に設置し、さらに通常時にE39とE10の間にあるジャンパをE7とE10の間に設置することにより、バイパスできます。この設定では、AD9214のアナログ入力は、J1から直接にシングル・エンドでドライブされ、R3（通常は省略される）を、J1に対する全ケーブルを終端するように装着してください。

## AD8138の使用

AD9214の評価ボードのレイアウトには、AD8138差動アンプ・ベースのアナログ入力に対するオプションのドライバ回路が含まれています。評価ボードのこの部分は、ボードが製造された時点では空きスペースのままですが、ユーザーによって簡単に加えられます。抵抗R5、R16、R18、R25はフィードバック・ネットワークであり、AD8138のゲインを設定します。抵抗R23とR24はオペアンプの出力におけるコモン・モード電圧を設定します。抵抗R27とR28、およびコンデンサC15はAD8138の出力のローパス・フィルタを構成し、AD9214へのノイズの寄与を制限します。

ドライブ回路を加えると、ユーザーは通常E40とE38の間にあるジャンパ・ブロックを取り除いて、これをE40とE41の間に設置しなければなりません。これにより、SMBコネクタJ1からのアナログ信号がAD8138ドライバ回路にAC結合されます。ユーザーは、トランスT1を回路から取り除くために、通常E39とE10の間およびE1とE3の間に接続されているジャンパを取り除く必要があります。

## DAC再構成回路

出力コネクタU2によって得られるデータは、またDAC U11、AD9752によって再構成できます。この12ビットの高速D/Aコンバータは、評価ボードを設定してデバッグするためのツールとして含まれています。これを使ったAD9214の性能測定はできません。なぜなら、この性能はADCの性能を正確に反映しないからです。J2のDAC出力は50Ωをドライブします。ユーザーがE8とE9の間にジャンパ・ブロックを設置すれば、DACのSLEEP機能を有効にできます。

## AD9214/PCB部品内容

#	数量	リファレンス記号	デバイス	パッケージ	値
1	1	N/A	PCB		
2	19	C1-C3, C5-C14, C16-C20, C25-C28	コンデンサ	603	0.1 $\mu$ F
3	4	C21-C24	コンデンサ	CAPTAJD	10 $\mu$ F
4	1	C4	コンデンサ	603	0.01 $\mu$ F
5	4	R1, R2, R4, R8	抵抗	1206	25 $\Omega$
6	4	R7, R10, R12, R17	抵抗	1206	50 $\Omega$
7	4	U5-U8	抵抗	RPAK_742	100 $\Omega$
8	1	R21	抵抗	1206	0 $\Omega$
9	2	R6, R9	抵抗	1206	2000 $\Omega$
10	37	E1-E6, E8-E9, E11-E27, E29, E31-E41	テスト・ポイント ジャンパ接続		TSW-120-07-G-S SMT-100-BK-G
11	3	J1, J2, J5	コネクタ	SMB	51-52-220
12	1	U12	クロック・チップ	SOIC	SN74LVC86
13	1	U11	DAC	SOIC	AD9752
14	1	U3	ラッチ	SOIC	74LCX821
15	1	U1	ADC/DUT	SOIC	AD9214
16	1	U2	40ピン・ヘッダー		Samtec Tsw-120-07-G-D
17	1	T1	トランス		Mini Circuits ADT1-1WT
18	3	U4, U9, U10	電源ストリップ 電源コネクタ		Newark 95F5966 25.602.5453.0
以下の部品はプリント基板の設計に含まれていますが、組み立て時には省略されています。					
19	3	C1, C20, C28	コンデンサ	603	0.1 $\mu$ F
20	2	C30, C29	コンデンサ	CAPTAJD	10 $\mu$ F
21	1	C15	コンデンサ	603	15 pF
22	4	R5, R18, R25, R26	抵抗	1206	500 $\Omega$
23	1	R23	抵抗	1206	1 k $\Omega$
24	1	R24	抵抗	1206	4 k $\Omega$
25	3	R11, R15, R16	抵抗	1206	ユーザー選択
26	2	R13, R14	抵抗	1206	N/A
27	3	R27, R28, R3	抵抗	1206	50 $\Omega$
28	1	R19	抵抗	1206	0 $\Omega$
29	1	Z1	オペアンプ	SOIC	AD8138

# AD9214

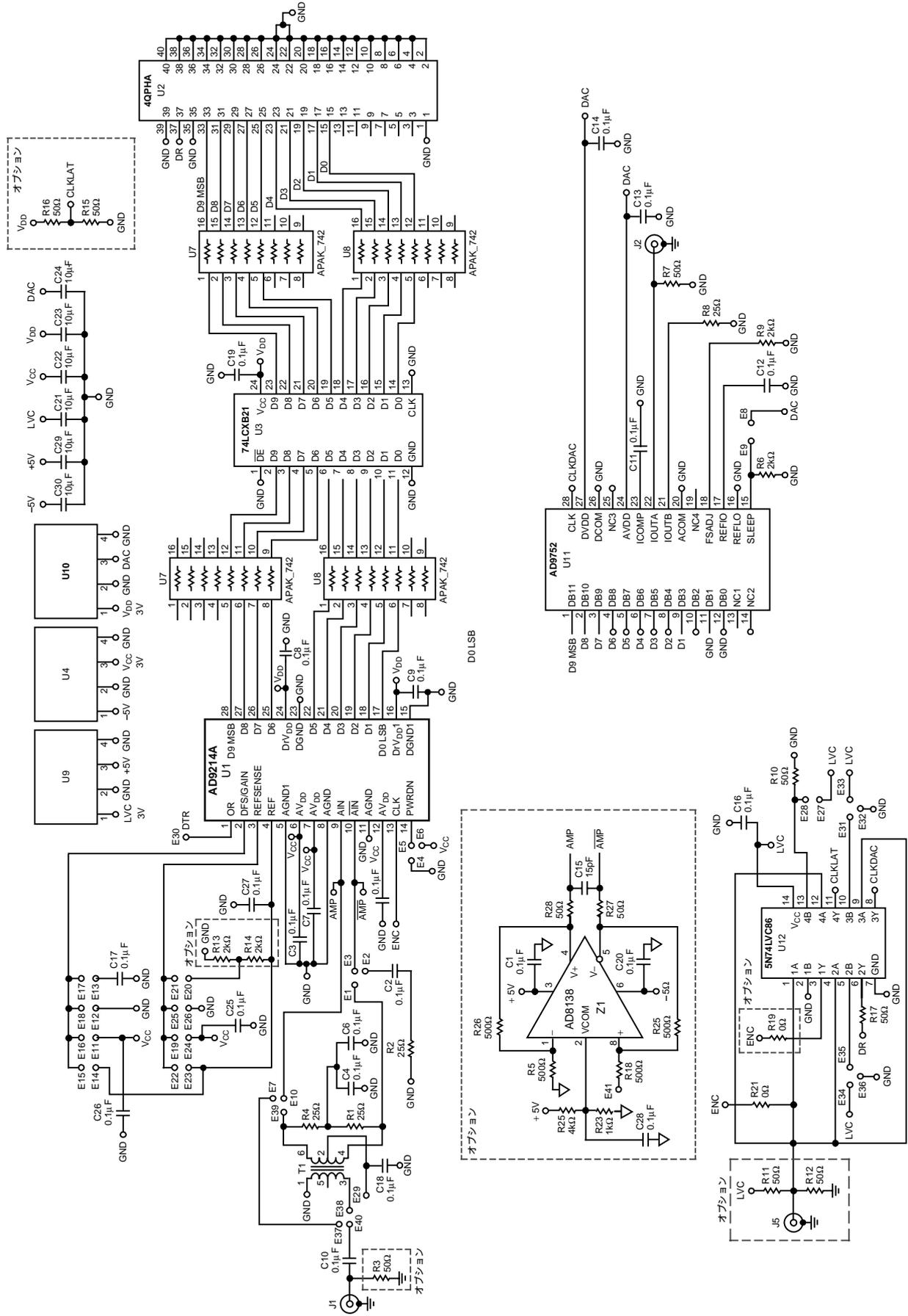


図10 プリント基板概略図

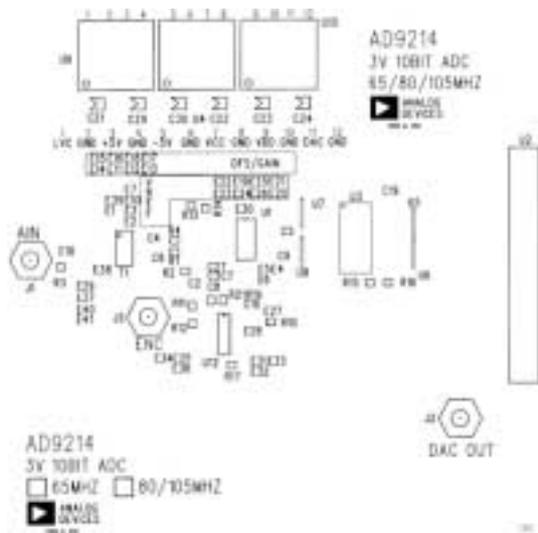


図11 プリント基板上面シルク・スクリーン

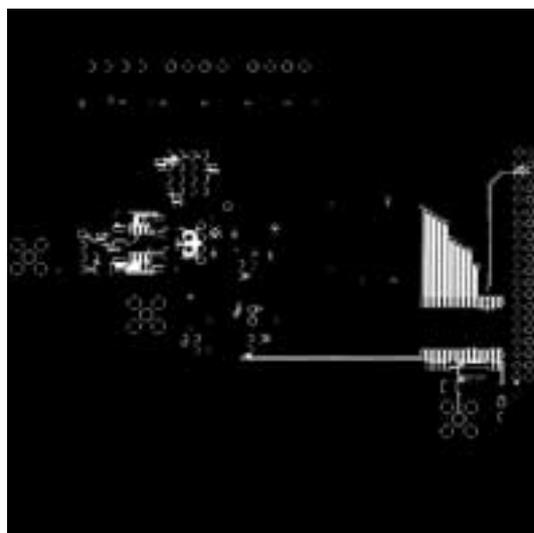


図14 プリント基板底面銅配線面

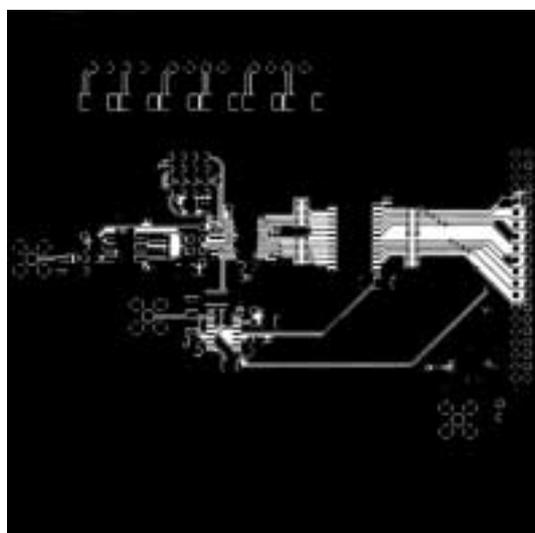


図12 プリント基板上面銅配線面



図15 プリント基板グラウンド層 (TBD層)

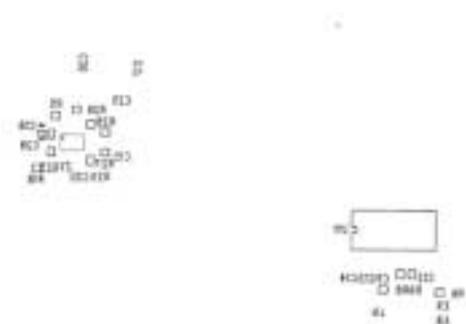


図13 プリント基板底面シルク・スクリーン

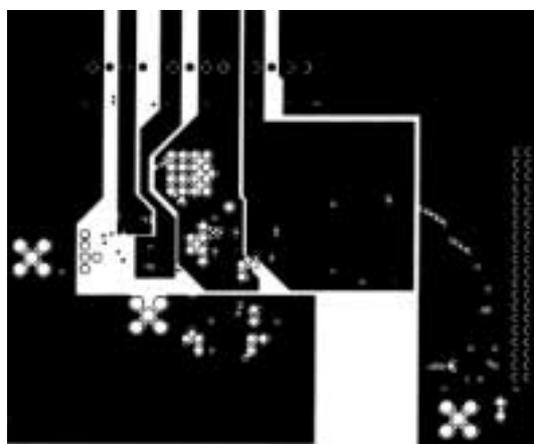
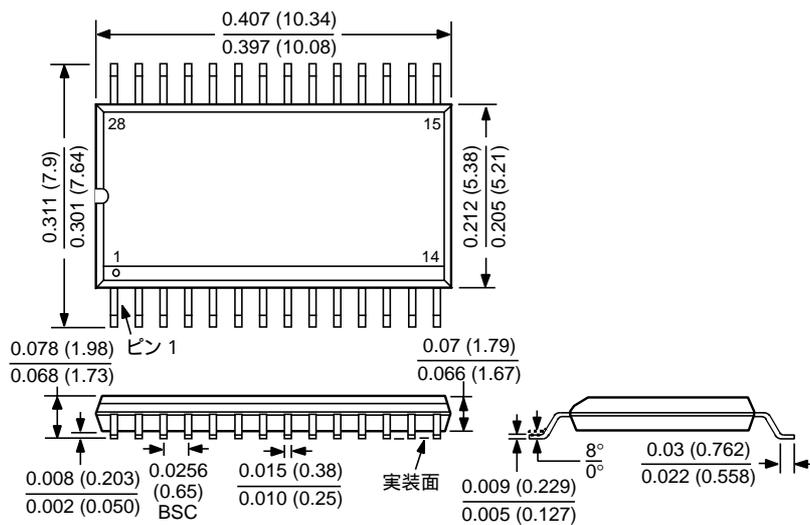


図16 プリント基板電源層 (第3層および第4層)

# AD9214

## 外形寸法

サイズはインチと (mm) で示します。





# AD9214

TDS12/2000/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。