



デュアル、16 ビット 広帯域チャネライザ搭載 12.6 GSPS RF DAC

データシート

AD9176

特長

- マルチバンド・ワイヤレス・アプリケーションをサポート
 - RF DAC ごとに 3 チャンネルのバイパス可能な複素データ入力チャンネル
 - 1 入力チャンネルあたり 3.08GSPS の最大複素入力データ・レート
 - 1 入力チャンネルあたり 1 個の独立した NCO
- 独自の低スプリアス/低歪み設計
 - 2 トーン IMD3 = -83dBc (1.84GHz、-7dBFS/トーンの RF 出力時)
 - SFDR < -80dBc (1.84GHz、-7dBFS の RF 出力時)
- 8 レーン、15.4Gbps の柔軟な JESD204B インターフェース
 - シングルバンドおよびマルチバンドの用途に対応
 - 高データ・スループットを実現する 12 ビット高密度モードをサポート
- 複数チップの同期
 - JESD204B サブクラス 1 に対応
- あらゆる入力データ・レートに対応する設定変更可能なインターポレーション・フィルタ
 - 構成可能なデータ・チャンネル・インターポレーション: 1x、2x、3x、4x、6x、8x
 - 構成可能な最終インターポレーション: 1x、2x、4x、6x、8x、12x
- DAC レートで動作する 48 ビットの最終 NCO により、最大 6GHz の周波数合成をサポート
- 送信インーブル機能による一層の節電と下流回路の保護
- 高性能、低ノイズの PLL クロック通倍器
 - 12.6GSPS の DAC 更新レートをサポート
 - 分周比を選択可能なオブザーベーション ADC クロック・ドライバ
- 低消費電力
 - 2DAC で 2.54W (12GSPS、DAC PLL オン時)
- 10mm × 10mm、金属強化サーマル・リッド付き 144 ボール BGA_ED、0.80mm ピッチ

アプリケーション

- ワイヤレス通信インフラストラクチャ
 - マルチバンド基地局無線
 - マイクロ波/E バンド・バックホール・システム
- 計測器、自動試験装置 (ATE)
- レーダーおよび電波妨害装置

概要

AD9176 は、最大 12.6GSPS の DAC サンプル・レートをサポートする高性能なデュアル 16 ビット D/A コンバータ (DAC) です。15.4Gbps、8 レーンの JESD204B データ入力ポート、高性能のオンチップ DAC クロック通倍器に加えて、シングルバンドとマルチバンドのダイレクト to 無線周波数 (RF) ワイヤレス・アプリケーションを対象としたデジタル信号処理機能を備えているのが特長です。

AD9176 は、RF DAC データパスあたり 3 つの複素データ入力チャンネルを備えています。各入力チャンネルは完全にバイパス可能です。各データ入力チャンネル (もしくはチャネライザ) は、設定変更可能なゲイン段、インターポレーション・フィルタ、チャンネル数値制御発振器 (NCO) を備えているので、マルチバンド周波数の設計を柔軟に行えます。このデバイスは、最大 3.08GSPS の複素 (同相/直交位相 (IQ))、もしくは最大 6.16GSPS の非複素 (実数) の入力データ・レートをサポートしています。また、個々の処理に割り当てられたチャンネルに対して複数の複素入力データ・ストリームを配分する機能があります。3 つのチャネライザの各グループは、追加処理のために必要に応じて、それぞれのメイン・データパスに加算されます。各メイン・データパスには、インターポレーション・フィルタと 1 つの 48 ビットのメイン NCO が搭載され、その後段に RF DAC コアがあります。変調器スイッチを使用すると、メイン・データパスの出力は、DAC0 にのみ送られてシングル DAC として動作することも、DAC0 および DAC1 の両方に送られてデュアルの中間周波数 DAC (IF DAC) として動作することもできます。

また、AD9176 はチャネライザとメイン・データパスをバイパスできる超広帯域データ・レート・モードをサポートしており、シングル 16 ビット DAC として 6.16GSPS まで、デュアル 16 ビット DAC として 3.08GSPS まで、または、デュアル 12 ビット DAC として 4.1GSPS までの最大データ・レートを実現します。

更に、AD9176 のメイン NCO ブロックには 31 個の 32 ビット NCO のバンクが組み込まれており、それぞれ個別の位相アキュムレータを備えています。

AD9176 は 144 ボール BGA_ED パッケージを採用しています。

製品のハイライト

- 広帯域幅およびマルチチャンネルのアプリケーションでは、低消費電力、マルチチャンネル、デュアル DAC の設計により、性能を維持しながら消費電力を低減できます。
- RF DAC あたり 3 つのバイパスが可能な複素データ・チャンネルを備えたシングルバンドおよびマルチバンドのワイヤレス・アプリケーション、または、内蔵の変調器スイッチを使用する場合に、2 つのメイン・データパスを 2 つの広帯域複素データ・チャンネルとして使用する構成をサポートしています。
- 16 ビットの分解能で 3.08GSPS まで、および 12 ビットの分解能で 4.1GSPS までの最大複素データ・レート (I または Q あたり)。また、AD9176 はデュアル DAC として構成可能で、各 DAC は個別の JESD204B リンクを通して前述のデータ・レートで動作することができます。
- 16 ビットの分解能で最大 6.16GSPS までのデータ・レートをサポートする超広帯域幅のシングル DAC モード。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大 阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	JESD204B シリアル・データ・インターフェース	32
アプリケーション.....	1	JESD204B の概要	32
概要.....	1	物理層.....	36
製品のハイライト	1	データ・リンク層.....	38
改訂履歴.....	2	LMFC 信号同期	40
機能ブロック図	3	トランスポート層.....	46
仕様.....	4	JESD204B のテスト・モード.....	47
DC 仕様	4	JESD204B のエラー・モニタリング.....	49
デジタル仕様.....	5	デジタル・データパス	52
最大 DAC 更新レート仕様.....	5	合計データパス・インターポレーション.....	52
電源の DC 仕様.....	6	チャンネル・デジタル・データパス.....	53
シリアル・ポートと CMOS ピンの仕様	9	メイン・デジタル・データパス	56
デジタル入力データのタイミング仕様.....	10	NCO オンリー・モード	60
JESD204B インターフェースの電氣的仕様と速度仕様	11	変調器スイッチ	61
入力データ・レートと信号帯域幅の仕様.....	12	割込み要求動作	65
AC 仕様	13	割込みサービス・ルーチン	65
絶対最大定格	15	アナログ・インターフェース.....	66
リフロー・プロファイル	15	DAC 入力クロック設定	66
熱特性.....	15	クロック出力ドライバ	68
ESD に関する注意.....	15	アナログ出力	68
ピン配置およびピン機能の説明	16	アプリケーション情報	70
代表的な性能特性.....	19	ハードウェアに関する考慮事項	70
用語の定義.....	27	スタートアップ・シーケンス.....	73
動作原理.....	28	レジスタの一覧	80
シリアル・ポートの動作	30	レジスタの詳細	88
データ・フォーマット	30	外形寸法.....	151
シリアル・ポート・ピンの説明	30	オーダー・ガイド	151
シリアル・ポート・オプション	31		

改訂履歴

11/2018—Revision 0: Initial Version

機能ブロック図

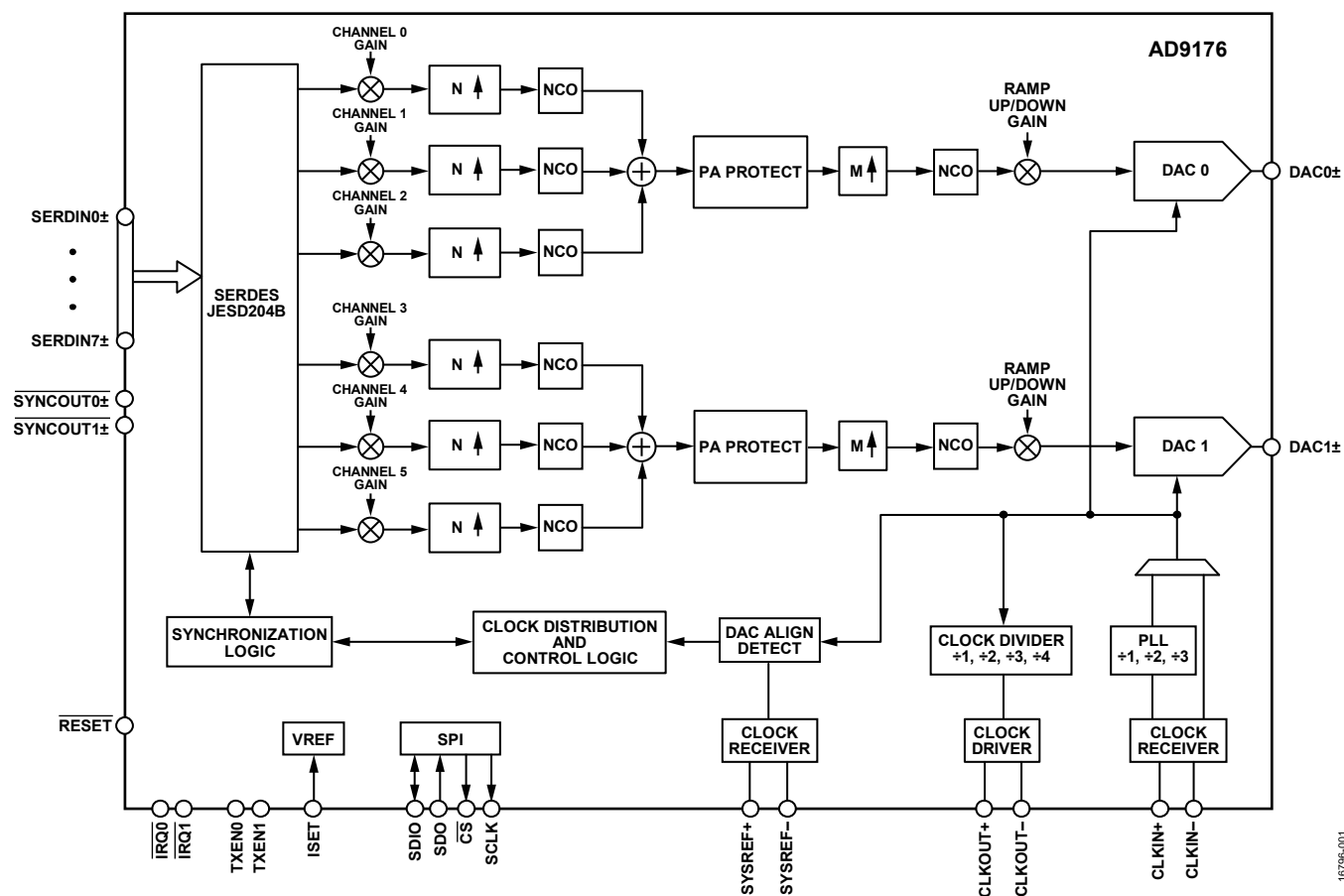


図 1.

167596-001

仕様

DC 仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION		16			Bit
ACCURACY					
Integral Nonlinearity (INL)			±7		LSB
Differential Nonlinearity (DNL)			±7		LSB
ANALOG OUTPUTS (DAC0+, DAC0-, DAC1+, DAC1-)					
Gain Error (with Internal ISET Reference)			±15		%
Full-Scale Output Current					
Minimum	$R_{SET} = 5\text{ k}\Omega$	14.2	16	17.8	mA
Maximum	$R_{SET} = 5\text{ k}\Omega$	23.6	26	28.8	mA
Common-Mode Voltage			0		V
Differential Impedance			100		Ω
DAC DEVICE CLOCK INPUT (CLKIN+, CLKIN-)					
Differential Input Power	$R_{LOAD} = 100\text{ }\Omega$ differential on-chip				
Minimum			0		dBm
Maximum			6		dBm
Differential Input Impedance ¹			100		Ω
Common-Mode Voltage	AC-coupled		0.5		V
CLOCK OUTPUT DRIVER (CLKOUT+, CLKOUT-)					
Differential Output Power					
Minimum			-9		dBm
Maximum			0		dBm
Differential Output Impedance			100		Ω
Common-Mode Voltage	AC-coupled		0.5		V
Output Frequency		727.5		3000	MHz
TEMPERATURE DRIFT					
Gain			10		ppm/ $^{\circ}\text{C}$
REFERENCE					
Internal Reference Voltage			0.495		V
ANALOG SUPPLY VOLTAGES					
AVDD1.0		0.95	1.0	1.05	V
AVDD1.8		1.71	1.8	1.89	V
DIGITAL SUPPLY VOLTAGES					
DVDD1.0		0.95	1.0	1.05	V
DAVDD1.0		0.95	1.0	1.05	V
DVDD1.8		1.71	1.8	1.89	V
SERIALIZER/DESERIALIZER (SERDES) SUPPLY VOLTAGES					
SVDD1.0		0.95	1.0	1.05	V

¹ 詳細については、DAC 入力クロック設定のセクションを参照してください。

デジタル仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DAC UPDATE RATE					
Minimum				2.91	GSPS
Maximum ¹	16-bit resolution, with interpolation	12.6			GSPS
	16-bit resolution, no interpolation	6.16			GSPS
Adjusted ²	16-bit resolution, with interpolation	3.08			GSPS
	16-bit resolution, no interpolation	6.16			GSPS
DAC PHASE-LOCKED LOOP (PLL) VOLTAGE CONTROLLED OSCILLATOR (VCO) FREQUENCY RANGES					
VCO Output Divide by 1		8.74		12.42	GSPS
VCO Output Divide by 2		4.37		6.21	GSPS
VCO Output Divide by 3		2.91		4.14	GSPS
PHASE FREQUENCY DETECT INPUT FREQUENCY RANGE		25		770	MHz
DAC DEVICE CLOCK INPUT (CLKIN+, CLKIN-) FREQUENCY RANGES					
PLL Off		2.91		12.6	GHz
PLL On	M divider set to divide by 1	25		770	MHz
	M divider set to divide by 2	50		1540	MHz
	M divider set to divide by 3	75		2310	MHz
	M divider set to divide by 4	100		3080	MHz

¹ 最大 DAC 更新レートは、選択した JESD204B モードと、その構成で使用するレーン・レートによって異なります。レーン・レートと電源電圧レベルに応じた最大 DAC レートは表 3 に示します。

² 調整 DAC 更新レートは、 f_{DAC} を使用モードの最小必要インターポレーション係数または最大チャンネル・データ・レートで除した値として計算します。表 13 に示すように、モードが異なれば最大 DAC 更新レート、最小インターポレーション係数、最大チャンネル・データ・レートも異なります。

最大 DAC 更新レート仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
MAXIMUM DAC UPDATE RATE					
SVDD1.0 = 1.0 V $\pm$ 5%	Lane rate > 11 Gbps	11.67			GSPS
	Lane rate $\leq$ 11 Gbps	12.37			GSPS
SVDD1.0 = 1.0 V $\pm$ 2.5%	Lane rate > 11 Gbps	11.79			GSPS
	Lane rate $\leq$ 11 Gbps ¹	12.6			GSPS

¹ 表 2 に示すように、オンチップ PLL を使用する場合の最大 DAC 速度は、12.42GSPS の最大 PLL 速度に制限されます。

電源の DC 仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 4.

パラメータ	テスト条件/コメント	Min	Typ	Max	単位
DUAL-LINK MODES					
Mode 1 (L = 2, M = 4, NP = 16, N = 16)	11.7965GSPS DAC レート、184.32MHz PLL リファレンス・クロック、32×合計インターポレーション (4×、8×)、40MHz トーン、-3dBFS、チャンネル・ゲイン=-6dB、チャンネル NCO = ±150MHz、メイン NCO = 2GHz、LVDS モードで SYNCOUTx±時				
AVDD1.0	すべての電源レベルを公称値に設定		725	1020	mA
	すべての電源レベルを許容誤差 5% に設定		775	1120	mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流				
	すべての電源レベルを公称値に設定		1100	1670	mA
	すべての電源の許容誤差は 5%		1170	1850	mA
DVDD1.8			35	50	mA
SVDD1.0	すべての電源レベルを公称値に設定		290	510	mA
	すべての電源の許容誤差は 5%		305	560	mA
Total Power Dissipation			2.37	3.38	W
Mode 4 (L = 4, M = 4, NP = 16, N = 16)	11.7965GSPS DAC レート、491.52 MHz PLL リファレンス・クロック、24×合計インターポレーション (3×、8×)、40MHz トーン、-3dBFS、チャンネル・ゲイン=-6dB、チャンネル NCO = ±150MHz、メイン NCO = 2GHz、LVDS モードで SYNCOUTx±時				
AVDD1.0			725		mA
AVDD1.8			110		mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流		1150		mA
DVDD1.8			35		mA
SVDD1.0			425		mA
Total Power Dissipation			2.56		W
Mode 0 (L = 1, M = 2, NP = 16, N = 16)	5.89824GSPS DAC レート、184.32MHz PLL リファレンス・クロック、16×合計インターポレーション (2×、8×)、40MHz トーン、-3dBFS、チャンネル NCO をディスエーブル、メイン NCO = 1.8425GHz、LVDS モードで SYNCOUTx±時				
AVDD1.0	すべての電源レベルを公称値に設定		400	670	mA
	すべての電源の許容誤差は 5%		425	745	mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流				
	すべての電源レベルを公称値に設定		570	960	mA
	すべての電源の許容誤差は 5%		610	1070	mA
DVDD1.8			35	50	mA
SVDD1.0			175	340	mA
Total Power Dissipation			1.40	2.15	W

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Mode 3 (L = 2, M = 2, NP = 16, N = 16)	11.7965GSPS DAC レート、184.32MHz PLL リファレンス・クロック、24×合計インターポレーション (3×、8×)、40MHz トーン、-3dBFS、チャンネル NCO をディスエーブル、メイン NCO = 2.655GHz、LVDS モードで SYNCOUTx±時				
AVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		725 775		mA mA
AVDD1.8			110		mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流 すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		1020 1070		mA mA
DVDD1.8			35		mA
SVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		245 250		mA mA
Total Power Dissipation			2.25		W
Mode 9 (L = 4, M = 2, NP = 16, N = 16)	12GSPS DAC レート、187.5MHz PLL リファレンス・クロック、8×合計インターポレーション (1×、8×)、10MHz トーン、-3dBFS、チャンネル NCO をディスエーブル、メイン NCO = 3.072GHz、LVDS モードで SYNCOUTx±時				
AVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		740 785	1030 1135	mA mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流 すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		1010 1070	1580 1740	mA mA
DVDD1.8			35	50	mA
SVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		530 550	840 910	mA mA
Total Power Dissipation			2.54	3.63	W
Mode 2 (L = 3, M = 6, NP = 16, N = 16)	12GSPS DAC レート、375MHz PLL リファレンス・クロック、48×合計インターポレーション (6×、8×)、30MHz トーン、-3dBFS、チャンネル・ゲイン = -11dB、チャンネル NCO = 20MHz、メイン NCO = 2.1GHz				
AVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		735 785	1030 1135	mA mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流 すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		1370 1460	1800 1980	mA mA
DVDD1.8			35	50	mA
SVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		410 430	680 755	mA mA
Total Power Dissipation			2.77	3.69	W
SINGLE-LINK MODES					
Mode 20 (L = 8, M = 1, NP = 16, N = 16)	6GSPS DAC レート、187.5MHz PLL リファレンス・クロック、1×合計インターポレーション (1×、1×)、1.8GHz トーン、-3dBFS、チャンネル NCO とメイン NCO をディスエーブル				
AVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		400 430	670 745	mA mA
AVDD1.8			75	100	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流 すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		390 410	700 810	mA mA
DVDD1.8			35	50	mA
SVDD1.0	すべての電源レベルを公称値に設定 すべての電源の許容誤差は 5%		525 550	820 880	mA mA

パラメータ	テスト条件／コメント	Min	Typ	Max	単位
Total Power Dissipation			1.51	2.34	W
Mode 12 (L = 8, M = 2, NP = 12, N = 12)	4GSPS DAC レート、187.5MHz PLL リファレンス・クロック、1×合計インターポレーション (1×、1×)、1GHz トーン、-3dBFS、チャンネル NCO とメイン NCO をディスエーブル				
AVDD1.0	すべての電源レベルを公称値に設定		300	550	mA
	すべての電源の許容誤差は 5%		315	620	mA
AVDD1.8			75	100	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流				
	すべての電源レベルを公称値に設定		320	630	mA
	すべての電源の許容誤差は 5%		350	725	mA
DVDD1.8			35	50	mA
SVDD1.0	すべての電源レベルを公称値に設定		525	820	mA
	すべての電源の許容誤差は 5%		550	880	mA
Total Power Dissipation			1.34	2.15	W
DUAL-LINK, MODE 3 (NCO ONLY, SINGLE-CHANNEL MODE, NO SERDES)	6GSPS DAC レート、300MHz PLL リファレンス・クロック、8×合計インターポレーション (1×、8×)、入力トーンなし (DC 内部レベル = 0x50FF)、チャンネル NCO = 40MHz、メイン NCO = 1.8425GHz				
Mode 3					
AVDD1.0	すべての電源レベルを公称値に設定		410	660	mA
	すべての電源の許容誤差は 5%		435	750	mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流				
	すべての電源レベルを公称値に設定		500	780	mA
	すべての電源の許容誤差は 5%		515	950	mA
DVDD1.8			0.3	1	mA
SVDD1.0	すべての電源レベルを公称値に設定		5	100	mA
	すべての電源の許容誤差は 5%		3	120	mA
Total Power Dissipation			1.11	1.671	W
DUAL-LINK, MODE 4 (NCO ONLY, DUAL-CHANNEL MODE, NO SERDES)	12GSPS DAC レート、500MHz PLL リファレンス・クロック、32×合計インターポレーション (4×、8×)、入力トーンなし (DC 内部レベル = 0x2AFF)、チャンネル NCO = ±150MHz、メイン NCO = 2GHz				
Mode 4					
AVDD1.0	すべての電源レベルを公称値に設定		750	1030	mA
	すべての電源の許容誤差は 5%		790	1130	mA
AVDD1.8			110	130	mA
DVDD1.0	DAVDD1.0 電源と組み合わせた消費電流				
	すべての電源レベルを公称値に設定		1200	1590	mA
	すべての電源の許容誤差は 5%		1300	1750	mA
DVDD1.8			0.3	1	mA
SVDD1.0			5	100	mA
Total Power Dissipation			2.15	2.851	W

シリアル・ポートと CMOS ピンの仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は T_J = -40°C ~ +118°C での値、代表値は T_A = 25°C (T_J = 51°C に相当) での値。

表 5.

Parameter	Symbol	Test Comments/Conditions	Min	Typ	Max	Unit
WRITE OPERATION						
Maximum SCLK Clock Rate	f _{SCLK} , 1/t _{SCLK}	See Figure 51	80			MHz
SCLK Clock High	t _{PWH}	SCLK = 20 MHz	5.03			ns
SCLK Clock Low	t _{PWL}	SCLK = 20 MHz	1.6			ns
SDIO to SCLK Setup Time	t _{DS}		1.154			ns
SCLK to SDIO Hold Time	t _{DH}		0.577			ns
$\overline{\text{CS}}$ to SCLK Setup Time	t _S		1.036			ns
SCLK to $\overline{\text{CS}}$ Hold Time	t _H		-5.3			ps
READ OPERATION						
SCLK Clock Rate	f _{SCLK} , 1/t _{SCLK}	See Figure 50			48.58	MHz
SCLK Clock High	t _{PWH}		5.03			ns
SCLK Clock Low	t _{PWL}		1.6			ns
SDIO to SCLK Setup Time	t _{DS}		1.158			ns
SCLK to SDIO Hold Time	t _{DH}		0.537			ns
$\overline{\text{CS}}$ to SCLK Setup Time	t _S		1.036			ns
SCLK to SDIO Data Valid Time	t _{DV}		9.6			ns
SCLK to SDO Data Valid Time	t _{DV}		13.7			ns
$\overline{\text{CS}}$ to SDIO Output Valid to High-Z		Not shown in Figure 50 or Figure 51	5.4			ns
$\overline{\text{CS}}$ to SDO Output Valid to High-Z		Not shown in Figure 50 or Figure 51	9.59			ns
INPUTS (SDIO, SCLK, $\overline{\text{CS}}$, RESET, TXEN0, and TXEN1)						
Voltage Input						
High	V _{IH}		1.48			V
Low	V _{IL}				0.425	V
Current Input						
High	I _{IH}				±100	nA
Low	I _{IL}		±100			nA
OUTPUTS (SDIO, SDO)						
Voltage Output						
High	V _{OH}		1.69			V
0 mA load						
4 mA load			1.52			V
Low	V _{OL}					
0 mA load					0.045	V
4 mA load					0.175	V
Current Output						
High	I _{OH}			4		mA
Low	I _{OL}			4		mA
INTERRUPT OUTPUTS (IRQ0, IRQ1)						
Voltage Output						
High	V _{OH}		1.71			V
Low	V _{OL}				0.075	V

デジタル入力データのタイミング仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
LATENCY ¹					
Channel Interpolation Factor, Main Datapath Interpolation Factor	LMFC_VAR_x = 12, LMFC_DELAY_x = 12, unless otherwise noted				
1×, 1× ²	JESD204B Mode 10, ³ Mode 18 ³		420		DAC clock cycles
	JESD204B Mode 11, Mode 19		440		DAC clock cycles
	JESD204B Mode 12, Mode 19		590		DAC clock cycles
	JESD204B Mode 20 ³		700		DAC clock cycles
	JESD204B Mode 21		750		DAC clock cycles
1×, 2× ²	JESD204B Mode 8 ³		670		DAC clock cycles
	JESD204B Mode 9		700		DAC clock cycles
1×, 4× ²	JESD204B Mode 8 ³		1090		DAC clock cycles
	JESD204B Mode 9		1140		DAC clock cycles
1×, 6× ²	JESD204B Mode 8 ³		1460		DAC clock cycles
	JESD204B Mode 9		1530		DAC clock cycles
1×, 8× ²	JESD204B Mode 3		1390		DAC clock cycles
	JESD204B Mode 8 ³		1820		DAC clock cycles
	JESD204B Mode 9		1920		DAC clock cycles
1×, 12× ²	JESD204B Mode 8 ³		2700		DAC clock cycles
	JESD204B Mode 9		2840		DAC clock cycles
2×, 6× ²	JESD204B Mode 3, Mode 4		1970		DAC clock cycles
	JESD204B Mode 5		1770		DAC clock cycles
2×, 8× ²	JESD204B Mode 0		2020		DAC clock cycles
	JESD204B Mode 3, Mode 4		2500		DAC clock cycles
3×, 6× ²	JESD204B Mode 3, Mode 4		2880		DAC clock cycles
	JESD204B Mode 5, Mode 6		2630		DAC clock cycles
3×, 8× ²	JESD204B Mode 3, Mode 4		3310		DAC clock cycles
	JESD204B Mode 5, Mode 6		2980		DAC clock cycles
4×, 6× ²	JESD204B Mode 0, Mode 1, Mode 2		2410		DAC clock cycles
4×, 8× ²	JESD204B Mode 0, Mode 1, Mode 2		3090		DAC clock cycles
6×, 6× ²	JESD204B Mode 0, Mode 1, Mode 2		3190		DAC clock cycles
6×, 8× ²	JESD204B Mode 0, Mode 1, Mode 2		4130		DAC clock cycles
8×, 6× ²	JESD204B Mode 7		3300		DAC clock cycles
8×, 8× ²	JESD204B Mode 7		4270		DAC clock cycles
DETERMINISTIC LATENCY					
Fixed				13	PCLK ⁴
Variable				2	PCLK cycles
SYSREF± TO LMFC DELAY			0		DAC clock cycles

¹ デバイス全体での合計遅延（またはパイプライン遅延）は次式で計算されます：合計遅延 = インターフェース遅延 + 固定遅延 + 可変遅延 + パイプライン遅延。

² この仕様項目の最初の値はチャンネル・インターポレーション係数で、2 番目の値はメイン・データパス・インターポレーション係数です。

³ LMFC_VAR_x = 7、LMFC_DELAY_x = 4

⁴ PCLK は AD9176 の内部処理クロックで、その値はレーン・レート ÷ 40 です。

JESD204B インターフェースの電氣的仕様と速度仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 7.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
JESD204B SERIAL INTERFACE RATE (SERIAL LANE RATE)			3		15.4	Gbps
JESD204B DATA INPUTS						
Input Leakage Current		$T_A = 25^{\circ}\text{C}$				
Logic High		Input level = 1.0 V $\pm$ 0.25 V		10		μA
Logic Low		Input level = 0 V		-4		μA
Unit Interval	UI		333		66.7	ps
Common-Mode Voltage	V_{RCM}	AC-coupled	-0.05		+1.1	V
Differential Voltage	$R_{\text{V}_{\text{DIFF}}}$		110		1050	mV
Differential Impedance	$Z_{\text{R}_{\text{DIFF}}}$	At dc	80	100	120	Ω
SYSREF $\pm$ INPUT						
Differential Impedance				100		Ω
DIFFERENTIAL OUTPUTS (SYNCOUT0 $\pm$, SYNCOUT1 $\pm$) ¹		Driving 100 Ω differential load				
Output Differential Voltage	V_{OD}		320	390	460	mV
Output Offset Voltage	V_{OS}		1.08	1.12	1.15	V
SINGLE-ENDED OUTPUTS (SYNCOUT0 $\pm$, SYNCOUT1 $\pm$)		Driving 100 Ω differential load				
Output Voltage						
High	V_{OH}		1.69			V
Low	V_{OL}				0.045	V
Current Output						
High	I_{OH}			0		mA
Low	I_{OL}			0		mA

¹ IEEE 1596.3 LVDS 規格と互換。

入力データ・レートと信号帯域幅の仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTFS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 8.

Parameter ¹	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT DATA RATE PER INPUT CHANNEL	Channel datapaths bypassed ($1 \times$ interpolation), single-DAC mode, 16-bit resolution			6160	MSPS
	Channel datapaths bypassed ($1 \times$ interpolation), dual DAC mode, 16-bit resolution			3080	MSPS
	Channel datapaths bypassed ($1 \times$ interpolation), dual DAC mode, 12-bit resolution			4100	MSPS
	1 complex channel enabled			1540	MSPS
	2 complex channels enabled			770	MSPS
	3 complex channels enabled			385	MSPS
COMPLEX SIGNAL BANDWIDTH PER INPUT CHANNEL	1 complex channel enabled ($0.8 \times f_{\text{DATA}}$)			1232	MHz
	2 complex channels enabled ($0.8 \times f_{\text{DATA}}$)			616	MHz
	3 complex channels enabled ($0.8 \times f_{\text{DATA}}$)			308	MHz
MAXIMUM NCO CLOCK RATE Channel NCO Main NCO				1540	MHz
				12.6	GHz
MAXIMUM NCO SHIFT FREQUENCY RANGE Channel NCO Main NCO	Channel summing node = 1.575 GHz, channel interpolation rate $> 1 \times$ $f_{\text{DAC}} = 12.6$ GHz, main interpolation rate $> 1 \times$	-770		+770	MHz
		-6.3		+6.3	GHz
MAXIMUM FREQUENCY SPACING ACROSS INPUT CHANNELS	Maximum NCO output frequency $\times 0.8$			1232	MHz

¹ これらのパラメータの値は、すべての JESD204B 動作モードを通じて取り得る最大の値です。一部のモードでは、他のパラメータのために更に値が制限されます。

AC 仕様

特に指定のない限り、AVDD1.0 = 1.0V、AVDD1.8 = 1.8V、DVDD1.0 = 1.0V、DVDD1.8 = 1.8V、SVDD1.0 = 1.0V、DAC 出力フルスケール電流 (I_{OUTS}) = 20mA。最小値と最大値は $T_J = -40^{\circ}\text{C} \sim +118^{\circ}\text{C}$ での値、代表値は $T_A = 25^{\circ}\text{C}$ ($T_J = 51^{\circ}\text{C}$ に相当) での値。

表 9.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPURIOUS-FREE DYNAMIC RANGE (SFDR)					
Single Tone, $f_{DAC} = 12000$ MSPS, Mode 1 ($L = 2, M = 4$)	-7 dBFS, shuffle enabled				
$f_{OUT} = 100$ MHz			-81		dBc
$f_{OUT} = 500$ MHz			-80		dBc
$f_{OUT} = 950$ MHz			-75		dBc
$f_{OUT} = 1840$ MHz			-80		dBc
$f_{OUT} = 2650$ MHz			-75		dBc
$f_{OUT} = 3700$ MHz			-67		dBc
Single Tone, $f_{DAC} = 6000$ MSPS, Mode 0 ($L = 1, M = 2$)	-7 dBFS, shuffle enabled				
$f_{OUT} = 100$ MHz			-85		dBc
$f_{OUT} = 500$ MHz			-85		dBc
$f_{OUT} = 950$ MHz			-78		dBc
$f_{OUT} = 1840$ MHz			-75		dBc
$f_{OUT} = 2650$ MHz			-69		dBc
Single Tone, $f_{DAC} = 3000$ MSPS, Mode 10 ($L = 8, M = 2$)	-7 dBFS, shuffle enabled				
$f_{OUT} = 100$ MHz			-87		dBc
$f_{OUT} = 500$ MHz			-84		dBc
$f_{OUT} = 950$ MHz			-81		dBc
Single-Band Application—Band 3 (1805 MHz to 1880 MHz)	Mode 0, $2\times$ to $8\times$, $f_{DAC} = 6000$ MSPS, 368.64 MHz reference clock				
SFDR Harmonics	-7 dBFS, shuffle enabled				
In-Band			-82		dBc
Digital Predistortion (DPD) Band	DPD bandwidth = data rate $\times$ 0.8		-80		dBc
Second Harmonic			-82		dBc
Third Harmonic			-80		dBc
Fourth and Fifth Harmonic			-95		dBc
SFDR Nonharmonics	-7 dBFS, shuffle enabled				
In-Band			-74		dBc
DPD Band			-74		dBc
ADJACENT CHANNEL LEAKAGE RATIO					
4-Channel WCDMA	-1 dBFS digital backoff				
$f_{DAC} = 1200$ MSPS, Mode 1 ($L = 2, M = 4$)	$f_{OUT} = 1840$ MHz		-70		dBc
	$f_{OUT} = 2650$ MHz		-68		dBc
	$f_{OUT} = 3500$ MHz		-66		dBc
$f_{DAC} = 6000$ MSPS, Mode 0 ($L = 1, M = 2$)	$f_{OUT} = 1840$ MHz		-71		dBc
	$f_{OUT} = 2650$ MHz		-66		dBc
THIRD-ORDER INTERMODULATION DISTORTION (IMD3)					
$f_{DAC} = 12000$ MSPS, Mode 1 ($L = 2, M = 4$)	Two-tone test, -7 dBFS/tone, 1 MHz spacing				
	$f_{OUT} = 1840$ MHz		-83		dBc
	$f_{OUT} = 2650$ MHz		-85		dBc
	$f_{OUT} = 3700$ MHz		-77		dBc
$f_{DAC} = 6000$ MSPS, Mode 0 ($L = 1, M = 2$)	$f_{OUT} = 1840$ MHz		-74		dBc
	$f_{OUT} = 2650$ MHz		-72		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE SPECTRAL DENSITY (NSD)	0 dBFS, NSD measurement taken at 10% away from f_{OUT} , shuffle off				
Single Tone, $f_{DAC} = 12000$ MSPS, Mode 1 ($L = 2, M = 4$)					
$f_{OUT} = 100$ MHz			-169		dBm/Hz
$f_{OUT} = 500$ MHz			-168		dBm/Hz
$f_{OUT} = 950$ MHz			-166		dBm/Hz
$f_{OUT} = 1840$ MHz			-165		dBm/Hz
$f_{OUT} = 2150$ MHz			-164		dBm/Hz
Single Tone, $f_{DAC} = 6000$ MSPS, Mode 3 ($L = 2, M = 2$)					
$f_{OUT} = 100$ MHz			-169		dBm/Hz
$f_{OUT} = 500$ MHz			-167		dBm/Hz
$f_{OUT} = 950$ MHz			-166		dBm/Hz
$f_{OUT} = 1840$ MHz			-163		dBm/Hz
$f_{OUT} = 2150$ MHz			-162		dBm/Hz
Single Tone, $f_{DAC} = 3000$ MSPS, Mode 10 ($L = 8, M = 2$)					
$f_{OUT} = 100$ MHz			-166		dBm/Hz
$f_{OUT} = 500$ MHz			-163		dBm/Hz
$f_{OUT} = 950$ MHz			-160		dBm/Hz
SINGLE-SIDEBAND PHASE NOISE OFFSET	Loop filter component values according to 90. are as follows: $C1 = 22$ nF, $R1 = 232$ Ω , $C2 = 2.4$ nF, $C3 = 33$ nF; PFD frequency = 500 MHz, $f_{OUT} = 1.8$ GHz, $f_{DAC} = 12$ GHz				
1 kHz			-97		dBc/Hz
10 kHz			-105		dBc/Hz
100 kHz			-114		dBc/Hz
600 kHz			-126		dBc/Hz
1.2 MHz			-133		dBc/Hz
1.8 MHz			-137		dBc/Hz
6 MHz			-148		dBc/Hz
DAC TO DAC OUTPUT ISOLATION	Taken using the AD9176-FMC-EBZ evaluation board				
Dual Band— $f_{DAC} = 12000$ MSPS, Mode 1 ($L = 2, M = 4$)					
$f_{OUT} = 1840$ MHz			-77		dB
$f_{OUT} = 2650$ MHz			-70		dB
$f_{OUT} = 3700$ MHz			-68		dB

絶対最大定格

表 10.

Parameter	Rating
IS _{ET} , FILT_COARSE, FILT_BY _P , FILT_VCM	−0.3 V to AVDD1.8 + 0.3 V
SERDIN _{x±}	−0.2 V to SVDD1.0 + 0.2 V
SYNCOUT0±, SYNCOUT1±, RESET, TXEN0, TXEN1, IRQ0, IRQ1, CS, SCLK, SDIO, SDO	−0.3 V to DVDD1.8 + 0.3 V
DAC0±, DAC1±, CLKIN±, CLKOUT±, FILT_FINE	−0.2 V to AVDD1.0 + 0.2 V
SYSREF±	−0.2 V to DVDD1.0 + 0.2 V
AVDD1.0, DVDD1.0, SVDD1.0 to GND	−0.2 V to +1.2 V
AVDD1.8, DVDD1.8 to GND	−0.3 V to 2.2 V
Maximum Junction Temperature (T _J) ¹	118°C
Storage Temperature Range	−65°C to +150°C
Reflow	260°C

¹ 動作モードによっては、周囲温度が仕様値の範囲内であっても、デバイスの動作中にジャンクション温度が最大値近くまで上昇したり、最大値を超えたりすることがあります。このような場合は、デバイスの熱を放出させるために空冷ファンやヒートシンクなどの追加的な措置が必要になることがあります。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

リフロー・プロファイル

AD9176 のリフロー・プロファイルは、鉛フリー・デバイスに関する JEDEC JESD20 の基準に従っています。最大リフロー温度は 260°C です。

熱特性

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

θ_{JA} は、1 立方フィートの密閉容器内で測定される、周囲とジャンクション間の熱抵抗です。θ_{JC} は、ジャンクションとケース間の熱抵抗です。

熱抵抗および熱特性パラメータは、様々な空気流速（m/sec）と PCB 層数に対して指定されています。温度管理を適切に行って、ジャンクション温度が表 10 に示す制限値を超えないようにすることを推奨します。

JEDEC 51-12 に従い表 11 の値を使用してください。

表 11. シミュレーションによる熱抵抗と PCB 層¹

PCB Type	Airflow Velocity (m/sec)	θ _{JA}	θ _{JC_TOP}	θ _{JC_BOT}	Unit
JEDEC 2s2p Board	0.0	25.3	2.4 ³	3.0 ⁴	°C/W
	1.0	22.6	N/A	N/A	°C/W
	2.5	21.0	N/A	N/A	°C/W
12-Layer PCB ²	0.0	15.4	2.4	2.6	°C/W
	1.0	13.1	N/A	N/A	°C/W
	2.5	11.6	N/A	N/A	°C/W

¹ N/A は適用なしを意味します。

² 非 JEDEC の熱抵抗。

³ ビアなしの 1SOP PCB。

⁴ 7×7 標準 JEDEC ビアを持つ 1SOP PCB。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

	1	2	3	4	5	6	7	8	9	10	11	12
A	GND	SERDIN7+	SERDIN6+	SERDIN5+	SERDIN4+	GND	GND	SERDIN3+	SERDIN2+	SERDIN1+	SERDIN0+	GND
B	GND	SERDIN7-	SERDIN6-	SERDIN5-	SERDIN4-	GND	GND	SERDIN3-	SERDIN2-	SERDIN1-	SERDIN0-	GND
C	SVDD1.0	SVDD1.0	GND	GND	SVDD1.0	DVDD1.8	SVDD1.0	SVDD1.0	GND	GND	SVDD1.0	SVDD1.0
D	$\overline{\text{SYNCOUT1+}}$	$\overline{\text{SYNCOUT1-}}$	DVDD1.8	TXEN1	GND	SVDD1.0	GND	TXEN0	$\overline{\text{IRQ0}}$	DVDD1.8	$\overline{\text{SYNCOUT0-}}$	$\overline{\text{SYNCOUT0+}}$
E	DNC	DNC	DVDD1.8	SDO	SCLK	$\overline{\text{CS}}$	SDIO	$\overline{\text{RESET}}$	$\overline{\text{IRQ1}}$	DVDD1.8	DNC	DNC
F	GND	GND	GND	DAVDD1.0	DVDD1.0	DVDD1.0	DVDD1.0	DVDD1.0	DAVDD1.0	GND	GND	GND
G	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND	GND
H	SYSREF+	SYSREF-	AVDD1.0	AVDD1.0	AVDD1.0	FILT_FINE	FILT_COARSE	AVDD1.0	AVDD1.0	AVDD1.0	GND	CLKIN-
J	GND	DNC	GND	GND	GND	AVDD1.0	FILT_BYP	GND	GND	GND	GND	CLKIN+
K	CLKOUT+	GND	AVDD1.8	DNC	AVDD1.8	FILT_VCM	AVDD1.8	GND	GND	AVDD1.8	GND	GND
L	CLKOUT-	GND	AVDD1.8	GND	GND	AVDD1.8	AVDD1.8	GND	GND	AVDD1.8	GND	ISSET
M	GND	AVDD1.0	GND	DAC1+	DAC1-	GND	GND	DAC0-	DAC0+	GND	AVDD1.0	GND

GROUND

1.0V ANALOG SUPPLY

1.8V ANALOG SUPPLY

SERDES INPUT

SYSREF $\pm$ /SYNCOUT $\pm$

1.0V SERDES SUPPLY

1.0V DIGITAL SUPPLY

1.0V DIGITAL/ANALOG SUPPLY

1.8V DIGITAL SUPPLY

DAC PLL LOOP FILTER PINS

DAC RF OUTPUTS

RF CLOCK PINS

CMOS I/O

REFERENCE

DNC = DO NOT CONNECT

図 2. ピン配置

表 12. ピン機能の説明

ピン番号	記号	説明
1.0 V Supply H3, H4, H5, H8 to H10, J6, M2, M11	AVDD1.0	1.0V クロックおよびアナログ電源。これらのピンは、クロック・レシーバー、クロック分配部、オンチップ DAC クロック通倍器、および DAC アナログ・コアに電源を供給します。これらのピンにはクリーンな電源レール源が必要です。
F5 to F8	DVDD1.0	1.0V デジタル電源。これらのピンは、DAC デジタル回路に電源を供給します。これらのピンにはクリーンな電源レール源が必要です。
F4, F9	DAVDD1.0	1.0V D/A 電源。これらのピンは DVDD1.0 電源と電源レールを共有できますが（電氣的に接続）、これら 2 本のピンの絶縁を強化するために、PCB レイアウト時に別々の電源プレーンとデカップリング・コンデンサが必要です。これらのピンにはクリーンな電源レール源が必要です。
C1, C2, C5, C7, C8, C11, C12, D6	SVDD1.0	JESD204B データ・インターフェースへの 1.0V SERDES 電源。これらのピンにはクリーンな電源レール源が必要です。
1.8 V Supply K3, K5, K7, K10, L3, L6, L7, L10	AVDD1.8	オンチップ DAC クロック通倍器と DAC アナログ・コアへの 1.8V アナログ電源。これらのピンにはクリーンな電源レール源が必要です。
C6, D3, D10, E3, E10	DVDD1.8	JESD204B データ・インターフェースおよび SPI を含むその他の入出力回路への 1.8V デジタル電源。これらのピンにはクリーンな電源レール源が必要です。

ピン番号	記号	説明
Ground A1, A6, A7, A12, B1, B6, B7, B12, C3, C4, C9, C10, D5, D7, F1 to F3, F10 to F12, G1 to G12, H11, J1, J3 to J5, J8 to J11, K2, K8, K9, K11, K12, L2, L4, L5, L8, L9, L11, M1, M3, M6, M7, M10, M12	GND	デバイス共通グラウンド。
RF Clock J12	CLKIN+	正のデバイス・クロック入力。このピンは、DAC PLL がオンになっている時のオンチップ DAC クロック通倍器 REFCLK へのクロック入力です。このピンは、DAC PLL がオフになっている時の DAC サンプル・クロックまたはデバイス・クロック (DACCLK) へのクロック入力でもあります。この入力は AC カップリングしてください。このピンと CLKIN-の間には内部 100Ω 抵抗が組み込まれています。
H12	CLKIN-	負のデバイス・クロック入力。
K1	CLKOUT+	正のデバイス・クロック出力。このピンは分周された DACCLK のクロック出力で、DAC PLL がオンとオフの両方で使用できます。分周比は 1、2、3、または 4 です。
L1	CLKOUT-	負のデバイス・クロック出力。
System Reference H1	SYSREF+	正のシステム・リファレンス入力。このピンは AC カップリングすることを推奨しますが、DC カップリングとすることもできます。DC コモンモード電圧については、SYSREF±の仕様を参照してください。
H2	SYSREF-	負のシステム・リファレンス入力。このピンは AC カップリングすることを推奨しますが、DC カップリングとすることもできます。DC コモンモード電圧については、SYSREF±の仕様を参照してください。
On-Chip DAC PLL Loop Filter H6	FILT_FINE	オンチップ DAC クロック通倍器と PLL 精密ループ・フィルタ入力。PLL を使用しない場合は、このピンをフロート状態にし、コントロール・レジスタを介して PLL をディスエーブルします。
H7	FILT_COARSE	オンチップ DAC クロック通倍器と PLL 粗ループ・フィルタ入力。PLL を使用しない場合は、このピンをフロート状態にし、コントロール・レジスタを介して PLL をディスエーブルします。
J7	FILT_BYP	オンチップ DAC クロック通倍器と LDO バイパス。2μF~10μF の高品質のセラミック・バイパス・コンデンサをこのノードに付加します。このコンデンサは、10μF X7R 以上のものが理想的です。PLL を使用しない場合は、このピンをフロート状態にし、コントロール・レジスタを介して PLL をディスエーブルします。
K6	FILT_VCM	オンチップ DAC クロック通倍器と VCO コモンモード入力。PLL を使用しない場合は、このピンをフロート状態にし、コントロール・レジスタを介して PLL をディスエーブルします。
SERDES Data Bits A2 B2 A3 B3 A4 B4 A5 B5 A8 B8 A9 B9 A10 B10 A11 B11	SERDIN7+ SERDIN7- SERDIN6+ SERDIN6- SERDIN5+ SERDIN5- SERDIN4+ SERDIN4- SERDIN3+ SERDIN3- SERDIN2+ SERDIN2- SERDIN1+ SERDIN1- SERDIN0+ SERDIN0-	SERDES データのビット 7、正。 SERDES データのビット 7、負。 SERDES データのビット 6、正。 SERDES データのビット 6、負。 SERDES データのビット 5、正。 SERDES データのビット 5、負。 SERDES データのビット 4、正。 SERDES データのビット 4、負。 SERDES データのビット 3、正。 SERDES データのビット 3、負。 SERDES データのビット 2、正。 SERDES データのビット 2、負。 SERDES データのビット 1、正。 SERDES データのビット 1、負。 SERDES データのビット 0、正。 SERDES データのビット 0、負。

ピン番号	記号	説明
Sync Output		
D12	$\overline{\text{SYNCOUT0+}}$	正同期（アクティブ・ロー）出力信号、チャンネル・リンク 0。このピンは LVDS または CMOS のどちらかを選択できます。
D11	$\overline{\text{SYNCOUT0-}}$	負同期（アクティブ・ロー）出力信号、チャンネル・リンク 0。このピンは LVDS または CMOS のどちらかを選択できます。
D1	$\overline{\text{SYNCOUT1+}}$	正同期（アクティブ・ロー）出力信号、チャンネル・リンク 1。このピンは LVDS または CMOS のどちらかを選択できます。
D2	$\overline{\text{SYNCOUT1-}}$	負同期（アクティブ・ロー）出力信号、チャンネル・リンク 1。このピンは LVDS または CMOS のどちらかを選択できます。
Serial Port Interface		
E4	SDO	シリアル・ポート・データ出力（DVDD1.8 基準の CMOS レベル）。
E7	SDIO	シリアル・ポート・データ入出力（DVDD1.8 基準の CMOS レベル）。
E5	SCLK	シリアル・ポート・クロック入力（DVDD1.8 基準の CMOS レベル）。
E6	$\overline{\text{CS}}$	シリアル・ポート・チップ・セレクト、アクティブ・ロー（DVDD1.8 基準の CMOS レベル）。
E8	$\overline{\text{RESET}}$	リセット、アクティブ・ロー（DVDD1.8 基準の CMOS レベル）。
Interrupt Request		
D9	$\overline{\text{IRQ0}}$	割込み要求 0。このピンはオープン・ドレインのアクティブ・ロー出力です（DVDD1.8 基準の CMOS レベル）。非アクティブ時にこのピンがフロート状態にならないように、DVDD1.8 にはプルアップ抵抗を接続してください。
E9	$\overline{\text{IRQ1}}$	割込み要求 1。このピンはオープン・ドレインのアクティブ・ロー出力です（DVDD1.8 基準の CMOS レベル）。非アクティブ時にこのピンがフロート状態にならないように、DVDD1.8 にはプルアップ抵抗を接続してください。
CMOS Input/Outputs		
D8	TXEN0	DAC0 の送信をイネーブル。CMOS レベルは DVDD1.8 基準で決定されます。
D4	TXEN1	DAC1 の送信をイネーブル。CMOS レベルは DVDD1.8 基準で決定されます。
DAC Analog Outputs		
M9	DAC0+	DAC0 の正の電流出力。
M8	DAC0-	DAC0 の負の電流出力。
M4	DAC1+	DAC1 の正の電流出力。
M5	DAC1-	DAC1 の負の電流出力。
Reference		
L12	ISET	デバイス・バイアス電流設定ピン。このピンと GND の間に 5k Ω 抵抗を接続します。なるべく許容誤差 0.1%未満、温度係数 $\pm 25\text{ppm}/^\circ\text{C}$ 未満の抵抗を使用してください。
Do Not Connect		
E1, E2, E11, E12, J2, K4	DNC	接続なし。これらのピンには接続しないでください。

代表的な性能特性

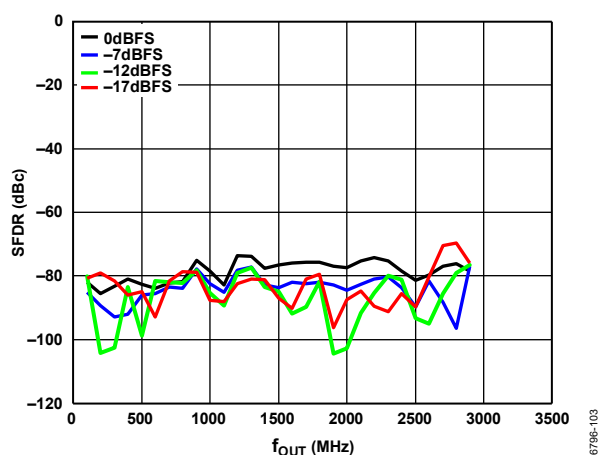


図 3. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 0) での関係: 6GHz DAC サンプル・レート、チャンネル・インターポレーション 2 $\times$ 、メイン・インターポレーション 8 $\times$

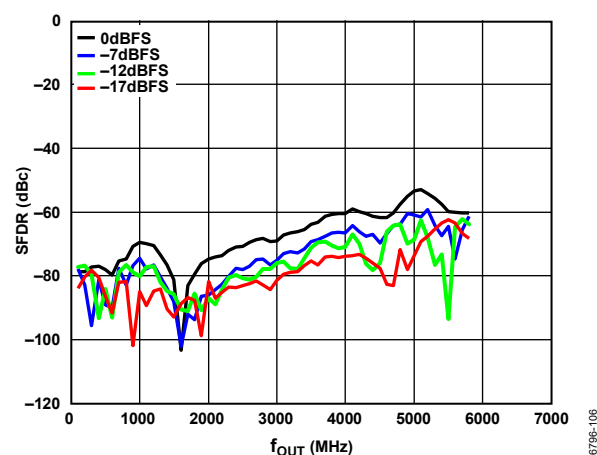


図 6. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 1) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$

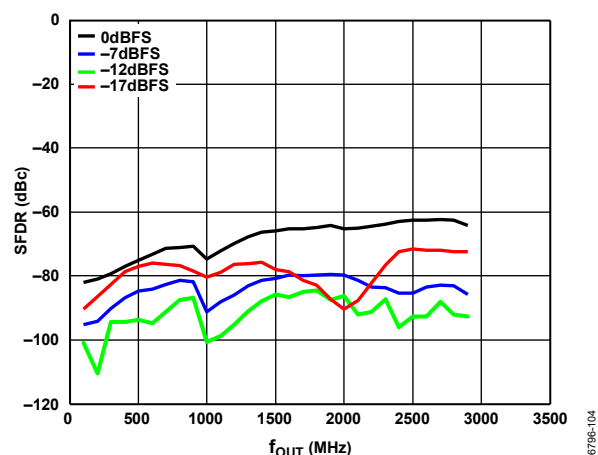


図 4. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 0) での関係: 6GHz DAC サンプル・レート、チャンネル・インターポレーション 2 $\times$ 、メイン・インターポレーション 8 $\times$

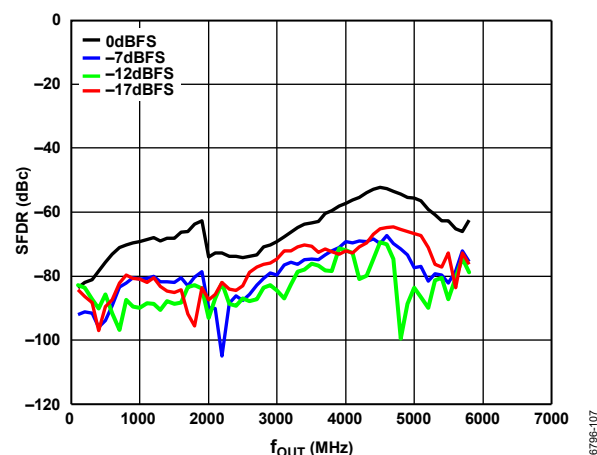


図 7. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 1) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$

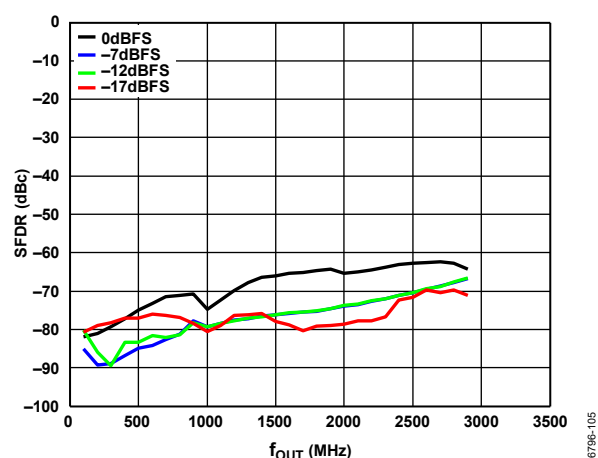


図 5. 最悪高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 0) での関係: 6GHz DAC サンプル・レート、チャンネル・インターポレーション 2 $\times$ 、メイン・インターポレーション 8 $\times$

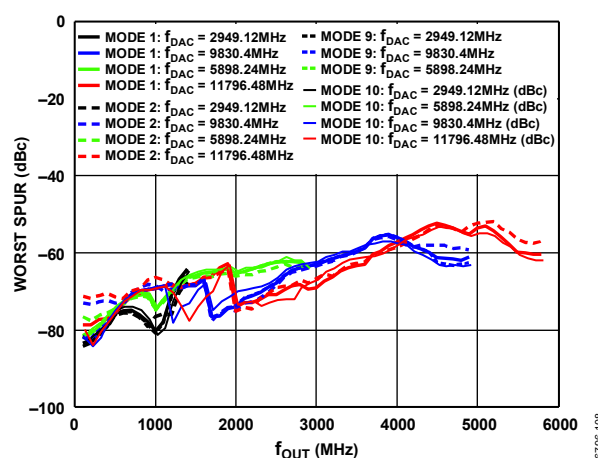


図 8. 最悪スプリアスと f_{OUT} - 異なる f_{DAC} (全モード) での関係: 0dB デジタル・スケール

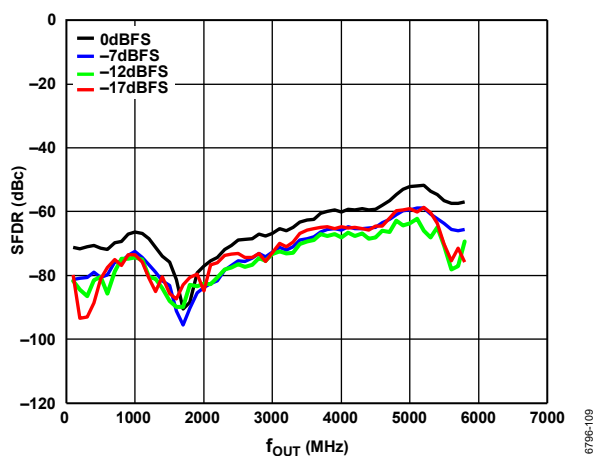


図 9. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 2) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$

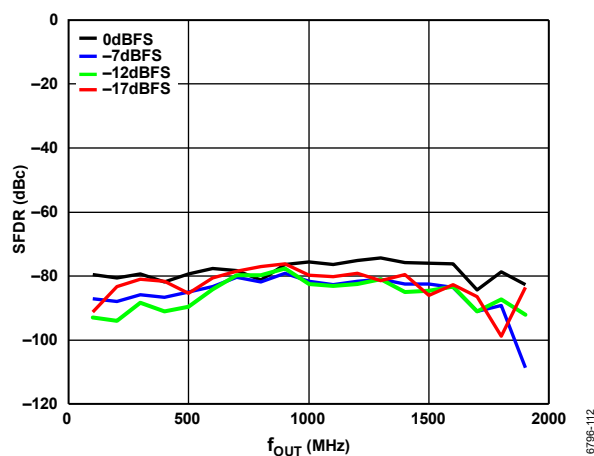


図 12. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 4GHz DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 1 $\times$ 、12 ビット分解能

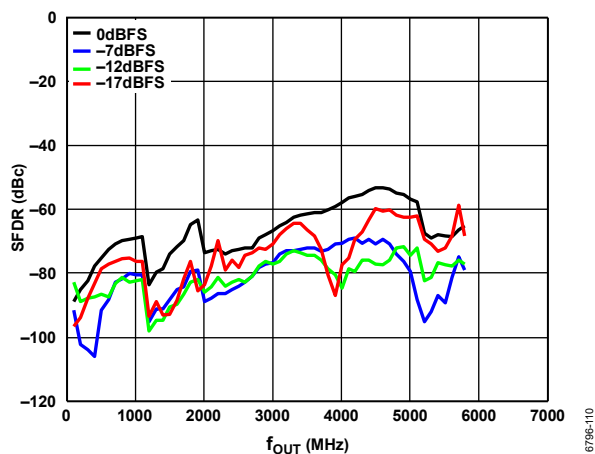


図 10. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 2) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$

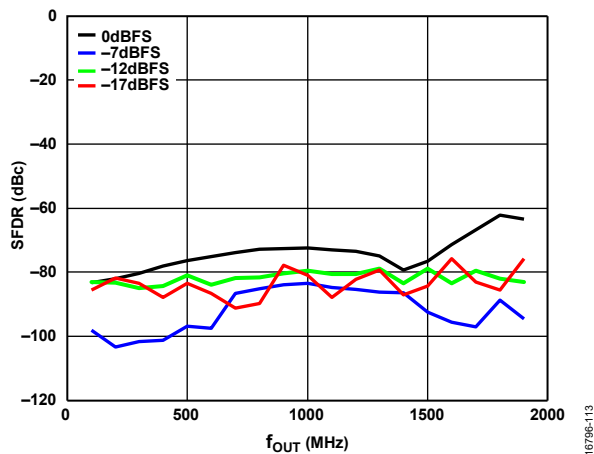


図 13. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 4GHz DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 1 $\times$ 、12 ビット分解能

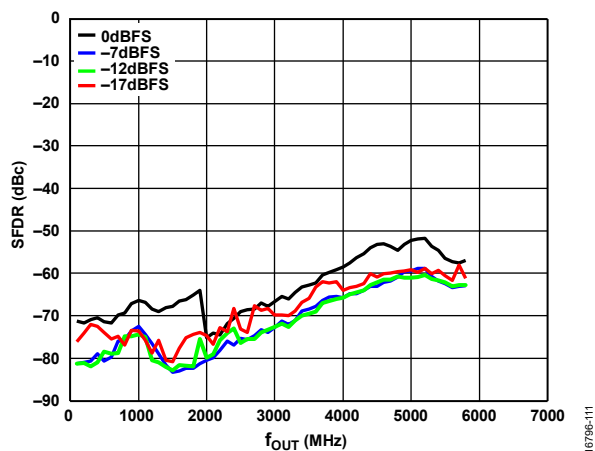


図 11. 最悪高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 2) での関係: 12 GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$

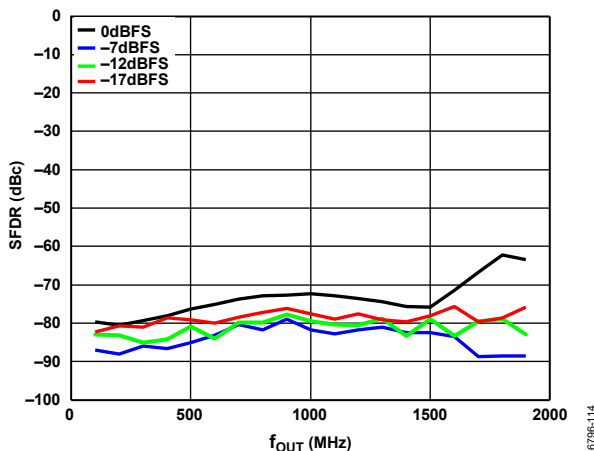


図 14. 最悪高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 4GHz DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 1 $\times$ 、12 ビット分解能

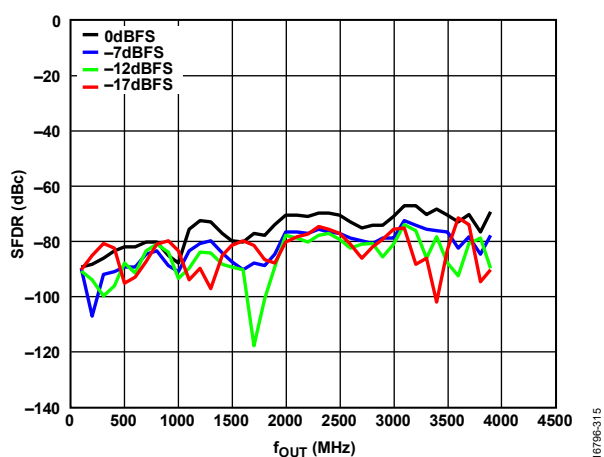


図 15. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 8GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 2×、12 ビット分解能

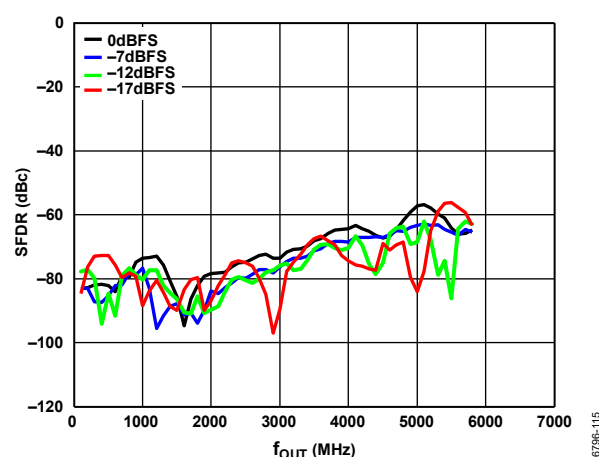


図 18. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 9) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×

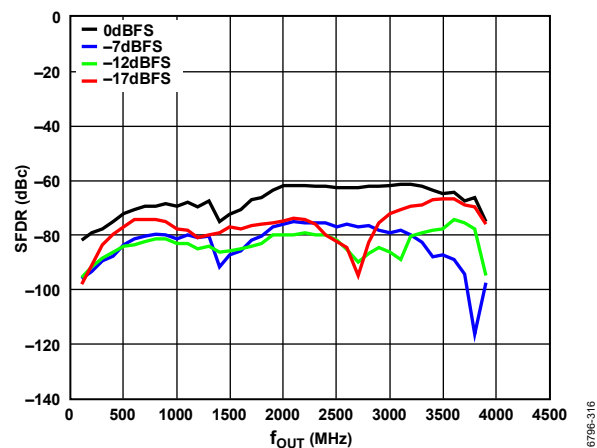


図 16. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 8GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 2×、12 ビット分解能

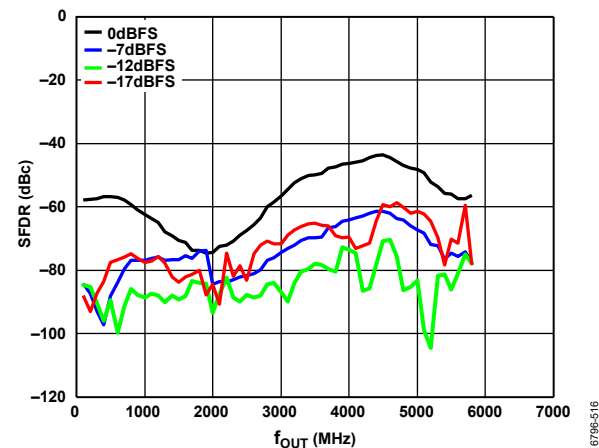


図 19. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 9) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 8×

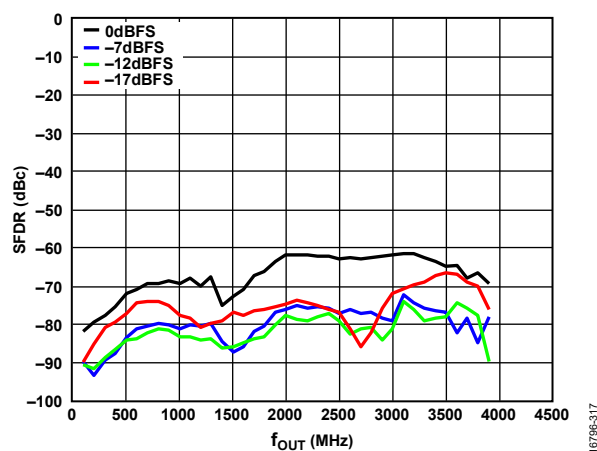


図 17. 最悪高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 12) での関係: 4GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 1×、12 ビット分解能

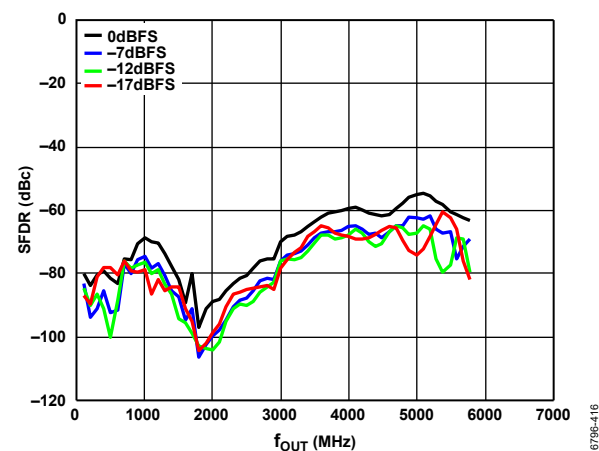


図 20. 第 2 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 10) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 1×、メイン・インターポレーション 4×

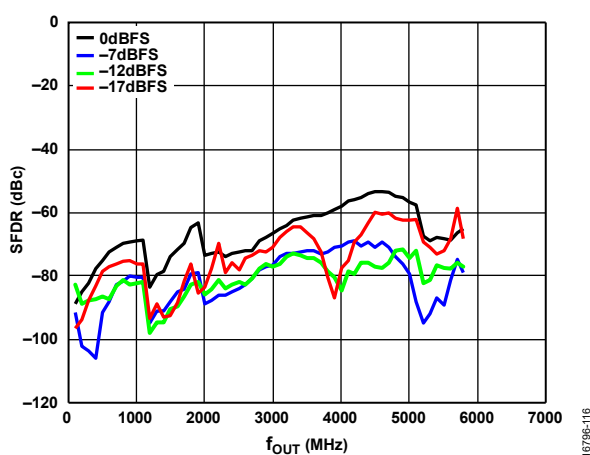


図 21. 第 3 高調波 (SFDR) と f_{OUT} - 異なるデジタル・スケール (モード 10) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 1 $\times$ 、メイン・インターポレーション 4 $\times$

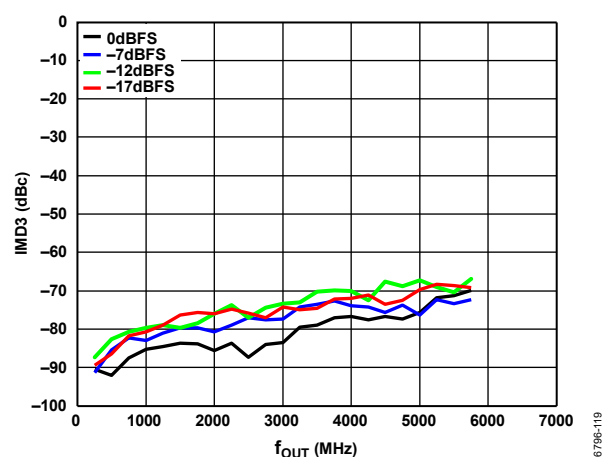


図 24. IMD3 と f_{OUT} - 異なるデジタル・スケール (モード 1) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔

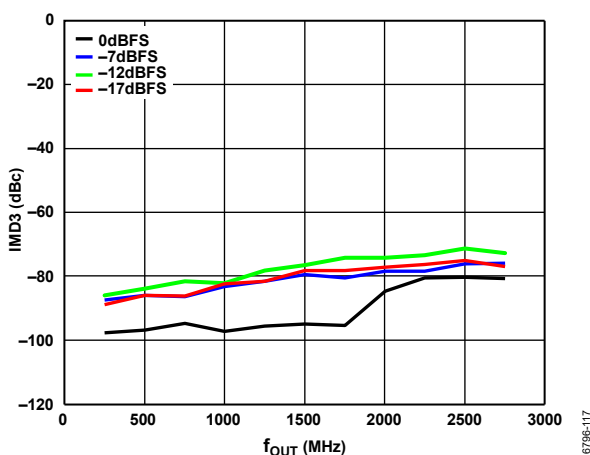


図 22. IMD3 と f_{OUT} - 異なるデジタル・スケール (モード 0) での関係: 6GHz DAC サンプル・レート、チャンネル・インターポレーション 2 $\times$ 、メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔

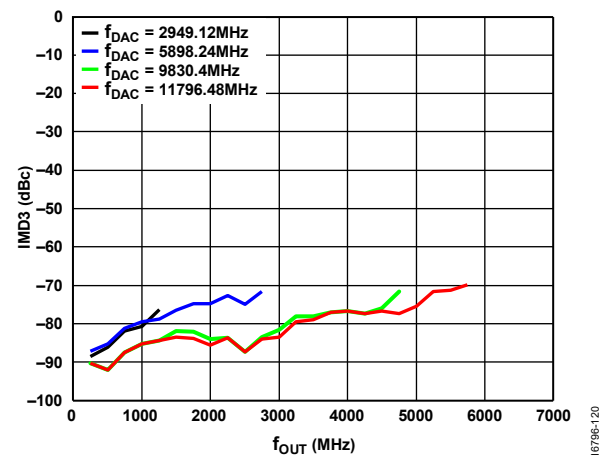


図 25. IMD3 と f_{OUT} - 異なる f_{DAC} (モード 1) での関係: チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔、-7dB デジタル・スケール

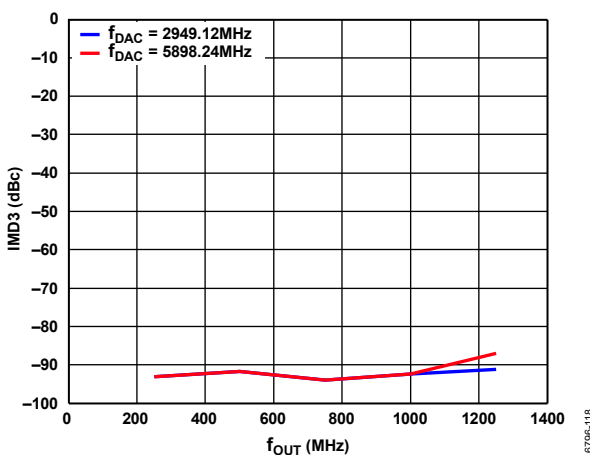


図 23. IMD3 と f_{OUT} - 異なる f_{DAC} (モード 0) での関係: チャンネル・インターポレーション 2 $\times$ 、メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔

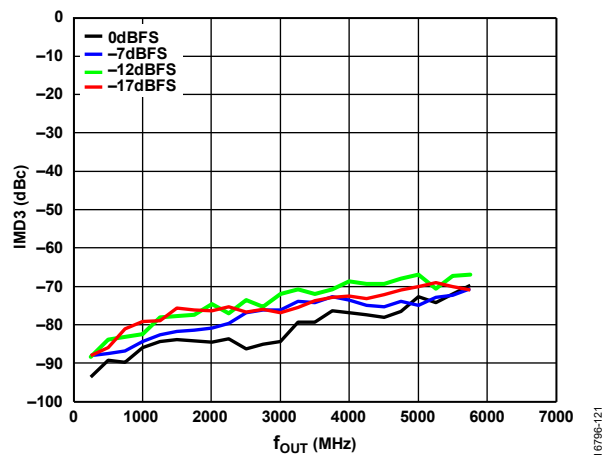


図 26. IMD3 と f_{OUT} - 異なるデジタル・スケール (モード 2) での関係: 12GHz DAC サンプル・レート、チャンネル・インターポレーション 4 $\times$ 、メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔

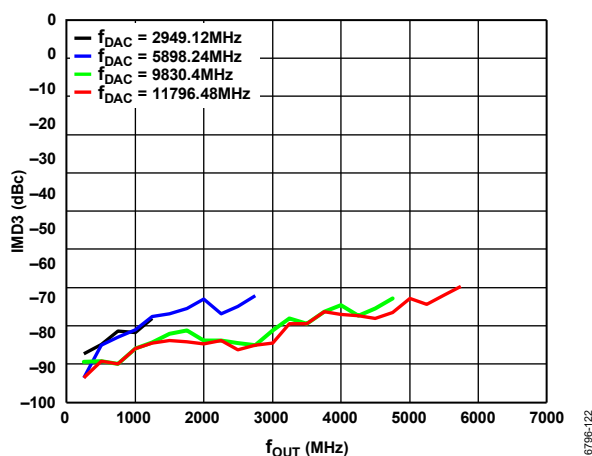


図 27. IMD3 と f_{OUT} -異なる f_{DAC} (モード 2) での関係：
チャンネル・インターポレーション 4 $\times$ 、
メイン・インターポレーション 8 $\times$ 、1MHz トーン間隔

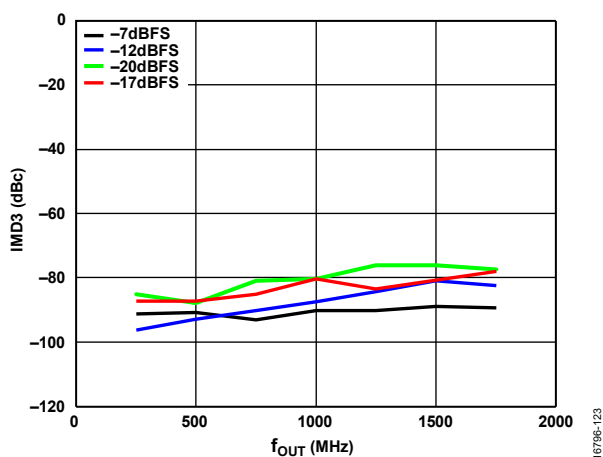


図 28. IMD3 と f_{OUT} -異なるデジタル・スケール (モード 12) での関係：4GHz DAC サンプル・レート、
チャンネル・インターポレーション 1 $\times$ 、
メイン・インターポレーション 1 $\times$ 、1MHz トーン間隔、
12 ビット分解能

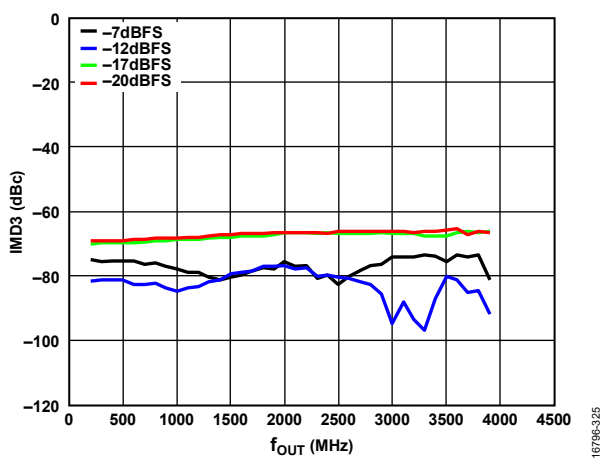


図 29. IMD3 と f_{OUT} -異なるデジタル・スケール (モード 12) での関係：8GHz DAC サンプル・レート、
チャンネル・インターポレーション 1 $\times$ 、
メイン・インターポレーション 2 $\times$ 、1MHz トーン間隔

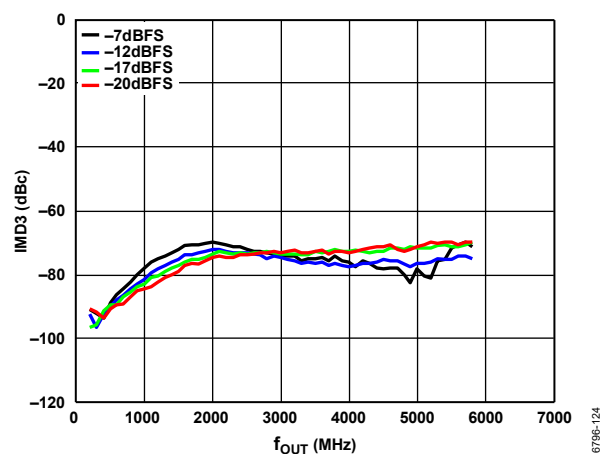


図 30. IMD3 と f_{OUT} -異なるデジタル・スケール (モード 10) での関係：12GHz DAC サンプル・レート、
チャンネル・インターポレーション 1 $\times$ 、
メイン・インターポレーション 4 $\times$ 、1MHz トーン間隔

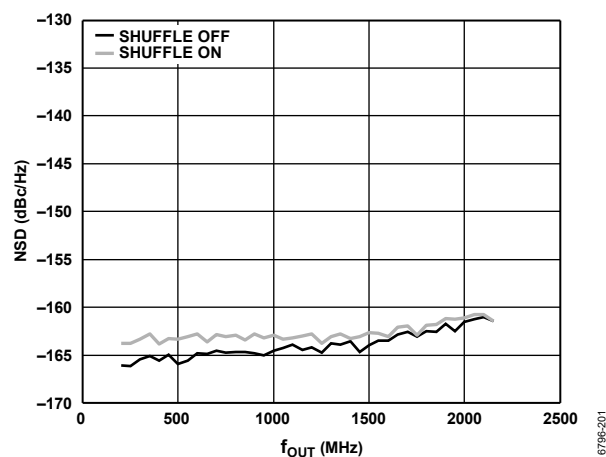


図 31. 70MHz で測定したシングル・トーン NSD と
 f_{OUT} - 11796.48MHz f_{DAC} 、16 ビット分解能、
様々なシャッフル・オプション

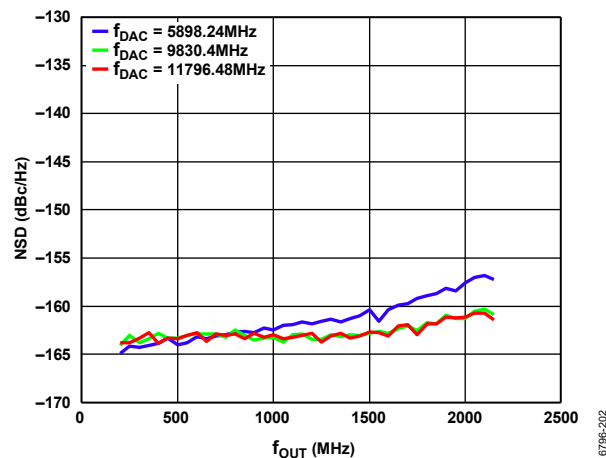


図 32. NSD と f_{OUT} -異なる f_{DAC} での関係：
16 ビット分解能、シャッフル・オン、
70MHz で測定したシングル・トーン

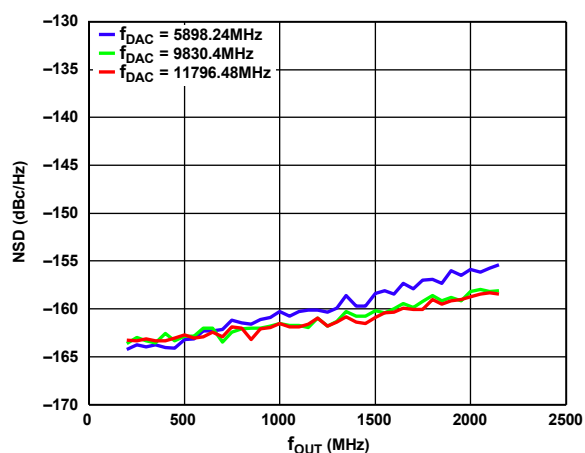


図 33. NSD と f_{OUT} - 異なる f_{DAC} での関係 :
16 ビット分解能、シャッフル・オン、シングル・トーン、
 f_{OUT} から 10% のオフセットで測定

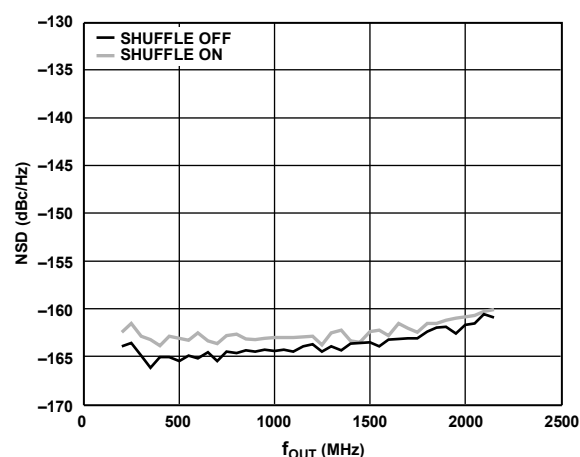


図 34. NSD と f_{OUT} の関係、11796.48MHz f_{DAC} 、
12 ビット分解能、様々なシャッフル・オプション、
シングル・トーン、70MHz で測定

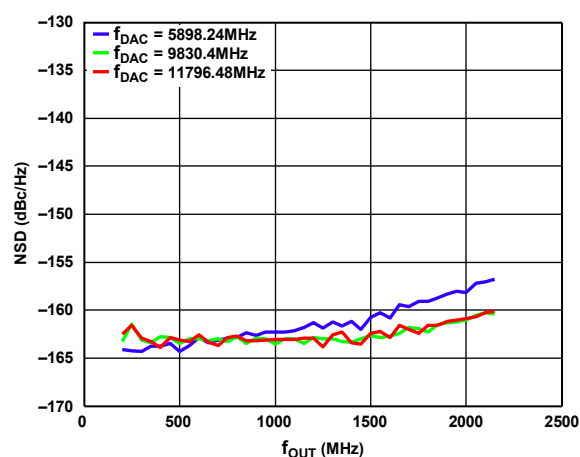


図 35. NSD と f_{OUT} - 異なる f_{DAC} での関係 :
12 ビット分解能、シャッフル・オン、シングル・トーン、
70MHz で測定

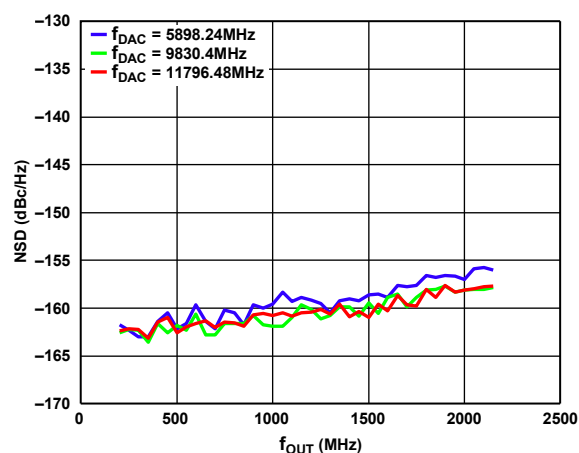


図 36. NSD と f_{OUT} - 異なる f_{DAC} での関係 :
12 ビット分解能、シャッフル・オン、シングル・トーン、
 f_{OUT} から 10% のオフセットで測定

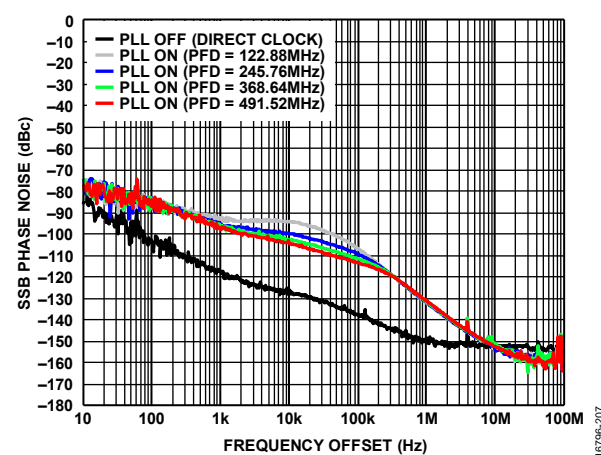


図 37. 単側波帯 (SSB) 位相ノイズと f_{OUT} オフセット -
異なる PFD 周波数での関係 : $f_{DAC} = 12\text{GHz}$ 、 $f_{OUT} = 1.8\text{GHz}$ 、
PLL オン、PLL リファレンス・クロック = 500MHz

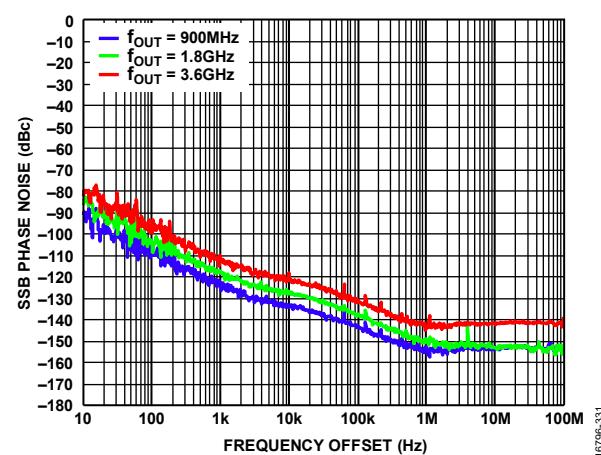


図 38. SSB 位相ノイズと周波数オフセット - 異なる f_{OUT} での
関係 : $f_{DAC} = 12\text{GHz}$ 、ダイレクト・クロック (PLL オフ)

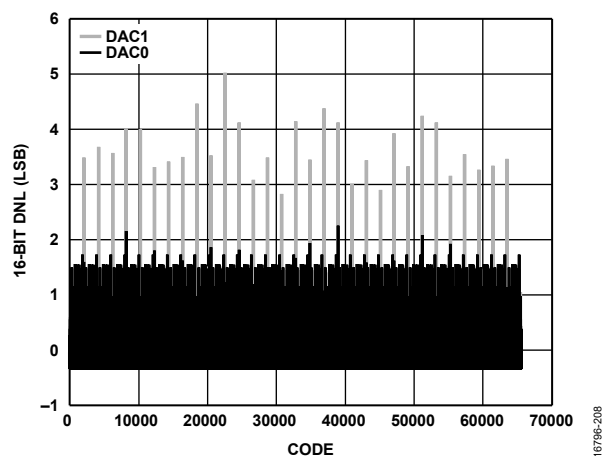


図 39. DNL - $I_{OUTFS} = 26\text{mA}$ 、16 ビット分解能

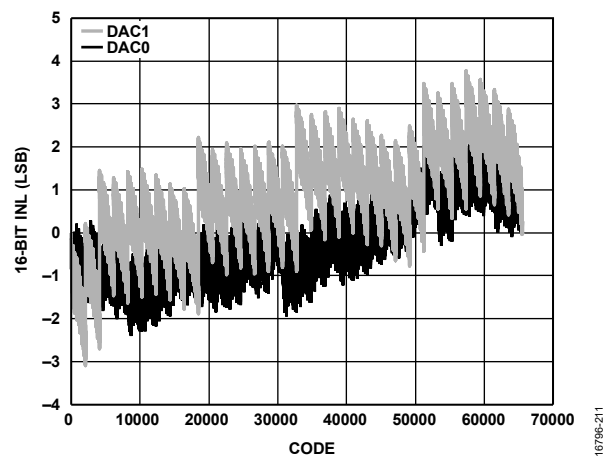


図 42. INL - $I_{OUTFS} = 20\text{ mA}$ 、16 ビット分解能

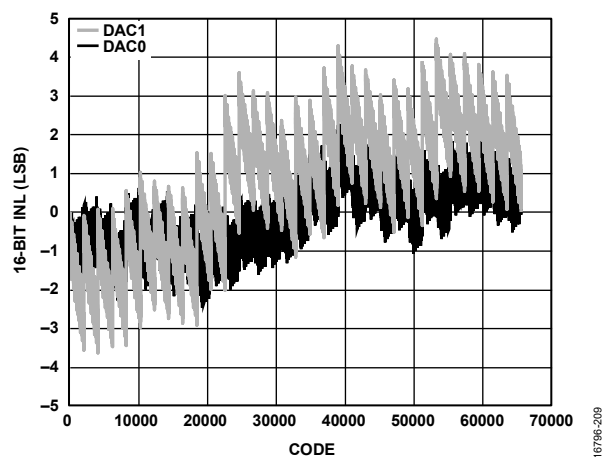


図 40. INL - $I_{OUTFS} = 26\text{mA}$ 、16 ビット分解能

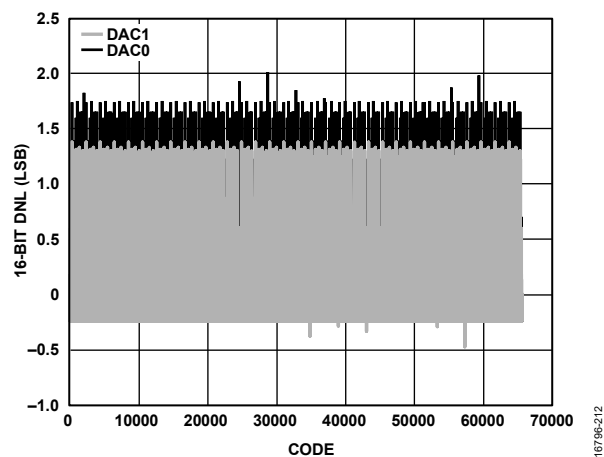


図 43. DNL - $I_{OUTFS} = 15.6\text{ mA}$ 、16 ビット分解能

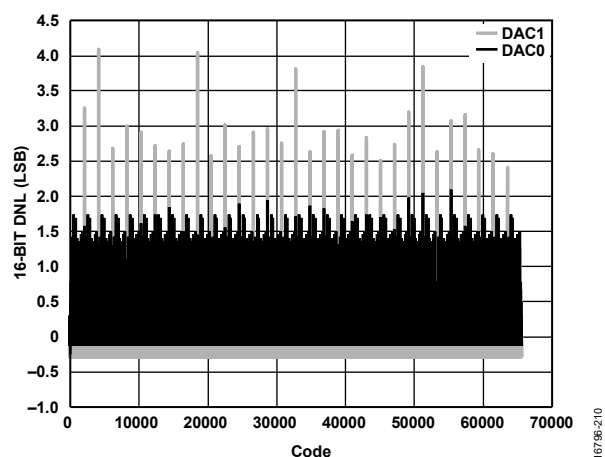


図 41. DNL - $I_{OUTFS} = 20\text{ mA}$ 、16 ビット分解能

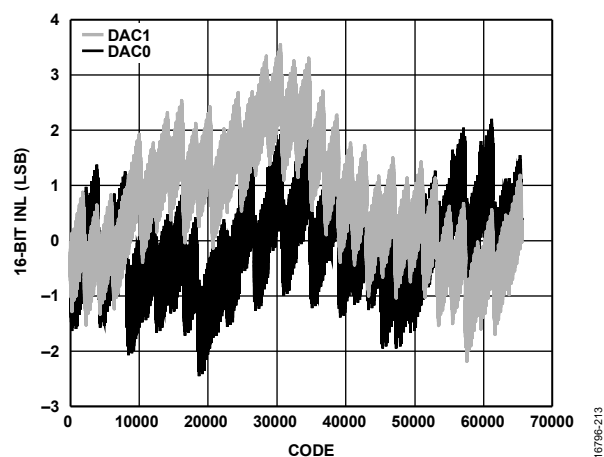


図 44. INL - $I_{OUTFS} = 15.6\text{ mA}$ 、16 ビット分解能

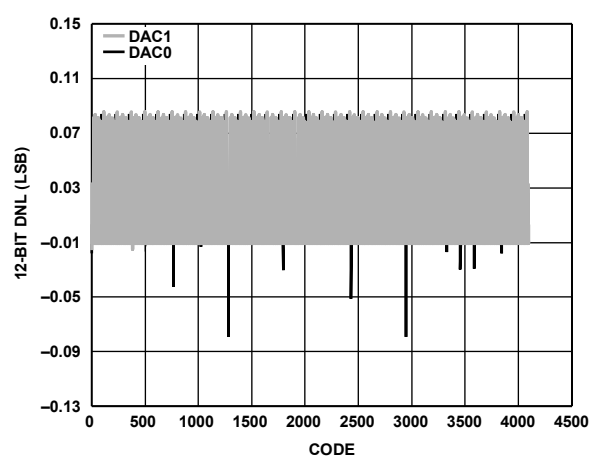


図 45. DNL - $I_{OUTFS} = 20 \text{ mA}$ 、12 ビット分解能

16796-214

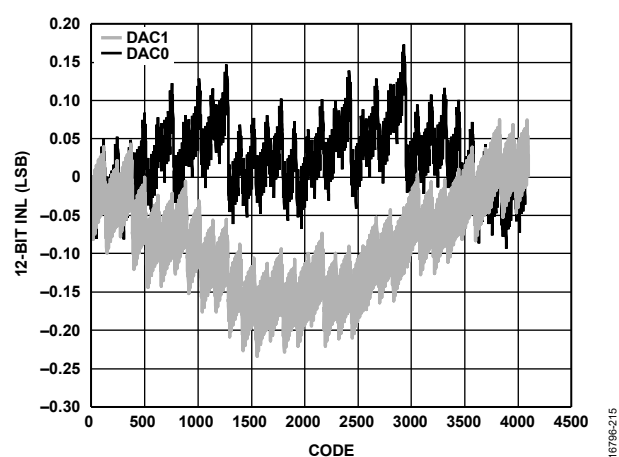


図 46. INL - $I_{OUTFS} = 20 \text{ mA}$ 、12 ビット分解能

16796-215

用語の定義

積分非直線性 (INL)

INL は、ゼロとフルスケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差です。

微分非直線性 (DNL)

DNL は、デジタル入力コードでの 1LSB の変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

オフセット誤差

オフセット誤差は、出力電流と理想値である 0mA の間の差です。全入力ビットが 0 の場合、DACx+ の出力が 0mA となり、全入力ビットが 1 の場合、DACx- の出力が 0mA となることが予想されます。

ゲイン誤差

理論出力範囲と実際の出力範囲の差を言います。実際の幅は、入力がその最小コードにあるときの出力と、入力がその最大コードにあるときの出力の差によって決定されます。

出力コンプライアンス範囲

出力コンプライアンス範囲は、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより性能に非直線性が生じることがあります。

温度ドリフト

温度ドリフトは、周囲温度 (25°C) 時の値から T_{MIN} または T_{MAX} の時の値までの最大変化として規定されます。オフセットとゲインのドリフトは、1°C あたりのフルスケール・レンジ (FSR) の ppm 単位で表されます。リファレンスのドリフトは、1°C あたりの ppm 単位で表されます。

セトリング時間

出力が最終値を中心とする規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアスフリー・ダイナミック・レンジ (SFDR)

SFDR は、DAC の DC からナイキスト周波数までの範囲における、出力信号のピーク振幅とピーク・スプリアス信号との差です (デシベル単位)。通常、この帯域内のエネルギーはインターポレーション・フィルタによって除去されます。したがってこの仕様は、インターポレーション・フィルタの効果と、他の寄生カップリング経路が DAC 出力に及ぼす影響を定義します。

S/N 比 (SNR)

S/N 比は、ナイキスト周波数未満のすべてのスペクトル成分 (最初の 6 つの高調波と DC を除く) の実効値総和に対する測定出力信号実効値の比率です。S/N 比の単位はデシベルです。

インターポレーション・フィルタ

DAC へのデジタル入力をインターポレーション・レート (f_{DATA}) の倍数でサンプリングした場合は、f_{DATA}/2 付近に急峻な遷移帯域を持つデジタル・フィルタを構成できます。これにより、出力データ・レート (f_{DAC}) 付近に通常現れるイメージを大幅に抑制することができます。

チャンネル・データバス

チャンネル・データバスは複素 (I/Q) データバスであり、場合によってチャネライザと呼ばれることもあります。このチップ内には 6 つのチャネライザがあり、3 つのチャネライザが各メイン・データバスに加算されるようになっています。これらのチャネライザは、動作モードによって使用しない場合にバイパスすることができます。これらのチャネライザを使用する場合は、複素 (I/Q) 入力データ・ストリームが必要です。各チャンネル・データバスには、個別に制御されるゲイン段とチャンネル NCO が含まれています。選択可能なチャンネル・インターポレーション・ブロックは、動作モードに応じて構成可能です。すべてのチャンネルは、同じインターポレーション・レートに設定する必要があります。

メイン・データバス

メイン・データバスとは、チップ内の加算ノードからそれぞれのメイン DAC アナログ・コアまでのデジタル・データバス部分を言います。これらの各メイン・データバスには、オプションの PA 保護ブロックが含まれていますが、この保護ブロックには、伝送バス内のパワー・アンプを損傷させてしまう前に DAC 出力をミュートするためのランプアップ/ダウン・ゲイン段ブロックへのフィード・フォワードが組み込まれています。また、選択可能なメイン・インターポレーション・ブロックがあり、選択した動作モードに応じて構成を設定することができます (どちらのメイン・インターポレーション・ブロックについても同じ構成)。各メイン・データバスには個別に設定可能なメイン NCO も含まれており、動作モードに応じオプションで 사용할ことができます。

隣接チャンネル漏れ率 (ACLR)

ACLR は、チャンネル内測定電力と隣接チャンネル測定電圧の比を搬送波基準のデシベル単位 (dBc) で表した値です。

調整 DAC 更新レート

調整 DAC 更新レートは、最小インターポレーション係数で除した DAC 更新レートです。複数のインターポレーション係数を持つ DAC では、明確化のために、それぞれのインターポレーション係数ごとに調整 DAC 更新レートを設定することができます。

物理 (PHY) レーン

物理レーン x とは SERDINx± のことを言います。

論理レーン

論理レーン x とは、クロスバー・ブロック (レジスタ 0x308 ~ レジスタ 0x30B) によりオプションでリマップされた物理レーンのことを言います。

リンク・レーン

リンク・レーン x とは、リンクごとに考慮される論理レーンを言います。リンク 0 (レジスタ 0x300 [2] = 0) をペー징ングするときは、リンク・レーン x = 論理レーン x です。リンク 1 (レジスタ 0x300 [2] = 1、デュアル・リンクのみ) をペー징ングするときは、リンク・レーン x = 論理レーン x + 4 です。

動作原理

AD9176 は、サブクラス 0 およびサブクラス 1 の動作に準拠した高速 JESD204B SERDES インターフェースを持つ 16 ビットのデュアル RF DAC です。AD9176 の機能ブロック図を図 1 に示します。各 DAC コアには、個別にバイパス可能な 3 つのチャンネルがあり、これらのチャンネルは、1 チャンネルあたり最大 1.575GSPS のレートで複素データ入力をサポートしています。JESD204B インターフェースは、シングルリンクまたはデュアルリンクで動作するように設定可能で、このインターフェースにおいて、8 個の高速シリアル・ポートは、それぞれチャネライザと呼ばれるチャンネル・データパスに最大 15.4Gbps でデータを伝送することができます。LVDS インターフェースや CMOS インターフェースと比べて、SERDES インターフェースを使用した場合は、ピン数、ボード・レイアウト、デバイスへの入力クロック条件などを簡素化することができます。

SERDES インターフェース用のローカル・クロックは、JESD204B 仕様によって要求されるデバイス・クロック (CLKIN±ピン) から供給されます。このデバイス・クロックをオンチップ PLL 用のリファレンスとして動作させて、DAC クロックを供給することができます。あるいは、PLL をバイパスして、高忠実度の外部クロック源から DAC クロックを直接供給することもできます。SERDES インターフェースは、必要な入力データ・レートに応じて、1 リンクあたり 1、2、3、4、または 8 レーンのモードで動作するように構成できます。デュアルリンク動作では、各リンクはそれぞれ最大 4 レーンまで占有できます。

AD9176 のデジタル・データパスには、チャンネル・データパスとメイン・データパスの両方にバイパス可能な (1×) インターポレーション・ブロックが組み込まれています。目的のモードに応じて、チャンネル・データパス用の 2×、3×、4×、6×、8× インターポレーション・オプションと、メイン・データパス用の 2×、4×、6×、8×、12× インターポレーション・オプションもあります。各種のサポートされている処理モードと関連するインターポレーション・オプションの概要については、表 13 を参照してください。

1×インターポレーション (バイパス) を選択しなければ、各チャンネル・デジタル・データパスでは、チャンネルごとにゲイン段と NCO ブロックを個別に制御することができます。NCO ブロックには、ほぼ無限の精度で信号のデジタル周波数シフトを有効にするための 48 ビット・モジュラス NCO オプションがあります。3 つのチャネライザ・データパスの終点には、最大 1.575GSPS で 3 つのチャネライザを 1 つに結合する加算ノードがあり、加算されたものは入力としてそれぞれのメイン DAC データパスに送信され、更にデジタル処理が行われます。

それぞれのメイン DAC データパスには、オプションのパワー・アンプ (PA) 保護ブロック、メイン・データパス・インターポレーション・ブロック、オプションのモジュラス機能を備えたメイン NCO、および PA 保護ブロックから入力されるランプアップ/ランプダウン・ゲイン・ブロックが組み込まれています。更に、オプションのキャリブレーション・トーン機能と、メイン NCO ブロックの一部である 4 つの変調器スイッチ・モードがあります。

各 NCO は、ダイレクト・デジタル合成 (DDS) モードで独立した NCO として動作できます。NCO のトーン・レベルは、SERDES インターフェースからデジタル・データを供給することによって個別に指定することもできますし、SPI プログラマブル・レジスタを使用してすべての NCO に一括して指定することもできます。周波数は個別に制御できます。

また、AD9176 はマルチチップ同期が可能で、複数の DAC を同期すると共に、DAC のために一定かつ確定的な遅延 (遅延ロック) のパスを確立することができます。各 DAC の遅延は、あるリンクの確立から次のリンクの確立まで、DAC の数クロック・サイクル内に収まる一定の値に止まります。外部アライメント信号 (SYSREF±) は、AD9176 を JESD204B サブクラス 1 に準拠したデバイスにします。システム内では、SYSREF±信号の複数の処理方法を使用できます。

SPI ポートは様々な機能ブロックを構成して、それらのステータスをモニタします。デバイスを正常に動作させるには、様々な機能ブロックとデータ・インターフェースを予め決められたシーケンスでセットアップする必要があります (スタートアップ・シーケンスのセクションを参照)。JESD204B リンクは単純な SPI 初期化ルーチンによってセットアップします。このルーチンは、[AD9176-FMC-EBZ](#) 評価用ボードのパッケージに含まれています。このデータシートには、AD9176 の様々なブロックについての詳細が記載されています。以下では、JESD204B インターフェース、制御パラメータ、およびデバイスのセットアップとモニタに使用する様々なレジスタについて説明します。推奨スタートアップ・ルーチンを実行すれば、信頼性の高いデータ・リンクが設定されます。

表 13. JESD204B がサポートする動作モードとインターポレーションの組み合わせ

Application	JESD204B Operation Modes			Channel Datapath			Main DAC Datapath		Maximum Instantaneous Bandwidth (MHz) ¹
	Link Modes	JESD204 B Modes	Lanes per Link	Channels per DAC	Maximum Channel Data Rate (MSPS) ²	Channel Interpolation	Main Datapath Interpolation	Maximum DAC Rate (GSPS) ³	
Channelizer Modes (All Complex)									
375 MHz (N = 16 Bits)									
Single-Channel	Single, dual	0	1	1	385	2×	8×	6.16	308
		0	1	1	385	4×, 6×	6×, 8×	12.6	308
Dual-Channel	Single, dual	1	2	2	385	4×, 6×	6×, 8×	12.6	616
Triple-Channel	Single, dual	2	3	3	385	4×, 6×	6×, 8×	12.6	924
500 MHz (N = 12 Bits)									
Single-Channel	Single, dual	5	1	1	513	2×	6×	6.16	410.4
		5	1	1	513	3×	6×, 8×	12.6	410.4
Dual-Channel	Single, dual	6	2	2	513	3×	6×, 8×	12.6	
750 MHz (N = 16 Bits)									
Single-Channel	Single, dual	3	2	1	770	1×	8×	6.16	616
		3	2	1	770	2×, 3×	6×, 8×	12.6	616
Dual-Channel	Single, dual	4	4	2	770	2×, 3×	6×, 8×	12.6	616
		4	4	2	385	4×	8×	12.6	308
187 MHz (N = 16 Bits)									
Dual-Channel	Single, dual	7	1	2	192.5	8×	6×, 8×	12.6	154
Wideband Modes (Complex or Real)									
3000 MHz (N = 16 Bits)									
Complex	Single	10, 11	8	1	3080	1×	2×, 4×	12.6	2464
Real, Dual-DAC	Single	10, 11	8	1	3080	1×	1×	3.08	1540
Real, Single- or Dual-DAC	Single, dual	18, 19	4	1	3080	1×	1×	3.08	1540
1500 MHz (N = 16 Bits)									
Complex, Dual-DAC	Single, dual	8, 9	4	2 ⁴	1540	1×	2×, 4×, 6×, 8×, 12×	12.6	2464 ⁴
4000 MHz (N = 12 Bits)									
Complex	Single	12	8	1	4100	1×	2× ⁵	8.2	3280
Real, Dual-DAC	Single	12	8	1	4100	1x	1x	4.1	2050
2000 MHz (N = 12 Bits)									
Complex, Dual-DAC	Single, dual	22	4	2 ⁴	2050	1×	4×, 6×	12.6	3280 ⁴
6000 MHz (N = 16 Bits)									
Real, Single-DAC	Single	20, 21	8	1	6160	1×	1×	6.16	3080

¹ 複素モードでは、瞬時帯域幅 (IBW) は I および Q の両方が占有する帯域幅です (結合された I/Q 帯域幅と呼ばれている)。複素モードでの帯域幅は、インターポレーション・フィルタの帯域幅によってある程度制限されます。AD9176 を実数オンリ・モードに設定するために、インターポレーション・フィルタがバイパスされたとき、IBW = ½ × データ・レートになります。

² 最大データ・レートは、表 7 に示す最大レーン・レートに基づいて計算されます。データ・レートは次式に基づいて計算されます：レーン・レート = (10/8) × NP × データ・レート × (M/L)。ここで、NP、M、および L の値は選択したモードにより異なります。

³ モードごとの最大 DAC レートは、表 3 に示すように、使用する構成の電圧許容値とレーン・レートによって異なります。実現可能な最大レーン・レートは表 7 に従います。

⁴ 適正な変調器スイッチ構成を使用すると、AD9176 は広帯域のデュアルチャンネル DAC として動作するように構成でき、各チャンネルには自身のメイン・データパス NCO が含まれます。この場合、変調器スイッチは、2 つのデータパスから 1 つの DAC コアに複素データを供給する加算ノードとして動作するように構成されます。

⁵ JESD204B がサブクラス 1 動作用に構成されたときにのみサポートされます。

シリアル・ポートの動作

シリアル制御ポートは柔軟な同期シリアル通信ポートで、業界標準の様々なマイクロコントローラやマイクロプロセッサとのインターフェースを容易に形成することができます。シリアル入出力ポートは、Motorola, Inc. の SPI と Intel® の SSR の両方のプロトコルを含むほとんどの同期転送フォーマットに使用できます。このインターフェースを使用すれば、AD9176 を構成するすべてのレジスタへの読出しアクセスと書き込みアクセスが可能です。MSB ファーストまたは LSB ファーストの転送フォーマットがサポートされています。シリアル・ポート・インターフェースは、4 線式または 3 線式のインターフェースとして構成可能で、3 線式の場合は入力と出力が 1 つのピン出力 (SDIO) を共有します。データは、読出し／書き込み動作ごとにアドレスを指定して 1 回に 1 バイトずつ転送することもできますし、各転送サイクルの終わりに自動的にインクリメントされるアドレスを用いてマルチバイト・モードで転送することもできます。したがって、レジスタ・アドレスに対して複数の読出し／書き込み動作が連続しているときは、リンクのスループットを高めることができます。

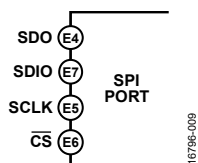


図 47. シリアル・ポート・インターフェース・ピン
(144 ボール BGA_ED)

AD9176 での通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル (デバイスへの命令バイトの書き込み) で、最初の 16 個の SCLK 立上がりエッジに同期されます。命令ワードは、通信サイクルのフェーズ 2、すなわちデータ転送サイクルのために必要な情報を使用するシリアル・ポート・コントローラに供給されます。命令ワードは、次のデータ転送が読出し動作か書き込み動作かにかかわらず、次のデータ転送用の開始レジスタ・アドレスとフラグを定義します。

$\overline{\text{CS}}$ ピンがロジック・ハイからロジック・ローに変わると、シリアル・ポート・タイミングが命令サイクルの初期状態にリセットされます。この状態から、次の 16 個の立上がり SCLK エッジが、現在の入出力動作の命令ビットを表します。

残りの SCLK エッジは、通信サイクルのフェーズ 2 用です。フェーズ 2 は、デバイスとシステム・コントローラ間における実際のデータ転送です。通信サイクルのフェーズ 2 では、1 つまたは複数のデータ・バイトが転送されます。転送サイクルで N バイトのデータを転送するには、 $8 \times N$ 個の SCLK サイクルが必要です。レジスタは、各転送バイトの最後のビットが書き込まれるとそれらのデータを直ちに更新 (ラッチ) します。

FTW と NCO 位相オフセットは、周波数チューニング・ワード・ロード要求ビット (DDSM_FTW_LOAD_REQ または DDSC_FTW_LOAD_REQ) がセットされた場合にのみ変化します。

データ・フォーマット

命令バイトには、表 14 に示す情報が含まれています。

表 14. シリアル・ポート命令ワード

I[15 (MSB)]	I[14:0]
R/ $\overline{\text{W}}$	A[14:0]

命令ワードのビット 15 である $\overline{\text{R/W}}$ は、命令ワード書き込み後に読出し転送を行うか書き込み転送を行うかを決定します。ロジック 1 は読出し動作であることを示し、ロジック 0 は書き込み動作であることを示します。

命令ワードの A14~A0、つまりビット I14~ビット I0 は、通信サイクルのデータ転送部分でアクセスされるレジスタを決定します。

マルチバイト転送の場合は A [14:0] が開始アドレスです。残りのレジスタ・アドレスは、アドレス・インクリメント・ビットに基づき、デバイスによって生成されます。アドレス・インクリメント・ビットがハイに設定されると (レジスタ 0x000、ビット 5 とビット 2)、A [14:0] でマルチバイト SPI 書き込みが開始されて、8 ビットの送信／受信ごとに 1 ずつインクリメントされます。アドレス・インクリメント・ビットを 0 に設定すると、アドレスは 8 ビットごとに 1 ずつデクリメントされていきます。

シリアル・ポート・ピンの説明

シリアル・クロック (SCLK)

シリアル・クロック・ピンは、デバイスとやり取りするデータを同期して、内部ステート・マシンを実行します。SCLK の最大周波数は 80MHz です。すべてのデータ入力は、SCLK の立上がりエッジでレジスタに取り込まれます。すべてのデータは SCLK の立下がりエッジで出力されます。

チップ・セレクト ($\overline{\text{CS}}$)

通信サイクルはアクティブ・ロー入力で開始され、制御されます。 $\overline{\text{CS}}$ は、同じシリアル通信ライン上の複数のデバイスを使用することを可能にします。この入力が高レベルの時は、SDIO ピンが高インピーダンス状態になります。通信サイクル時は、チップ・セレクトがローになっていなければなりません。

シリアル・データ入出力 (SDIO)

このピンは双方向データ・ラインです。4 線モードでは、このピンがデータ入力として機能し、SDO がデータ出力として機能します。

シリアル・ポート・オプション

シリアル・ポートは、MSB ファーストと LSB ファースト両方のフォーマットをサポートしています。この機能は、LSB ファースト・ビット（レジスタ 0x000 のビット 6 とビット 1）によって制御されます。デフォルトは MSB ファーストです（LSBFIRST ビット = 0）。

LSB ファースト・ビット = 0（MSB ファースト）の場合は、命令データ・ビットを MSB から LSB に書き換える必要があります。R/W の後には A [14:0] が命令ワードとして続きます。D [7:0] はデータ・ワードです。LSB ファースト・ビット = 1（LSB ファースト）の場合は、この逆になります。A [0:14] の後には R/W が続き、更にその後には D [0:7] が続きます。

シリアル・ポートは 3 線式または 4 線式のインターフェースをサポートしています。SDO アクティブ・ビット = 1（レジスタ 0x000、ビット 4 とビット 3）のときは、入力ピン（SDIO）と出力ピン（SDO）が別になっている 4 線式インターフェースが使われます。SDO アクティブ・ビット = 0 の場合は SDO ピンを使わず、SDIO ピンを入力と出力の両方に使用します。

命令サイクルに続く最初のデータ転送ワード後に、複数のデータ転送サイクル（8 個の SCLK）用に CS ピンをローに保つことによって、マルチバイト転送を行うこともできます。命令サイクルに続く最初の 8 個の SCLK は、命令サイクルで提供されたレジスタの読出しまたは書込みを行います。その後の 8 SCLK サイクルごとにアドレスはインクリメントまたはデクリメントされ、新しいレジスタの読出し／書込みが行われます。アドレスの方向は、ADDRINC または ADDRINC_M（レジスタ 0x000 のビット 5 とビット 2）を使用して設定できます。ADDRINC または ADDRINC_M が 1 の場合、マルチサイクル・アドレスはインクリメントされます。ADDRINC または ADDRINC_M が 0 の場合、アドレスはデクリメントされます。新しい書込みサイクルは、CS を一度ハイにして再びローにすることによって、いつでも開始することができます。

混乱を避けるため、また、デバイス間の一貫性を確保するために、チップは、アドレス・フェーズ後の最初のニブルをテストして 2 番目のニブルを無視します。このテストは LSB ファースト・ビットとは関係なく行われ、ソフト・リセット・ビット（レジスタ 0x000 のビット 0 とビット 7）の後にクロック・サイクルが追加されていることを確認します。最初のニブルに対するこのテストは、レジスタ 0x000 への書込み時にのみ行われます。

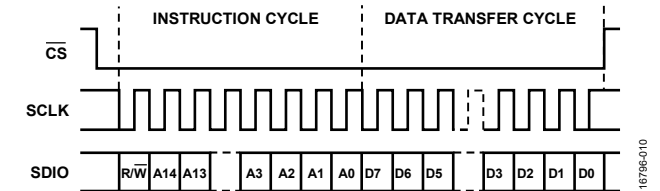


図 48. シリアル・レジスタ・インターフェースのタイミング - MSB ファースト、レジスタ 0x000、ビット 6 およびビット 1 = 0

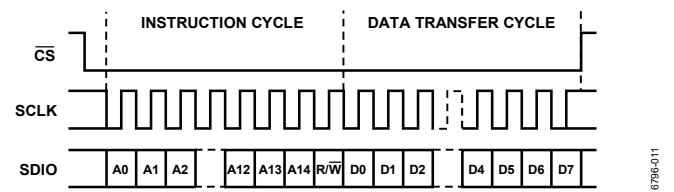


図 49. シリアル・レジスタ・インターフェースのタイミング - LSB ファースト、レジスタ 0x000、ビット 6 およびビット 1 = 1

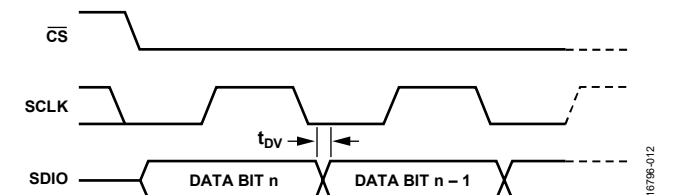


図 50. シリアル・ポート・レジスタの読出しタイミング図

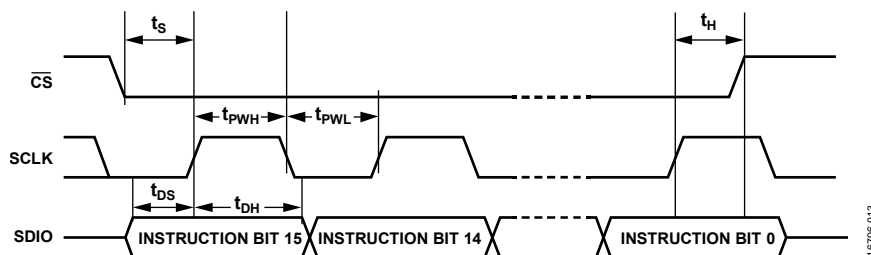


図 51. シリアル・ポート・レジスタの書込みタイミング図

JESD204B シリアル・データ・インターフェース

JESD204B の概要

AD9176 には、入力サンプル・データをデバイスに受信する 8 個の JESD204B SERDES データ・ポートがあります。8 個の JESD204B ポートを組み合わせて、1 つ（シングルリンク）または 2 つ（デュアルリンク）の同一の JESD204B リンクを構成することができます。各リンクは、自身の 1 組のチャネライザを使用して自身のデータパスにデータを供給できます。

シングルリンクおよびデュアルリンクの両方の JESD204B モードでは、個別の（ローカル）クロックが同一のシステム・リファレンス（SYSREF±）信号とデバイス・クロック（CLKIN±）信号にアラインされます。ただし、SYNCOUT0± 信号と SYNCOUT1± 信号はそれぞれの JESD204B リンクで個別に使用されます。また、デュアルリンク・モードでは、2 つのリンクは互いに独立して動作することができます。

JESD204B シリアル・インターフェース・ハードウェアは、物理層、データ・リンク層、トランスポート層の 3 層に大別されます。AD9176 のシリアル・データ・インターフェースに実装されている 3 つの通信層を図 52 に示します。これらの層では、クロックが復元され、データのシリアル化解除、スクランプリング解除、およびフレーミング解除が行われ、その後、解除されたデータがデバイスの各デジタル信号処理チャネライザに送られます。

各通信層は以下のように動作します。

- 物理層はトランスミッタとレシーバーの間に信頼できるチャンネルを確立します。
- データ・リンク層はデータのバッキングを解除してオクテットに戻し、更にデータのスクランプリングを解除する役割を果たします。
- トランスポート層は、スクランプリングが解除された JESD204B フレームを受け取って、それを DAC サンプルに変換します。

各層の詳細な説明は、インターフェースの各側面を設定するための情報を含めて、以降のセクションで行います。

いくつかの JESD204B パラメータ（L、F、K、M、N、NP、S、HD）は、データのパック方法を定義し、シリアル・データをサンプルに変える方法をデバイスに指示します。これらのパラメータは、トランスポート層のセクションで詳しく説明します。AD9176 には、スクランプリング解除オプションもあります（詳細についてはスクランプリング解除のセクションを参照）。SERDES インターフェースによって実現可能な最大データ・レートを増やすために、AD9176 では、16 ビット・データが不要なアプリケーション用に、12 ビット・バッキング・モード（NP = 12、N = 11 または 12）を使用することができます。

AD9176 には、シングルリンク・モードとデュアルリンク・モードを含む複数の JESD204B モードがあり、チャンネル数、DAC コアの数、およびリンク速度条件に応じてデバイスを設定することができます。これらのモードとそれぞれの JESD204B リン

ク・パラメータを、表 15 と表 16 に示します。モードに応じて、チャンネル・インターポレーションとメイン・データパス・インターポレーションの様々な組み合わせが使用可能です。表 13 に、使用可能なすべてのリンクとインターポレーションの組み合わせと共に、モードごとにサポートされている最大データ・レートを示します。

AD9176 には 2 つの DAC コアがあり、それぞれアナログ出力が備えられています。各 DAC コアには、3 つの複素チャネライザからデータが供給されます。JESD204B リンクから分かるように、コンバータの有効数は、所定の動作モードでの非複素チャンネルの数であり、JESD204B 規格の M パラメータによって表されます。したがって、1 つの非複素チャンネルは M = 1 で表され、1 つの複素チャンネルは M = 2 で表され、2 つの複素チャンネルのグループは M = 4 で表され、以下同様になります。合計データパス・インターポレーションを 1x に設定すると、複素チャンネルはバイパスされ、データ入力是非複素（実数）であると仮定されます。この場合だけ、M = 2 は DAC コアの実数の数を表し、複素データは不要です。

特定の JESD204B 動作モードでは、以下の関係が成り立ちます。

$$\text{合計インターポレーション} = \text{チャンネル・インターポレーション} \times$$

$$\text{メイン・インターポレーション}$$

$$\text{データ・レート} = \text{DAC レート} / \text{合計インターポレーション}$$

$$\text{レーン・レート} = (M/L) \times NP \times (10/8) \times \text{データ・レート}$$

ここで、

レーン・レートは 3Gbps～15.4Gbps の範囲でなければなりません。

M、L、NP は、選択した JESD204B 動作モードに対する JESD204B リンク・パラメータです。

JESD204B トランスミッタと JESD204B レシーバーの間の同期動作を確立して維持することは、信頼できるリンクを維持するために重要です。リンクが確立した後、様々なシステム・クロックの間の安定性と位相の関係が重要になります。特定のクロックが共通のリファレンスに対して相対的にスリップすると、リンクが失われる可能性があり、リンクの再確立が必要になる場合があります。同様に、特定のレーンがリンク内の他のレーンと相対的に非同期になると、このリンクも失われる可能性があります。リンクを確立または再確立するプロセスを簡素化するために、AD9176 は JESD204B リンクごとに独立したマスター同期信号を指定します。SYNCOUT0±ピンと SYNCOUT1±ピンは、特定のリンク内のすべてのレーンに対してマスタ・フラグ信号として使用されます。様々なレーンに到達するデータの同期が外れていた場合、SYNCOUTx±がディアサートされます。このとき、トランスミッタはデータの送信を停止し、代わりにこのリンク内のすべてのレーンに同期文字の送信を開始し、再同期が確立されるまでこの送信を続ける必要があります。

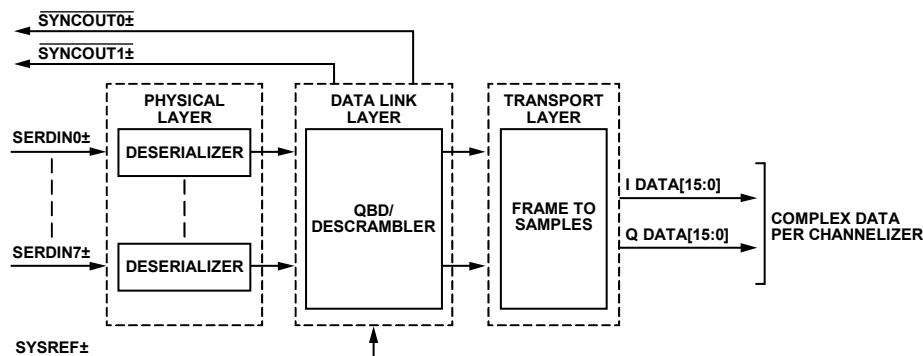


図 52. シリアル・リンク・レシーバーの機能ブロック図

表 15. シングルリンク JESD204B 動作モード

Parameter	Single-Link JESD204B Modes																		
	0	1	2	3	4	5	6	7	8	9	10	11	12	18	19	20	21	22	
L (Lane Count)	1	2	3	2	4	1	2	1	4	4	8	8	8	4	4	8	8	4	
M (Converter Count)	2	4	6	2	4	2	4	4	2	2	2	2	2	1	1	1	1	2	
F (Octets per Frame per Lane)	4	4	4	2	2	3	3	8	1	2	1	2	3	1	2	1	2	3	
S (Samples per Converter per Frame)	1	1	1	1	1	1	1	1	1	2	2	4	8	2	4	4	8	4	
NP (Total Number of Bits per Sample)	16	16	16	16	16	12	12	16	16	16	16	16	12	16	16	16	16	12	
N (Converter Resolution)	16	16	16	16	16	12	12	16	16	16	16	16	12	16	16	16	16	12	
K (Frames per Multiframe)	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	
HD (High Density User Data Format)	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

表 16. デュアルリンク JESD204B 動作モード

Parameter	Dual-Link JESD204B Modes												
	0	1	2	3	4	5	6	7	8	9	18	19	22
L (Lane Count)	1	2	3	2	4	1	2	1	4	4	4	4	4
M (Converter Count)	2	4	6	2	4	2	4	4	2	2	1	1	2
F (Octets per Frame per Lane)	4	4	4	2	2	3	3	8	1	2	1	2	3
S (Samples per Converter per Frame)	1	1	1	1	1	1	1	1	1	2	2	4	4
NP (Total Number of Bits per Sample)	16	16	16	16	16	12	12	16	16	16	16	16	12
N (Converter Resolution)	16	16	16	16	16	12	12	16	16	16	16	16	12
K (Frames per Multiframe)	32	32	32	32	32	32	32	32	32	32	32	32	32
HD (High Density User Data Format)	1	1	1	1	1	1	1	1	1	1	1	1	1

表 17. F = 1 の JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Mode and Parameters	Link Logical Lane	Frame 0, Octet 0	Frame 1, Octet 0
Mode 8 (L = 4, M = 2, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S1[15:8]
	Lane 1	M0S0[7:0]	M0S1[7:0]
	Lane 2	M1S0[15:8]	M1S1[15:8]
	Lane 3	M1S0[7:0]	M1S1[7:0]
Mode 10 (L = 8, M = 2, S = 2, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S2[15:8]
	Lane 1	M0S0[7:0]	M0S2[7:0]
	Lane 2	M0S1[15:8]	M0S3[15:8]
	Lane 3	M0S1[7:0]	M0S3[7:0]
	Lane 4	M1S0[15:8]	M1S2[15:8]
	Lane 5	M1S0[7:0]	M1S2[7:0]
	Lane 6	M1S1[15:8]	M1S3[15:8]
	Lane 7	M1S1[7:0]	M1S3[7:0]

JESD204B Mode and Parameters	Link Logical Lane	Frame 0, Octet 0	Frame 1, Octet 0
Mode 18 (L = 4, M = 1, S = 2, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S2[15:8]
	Lane 1	M0S0[7:0]	M0S2[7:0]
	Lane 2	M0S1[15:8]	M0S3[15:8]
	Lane 3	M0S1[7:0]	M0S3[7:0]
Mode 20 (L = 8, M = 1, S = 4, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S4[15:8]
	Lane 1	M0S0[7:0]	M0S4[7:0]
	Lane 2	M0S1[15:8]	M0S5[15:8]
	Lane 3	M0S1[7:0]	M0S5[7:0]
	Lane 4	M0S2[15:8]	M0S6[15:8]
	Lane 5	M0S2[7:0]	M0S6[7:0]
	Lane 6	M0S3[15:8]	M0S7[15:8]
	Lane 7	M0S3[7:0]	M0S7[7:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。

表 18. F = 2 の JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Mode and Parameters	Link Logical Lane	Frame 0		Frame 1	
		Octet 0	Octet 1	Octet 0	Octet 2
Mode 3 (L = 2, M = 2, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
	Lane 1	M1S0[15:8]	M1S0[7:0]	M1S1[15:8]	M1S1[7:0]
Mode 4 (L = 4, M = 4, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S1[15:8]	M0S1[7:0]
	Lane 1	M1S0[15:8]	M1S0[7:0]	M1S1[15:8]	M1S1[7:0]
	Lane 2	M2S0[15:8]	M2S0[7:0]	M2S1[15:8]	M2S1[7:0]
	Lane 3	M3S0[15:8]	M3S0[7:0]	M3S1[15:8]	M3S1[7:0]
Mode 9 (L = 4, M = 2, S = 2, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S2[15:8]	M0S2[7:0]
	Lane 1	M0S1[15:8]	M0S1[7:0]	M0S3[15:8]	M0S3[7:0]
	Lane 2	M1S0[15:8]	M1S0[7:0]	M1S2[15:8]	M1S2[7:0]
	Lane 3	M1S1[15:8]	M1S1[7:0]	M1S3[15:8]	M1S3[7:0]
Mode 11 (L = 8, M = 2, S = 4, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S4[15:8]	M0S4[7:0]
	Lane 1	M0S1[15:8]	M0S1[7:0]	M0S5[15:8]	M0S5[7:0]
	Lane 2	M0S2[15:8]	M0S2[7:0]	M0S6[15:8]	M0S6[7:0]
	Lane 3	M0S3[15:8]	M0S3[7:0]	M0S7[15:8]	M0S7[7:0]
	Lane 4	M1S0[15:8]	M1S0[7:0]	M1S4[15:8]	M1S4[7:0]
	Lane 5	M1S1[15:8]	M1S1[7:0]	M1S5[15:8]	M1S5[7:0]
	Lane 6	M1S2[15:8]	M1S2[7:0]	M1S6[15:8]	M1S6[7:0]
	Lane 7	M1S3[15:8]	M1S3[7:0]	M1S7[15:8]	M1S7[7:0]
Mode 19 (L = 4, M = 1, S = 4, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S4[15:8]	M0S4[7:0]
	Lane 1	M0S1[15:8]	M0S1[7:0]	M0S5[15:8]	M0S5[7:0]
	Lane 2	M0S2[15:8]	M0S2[7:0]	M0S6[15:8]	M0S6[7:0]
	Lane 3	M0S3[15:8]	M0S3[7:0]	M0S7[15:8]	M0S7[7:0]
Mode 21 (L = 8, M = 1, S = 8, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M0S8[15:8]	M0S8[7:0]
	Lane 1	M0S1[15:8]	M0S1[7:0]	M0S9[15:8]	M0S9[7:0]
	Lane 2	M0S2[15:8]	M0S2[7:0]	M0S10[15:8]	M0S10[7:0]
	Lane 3	M0S3[15:8]	M0S3[7:0]	M0S11[15:8]	M0S11[7:0]
	Lane 4	M0S4[15:8]	M0S4[7:0]	M0S12[15:8]	M0S12[7:0]
	Lane 5	M0S5[15:8]	M0S5[7:0]	M0S13[15:8]	M0S13[7:0]
	Lane 6	M0S6[15:8]	M0S6[7:0]	M0S14[15:8]	M0S14[7:0]
	Lane 7	M0S7[15:8]	M0S7[7:0]	M0S15[15:8]	M0S15[7:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。

表 19. F = 3 の JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Mode and Parameters	Link Logical Lane	Frame 0					
		Octet 0		Octet 1		Octet 2	
		Nibble 0	Nibble1	Nibble 0	Nibble1	Nibble 0	Nibble1
Mode 5 (L = 1, M = 2, S = 1, NP = 12, N = 12)	Lane 0	M0S0[11:8]	M0S0[7:4]	M0S0[3:0]	M1S0[11:8]	M1S0[7:4]	M1S0[3:0]
Mode 6 (L = 2, M = 4, S = 1, NP = 12, N = 12)	Lane 0	M0S0[11:8]	M0S0[7:4]	M0S0[3:0]	M1S0[11:8]	M1S0[7:4]	M1S0[3:0]
	Lane 1	M2S0[11:8]	M2S0[7:4]	M2S0[3:0]	M3S0[11:8]	M3S0[7:4]	M3S0[3:0]
Mode 22 (L = 4, M = 2, S = 4, NP = 12, N = 12)	Lane 0	M0S0[11:8]	M0S0[7:4]	M0S0[3:0]	M0S1[11:8]	M0S1[7:4]	M0S1[3:0]
	Lane 1	M0S2[11:8]	M0S2[7:4]	M0S2[3:0]	M0S3[11:8]	M0S3[7:4]	M0S3[3:0]
	Lane 2	M1S0[11:8]	M1S0[7:4]	M1S0[3:0]	M1S1[11:8]	M1S1[7:4]	M1S1[3:0]
	Lane 3	M1S2[11:8]	M1S2[7:4]	M1S2[3:0]	M1S3[11:8]	M1S3[7:4]	M1S3[3:0]
Mode 12 (L = 8, M = 2, S = 8, NP = 12, N = 12)	Lane 0	M0S0[11:8]	M0S0[7:4]	M0S0[3:0]	M0S1[11:8]	M0S1[7:4]	M0S1[3:0]
	Lane 1	M0S2[11:8]	M0S2[7:4]	M0S2[3:0]	M0S3[11:8]	M0S3[7:4]	M0S3[3:0]
	Lane 2	M0S4[11:8]	M0S4[7:4]	M0S4[3:0]	M0S5[11:8]	M0S5[7:4]	M0S5[3:0]
	Lane 3	M0S6[11:8]	M0S6[7:4]	M0S6[3:0]	M0S7[11:8]	M0S7[7:4]	M0S7[3:0]
	Lane 4	M1S0[11:8]	M1S0[7:4]	M1S0[3:0]	M1S1[11:8]	M1S1[7:4]	M1S1[3:0]
	Lane 5	M1S2[11:8]	M1S2[7:4]	M1S2[3:0]	M1S3[11:8]	M1S3[7:4]	M1S3[3:0]
	Lane 6	M1S4[11:8]	M1S4[7:4]	M1S4[3:0]	M1S5[11:8]	M1S5[7:4]	M1S5[3:0]
	Lane 7	M1S6[11:8]	M1S6[7:4]	M1S6[3:0]	M1S7[11:8]	M1S7[7:4]	M1S7[3:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。表 20. F = 4 の JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Mode and Parameters	Link Logical Lane	Frame 0				Frame 1			
		Octet 0	Octet 1	Octet 2	Octet 3	Octet 0	Octet 1	Octet 2	Octet 3
Mode 0 (L = 1, M = 2, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]
Mode 1 (L = 2, M = 4, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]
	Lane 1	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]	M2S1[15:8]	M2S1[7:0]	M3S1[15:8]	M3S1[7:0]
Mode 2 (L = 3, M = 6, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M0S1[15:8]	M0S1[7:0]	M1S1[15:8]	M1S1[7:0]
	Lane 1	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]	M2S1[15:8]	M2S1[7:0]	M3S1[15:8]	M3S1[7:0]
	Lane 2	M4S0[15:8]	M4S0[7:0]	M5S0[15:8]	M5S0[7:0]	M4S1[15:8]	M4S1[7:0]	M5S1[15:8]	M5S1[7:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。表 21. F = 8 の JESD204B 動作モードにおけるレーンごとのデータ構造¹

JESD204B Mode and Parameters	Link Logical Lane	Frame 0							
		Octet 0	Octet 1	Octet 2	Octet 3	Octet 4	Octet 5	Octet 6	Octet 7
Mode 7 (L = 1, M = 4, S = 1, NP = 16, N = 16)	Lane 0	M0S0[15:8]	M0S0[7:0]	M1S0[15:8]	M1S0[7:0]	M2S0[15:8]	M2S0[7:0]	M3S0[15:8]	M3S0[7:0]

¹ Mx はコンバータ番号、Sy はサンプル番号。例えば、M0S0 はコンバータ 0、サンプル 0 を意味します。

物理層

JESD204B インターフェースの物理層（これ以降「デシリアライザ」と呼びます）には、8 個の同じチャンネルがあります。各チャンネルは、終端、イコライザ、クロック & データ再生（CDR）回路、および 1:40 のデマルチプレクス機能で構成されています（図 53 を参照）。

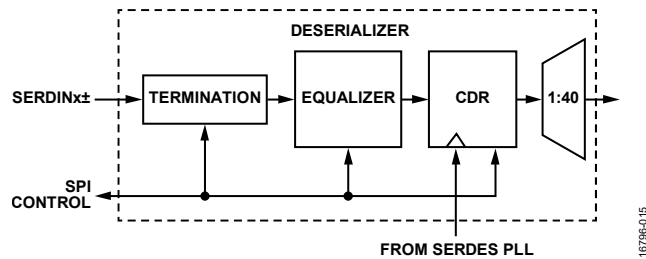


図 53. デシリアライザのブロック図

JESD204B データは SERDINx± 差動入力ピンを介した AD9176 への入力で、JESD204B 仕様に準拠しています。

インターフェースの起動と入力の終端

JESD204B インターフェースを使用するには、レジスタ 0x200 のビット 0 を 0 に設定することによって、まずインターフェースを起動する必要があります。更に、それぞれの各物理レーン（PHY）で使用していないものがあれば（SERDINx±）、それを停止する必要があります。これを行うには、物理レーン x を使用している場合はそのレーンに対応するレジスタ 0x201 のビット x を 0 に設定し、使用していない場合は 1 に設定します。

AD9176 は、入力終端を DC で 100Ω に自動キャリブレーションします。このキャリブレーション・ルーチンは、JESD204B インターフェース・ブロックを構成した時点で自動的に実行されます。追加的な SPI レジスタへの書き込みは一切必要ありません。

レシーバー・アイ・マスク

AD9176 はレシーバー・アイ・マスクに関する JESD204B 仕様に準拠しており、図 54 に示すマスクに適合するデータをキャプチャすることができます。データ・レート間隔に合わせて正規化したレシーバー・アイを図 54 に示します。また、イコライゼーションのセクションに示すように、AD9176 では挿入損失限度も拡大されています。

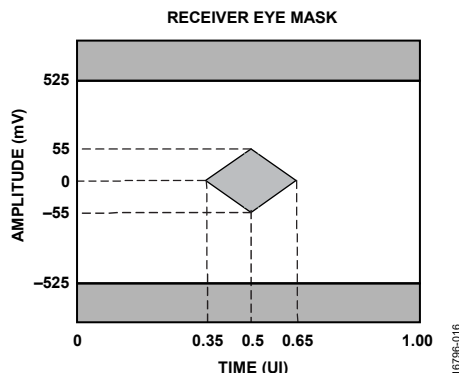


図 54. レシーバー・アイ・マスク

クロック間の関係

残りの JESD204B 部分では以下のクロック・レートが使われています。これらのクロック間の関係は、次式で求めることができます。

$$\text{データ・レート} = \text{DAC レート} / \text{合計インターポレーション}$$

$$\text{レーン・レート} = (M/L) \times NP \times (10/8) \times \text{データ・レート}$$

$$\text{バイト・レート} = \text{レーン・レート} / 10$$

この関係は 8 ビット/10 ビット・エンコーディングから来たもので、各バイトは 10 ビットで表されます。

$$\text{PCLK レート} = \text{バイト・レート} / 4 = \text{レーン・レート} / 40$$

処理クロックは 4 バイト・デコーダに使われます。

$$\text{フレーム・レート} = \text{バイト・レート} / F$$

ここで、F は 1 レーンにおけるフレームあたりのオクテット数として定義されます。

$$\text{PCLK 係数} = \text{フレーム・レート} / \text{PCLK レート} = 4/F$$

ここで、

M はリンクあたりのコンバータについての JESD204B パラメータで、JESD204B インターフェースによって認識される有効なコンバータ数です（必ずしも DAC コア数と等しくはない）。L はリンクごとのレーン数を表す JESD204B パラメータ、F は 1 レーンのフレームあたりオクテット数を表す JESD204B パラメータ、NP は、サンプルあたりの合計ビット数を表す JESD204B パラメータです。

SERDES PLL

SERDES PLL の機能概要

個々の SERDES PLL は、インテジャー N 法を使ってクロックを合成します。SERDES PLL は、VCO とループ・フィルタを含めてその全体がチップに組み込まれています。ギャップのない広範なデータ・レート（3Gbps～15.4Gbps）を実現するために、SERDES PLL では直交クロックを提供することができます。これらのクロックは CDR ブロックへの入力です。CDR ブロックについての説明は、クロック & データ再生のセクションに示します。

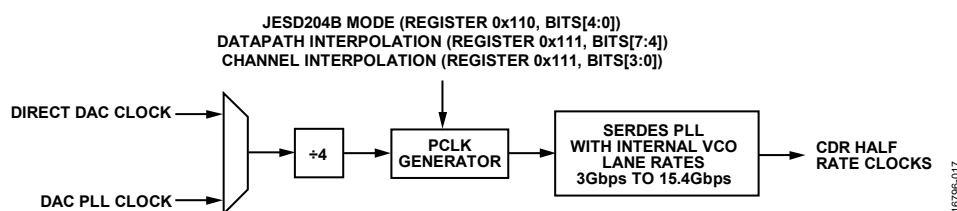


図 55. VCO 分周器ブロックを含む SERDES PLL シンセサイザのブロック図

SERDES PLL へのリファレンス・クロックは、常に周波数 f_{REF} で動作します。この周波数はレーン・レート (PCLK レート) の $1/40$ です。SERDES 回路のセットアップと関係するレジスタの書き込みの詳細については、スタートアップ・シーケンスのセクションを参照してください。SERDES PLL ブロックは、使用する SERDES のモードに合わせてレーン・レートに合った適切な分周範囲に自動的に調整します。このブロックは、図 55 に示すように、DAC PLL (使用している場合) または $CLKIN_{\pm}$ ピンからの直接クロックによって生成された DAC クロックを使い、DAC クロック周波数を 4 で割って、更にレジスタ 0x110 とレジスタ 0x111 で設定されたモードとインターポレーション値に対応する JESD204B パラメータを使用し、PCLK 周波数 (レーン・レート $\div 40$) の生成に適した分周器を決定します。

レジスタ 0x281 を読み出すことによって、SERDES PLL が機能していることを確認してください。レジスタ 0x281 のビット 0 が 1 の場合、SERDES PLL はロック状態になります。

クロック & データ再生

デシリアライザには CDR 回路が組み込まれています。CDR は、JESD204B シリアル・レーンからのクロックを再生するのではなく、SERDES PLL からのクロックを再生します。更には、SERDES PLL もそのリファレンスとして PCLK を使用します。この場合、PCLK は DAC クロックから供給されます。したがって、JESD204B トランスミッタ・クロックを AD9176 のデバイス・クロックにロックすることが重要です。

CDR 回路は、各シリアル・レーン上のデータをサンプリングするために使用する位相を個別に同期します。このシリアル・インターフェースごとの個別位相調整によって正確なデータ・サンプリングが実行され、PCB 上で複数のシリアル・インターフェースを容易に実装できるようになります。

未使用 PHY の停止

イネーブルされたまま使用していない物理レーンは、不要な電力を消費します。使用しないレーン (SERDIN $\pm$) は、PHY_PD (レジスタ 0x201) の対応ビットに 1 を書き込むことによって、パワー・オフする必要があります。

イコライゼーション

PCB のパターン長とインピーダンスによる各 PHY チャンネルの信号の完全性の歪みを補償するために、AD9176 では各 JESD204B チャンネルに、使いやすい低消費電力のイコライザを採用しています。15.4Gbps の最大レーン・レートで動作する AD9176 のイコライザは、最大 16dB の挿入損失を補償することができます。

AD9176 の最大ボー・レートに近い 15.4Gbps におけるこのイコライザの性能を図 56 に示します。チャンネルも、JESD204B 仕様の挿入損失誤差 (スペクトラル・リップルとしても知られている) に関する要求 (50MHz からボー・レートの 0.75 倍までの範囲で 1.5dB 未満) を満たしている必要があります。

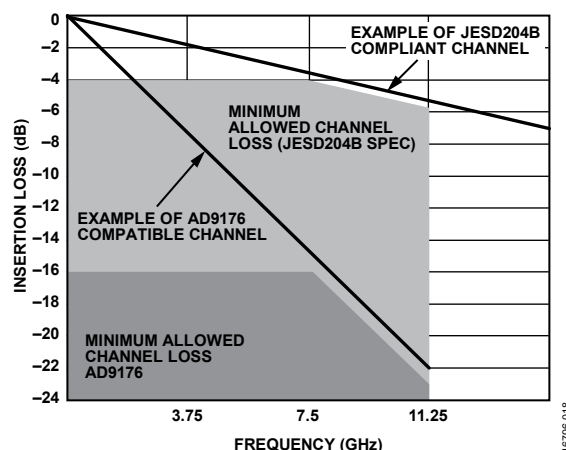


図 56. 許容される挿入損失

AD9176 にシステム内の挿入損失量を補償させるには、イコライザ・ブロックを適切に設定する必要があります。システム内の挿入損失のレベルに応じたイコライザの昇圧、イコライザのゲイン、および帰還制御の設定を表 22 に示します。イコライザの昇圧設定は、使用する各 PHY レーン (それぞれ 2 ビット制御) に対してレジスタ 0x240 とレジスタ 0x241 で設定されます。同様に、イコライザのゲイン設定は、使用する各 PHY レーン (それぞれ 2 ビット制御) に対してレジスタ 0x242 とレジスタ 0x243 で設定されます。帰還制御は、レジスタ 0x244 ~ レジスタ 0x24B で PHY レーン (それぞれ 5 ビット制御、レジスタごとに 1 つを制御) ごとに設定されます。

表 22. PHY 制御ごとのイコライザ・レジスタ制御設定

Insertion Loss	≤ 11 dB	> 11 dB
Equalizer Boost	0x02	0x03
Equalizer Gain	0x01	0x03
Feedback	0x1F	0x1F

図 57 と図 58 はハードウェア設計者の基準点として示したもので、それぞれ適切にレイアウトされた様々な長さのストリップラインとマイクロストリップ伝送ラインの挿入損失が示されています。JESD204B チャンネルの具体的な推奨レイアウトについては、ハードウェアに関する考慮事項のセクションを参照してください。

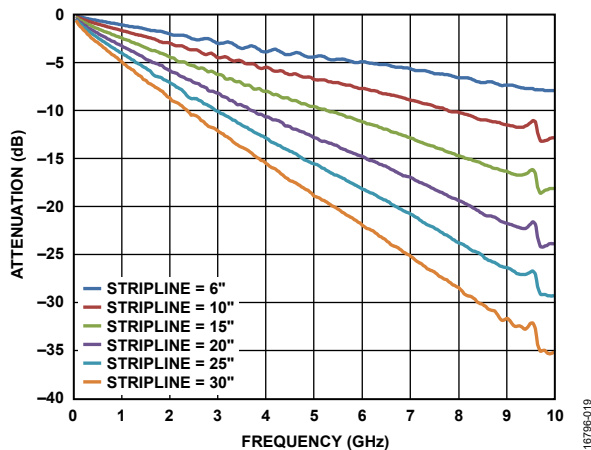


図 57. FR4 の 50Ω ストリップラインの挿入損失

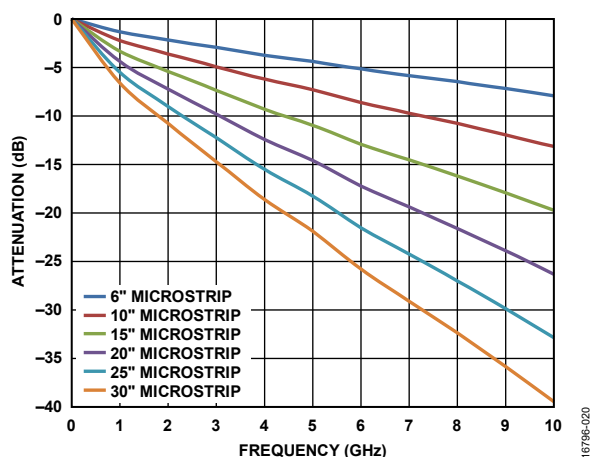


図 58. FR4 の 50Ω マイクロストリップの挿入損失

データ・リンク層

AD9176 の JESD204B インターフェースのデータ・リンク層は、シリアル化が解除されたデータを PHY から受け入れてこのデータのフレーミングとスクランプリングを解除し、トランスポート層にデータ・オクテットを提供して DAC コアの前段で元のデータ・サンプルに再結合します。データ・リンク層のアーキテクチャを図 59 に示します。データ・リンク層は、各レーンの同期 FIFO、クロスバー・スイッチ、デフレイマ、デスクランブラで構成されています。

AD9176 は、シングルリンクまたはデュアルリンクの高速 JESD204B シリアル・データ・インターフェースからデータを受信するようにセットアップすることができます。デュアルリンク・モードで動作しているとき、2つの独立した JESD204B リンクがあって、それぞれ最大 4 個のレーンを占有しているように見せるため、データ・リンク層はインターフェースを抽象化しています。どちらのモードでも、JESD204B インターフェースの 8 個のレーンは、すべてコード・グループ同期 (CGS)、フレーム・アライメント、フレーム同期などのリンク層通信を扱います。

AD9176 は 8 ビット/10 ビットの制御文字をデコードして、フレーム・エッジをマーキングし、シリアル・レーン間のアライメントを維持しやすくします。それぞれの AD9176 シリアル・インターフェースのリンクは、その SYNCOUTx± 信号をローに設定することによって同期要求を送出することができます。同期プロトコルは、JESD204B 規格のセクション 4.9 に従っています。4 個の連続した K/シンボルのストリームが受信されると、AD9176 は、内部 LMFC の次の立上がりエッジで SYNCOUTx± 信号をハイに設定することによって、同期要求を無効にします。次に、AD9176 はトランスミッタが初期レーン・アライメント・シーケンス (ILAS) を発行するのを待ちます。ILAS 内では、JESD204B シリアル・リンク確立のセクションに示すように、/A/から/R/への文字遷移を使ってすべてのレーンがアラインされます。エラスティック・バッファは、早期に到着したレーン・データを、最新レーンのアライメント文字が到着するまで保持します。この時点ですべてのレーンのバッファが解放されて、すべてのレーンがアラインされます (図 60 を参照)。

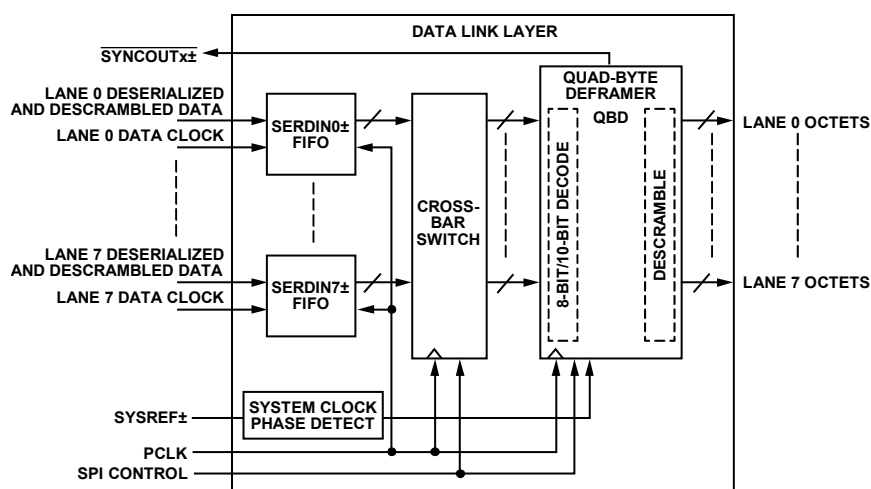


図 59. データ・リンク層のブロック図

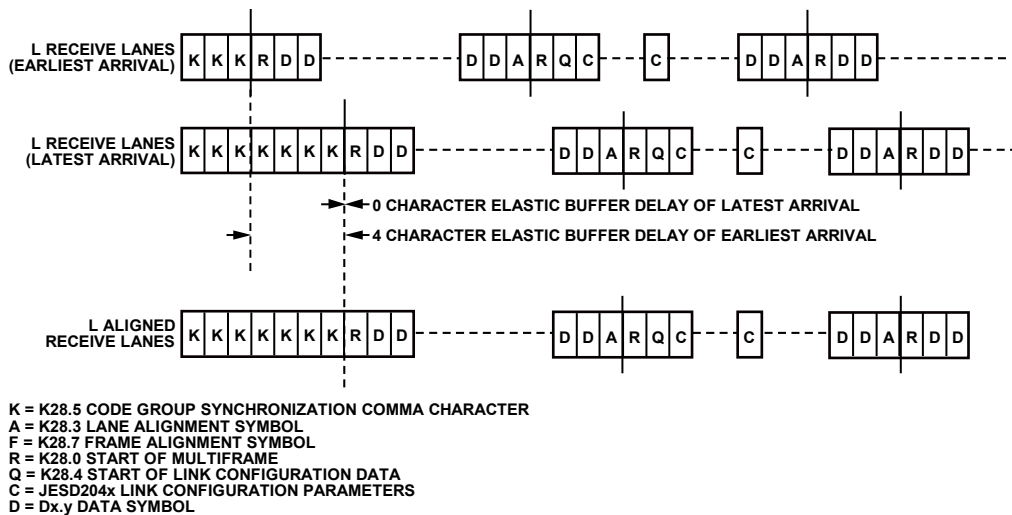


図 60. ILAS でのレーン・アライメント

16796-022

JESD204B シリアル・リンクの確立

サブクラス 1 の高速シリアル・リンク確立プロセスの概要を示します。詳細については JESD204B 仕様文書のセクション 5.3.3 を参照してください。

ステップ 1 - コード・グループの同期

各レシーバーは、入力データ・ストリーム内にある /K/ (K28.5) 文字を特定する必要があります。レシーバー・ブロックは、すべてのリンク・レーン上で 4 個の連続した /K/ 文字を検出すると、レシーバーの LMFC エッジでトランスミッタ・ブロックへの SYNCOUTx±信号のアサートを解除します。

トランスミッタは SYNCOUTx±信号の変化をキャプチャして、その後の LMFC 立上がりエッジで ILAS を開始します。

ステップ 2 - 初期レーン・アライメント・シーケンス

このフェーズの主な目的は、リンクのすべてのレーンをアラインすることと、リンクのパラメータを検証することです。

リンクが確立される前に、それぞれのリンク・パラメータをレシーバー・デバイスに書き込んで、データをレシーバー・ブロックに送る方法を指定します。

ILAS は 4 個以上のマルチフレームで構成されています。各マルチフレームの最後の文字は、マルチフレーム・アライメント文字 /A/ です。最初と 3 番目、および 4 番目のマルチフレームには、予め決められたデータ値が格納されています。JESD204B 仕様文書のセクション 8.2 には、ILAS の予想データ・ランプが示されています。デフレーマは各レーンの最後の /A/ を使用して、レシーバー内のマルチフレームの最後をアラインします。2 番目のマルチフレームには、/R/ (K.28.0)、/Q/ (K.28.4)、およびリンク・パラメータに対応するデータがこの順番で含まれています。レシーバーが必要とする場合、ILAS には更にマルチフレームを追加することができます。デフォルトでは、AD9176 は ILAS 内で 4 個のマルチフレームを使用します（これはレジスタ 0x478 で変更できます）。サブクラス 1 を使用する場合は、使用するマルチフレームの数を正確に 4 個とする必要があります。

最後の ILAS の最後の /A/ 文字の後に、マルチフレーム・データのストリーミングが開始されます。レシーバーは、この時点でレシーバーの内部 LMFC とアラインできるように、/A/ 文字の位置を調整します。

ステップ 3 - データ・ストリーミング

このフェーズで、トランスミッタ・ブロックからレシーバー・ブロックへデータが送られます。

データは、オプションでスクランプリングすることができます。スクランプリングは、ILAS に続く最初のオクテットまで開始されません。

レシーバー・ブロックは受信したデータを処理し、以下を含むエラーの有無をモニタします。

- ランニング・ディスパリティ異常 (8 ビット/10 ビット・エラー)
- テーブル上未定義 (8 ビット/10 ビット・エラー)
- 予期しない制御文字
- ILAS 異常
- レーン間スキュー・エラー (文字置換による)

これらのエラーが存在する場合は、以下のいずれかの方法でトランスミッタにレポートされます (JESD204B のエラー・モニタリングのセクションを参照)。

- SYNCOUTx± 信号のアサート：最後の 2 個のエラーのそれぞれにおいて再同期 (SYNCOUTx±信号をローにする) が要求されます。最初の 3 つのエラーについては、エラー・カウンタが設定エラー閾値に達した時点で、オプションの再同期要求をアサートすることができます。
- 最初の 3 つのエラーについては、マルチフレーム内にエラーがある場合、そのマルチフレームごとにそれぞれの SYNCOUTx±ピンに小さいパルスが発生します。
- エラー発生時は、オプションで割り込み要求 (IRQ) イベントをトリガして、トランスミッタに送ることができます。

リンクの完全性を検証するための様々なテスト方法については、JESD204B テスト・モードのセクションを参照してください。

レーン FIFO

クロスバー・スイッチとデフレーマの前にある FIFO は、受け取ったデータの位相を調整することによって、高速シリアル・データ・インターフェースで送るサンプルをデフレーマ・クロックと同期します。FIFO はデータ・ソースとデフレーマとの間のタイミング変動を吸収します。このため、トランスミッタからのドリフトを最大 2PCLK サイクルまで許容することができます。FIFO_STATUS_REG_0 レジスタと FIFO_STATUS_REG_1 レジスタ（それぞれレジスタ 0x30C とレジスタ 0x30D）をモニタすれば、FIFO がフルかエンプティかを識別できます。

レーン FIFO IRQ

総合レーン FIFO エラー・ビットも IRQ イベントとして使用できます。レジスタ 0x020 のビット 2 を使ってレーン FIFO エラー・ビットをイネーブルしてから、レジスタ 0x024 のビット 2 を使ってそのステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

クロスバー・スイッチ

レジスタ 0x308～レジスタ 0x30B を使用すれば、物理レーン（SERDINx±）から、SERDES デフレーマが使用する論理レーンへ任意にマッピングを行うことができます。

表 23. クロスバー・レジスタ

Address	Bits	Logical Lane
0x308	[2:0]	SRC_LANE0
0x308	[5:3]	SRC_LANE1
0x309	[2:0]	SRC_LANE2
0x309	[5:3]	SRC_LANE3
0x30A	[2:0]	SRC_LANE4
0x30A	[5:3]	SRC_LANE5
0x30B	[2:0]	SRC_LANE6
0x30B	[5:3]	SRC_LANE7

それぞれの SRC_LANEy に、データを取得する物理レーン（SERDINx±）の番号（x）を書き込んでください。デフォルトでは、すべての論理レーンが、同じ番号の物理レーンをそのデータ・ソースとして使用します。例えば、デフォルトでは SRC_LANE0 = 0 になります。したがって、論理レーン 0 は物理レーン 0（SERDIN0±）からデータを取得します。デフォルトに代えて SERDIN4±を論理レーン 0 のソースとして使用するには、SRC_LANE0 = 4 と書き込む必要があります。

レーンの反転

レジスタ 0x334 を使用すると希望の論理レーンを反転させることができ、これによって SERDINx±信号のルーティングを容易にすることができます。反転を行うには、それぞれの論理レーン x について、レジスタ 0x334 のビット x を 1 に設定します。

デフレーマ

AD9176 は、レジスタ 0x300 ビット 2 の LINK_PAGE 制御によってページングされる 2 個の 4 バイト・デフレーマ（QBD）で構成されています。デフレーマは、（クロスバー・スイッチ経由で）デシリアライザから 8 ビット／10 ビット・エンコードされたデータを受け取ってデコードし、更にスクランブルを解除して JESD204B フレームにしてから、トランスポート層へ渡して DAC サンプルに変換します。デフレーマは、処理クロック（PCLK）1 サイクルごとに 4 個のシンボル（またはオクテット）を処理します。

デフレーマは、レジスタ・マップ内に設定されたデータのバック方法を指定する JESD204B パラメータを使用して、そのバックを解除します。JESD204B のパラメータは、トランスポート層のセクションで詳しく説明します。また、JESD204B フレームをサンプルに変換するために、トランスポート層では多くのパラメータが必要です。

デスクランブラ

AD9176 には、以下の多項式による自己同期スクランブラを使用するオプションのデスクランブラ・ブロックがあります。

$$1 + x^{14} + x^{15}$$

データ・スクランブリングを有効にすると、フレーム間で同じデータ・オクテットが繰り返されるときに発生するスペクトル・ピークが小さくなります。また、スペクトル・データが他の影響を受けなくなるので、電氣的インターフェースへの周波数選択性の影響によるデータ依存エラーが発生しなくなります。データのスクランブリング解除は、SCR ビット（レジスタ 0x453 のビット 7）を 1 に設定することによって有効になります。

LMFC 信号同期

AD9176 では、SERDES リンクをオンラインにする前に、LMFC とその他の内部クロックをアラインするために同期（sync）を行う必要があります。同期はワンショット同期で、レジスタ 0x03A のビット 1 での SYSREF_MODE_ONESHOT 制御のアサートに続くアライメント信号の次のエッジで、同期プロセスが開始されます。

サブクラス 1 では、SYSREF±の立上がりエッジがアライメント・エッジとして機能します。サブクラス 0 では、内部処理クロックがアライメント・エッジとして機能します。同期が完了すると SYNC_ROTATION_DONE（レジスタ 0x03A のビット 4）ビットがアサートされて、別の同期が要求されるまでアサートされたままになります。

同期後は JESD204B リンクを有効にできます。サブクラス 1 における JESD204B システムの遅延は確定的なものであり、必要な場合は複数のデバイスを同期することができます。

SYSREF±信号

SYSREF±信号は差動ソース同期入力であり、JESD204B サブクラス 1 システム内のトランスミッタとレシーバー両方の LMFC 信号を同期して、遅延を確定的なものにします。

SYSREF±信号は立上がりエッジ検出信号で、デバイス・クロックの立上がりエッジでサンプリングされます。最良の方法は、HMC7044 クロック・ジェネレータのような同一ソースからデバイス・クロックと SYSREF±信号を生成して、信号間の位相アライメントが固定されるようにすることです。最適な確定的遅延動作を設計するときは、マルチポイント・リンク・システム（マルチチップ）内での SYSREF±信号のタイミング分配スキューを考慮してください。

AD9176 は周期的 SYSREF±信号をサポートしています。周期は連続型、ストローブ型、またはギャップ型とすることができます。SYSREF±信号は、0.6V～2.2V のコモンモード電圧および 200mVp-p～1Vp-p の差動スイングと DC カップリングできます。DC カップリングすると、少量のコモンモード電流（最大 0.3mA）が SYSREF±ピンから流れ出します。DC カップリング構成と AC カップリング構成の SYSREF±内部回路については、図 61 と図 62 を参照してください。SYSREF±レシーバー・ピンの過負荷を防止するために、SYSREF_INPUTMODE ビット（レジスタ 0x084 のビット 6）は 1（DC カップリング）にしてください。

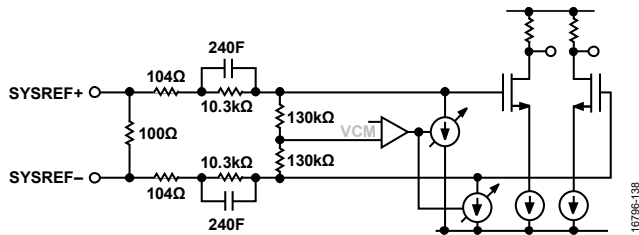


図 61. DC カップリングした SYSREF±レシーバー回路

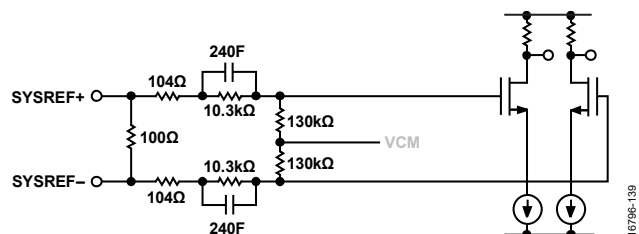


図 62. AC カップリングした SYSREF±レシーバー回路

コモンモード電流の流出を避けるために、SYSREF±レシーバーは、50%デューティ・サイクルの周期的 SYSREF±信号と AC カップリング・コンデンサを使って、AC カップリングすることができます。AC カップリングする場合は、図 62 に示す AC カップリング・コンデンサと抵抗の組み合わせが、RC 時定数 $\tau = RC$ のハイパス・フィルタを構成します。C は、 $\tau > (4/\text{SYSREF±周波数})$ となるように選択してください。更にエッジ・レートは、SYSREF±サンプリング・クロックが次のサンプル・クロックの前に SYSREF±の立上がりエッジを正しくサンプリングできるように、十分に速い値でなければなりません。

SYSREF±入力を AC カップリングするときは、SYSREF_INPUTMODE ビット（レジスタ 0x084、ビット 6）を 0（AC カップリング）に設定して、内部レシーバー・バイアス回路をイネーブルすると共に、SYSREF±レシーバー・ピンが過負荷にならないようにしてください。AC カップリングをすると、SYSREF±ピンに 200mV～1V の差動電圧スイングを使用することができます。

SYSREF±サンプリング

SYSREF±信号は、4 分周された DAC クロックによってサンプリングされます。したがって、正確なサンプリングを行うには、SYSREF±信号の最小パルス幅が DAC クロック 4 周期分よりも広くなければなりません。SYSREF±と DAC クロック入力信号間の遅延では、タイミングに関する制約は不要で、サブクラス 1 における確定的遅延の変動量は、温度または電源レベルが変動しない限り ± 1 DAC クロック・サイクル以内のままです。

しかしながら、DAC クロック・パスには、温度と電源に依存する遅延が存在します。電源と温度の両方がデバイスの全動作範囲にわたって変動したとき、この遅延変動量は前同期サイクルから最大 250ps に達します。この変動量は、12GHz で合計 ± 4 DAC クロック・サイクル、6GHz で合計 ± 2.5 DAC クロック・サイクルになる可能性があります。この変動量は、別の SYSREF エッジに再同期することによって補正可能で、温度や電源の変動が検出されれば、確定的遅延を ± 1 DAC クロック・サイクル以内に戻すことができます。

デフォルトでは、SYSREF_MODE_ONESHOT ビット（レジスタ 0x03A のビット 1）をアサートした後に検出された SYSREF±入力の最初の SYSREF±立上がりエッジで、内部 LMFC 信号とサンプリングされた SYSREF±エッジの同期とアライメントが開始されます。

レジスタ 0x036（SYSREF_COUNT）は、SYSREF_MODE_ONESHOT ビットがアサートされてから同期が開始されるまでの間に、何個の SYSREF±エッジがキャプチャされて無視されるかを示します。例えば SYSREF_COUNT を 3 に設定した場合、AD9176 は、SYSREF_MODE_ONESHOT ビットがアサートされてから 4 個めの SYSREF±エッジが受信されるまでの間、同期を行いません。

SYSREF±ジッタ IRQ

サブクラス 1 では、ワンショット同期が行われた後、その後の SYSREF±エッジと LMFC クロックとのずれが目標量を超えないように SYSREF±信号をモニタします

レジスタ 0x039（SYSREF_ERR_WINDOW）は、許容されるエラー・ウィンドウのサイズを DAC クロック単位で示します。SYSREF±エッジと内部 LMFC クロックとのずれが SYSREF_ERR_WINDOW に設定された DAC クロック単位を超えると、IRQ_SYSREF_JITTER がアサートされます。

表 24. SYSREF±ジッタ・ウィンドウ許容値

SYSREF± Jitter Window Tolerance (DAC Clock Cycles)	SYSREF_ERR_WINDOW (Register 0x039, Bits[5:0]) ¹
$\pm 1/2$	0x00
± 4	0x04
± 8	0x08
± 12	0x0C
± 16	0x10
± 20	0x14
± 24	0x18
± 28	0x1C

¹ SYSREF±信号は DAC クロックを 4 分周した周波数でサンプリングされるので、下位 2 桁は無視されます。結果として、ジッタ・ウィンドウは、DAC クロックではなくこの 4 分周クロックによって設定されます。SYSREF±ジッタ・ウィンドウは、少なくとも DAC クロック 4 周期分とすることを推奨します。

IRQ_SYSREF_JITTER は割込み要求動作のセクションに示すように構成して、SYSREF±信号に変動が生じたことを示し、再同期を行うための SPI シーケンスを要求するようにできます。

同期手順

同期を有効にする手順は次のとおりです。

1. DAC と SERDES PLL をセットアップして CDR をイネーブルします（スタートアップ・シーケンスのセクションを参照）。
2. レジスタ 0x03B を 0xF1 に設定して同期回路をイネーブルします。ソフト・オン/オフ機能を使用するときは、レジスタ 0x03B～レジスタ 0xF3 をセットして、同期前後のデータパス・データをランプさせます。
3. サブクラス 1 の場合、SYSREF±は以下のように設定します。
 - a. レジスタ 0x039 (SYSREF±ジッタ・ウィンドウ) を設定します。設定については表 24 を参照してください。
 - b. レジスタ 0x036 = SYSREF_COUNT に設定します。バイパスする場合は設定値を 0 のままにしてください。
4. ワンショット同期を行います。
 - a. レジスタ 0x03A = 0x00 に設定します。ワンショット・モードが既に有効になっている場合はクリアします。
 - b. レジスタ 0x03A = 0x02 に設定します。ワンショット・モードを有効にします。
5. サブクラス 1 の場合は SYSREF±エッジを送信します。パルス数をカウントする場合は、複数の SYSREF±エッジが必要です。SYSREF±エッジを送信すると、同期がトリガされます。
6. SYNC_ROTATION_DONE ビット (レジスタ 0x03A、ビット 4) をリードバックして、ローテーションが発生していることを確認します。

LMFC 信号の再同期

必要な場合は、同期手順のセクションに示すステップ 2～ステップ 6 を繰り返すことによって再同期を行い、LMFC クロックをリファレンス信号にアラインし直すことができます。ワンショット同期を作動状態にすると (レジスタ 0x03A に 0x02 を書き込み)、SYNCOU Tx±信号がアサートで JESD204B リンクを削除し、ローテーションの完了後に再度アサートします。

確定的遅延

JESD204B システムには、様々なクロック領域が分散して組み込まれています。1 つのクロック領域から別のクロック領域へデ

ータが渡されると、JESD204B リンクに複数の原因による遅延が生じる可能性があります。これらの不確実性は、電源を入れ直すごとに再現性のない不規則な遅延をリンクに発生させる元になります。JESD204B 仕様のセクション 6 は、サブクラス 1 およびサブクラス 2 として定義されているメカニズムに伴う確定的遅延の問題を扱っています。

AD9176 は、JESD204B サブクラス 0 とサブクラス 1 の動作をサポートしていますが、サブクラス 2 はサポートしていません。サブクラスは、レジスタ 0x458 のビット [7:5] に書き込んでください。

サブクラス 0

サブクラス 0 モードでは、複数 PCLK サイクル内に確定的遅延が発生します。この場合 SYSREF±ピンに信号は不要で、未接続のままにすることができます。

サブクラス 0 ではすべてのレーンのデータが同じ LMFC サイクル内に届くことが一層求められ、2 つの DAC を互いに同期させる必要があります。

サブクラス 1

サブクラス 1 モードでは確定的遅延が発生します。また、電源と温度の両方の安定性が維持されて、デバイスの全動作範囲にわたって 250ps の変動量に加わった状態であれば、リンクは±1 DAC クロック周期以内に同期することができます。この遅延では、DAC クロックに対して正確に位相がアラインした、外部の低ジッタの SYSREF±信号が必要です。

確定的遅延に関する条件

JESD204B サブクラス 1 システムで確定的遅延を実現するにあたっては、以下に示すようにいくつかの重要な要素が必要になります。

- システム内での SYSREF±信号の分配スキューは、求められる不確実性より小さくしなければなりません。
- すべてのレーン、リンク、およびデバイスに関わる合計遅延変動は 12PCLK 周期以下でなければなりません。これには可変遅延と、システム内のレーンごと、リンクごと、およびデバイスごとの固定遅延の変動の両方を含みます。

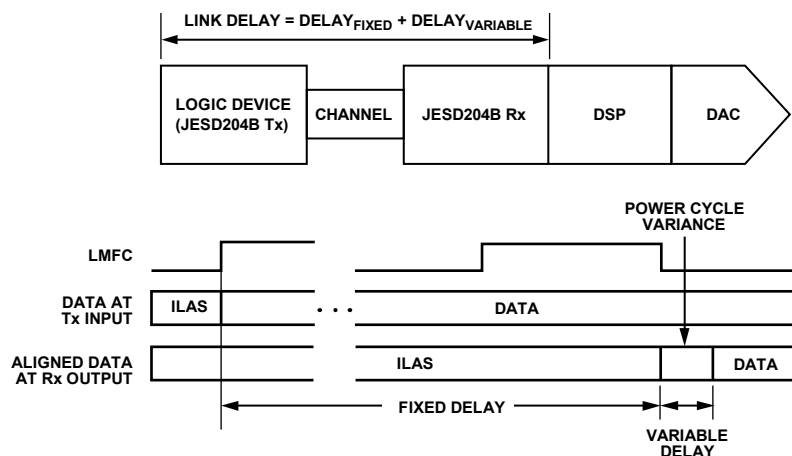


図 63. JESD204B のリンク遅延 = 固定遅延+可変遅延

リンク遅延

JESD204B システムのリンク遅延は、図 63 に示すようにトランスミッタ、チャンネル、およびレシーバーの固定遅延と可変遅延の合計です。

正しく機能させるには、同じ LMFC 周期内にリンク上のすべてのレーンを正しく読み出す必要があります。JESD204B 仕様のセクション 6.1 には、LMFC 周期は最大リンク遅延より大きくなければならないと定められています。これは AD9176 には必ずしもあてはまりません。その代わりに、AD9176 は各リンクにローカル LMFC (LMFC_{Rx}) を使用しており、これは SYSREF±によってアラインされた LMFC からの遅延が許容されます。LMFC は周期的なので、この遅延には任意の量の固定遅延を含めることができます。結果として、LMFC 周期に関して求められるのはリンク遅延の変動よりも大きくしなければならないということだけで、AD9176 は、より小さい合計遅延で必要な性能を実現することができます。リンク遅延が LMFC の周期より大きい場合の例を図 64 と図 65 に示します。このリンク遅延は、LMFC_{Rx}を遅延させることによって対応できます。

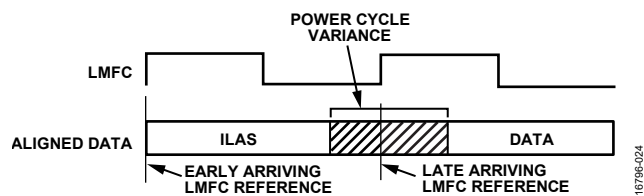


図 64. リンク遅延が LMFC 周期より大きい例

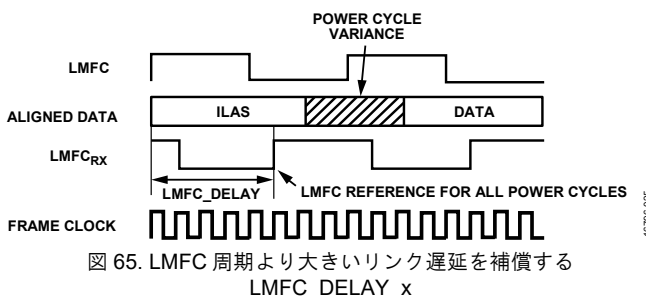


図 65. LMFC 周期より大きいリンク遅延を補償する LMFC_DELAY_x

LMFCDel 変数 (レジスタ 0x304) と LMFCVar 変数 (レジスタ 0x306) を選択する方法を、遅延情報が既知の場合のリンク遅延セットアップ例のセクションと遅延情報が未知の場合のリンク遅延セットアップ例のセクションに示します。LMFCDel の設定は、その時のモードにおける LMFC 1 周期あたりの PCLK サイクル数以上にならないようにする必要があります。同様に、LMFCVar は、その時のモードにおける LMFC 1 周期あたりの PCLK サイクルの数を超えないようにするか、12 未満に設定する必要があります (どちらか小さいほう)。

LMFCDel を適切に設定すれば、対応するすべてのデータ・サンプルが同じ LMFC 周期内に届くようにすることができます。その場合は LMFCVar が受信バッファ遅延 (RBD) に書き込まれて、リンク遅延の変動が吸収されます。これにより、読出し前にすべてのデータ・サンプルが到着するようにすることができます。実行やデバイスの違いによらずこれらを固定値に設定することによって、確定的遅延が実現されます。

JESD204B 仕様に規定される RBD は 1 フレーム・クロック・サイクルから /K/ フレーム・クロック・サイクルまでの値をとり、

AD9176 の RBD は 0PCLK サイクルから 12PCLK サイクルまでの値をとります。結果として、最大 12PCLK サイクルの合計遅延変動を吸収することができます。LMFCVar と LMFCDel の単位は共に PCLK サイクル数です。PCLK 係数、つまり PCLK サイクルあたりのフレーム・クロック・サイクル数は 4/f です。この関係の詳細については、クロック間の関係のセクションを参照してください。

以下に示す 2 つの例で、LMFCVar と LMFCDel を決定する方法を示します。これらの変数を計算した後は、システム内のすべてのデバイスについて、LMFCDel をレジスタ 0x304 へ、LMFCVar をレジスタ 0x306 へ書き込みます。

遅延情報が既知の場合のセットアップ例

システムの既知の遅延すべてを使って LMFCVar と LMFCDel を計算することができます。

図 66 に示す例を以下に説明します。この例は確定的遅延を実現するサブクラス 1 のもので、例は F = 2 の場合です。したがって、1 マルチフレームあたりの PCLK サイクル数は 16 です。PCBFixed は PCLK 周期よりはるかに小さいので、この例では PCBFixed を無視することができます。したがって、この計算には含まれていません。

- レシーバーの遅延値を表 6 から求めます。
 $RxFixed = 13PCLK \text{ サイクル}$
 $RxVar = 2PCLK \text{ サイクル}$
 - トランスミッタの遅延を求めます。JESD204B コア (Virtex-6 FPGA 上の GTH または GTX ギガビット・トランシーバー上に実装) の例における等価なテーブルには、遅延は 56 ± 2 バイト・クロック・サイクルと規定されています。
 - クロック間の関係のセクションに示したように PCLK レート = バイトレート/4 なので、PCLK サイクル数で表したトランスミッタの遅延は次のようになります。
 $TxFixed = 54/4 = 13.5PCLK \text{ サイクル}$
 $TxVar = 4/4 = 1PCLK \text{ サイクル}$
 - MinDelayLane は以下のように計算します。

$$MinDelayLane = \text{floor} (RxFixed + TxFixed + PCBFixed)$$

$$= \text{floor} (13 + 13.5 + 0)$$

$$= \text{floor} (26.5)$$

$$MinDelayLane = 26$$
 - MaxDelayLane は以下のように計算します。

$$MaxDelayLane = \text{ceiling} (RxFixed + RxVar + TxFixed + TxVar + PCBFixed)$$

$$= \text{ceiling} (13 + 2 + 13.5 + 1 + 0)$$

$$= \text{ceiling} (29.5)$$

$$MaxDelayLane = 30$$
 - LMFCVar は以下のように計算します。

$$LMFCVar = (MaxDelay + 1) - (MinDelay - 1)$$

$$= (30 + 1) - (26 - 1) = 31 - 25$$

$$LMFCVar = 6PCLK \text{ サイクル}$$
 - LMFCDel は以下のように計算します。

$$LMFCDel = (MinDelay - 1) \% (PCLKsperMF)$$

$$= (26 - 1) \% 16$$

$$= 25\% 16$$

$$LMFCDel = 9PCLK \text{ サイクル}$$
- システム内のすべてのデバイスのレジスタ 0x304 に LMFCDel を書き込みます。システム内のすべてのデバイスのレジスタ 0x306 に LMFCVar を書き込みます。

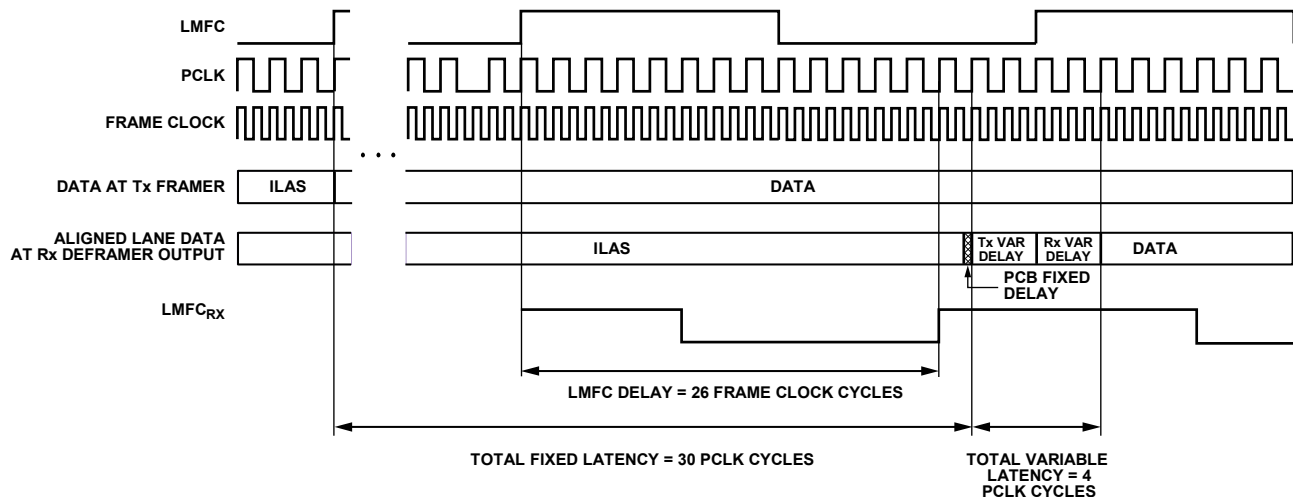


図 66. LMFC 遅延計算例

遅延情報が未知の場合のセットアップ例

システム遅延が未知の場合、AD9176 は、各リンクの LMFC_{Rx} (LMFC_{Del} 設定を引いた値) と、SYSREF にアラインした LMFC との間のリンク遅延をリードバックすることができます。この情報を使って LMFC_{Var} と LMFC_{Del} を計算します。

図 68 に、LMFC_{Rx} からその時点で SPI 内に設定されている LMFC_{_DELAY_x} (固定遅延) 設定を引いた値と、ILAS から最初のデータ・サンプルへの遷移との間の遅延 (PCLK サイクル数単位) を示すリードバック値を、DYN_LINK_LATENCY_0 (レジスタ 0x302) から得る方法を示します。電源サイクルを繰り返してこの測定を行うことにより、各電源サイクルで求められた最小遅延と最大遅延を求めて、LMFC_{Var} と LMFC_{Del} の計算に使用することができます。

図 68 では、リンク A、リンク B、およびリンク C について、AD9176 を使用するシステム (トランスミッタを含む) の電源サイクルと設定を 20 回行っています。AD9176 の構成設定は、同期手順のセクションに示す内容に従って行います。この演習の目的は LMFC_{Del} と LMFC_{Var} を決定することにあるので、LMFC_{Del} の値は 0 に設定し、DYN_LINK_LATENCY_0 の値はレジスタ 0x302 から読み出します。20 回の電源サイクルにおけるリンク遅延の変動を図 68 に示し、これについて以下に説明します。

- リンク A からは、6、7、0、1 のリードバック値が得られます。記録された遅延値のセットは、K/PCLK 係数 = 8 の境界でマルチフレームのエッジをロールオーバーします。リードバック値 0 と 1 はマルチフレームのエッジをロールオーバーしているため、このリードバック値には 1 マルチフレームあたりの PCLK サイクル数 (= 8) を加算します。遅延値の範囲は 6~9 となります。

- リンク B から得られる遅延値は 5~7 です。
- リンク C から得られる遅延値は 4~7 です。

図 68 に示す例を以下に説明します。この例は確定的遅延を実現するサブクラス 1 のもので、例は F = 1 の場合です。したがって、1 マルチフレームあたりの PCLK サイクル数は 8 です。

- 次式に従い、すべての電源サイクル、リンク、およびデバイスで測定したすべての遅延値の最小値を計算します。

$$MinDelay = \min(\text{全遅延値}) = 4$$
- 次式に従い、すべての電源サイクル、リンク、およびデバイスで測定したすべての遅延値の最大値を計算します。

$$MaxDelay = \max(\text{全遅延値}) = 9$$
- LMFC_{Var} を最大値 (12PCLK サイクル) に設定します。対象アプリケーションの遅延を最小限に抑える必要がある場合は、次式により、すべての電源サイクル、リンク、およびデバイスの合計遅延変動 (両端で 2PCLK サイクルのガード・バンドを含む) を計算します。

$$LMFCVar = (MaxDelay + 2) - (MinDelay - 2) = (9 + 2) - (4 - 2) = 11 - 2 = 9PCLK \text{ サイクル}$$
- 次式により、すべての電源サイクル、リンク、およびデバイスにおける PCLK サイクル数単位の最小遅延 (2PCLK サイクルのガード・バンドを含む) を計算します。

$$LMFCDel = (MinDelay - 2) \% (PCLKsperMF) = (4 - 2) \% 8 = 2\% 8 = 2PCLK \text{ サイクル}$$
- システム内のすべてのデバイスのレジスタ 0x304 に LMFC_{Del} を書き込みます。システム内のすべてのデバイスのレジスタ 0x306 に LMFC_{Var} を書き込みます。

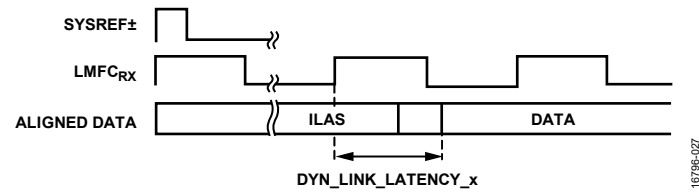


図 67. DYN_LINK_LATENCY_x の図

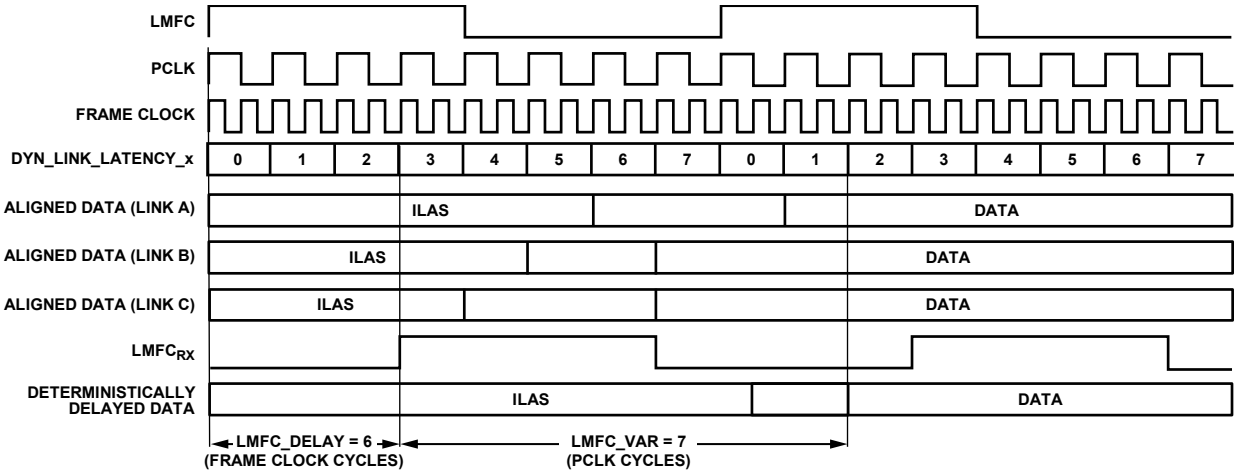


図 68. マルチリンク同期設定、導出方法の例

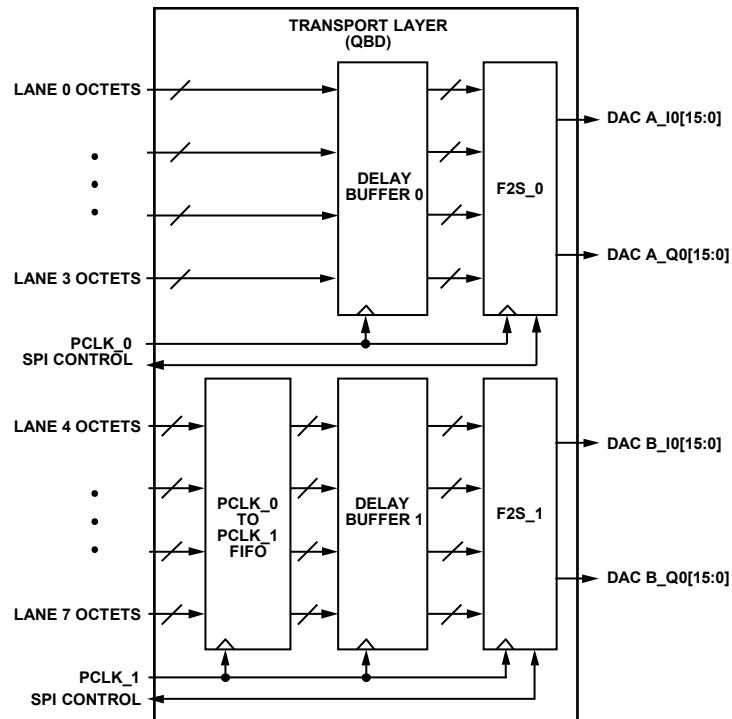


図 69. トランスポート層のブロック図

トランスポート層

トランスポート層はスクランプリングが解除された JESD204B フレームを受け取り、設定された JESD204B パラメータ（表 25 参照）に基づいてそれを DAC サンプルに変換します。デバイス・パラメータの定義を表 26 に示します。

表 25. JESD204B トランスポート層パラメータ

パラメータ	説明
F	1 レーンのフレームあたりのオクテット数：1、2、3、4、または 8。
K	マルチフレームあたりのフレーム数：K = 32。
L	(1 リンクの) コンバータ・デバイスあたりのレーン数：1、2、3、4、または 8。
M	(1 リンクの) デバイスあたりのコンバータ数： 実数データ・モードでは、M は実際のデータ・コンバータ数（合計インターポレーションが 1x の場合）。複素データ・モードでは、M は複素データ・サブチャンネル（I または Q）の数。
S	1 フレームのコンバータあたりのサンプル数：1、2、4、または 8。

表 26. JESD204B デバイス・パラメータ

パラメータ	説明
CF	1 リンクのデバイス・クロックあたりの制御ワード数。サポートしていません。0 にする必要があります。
CS	変換サンプルあたりの制御ビット数。サポートしていません。0 にする必要があります。
HD	高密度ユーザ・データ・フォーマット。このパラメータは常に 1 に設定されます。
N	コンバータ分解能。
N' (or NP)	サンプルあたりの合計ビット数。

AD9176 は、これらのパラメータの一定の組み合わせをサポートしています。サポートされているシングルリンク・モードとデュアルリンク・モードについては、それぞれ表 28 と表 29 を参照してください。表 28 と表 29 に、それぞれのモードにおける JESD204B パラメータのリストを示します。表 27 には、固定値を持つ JESD204B パラメータを示します。

表 27. 固定値の JESD204B パラメータ

Parameter	Value
K	32
CF	0
HD	1
CS	0

表 28. シングルリンク JESD204B 動作モード

Parameter	Single-Link JESD204B Modes																		
	0	1	2	3	4	5	6	7	8	9	10	11	12	18	19	20	21	22	
L (Lane Count)	1	2	3	2	4	1	2	1	4	4	8	8	8	4	4	8	8	4	
M (Converter Count)	2	4	6	2	4	2	4	4	2	2	2	2	2	1	1	1	1	2	
F (Octets per Frame per Lane)	4	4	4	2	2	3	3	8	1	2	1	2	3	1	2	1	2	3	
S (Samples per Converter per Frame)	1	1	1	1	1	1	1	1	1	2	2	4	8	2	4	4	8	4	
NP (Total Number of Bits per Sample)	16	16	16	16	16	12	12	16	16	16	16	16	12	16	16	16	16	12	
N (Converter Resolution)	16	16	16	16	16	12	12	16	16	16	16	16	12	16	16	16	16	12	

表 29. デュアルリンク JESD204B 動作モード

Parameter	Dual-Link JESD204B Modes												
	0	1	2	3	4	5	6	7	8	9	18	19	22
L (Lane Count)	1	2	3	2	4	1	2	1	4	4	4	4	4
M (Converter Count)	2	4	6	2	4	2	4	4	2	2	1	1	2
F (Octets per Frame per Lane)	4	4	4	2	2	3	3	8	1	2	1	2	3
S (Samples per Converter per Frame)	1	1	1	1	1	1	1	1	1	2	2	4	4
NP (Total number of Bits per Sample)	16	16	16	16	16	12	12	16	16	16	16	16	12
N (Converter Resolution)	16	16	16	16	16	12	12	16	16	16	16	16	12

設定パラメータ

AD9176 のモードは、L、K、M、N、NP、S、F に関わるリンク設定パラメータによって決定されます。これらの設定の説明とアドレスを表 30 に示します。

表 30. 設定パラメータ

JESD204B 設定値	説明	アドレス
L-1	レーン数-1。	Register 0x453, Bits[4:0]
F-1	1 レーンのフレームあたりオクテット数-1。	Register 0x454, Bits[7:0]
K-1	マルチフレームあたりのフレーム数-1。	Register 0x455, Bits[4:0]
M-1	コンバータ数-1。	Register 0x456, Bits[7:0]
N-1	コンバータ・ビット分解能-1。	Register 0x457, Bits[4:0]
NP-1	サンプルあたりのビット・パッキング-1。	Register 0x458, Bits[4:0]
S-1	1 フレームのコンバータあたりのサンプル数-1。	Register 0x459, Bits[4:0]
HD	高密度フォーマット。1 に設定。	Register 0x45A, Bit 7
DID	デバイス ID。トランスミッタによって送信されるデバイス ID を一致させます。	Register 0x450, Bits[7:0]
BID	バンク ID。トランスミッタによって送信されるバンク ID を一致させます。	Register 0x451, Bits[7:0]
LID0	レーン 0 用のレーン ID。論理レーン 0 上のトランスミッタによって送信されるレーン ID を一致させます。	Register 0x452, Bits[4:0]
JESDV	JESD204x バージョン。トランスミッタによって送信されるバージョンを一致させます (0x0 = JESD204A、0x1 = JESD204B)。	Register 0x459, Bits[7:5]

AD9176 は、メイン・デジタル・データパスの出力を選択モードにおける N ビットの値に切り詰めて、それを DAC コアに送ります。下位 NP-N ビットに 0 をパディングした場合に相当する NP のビット数の値、または全 SERDES レーンの合計 NP ビット数データを送ることが可能です。どちらの場合も、DAC コアの前で下位 NP-N ビットが切り捨てられます。

JESD204B レシーバーを通過するデータフロー

リンク設定パラメータは、JESD204B レシーバー・インターフェース上のシリアル・ビットのフレーミングを解除し、データ・サンプルとして DAC へ渡す方法を指定します。

論理レーンのスキュー除去とイネーブル

適切な構成を行えば、論理レーンのスキューは自動的に除去されます。すべての論理レーンがイネーブルされるか否かは、レジスタ 0x110 のビット [4:0] で選択されるモード設定に対応するレーン数で決まります。すべての物理レーンがデフォルトで起動されます。使用しない物理レーンの電源をディスエーブルするには、レジスタ 0x201 のビット x を 1 に設定して物理レーン x をディスエーブルし、イネーブルするには 0 のままにします。論理レーンは、LINK_PAGE 制御 (レジスタ 0x300、ビット 2) を使い、リンクごとにイネーブルとスキュー除去を行う必要があります。選択されたリンク・ページに対応するリンク論理レーン x のスキューを除去するには、レジスタ 0x46C のビット x を 1 に設定します。

JESD204B のテスト・モード

PRBS のテスト

AD9176 の JESD204B レシーバーは、PHY 層のバックエンドに PRBS パターン・チェッカーを内蔵しています。パターン・チェッカーは、JESD204B 仕様に規定されている PRBS7、PRBS15、および PRBS31 のデータ・パターンをサポートしています。PRBS パターンは、フィールド・プログラマブル・ゲート・アレイ (FPGA) など、外部の JESD204B トランスミッタから供給することもできますし、あるいは内部 PRBS7 ジェネレータのセクションで説明されている内部 PRBS7 ジェネレータによって生成することもできます。この機能によって、AD9176 の各物理レーンだけでなく、JESD204B PHY 全体のビット・エラー・レート (BER) もテストすることができます。PRBS のテスト中に BER が低ければ、クロックが適正に供給されてクロック同期が取れていることを確認でき、また、JESD204B のトランスミッタとレシーバーの間の相互接続 (パターン、コネクタ、およびケーブル配線) が十分な品質であることを確認できます。PHY PRBS パターン・チェッカーでは、JESD204B リンクを完全に確立する必要はありませんが、AD9176 の JESD204B モードでは、物理レーンにクロックが適正に供給され、PRBS データを受信する準備ができるように設定する必要があります。PRBS データは 8 ビット/10 ビットでエンコードしてはいけません。PRBS パターンの検証は複数のレーン上で同時に行うことも、1 つのレーン上で 1 回だけ行うこともできます。不合格した JESD204B レーンごとのエラー数は個別に報告されます。

AD9176 の PRBS チェッカーをイネーブルするプロセスは、以下のとおりです。

1. JESD204B トランスミッタ、または AD9176 の内部 PRBS7 ジェネレータから PRBS7、PRBS15、または PRBS31 のループ・パターンの送信を開始します。
2. 表 31 に示すようにレジスタ 0x316 のビット [3:2] に書き込みを行うことで、受信するための適切な PRBS パターンを選択します。
3. PHY_TEST_EN (レジスタ 0x315) への書き込みを行うことによって、テストするすべてのレーンの PHY テストを有効にします。レジスタ 0x315 の各ビットは、対応するレーンの PRBS テストを有効にします。例えばビット 0 に 1 を書き込むと、物理レーン 0 の PRBS テストが有効になります。動作中のいずれかの JESD204B リンクには、この時点で割込みがかかります。
4. PHY_TEST_RESET (レジスタ 0x316、ビット 0) を 0 から 1 に変更して、再度 0 に戻すと、ステータス・レジスタがデフォルト値にリセットされます。
5. 必要に応じて PHY_PRBS_TEST_THRESHOLD_xBITS (レジスタ 0x319～レジスタ 0x317 のビット [23:0]) を設定します。
6. PHY_TEST_START (レジスタ 0x316、ビット 1) に 0 を書き込み、次に 1 を書き込みます。これで、PHY_TEST_START の立上がりエッジでテストが開始されます。
 - a. 場合によっては、この時点でステップ 4 を繰り返す必要があります。PHY_TEST_RESET (レジスタ 0x316、ビット 0) を 0 から 1 に変更して、再度 0 に戻します。
7. 必要なビット数が蓄積されるまで、または少なくとも 500ms 待機します。
8. PHY_TEST_START (レジスタ 0x316 のビット 1) に 0 を書き込んで、テストを停止します。

9. PRBS ステータス・レジスタから PRBS テストの結果を読み出します。
- PHY_PRBS_PASS (レジスタ 0x31D) の各ビットは、1 つの SERDES レーンに対応しています (0 = 不合格、1 = 合格)。リセットに続くデフォルト値は合格です。報告された結果が誤検出でないことを確認するために、1 つのレーンまたはすべてのレーンで強制的に不合格状態にします。それから長期の BER テストを実行します。テストで予めイネーブルしたいいくつかのレーン、またはすべてのレーンを一時的にディスエーブルしてテストを不合格にするか、またはステップ 2 で正しくないタイプの PRBS パターンを選択してすべてのレーンで不合格を観測します。その後適正なテストに再設定し、テストを実行して BER 結果を蓄積します。
 - 各不合格レーンに見られる PRBS エラーの数は、チェックするレーン番号 (0~7) を PHY_SRC_ERR_CNT (レジスタ 0x316、ビット [6:4]) に書き込み、PHY_PRBS_ERR_CNT_xBITS (レジスタ 0x31A~レジスタ 0x31C) を読み出すことによって得られます。最大エラー・カウント数は $2^{24}-1$ です。レジスタ 0x31A~レジスタ 0x31C の全ビットがハイの場合は、選択したレーンの最大エラー・カウント数を超えます。

表 31. PHY PRBS パターンの選択

PHY_PRBS_PAT_SEL Setting (Register 0x316, Bits[3:2])	PRBS Pattern
0b00 (default)	PRBS7
0b01	PRBS15
0b10	PRBS31

内部 PRBS7 ジェネレータ

AD9176 は、JESD204B トランスミッタからの外部 PRBS データ入力なしで、JESD204B PHY をテストできる PRBS7 ジェネレータを 1 個内蔵しています。この方法では、AD9176 内部の PHY の一部しか確認できませんが、PRBS チェッカーと内部クロック・ドメインの両方が動作し、正しく設定されていることは確認できます。理想的には、内部 PRBS テストの後に外部 PHY PRBS テストをより綿密に行います。この場合は、パターンは JESD204B トランスミッタ・デバイスから供給します。

AD9176 の内部 PRBS7 ジェネレータを設定するためのプロセスは、以下のとおりです。

- EQ_BOOST_PHYx ビット (レジスタ 0x240 のビット [7:0] とレジスタ 0x241 のビット [7:0]) を 0 にセットします。
- SEL_IF_PARDATAINV_DES_RC_CH ビット (レジスタ 0x234、ビット [7:0]) を 0 にセットして、レーンが反転しないようにします。
- EN_LBT_DES_RC_CH (レジスタ 0x250) への書き込みを行うことによって、テストするすべてのレーンのループバック・テストを有効にします。レジスタ 0x250 の各ビットは、対応するレーンのループバック・テストを有効にします。例えばビット 0 に 1 を書き込むと、物理レーン 0 のテストが有効になります。
- ハーフレートの場合は EN_LBT_HALFRATE_DES_RC (レジスタ 0x251、ビット 1) を 1 にセットします。それ以外の場合、このビットを 0 に設定します。
- INIT_LBT_SYNC_DES_RC (レジスタ 0x251、ビット 0) を 0 から 1 に変更して、再度 0 に戻します。

- PRBS7 テストにおける PRBS チェッカー設定方法については、PRBS テストのセクションを参照してください。

トランスポート層のテスト

AD9176 の JESD204B レシーバーは、JESD204B 規格に定めるショート・トランスポート層 (STPL) テストをサポートしています。JESD204B のトランスミッタとレシーバー間のデータ・マッピングを検証するには、このテストを使用します。このテストを行うには、論理デバイス内にこの機能が実装され、有効になっている必要があります。また、レシーバー側でテストを実行する前に、リンクが確立され、エラーなく作動するようになっていなければなりません。

STPL テストは、各コンバータからの各サンプルが、コンバータ数 (M) とコンバータあたりのサンプル数 (S) に従い、適切にマッピングされることを確認します。JESD204B 規格に仕様が規定されているように、コンバータのメーカーは転送テスト・サンプルの仕様を定めています。各サンプルは、それぞれ固有の値になっている必要があります。例えば、M = 2、S = 2 の場合は、固有の値を持つ 4 個のサンプルがテスト終了まで繰り返し転送されます。デバイスには、予想サンプルを設定しておく必要があります。このサンプルが、受信したサンプルと 1 個ずつ比較され、すべてのサンプルがテストされるまでそれが繰り返されます。AD9176 におけるこのテストの実行プロセスを以下に示します。

- トランスミッタと AD9176 の間で JESD204B リンクの同期を確立します。
- JESD204B トランスミッタで STPL テストを有効にします。JESD204B のモードによってはリンクあたり最大 6 個のデータ・ストリームがあって、最大 3 個の複素サブチャンネル (M = 6) を供給することができ、各フレームには最大 8 個のサンプル (S = 8) を含めることができます。
- 1 フレーム内のサンプルの 1 つに合わせるように、SHORT_TPL_REF_SP_MSB ビット (レジスタ 0x32E) と SHORT_TPL_REF_SP_LSB ビット (レジスタ 0x32D) を設定します。N = 12 モードの場合は、予想サンプルの整数値は 16 倍されます (2 進数、4 ビット・シフト演算)。
- デュアル・リンク JESD204B をテストする場合に、リンク 0 (DAC0 データパス) をテストするか、リンク 1 (DAC1 データパス) をテストするかを選択するには、SHORT_TPL_LINK_SEL (レジスタ 0x32F、ビット 7) をセットします。
- チャンネルを選択するには、SHORT_TPL_CHAN_SEL (レジスタ 0x32C、ビット [3:2]) をセットします。
- テスト中のチャンネルの I または Q ストリームを選択するには、SHORT_TPL_IQ_PATH_SEL (レジスタ 0x32F、ビット 6) をセットします。
- 各フレーム内のどのサンプルがステップ 3 で示された値を持つ必要があるかを選択するには、SHORT_TPL_SP_SEL (レジスタ 0x32C、ビット [7:4]) をセットします。
- SHORT_TPL_TEST_EN (レジスタ 0x32C、ビット 0) を 1 に設定します。
- SHORT_TPL_TEST_RESET (レジスタ 0x32C、ビット 1) を 1 に設定して、また 0 に戻します。
- 必要な時間だけ待機します。この必要時間は $1 / (\text{サンプル} \cdot \text{レート} \times \text{BER})$ として計算できます。例えば、BER = 1×10^{-10} で、サンプル・レートが 1GSPS の場合、必要時間は 10 秒です。
- SHORT_TPL_FAIL (レジスタ 0x32F、ビット 0) のテスト結果を読み出します。

12. 同じ M または別の M に対して別のサンプルを選択し、1 つのフレーム内にある両方のコンバータ用のすべてのサンプルを検証できるまでテストを続けます。

CGS と ILAS の繰返しテスト

AD9176 は、JESD204B 仕様のセクション 5.3.3.8.2 に従い、/K28.5/文字の固定ストリーム受信、または CGS に続く ILAS の固定ストリーム受信をチェックすることができます。

繰返し CGS テストを実行するには、/K28.5/文字の固定ストリームを AD9176 の SERDES 入力へ送ります。次に、デバイスをセットアップしてリンクを有効にします。SYNCOUT_±のアサートが解除されていることを確認して/K28.5/文字を受信中であることを確認し、レジスタ 0x470 を読み出すことによって、イネーブルされたすべてのリンク・レーンに CGS が受け入れられていることを確認します。

CGS の後に繰返し ILAS シーケンスが続いていることをテストするには、リンクをセットアップするための手順に従いますが、最後の書込みを実行（リンクを有効化）する前に、レジスタ 0x477 のビット 7 に 1 を書き込むことによって ILAS テスト・モードを有効にします。その後にリンクを有効にします。デバイスが各ライン上で 4 個の CGS 文字を確認すると、そのデバイスは SYNCOUT_±のアサートを解除します。この時点で、トランスミッタが繰返し ILAS シーケンスの送信を開始します。

レジスタ 0x473 を読み出し、イネーブルされたすべてのリンク・レーンについて、初期レーン同期が受け入れられていることを確認してください。

JESD204B のエラー・モニタリング

ディスパリティ、テーブル不記載、予期しない制御 (K) 文字によるエラー

JESD204B 仕様のセクション 7.6 に従い、AD9176 はディスパリティ・エラー、テーブル不記載 (NIT) エラー、および予期しない制御文字によるエラーを検出することができます。また、エラー発生時にオプションで同期要求を行い、リンクを初期化し直すこともできます。

このセクションには、JESD204B 仕様に関するその他いくつかの解釈も示されています。1 つのレーンに 3 つの NIT エラーが送られ、なおかつ QUAL_RDERR (レジスタ 0x476、ビット 4) = 1 の場合、異常ディスパリティ・エラー (BDE) カウント・レジスタのリードバック値は 1 です。NIT エラーと同じ文字位置で発生するディスパリティ・エラーのレポートは、無効化されています。NIT エラー発生後における文字のディスパリティ・エラーについては、このような無効化設定は行われません。したがって、NIT エラー発生によって BDE エラーが発生するのは想定内の動作です。

エラー・カウントのチェック

ディスパリティ・エラー、NIT エラー、および予期しない制御文字によるエラーについては、エラー・カウントをチェックできます。エラーは、レーンごと、およびエラー・タイプごとにカウントされます。各エラー・タイプとレーンには専用のレジスタがあります。エラー・カウントをチェックするには、以下のステップを実行する必要があります。

1. レジスタ 0x480 のビット [5:3] からレジスタ 0x487 のビット [5:3] までを使い、どのエラーをモニタするかを選択します。予期しない K (UEK) 文字、BDE、および NIT エラー・モニタリングは、表 61 に示すように、該当するビットに 1 を書き込むことによってレーンごとに選択できます。これらのビットは、デフォルトでイネーブルされます。

2. 対応するエラー・カウンタ・リセット・ビットは、レジスタ 0x480 のビット [2:0] からレジスタ 0x487 のビット [2:0] までです。そのエラー・カウンタをリセットするには、対応するビットに 1 を書き込んでください。
3. レジスタ 0x488 のビット [2:0] からレジスタ 0x48F のビット [2:0] には、各エラー・カウンタ用の最終カウント値保持インジケータがあります。このフラグをイネーブルすると、最終エラー・カウント値 0xFF に達した時点でカウンタがカウントを中止し、リセットされるまでその値を保持します。それ以外の場合は値が 0x00 にラップされて、カウントを継続します。レーンごとに希望の動作を選択して、対応するレジスタ・ビットを設定してください。

閾値を超えるエラー・カウントのチェック

閾値を超えるエラー・カウントをチェックするには、以下の手順に従ってください。

1. エラー・カウンタ閾値を定義します。エラー・カウンタ閾値はレジスタ 0x47C にユーザ定義値として設定するか、デフォルト値の 0xFF のままとすることができます。エラー閾値に達すると、マスク・レジスタの設定に応じて IRQ が生成されるか SYNCOUT_±がアサートされるか、あるいは、その両方が実行されるかします。このエラー閾値は、3 つのタイプのエラー (UEK、NIT、BDE) すべてに共通で使われます。
2. SYNC_ASSERT_MASK ビットをセットします。SYNCOUT_±のアサート動作はレジスタ 0x47D のビット [2:0] で設定します。デフォルトでは、いずれかのレーンのいずれかのエラー・カウンタが閾値に達すると、SYNCOUT_±がアサートされます (レジスタ 0x47D のビット [2:0] = 0b111)。SYNC_ASSERT_MASK ビットをセットするときは、LINK_PAGE (レジスタ 0x300 のビット 2) を 1 にセットする必要があります。
3. エラー・カウンタ到達インジケータを読み出します。各エラー・カウンタには、レーンごとに最終カウント値到達インジケータがあります。このインジケータは、特定レーンのエラー・カウンタが最終カウント値に達すると 1 にセットされます。これらのステータス・ビットは、レジスタ 0x490 のビット [2:0] からレジスタ 0x497 のビット [2:0] までの間に置かれています。ビット 3 は、特定レーンがアクティブになっているかどうかを示すためにリードバックできます。

エラー・カウンタと IRQ 制御

エラー・カウンタと IRQ 制御については、以下のステップに従ってください。

1. 割込みをイネーブルします。JESD204B の割込みをイネーブルします。UEK、NIT、BDE エラー・カウンタの割込みは、レジスタ 0x4B8 のビット [7:5] で設定します。他にも、レーンのスキュー除去、初期レーン同期、正常チェックサム、フレーム同期、コード・グループ同期 (レジスタ 0x4B8 のビット [4:0]) や、構成ミスマッチ (レジスタ 0x4B9 のビット 0) など、リンクの確立時にモニタする割込みがあります。これらのビットはデフォルトではオフになっていますが、該当ビットに 0b1 を書き込むことによってイネーブルできます。
2. JESD204B 割込みステータスを読み出します。割込みステータス・ビットはレジスタ 0x4BA のビット [7:0] とレジスタ 0x4BB のビット 0 で、このステータス・ビット位置はイネーブル・ビット位置に対応しています。

- 使用する予定のある割込みは、JESD204B リンクを確立する前にすべてイネーブルすることを推奨します。リンクを確立が確立されたら、割込みをリセットしてリンク・ステータスをモニタするために使用することができます。

SYNCOUTx±によるエラー・モニタリング

ディスパリティ、NIT、または予期しない制御文字によるエラーが1つ以上発生したときは、JESD204B仕様のセクション 7.6 に従ってそのエラーがSYNCOUTx±ピンにレポートされます。JESD204B仕様は、エラー発生時、正確に2フレーム分の時間だけSYNCOUTx±信号をアサートするように規定しています。AD9176では、SYNCOUTx±パルスの幅を½、1、または2PCLK サイクルに設定することができます。2 フレーム・クロック・サイクルのSYNCOUTx±パルスを実現する設定を表 32 に示します。

表 32. SYNCOUTx±エラー・パルス幅の設定

F	PCLK Factor (Frames/PCLK)	SYNC_ERR_DUR (Register 0x312, Bits[7:4]) Setting ¹
1	4	0 (default)
2	2	1
3	1.5	2
4	1	2
8	0.5	4

¹ これらのレジスタ設定は、2 フレーム・クロック・サイクルのパルス幅でSYNCOUTx±信号をアサートします。

予期しない制御文字、テーブル不記載、ディスパリティの IRQ

予期しない制御文字 (UEK)、テーブル不記載 (NIT)、およびディスパリティによるエラーについては、閾値を超えるエラー・カウント・イベントを IRQ イベントとして使用できます。これらのイベントは、レジスタ 0x4B8 のビット [7:5] へ書き込みを行うことによってイネーブルします。IRQ イベント・ステータスは、IRQ をイネーブルした後に、レジスタ 0x4BA のビット [7:5] で読み出すことができます。

IRQ の設定については、エラー・カウンタと IRQ 制御のセクションを参照してください。IRQ の詳細については、割込み要求動作のセクションを参照してください。

再初期化が必要なエラー

JESD204B 仕様のセクション 7.1 に従い、4 個の無効なディスパリティ文字または 4 個の NIT 文字が受信されると、自動的にリンクの再初期化が行われます。リンクの再初期化が行われる場合、再同期要求の長さは少なくとも 5 フレーム、9 オクテットになります。

ディスパリティ・エラー、NIT エラー、または UEK 文字エラーのエラー・カウントがユーザ設定によるエラー閾値に達したときは、オプションでリンクを再初期化することができます。特定のエラー・タイプに対して再初期化機能を有効にする手順は、以下のとおりです。

- レジスタ 0x480 のビット [5:3] からレジスタ 0x487 のビット [5:3] までを使い、どのエラーをモニタするかを選択します。UEK、BDE、および NIT によるエラーのモニタリングは、表 33 に示すように、該当ビットに 1 を書き込むことによってレーンごとに選択できます。これらはデフォルトでイネーブルされます。
- レジスタ 0x480 のビット [2:0] からレジスタ 0x487 のビット [2:0] までの該当ビットに 0 を書き込んで、カウンタのリセットを解除します。

- 表 33 に従って SYNC_ASSERT_MASK (レジスタ 0x47D のビット [2:0]) に書き込みを行うことにより、各タイプのエラーに対して同期アサーション・マスクを有効にします。
- 必要なエラー・カウンタ閾値を ERRORTHRES (レジスタ 0x47C) に設定します。
- SYNC_ASSERT_MASK レジスタで有効化されたエラー・タイプごとに、いずれかのレーン上のエラー・カウンタが設定された閾値に達した場合は、SYNCOUTx±がローになり同期要求が送信されます。リンクが再初期化されるとすべてのエラー・カウントがリセットされますが、IRQ はリセットされないで手動でリセットする必要があります。

表 33. 同期アサーション・マスク (SYNC_ASSERT_MASK)

アドレス	ビット No	ビット 名	説明
0x47D	2	BDE	ディスパリティ・エラー・カウントが閾値に達した場合、1 に設定して SYNCOUTx±をアサートします。
	1	NIT	NIT エラー・カウントが閾値に達した場合、1 に設定して SYNCOUTx±をアサートします。
	0	UEK	UEK 文字エラー・カウントが閾値に達した場合、1 に設定して SYNCOUTx±をアサートします。

CGS、フレーム同期、チェックサム、ILAS のモニタリング

レジスタ 0x470 からレジスタ 0x473 をモニタリングすることで、JESD204B リンク確立の各段階が実行されていることを検証できます。

リンク・レーン x が少なくとも 4 個の K28.5 文字を受信して、コード・グループ同期が正常に終了した場合は、CODE_GRP_SYNC (レジスタ 0x470) のビット x がハイになります。

リンク・レーン x が初期フレーム同期を完了した場合は、FRAME_SYNC (レジスタ 0x471) のビット x がハイになります。

リンク・レーン x の ILAS の間にレーン経路で送られたチェックサムが、そのレーン経路で送られた JESD204B パラメータの合計と一致した場合は、GOOD_CHECKSUM (レジスタ 0x472) のビット x がハイになります。パラメータは、レジスタ内の個々のフィールドを合計するか、パックされたレジスタを加算することによって追加できます。計算したチェックサムは、以下に示すフィールドを合計したものの下位 8 ビットです: DID、BID、LID、SCR、L-1、F-1、K-1、M-1、N-1、SUBCLASSV、NP-1、JESDV、S-1、HD。

リンク・レーン x の初期レーン・アライメント・シーケンスが正常に終了した場合は、INIT_LANE_SYNC (レジスタ 0x473) のビット x がハイになります。

CGS、フレーム同期、チェックサム、ILAS の IRQ

CGS、フレーム同期、チェックサム、ILAS のフェイル信号は IRQ イベントとして使用できます。これらは、レジスタ 0x4B8 のビット [3:0] に書き込みを行うことによってイネーブルします。IRQ イベント・ステータスは、IRQ をイネーブルした後に、レジスタ 0x4BA のビット [3:0] で読み出すことができます。CGS IRQ をリセットするには、レジスタ 0x4BA のビット 0 に 1 を書き込みます。フレーム同期 IRQ をリセットするには、レジスタ 0x4BA のビット 1 に 1 を書き込みます。チェックサム IRQ をリセットするには、レジスタ 0x4BA のビット 2 に 1 を書き込みます。ILAS IRQ をリセットするには、レジスタ 0x4BA のビット 3 に 1 を書き込みます。

詳細については、割込み要求動作のセクションを参照してください。

構成ミスマッチ IRQ

AD9176 には構成ミスマッチ・フラグがあり、IRQ イベントとして使用することができます。レジスタ 0x4B9 のビット 0 を使ってミスマッチ・フラグをイネーブルしてから（デフォルトでイネーブル）、レジスタ 0x4BB のビット 0 を使ってそのステータスをリードバックし、IRQ 信号をリセットします。詳細については、割込み要求動作のセクションを参照してください。

リンク構成設定（レジスタ 0x450～レジスタ 0x45D）が、デバイスが受信した JESD204B 設定（レジスタ 0x400～レジスタ 0x40D）と一致しないときは、構成ミスマッチ・イベント・フラグがハイになります。

この機能は、レジスタ 0x472 の正常チェックサム・フラグとは異なります。正常チェックサム・フラグは、送信された設定に基づき、送信されたチェックサムと計算されたチェックサムが一致するようにします。構成ミスマッチ・イベントは、送信された設定が構成設定と一致するようにします。

デジタル・データパス

AD9176には2つの独立したデジタル・データパスがあり、それぞれが通常、データ・サンプルをそれぞれの DACx コアに供給します。ただし、サンプルを DAC0、DAC1、または両方の DAC に送るための別の方法を可能にする変調器スイッチ構成があります。詳細については、変調器スイッチのセクションを参照してください。

各デジタル・データパスは複数のチャンネル・データパス（チャネライザ）から構成されており、これらのデータパスは1つのデータパス（メイン・データパス）に加算され、更にデフォルトでこのデータパスはそれぞれの DAC コアに接続されています（図1を参照）。チャネライザとメイン・データパスは、選択された JESD204B モードに応じて完全にバイパス可能です。チャネライザとメイン・データパス内には、インターポレーション・フィルタ、サンプルのデジタル I/Q 変調または独立した（DDS）動作を可能にするバイパス可能な NCO、PA 保護ブロック（電力検出および保護（PDP）ブロック）、およびサンプル・ゲインをランプまたは設定するためのデジタル・ゲイン・ブロックなど、使用可能な様々なデジタル処理ブロックがあります。

合計データパス・インターポレーション

AD9176は2段のインターポレーション・フィルタを内蔵しています。1段は各チャンネル・データパス内に配置されており、すべてのチャンネルにわたって1つの値に設定されます。また、もう1段は各メイン・データパス内に配置されています。フル機能のデジタル・データパスにおける合計インターポレーションは、チャンネル・インターポレーション係数にメイン・データパス・インターポレーション係数を乗じることによって決定できます。DAC サンプル・レートと入力データ・レート間の関係を、次式に示します。

$$\text{合計インターポレーション} = \text{チャンネル・インターポレーション} \times$$

$$\text{メイン・インターポレーション}$$

$$f_{\text{DATA}} = f_{\text{DAC}} / (\text{チャンネル・インターポレーション} \times \text{メイン・インターポレーション})$$

カスケード接続された様々なハーフバンド・インターポレーション・フィルタはそれぞれ、入力データによって占有される全帯域幅（BW）の80%をカバーします。したがって、インターポレーションを使用する場合（合計インターポレーション>1）、使用可能な1つのBWはデータ・レートの80%になります。インターポレーション段をバイパスする場合（合計インターポレーション=1）、複素データが使用されないため、使用可能な1つのBWはデータ・レートの50%になります。1つの帯域幅は、以下の方法で計算されます。

$$\text{合計インターポレーション} > 1 \text{ の場合、1つの } BW = 0.8 \times f_{\text{DATA}}$$

$$\text{合計インターポレーション} = 1 \text{ の場合、1つの } BW = 0.5 \times f_{\text{DATA}}$$

インターポレーション値は表34に示すように設定します。

表 34. インターポレーション係数レジスタの設定

Interpolation Factor	Main Datapath, Register 0x111, Bits[7:4]	Channel Datapath, Register 0x111, Bits[3:0]
1×	0x1	0x1
2×	0x2	0x2
3×	Not applicable	0x3
4×	0x4	0x4
6×	0x6	0x6
8×	0x8	0x8
12×	0xC	Not applicable

表 35. インターポレーション・モードと使用可能な帯域幅

Total Interpolation	Available Signal Bandwidth	f_{DATA}
1× (Bypass)	$0.5 \times f_{\text{DATA}}$	f_{DAC}
2×, 4×, 6×, 8×, 12×, 16×, 18×, 24×, 32×, 36×, 48×, 64×	$0.8 \times f_{\text{DATA}}$	$f_{\text{DAC}}/\text{total interpolation}$

フィルタの性能

インターポレーション・フィルタは、入力データ内の変化を最小限に抑えると同時に、インターポレーション・イメージを抑圧するように入力データ・サンプルを補間します。

表35に示す使用可能帯域幅は、フィルタが $\pm 0.001\text{dB}$ より小さい通過帯域リップルと85dBを超えるイメージ除去比を持つ周波数帯域として定義されます。各フィルタの相対帯域幅を示す概念図を図70と図71に示します。すべてのフィルタの最大通過帯域振幅は同じです。図70と図71では、理解しやすくするために振幅を意図的に違えて示していますが、実際には、すべてのフィルタの振幅は選択されたインターポレーション・レートに関係なく一定かつ一様です。

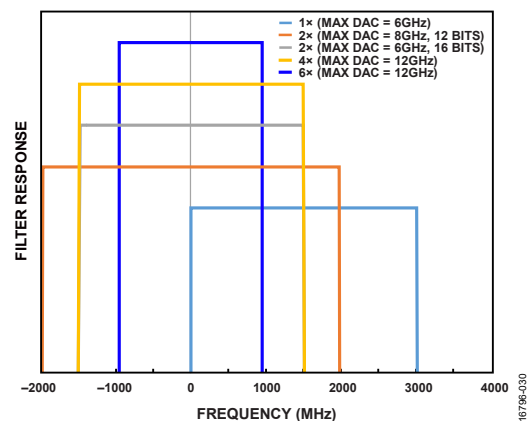


図 70. 実現可能なそれぞれの最大 DAC レートおよび分解能における 1×、2×、4×、6×での合計インターポレーション・レートの帯域応答

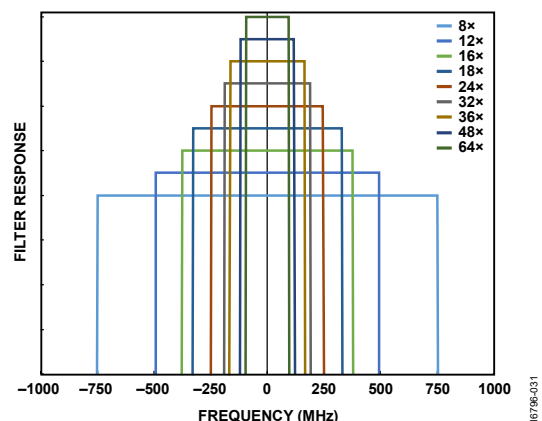


図 71. 12GHz DAC レートにおける 8×、12×、16×、18×、24×、32×、36×、48×、64×での合計インターポレーション・レートの帯域応答

チャンネル・デジタル・データパス

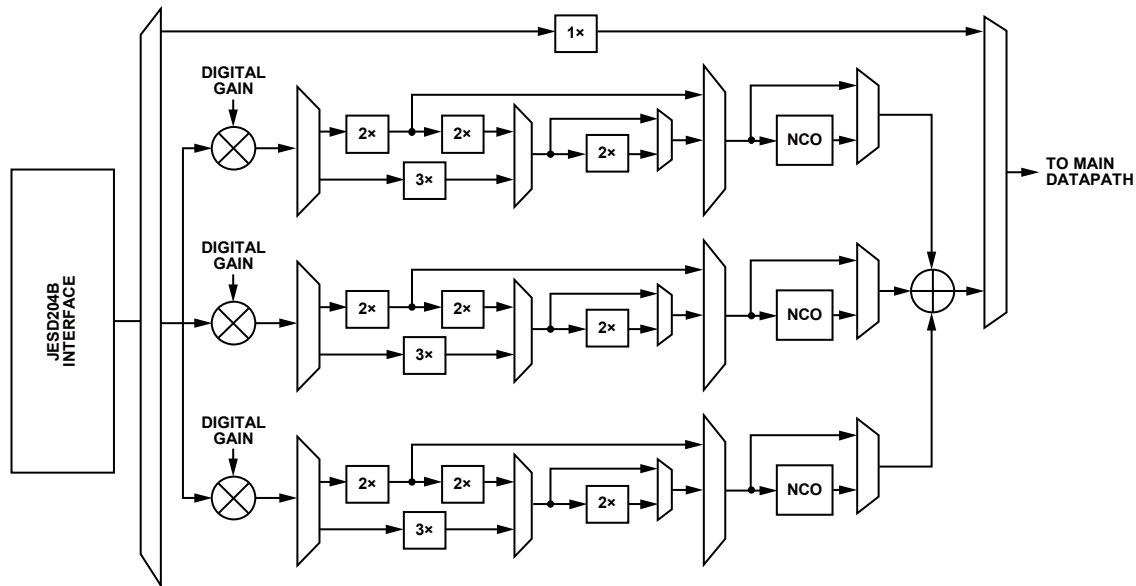


図 72. メイン DAC 出力ごとのチャンネル・デジタル・データパスのブロック図

各データパスにおいてイネーブルされるチャネライザが 1 つであるか、すべてであるかは、選択される JESD204B モードによって定義されます。各チャネライザは 1 つのデジタル・ゲイン段、複素インターポレーション・ブロック、および複素 48 ビット・モジュラス NCO で構成されています。チャネライザと加算ノードは、(1xインターポレーションが選択されたとき) 完全にバイパスすることができます。インターポレーション・レート選択はすべてのチャネライザに適用され、個別には制御できません。ただし、ゲイン段と複素 NCO の設定値は、すべて個別に制御できます。これらのブロックの制御は、表 36 に示すように、CHANNEL_PAGE ビット (レジスタ 0x008 のビット [5:0]) 内のチャンネル・ページング・マスクによってページングされます。ページ・マスクの各ビットは 1 つのチャンネル・データパスに対応しています。チャネライザは特定のチャンネルに固有の設定値を適用するために個別にページングすることもできますし、1 組の SPI 書込みを使用して複数のチャネライザにアドレスを指定するグループとしてページングすることもできます。

表 36. チャンネル・ページ・マスク

CHANNEL_PAGE (Register 0x008, Bits[5:0])	Channel Paged	Channel Datapath Updated
0x01 (Bit 0)	Channel 0	Channel 0 of DAC0
0x02 (Bit 1)	Channel 1	Channel 1 of DAC0
0x04 (Bit 2)	Channel 2	Channel 2 of DAC0
0x08 (Bit 3)	Channel 3	Channel 0 of DAC1
0x10 (Bit 4)	Channel 4	Channel 1 of DAC1
0x20 (Bit 5)	Channel 5	Channel 2 of DAC1

以下のセクションでは、チャンネル内の各デジタル・ブロックについて詳しく説明します。

デジタル・ゲイン

各チャネライザは、複素データ・ストリームごとに固有のゲイン・スケーリングを可能にする独立したゲイン制御を備えています。各チャンネルのゲイン・コードは 12 ビット分解能で、レジスタ 0x146 とレジスタ 0x147 に置かれており、次式で計算することができます。

$$0 \leq \text{Gain} \leq (2^{12} - 1)/2^{11}$$

$$-\infty \text{ dB} < \text{dB ゲイン} \leq +6.018 \text{ dB}$$

$$\text{ゲイン} = \text{ゲイン・コード} \times (1/2048)$$

$$\text{dB ゲイン} = 20 \times \log_{10} (\text{ゲイン})$$

$$\text{ゲイン・コード} = 2048 \times \text{ゲイン} = 2^{11} \times 10^{(\text{dB Gain}/20)}$$

ゲイン・コード制御 (CHNL_GAIN) は、レジスタ 0x008、ビット [5:0] のチャンネル・ページ・マスク (CHANNEL_PAGE) によってページングされます。

3 つのチャンネルの出力はすべてメイン・データパスの前で加算されるため、加算後に結合された振幅がフルスケールを超えないように (サンプル・クリッピングが起こらないように) するため、ゲイン設定を行うときには、細心の注意を払う必要があります。例えば、3 つのチャンネルすべてが使用されていて、3 つのデータ・ストリームすべてがフルスケールの 1/3 より大きいサンプルを含む場合は、クリッピングが起こる可能性があります。すなわち、特定の時点で、すべてのイネーブルになっているチャンネル出力でのサンプルの合計は、-215 と + (215 - 1) の間になければなりません。

図 73 に示すように、デジタル・ゲイン機能は、1xチャンネル・インターポレーションが使用される場合を除き、すべての JESD204B モードで使用できます。なぜなら、このモードにおいてこのチャンネルのデジタル処理機能がバイパスされるためです。

チャンネル・インターポレーション

使用可能なチャンネル・インターポレーション・オプションは、バイパス (1×)、2×、3×、4×、6×、8×です。インターポレーションに使用するそれぞれのハーフバンド・フィルタの帯域幅は最大 80%で、阻止帯域除去比は 85dB です。チャンネル・ハーフバンド・カスケード構成を図 73 に示します。また、各チャンネル・インターポレーション・フィルタの使用可能帯域幅を表 37 に示します。

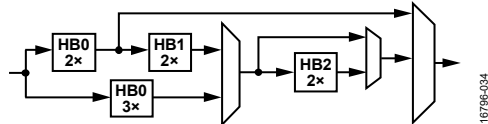


図 73. チャンネル・インターポレーション・ハーフバンド・フィルタのブロック図

表 37. チャンネル・インターポレーションの使用可能帯域幅と除去比

Half-Band Filter	Bandwidth ($\times f_{IN_FILTER}$) (%)	Stop Band Rejection (dB)
HB0	80	85
HB1	40	85
HB2	27	85

¹ f_{IN_FILTER} はハーフバンド・フィルタの入力周波数です。

チャンネル・デジタル変調

各チャネルライザには 48 ビットのデュアル・モジュラス NCO が組み込まれており、各チャンネル・データを各自の位相オフセット制御をしながら、独立した搬送周波数に I/Q 変調することができます。48 ビット NCO は、インテジャー・モードにもモジュラス (DDS) モードにも設定できます。モジュラス・モードでは、NCO のインテジャーFTW に加算される A/B 比によって、周波数をほぼ無限の精度で合成することができます。詳細については、48 ビット・インテジャー／モジュラス NCO のセクションを参照してください。モードは表 38 に示すように選択されます。これらの制御は、CHANNEL_PAGE ビット (レジスタ 0x008 のビット [5:0]) 内のチャンネル・ページ・マスクによってページングされます。

表 38. チャンネル変調モードの選択

Modulation Mode	Modulation Type	
	Register 0x130, Bit 6	Register 0x130, Bit 2
None	0b0	0b0
48-Bit Integer NCO	0b1	0b0
48-Bit Dual Modulus NCO	0b1	0b1

チャンネル NCO ブロックには、サイドバンド選択制御機能と、FTW および位相オフセットの制御機能更新方法に関するオプションも含まれています。位相オフセット・ワード制御は次のように計算できます。

$$-180^\circ \geq \text{度数オフセット} \geq +180^\circ$$

$$\text{度数オフセット} = 180^\circ \times (\text{DDSC_NCO_PHASE_OFFSET}/2^{15})$$

ここで、DDSC_NCO_PHASE_OFFSET は、表 39 に示すレジスタに設定された 16 ビットの 2 の補数値です。

表 39. チャンネル NCO の位相オフセット・レジスタ

アドレス	値	説明
0x138	DDSC_NCO_PHASE_OFFSET[7:0]	位相オフセットの下位 8 ビット
0x139	DDSC_NCO_PHASE_OFFSET[15:8]	位相オフセットの上位 8 ビット

48 ビット・インテジャー／モジュラス NCO

48 ビット・インテジャー／モジュラス NCO は、図 74 に示すように NCO ブロック、位相シフタ、および複素変調器が組み合わされたもので、信号をユーザ定義の搬送周波数に変調します。この構成では、非常に高い周波数分解能で、 $\pm f_{NCO}/2$ までの出力スペクトルにわたり任意の位置に出力信号をシフトすることができます。

NCO は直交キャリアを生成して、入力信号を新しい中心周波数に変換します。直交キャリアは、同じ周波数で互いに 90° のオフセットを持つ正弦波のペアです。直交キャリアの周波数は FTW を使用して設定します。図 74 に示すように、直交キャリアは I データおよび Q データとミックスされてから加算され、I データパスと Q データパスに出力されます。

チャンネル 48 ビット NCO はそれぞれ、インテジャー・モードで実行するように設定できます (すなわち、FTW 値のみが NCO 出力周波数を定義する場合)。FTW 値は、NCO ブロックが動作しているクロック速度 ($f_{NCO,CLK}$) にある程度依存します。いずれのチャンネル NCO も、クロック・レートは加算ノードのレート (最大 1.575GSPS) に等しく、次式を使って計算できます。

$$f_{NCO,CLK} = f_{DATA} \times \text{チャンネル・インターポレーション}$$

または

$$f_{NCO,CLK} = f_{DAC}/\text{メイン・インターポレーション} = f_{SUMMING_NODE}$$

個々の NCO の FTW は個別に設定可能で、次式で計算できます。

$$-f_{NCO,CLK}/2 \leq f_{CARRIER} < +f_{NCO,CLK}/2$$

$$\text{DDSC_FTW} = (f_{CARRIER}/f_{NCO,CLK}) \times 2^{48}$$

ここで、

DDSC_FTW は 48 ビットの 2 の補数です。

$f_{CARRIER}$ は NCO の出力周波数です。

$f_{NCO,CLK}$ は NCO のサンプリング・クロック周波数です。

周波数チューニング・ワードは図 40 に示すように設定されます。

表 40. チャンネル NCO FTW レジスタ

アドレス	値	説明
0x132	DDSC_FTW[7:0]	FTW の下位 8 ビット
0x133	DDSC_FTW[15:8]	FTW の次の 8 ビット
0x134	DDSC_FTW[23:16]	FTW の次の 8 ビット
0x135	DDSC_FTW[31:24]	FTW の次の 8 ビット
0x136	DDSC_FTW[39:32]	FTW の次の 8 ビット
0x137	DDSC_FTW[47:40]	FTW の上位 8 ビット

FTW レジスタは、他の NCO コントロール・レジスタとは異なり、コントロール・レジスタに書き込んだ直後には NCO ブロックに適用されません。その代わりに、FTW レジスタは DDSC_FTW_LOAD_REQ (レジスタ 0x131、ビット 0) の立上がりエッジで適用されます。更新要求後は、DDSC_FTW_LOAD_ACK (レジスタ 0x131、ビット 1) をステータス・ハイにして、FTW が更新されたことをアクノレッジする必要があります。

DDSC_SEL_SIDE BAND ビット (レジスタ 0x130 のビット 1=0b1) は変調に使用するデータを下側サイドバンドにするか、上側サイドバンドにするかを制御する便利なビットで、このビットは FTW の符号を反転することと同じです。

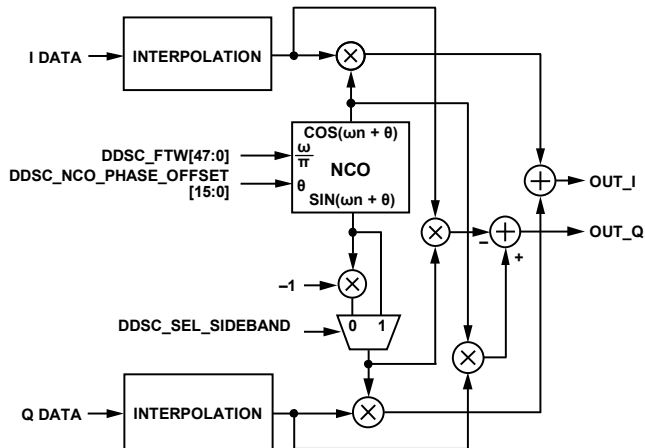


図 74. NCO 変調器のブロック図

チャンネル・モジュラス NCO モード (ダイレクト・デジタル合成 (DDS) モード)

各 48 ビット・チャンネル NCO は、また、デュアル・モジュラス・モードで使用して、インテジャー・モードで実現される 48 ビット精度を超えるフラクショナル周波数を生成することができます。これは、NCO がリセットされずに長時間動作するアプリケーションでは興味深いかもしれません。したがって、48 ビットのインテジャー・NCO の初期周波数誤差が小さい場合でも、システム内の他のクロックと比べて顕著な位相ドリフトが生じる可能性があります。モジュラス・モードは、DDSC_DATAPATH_CFG レジスタ内の DDSC_MODULUS_EN ビットを 1 に設定することによって有効にします (レジスタ 0x130、ビット 2=0b1)。

プログラマブル・モジュラス DDS の周波数比は、標準的なアキュムレータ・ベース DDS の周波数比に極めて近い値です。唯一の違いは、プログラマブル・モジュラスとするために (インテジャー・NCO について) N を 2 のべき乗とする必要がなく、任意の整数にできる点です。実際には、N の値の範囲はハードウェア的な制約によって制限されます。結果としてモジュラスは、正確に有理数型の周波数合成を必要とするアプリケーションにまで NCO の使用範囲を拡大します。プログラマブル・モジュラス技術の基礎となる機能は、加算器のモジュラスを変更することです。

AD9176 内のプログラマブル・モジュラス機能の実装は、分数 M/N を下に示す式で表せるようになっていました。この式の形は、X が整数部分を表し A/B が分数部分を表す合成周波数チューニング・ワードであることを示唆しています。

$$\frac{f_{\text{CARRIER}}}{f_{\text{NCO,CLK}}} = \frac{M}{N} = \frac{X + \frac{A}{B}}{2^{48}}$$

ここで、

X は FTW であり、レジスタ 0x132~0x137 で設定します。

A はレジスタ 0x140~0x145、

B はレジスタ 0x13A~0x13F で設定します。

X、A、および B は 48 ビット・ワードであるため、モジュラス・モードによって $(f_{\text{NCO,CLK}}) / 2^{(2 \times 48)}$ の精度で NCO 出力周波数 (f_{CARRIER}) を設定できます。

プログラマブル・モジュラスの例

$f_{\text{NCO,CLK}} = 1500\text{MHz}$ で、必要とされる f_{CARRIER} の値が 150MHz の場合を考えます。このシナリオは、除数がサンプル・レートの 2 のべき乗ではない出力周波数を合成します。具体的には $f_{\text{CARRIER}} = (1/10) f_{\text{NCO,CLK}}$ で、これは標準的な加算器ベースの DDS では合成できません。周波数比 $f_{\text{CARRIER}}/f_{\text{NCO,CLK}}$ は直接 M と N につながる値で、分数 $(150,000,000/1,500,000,000)$ を最後まで約分することによって決定されます。つまり、

$$M/N = 150,000,000/1,500,000,000 = 1/10$$

したがって、 $M = 1$ 、 $N = 10$ です。

計算すると、 $X = 28,147,497,671,065$ 、 $A = 3$ 、 $B = 5$ となります。これらの値を X、A、B のレジスタに設定すると (X は DDSC_FTWx のレジスタ 0x132~レジスタ 0x137 で設定、B は DDSC_ACC_MODULUSx のレジスタ 0x13A~レジスタ 0x13F で設定、A は DDSC_ACC_DELTAx のレジスタ 0x140~レジスタ 0x145 で設定)、 1500MHz のサンプリング・クロックを使用した場合、NCO は正確に 150MHz の出力周波数を生成します。詳細については、アプリケーション・ノート AN-953 を参照してください。

NCO リセット

NCO のリセットは、特定の NCO の開始時間と位相を決定するときに便利です。各チャンネル NCO はいくつかのイベント、すなわち、SPI を介した直接要求 (レジスタ 0x131、ビット 0)、FTW レジスタ値の 1 つを変更、または次の SYSREF±のエッジが立ち上がった瞬間のうちの 1 つにตอบสนองしてリセットするように設定できます。リセット方法は、レジスタ 0x131 によって制御されます。詳細については、レジスタ 0x131 の説明を参照してください。

チャンネル加算ノード

チャネライザの出力は加算ノード・ジャンクションで結合されてから、それぞれのメイン・データパスに送られます。メイン・データパスに加算される 16 ビットのデータ・サンプルがクリッピング (バイナリ・オーバーフロー) されないように、使用されている多くのチャンネルの合計は、 $\pm 2^{15}$ の範囲を超えないようにする必要があります。チャンネル・インターポレーションが $1\times$ より大きい場合の各チャンネルの最大データ・レートは、加算ノード・ジャンクションの最大速度 (1.575GSPS) によって制限されます。チャンネル・データパスをバイパスする場合は (チャンネル・インターポレーション = $1\times$)、図 72 に示すように加算ノード・ブロックもバイパスされます。チャネライザをバイパスすることで、データを高速のデータ・レートでメイン・デジタル・データパスに渡すことができます。JESD204B モードと対応する最大データ・レートについては、表 13 を参照してください。

メイン・デジタル・データパス

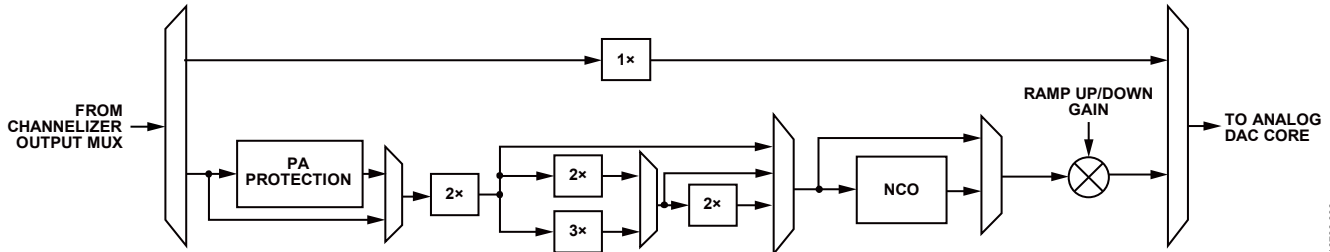


図 75. メイン DAC 出力ごとのメイン・デジタル・データパスのブロック図

各メイン・デジタル・データパスは、パワー・アンプ（PA）保護ブロック、1 組の複素インターポレーション・フィルタ、48 ビット複素メイン・データパス NCO、およびランプアップ／ランプダウン・ゲイン段で構成されています。メイン・データパスはバイパス可能で（1x インターポレーションが選択された場合）、メイン・データパスに組み込まれているすべてのデジタル処理ブロックをバイパスできます。インターポレーション選択では、すべてのメイン・データパスに対して同じ値が設定されるため、個別に制御することはできません。ただし、PA 保護ブロック、複素 NCO 設定値、およびゲイン・ランプはすべて個別に設定できます。

これらのブロックの制御は、表 41 に示すように、メイン DAC データパス・ページング・マスク MAINDAC_PAGE（レジスタ 0x008 のビット [7:6]）によってページングされます。ページ・マスクの各ビットは、1 つのメイン DAC データパスに対応しています。データパスは特定のメイン・データパスに固有の設定値を適用するために個別にページングすることもできますし、1 組の SPI 書込みを使用して両方のデータパスにアドレスを指定するグループとしてページングすることもできます。

表 41. メイン DAC データパスのページ・マスク

MAINDAC_PAGE (Register 0x008, Bits[7:6])	DAC Paged	DAC Datapath Updated
0x40 (Bit 6)	DAC0	DAC0
0x80 (Bit 7)	DAC1	DAC1

以下のセクションでは、メイン・データパス内の各デジタル・ブロックについて詳しく説明します。

ダウンストリーム保護（PA 保護）

AD9176 には、両方の DAC コアに到達したサンプルの振幅を急速に下げる（スケルチする）ように設計された回路がいくつか組み込まれています。したがって、AD9176 出力から下流に配置された PA やその他の外部システム部品を保護します。図 76 に示すように、DACx 出力は以下のトリガ信号に応答して、徐々にランプアップまたはランプダウンすることもできますし、あるいはオンまたはオフすることもできます。

- **PDP_PROTECT**：この信号は、デジタル・サンプル振幅の計算値が設定された閾値を超えたときにアサートされます。
- **INTERFACE_PROTECT**：この信号は、特定の JESD204B エラーが発生したときにアサートされます。
- **SPI_PROTECT**：この信号は、SPI 制御レジスタに直接書込みが行われたときにアサートされます。
- **BSM_PROTECT**：この信号はブランキング・ステート・マシン（BSM）モジュールをトリガし、このモジュールは SPI 書込み、あるいは外部 TXEN0 ピンまたは TXEN1 ピンから供給可能な、TXEN0 信号または TXEN1 信号の立上がりエッジでデータパスをフラッシュします。

トリガ・イベントに応答して複数のフラグが立ちます。これらのフラグは IRQx I/O ピン（**IRQ0**と**IRQ1**）に送られて、他の外部下流部品をシャットダウンすることや単にインジケータとして役割を果たすこともできます。

DAC 出力のオン／オフ機能は、フィードフォワード・トリガ信号をメイン・データパスの最後でかつアナログ DAC コアの前にあるランプアップ／ランプダウン・デジタル・ゲイン・ブロックに送ることによって同様に行われます。これにより、DAC は徐々に（または急速に）オン／オフすることができます。

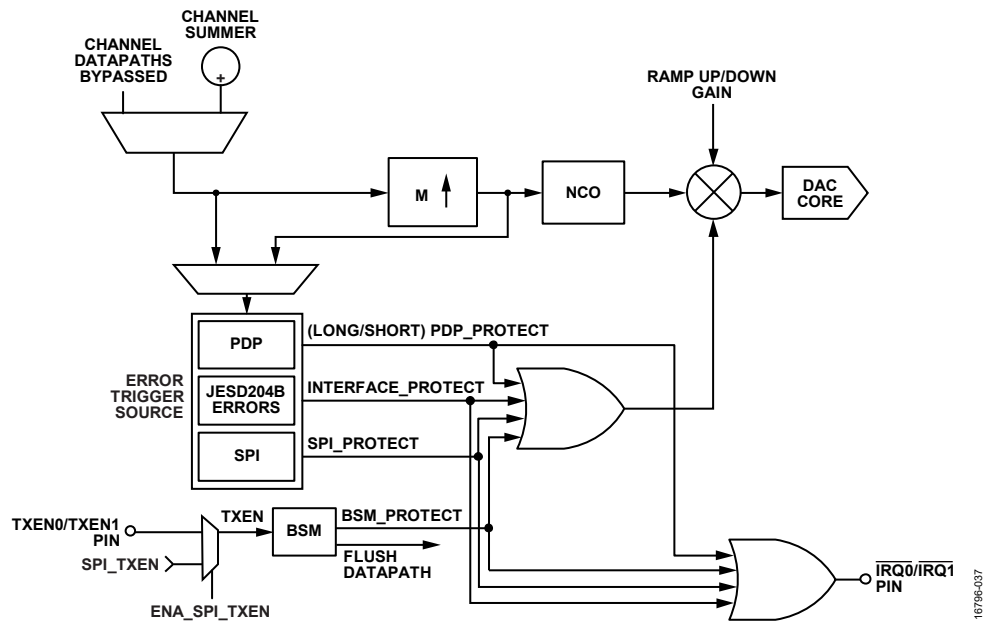


図 76. ダウンストリーム保護トリガのブロック図

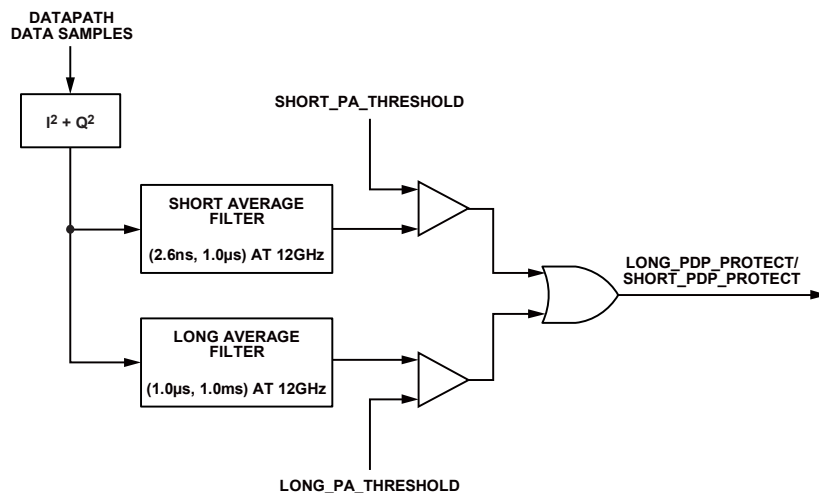


図 77. PDP のブロック図

電力検出および保護（PDP）ブロック

PDP ブロックは、DACx コア出力で予想される平均電力を算出して、AD9176 からオーバーレンジ信号が出力されないようにして、PA などの電力に敏感なデバイスが破損する可能性を回避します。保護ブロックは PDP_PROTECT 信号を供給し、DAC 出力をランプダウンしたり、I/O ピンを経由して外部部品をシャットダウンするように伝達したりすることができます。

PDP ブロックは、オーバーレンジ信号がアナログ DAC コアに届く前に PDP_PROTECT がトリガされるように、データパスよりも遅延の小さい別のパスを使用します（合計インターポレーションが 1x の場合を除く）。 I^2 と Q^2 の合計は、入力信号電力で表される値として計算されます（応答時間を改善するために、データ・サンプルの上位 6 ビットのみを使用）。計算されたサンプル電力値は、一定数のサンプルにわたって入力信号電力の平均値を出力する移動平均フィルタによって積算されます。長さの異なる 2 種類の平均フィルタ、すなわち、電圧故障を起こす可能性がある高電力パルスを検出する短いフィルタと、PA やその他のデバイスの熱定数よりも長く続く可能性がある持続的な高電力信号を検出する長いフィルタがあります。

平均フィルタの出力が閾値より大きい場合は、内部信号 PDP_PROTECT がハイになります。この信号は、オプションで IRQ フラグをトリガし、ランプアップ/ランプダウンを通じて DAC 出力をオフにするように設定できます。

PDP ブロック機能を図 77 に示します。

平均時間の長短は、LONG_PA_AVG_TIME（レジスタ 0x585、ビット [3:0]）と SHORT_PA_AVG_TIME（レジスタ 0x58A、ビット [1:0]）によって設定します。平均ウィンドウのサイズ（時間）は以下の計算を行って決定します。

$$\text{長平均ウィンドウの長さ} = 2^{\text{LONG_PA_AVG_TIME} + 9}$$

$$\text{短平均ウィンドウの長さ} = 2^{\text{SHORT_PA_AVG_TIME}}$$

算出された平均電力が指定された閾値を超えた場合は、トリガ信号が発行されます。長い平均フィルタと短い平均フィルタにおける閾値を設定するレジスタを、それぞれの検出される電力計算リードバックと共に表 42 に示します。

表 42. PDP 閾値と電力計算制御

Register	Bits	Control
0x583	[7:0]	LONG_PA_THRESHOLD[7:0]
0x584	[4:0]	LONG_PA_THRESHOLD[12:8]
0x586	[7:0]	LONG_PA_POWER[7:0]
0x587	[4:0]	LONG_PA_POWER[12:8]
0x588	[7:0]	SHORT_PA_THRESHOLD[7:0]
0x589	[4:0]	SHORT_PA_THRESHOLD[12:8]
0x58B	[7:0]	SHORT_PA_POWER[7:0]
0x58C	[4:0]	SHORT_PA_POWER[12:8]

メイン・データパス・インターポレーション

メイン・データパス内で使用可能なインターポレーション・オプションは、バイパス (1x)、2x、4x、6x、8x、12x です。インターポレーションに使用するそれぞれのハーフバンド・フィルタの帯域幅は最大 80% で、阻止帯域除去比は 85dB です。チャンネル・ハーフバンド・カスケード構成を図 78 に示します。また、各インターポレーション・フィルタの使用可能帯域幅を表 43 に示します。

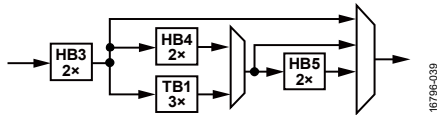


図 78. メイン・データパス・インターポレーション・ハーフバンド・フィルタのブロック図

表 43. メイン・データパス・インターポレーションの使用可能帯域幅と除去比

Half-Band Filter	Bandwidth (× f_{IN_FILTER})	Stop Band Rejection (dB)
HB3	80%	85
HB4	40%	85
TB1	40%	85
HB5	20%	85

メイン・データパス・デジタル変調

メイン・データパスの 48 ビット NCO のアーキテクチャは、以前のセクションで説明したチャネライザ NCO とほとんど同じです。それらの動作もほぼ同じです。ただし、メイン・データパス NCO は、チャネライザ NCO とは異なり、より高いクロック・レート、すなわちアナログ DAC コアと同じレート (f_{DAC}) で動作するため、NCO は広範囲にわたる周波数を生成できます。詳細については、48 ビット・インテジャーク／モジュラス NCO のセクションを参照してください。

モードは表 44 に示すように選択されます。これらの制御は、メイン DAC ページ・マスク MAINDAC_PAGE (レジスタ 0x008 のビット [7:6]) によってページングされます。

表 44. メイン変調モードの選択

Modulation Mode	Modulation Type	
	Register 0x112, Bit 3	Register 0x112, Bit 2
None	0b0	0b0
48-Bit Integer NCO	0b1	0b0
48-Bit Dual Modulus NCO	0b1	0b1

メイン NCO ブロックには、サイドバンド選択制御機能と、FTW および位相オフセットの制御機能更新方法に関するオプションも含まれています。

位相オフセット・ワード制御は次のように計算できます。

$$-180^\circ \leq \text{度数オフセット} \leq +180^\circ$$

$$\text{度数オフセット} = 180^\circ \times (\text{DDSM_NCO_PHASE_OFFSET}[2^{15}])$$

ここで、DDSM_NCO_PHASE_OFFSET は、表 45 に示すレジスタに設定された 16 ビットの 2 の補数値です。

表 45. メイン・データパス NCO の位相オフセット・レジスタ

アドレス	値	説明
0x11C	DDSM_NCO_PHASE_OFFSET[7:0]	位相オフセットの下位 8 ビット
0x11D	DDSM_NCO_PHASE_OFFSET[15:8]	位相オフセットの上位 8 ビット

48 ビット・インテジャーク／モジュラス NCO

図 74 に示すように、メイン・データパス NCO は、チャネライザ NCO と同様なアーキテクチャを使用しています。メイン・データパス NCO は、 f_{DAC} と同じレートでクロックが供給されるため、この構成によって出力信号は非常に高い周波数分解能で $\pm f_{DAC}/2$ までの出力スペクトル内のどこへでも配置できます。

この NCO は、チャネライザ NCO と同様に、直交キャリアを生成して、入力信号を新しい搬送周波数に変換します。詳細については、対応するチャネライザ NCO のセクションを参照してください。

メイン・データパス NCO における FTW は、チャネライザ NCO における FTW と同じ方法で算出されます。重要な相違は、メイン・データパス NCO のクロック・レート ($f_{NCO,CLK}$) が DAC サンプル・レート (f_{DAC} 、最大 12.6GSPS) と等しいことです。次式を使用して $f_{NCO,CLK}$ を算出します。

$$f_{NCO,CLK} = f_{DAC} = f_{DATA} \times \text{チャンネル・インターポレーション} \times \text{メイン・インターポレーション}$$

個々の NCO の FTW は個別に設定可能で、次式で計算できます。

$$-f_{NCO,CLK}/2 \leq f_{CARRIER} < +f_{NCO,CLK}/2$$

$$\text{DDSM_FTW} = (f_{CARRIER}/f_{NCO,CLK}) \times 2^{48}$$

ここで、

$f_{CARRIER}$ は NCO の出力周波数です。

$f_{NCO,CLK}$ は NCO のサンプリング・クロック周波数です。

DDSC_FTW は 48 ビットの 2 の補数です。

周波数チューニング・ワードは図 46 に示すように設定されます。

表 46. メイン・データパス NCO FTW レジスタ

アドレス	値	説明
0x114	DDSM_FTW[7:0]	FTW の下位 8 ビット
0x115	DDSM_FTW[15:8]	FTW の次の 8 ビット
0x116	DDSM_FTW[23:16]	FTW の次の 8 ビット
0x117	DDSM_FTW[31:24]	FTW の次の 8 ビット
0x118	DDSM_FTW[39:32]	FTW の次の 8 ビット
0x119	DDSM_FTW[47:40]	FTW の上位 8 ビット

FTW レジスタは、他の NCO コントロール・レジスタとは異なり、コントロール・レジスタに書き込んだ直後には NCO ブロックに適用されません。その代わりに、FTW レジスタは DDSM_FTW_LOAD_REQ (レジスタ 0x113、ビット 0) の立上がりエッジで適用 (リセット) されます。更新要求後は、DDSM_FTW_LOAD_ACK (レジスタ 0x113、ビット 1) をハイ・ステータスにして、FTW が更新されたことをアクノレッジする必要があります。

DDSC_SEL_SIDE BAND ビット (レジスタ 0x112 のビット 1=0b1) は変調に使用するデータを下側サイドバンドにするか、上側サイドバンドにするかを制御する便利なビットで、このビットは FTW の符号を反転することと同じです。

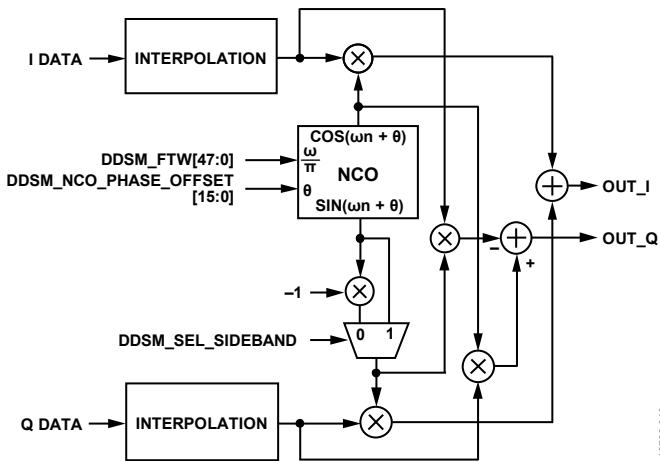


図 79. NCO 変調器のブロック図、メイン・データパス・モジュラス NCO モード (DDS)

それぞれのメイン・データパス 48 ビット NCO は、48 ビット精度を超えるフラクショナル周波数を生成するために、デュアル・モジュラス・モードで使用することもできます。モジュラス・モードは、DDSM_DATAPATH_CFG レジスタ内の DDSM_MODULUS_EN ビットを 1 に設定することによって有効にします (レジスタ 0x112、ビット 2=0b1)。

メイン・データパス・モジュラス NCO は、チャンネル・モジュラス NCO と同様のアーキテクチャになっており、X (FTW)、A および B の値は同様の方法で算出されます。

$$\frac{f_{\text{CARRIER}}}{f_{\text{NCO,CLK}}} = \frac{M}{N} = \frac{X + \frac{A}{B}}{2^{48}}$$

ここで、

X は FTW であり、レジスタ 0x114~0x119 で設定します。

A はレジスタ 0x12A~0x12F、

B はレジスタ 0x124~0x129 で設定します。

詳細および例については、チャンネル・モジュラス NCO モード (ダイレクト・デジタル合成 (DDS) モード) のセクションを参照してください。メイン・データパス NCO は、チャンネル NCO より高いクロック・レート ($f_{\text{NCO,CLK}}$) で動作し、異なる組の SPI レジスタからアドレスが指定されます。

NCO リセット

メイン・データパス NCO のリセットは、NCO の開始時間と位相を決定するときに便利な場合があります。各 NCO はいくつかのイベント、すなわち、SPI を介した直接要求 (レジスタ 0x113、ビット 0)、FTW レジスタ値の 1 つを変更、または次の SYSREF±のエッジが立ち上がった瞬間のうちの 1 つにตอบสนองしてリセットするように設定できます。リセット方法は、レジスタ 0x113 によって制御されます。詳細については、表 61 内のレジスタ 0x113 の説明を参照してください。

キャリブレーション NCO

図 80 に示すように、48 ビット NCO と 31 個の 32 ビット NCO に加えて、32 ビット・キャリブレーション NCO があり、メイン・データパス NCO ブロックの一部になっています。この NCO は 48 ビット NCO とは独立しており、メイン・データパスの設定を変更することなしにキャリブレーション・トーンを生成するための便利な方法が可能にします。この NCO は、その他のすべての NCO と同様に、NCO オンリー・モードで使用でき、また、入力データを新しい搬送周波数に変換するためにも使用できます。レジスタ 0x1E6 のビット 0 は、32 ビット・キャリブレーション NCO をメイン・データパスに接続するかどうか、またはその代わりに通常の 48 ビット・メイン NCO を接続するかどうかを制御します。32 ビット・キャリブレーション NCO を使用するには、最初にレジスタ 0x1E6 のビット 2 を 1 に設定して、キャリブレーション NCO アキュムレータをイネーブルします。次に、レジスタ 0x1E2~レジスタ 0x1E5 でキャリブレーション NCO FTW を設定して FTW を更新し、レジスタ 0x113 のビット 0 を 0 から 1 に変えてこれを有効にします。レジスタ 0x1E6 のビット 0 を 1 に設定して、メイン NCO の代わりに、キャリブレーション NCO の使用を選択します。キャリブレーション NCO は、他の NCO と同様に、NCO オンリー・モードで動作するように設定できます。このモードは、レジスタ 0x1E6 のビット 1 を 1 に設定することで有効にできます。

トーンの振幅は、レジスタ 0x148 とレジスタ 0x149 で設定できます。詳細については、NCO オンリー・モードのセクションを参照してください。

NCO オンリ・モード

AD9176 の NCO はスタンバイ・モードで動作することができ、この場合は JESD204B リンクが遮断（無効化）され、1 つ以上の NCO トーンが DAC0 と DAC1 の両方または一方から出力されます。正式の JESD204B モードでは、対応するチャネライザやメイン・データパスのクロック・ドメインを設定するために、更に選択を行う必要があります。NCO オンリ・モードでは、内部で生成された DC サンプルで NCO 出力を変調することによって、各 NCO でシングル・トーンのサイン波を生成します。DC サンプルの振幅は、DAC コアによって出力された NCO トーンの振幅とちょうど一致します。図 72 に示すように、すべての NCO は同じ組の DC サンプルによって変調されるため、それらの振幅は個別に制御することはできません。個別の振幅制御が必要な場合は、外部データ・ソースから DC サンプルを供給するために JESD204B リンクを確立することを検討します。

NCO オンリ・モードでのデジタル・データパスのデータ・ソースは、DC データ・ワードです。つまり、JESD204B リンクが最初に起動するかどうかにかかわらず、リンクからのデータはデータバスに渡されません。ただし、データバスへの入力、データバスに応じて、レジスタ 0x130 またはレジスタ 0x1E6 によって DC データ入力と SERDES ブロック入力の間で簡単に切り替えられます。JESD204B リンクが予め設定されていて、適切なデータ・サンプルが供給されていれば、この接続は実行中に行うことができます。遷移中に、前述のように PA 保護ブロックを

使用することによって、敏感な外部部品を保護することができます。

NCO オンリ・モードで NCO のいずれかを使用するには、チャネル NCO の必要数に応じて、AD9176 を JESD204B のモード 0、モード 1、またはモード 2 で動作するように設定を選択できます。NCO がバイパスされない限り（インターポレーション = 1）、代わりに他の JESD204B モードを選択できます。DAC1 に接続する NCO をイネーブルするために、デュアル・リンク JESD204B モードを設定することができます。FPGA などの外部ソースを使用して JESD204B リンクを確立する必要はありません。その代わりに、必要な JESD204B モードを有効にして、各 NCO に対応するクロック・ドメインをセットアップするために、SPI レジスタ書き込みが少しだけ必要です。

一般に、NCO オンリ・モードは最初にデジタル・データ・ソースを必要としないでトランスミッタの無線シグナル・チェーンを起動する目的、または、LO やレーダーのアプリケーションなど、サイン波出力だけが必要なアプリケーション（DDS モードとしても知られている）に有効です。

追加的なキャリブレーション NCO ブロックが用意されていて（オプション）、初期システム・キャリブレーションの一部として使用することができるので、他の方法でデジタル・データパスの設定を変更する必要はありません。

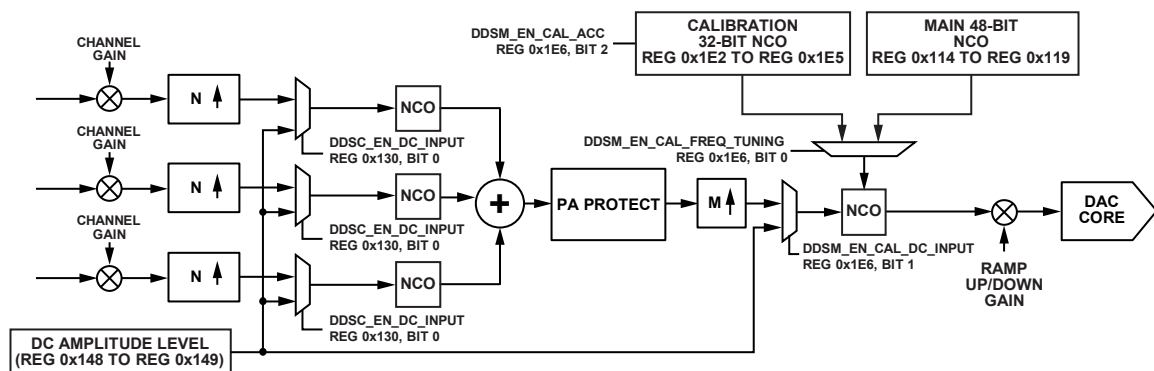


図 80.NCO オンリ・モードにおける DC 振幅注入のブロック図

16796-148

変調器スイッチ

柔軟性を高めるために、最後の NCO ブロック（構成 0 において、デフォルトで供給される DAC コアに対応する NCO0 と NCO1）には、必要な I や Q のサンプルを、1 つまたはすべての DAC コアに送ることができる変調器スイッチが組み込まれています。NCO_x は、それぞれのメイン・デジタル・データパスの出力の近くに配置されています。図 81～図 84 に示すように、スイッチには 4 種類の構成があります。構成の中には、NCO を完全にバイパスするものや、

複素 I および Q サンプルを各データパスから DAC コアに送るものもありますが、一方で NCO の出力を配線するモードもあります。図 83 に示す構成 2 は特に興味深いかもしれません。この構成では、I サンプルが DAC0 に送られ、Q サンプルが DAC1 に送られるため、AD9176 は通常の IF DAC として動作します。また、構成 3 の配線は、NCO1 や DAC1 がイネーブルになっているかどうかによって依存します。これらの構成はレジスタ 0x112 のビット [5:4] で設定され、MAINDAC_PAGE レジスタの制御によってページングされます。

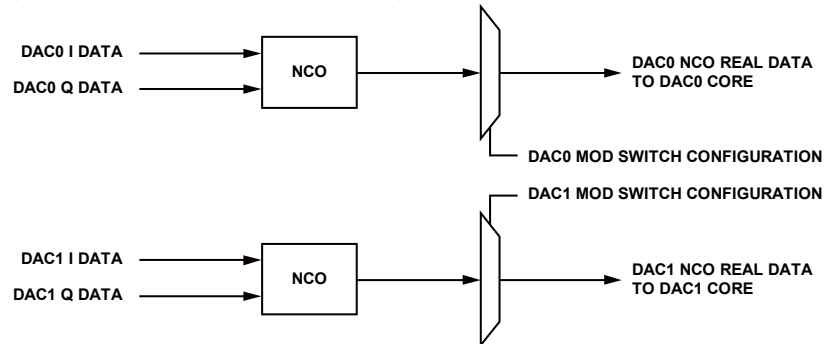


図 81. 構成 0—DAC0 = I0、DAC1 = I1

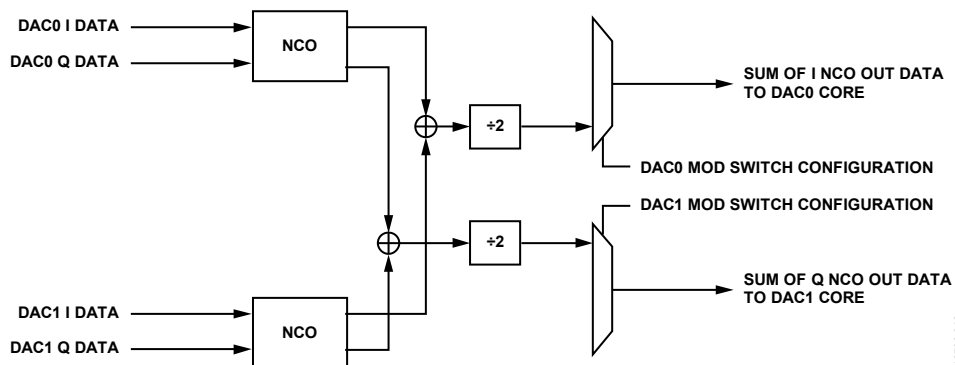


図 82. 構成 1、CMPLX_MOD_DIV2_DISABLE = 0—DAC0 = I0 + I1、DAC1 = Q0 + Q1

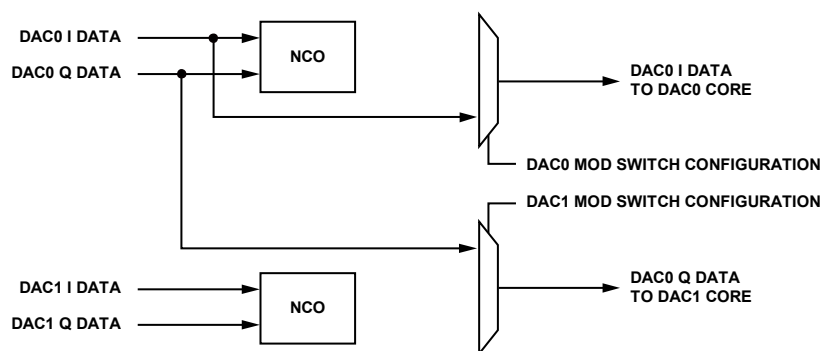
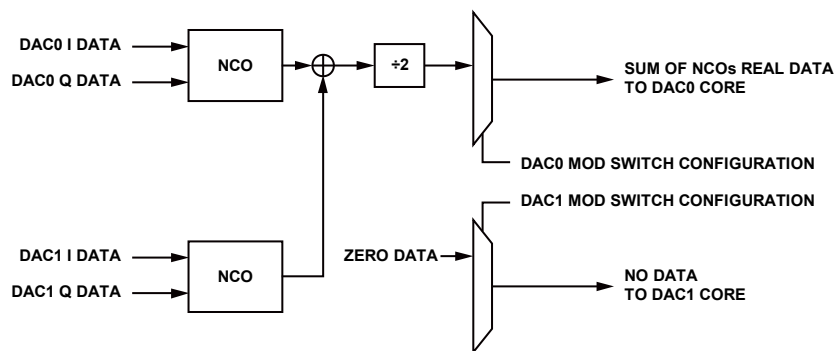


図 83. 構成 2—DAC0 = I0、DAC1 = Q0



16796-044

図 84. 構成 3、CMPLX_MOD_DIV2_DISABLE = 0—DAC0 = I0 + I1、DAC1 = 0

複素変調器スイッチの構成

前述のスイッチ構成は、NCO がバイパスされた複素サンプルだけをサポートします。NCO が使用されている場合に複素サンプルをサポートするには、EN_CMPLX_MOD ビット（レジスタ 0x112、ビット 6）で制御することによって、NCO の出力で複素サンプルを処理するように、構成 3 を追加的に再構成することができます。この特別な構成も、図 85 と図 86 に示すように、NCO1 がイネーブルになっているかどうかによって依存します。

構成 3A をセットアップするには、EN_CMPLX_MOD ビットを 1 に設定し、スイッチを NCO0 と NCO1 の両方がイネーブルされる構成 3 に設定します。各メイン・データパスからの NCO の直交出力は、DAC1 にも配線されます（もはや図 84 に示すデフォルト構成 3 のように、DAC1 からゼロ・データ出力は送信されません）。NCO1 がディスエーブルで、EN_CMPLX_MOD = 1 の場

合は、NCO0 の実数出力は DAC0 に送られ、NCO0 の直交出力は DAC1 に送られます。このセットアップは構成 2 に似ていますが、NCO0 の出力でサンプルを受け取っています（図 85 と図 86 を参照）。

マルチプレクサ・スイッチの入力での 2 分周のブロックは、レジスタ 0x0FF 内の CMPLX_MOD_DIV2_DISABLE ビットを使用してディスエーブルできます。さもなければ、DAC0 と DAC1 の出力は予想よりも 3dB 低くなります。なぜなら、2 分周のブロックはデフォルトでイネーブルされるためです。

各構成をイネーブルするために必要な SPI 書き込みの完全なリストを表 47 に示します。

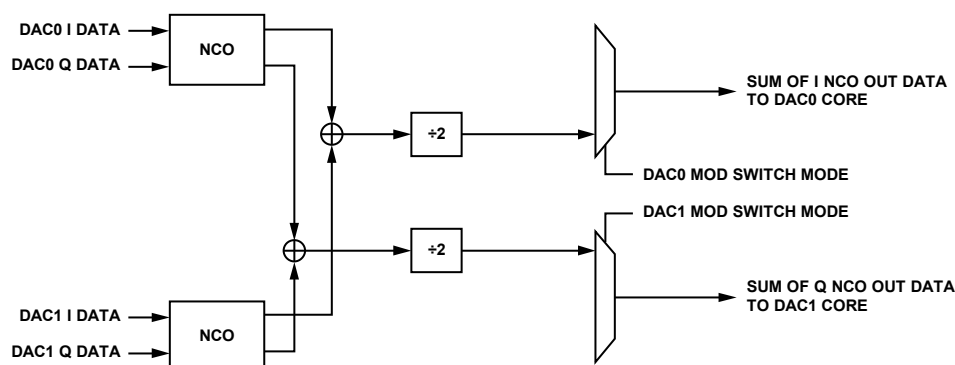


図 85. 構成 3A、EN_CMPLX_MOD = 1、CMPLX_MOD_DIV2_DISABLE = 0、両方のメイン NCO がイネーブル—DAC0 = I0_NCO + I1_NCO、DAC1 = Q0_NCO + Q1_NCO

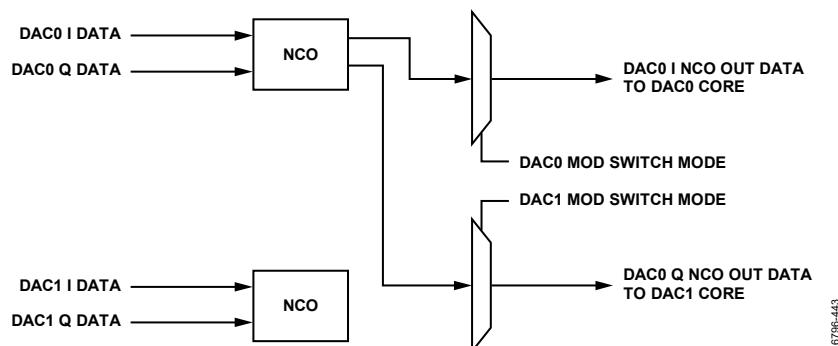


図 86. 構成 3B、EN_CMPLX_MOD = 1、CMPLX_MOD_DIV2_DISABLE = 1、DAC1 のメイン NCO がディスエーブル—DAC0 = I0_NCO、DAC1 = Q0_NCO

表 47. 各変調器スイッチ構成において必要な SPI 書き込み

Configuration	Register 0x112, Bit 6 (EN_COMPLEX_MOD)	Register 0x112, Bits[5:4] (DDSM_ MODE)	Register 0x112, Bit 3 (Paged)		Register 0x0FF, Bit 1 (CMPLX_MOD_ DIV2_DISABLE)
			NCO0 Enable	NCO1 Enable	
Configuration 0	0	0	1	1	0
Configuration 1	0	1	0	0	0
Configuration 2	0	2	0	0	0
Configuration 3	0	3	1	1	0
Complex Configuration 3A	1	3	1	1	0
Complex Configuration 3B	1	3	1	0	1

ランプアップ／ランプダウン・ゲイン・ブロック

ランプアップ／ランプダウン・ゲイン・ブロックは、各メイン・データパスの出力に位置し、かつサンプルがデコードのためにアナログ DAC コアに送られる前に位置しています。このブロックは PDP ブロックを拡張したもので、これらのブロックは共に大信号のピーク、またはユーザが定義した閾値を超える持続的な平均電力から下流部品を保護します。

図 76 に示すように、PA 保護ブロックに様々なトリガ方法を設定して、AD9176 から転送されるデータをミュートするためのゲイン・ランプダウンをトリガすることができます。ランプアップおよびランプダウン・ステップは、SPI を介してレジスタ 0x580 のビット [2:0] に設定できます。ランプアップとランプダウンの式は、 $2^{(\text{CODE} + 8)}$ DAC クロック周期内に 32 ステップで実行されます。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御を介し、それぞれの DAC ランプ・ブロックについて個別に設定できます。

トリガ・イベントによってデータがランプダウンした後、トリガ・イベント（エラー）がクリアされたと仮定して、2 つの異なる方法で再度ランプアップさせることができます。SPI 保護制御ビットがランプダウンの割込みをトリガした場合は、レジスタ 0x582 のビット 7 を 0 から 1 に切り替え、再度 0 に戻すことによって、データを再度ランプアップさせることもできます。一方、レジスタ 0x581 のビット 2（ROTATE_SOFT_OFF_EN 制御）が 1 に設定されている場合は、デジタル・クロックのローテーション時にデジタル・データをミュートするためのオプションもあります。このビットを設定すると、同期ロジック・ローテーションがランプアップ／ランプダウン・ブロックをトリガして出力をランプダウンさせ、デジタル・クロックをローテーションさせ、その後で出力を再度ランプアップさせます。これらの動作は、レジスタ 0x03B 内にある ROTATION_MODE 制御のビット 1 が 1 に設定されて、同期ロジックのローテーション時にデータパス・クロック・ローテーションが有効になっている場合にのみ実行されます。

割込み要求動作

AD9176は、割込み要求信号 ($\overline{\text{IRQ}}$) をピンD9 ($\overline{\text{IRQ0}}$) とピンE9 ($\overline{\text{IRQ1}}$) に出力でき、重要なデバイス・イベントが発生したことを外部ホスト・プロセッサに知らせるためにこれらを使用できます。 $\overline{\text{IRQ}}$ 出力は、レジスタ 0x028、レジスタ 0x029、レジスタ 0x02A、およびレジスタ 0x02Bの $\overline{\text{IRQ}}$ 信号対応ビットを設定することによって、 $\overline{\text{IRQ0}}$ ピンまたは $\overline{\text{IRQ1}}$ ピンのどちらかに切り替えることができます。割込みがアサートされた時点で、発生したイベントの詳しい内容をデバイスに問い合わせます。 $\overline{\text{IRQx}}$ ピンはオープン・ドレインのアクティブ・ロー出力なので、 $\overline{\text{IRQx}}$ ピンがハイ・レベルにプルアップされると、外部と無関係になります。これらのピンは、配線用のオープン・ドレイン出力を持つ他のデバイスの割込みピンに接続できます。これらのピンは互いにOR接続してください。

図 87に、 $\overline{\text{IRQx}}$ ブロックがどのように機能するかを示す簡略ブロック図を示します。 IRQ_EN がローの場合は、 INTERRUPT_SOURCE 信号が0に設定されます。 IRQ_EN がハイの場合は、 EVENT の立上がりエッジで INTERRUPT_SOURCE 信号がハイに設定されます。いずれかの INTERRUPT_SOURCE 信号がハイの場合は、 $\overline{\text{IRQx}}$ ピンがローにプルダウンされます。 INTERRUPT_SOURCE は、 IRQ_RESET 信号または DEVICE_RESET 信号によって 0 にリセットできます。

STATUS_MODE 信号に応じて、 EVENT_STATUS はイベント信号または INTERRUPT_SOURCE 信号をリードバックします。AD9176 には複数の $\overline{\text{IRQ}}$ レジスタ・ブロックがあり、これにより、デバイスの構成に応じ最大で 86 個のイベントをモニタすることができます。表 48 に示すように、一部の詳細は $\overline{\text{IRQ}}$ レジスタ・ブロックによって異なります。図 87 の IRQ_EN 、 IRQ_RESET 、および STATUS_MODE 信号のソース・レジスタと、 EVENT_STATUS がリードバックされるアドレスを表 49 に示します。

表 48. $\overline{\text{IRQ}}$ レジスタ・ブロックの詳細

レジスタ・ブロック	通知されるイベント	イベント_ステータス
0x020 to 0x027	Per chip	$\overline{\text{IRQ}}$ がイネーブルになっている場合は INTERRUPT_SOURCE 、そうでない場合はイベント
0x4B8 to 0x4BB; 0x470 to 0x473	Per link and lane	$\overline{\text{IRQ}}$ がイネーブルになっている場合は INTERRUPT_SOURCE 、そうでない場合は 0

割込みサービス・ルーチン

割込み要求管理は、ホストの介入またはモニタリングを必要とするイベント・フラグのセットを選択することから始まります。ホストによる対応が必要なイベントを有効にして、そのイベントが発生した場合はホストに通知されるようにします。 $\overline{\text{IRQ}}$ 発生時にホストの介入が必要なイベントについては、以下のルーチンを実行して割込み要求をクリアします。

1. モニタするイベント・フラグ・ビットのステータスを読み出します。
2. IRQ_EN に 0 を書き込むことによって割込みをディスエーブルします。
3. イベント・ソースを読み出します。
4. イベントの原因を解消するために必要なアクションを実行します。多くの場合、特別な対応は必要ありません。
5. イベント・ソースが正常に機能していることを確認します。
6. IRQ_RESET に 1 を書き込むことによって割込みをクリアします。
7. IRQ_EN に 1 を書き込むことによって割込みをイネーブルします。

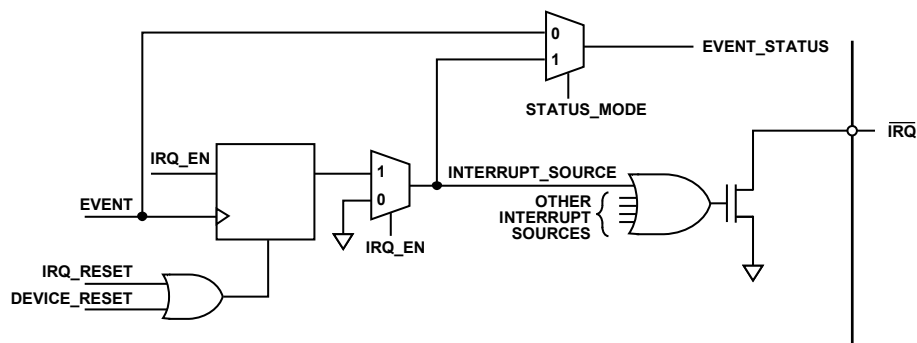


図 87. $\overline{\text{IRQx}}$ 回路の簡略図

表 49. $\overline{\text{IRQ}}$ 信号のレジスタ・ブロック・アドレスの詳細

Register Block	Address of IRQ Signals ¹			
	IRQ_EN	IRQ_RESET	STATUS_MODE	EVENT_STATUS
0x020 to 0x023	0x020 to 0x023; R/W per chip	0x024 to 0x027; per chip	STATUS_MODE= IRQ_EN	0x024 to 0x027; R per chip
0x4B8 to 0x4BB	0x4B8, 0x4B9; W per error type	0x4BA, 0x4BB; W per error type	Not applicable, STATUS_MODE = 1	0x4BA, 0x4BB; W per chip
0x470 to 0x473	0x470 to 0x473; W per error type	0x470 to 0x473; W per link	Not applicable, STATUS_MODE = 1	0x470 to 0x473; W per link

¹ R は読出し、W は書込み、R/W は読出し／書込みを表します。

アナログ・インターフェース

DAC 入力クロック設定

AD9176 の DAC サンプル・クロックまたはデバイス・クロック (DACCLK) は、CLKIN± (ピン H12 とピン J12) を介して直接受信することもできますし、同じ CLKIN± 差動入力ピンを介して供給されたリファレンス・クロックを使用し、内蔵されたインテジャ-PLL/VCO によって生成することもできます。DACCLK は、AD9176 内のすべてのクロック・ドメインを対象とするリファレンスとして動作します。

AD9176 は、差動クロック・ソースやシングルエンド・クロック・ソースと直接インターフェースを取ることのできる、低ジッタの差動クロック・レシーバーを使用しています。入力には 100Ω の公称インピーダンスで自己バイアスされているので、クロック源を CLKIN± 入力ピンに AC カップリングすることを推奨します。位相ノイズ性能は、クロックの入力レベルが高いほど向上させることができます (スイングが大きいほど、実効スルー・レートが高くなる)。ただし、クロックの入力レベルが推奨する最大制限以下のときに限られます。DACCLK はアナログ・コア (DACx) 内のデータを対象とするサンプリング・クロックであるため、AD9176 のクロック入力ピンでのクロック信号の品質は最も重要であり、DAC のアナログ AC 性能に直接影響を与えます。目的のアプリケーション条件を満足する位相ノイズ特性とスパー特性のクロック源を選択します。一般に、DAC の内部または外部で PLL/VCO やその他のクロック通倍器を使用すると、結果的に位相ノイズ (ジッタ) も増加します。最良の位相ノイズ性能は、一般に PLL/VCO をバイパスして必要な DAC クロック・レートで動作する外部クロックを使用することによって実現できます。

低位相ノイズが重要な条件でない場合は、複雑なマルチギガヘルツのクロッキング・ソリューションは不要で、PLL/VCO は 12.4GHz という高い DAC クロック・レートで AD9176 を動作させるための便利な方法を実現します。一般に CLKIN± での PLL リファレンス周波数は、動作している DACCLK レートよりも低い桁数で実現できます。更に PLL は下流の VCO のために制御電圧を生成し、この VCO は実際にリファレンス・クロックを目的の DACCLK 周波数まで通倍します。

AD9176 に直接クロックを供給して、入力クロックのデューティ・サイクル補正をオン (デフォルトで有効) にした場合の標準的な位相ノイズ性能と、オンチップの PLL/VCO による位相ノイズ性能を比較したものを図 88 に示します。

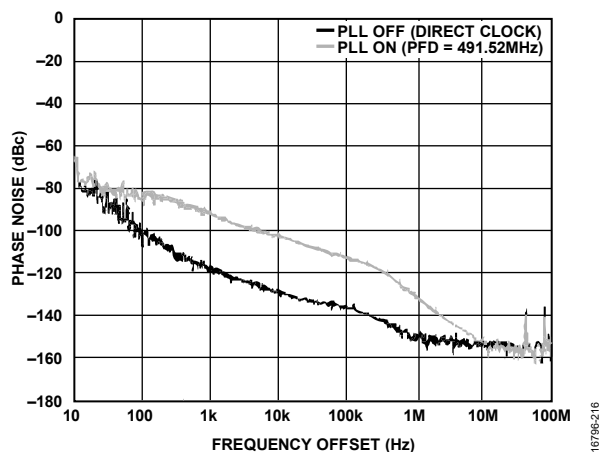


図 88. 位相ノイズと周波数オフセット-直接クロックと PLL の位相ノイズ、12GHz DAC サンプル・レート、1.65 GHz 出力周波数

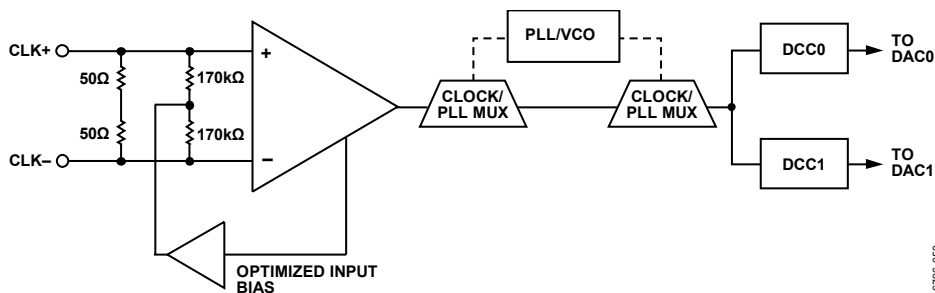


図 89. クロック・レシーバー入力の簡略等価回路

DAC オンチップ PLL

AD9176は、CLKIN±ピンに加えられた25MHz～3080MHzの範囲の外部リファレンス周波数 (f_{REF}) からDACクロック (f_{DAC}) を生成できる、インテジャークロック/VCO ブロックを内蔵しています (図 90 を参照)。オンチップ PLL を使用する場合は、レジスタ 0x793 のビット [1:0] を介して前置分周器を選択し、リファレンス周波数を内部で分周し、位相周波数検出器 (PFD) 回路ブロック入力 の 25MHz～770MHz の範囲内に入るようにします。レジスタ 0x095 のビット 0 を 0 に設定することにより、DAC PLL シンセサイザをイネーブルします。

アプリケーションによって低い DACCLK が必要な場合は、内部 VCO は追加の分周器設定を用いて、8.74GHz～12.4GHz の範囲の周波数で動作します。DAC クロック・レートは、レジスタ 0x094 のビット [1:0] を設定することによって、VCO 周波数 (8.74GHz～12.4GHz)、VCO 周波数の 1/2 (4.37GHz～6.2GHz)、または VCO 周波数の 1/3 (2.92GHz～4.1GHz) となるようにユーザが設定できます。PLL の設定方法については、スタートアップ・シーケンスのセクションを参照してください。

チャージ・ポンプ (CP) 出力から必要な VCO 制御電圧を生成するために、AD9176 の DAC PLL には外付けループ・フィルタが必要です。推奨するフィルタは、図 90 に示すフィルタと同様なトポロジのパッシブ・ローパス・フィルタです。一般に、最初に周波数がロックされた後、ループが安定した状態で周波数が変化している間は、フィルタの通過帯域幅 (帯域幅) とループ応答時間がトレードオフの関係になります。ほとんどのアプリケーションで最適な性能が得られる適切なフィルタのレイアウトと部品選択については、AD9176-FMC-EBZ 評価用ボードの技術文書を参照してください。しかしながら、フィルタは、PFD 周波数、リファレンス・クロックの位相ノイズ、DAC 出力の位相ノイズなどの条件に従って、個別のアプリケーションに合うようにカスタマイズすることができます。例えば、PLL を使用している場合に DACCLK ジッタを低減させるために、PFD

周波数を高くすると、PLL からのインバンド・ノイズの影響を最小限に抑えることができます。PLL フィルタの帯域幅は、PLL のインバンド・ノイズが VCO のオープン・ループ・ノイズと交差するように設定して、両方のブロックがノイズ全体に及ぼす影響を最小限に抑えるようにします。

9.96GHz～10.87GHz の VCO 周波数で作動させるときは、温度変化に対する最適な安定性を確保するために、PFD 周波数を 225MHz 未満に設定してください。

最良のジッタ性能は、一般に外部の高性能クロック源を使用したときに実現できます。

DAC PLL はインテジャークロック・タイプのシンセサイザを使用して、DAC0 と DAC1 の両方に対して DACCLK を生成するため、生成された DACCLK は必ず入力リファレンス・クロックの整数倍になります。DAC クロックとリファレンス・クロックの関係は次式で表されます。

$$f_{DAC} = (8 \times N \times f_{REF}) / M / (\text{レジスタ 0x094 のビット [1:0]} + 1)$$

ここで、

f_{DAC} は目的の DAC クロック・レート、

N は VCO の帰還分周比 (2～50)、

f_{REF} はリファレンス・クロックの周波数、

M はリファレンス・クロック分周器の分周比です。リファレンス・クロック分周器 (前置分周器) における有効な値は 1、2、3、または 4 で、レジスタ 0x793 のビット [1:0] で設定します。

VCO 自動キャリブレーションは、レジスタ 0x792 のビット 1 のロジック・ハイからロジック・ローへの立下がりエッジによってトリガされます。ロック検出ビット (レジスタ 0x7B5 のビット 0) は、DAC PLL がロックを完了したことを示すために使用します。レジスタ 0x7B5 のビット 0 = 1 の場合、PLL はロック状態になります。

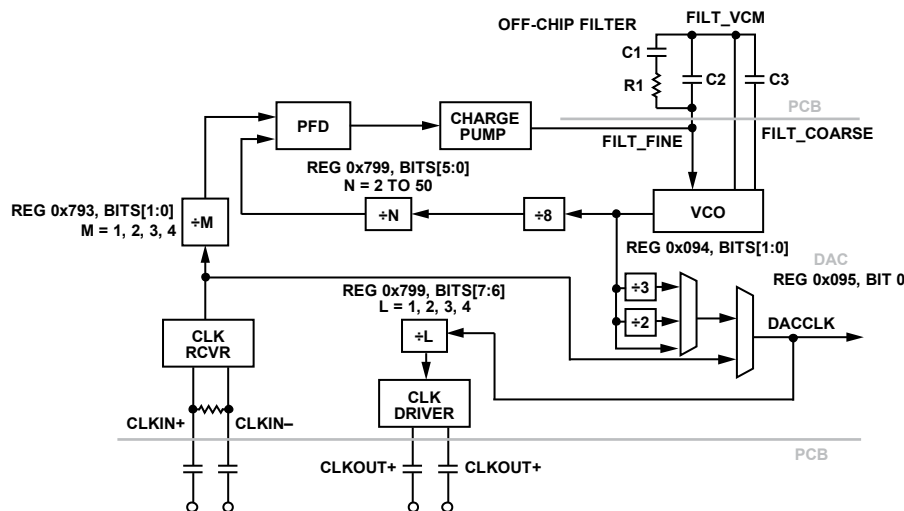


図 90. DAC PLL とクロック・パスのブロック図

クロック出力ドライバ

AD9176 は DACCLK の高品質な分周されたバージョンを生成することができ、コンパニオン ADC などの重要なシステム部品にクロックを供給するために使用できます。インテジャ・クロック分周器は 1、2、3、4 のいずれかの分周比を選択でき、レジスタ 0x799 のビット [7:6] によって希望の出力周波数に設定することができます。クロック分周器の 3dB 帯域幅は 727.5MHz～3GHz の範囲です。この範囲外でも周波数を生成できますが、クロック出力で電力とスプリアスの性能が両方とも多少劣化します。

クロック・ドライバは、DACx のアナログ出力の性能には影響を及ぼしません。

アナログ出力

AD9176 は、完全に独立した 2 つの DAC コア (DAC0 と DAC1) を備えており、それぞれ差動出力を備えています。1 つの DAC コアの等価出力回路を図 91 に示します。各出力は 100Ω の抵抗 (R_{INT}) で内部終端されているため、PCB 上で DAC 出力を抵抗で外部終端する必要はありません。出力段に適切な DC バイアスをかける際、各 DACx 出力に一定の電流を流すための DC 電流経路を確保するために、2 個の RF チョーク (出力ブランチごとに 1 個) が必要です。チョークのインダクタンス値は、必要とされる出力周波数範囲によって異なります。一般にチョークの値が大きければ、カットオフ出力周波数は小さくなります。

出力での寄生容量と寄生インダクタンスによって、100Ω という一定の終端インピーダンスは、AD9176 の全動作周波数範囲にわたって簡単には維持できません。この周波数範囲はアプリケーションに応じて DC～6GHz 超になる可能性があります。各 DAC の出力インピーダンスは、測定によって求めることができます。一般に、DAC 出力を代表的なシングルエンドの 50Ω 負荷にマッチングさせて、約 2GHz 以下で動作させるときは、2:1 バランを推奨します。約 2GHz 以上で動作させるときは、1:1 バランを推奨します。これにより、適切な PCB レイアウト技術を使用して、出力での 3dB のロールオフを 4GHz 以上に拡大することもできます。

DAC のフルスケール電力

I_{OUTFS} は、DACx 出力の正と負のブランチでのフルスケール電流出力です。図 91～図 93 に I_P と I_N が示されています。デフォルトのフルスケール電流は 19.531mA に設定されますが、適切な値をレジスタ 0x05A に設定することによって、15.625mA～25.977mA の範囲で調整可能です。

$$I_{OUTFS} = 15.625 \text{ mA} + FSC_CTRL \times (25/256) \text{ (mA)}$$

図 91～図 93 に示すように、外部負荷に供給される電力量は I_{OUTFS} の設定値、DAC の内部インピーダンス、および出力で PCB と他の部品によって発生する外部負荷と、寄生インダクタンスおよび寄生容量など、複数の要因によって決まります。負荷に供給できる真の電力は、測定によって求めることができます。

一方、DAC の出力電力は、特定の PCB 設計によって発生する寄生負荷について、確実な仮定を立てることによって、DAC の等価モデルから見積もることができます。DAC 出力は、 $I_{OUTFS}/2$ に設定された DC を供給し続ける 1 組の DC 電流源と、入力データ・サンプル (すなわち、アナログ出力に対して DACCLK のレートでサンプルされた DACCODE) によって設定された並列の AC 源を合計したものとしてモデル化できます。3 つの電流源は共に、各アナログ出力の内部にある出力スイッチ・ネットワークをモデル化したもので、各差動出力の正と負のブランチの瞬間電流出力 (それぞれ I_P と I_N) を定義しています。

寄生容量と寄生インダクタンスを無視できると仮定すると (特に約 2GHz 以上の出力周波数では、この仮定が常に当てはまるとは限りません)、負荷に発生する出力電流は次のように計算できます。

$$I_P = (DACCODE + 2^{N-1}) \times I_{LSB}$$

$$I_N = ((2^{N-1} - 1) - DACCODE) \times I_{LSB}$$

および

$$I_{LOAD} = (I_P - I_N) \times R_{INT} / (R_{INT} + R_{LOAD})$$

ここで、

$$I_{LSB} = I_{OUTFS} / 2^N$$

DACCODE は、(2 の補数データを符号付きの 10 進法表現としたとき) -2^{N-1} と $2^{N-1} - 1$ の間のサンプル値です。

シングル・トーン出力 (純粋なサイン波) の場合、負荷に供給される実効値電力は次のように計算できます。

$$I_{LOAD (RMS)} = I_{LOAD_MAX} / \sqrt{2}$$

ここで、 I_{LOAD_MAX} は以前に計算したように、最大の DACCODE のときに供給される最大の負荷電流で、更に

$$P_{LOAD (W)} = (I_{LOAD (RMS)})^2 \times R_{LOAD}$$

$$P_{LOAD (dBm)} = 10 \times \log (P_{LOAD (W)})$$

MSB シャッフル

アナログ信号レベルに応じて、DAC からの MSB 電流源の一部または全部を静的 (未使用) にできます。特に信号レベルが低いときに、ほとんどの MSB が静的な場合は、動的な少数の MSB に特有のミスマッチ誤差があると、アナログ出力でスプリアス性能が低下したように見える場合があります。DACx のアナログ出力をサンプリングする前に、アクティブな MSB をリマップ (またはシャッフル) し続け、使用可能な MSB の全数からランダムに選択すると、平均してスプリアス性能は改善されます。MSB シャッフルは一種の誤差平均化です。累積誤差は擬似乱数的であるため、SFDR が改善される代償として NSD が高くなります。

別の静的な使用可能な予備の MSB があるときにのみ、シャッフルすることができ、その結果、これらの MSB にランダムにスイッチを入れることができます。したがって、DAC のフルスケール電流の近くでピークが頻繁に発生する信号など、動的な MSB の数が増加すると、シャッフルする利点は減少します。例えば、フルスケールのサイン波出力では、従来の (サーモメータ) エンコーディングを使用した性能と比較すると、MSB シャッフルの利点はまったくありません。

前述のように、MSB シャッフリングは一種の誤差平均化です。独自の自動キャリブレーション係数と独特な製造プロセスのバリエーションがある、特殊な AD9176 デバイスは、MSB シャッフリングが無効な状態で信号レベルによって、スプリアス性能を向上させることができます。ただし、静的に有効な 1 組のデバイスを検討すると、全体的なスプリアス性能は平均して向上することが分かります。

MSB シャッフリングは、MSB_SHUFFLE_EN ビット（レジスタ 0x151 のビット 4）を介して有効にできます。

DC カップリング動作

ある種のアプリケーションでは、アナログ出力を変調器や差動アンプなどの外部デバイスに DC カップリングすることが望ましい場合があります。コモンモード電圧（特定のアナログ出力の正と負の両ブランチに共通の DC 電圧）が 100mV 以下に保たれていれば、AD9176 のアナログ出力は性能を低下させずに DC カップリングすることができます。AC カップリング動作の場合、通常は RF チョークまたは特定のバラン構成によって、出力を GND または 0V に DC 的に短絡します。

コモンモード電圧を 100mV～300mV に上げると、性能が低下します。コモンモード電圧を 300mV 以上に上げると、アナログ出力は長期的に取り返しがつかないダメージを受ける可能性があります。

理想的には、アナログ出力でコモンモード電圧を 0V または GND の近くに保ち、同時にアナログ出力から見た負荷インピーダンスを内部インピーダンスとマッチングさせます。AC カップリング動作で使用されている RF チョークの代わりに、50Ω の抵抗を GND に接続することは推奨できません。なぜなら、こうすると 250mV 近い過大なコモンモード電圧が発生するためです。その代わりに、50Ω の抵抗を -0.6V のリファレンスからの供給電圧に接続すると、各 DAC 出力内部のアナログ出力デバイスで適切な DC バイアスを維持することができます。

AD9176 の 0V のコモンモード出力電圧を下流デバイスのゼロでないコモンモード入力電圧（一部の 변調器に対する代表的な入力コモンモード電圧である 0.5V など）に抵抗でマッチングできます。このマッチングによって、必然的に電力の一部が抵抗のマッチング回路で消費されるため、下流デバイスに供給できる最大電力のうち一部が失われます。

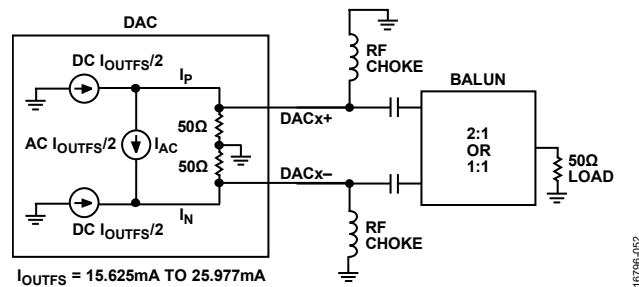


図 91. 等価 DAC 出力回路と推奨 DAC 出力回路

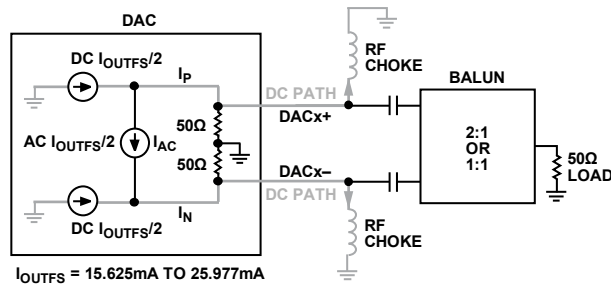


図 92. DACx 出力、DC 経路（AC カップリング動作）

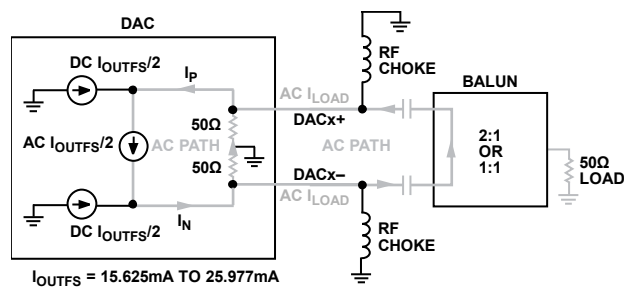


図 93. DACx 出力、AC 経路（AC カップリング動作）

アプリケーション情報

ハードウェアに関する考慮事項

電源の推奨事項

AD9176 を最適な状態で動作させるには、すべての電源領域をできるだけノイズのない状態にする必要があります。電源ノイズには性能に影響を与える周波数成分が含まれており、これは V_{rms} で仕様が規定されます。

ノイズを減衰させるには、電源出力に LC フィルタを使用することを推奨します。フィルタは、できるだけ AD9176 に近付けて配置する必要があります。クロック・レシーバーと DAC アナログ・コア回路に電力を供給する AVDD1.0 電源、および DAC 出力ブロックと DAC PLL ブロックに電力を供給する AVDD1.8 電源は、このデバイス上で最もノイズに敏感な電源です。AVDD1.0 と AVDD1.8 への電源供給は、可能な限り良好な位相ノイズ性能を実現するために、ADP1763 や ADM7154、あるいはこれら以上の性能の超低ノイズ・レギュレータを使って、個別に行うことを強く推奨します。ノイズの多いレギュレータを使用すると、DAC 出力に位相ノイズが発生します。

DVDD1.0 電源はデジタル・データパス・ブロックに電力を供給し、SVDD1.0 電源はチップ上の SERDES 回路に電力を供給します。DVDD1.8 電源は、SPI、 $\overline{\text{SYNCOUTx}}$ トランスミッタ、SYSREF レシーバー、 $\overline{\text{IRQx}}$ 、 $\overline{\text{RESET}}$ 、および TXENx 回路に関係する回路ブロックに電力を供給します。

温度と IC プロセスに関わる大きな変動を許容できるような電源設計とするために、表 4 に示す最大消費電力値に注意してください。電流の量は選択した使用条件によって異なるので、仕様は複数の使用条件に基づいて規定され、個々のブロックの例と関与の度合いを示し、1 電源あたりの最大必要電流の計算の手助けとなるようになっています。

電源設計に関するもう 1 つの考慮事項は、ピーク電流の処理能力です。変調信号などのように振幅変動が大きい信号を AD9176 で合成する際には、アイドル・モードや DC 信号合成の場合に比べて、より多くの電流がメイン・デジタル電源に流れます。したがって、GSM や TDMA などのバースト信号、あるいはオンまたはオフ時間軸応答性を持つその他の信号に対応するには、電源が迅速に電流を供給できる必要があります。電流変動の大きさは使用する信号に依存するので、最初に実験室でテストを行って、その範囲を明らかにするのが最も望ましい方法です。この変動は代表値で数百ミリアンペア程度になることがあります。

電源プレーンとグランド・プレーン

グランド・ループを回避し、制御されたインピーダンスを必要とする高速伝送ラインに対して安定した切れ目のないグランド・リファレンス（基準電位）を提供するために、全面がグランドとなるプレーンを採用することを推奨します。また、高周波フィルタリングのために、電源プレーンはグランド層とグランド層の間に配置することを推奨します。これにより、デカップリング・コンデンサに加えて、複数の電源領域間に追加的なフィルタリング効果と絶縁効果が得られます。

電源プレーンが複数のセグメントに分割されている場合、制御インピーダンス・パターンの全長において、そのパターンの横切るセグメントが 1 つだけの場合を除き、電源プレーンを制御インピーダンスのリファレンスとして使用することはしないでください。高速伝送ラインに関するこれらのガイドラインおよびその他のガイドラインは、JESD204B のシリアル・インターフェース入力 (SERDIN0±~SERDIN7±) のセクションに示されています。

最大限の性能と、より高い出力周波数が必要とされる一部のアプリケーションでは、PCB 材料の選択が結果に大きく影響します。例えば、ポリイミドや Rogers Corporation の材料を使用すれば、高温耐性を向上させて性能を改善することができます。いくつかの評価用ボード設計の最上部 3 層、つまり最上層の信号層とその下のグラウンド層の間には、Rogers 4350 という材料が使われています。

JESD204B シリアル・インターフェース入力 (SERDIN0±~SERDIN7±)

JESD204B シリアル・インターフェース伝送ラインのレイアウトを考える場合は、最大限のリンク性能を維持するために考慮すべき事項が数多くあります。これらの例としては、挿入損失、リターン損失、信号スキュー、差動パターンのトポロジなどが挙げられます。

挿入損失

JESD204B 仕様は、伝送チャンネルにおいて許容される挿入損失の量を制限しています（図 56 参照）。AD9176 のイコライザ回路では、JESD204B 仕様で要求されるチャンネル内損失よりも、かなり大きい損失が許容されます。しかしそれでも、PCB の設計者が次のガイドラインに従い、挿入損失量を小さくすることが重要です。

- AD9176 をできるだけ送信ロジック・デバイスの近くに配置すると共に、デバイス間のパターンができるだけ最短距離となるようにして、差動パターン長を短くします。
- ソリッド・グランド・プレーンをリファレンスとして使い、1 つのプレーン上に差動ペアを配置します。SERDES レーンは、SERDES レーン内のビアが使われるのを避けるために AD9176 と同じ層上に配置することを推奨します。
- 可能な場合は、低誘電率（4 未満）の PCB 材料を使って損失を最小限に抑えます。

ストリップライン技術とマイクロストリップ技術のどちらかを選択する場合は、次の点に留意してください。すなわち、損失と EMI 放出はストリップラインの方が小さいですが（図 57 と図 58 参照）、ビアを使用する必要があり、これによってインピーダンスを制御する作業の複雑さが増す可能性があります。これに比べて、マイクロストリップ技術は実装が容易で（部品の配置と密度において最上層で配線可能な場合）、インピーダンスを制御する作業も容易です。

PCB 最上層の使用に問題がある場合、あるいはストリップラインの利点を生かしたい場合は、以下の推奨事項に従ってください。

- ビア数を最小限に抑えます。
- 可能であればブラインド・ビアを使ってビアのスタブ効果をなくし、マイクロ・ビアを使ってビアのインダクタンスを最小限に抑えてください。
- 標準ビアを使う場合は、ビアの最大長を使ってスタブ・サイズを小さくします。例えば、8層ボードの場合は7層目をストリップライン・ペア用に使います (図 94 参照)。
- 各ビア・ペアには、インピーダンスの不連続性を最小限に抑えるために、その隣にグラウンド・ビアのペアを配置します (図 94 参照)。

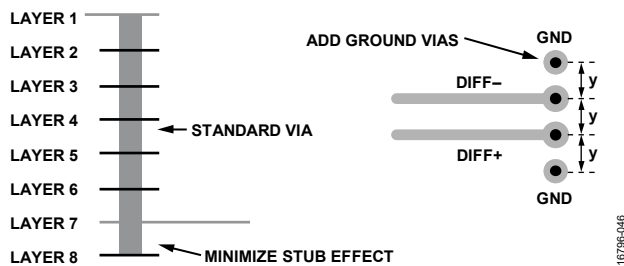


図 94. スタブ効果を最小限に抑え、差動ストリップライン・パターンにグラウンド・ビアを追加

リターン損失

JESD204B 仕様はコンバータ・デバイスとロジック・デバイスの許容リターン損失量を制限していますが、チャンネルのリターン損失は規定していません。それでも、送信ロジック・デバイスと AD9176 との間の伝送ラインのインピーダンスの連続性を維持するために、あらゆる努力を払う必要があります。ビアの使用を最小限に止めるか、まったくなくしてしまうことで、伝送ラインのインピーダンス・ミスマッチの主要原因の 1 つを緩和することができます (挿入損失のセクションを参照)。差動パターンの真下 (マイクロストリップの場合) または上下 (ストリップラインの場合) にソリッド・リファレンス・プレーンを維持して、伝送ラインのインピーダンスの連続性を維持します。ストリップライン技術を使用する場合は、挿入損失のセクションに示すガイドラインに従って、インピーダンス・ミスマッチとスタブ効果を最小限に抑えてください。

インピーダンス・ミスマッチのもう 1 つの主要原因は伝送ラインの両端にあり、ここでは、終端のインピーダンスと伝送ラインのインピーダンスを一致させるよう注意する必要があります。AD9176 は、ラインの受信端に対してキャリブレーション終端方式を使ってこのマッチングを内部で処理します。この回路とキャリブレーション・ルーチンの詳細については、インターフェースの起動と入力終端のセクションを参照してください。

信号スキュー

信号スキューには多くの原因がありますが、PCB のレイアウト時に考慮すべき 2 つの原因は、1 本の JESD204B リンク内のインターコネクト・スキューと、複数の JESD204B リンク間のスキューです。どちらの場合も、最大 15.4Gbps の速度で JESD204B リンクを作動させるには、チャンネル長を 10mm 以内の差に揃えることで十分です (12.5mm × (12.5Gbps/15.4Gbps) で計算)。このチャンネル長マッチングの量は、AD9176-FMC-EBZ 評価用ボード上では約 85% の UI に相当します。1 つのリンク内のインターコネクト・スキューを管理することは比較的容易で、複数デバイス間の複数のリンクを管理することはもう少し複雑ですが、長さのマッチングについては 10mm のガイドラインに従ってください。AD9176 は、JESD204B レシーバー内の 6PCLK バッファによって、85% UI より大きなスキューに対応することがで

きますが、チャンネル長は今までどおり、できるだけ近い値に揃えることを推奨します。

トポロジ

差動 SERDINx±ペアは、それぞれのインピーダンスがグラウンドに対して 50Ω となるように構成します。ストリップラインとマイクロストリップのトレードオフについては、挿入損失のセクションに示されています。いずれの場合も、これらの伝送線をノイズ源 (高速デジタル信号やノイズの多い電源など) から離すことが重要です。ストリップラインの差動パターンを使用する場合はコプラナ法で配線を行い、両方のパターンを同一層内に配置します。この方法は、ブロードサイド配線法 (パターンを隣接層に配置) よりノイズ耐性を向上させるわけではありませんが、インピーダンスの連続性を維持するように配線し製造することが、より容易になります。ブロードサイド法とコプラナ法による差動トランスミッタ (Tx) ラインの配置を図 95 に示します。

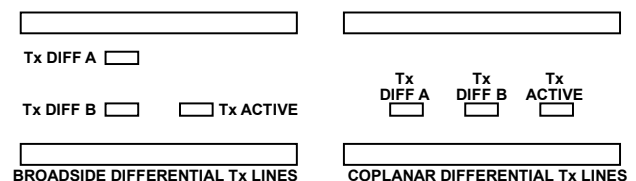


図 95. ブロードサイド法とコプラナ法による差動ストリップライン配線

パターン幅と銅の重量および厚さの関係を検討する場合は、インターフェース速度を考える必要があります。マルチギガビット・レベルの速度では、導体の表皮効果によって電流が導体表面に集中します。損失を小さくするためパターン幅を広くして、導体の表面積をできるだけ大きくしてください。更に、広いパターン幅に対応するために差動パターン同士の間隔を広くします。部品、ビア、コネクタ、またはその他の配線部品を配置するためにパターンを分離させる必要がある場合、このような配置は、クロストークを減らしインピーダンス・ミスマッチを小さくする働きをします。狭い間隔で配置した差動パターンと広い間隔で配置した差動パターンを図 96 に示します。

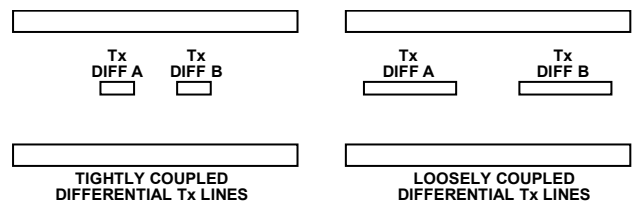


図 96. 狭い間隔で配置した差動パターンと広い間隔で配置した差動パターン

AC カップリング・コンデンサ

AD9176 では、JESD204B 入力信号を信号ソースに AC カップリングする必要があります。これらのコンデンサは 100 nF とし、できるだけ送信ロジック・デバイスの近くに配置する必要があります。パッドでのインピーダンス・ミスマッチをできるだけ小さくするために、コンデンサのパッケージ・サイズは、PCB 上のパッド・サイズができるだけパターン幅に近くなるようなものを選択してください。

SYNCOUT_±、SYSREF_±、および CLK_±信号

AD9176 の SYSREF_±信号は、低速の LVDS 差動信号です。SYNCOUT_±信号は LVDS または CMOS のどちらかを選択できます。LVDS モードを選択した場合、これらの信号の経路を配置するときは、100Ω 差動インピーダンスおよびグラウンドに対し 50Ω として配置された制御インピーダンス・パターンを使用します。SERDIN0_±～SERDIN7_±データ・ペア同様、これらの伝送線は、高速デジタル信号やノイズの多い電源のようなノイズ

源から離すことが重要です。SYNCOUT_±信号上のノイズは/K/文字の要求として解釈されてしまうおそれがあるので、SYNCOUT_±信号はノイズの多い他の信号から離してください。CLK_±信号と SYSREF_±信号については、クロック・ソースから JESD204B リンクの両端にある各デバイスまでのパターン長を同じ長さに保つことが重要です（図 97 参照）。CLK_±と SYSREF_±の位相を厳密に制御できるクロック・チップを使う場合、パターン長を揃えるというこの要求は大幅に緩和されます。

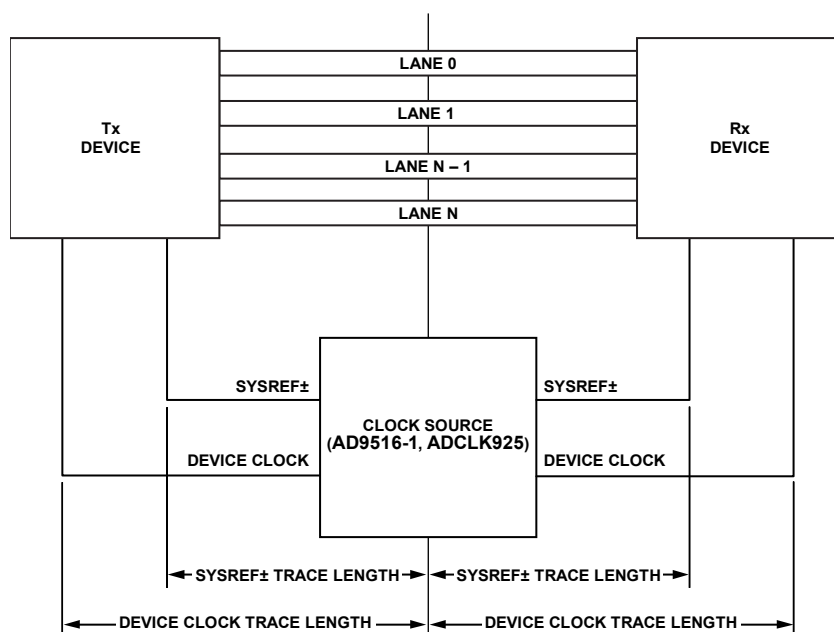


図 97. SYSREF_±信号とデバイス・クロックのパターン長

18796-049

スタートアップ・シーケンス

起動後に AD9176 を適切な動作状態に設定するには、複数のステップが必要です。このシーケンスはいくつかのステップに分割されますが、その内容と各ステップの目的を表 50 から表 59 に示します。プライベート・レジスタは予約されていますが、デ

バイスを正しく動作させるには書き込みが必要です。表 50～表 59 の空白セル、もしくは変数名またはビット・フィールド名（すべて大文字）が表示されたセルは、説明列に記述された結果によって値が異なることを示します。

表 50. 起動と必要なレジスタ書き込み

R/W	レジスタ	ビット	値	説明
W	0x000	[7:0]	0x81	ソフト・リセット。
W	0x000	[7:0]	0x3C	リセットを解除して 4 線式 SPI に設定します（あるいは、デフォルトの 3 線式 SPI のままにすることもできます）。
W	0x091	[7:0]	0x00	クロック・レシーバーを起動。
W	0x206	[7:0]	0x01	PHY のリセット解除。
W	0x705	[7:0]	0x01	ブート・ローダをイネーブル。
W	0x090	[7:0]	0x00	DAC とバイアス回路をパワー・オン。

表 51. DAC PLL の設定

R/W	レジスタ	ビット	値	説明
W	0x095	[7:0]	0x00 or 0x01	PLL をバイパス。内蔵 DAC PLL を使用するには 0x00 に設定します。DAC クロックを直接供給する場合はこのレジスタを 0x01 に設定して、以下の 2 つのレジスタ書き込みを実行します。更に、この表の残りの書き込みをスキップします。
W	0x790	[7:0]	0xFF or 0x00	PLL をバイパスする場合（レジスタ 0x095 = 0x01）は、このレジスタに 0xFF を書き込みます。PLL を使用する場合は、このレジスタに 0x00 を書き込みます。
W	0x791	[7:0]	0x1F or 0x00	PLL をバイパスする場合（レジスタ 0x095 = 0x01）はこのレジスタに 0xFF を書き込み、この表の残りのレジスタ書き込みをスキップして表 52 へ進みます。PLL を使用する場合はこのレジスタに 0x00 を書き込み、更にこの表の残りのレジスタ書き込みを行います。
W	0x796	[7:0]	0xE5	DAC PLL に必要な書き込み。
W	0x7A0	[7:0]	0xBC	DAC PLL に必要な書き込み。
W	0x794	[5:0]	DACPLL_CP	DAC PLL のチャージ・ポンプ電流を設定。推奨設定は 0x08 ですが、位相ノイズ性能目標に応じて 0x04～0x10 の範囲とすることができます。
W	0x797	[7:0]	0x10	DAC PLL に必要な書き込み。
W	0x797	[7:0]	0x20	DAC PLL に必要な書き込み。
W	0x798	[7:0]	0x10	DAC PLL に必要な書き込み。
W	0x7A2	[7:0]	0x7F	DAC PLL に必要な書き込み。
	Pause			100ms 待機します。
W	0x799	[7:6]	ADC_CLK_DIVIDER	DAC PLL 分周器設定。 ADC ドライバノック出力の分周比。 0b00 = ÷1. 0b01 = ÷2. 0b10 = ÷3. 0b11 = ÷4.
		[5:0]	N_DIVIDER	設定可能な N 分周器。N_DIVIDER = (f _{DAC} × M_DIVIDER) / (8 × リファレンス・クロック)。
W	0x793	[7:2]	0x06	DAC PLL 分周器設定。 これらのビットはデフォルト値のままにしてください。
		[1:0]	M_DIVIDER_1	設定可能な前置分周器 M_DIVIDER_1 (n-1 表記) 関連計算式は以下のとおりです。 PFD 周波数 = リファレンス・クロック / M_DIVIDER (ここで 25MHz ≥ PFD 周波数 ≥ 770MHz)。 9.96 GHz ≥ PLL VCO 周波数 ≥ 10.87GHz の場合は、25MHz ≥ PFD 周波数 ≥ 225 MHz を維持する必要があります。 0b00 = ÷1. 0b01 = ÷2. 0b10 = ÷3. 0b11 = ÷4.

R/W	レジスタ	ビット	値	説明
W	0x094	[7:2]	0x00	これらのビットはデフォルト値のままにしてください。
		1	PLL_VCO_D IV3_EN	PLL 出力クロック 3 分周にしてイネーブル。このビットを 1 に設定した場合は、DAC クロック = PLL VCO 周波数/3。
		0	PLL_VCO_D IV2_EN	PLL 出力クロック 2 分周にしてイネーブル。このレジスタのこのビットまたはビット 1 は 1 に設定できますが、両方のビットを同時に設定することはできません（6 分周オプションはありません）。 0b0 : DAC クロック = PLL VCO 周波数。 0b1 : DAC クロック = PLL VCO 周波数/2。
W	0x792	[7:0]	0x02	VCO をリセット。
W	0x792	[7:0]	0x00	
	Pause			PLL がロックされるまで 100ms 待機。
R	0x7B5	0	0b1	このレジスタのビット 0 の値 1 をリードバックすることによって、PLL がロックされたことを確認。

表 52. 遅延ロック・ループ (DLL) の設定

R/W	レジスタ	ビット	値	説明
W	0x0C0	[7:0]	0x00	遅延ラインを起動。
W	0x0DB	[7:0]	0x00	
W	0x0DB	[7:0]	0x01	回路に対する DLL 設定を更新。
W	0x0DB	[7:0]	0x00	
W	0x0C1	[7:0]	0x68 or 0x48	DLL 検索モードを設定。f _{DAC} が 4.5GHz 未満の場合は、このレジスタを 0x48 に設定します。それ以外の場合は 0x68 に設定してください。
W	0x0C1	[7:0]	0x69 or 0x49	DLL 検索モードを設定。f _{DAC} が 4.5GHz 未満の場合は、このレジスタを 0x49 に設定します。それ以外の場合は 0x69 に設定してください。
W	0x0C7	[7:0]	0x01	DLL 読出しステータスをイネーブル。
R	0x0C3	0	0b1	このレジスタのビット 0 の値 1 をリードバックすることによって、DLL がロックされたことを確認。

表 53. キャリブレーション

R/W	レジスタ	ビット	値	説明
W	0x050	[7:0]	0x2A	最適化キャリブレーション設定のレジスタ書込み。
W	0x061	[7:0]	0x68	必要キャリブレーション制御のレジスタ書込み。
W	0x051	[7:0]	0x82	最適化キャリブレーション設定のレジスタ書込み。
W	0x051	[7:0]	0x83	必要キャリブレーション制御のレジスタ書込み。
W	0x081	[7:0]	0x03	必要キャリブレーション制御のレジスタ書込み。

表 54. JESD204B モードのセットアップ

R/W	レジスタ	ビット	値	説明
W	0x100	[7:0]	0x00	内部クロックが安定した時点でデジタル・データバス・クロックを起動。
W	0x110	[5:0]	JESD_MODE	JESD_MODE ビット・フィールドのビット 5 は、デバイスをシングルリンク・モードで動作させるかデュアルリンク・モードで動作させるかを決定します。0 = シングルリンク・モード、1 = デュアルリンク・モードです。ビット [4:0] は、表 15 または表 16 から該当するシングルリンク・モードまたはデュアルリンク・モードを選択して、SERDES JESD204B 動作モードを決定します。
W	0x111	[7:4]	DP_INTERP_MODE	メイン・データバス・インターポレーション・モード。この制御に有効なインターポレーション・オプションは、レジスタ 0x110 で選択する JESD_MODE に基づいて決定されます。JESD_MODE、DP_INTERP_MODE、および CH_INTERP_MODE の設定が有効な組み合わせでない場合は、レジスタ 0x110 のビット 7 が 1 になります。
		[3:0]	CH_INTERP_MODE	チャンネル・データバス・インターポレーション・モード。この制御に有効なインターポレーション・オプションは、レジスタ 0x110 で選択する JESD_MODE に基づいて決定されます。JESD_MODE、DP_INTERP_MODE、および CH_INTERP_MODE の設定が有効な組み合わせでない場合は、レジスタ 0x110 のビット 7 が 1 になります。
W	0x084	6	SYSREF_INPU TMODE	SYSREF±信号の入力モード選択。 0b0 = AC カップリング。 0b1 = DC カップリング。
		0	SYSREF_PD	サブクラス 0 を使用する場合は、このビットを 1 に設定して SYSREF±レシーバーを停止することができます。サブクラス 1 を使用する場合はデフォルトの 0 のままにしてください。
W	0x312	[7:4]		選択したモードに応じて SYNCOUTx±エラー時間を設定。

R/W	レジスタ	ビット	値	説明
W	0x300	3	LINK_MODE	レジスタ 0x110 で行ったモード選択に対応。 0b0 = シングルリンク・モード。 0b1 = デュアルリンク・モード。
		2	0b0	セットアップのためにリンク 0 を選択。このビットは、ページングするリンク QBD を選択します。 0b0 = リンク 0 (QBD0) 0b1 = リンク 1 (QBD1)
		[1:0]	LINK_EN	リンクを有効化。 0b01 = シングルリンク・モード。 0b11 = デュアルリンク・モード。
W	0x475	[7:0]	0x09	JESD204B 4 バイト・デフレーマをソフト・リセット。
W	0x453	7	SCR	SERDES データのスクランプリング・オプションを設定。 0 = スクランプリングを無効化。 1 = スクランプリングを有効化。
		[4:0]	L-1	選択した JESD_MODE の L 値を書き込み (n - 1 表記)。
W	0x458	[7:5]	SUBCLASSV	サブクラス 0 の場合はこのビットを 0 に設定。サブクラス 1 の場合はこのビットを 1 に設定。
		[4:0]	NP_1	選択した JESD_MODE の NP 値を書き込み (n - 1 表記)。
W	0x475	[7:0]	0x01	JESD204B 4 バイト・デフレーマのリセットを解除。
W	0x300			デュアルリンク・モードで実行中の場合は、以下の要領でリンク 1 の書き込みを繰り返します。シングルリンク・モードで実行中の場合は、この表の残りのステップをスキップしてください。
		3	LINK_MODE	レジスタ 0x110 で行ったモード選択に対応。 0b0 = シングルリンク・モード。 0b1 = デュアルリンク・モード。
		2	0b1	セットアップのためにリンク 1 を選択。このビットは、どのリンク QBD をページングするかを選択します。 0b0 = リンク 0 (QBD0) 0b1 = リンク 1 (QBD1)
		[1:0]	0b00	ルーチンの終了までリンクを無効のままにします。
W	0x475	[7:0]	0x09	JESD204B 4 バイト・デフレーマをソフト・リセット。
W	0x453	7	SCR	SERDES データのスクランプリング・オプションを設定。 0 = スクランプリングを無効化。 1 = スクランプリングを有効化。
W	0x458	[4:0]	L_1	選択した JESD_MODE の L 値を書き込み (n - 1 表記)。
		[7:5]	SUBCLASSV	サブクラス 0 の場合はこのビットを 0 に設定。サブクラス 1 の場合はこのビットを 1 に設定。
		[4:0]	NP_1	選択した JESD_MODE の NP 値を書き込み (n - 1 表記)。
W	0x475	[7:0]	0x01	JESD204B 4 バイト・デフレーマのリセットを解除。

チャンネル・データパスを特定のアプリケーションに合わせて設定する場合に、それらのデータパスを設定するためのオプション・レジスタを表 55 に示します。チャンネル・データパスをバイパスする場合（1xチャンネル・インターポレーションでは CH_INTERP_MODE = 1）、スタートアップ・シーケンスでは表 55 をスキップできます。

表 55. チャンネル・データパスのセットアップ：デジタル・ゲインとチャンネル NCO

R/W	レジスタ	ビット	値	説明
W	0x008	[5:0]		CHANNEL_PAGE。同時に設定するチャンネルを選択します（あるいは、チャンネルごとにこのブロックを繰り返して個別に値を設定します）。この制御のビット x は、チャンネル x のデータパスに対応します。
W	0x146	[7:0]		CHNL_GAIN [7:0]。チャンネル・デジタル・ゲインの最下位ビットを書き込みます。選択したチャンネルのデジタル・ゲインをレジスタ 0x008 で設定します。計算：CHNL_GAIN = 211 × 10 (dB Gain/20)。ここで dB Gain は、必要なチャンネル・ゲインを dB で表した値です。
W	0x147	[7:0]		CHNL_GAIN [11:8]。チャンネル・デジタル・ゲインの最上位ビットを書き込みます。計算式はレジスタ 0x146 の項に示します。
W	0x130	6		選択したチャンネルの NCO をレジスタ 0x008 でイネーブルします。 0b0 = NCO をディスエーブル。 0b1 = NCO をイネーブル。
		2		選択したチャンネルの NCO モジュラスをページング・レジスタ 0x008 でイネーブルします。 0b0 = NCO モジュラスをディスエーブル。 0b1 = NCO モジュラスをイネーブル。
		1		変調結果からサイドバンドを選択します。 0b0 = 上側サイドバンド 0b1 = 下側サイドバンド（スペクトル反転）。
		0		DC テスト・モードまたは NCO テスト・モードが必要な場合は、このビットを 1 に設定してテスト・トーンの生成を有効にします。それ以外の場合は、デフォルト値の 0 に設定してください。 インテジャーク NCO モードの計算：DDSC_FTW = (f_CARRIER/f_NCO) × 248。ここで、f_NCO = f_DATA/CH_INTERP_MODE。
W	0x132	[7:0]		DDSC_FTW [7:0] の書き込み。
W	0x133	[7:0]		DDSC_FTW [15:8] の書き込み。
W	0x134	[7:0]		DDSC_FTW [23:16] の書き込み。
W	0x135	[7:0]		DDSC_FTW [31:24] の書き込み。
W	0x136	[7:0]		DDSC_FTW [39:32] の書き込み。
W	0x137	[7:0]		DDSC_FTW [47:40] の書き込み。
W	0x138	[7:0]		DDSC_NCO_PHASE_OFFSET [7:0] の書き込み。計算：DDSC_NCO_PHASE_OFFSET = (度数オフセット/180) × 215。
W	0x139	[7:0]		DDSC_NCO_PHASE_OFFSET [15:8] の書き込み。 NCO モジュラス・モードを使用する場合は、モジュラス・パラメータも設定します。使用しない場合、このセクションはスキップしてください。モジュラス NCO モードの場合：(f_CARRIER/f_NCO) = (X + (A/B))/248。ここで、DDSC_ACC_DELTA = A、DDSC_ACC_MODULUS = B、DDSC_FTW = X。
W	0x13A	[7:0]		DDSC_ACC_MODULUS [7:0] の書き込み。
W	0x13B	[7:0]		DDSC_ACC_MODULUS [15:8] の書き込み。
W	0x13C	[7:0]		DDSC_ACC_MODULUS [23:16] の書き込み。
W	0x13D	[7:0]		DDSC_ACC_MODULUS [31:24] の書き込み。
W	0x13E	[7:0]		DDSC_ACC_MODULUS [39:32] の書き込み。
W	0x13F	[7:0]		DDSC_ACC_MODULUS [47:40] の書き込み。
W	0x140	[7:0]		DDSC_ACC_DELTA [7:0] の書き込み。
W	0x141	[7:0]		DDSC_ACC_DELTA [15:8] の書き込み。
W	0x142	[7:0]		DDSC_ACC_DELTA [23:16] の書き込み。
W	0x143	[7:0]		DDSC_ACC_DELTA [31:24] の書き込み。
W	0x144	[7:0]		DDSC_ACC_DELTA [39:32] の書き込み。
W	0x145	[7:0]		DDSC_ACC_DELTA [47:40] の書き込み。
W	0x131	0	0b1	すべての NCO 位相と FTW ワードを更新。

メイン DAC データバスを特定のアプリケーションに合わせて設定する場合に使用する、設定用のオプション・レジスタを表 56 に示します。メイン DAC データバスをバイパスする場合（1xチャンネル・インターポレーションでは DP_INTERP_MODE = 1）、スタートアップ・シーケンスでは表 56 をスキップできます。

表 56. メイン DAC データバスのセットアップ：PA 保護とメイン NCO

R/W	レジスタ	ビット	値	説明
W	0x008	[7:6]		MAINDAC_PAGE。同時に設定するメイン DAC データバスを選択します（あるいは、このブロックを DAC データバスごとに繰り返して個別に値を設定します）。この制御のビット x は、DAC x のデータバスに対応します。
W	0x112	3		選択したチャンネルの NCO をレジスタ 0x008 でイネーブルします。 0b0 = NCO をディスエーブル。 0b1 = NCO をイネーブル。
		2		選択したチャンネルの NCO モジュラスをページング・レジスタ 0x008 でイネーブルします。 0b0 = NCO モジュラスをディスエーブル。 0b1 = NCO モジュラスをイネーブル。
		1		変調結果からサイドバンドを選択します。 0b0 = 上側サイドバンド 0b1 = 下側サイドバンド（スペクトル反転）。
		0		このビットは 0 に設定します。 インテジャール NCO モードの計算： $DDSM_FTW = (f_{CARRIER}/f_{DAC}) \times 248$ 。
W	0x114	[7:0]		DDSM_FTW [7:0] の書込み。
W	0x115	[7:0]		DDSM_FTW [15:8] の書込み。
W	0x116	[7:0]		DDSM_FTW [23:16] の書込み。
W	0x117	[7:0]		DDSM_FTW [31:24] の書込み。
W	0x118	[7:0]		DDSM_FTW [39:32] の書込み。
W	0x119	[7:0]		DDSM_FTW [47:40] の書込み。
W	0x11C	[7:0]		DDSM_NCO_PHASE_OFFSET [7:0] の書込み。計算： $DDSM_NCO_PHASE_OFFSET = (\text{度数オフセット} / 180) \times 215$ 。
W	0x11D	[7:0]		DDSM_NCO_PHASE_OFFSET [15:8] の書込み。 NCO モジュラス・モードを使用する場合は、モジュラス・パラメータも設定します。使用しない場合、このセクションはスキップしてください。モジュラス NCO モードの場合： $(f_{CARRIER}/f_{DAC}) = (X + (A/B))/248$ 。ここで、 $DDSM_ACC_DELTA = A$ 、 $DDSM_ACC_MODULUS = B$ 、 $DDSM_FTW = X$ 。
W	0x124	[7:0]		DDSM_ACC_MODULUS [7:0] の書込み。
W	0x125	[7:0]		DDSM_ACC_MODULUS [15:8] の書込み。
W	0x126	[7:0]		DDSM_ACC_MODULUS [23:16] の書込み。
W	0x127	[7:0]		DDSM_ACC_MODULUS [31:24] の書込み。
W	0x128	[7:0]		DDSM_ACC_MODULUS [39:32] の書込み。
W	0x129	[7:0]		DDSM_ACC_MODULUS [47:40] の書込み。
W	0x12A	[7:0]		DDSM_ACC_DELTA [7:0] の書込み。
W	0x12B	[7:0]		DDSM_ACC_DELTA [15:8] の書込み。
W	0x12C	[7:0]		DDSM_ACC_DELTA [23:16] の書込み。
W	0x12D	[7:0]		DDSM_ACC_DELTA [31:24] の書込み。
W	0x12E	[7:0]		DDSM_ACC_DELTA [39:32] の書込み。
W	0x12F	[7:0]		DDSM_ACC_DELTA [47:40] の書込み。
W	0x113	0	0b1	すべての NCO 位相と FTW ワードを更新。

表 57. JESD204B SERDES に必要なインターフェース・セットアップ

R/W	レジスタ	ビット	値	説明
W	0x240	[7:0]	0xAA or 0xFF	表 22 に従い挿入損失量によって決定される EQ 設定。挿入損失が 11dB 以下の場合は 0xAA に設定し、それ以外の場合は 0xFF に設定します。
W	0x241	[7:0]	0xAA or 0xFF	表 22 に従い挿入損失量によって決定される EQ 設定。挿入損失が 11dB 以下の場合は 0xAA に設定し、それ以外の場合は 0xFF に設定します。
W	0x242	[7:0]	0x55 or 0xFF	表 22 に従い挿入損失量によって決定される EQ 設定。挿入損失が 11dB 以下の場合は 0x55 に設定し、それ以外の場合は 0xFF に設定します。
W	0x243	[7:0]	0x55 or 0xFF	表 22 に従い挿入損失量によって決定される EQ 設定。挿入損失が 11dB 以下の場合は 0x55 に設定し、それ以外の場合は 0xFF に設定します。
W	0x244	[7:0]	0x1F	EQ 設定。
W	0x245	[7:0]	0x1F	EQ 設定。
W	0x246	[7:0]	0x1F	EQ 設定。
W	0x247	[7:0]	0x1F	EQ 設定。
W	0x248	[7:0]	0x1F	EQ 設定。
W	0x249	[7:0]	0x1F	EQ 設定。
W	0x24A	[7:0]	0x1F	EQ 設定。
W	0x24B	[7:0]	0x1F	EQ 設定。
W	0x201	[7:0]		未使用 PHY を停止。ビット x は SERDINx±ピンの停止に対応しています。
W	0x203	1 0	0b0	シングルリンク・モードでは 0x01 に設定します。デュアルリンク・モードで両方の SYNCOUTx±信号を使用する場合は 0x00 に設定します。 このビットを 0 に設定することによって SYNCOUT0±ドライバを起動。 デュアルリンク・モードで両方の SYNCOUTx±信号を使用する場合は、このビットを 0 に設定することによって SYNCOUT1±ドライバを起動。
W	0x253	[7:0]	0x01	SYNCOUT0±を LVDS 出力に設定。SYNCOUT0+を CMOS 出力にするには、ビット 0 を 0 に設定。
W	0x254	[7:0]	0x01	SYNCOUT1±を LVDS 出力に設定。SYNCOUT1+を CMOS 出力にするには、ビット 0 を 0 に設定。
W	0x210	[7:0]	0x16	SERDES に必要なレジスタ書込み。
W	0x216	[7:0]	0x05	SERDES に必要なレジスタ書込み。
W	0x212	[7:0]	0xFF	SERDES に必要なレジスタ書込み。
W	0x212	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x210	[7:0]	0x87	SERDES に必要なレジスタ書込み。
W	0x216	[7:0]	0x11	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x01	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x200	[7:0]	0x00	SERDES 回路ブロックを起動。
	Pause			100ms 待機します。
W	0x210	[7:0]	0x86	SERDES に必要なレジスタ書込み。
W	0x216	[7:0]	0x40	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x01	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x210	[7:0]	0x86	SERDES に必要なレジスタ書込み。
W	0x216	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x01	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x210	[7:0]	0x87	SERDES に必要なレジスタ書込み。
W	0x216	[7:0]	0x01	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x01	SERDES に必要なレジスタ書込み。
W	0x213	[7:0]	0x00	SERDES に必要なレジスタ書込み。
W	0x280	[7:0]	0x05	SERDES に必要なレジスタ書込み。
W	0x280	[7:0]	0x01	SERDES PLL 回路ブロックをスタートアップして、SERDES PLL キャリブレーションを開始。
R	0x281	0	0b1	SERDES PLL がロックされていることを示すには、このレジスタのビット 0 が 1 をリードバックするようにします。

クロスバー・マッピングを行うと、これらのレジスタ内の使用する各論理レーンのソースである SERDIN_x 入力ピンに書込みが行われます。x の値は、SERDIN_x±ピンから制御ビット・フィールドの論理レーンへのマッピング・データに対応します。表 58 に示すこれらの値は、PCB レイアウトの配線によって変化します。

表 58. トランSPORT層のセットアップ、同期、およびリンクのイネーブル

R/W	レジスタ	ビット	値	説明
W	0x308	[7:0]		クロスバー・セットアップ。各論理レーンのデータ（ソース）を提供する物理レーンの値を設定します。[5:3] = 論理レーン 1 のソース、[2:0] = 論理レーン 0 のソース。
W	0x309	[7:0]		[5:3] = 論理レーン 3 のソース、[2:0] = 論理レーン 2 のソース
W	0x30A	[7:0]		[5:3] = 論理レーン 5 のソース、[2:0] = 論理レーン 4 のソース
W	0x30B	[7:0]		[5:3] = 論理レーン 7 のソース、[2:0] = 論理レーン 6 のソース
W	0x306	[7:0]	0x0C	サブクラス 0 での動作の場合、このレジスタ書込みは不要です。
W	0x307	[7:0]	0x0C	サブクラス 0 での動作の場合、このレジスタ書込みは不要です。
W	0x304	[7:0]		サブクラス 0 での動作の場合、このレジスタ書込みは不要です。サブクラス 1 では、リンク遅延のセクションに示すように、確定的遅延法の 1 つに従うことによって（遅延が既知の場合と未知の場合）これらの値を決定する必要があります。
W	0x305	[7:0]		サブクラス 0 での動作の場合、このレジスタ書込みは不要です。サブクラス 1 では、リンク遅延のセクションに示すように、確定的遅延法の 1 つに従うことによって（遅延が既知の場合と未知の場合）これらの値を決定する必要があります。
W	0x03B	[7:0]	0xF1	同期ロジックをイネーブルし、ローテーション・モードを設定して同期リセットのトリガ時に同期ロジックをリセットします。
W	0x03A	[7:0]	0x02	ワンショット同期モード用に同期をセットアップ。
	SYSREF±			サブクラス 1 での動作時は、同期アライメントのために SYSREF±パルス・エッジをデバイスに送ります。
W	0x300	3	LINK_MODE	レジスタ 0x110 で行ったモード選択に対応。 0b0 = シングルリンク・モード。 0b1 = デュアルリンク・モード。
		2	0b0	セットアップのためにリンク 0 を選択。このビットは、どのリンク QBD をページングするかを選択します。 0b0 = リンク 0 (QBD0) 0b1 = リンク 1 (QBD1)
		[1:0]	LINK_EN	リンクを有効化。 0b01 = シングルリンク・モード。 0b11 = デュアルリンク・モード。

表 59. レジスタのクリーンアップ

R/W	レジスタ	ビット	値	説明
W	0x085	[7:0]	0x13	デフォルトのレジスタ値に設定。
W	0x1DE	[7:0]	0x00	アナログ SPI を無効化。デバッグを行ってリードバック機能を継続するには、0x03 を書き込みます。
W	0x008	[7:0]	0xC0	TXEN 制御更新のためにすべてのメイン DAC をページング。
W	0x596	[7:0]	0x0C	SPI で TXEN _x 機能をオン。

レジスタの一覧

表 60. レジスタの一覧

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x000	SPI_INTFCONFA	SOFTRESET_M	LSBFIRST_M	ADDRINC_M	SDOACTIVE_M	SDOACTIVE	ADDRINC	LSBFIRST	SOFTRESET	0x00	R/W
0x001	SPI_INTFCONFB	SINGLEINS	CSSTALL	RESERVED						0x00	R/W
0x003	SPI_CHIPTYPE	CHIP_TYPE								0x04	R
0x004	SPI_PRODIDL	PROD_ID[7:0]								0x72	R
0x005	SPI_PRODIDH	PROD_ID[15:8]								0x91	R
0x006	SPI_CHIPGRADE	PROD_GRADE				DEV_REVISION				0x02	R
0x008	SPI_PAGEINDX	MAINDAC_PAGE		CHANNEL_PAGE						0xFF	R/W
0x00A	SPI_SCRATCHPAD	SCRATCHPAD								0x00	R/W
0x010	CHIP_ID_L	CHIP_ID[7:0]								0x00	R
0x011	CHIP_ID_M1	CHIP_ID[15:8]								0x00	R
0x012	CHIP_ID_M2	CHIP_ID[23:16]								0x00	R
0x013	CHIP_ID_H	CHIP_ID[31:24]								0x00	R
0x020	IRQ_ENABLE	RESERVED			EN_SYSREF_JITTER	EN_DATA_READY	EN_LANE_FIFO	EN_PRBSQ	EN_PRBSI	0x00	R/W
0x021	IRQ_ENABLE0	RESERVED				EN_DAC0_CAL_DONE	RESERVED		EN_PAERR0	0x00	R/W
0x022	IRQ_ENABLE1	RESERVED				EN_DAC1_CAL_DONE	RESERVED		EN_PAERR1	0x00	R/W
0x023	IRQ_ENABLE2	RESERVED		EN_DLL_LOST	EN_DLL_LOCK	RESERVED		EN_PLL_LOST	EN_PLL_LOCK	0x00	R/W
0x024	IRQ_STATUS	RESERVED			IRQ_SYSREF_JITTER	IRQ_DATA_READY	IRQ_LANE_FIFO	IRQ_PRBSQ	IRQ_PRBSI	0x00	R/W
0x025	IRQ_STATUS0	RESERVED				IRQ_DAC0_CAL_DONE	RESERVED		IRQ_PAERR0	0x00	R/W
0x026	IRQ_STATUS1	RESERVED				IRQ_DAC1_CAL_DONE	RESERVED		IRQ_PAERR1	0x00	R/W
0x027	IRQ_STATUS2	RESERVED		IRQ_DLL_LOST	IRQ_DLL_LOCK	RESERVED		IRQ_PLL_LOST	IRQ_PLL_LOCK	0x00	R/W
0x028	IRQ_OUTPUT_MUX	RESERVED			MUX_SYSREF_JITTER	MUX_DATA_READY	MUX_LANE_FIFO	MUX_PRBSQ	MUX_PRBSI	0x00	R/W
0x029	IRQ_OUTPUT_MUX0	RESERVED				MUX_DAC0_CAL_DONE	RESERVED		MUX_PAERR0	0x00	R/W
0x02A	IRQ_OUTPUT_MUX1	RESERVED				MUX_DAC1_CAL_DONE	RESERVED		MUX_PAERR1	0x00	R/W
0x02B	IRQ_OUTPUT_MUX2	RESERVED		MUX_DLL_LOST	MUX_DLL_LOCK	RESERVED		MUX_PLL_LOST	MUX_PLL_LOCK	0x00	R/W
0x02C	IRQ_STATUS_ALL	RESERVED							IRQ_STATUS_ALL	0x00	R/W
0x036	SYSREF_COUNT	SYSREF_COUNT								0x00	R/W
0x039	SYSREF_ERR_WINDOW	RESERVED	SYSREF_ERR_WINDOW							0x00	R/W
0x03A	SYSREF_MODE	RESERVED			SYNC_ROTATION_DONE	RESERVED		SYSREF_MODE_ONESHOT	RESERVED	0x10	R/W
0x03B	ROTATION_MODE	SYNCLGIC_EN	RESERVED	PERIODIC_RST_EN	NCORST_AFTER_ROT_EN	RESERVED		ROTATION_MODE		0xB0	R/W
0x03F	TX_ENABLE	RESERVED		TXEN_DATAPATH_DAC1	TXEN_DATAPATH_DAC0	RESERVED				0x00	R/W
0x050	CAL_CLK_DIV	RESERVED				CAL_CLK_DIV				0x28	R/W
0x051	CAL_CTRL	CAL_CTRL0	RESERVED				CAL_CTRL1		CAL_START	0x82	R/W
0x052	CAL_STAT	RESERVED					CAL_ACTIVE	CAL_FAIL_SEARCH	CAL_FINISH	0x00	R/W
0x05A	FSC1	FSC_CTRL[7:0]								0x28	R/W
0x061	CAL_DEBUG0	RESERVED	CAL_CTRL2	CAL_CTRL3	RESERVED	CAL_CTRL4	RESERVED			0x60	R/W
0x081	CLK_CTRL	RESERVED						CAL_CLK_PD1	CAL_CLK_PD0	0x00	R/W
0x083	NVM_CTRL0	NVM_CTRL0A	RESERVED					NVM_CTRL0B		0x02	R/W
0x084	SYSREF_CTRL	RESERVED	SYSREF_INPUTMODE	RESERVED					SYSREF_PD	0x00	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x085	NVM_CTRL1	RESERVED	NVM_CTRL1A			RESERVED		NVM_CTRL1B	NVM_CTRL1C	0x13	R/W	
0x08D	ADC_CLK_CTRL0	RESERVED			CLKOUT_SWING					0x00	R/W	
0x08F	ADC_CLK_CTRL2	RESERVED							PD_CLKOUT_DRIVER	0x00	R/W	
0x090	DAC_POWERDOWN	RESERVED						DAC_PD1	DAC_PD0	0x03	R/W	
0x091	ACLK_CTRL	RESERVED							ACLK_POWERDOWN	0x01	R/W	
0x094	PLL_CLK_DIV	RESERVED						PLL_VCO_DIV3_EN	PLL_VCO_DIV2_EN	0x00	R/W	
0x095	PLL_BYPASS	RESERVED							PLL_BYPASS	0x00	R/W	
0x09A	NVM_CTRL	PD_BGR	RESERVED								0x00	R/W
0x0C0	DELAY_LINE_PD	RESERVED		DLL_CTRL0B	DLL_CTRL0A	RESERVED			DLL_PD	0x31	R/W	
0x0C1	DLL_CTRL0	DLL_CTRL1C		DLL_CTRL1B	DLL_CTRL1A		RESERVED		DLL_ENABLE	0x70	R/W	
0x0C3	DLL_STATUS	RESERVED							DLL_LOCK	0x00	R/W	
0x0C7	DLL_READ	RESERVED							DLL_READ_EN	0x00	R/W	
0x0CC	DLL_FINE_DELAY0	RESERVED		DLL_FINE_DELAY0						0x00	R/W	
0x0CD	DLL_FINE_DELAY1	RESERVED		DLL_FINE_DELAY1						0x00	R/W	
0x0DB	DLL_UPDATE	RESERVED							DLL_DELAY_UPDATE	0x00	R/W	
0x0FF	MOD_SWITCH_DEBUG	RESERVED						CMPLX_MOD_DIV2_DISABLE	RESERVED	0x00	R/W	
0x100	DIG_RESET	RESERVED							DIG_DATAPATH_PD	0x01	R/W	
0x110	JESD_MODE	MODE_NOT_IN_TABLE	COM_SYNC	JESD_MODE							0x20	R/W
0x111	INTRP_MODE	DP_INTERP_MODE				CH_INTERP_MODE				0x84	R/W	
0x112	DDSM_DATAPATH_CFG	RESERVED	EN_CMPLX_MOD	DDSM_MODE		DDSM_NCO_EN	DDSM_MODULUS_EN	DDSM_SEL_S_IDEBAND	EN_SYNC_ALL_CHNL_NCO_RESETS	0x01	R/W	
0x113	DDSM_FTW_UPDATE	RESERVED	DDSM_FTW_REQ_MODE			RESERVED	DDSM_FTW_LOAD_SYSREF	DDSM_FTW_LOAD_ACK	DDSM_FTW_LOAD_REQ	0x00	R/W	
0x114	DDSM_FTW0	DDSM_FTW[7:0]									0x00	R/W
0x115	DDSM_FTW1	DDSM_FTW[15:8]									0x00	R/W
0x116	DDSM_FTW2	DDSM_FTW[23:16]									0x00	R/W
0x117	DDSM_FTW3	DDSM_FTW[31:24]									0x00	R/W
0x118	DDSM_FTW4	DDSM_FTW[39:32]									0x00	R/W
0x119	DDSM_FTW5	DDSM_FTW[47:40]									0x00	R/W
0x11C	DDSM_PHASE_OFFSET0	DDSM_NCO_PHASE_OFFSET[7:0]									0x00	R/W
0x11D	DDSM_PHASE_OFFSET1	DDSM_NCO_PHASE_OFFSET[15:8]									0x00	R/W
0x124	DDSM_ACC_MODULUS0	DDSM_ACC_MODULUS[7:0]									0x00	R/W
0x125	DDSM_ACC_MODULUS1	DDSM_ACC_MODULUS[15:8]									0x00	R/W
0x126	DDSM_ACC_MODULUS2	DDSM_ACC_MODULUS[23:16]									0x00	R/W
0x127	DDSM_ACC_MODULUS3	DDSM_ACC_MODULUS[31:24]									0x00	R/W
0x128	DDSM_ACC_MODULUS4	DDSM_ACC_MODULUS[39:32]									0x00	R/W
0x129	DDSM_ACC_MODULUS5	DDSM_ACC_MODULUS[47:40]									0x00	R/W
0x12A	DDSM_ACC_DELTA0	DDSM_ACC_DELTA[7:0]									0x00	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x12B	DDSM_ACC_DELTA1	DDSM_ACC_DELTA[15:8]								0x00	R/W
0x12C	DDSM_ACC_DELTA2	DDSM_ACC_DELTA[23:16]								0x00	R/W
0x12D	DDSM_ACC_DELTA3	DDSM_ACC_DELTA[31:24]								0x00	R/W
0x12E	DDSM_ACC_DELTA4	DDSM_ACC_DELTA[39:32]								0x00	R/W
0x12F	DDSM_ACC_DELTA5	DDSM_ACC_DELTA[47:40]								0x00	R/W
0x130	DDSC_DATAPATH_CFG	RESERVED	DDSC_NCO_EN	RESERVED			DDSC_MODULUS_EN	DDSC_SEL_SIDE BAND	DDSC_EN_DC_INPUT	0x00	R/W
0x131	DDSC_FTW_UPDATE	RESERVED					DDSC_FTW_LOAD_SYSREF	DDSC_FTW_LOAD_ACK	DDSC_FTW_LOAD_REQ	0x00	R/W
0x132	DDSC_FTW0	DDSC_FTW[7:0]								0x00	R/W
0x133	DDSC_FTW1	DDSC_FTW[15:8]								0x00	R/W
0x134	DDSC_FTW2	DDSC_FTW[23:16]								0x00	R/W
0x135	DDSC_FTW3	DDSC_FTW[31:24]								0x00	R/W
0x136	DDSC_FTW4	DDSC_FTW[39:32]								0x00	R/W
0x137	DDSC_FTW5	DDSC_FTW[47:40]								0x00	R/W
0x138	DDSC_PHASE_OFFSET0	DDSC_NCO_PHASE_OFFSET[7:0]								0x00	R/W
0x139	DDSC_PHASE_OFFSET1	DDSC_NCO_PHASE_OFFSET[15:8]								0x00	R/W
0x13A	DDSC_ACC_MODULUS0	DDSC_ACC_MODULUS[7:0]								0x00	R/W
0x13B	DDSC_ACC_MODULUS1	DDSC_ACC_MODULUS[15:8]								0x00	R/W
0x13C	DDSC_ACC_MODULUS2	DDSC_ACC_MODULUS[23:16]								0x00	R/W
0x13D	DDSC_ACC_MODULUS3	DDSC_ACC_MODULUS[31:24]								0x00	R/W
0x13E	DDSC_ACC_MODULUS4	DDSC_ACC_MODULUS[39:32]								0x00	R/W
0x13F	DDSC_ACC_MODULUS5	DDSC_ACC_MODULUS[47:40]								0x00	R/W
0x140	DDSC_ACC_DELTA0	DDSC_ACC_DELTA[7:0]								0x00	R/W
0x141	DDSC_ACC_DELTA1	DDSC_ACC_DELTA[15:8]								0x00	R/W
0x142	DDSC_ACC_DELTA2	DDSC_ACC_DELTA[23:16]								0x00	R/W
0x143	DDSC_ACC_DELTA3	DDSC_ACC_DELTA[31:24]								0x00	R/W
0x144	DDSC_ACC_DELTA4	DDSC_ACC_DELTA[39:32]								0x00	R/W
0x145	DDSC_ACC_DELTA5	DDSC_ACC_DELTA[47:40]								0x00	R/W
0x146	CHNL_GAIN0	CHNL_GAIN[7:0]								0x00	R/W
0x147	CHNL_GAIN1	RESERVED					CHNL_GAIN[11:8]			0x08	R/W
0x148	DC_CAL_TONE0	DC_TEST_INPUT_AMPLITUDE[7:0]								0x00	R/W
0x149	DC_CAL_TONE1	DC_TEST_INPUT_AMPLITUDE[15:8]								0x00	R/W
0x14B	PRBS	PRBS_GOOD_Q	PRBS_GOOD_I	RESERVED	PRBS_INV_Q	PRBS_INV_I	PRBS_MODE	PRBS_RESET	PRBS_EN	0x10	R/W
0x14C	PRBS_ERROR_I	PRBS_COUNT_I								0x00	R
0x14D	PRBS_ERROR_Q	PRBS_COUNT_Q								0x00	R
0x14E	PRBS_CHANSEL	RESERVED					PRBS_CHANSEL			0x07	R/W
0x151	DECODE_MODE	RESERVED			MSB_SHUFFLE_EN		RESERVED			0x00	R/W
0x1DE	SPI_ENABLE	RESERVED						SPI_EN1	SPI_EN0	0x03	R/W
0x1E2	DDSM_CAL_FTW0	DDSM_CAL_FTW[7:0]								0x00	R/W
0x1E3	DDSM_CAL_FTW1	DDSM_CAL_FTW[15:8]								0x00	R/W
0x1E4	DDSM_CAL_FTW2	DDSM_CAL_FTW[23:16]								0x00	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x1E5	DDSM_CAL_FTW3	DDSM_CAL_FTW[31:24]								0x00	R/W	
0x1E6	DDSM_CAL_MODE_DEF	RESERVED					DDSM_EN_CAL_ACC	DDSM_EN_CAL_DC_INPUT	DDSM_EN_CAL_FREQ_TUNE	0x00	R/W	
0x1E7	DATAPATH_NCO_SYNC_CFG	RESERVED					LO_MODE_ENABLE	ALL_NCO_SYNC_ACK	START_NCO_SYNC	0x00	R/W	
0x200	MASTER_PD	RESERVED							SERDES_MASTER_PD	0x01	R/W	
0x201	PHY_PD	PHY_PD								0xEE	R/W	
0x203	GENERIC_PD	RESERVED						PD_SYNCOUT0	PD_SYNCOUT1	0x01	R/W	
0x206	CDR_RESET	RESERVED							CDR_PHY_RESET	0x00	R/W	
0x210	CBUS_ADDR	SERDES_CBUS_ADDR								0x00	R/W	
0x212	CBUS_WRSTROBE_PHY	SERDES_CBUS_WR0								0x00	R/W	
0x213	CBUS_WRSTROBE_OTHER	RESERVED							SERDES_CBUS_WR1	0x00	R/W	
0x216	CBUS_WDATA	SERDES_CBUS_DATA								0x00	R/W	
0x234	CDR_BITINVERSE	SEL_IF_PARDATAINV_DES_RC_CH								0x66	R/W	
0x240	EQ_BOOST_PHY_3_0	EQ_BOOST_PHY3	EQ_BOOST_PHY2			EQ_BOOST_PHY1		EQ_BOOST_PHY0		0xFF	R/W	
0x241	EQ_BOOST_PHY_7_4	EQ_BOOST_PHY7	EQ_BOOST_PHY6			EQ_BOOST_PHY5		EQ_BOOST_PHY4		0xFF	R/W	
0x242	EQ_GAIN_PHY_3_0	EQ_GAIN_PHY3	EQ_GAIN_PHY2			EQ_GAIN_PHY1		EQ_GAIN_PHY0		0xFF	R/W	
0x243	EQ_GAIN_PHY_7_4	EQ_GAIN_PHY7	EQ_GAIN_PHY6			EQ_GAIN_PHY5		EQ_GAIN_PHY4		0xFF	R/W	
0x244	EQ_FB_PHY_0	RESERVED			EQ_PHY_0					0x19	R/W	
0x245	EQ_FB_PHY_1	RESERVED			EQ_PHY1					0x19	R/W	
0x246	EQ_FB_PHY_2	RESERVED			EQ_PHY2					0x19	R/W	
0x247	EQ_FB_PHY_3	RESERVED			EQ_PHY3					0x19	R/W	
0x248	EQ_FB_PHY_4	RESERVED			EQ_PHY4					0x19	R/W	
0x249	EQ_FB_PHY_5	RESERVED			EQ_PHY5					0x19	R/W	
0x24A	EQ_FB_PHY_6	RESERVED			EQ_PHY6					0x19	R/W	
0x24B	EQ_FB_PHY_7	RESERVED			EQ_PHY7					0x19	R/W	
0x250	LBT_REG_CNTRL_0	EN_LBT_DES_RC_CH								0x00	R/W	
0x251	LBT_REG_CNTRL_1	RESERVED						EN_LBT_HALFRATE_DES_RC	INIT_LBT_SYNC_DES_RC	0x02	R/W	
0x253	SYNCOUT0_CTRL	RESERVED							SEL_SYNCOUT0_MODE	0x00	R/W	
0x254	SYNCOUT1_CTRL	RESERVED							SEL_SYNCOUT1_MODE	0x00	R/W	
0x280	PLL_ENABLE_CTRL	RESERVED					LOLSTICKY-CLEAR_LCPLL_RC	LDSYNTH_LCPLL_RC	SERDES_PLL_STARTUP	0x01	R/W	
0x281	PLL_STATUS	RESERVED							SERDES_PLL_LOCK	0x00	R	
0x300	GENERAL_JRX_CTRL_0	RESERVED				LINK_MODE	LINK_PAGE	LINK_EN		0x00	R/W	
0x302	DYN_LINK_LATENCY_0	RESERVED	DYN_LINK_LATENCY_0								0x00	R
0x303	DYN_LINK_LATENCY_1	RESERVED	DYN_LINK_LATENCY_1								0x00	R
0x304	LMFC_DELAY_0	RESERVED	LMFC_DELAY_0								0x00	R/W
0x305	LMFC_DELAY_1	RESERVED	LMFC_DELAY_1								0x00	R/W
0x306	LMFC_VAR_0	RESERVED	LMFC_VAR_0								0x3F	R/W
0x307	LMFC_VAR_1	RESERVED	LMFC_VAR_1								0x3F	R/W
0x308	XBAR_LN_0_1	RESERVED	LOGICAL_LANE1_SRC				LOGICAL_LANE0_SRC				0x08	R/W
0x309	XBAR_LN_2_3	RESERVED	LOGICAL_LANE3_SRC				LOGICAL_LANE2_SRC				0x1A	R/W
0x30A	XBAR_LN_4_5	RESERVED	LOGICAL_LANE5_SRC				LOGICAL_LANE4_SRC				0x2C	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x30B	XBAR_LN_6_7	RESERVED		LOGICAL_LANE7_SRC			LOGICAL_LANE6_SRC			0x3E	R/W
0x30C	FIFO_STATUS_REG_0	LANE_FIFO_FULL								0x00	R
0x30D	FIFO_STATUS_REG_1	LANE_FIFO_EMPTY								0x00	R
0x311	SYNCOUT_GEN_0	RESERVED				EOMF_MASK_1	EOMF_MASK_0	EOF_MASK_1	EOF_MASK_0	0x00	R/W
0x312	SYNCOUT_GEN_1	SYNC_ERR_DUR				RESERVED				0x00	R/W
0x315	PHY_PRBS_TEST_EN	PHY_TEST_EN								0x00	R/W
0x316	PHY_PRBS_TEST_CTRL	RESERVED	PHY_SRC_ERR_CNT			PHY_PRBS_PAT_SEL		PHY_TEST_START	PHY_TEST_RESET	0x00	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	PHY_PRBS_THRESHOLD_LOBITS								0x00	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	PHY_PRBS_THRESHOLD_MIDBITS								0x00	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	PHY_PRBS_THRESHOLD_HIBITS								0x00	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	PHY_PRBS_ERR_CNT_LOBITS								0x00	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	PHY_PRBS_ERR_CNT_MIDBITS								0x00	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	PHY_PRBS_ERR_CNT_HIBITS								0x00	R
0x31D	PHY_PRBS_TEST_STATUS	PHY_PRBS_PASS								0xFF	R
0x31E	PHY_DATA_SNAPSHOT_CTRL	RESERVED						PHY_GRAB_MODE	PHY_GRAB_DATA	0x00	R/W
0x31F	PHY_SNAPSHOT_DATA_BYTE0	PHY_SNAPSHOT_DATA_BYTE0								0x00	R
0x320	PHY_SNAPSHOT_DATA_BYTE1	PHY_SNAPSHOT_DATA_BYTE1								0x00	R
0x321	PHY_SNAPSHOT_DATA_BYTE2	PHY_SNAPSHOT_DATA_BYTE2								0x00	R
0x322	PHY_SNAPSHOT_DATA_BYTE3	PHY_SNAPSHOT_DATA_BYTE3								0x00	R
0x323	PHY_SNAPSHOT_DATA_BYTE4	PHY_SNAPSHOT_DATA_BYTE4								0x00	R
0x32C	SHORT_TPL_TEST_0	SHORT_TPL_SP_SEL				SHORT_TPL_CHAN_SEL		SHORT_TPL_TEST_RESET	SHORT_TPL_TEST_EN	0x00	R/W
0x32D	SHORT_TPL_TEST_1	SHORT_TPL_REF_SP_LSB								0x00	R/W
0x32E	SHORT_TPL_TEST_2	SHORT_TPL_REF_SP_MSB								0x00	R/W
0x32F	SHORT_TPL_TEST_3	SHORT_TPL_LINK_SEL	SHORT_TPL_IQ_SAMPLE_SEL	RESERVED					SHORT_TPL_FAIL	0x00	R/W
0x334	JESD_BIT_INVERSE_CTRL	JESD_BIT_INVERSE								0x00	R/W
0x400	DID_REG	DID_RD								0x00	R
0x401	BID_REG	BID_RD								0x00	R
0x402	LID0_REG	RESERVED	ADJDIR_RD	PHADJ_RD	LL_LID0				0x00	R	
0x403	SCR_L_REG	SCR_RD	RESERVED		L_RD_1				0x00	R	
0x404	F_REG	F_RD_1								0x00	R
0x405	K_REG	RESERVED			K_RD_1				0x00	R	
0x406	M_REG	M_RD_1								0x00	R

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x407	CS_N_REG	CS_RD		RESERVED		N_RD_1					0x00	R
0x408	NP_REG	SUBCLASSV_RD				NP_RD_1					0x00	R
0x409	S_REG	JESDV_RD_1				S_RD_1					0x00	R
0x40A	HD_CF_REG	HD_RD	RESERVED			CF_RD					0x00	R
0x40B	RES1_REG	RES1_RD								0x00	R	
0x40C	RES2_REG	RES2_RD								0x00	R	
0x40D	CHECKSUM0_REG	LL_FCHK0								0x00	R	
0x40E	COMPSUM0_REG	LL_FCMP0								0x00	R	
0x412	LID1_REG	RESERVED				LL_LID1					0x00	R
0x415	CHECKSUM1_REG	LL_FCHK1								0x00	R	
0x416	COMPSUM1_REG	LL_FCMP1								0x00	R	
0x41A	LID2_REG	RESERVED				LL_LID2					0x00	R
0x41D	CHECKSUM2_REG	LL_FCHK2								0x00	R	
0x41E	COMPSUM2_REG	LL_FCMP2								0x00	R	
0x422	LID3_REG	RESERVED				LL_LID3					0x00	R
0x425	CHECKSUM3_REG	LL_FCHK3								0x00	R	
0x426	COMPSUM3_REG	LL_FCMP3								0x00	R	
0x42A	LID4_REG	RESERVED				LL_LID4					0x00	R
0x42D	CHECKSUM4_REG	LL_FCHK4								0x00	R	
0x42E	COMPSUM4_REG	LL_FCMP4								0x00	R	
0x432	LID5_REG	RESERVED				LL_LID5					0x00	R
0x435	CHECKSUM5_REG	LL_FCHK5								0x00	R	
0x436	COMPSUM5_REG	LL_FCMP5								0x00	R	
0x43A	LID6_REG	RESERVED				LL_LID6					0x00	R
0x43D	CHECKSUM6_REG	LL_FCHK6								0x00	R	
0x43E	COMPSUM6_REG	LL_FCMP6								0x00	R	
0x442	LID7_REG	RESERVED				LL_LID7					0x00	R
0x445	CHECKSUM7_REG	LL_FCHK7								0x00	R	
0x446	COMPSUM7_REG	LL_FCMP7								0x00	R	
0x450	ILS_DID	DID								0x00	R/W	
0x451	ILS_BID	BID								0x00	R/W	
0x452	ILS_LID0	RESERVED	ADJDIR	PHADJ	LID0					0x00	R/W	
0x453	ILS_SCR_L	SCR	RESERVED			L_1					0x87	R/W
0x454	ILS_F	F_1								0x00	R/W	
0x455	ILS_K	RESERVED				K_1					0x1F	R/W
0x456	ILS_M	M_1								0x01	R/W	
0x457	ILS_CS_N	CS		RESERVED		N_1					0x0F	R/W
0x458	ILS_NP	SUBCLASSV				NP_1					0x0F	R/W
0x459	ILS_S	JESDV				S_1					0x01	R/W
0x45A	ILS_HD_CF	HD	RESERVED			CF					0x80	R
0x45B	ILS_RES1	RES1								0x00	R/W	
0x45C	ILS_RES2	RES2								0x00	R/W	
0x45D	ILS_CHECKSUM	FCHK0								0x00	R/W	
0x46C	LANE_DESKEW	ILD7	ILD6	ILD5	ILD4	ILD3	ILD2	ILD1	ILD0	0x00	R	
0x46D	BAD_DISPARITY	BDE7	BDE6	BDE5	BDE4	BDE3	BDE2	BDE1	BDE0	0x00	R	
0x46E	NOT_IN_TABLE	NIT7	NIT6	NIT5	NIT4	NIT3	NIT2	NIT1	NIT0	0x00	R	
0x46F	UNEXPECTED_KCHAR	UEK7	UEK6	UEK5	UEK4	UEK3	UEK2	UEK1	UEK0	0x00	R	
0x470	CODE_GRP_SYNC	CGS7	CGS6	CGS5	CGS4	CGS3	CGS2	CGS1	CGS0	0x00	R	
0x471	FRAME_SYNC	FS7	FS6	FS5	FS4	FS3	FS2	FS1	FS0	0x00	R	

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x472	GOOD_CHECKSUM	CKS7	CKS6	CKS5	CKS4	CKS3	CKS2	CKS1	CKS0	0x00	R	
0x473	INIT_LANE_SYNC	ILS7	ILS6	ILS5	ILS4	ILS3	ILS2	ILS1	ILS0	0x00	R	
0x475	CTRLREG0	RESERVED					SOFTTRST	FORCE- SYNCREQ	RESERVED	REPL_FRM_ENA	0x01	R/W
0x476	CTRLREG1	RESERVED				QUAL_RDERR	RESERVED			FCHK_N	0x14	R/W
0x477	CTRLREG2	ILS_MODE	RESERVED	REPDATEST	QUETESTERR	AR_ECNTR	RESERVED			0x00	R/W	
0x478	KVAL	KSYNC									0x01	R/W
0x47C	ERRORTHRES	ETH									0xFF	R/W
0x47D	SYNC_ASSERT_MASK	RESERVED						SYNC_ASSERT_MASK			0x07	R/W
0x480	ECNT_CTRL0	RESERVED			ECNT_ENA0			ECNT_RST0			0x3F	R/W
0x481	ECNT_CTRL1	RESERVED			ECNT_ENA1			ECNT_RST1			0x3F	R/W
0x482	ECNT_CTRL2	RESERVED			ECNT_ENA2			ECNT_RST2			0x3F	R/W
0x483	ECNT_CTRL3	RESERVED			ECNT_ENA3			ECNT_RST3			0x3F	R/W
0x484	ECNT_CTRL4	RESERVED			ECNT_ENA4			ECNT_RST4			0x3F	R/W
0x485	ECNT_CTRL5	RESERVED			ECNT_ENA5			ECNT_RST5			0x3F	R/W
0x486	ECNT_CTRL6	RESERVED			ECNT_ENA6			ECNT_RST6			0x3F	R/W
0x487	ECNT_CTRL7	RESERVED			ECNT_ENA7			ECNT_RST7			0x3F	R/W
0x488	ECNT_TCH0	RESERVED						ECNT_TCH0			0x07	R/W
0x489	ECNT_TCH1	RESERVED						ECNT_TCH1			0x07	R/W
0x48A	ECNT_TCH2	RESERVED						ECNT_TCH2			0x07	R/W
0x48B	ECNT_TCH3	RESERVED						ECNT_TCH3			0x07	R/W
0x48C	ECNT_TCH4	RESERVED						ECNT_TCH4			0x07	R/W
0x48D	ECNT_TCH5	RESERVED						ECNT_TCH5			0x07	R/W
0x48E	ECNT_TCH6	RESERVED						ECNT_TCH6			0x07	R/W
0x48F	ECNT_TCH7	RESERVED						ECNT_TCH7			0x07	R/W
0x490	ECNT_STAT0	RESERVED					LANE_ENA0	ECNT_TCR0			0x00	R
0x491	ECNT_STAT1	RESERVED					LANE_ENA1	ECNT_TCR1			0x00	R
0x492	ECNT_STAT2	RESERVED					LANE_ENA2	ECNT_TCR2			0x00	R
0x493	ECNT_STAT3	RESERVED					LANE_ENA3	ECNT_TCR3			0x00	R
0x494	ECNT_STAT4	RESERVED					LANE_ENA4	ECNT_TCR4			0x00	R
0x495	ECNT_STAT5	RESERVED					LANE_ENA5	ECNT_TCR5			0x00	R
0x496	ECNT_STAT6	RESERVED					LANE_ENA6	ECNT_TCR6			0x00	R
0x497	ECNT_STAT7	RESERVED					LANE_ENA7	ECNT_TCR7			0x00	R
0x4B0	LINK_STATUS0	BDE0	NIT0	UEK0	ILD0	ILS0	CKS0	FS0	CGS0	0x00	R	
0x4B1	LINK_STATUS1	BDE1	NIT1	UEK1	ILD1	ILS1	CKS1	FS1	CGS1	0x00	R	
0x4B2	LINK_STATUS2	BDE2	NIT2	UEK2	ILD2	ILS2	CKS2	FS2	CGS2	0x00	R	
0x4B3	LINK_STATUS3	BDE3	NIT3	UEK3	ILD3	ILS3	CKS3	FS3	CGS3	0x00	R	
0x4B4	LINK_STATUS4	BDE4	NIT4	UEK4	ILD4	ILS4	CKS4	FS4	CGS4	0x00	R	
0x4B5	LINK_STATUS5	BDE5	NIT5	UEK5	ILD5	ILS5	CKS5	FS5	CGS5	0x00	R	
0x4B6	LINK_STATUS6	BDE6	NIT6	UEK6	ILD6	ILS6	CKS6	FS6	CGS6	0x00	R	
0x4B7	LINK_STATUS7	BDE7	NIT7	UEK7	ILD7	ILS7	CKS7	FS7	CGS7	0x00	R	
0x4B8	JESD_IRQ_ENABLEA	EN_BDE	EN_NIT	EN_UEK	EN_ILD	EN_ILS	EN_CKS	EN_FS	EN_CGS	0x00	R/W	
0x4B9	JESD_IRQ_ENABLEB	RESERVED								EN_ILAS	0x00	R/W
0x4BA	JESD_IRQ_STATUSA	IRQ_BDE	IRQ_NIT	IRQ_UEK	IRQ_ILD	IRQ_ILS	IRQ_CKS	IRQ_FS	IRQ_CGS	0x00	R/W	
0x4BB	JESD_IRQ_STATUSB	RESERVED								IRQ_ILAS	0x00	R/W
0x4BC	IRQ_OUTPUT_MUX_JESD	RESERVED								MUX_JESD_IRQ	0x00	R/W
0x580	BE_SOFT_OFF_GAIN_CTRL	BE_SOFT_OFF_GAIN_EN	RESERVED					BE_GAIN_RAMP_RATE			0x00	R/W
0x581	BE_SOFT_OFF_ENABLE	ENA_SHORT_PAERR_SOFTOFF	ENA_LONG_PAERR_SOFTOFF	RESERVED			ENA_JESD_ERR_SOFTOFF	ROTATE_SOFT_OFF_EN	TXEN_SOFT_OFF_EN	SPI_SOFT_OFF_EN	0xC6	R/W
0x582	BE_SOFT_ON_ENABLE	SPI_SOFT_ON_EN	LONG_LEVEL_SOFTON_EN	RESERVED							0x40	R/W
0x583	LONG_PA_THRES_LSB	LONG_PA_THRESHOLD[7:0]									0x00	R/W
0x584	LONG_PA_THRES_MSB	RESERVED				LONG_PA_THRESHOLD[12:8]					0x00	R/W

Reg.	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW		
0x585	LONG_PA_CONTROL	LONG_PA_ENABLE	RESERVED			LONG_PA_AVG_TIME				0x00	R/W		
0x586	LONG_PA_POWER_LSB	LONG_PA_POWER[7:0]								0x00	R		
0x587	LONG_PA_POWER_MSB	RESERVED			LONG_PA_POWER[12:8]				0x00	R			
0x588	SHORT_PA_THRES_LSB	SHORT_PA_THRESHOLD[7:0]								0x00	R/W		
0x589	SHORT_PA_THRES_MSB	RESERVED			SHORT_PA_THRESHOLD[12:8]				0x00	R/W			
0x58A	SHORT_PA_CONTROL	SHORT_PA_ENABLE	RESERVED					SHORT_PA_AVG_TIME		0x00	R/W		
0x58B	SHORT_PA_POWER_LSB	SHORT_PA_POWER[7:0]								0x00	R		
0x58C	SHORT_PA_POWER_MSB	RESERVED			SHORT_PA_POWER[12:8]				0x00	R			
0x58D	TXEN_SM_0	RESERVED							ENA_TXENSM	0x50	R/W		
0x596	BLANKING_CTRL	RESERVED				SPI_TXEN	ENA_SPI_TXEN	RESERVED		0x00	R/W		
0x597	JESD_PA_INT0	JESD_PA_INT_CNTRL[7:0]								0x00	R/W		
0x598	JESD_PA_INT1	RESERVED							JESD_PA_INT_CNTRL[8]	0x00	R/W		
0x599	TXEN_FLUSH_CTRL0	RESERVED							SPI_FLUSH_EN	0x01	R/W		
0x705	NVM_LOADER_EN	RESERVED							NVM_BLR_EN	0x00	R/W		
0x790	DACPLL_PDCTRL0	PLL_PD5	PLL_PD4			PLL_PD3	PLL_PD2	PLL_PD1	PLL_PD0	0x02	R/W		
0x791	DACPLL_PDCTRL1	RESERVED			PLL_PD10	PLL_PD9	PLL_PD8	PLL_PD7	PLL_PD6	0x00	R/W		
0x792	DACPLL_CTRL0	RESERVED						D_CAL_RESET	D_RESET_VCO_DIV	0x02	R/W		
0x793	DACPLL_CTRL1	RESERVED						M_DIVIDER-1		0x18	R/W		
0x794	DACPLL_CTRL2	RESERVED		DACPLL_CP								0x04	R/W
0x795	DACPLL_CTRL3	RESERVED				D_CP_CALBITS				0x08	R/W		
0x796	DACPLL_CTRL4	PLL_CTRL0				RESERVED				0xD2	R/W		
0x797	DACPLL_CTRL5	RESERVED		PLL_CTRL1						0x20	R/W		
0x798	DACPLL_CTRL6	RESERVED	PLL_CTRL3	PLL_CTRL2						0x1C	R/W		
0x799	DACPLL_CTRL7	ADC_CLK_DIVIDER		N_DIVIDER						0x08	R/W		
0x7A0	DACPLL_CTRL9	RESERVED		D_EN_VAR_FINE_PRE	RESERVED		D_EN_VAR_COARSE_PRE	RESERVED		0x90	R/W		
0x7A2	DACPLL_CTRL10	RESERVED	D_REGULATOR_CAL_WAIT		D_VCO_CAL_WAIT		D_VCO_CAL_CYCLES		RESERVED	0x35	R/W		
0x7B5	PLL_STATUS	RESERVED							PLL_LOCK	0x00	R		

レジスタの詳細

表 61. レジスタの詳細

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x000	SPI_INTFCONFA	7	SOFTRESET_M		ソフト・リセット（ミラー）。ビット0をミラーするにはこのビットをセットします。	0x0	R
		6	LSBFIRST_M		LSB ファースト（ミラー）。ビット1をミラーするにはこのビットをセットします。	0x0	R
		5	ADDRINC_M		アドレスをインクリメント（ミラー）。ビット2をミラーするにはこのビットをセットします。	0x0	R
		4	SDOACTIVE_M		SDO アクティブ（ミラー）。ビット3をミラーするにはこのビットをセットします。	0x0	R
		3	SDOACTIVE		SDO アクティブ。4 線式 SPI バス・モードを有効にします。	0x0	R/W
		2	ADDRINC	1 0	アドレスをインクリメント。このビットをセットするとストリーミング・アドレスがインクリメントされます。セットしないと、降順（デクリメント）でアドレスが生成されます。 ストリーミング・アドレスをインクリメント。 ストリーミング・アドレスをデクリメント。	0x0	R/W
		1	LSBFIRST	1 0	LSB ファースト。このビットをセットすると、SPI 入力データと SPI 出力データが LSB ファーストで処理されます。このビットをクリアすると、データは MSB ファーストで処理されます。 LSB を最初にシフト。 MSB を最初にシフト。	0x0	R/W
0x001	SPI_INTFCONFB	0	SOFTRESET	1 0	ソフト・リセット。リセット動作を実行すると、このビットが自動的に0にクリアされます。このビットをセットするとリセットが開始されます。このビットは、ソフト・リセットが完了すると自動的にクリアされます。 ソフト・リセット・ラインにパルスを出力します。 ソフト・リセット・ラインをリセットします。	0x0	R/W
		7	SINGLEINS	1 0	単一命令。 単一の転送を実行。 複数の転送を実行。	0x0	R/W
		6	CSSTALL	0 1	CS ストリーミング。 CS ストリーミングを無効化。 CS ストリーミングを有効化。	0x0	R/W
		[5:0]	RESERVED		予備。	0x0	R/W
0x003	SPI_CHIPTYPE	[7:0]	CHIP_TYPE		チップ・タイプ。	0x4	R
0x004	SPI_PRODIDL	[7:0]	PROD_ID[7:0]		製品 ID。ブート・ローダが完了すると更新されます	0x72	R
0x005	SPI_PRODIDH	[7:0]	PROD_ID[15:8]		製品 ID。ブート・ローダが完了すると更新されます	0x91	R
0x006	SPI_CHIPGRADE	[7:4]	PROD_GRADE		製品グレード。	0x0	R
		[3:0]	DEV_REVISION		デバイスのリビジョン。	0x2	R
0x008	SPI_PAGEINDX	[7:6]	MAINDAC_PAGE		メイン DAC ページングを設定。このフィールドの各ハイ・ビットは、LSB から開始して DAC をページングします。必要な場合は、両方のメイン DAC を同時にページングして設定できます。	0x3	R/W
		[5:0]	CHANNEL_PAGE		チャンネル・ページングを設定。このフィールドの各ハイ・ビットは、LSB から開始して複数チャンネルをページングします。必要な場合は、複数のチャンネルを同時にページングして設定することができます。	0x3F	R/W
0x00A	SPI_SCRATCHPAD	[7:0]	SCRATCHPAD		スクラッチ・パッド読出し／書込みレジスタ。	0x0	R/W
0x010	CHIP_ID_L	[7:0]	CHIP_ID[7:0]		チップ ID シリアル番号。	0x0	R
0x011	CHIP_ID_M1	[7:0]	CHIP_ID[15:8]		チップ ID シリアル番号。	0x0	R
0x012	CHIP_ID_M2	[7:0]	CHIP_ID[23:16]		チップ ID シリアル番号。	0x0	R
0x013	CHIP_ID_H	[7:0]	CHIP_ID[31:24]		チップ ID シリアル番号。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x020	IRQ_ENABLE	[7:5]	RESERVED		予備。	0x0	R
		4	EN_SYSREF_JITTER		SYSREF±ジッタ割込みをイネーブル。	0x0	R/W
		3	EN_DATA_READY		JESD204B レシーバー・レディ (JRX_DATA_READY) ロー割込みをイネーブル。	0x0	R/W
		2	EN_LANE_FIFO		レーン FIFO オーバーフロー／アンダーフロー割込みをイネーブル。	0x0	R/W
		1	EN_PRBSQ		PRBS 虚数エラー割込みをイネーブル。	0x0	R/W
		0	EN_PRBSI		PRBS 実数エラー割込みをイネーブル。	0x0	R/W
0x021	IRQ_ENABLE0	[7:4]	RESERVED		予備。	0x0	R
		3	EN_DAC0_CAL_DONE		DAC0 キャリブレーション完了割込みをイネーブル。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W
		0	EN_PAERR0		DAC0 の PA 保護エラー割込みをイネーブル。	0x0	R/W
0x022	IRQ_ENABLE1	[7:4]	RESERVED		予備。	0x0	R
		3	EN_DAC1_CAL_DONE		DAC1 キャリブレーション完了割込みをイネーブル。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W
		0	EN_PAERR1		DAC1 の PA 保護エラー割込みをイネーブル。	0x0	R/W
0x023	IRQ_ENABLE2	[7:6]	RESERVED		予備。	0x0	R
		5	EN_DLL_LOST		DLL ロック喪失割込みをイネーブル。	0x0	R/W
		4	EN_DLL_LOCK		DLL ロック割込みをイネーブル。	0x0	R/W
		[3:2]	RESERVED		予備。	0x0	R/W
		1	EN_PLL_LOST		PLL ロック喪失割込みをイネーブル。	0x0	R/W
		0	EN_PLL_LOCK		PLL ロック割込みをイネーブル。	0x0	R/W
0x024	IRQ_STATUS	[7:5]	RESERVED		予備。	0x0	R
		4	IRQ_SYSREF_JITTER		SYSREF±ジッタ過大。EN_SYSREF_JITTER がローの場合、IRQ_SYSREF_JITTER は現在のステータスを示します。EN_SYSREF_JITTER がハイの場合は、IRQ_SYSREF_JITTER がラッチしてIRQxピンをローにプルダウンします (x = MUX_SYSREF_JITTER 設定)。ラッチした状態で IRQ_SYSREF_JITTER に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		3	IRQ_DATA_READY		JESD204x レシーバー・データ・レディがロー。EN_DATA_READY がローの場合、IRQ_DATA_READY は現在のステータスを示します。EN_DATA_READY がハイの場合は、IRQ_DATA_READY がラッチしてIRQxピンをローにプルダウンします (x = MUX_DATA_READY 設定)。ラッチした状態で IRQ_DATA_READY に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		2	IRQ_LANE_FIFO		レーン FIFO オーバーフロー／アンダーフロー。EN_LANE_FIFO がローの場合、IRQ_LANE_FIFO は現在のステータスを示します。EN_LANE_FIFO がハイの場合は、IRQ_LANE_FIFO がラッチしてIRQxピンをローにプルダウンします (x = MUX_LANE_FIFO 設定)。ラッチした状態で IRQ_LANE_FIFO に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		1	IRQ_PRBSQ		DAC1 PRBS エラー。EN_PRBSQ がローの場合、IRQ_PRBSQ は現在のステータスを示します。EN_PRBSQ がハイの場合は、IRQ_PRBSQ がラッチしてIRQxピンをローにプルダウンします (x = MUX_PRBSQ 設定)。ラッチした状態で IRQ_PRBSQ に 1 を書き込むと、ビットがクリアされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	IRQ_PRBSI		DAC0 PRBS エラー。EN_PRBSI がローの場合、IRQ_PRBSI は現在のステータスを示します。EN_PRBSI がハイの場合は、IRQ_PRBSI がラッチしてIRQxピンをローにプルダウンします (x = MUX_PRBSI 設定)。ラッチした状態で IRQ_PRBSI に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
0x025	IRQ_STATUS0	[7:4]	RESERVED		予備。	0x0	R
		3	IRQ_DAC0_CAL_DONE		DAC0 キャリブレーション完了。EN_DAC0_CAL_DONE がローの場合、IRQ_DAC0_CAL_DONE は現在のステータスを示します。EN_DAC0_CAL_DONE がハイの場合は、IRQ_DAC0_CAL_DONE がラッチしてIRQxピンをローにプルダウンします (x = MUX_DAC0_CAL_DONE 設定)。ラッチした状態で IRQ_DAC0_CAL_DONE に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W
		0	IRQ_PAERR0		DAC0 PA エラー。EN_PAERR0 がローの場合、IRQ_PAERR0 は現在のステータスを示します。EN_PAERR0 がハイの場合は、IRQ_PAERR0 がラッチしてIRQxピンをローにプルダウンします (x = MUX_PAERR0 設定)。ラッチした状態で IRQ_PAERR0 に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
0x026	IRQ_STATUS1	[7:4]	RESERVED		予備。	0x0	R
		3	IRQ_DAC1_CAL_DONE		DAC1 キャリブレーション完了。EN_DAC1_CAL_DONE がローの場合、IRQ_DAC1_CAL_DONE は現在のステータスを示します。EN_DAC1_CAL_DONE がハイの場合は、IRQ_DAC1_CAL_DONE がラッチしてIRQxピンをローにプルダウンします (x = MUX_DAC1_CAL_DONE 設定)。ラッチした状態で IRQ_DAC1_CAL_DONE に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W
		0	IRQ_PAERR1		DAC1 PA エラー。EN_PAERR1 がローの場合、IRQ_PAERR1 は現在のステータスを示します。EN_PAERR1 がハイの場合は、IRQ_PAERR1 がラッチしてIRQxピンをローにプルダウンします (x = MUX_PAERR1 設定)。ラッチした状態で IRQ_PAERR1 に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
0x027	IRQ_STATUS2	[7:6]	RESERVED		予備。	0x0	R
		5	IRQ_DLL_LOST		DLL 喪失。EN_DLL_LOST がローの場合、IRQ_DLL_LOST は現在のステータスを示します。EN_DLL_LOST がハイの場合は、IRQ_DLL_LOST がラッチしてIRQxピンをローにプルダウンします (x = MUX_DLL_LOST 設定)。ラッチした状態で IRQ_DLL_LOST に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		4	IRQ_DLL_LOCK		DLL ロック。EN_DLL_LOCK がローの場合、IRQ_DLL_LOCK は現在のステータスを示します。EN_DLL_LOCK がハイの場合は、IRQ_DLL_LOCK がラッチしてIRQxピンをローにプルダウンします (x = MUX_DLL_LOCK 設定)。ラッチした状態で IRQ_DLL_LOCK に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
		[3:2]	RESERVED		予備。	0x0	R/W
		1	IRQ_PLL_LOST		DAC PLL ロック喪失。EN_PLL_LOST がローの場合、IRQ_PLL_LOST は現在のステータスを示します。EN_PLL_LOST がハイの場合は、IRQ_PLL_LOST がラッチしてIRQxピンをローにプルダウンします (x = MUX_PLL_LOST 設定)。ラッチした状態で IRQ_PLL_LOST に 1 を書き込むと、ビットがクリアされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	IRQ_PLL_LOCK		DAC PLL ロック。EN_PLL_LOCK がローの場合、IRQ_PLL_LOCK は現在のステータスを示します。EN_PLL_LOCK がハイの場合は、IRQ_PLL_LOCK がラッチしてIRQxピンをローにプルダウンします (x=MUX_PLL_LOCK 設定)。ラッチした状態で IRQ_PLL_LOCK に 1 を書き込むと、ビットがクリアされます。	0x0	R/W
0x028	IRQ_OUTPUT_MUX	[7:5]	RESERVED		予備。	0x0	R
		4	MUX_SYSREF_JITTER	0 1	EN_SYSREF_JITTER を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		3	MUX_DATA_READY	0 1	EN_DATA_READY を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		2	MUX_LANE_FIFO	0 1	EN_LANE_FIFO を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		1	MUX_PRBSQ	0 1	EN_PRBSQ を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		0	MUX_PRBSI	0 1	EN_PRBSI を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
0x029	IRQ_OUTPUT_MUX0	[7:4]	RESERVED		予備。	0x0	R
		3	MUX_DAC0_CAL_DONE	0 1	EN_DAC0_CAL_DONE を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W
		0	MUX_PAERR0	0 1	EN_PAERR0 を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
0x02A	IRQ_OUTPUT_MUX1	[7:4]	RESERVED		予備。	0x0	R
		3	MUX_DAC1_CAL_DONE	0 1	EN_DAC1_CAL_DONE を設定すると、イベントをトリガするIRQx出力ピンが選択されます。 IRQ トリガ信号をIRQ0ピンに送ります。 IRQ トリガ信号をIRQ1ピンに送ります。	0x0	R/W
		[2:1]	RESERVED		予備。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	MUX_PAERR1	0 1	EN_PAERR1 を設定すると、イベントをトリガする $\overline{\text{IRQx}}$ 出力ピンが選択されます。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
0x02B	IRQ_OUTPUT_MUX2	[7:6]	RESERVED		予備。	0x0	R
		5	MUX_DLL_LOST	0 1	EN_DLL_LOST を設定すると、イベントをトリガする $\overline{\text{IRQx}}$ 出力ピンが選択されます。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
		4	MUX_DLL_LOCK	0 1	EN_DLL_LOCK を設定すると、イベントをトリガする $\overline{\text{IRQx}}$ 出力ピンが選択されます。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
		[3:2]	RESERVED		予備。	0x0	R/W
		1	MUX_PLL_LOST	0 1	EN_PLL_LOST を設定すると、イベントをトリガする $\overline{\text{IRQx}}$ ピンが選択されます。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
		0	MUX_PLL_LOCK	0 1	EN_PLL_LOCK を設定すると、イベントをトリガする $\overline{\text{IRQx}}$ ピンが選択されます。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
0x02C	IRQ_STATUS_ALL	[7:1]	RESERVED		予備。	0x0	R
		0	IRQ_STATUS_ALL		このビットは、レジスタ 0x24～レジスタ 0x27 のすべてのビットの OR です。このビットに 1 を書き込むと、レジスタ 0x24～レジスタ 0x27 内にあるラッチされた $\overline{\text{IRQx}}$ 信号がすべてクリアされます。	0x0	R/W
0x036	SYSREF_COUNT	[7:0]	SYSREF_COUNT		同期前に無視する SYSREF± の立上がりエッジ数（パルス・カウンタ・モード）。	0x0	R/W
0x039	SYSREF_ERR_WINDOW	7	RESERVED		予備。	0x0	R
		[6:0]	SYSREF_ERR_WINDOW		SYSREF± 入力に許容されるジッタの量。SYSREF± ジッタの変動がこれより大きいと、割り込みがトリガされます。単位は DAC クロック数です。	0x0	R/W
0x03A	SYSREF_MODE	[7:5]	RESERVED		予備。	0x0	R
		4	SYNC_ROTATION_DONE		同期ロジック・ローテーション完了フラグ。	0x1	R
		[3:2]	RESERVED		予備。	0x0	R
		1	SYSREF_MODE_ONESHOT	00 01	ワンショット同期ローテーション・モードを有効にします。 モニタ・モード。SYSREF± エッジがエラー・ウィンドウの外にある場合、IRQ_SYSREF_JITTER のステータス/エラー・フラグは 1 です（レジスタ 0x039、ビット [6:0]）。 次の SYSREF± で同期を 1 回行ってから、モニタ・モードに切り替えます。	0x0	R/W
		0	RESERVED		予備。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x03B	ROTATION_MODE	7	SYNCLOGIC_EN		このビットは、サブクラス 0 とサブクラス 1 の両方で、常に 1（デフォルト）に設定する必要があります。	0x1	R/W
		6	RESERVED		予備。デバイスを正しく動作させるには、このビットに 1 を書き込みます。	0x0	R/W
		5	PERIODIC_RST_EN		同期要求設定。このビットは、サブクラス 0 とサブクラス 1 の両方で常に 1 に設定します。	0x1	R/W
		4	NCORST_AFTER_ROT_EN		デジタル・リセットまたは同期ローテーションの後ですべての NCO をリセットするには、このビットを 1 に設定します。この制御または START_NCO_SYNC ビット（レジスタ 0x1E7 のビット 0）は、すべての NCO（メイン・データパスとチャンネル・データパス）をリセットするのに使用できます。	0x1	R/W
		[3:2]	RESERVED		予備。	0x0	R
		[1:0]	ROTATION_MODE		同期ローテーション発生時にリセットする回路を選択。どのビットが 1 に設定されるかで、同期ローテーションが実行されたときの動作が決まります。ビット 0 は、SERDES クロックのリセットとリアライメントに対応しています。ビット 1 はデータパスのソフト・オフ/オン・ゲインに対応しますが、使用できるのは PA 保護が使われている場合に限られます。PA 保護が使われていない場合は、ビット 1 を 0 に設定します。	0x0	R/W
				0	同期ローテーションが発生しても、SERDES クロックまたはデータパスに関しては何の動作も行われません。		
				1	リンクが解除されて SERDES クロックがリセットされます。同期ローテーション実行時に SERDES クロックが正しく再アラインされるように、このビットはハイに設定することを推奨します。		
				10	データパスは、自動的にソフト・オン/オフ機能を使用して同期ローテーション時にデータパス・ストリームをオン/オフし、破損したデータが伝送されるのを防ぎます。この機能は、PA 保護ブロックが使われている場合のみ使用してください。		
				11	SERDES クロック・リセットとデータパス・ソフト・オン/オフ機能だけが有効になります。		
0x03F	TX_ENABLE	[7:6]	RESERVED		予備。	0x0	R/W
		5	TXEN_DATAPATH_DAC1		TXEN1 ビンをローにしたときに、データパス DAC1 をミュートするかどうかを選択します。データパス出力はノーマル。	0x0	R/W
				0 1	TXEN1 = 0 の場合、データパス出力は直ちにゼロになります。TXEN1 = 1 の場合、データパス出力はノーマル動作します。		
		4	TXEN_DATAPATH_DAC0		TXEN0 ビンをローにしたときに、データパス DAC0 をミュートするかどうかを選択します。データパス出力はノーマル。	0x0	R/W
				0 1	TXEN0 = 0 の場合、データパス出力は直ちにゼロになります。TXEN0 = 1 の場合、データパス出力はノーマル動作します。		
0x050	CAL_CLK_DIV	[3:0]	RESERVED		予備。	0x0	R/W
		[7:4]	RESERVED		Reserved	0x2	R/W
		[3:0]	CAL_CLK_DIV		キャリブレーション・レジスタの制御。最適キャリブレーション設定とするには、これらのビットを 0xA に設定します。	0x8	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x051	CAL_CTRL	7	CAL_CTRL0	0 1	キャリブレーション設定。このビットは1に設定します。 キャリブレーション・エンジンをリセット。 キャリブレーション・ルーチンを有効化。	0x1	R/W
		[6:3]	RESERVED		予備。	0x0	R/W
		[2:1]	CAL_CTRL1	1	キャリブレーション・モードの選択最適キャリブレーション・モードとするには、このビット・フィールドを1に設定します。レジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x1	R/W
		0	CAL_START		キャリブレーションを開始。キャリブレーションの開始後は、レジスタ 0x052 のビット 2 がローになる（キャリブレーションがアクティブでなくなったことを示す）までレジスタ 0x051～レジスタ 0x061 への書き込みを行わないでください。レジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x052	CAL_STAT	[7:3]	RESERVED		予備。	0x0	R/W
		2	CAL_ACTIVE		キャリブレーション・アクティブ・ステータス・フラグ。リードバック値が1の場合は、キャリブレーション・ルーチンがまだ進行中であることを示します。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R
		1	CAL_FAIL_SEARCH		キャリブレーション失敗フラグ。リードバック値が1の場合は、キャリブレーション・ルーチンが失敗したこと、および有効でない可能性があることを示します。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R
		0	CAL_FINISH		キャリブレーション完了フラグ。リードバック値が1の場合は、キャリブレーションが完了したことを示します。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R
0x05A	FSC1	[7:0]	FSC_CTRL[7:0]		DACx のアナログ出力から使用可能なフルスケール（最大）電流を設定します。この制御は、レジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。フルスケール電流 = $15.625 \text{ mA} + \text{FSC_CTRL} \times (25/256) \text{ (mA)}$ 。	0x28	R/W
0x061	CAL_DEBUG0	7	RESERVED		予備。	0x0	R/W
		6	CAL_CTRL2		キャリブレーション制御。最適キャリブレーション設定とするには、このビットを1に設定します。	0x1	R/W
		5	CAL_CTRL3		キャリブレーション制御。最適キャリブレーション設定とするには、このビットを1に設定します。	0x1	R/W
		4	RESERVED		予備。	0x0	R/W
		3	CAL_CTRL4		キャリブレーション制御。最適キャリブレーション設定とするには、このビットを1に設定します。	0x0	R/W
		[2:0]	RESERVED		予備。	0x0	R/W
0x081	CLK_CTRL	[7:2]	RESERVED		予備。	0x0	R/W
		1	CAL_CLK_PD1		DAC1 のキャリブレーション完了後（レジスタ 0x052 のビット 0 = 1）に、このビットをハイに設定してキャリブレーション・クロックを停止します。	0x0	R/W
		0	CAL_CLK_PD0		DAC0 のキャリブレーション完了後（レジスタ 0x052 のビット 0 = 1）に、このビットをハイに設定してキャリブレーション・クロックを停止します。	0x0	R/W
0x083	NVM_CTRL0	7	NVM_CTRL0A		リング・オシレータの NVM レジスタ制御。	0x0	R/W
		[6:2]	RESERVED		予備。	0x0	R
		[1:0]	NVM_CTRL0B	00	リング・オシレータの NVM レジスタ制御。 8 分周	0x2	R/W
				01 10 11			

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x084	SYSREF_CTRL	7	RESERVED		予備。	0x0	R/W
		6	SYSREF_INPUTMODE	0 1	SYSREF±ピンの入力モード・タイプを設定。 SYSREF±を AC カップリング。 SYSREF±を DC カップリング。	0x0	R/W
		[5:1]	RESERVED		予備。	0x0	R/W
		0	SYSREF_PD	0 1	SYSREF±レシーバーと同期回路を停止。サブクラス 0 の場合は SYSREF±ピンを使用しないので、このビットは 1 に設定します。 SYSREF±レシーバーをパワー・オン。 SYSREF±レシーバーを停止。	0x0	R/W
0x085	NVM_CTRL1	7	RESERVED		予備。	0x0	R
		[6:4]	NVM_CTRL1A		NVM 制御。この制御は、設定シーケンス開始時に 1 に設定し（スタートアップ・シーケンスのセクションを参照）、スタートアップ・ルーチン終了時（それ以上デバイス設定を行わない場合）に 0 に設定します。	0x1	R/W
		[3:2]	RESERVED		予備。	0x0	R
		1	NVM_CTRL1B		NVM 制御。この制御は、設定シーケンス開始時に 1 に設定し（スタートアップ・シーケンスのセクションを参照）、スタートアップ・ルーチン終了時（それ以上デバイス設定を行わない場合）に 0 に設定します。	0x1	R/W
		0	NVM_CTRL1C		NVM 制御。この制御は、設定シーケンス開始時に 0 に設定し（スタートアップ・シーケンスのセクションを参照）、スタートアップ・ルーチン終了時（それ以上デバイス設定を行わない場合）に 1 に設定します。	0x1	R/W
0x08D	ADC_CLK_CTRL0	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	CLKOUT_SWING		ADC クロック・ドライバのスイング・レベルを制御します。スイングは負（反転クロック）になる場合があります。 コード 0～コード 9 の計算は以下のとおりです。 ADC ドライバ・スイング = $993\text{mV} - \text{CLKOUT_SWING} \times 77\text{mV}$ 。 コード 10～コード 19 の計算は以下のとおりです。 ADC ドライバ・スイング = $(20 - \text{CLKOUT_SWING} \times 77\text{mV}) - 1\text{V}$ 。	0x0	R/W
0x08F	ADC_CLK_CTRL2	[7:1]	RESERVED		予備。	0x0	R
		0	PD_CLKOUT_DRIVER		CLKOUT±出力ドライバを停止します。	0x0	R/W
0x090	DAC_POWERDOWN	[7:2]	RESERVED		予備。	0x0	R
		1	DAC_PD1	0 1	DAC1 の停止。 DAC1 を起動。 DAC1 を停止。	0x1	R/W
		0	DAC_PD0	0 1	DAC0 の停止。 DAC0 を起動。 DAC0 を停止。	0x1	R/W
0x091	ACLK_CTRL	[7:1]	RESERVED		予備。	0x0	R/W
		0	ACLK_POWERDOWN		アナログ・クロック・レシーバーの停止。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x094	PLL_CLK_DIV	[7:2]	RESERVED		予備。	0x0	R
		1	PLL_VCO_DIV3_EN		PLL クロック 3 分周を有効化。	0x0	R/W
		0	PLL_VCO_DIV2_EN	0 1	PLL クロック 2 分周を有効化。 DAC クロック = PLL VCO クロック周波数。 DAC クロック = PLL VCO クロック周波数 ÷ 2。	0x0	R/W
0x095	PLL_BYPASS	[7:1]	RESERVED		予備。	0x0	R
		0	PLL_BYPASS	0 1	直接クロッキングをイネーブル（PLL クロックをバイパス）。 内部 PLL を使用して DAC クロックを生成。 PLL をバイパスして DAC クロック周波数で直接クロック供給。	0x0	R/W
0x09A	NVM_CTRL	7	PD_BGR		バイアスを停止。内部バイアスを停止するには、このビットを 1 に設定します。	0x0	R/W
		[6:0]	RESERVED		予備。	0x0	R/W
0x0C0	DELAY_LINE_PD	[7:6]	RESERVED		予備。	0x0	R
		5	DLL_CTRL0B		DLL 制御。デバイス設定シーケンス時に遅延ラインを起動するには、このビットを 0 に設定します。	0x1	R/W
		4	DLL_CTRL0A		DLL 制御。デバイス設定シーケンス時に遅延ラインを起動するには、このビットを 0 に設定します。	0x1	R/W
		[3:1]	RESERVED		予備。	0x0	R
		0	DLL_PD	0 1	遅延ラインを停止。デバイス設定シーケンス時に遅延ラインを起動するには、このビットを 0 に設定します。 遅延ラインを起動してイネーブル。 遅延ラインを停止してバイパス。	0x1	R/W
0x0C1	DLL_CTRL0	[7:6]	DLL_CTRL1C		DAC 制御設定。最大限の性能を引き出すには、この制御を 1 に設定します。	0x1	R/W
		5	DLL_CTRL1B		DLL 制御検索モード。DAC 周波数が 4.5GHz 未満の場合はこのビットを 0 に設定し、それ以外の場合は 1 に設定します。	0x1	R/W
		[4:3]	DLL_CTRL1A		DLL 制御検索の指示。最大限の性能を引き出すには、この制御を 1 に設定します。	0x2	R/W
		[2:1]	RESERVED		予備。	0x0	R
		0	DLL_ENABLE	0 1	DLL コントローラをイネーブル。 DLL をディスエーブル。 DLL をイネーブル。	0x0	R/W
0x0C3	DLL_STATUS	[7:1]	RESERVED		予備。	0x0	R
		0	DLL_LOCK		DLL ロック・インジケータ。DLL がロックされている場合、この制御は 1 をリードバックします。	0x0	R
0x0C7	DLL_READ	[7:1]	RESERVED		予備。	0x0	R
		0	DLL_READ_EN		DLL リードバック・ステータスを有効化。0 から 1 へ遷移すると、レジスタ 0x0C3 のロック・ステータス・ビットのリードバックが更新されます	0x0	R/W
0x0CC	DLL_FINE_DELAY_0	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	DLL_FINE_DELAY0		DLL 遅延制御。	0x0	R/W
0x0CD	DLL_FINE_DELAY_1	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	DLL_FINE_DELAY1		DLL 遅延制御。	0x0	R/W
0x0DB	DLL_UPDATE	[7:1]	RESERVED		予備。	0x0	R
		0	DLL_DELAY_UPDATE		DLL 更新制御。0 から 1 へ遷移すると、DLL 回路が最新のレジスタ制御設定に更新されます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x0FF	MOD_SWITCH_DEBUG	[7:2]	RESERVED		予備。	0x0	R
		1	CMLPX_MOD_DIV2_DISABLE		変調器スイッチ経路内の2分周のブロックをディスエーブルします。1に設定すると、2分周のブロックをバイパスします。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
		0	RESERVED		予備。	0x0	R
0x100	DIG_RESET	[7:1]	RESERVED		予備。	0x0	R
		0	DIG_DATAPATH_PD	0 1	クロック・ツリーが安定するまで、すべてのデジタル・クロック (SERDES デジタル、デジタル・クロック生成、およびデジタル・データバス) をリセット状態に保ちます。 通常動作モード。 デジタル・ロジックをリセット状態に保ちます。チップへのクロックが安定したら (PLL ブロックと DLL ブロックがロックされたら)、デジタル・データバスを使用するために解除 (0 に設定) する必要があります。	0x1	R/W
0x110	JESD_MODE	7	MODE_NOT_IN_TABLE		設定された JESD204B モードとインターポレーション・モードの組み合わせが有効ではありません。別の組み合わせを選んでください。	0x0	R
		6	COM_SYNC		デュアルリンクの場合に SYNCOUTx±信号を結合します。	0x0	R/W
		[5:0]	JESD_MODE		JESD204B モードの構成を設定します。JESD204B がサポートする動作モードと使用可能なインターポレーション・レートについては表 13 を参照してください。この制御のビット 5 は、シングルリンク (0 に設定) かデュアルリンク (1 に設定) かを決定します。ビット [4:0] は、表 13 に従い目的の JESD204B モードを設定します。	0x20	R/W
0x111	INTRP_MODE	[7:4]	DP_INTERP_MODE	0x1 0x2 0x4 0x6 0x8 0xC	メイン・データバスのインターポレーション・レートを設定します。JESD204B がサポートする動作モードと、使用可能な JESD204B モードおよびインターポレーション・レートについては、表 13 を参照してください。	0x8	R/W
		[3:0]	CH_INTERP_MODE	0x1 0x2 0x3 0x4 0x6 0x8	チャンネル・インターポレーション・レートを設定します。JESD204B がサポートする動作モードと、使用可能な JESD204B モードおよびメイン・データバス・インターポレーション・レートについては、表 13 を参照してください。	0x4	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x112	DDSM_DATAPATH_CFG	7	RESERVED		予備。	0x0	R
		6	EN_CMPLX_MOD	0 1	変調器スイッチ・モードの選択。この制御により、変調器スイッチの構成3を変更することができ、各NCOからの複素(I/Q)データをDACxに渡すことができます。この機能は、このレジスタ0x112内のビット[5:4]に入力した設定値によって決まります。このビットがハイに設定されているとき、このレジスタのビット[5:4]を0b11に設定します(変調器スイッチの構成3)。この制御は、レジスタ0x008のMAINDAC_PAGEビットによってページングされます。 スイッチ構成は、ビット[5:4]によって定義されます。 ビット[5:4] = 0b11で、DAC1のメインNCOがイネーブルのときは、DAC0 = I0_NCO + I1_NCO、DAC1 = Q0_NCO + Q1_NCO。ビット[5:4] = 0b11で、DAC1のメインNCOがディセーブルのときは、DAC0 = I0_NCO、DAC1 = Q0_NCO。		
		[5:4]	DDSM_MODE	00 01 10 11	変調器スイッチ・モードの選択。この制御は、設定するメイン・データパスNCOの動作モードを選択します。この制御は、レジスタ0x008のMAINDAC_PAGEビットによってページングされます。 DAC0 = I0、DAC1 = I1 DAC0 = I0 + I1、DAC1 = Q0 + Q1 DAC0 = I0、DAC1 = Q0 DAC0 = I0 + I1、DAC1 = 0	0x0	R/W
		3	DDSM_NCO_EN	0 1	メイン・データパス変調をイネーブル。選択したJESD204Bモードが複素モードの場合(メイン・データパス・インターポレーション>1x)、このビットは、使用するメイン・データパスごとに1に設定する必要があります。変調が不要な場合は、FTWを0に設定します。この制御はレジスタ0x008のMAINDAC_PAGEビットによってページングされます。 メイン・データパスNCOをディセーブル。 メイン・データパスNCOをイネーブル。	0x0	R/W
		2	DDSM_MODULUS_EN	0 1	メイン・データパス・モジュラスDDSをイネーブルします。この制御はレジスタ0x008のMAINDAC_PAGEビットによってページングされます。 モジュラスDDSをディセーブル。 モジュラスDDSをイネーブル。	0x0	R/W
		1	DDSM_SEL_SIDE BAND	0 1	変調結果から上側または下側サイドバンドを選択します。この制御はレジスタ0x008のMAINDAC_PAGEビットによってページングされます。 上側サイドバンドを使用。 下側サイドバンドを使用(スペクトル反転)。	0x0	R/W
		0	EN_SYNC_ALL_CHNL_NCO_RESETS	0 1	リセットとFTW更新に使用する信号チャンネルNCOを選択します。この制御はレジスタ0x008のMAINDAC_PAGEビットによってページングされます。 チャンネルNCOが、チャンネルNCO更新要求に基づいて、そのFTWをリセットまたは更新します。 チャンネルNCOが、メイン・データパスNCO更新要求に基づいて、そのFTWをリセットまたは更新します。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x113	DDSM_FTW_UPDATE	7	RESERVED		予備。	0x0	R
		[6:4]	DDSM_FTW_REQ_MODE		周波数チューニング・ワード自動更新モード。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
				000	FTW レジスタへの書き込み時に自動要求を生成しません。		
				001	DDSM_FTW ビット [7:0] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
				010	DDSM_FTW ビット [15:8] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
				011	DDSM_FTW ビット [23:16] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
				100	DDSM_FTW ビット [31:24] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
				101	DDSM_FTW ビット [39:32] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
				110	DDSM_FTW ビット [47:40] の書き込み後に自動的に DDSM_FTW_LOAD_REQ を生成します。		
		3	RESERVED		予備。	0x0	R
		2	DDSM_FTW_LOAD_SYSREF		SYSREF±の次の立上がりエッジを使用して FTW のロードとリセットをトリガします。このビットは、立上がりエッジ検出時点でキャリブレーション・トーン FTW とメイン NCO FTW もロードします。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
		1	DDSM_FTW_LOAD_ACK		周波数チューニング・ワードの更新アクノレッジ。FTW と位相オフセット・ワードが正しくロードされた場合、このビットは 1 をリードバックします。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R
				0 1	FTW はロードされません。 FTW がロードされます。		
		0	DDSM_FTW_LOAD_REQ		SPI からの周波数チューニング・ワード更新要求。このビットは、立上がりエッジ検出時点でキャリブレーション・トーン FTW とメイン NCO FTW もロードします。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
				0 1	DDSM_FTW_LOAD_ACK をクリアします。 0 から 1 への遷移時に FTW をロードします。		
0x114	DDSM_FTW0	[7:0]	DDSM_FTW[7:0]		メイン・データパス NCO FTW を設定。DDSM_MODULUS_EN がローの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW}/248)$ 。DDSM_MODULUS_EN がハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA}/\text{DDSM_ACC_MODULUS})/248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x115	DDSM_FTW1	[7:0]	DDSM_FTW[15:8]		メイン・データバス NCO FTW を設定。 DDSM_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW/248)。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW + DDSM_ACC_DELTA/DDSM_ACC_MODULUS)/248。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x116	DDSM_FTW2	[7:0]	DDSM_FTW[23:16]		メイン・データバス NCO FTW を設定。 DDSM_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW/248)。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW + DDSM_ACC_DELTA/DDSM_ACC_MODULUS)/248。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x117	DDSM_FTW3	[7:0]	DDSM_FTW[31:24]		メイン・データバス NCO FTW を設定。 DDSM_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW/248)。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW + DDSM_ACC_DELTA/DDSM_ACC_MODULUS)/248。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x118	DDSM_FTW4	[7:0]	DDSM_FTW[39:32]		メイン・データバス NCO FTW を設定。 DDSM_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW/248)。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW + DDSM_ACC_DELTA/DDSM_ACC_MODULUS)/248。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x119	DDSM_FTW5	[7:0]	DDSM_FTW[47:40]		メイン・データバス NCO FTW を設定。 DDSM_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW/248)。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSM_FTW + DDSM_ACC_DELTA/DDSM_ACC_MODULUS)/248。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x11C	DDSM_PHASE_OFFSET0	[7:0]	DDSM_NCO_PHASE_OFFSET[7:0]		メイン・データバス NCO 位相オフセットを設定。 コードは 16 ビットの 2 の補数フォーマットです。度数オフセット = $180 \times \text{コード} / 215$ 。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x11D	DDSM_PHASE_OFFSET1	[7:0]	DDSM_NCO_PHASE_OFFSET[15:8]		メイン・データバス NCO 位相オフセットを設定。コードは 16 ビットの 2 の補数フォーマットです。度数オフセット = $180 \times \text{コード} / 215$ 。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x124	DDSM_ACC_MODULUS0	[7:0]	DDSM_ACC_MODULUS[7:0]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x125	DDSM_ACC_MODULUS1	[7:0]	DDSM_ACC_MODULUS[15:8]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x126	DDSM_ACC_MODULUS2	[7:0]	DDSM_ACC_MODULUS[23:16]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x127	DDSM_ACC_MODULUS3	[7:0]	DDSM_ACC_MODULUS[31:24]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x128	DDSM_ACC_MODULUS4	[7:0]	DDSM_ACC_MODULUS[39:32]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x129	DDSM_ACC_MODULUS5	[7:0]	DDSM_ACC_MODULUS[47:40]		DDSM_ACC_MODULUS を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x12A	DDSM_ACC_DELTA0	[7:0]	DDSM_ACC_DELTA[7:0]		DDSM_ACC_DELTA を設定。DDSM_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{\text{DAC}} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTA は 0 より大きくなければなりません。DDSM_ACC_DELTA は DDSM_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x12B	DDSM_ACC_DELTA A1	[7:0]	DDSM_ACC_DELTA[15:8]		DDSM_ACC_DELTAを設定。 DDSM_MODULUS_ENがハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTAは0より大きくなければなりません。DDSM_ACC_DELTAはDDSM_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x12C	DDSM_ACC_DELTA A2	[7:0]	DDSM_ACC_DELTA[23:16]		DDSM_ACC_DELTAを設定。 DDSM_MODULUS_ENがハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTAは0より大きくなければなりません。DDSM_ACC_DELTAはDDSM_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x12D	DDSM_ACC_DELTA A3	[7:0]	DDSM_ACC_DELTA[31:24]		DDSM_ACC_DELTAを設定。 DDSM_MODULUS_ENがハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTAは0より大きくなければなりません。DDSM_ACC_DELTAはDDSM_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x12E	DDSM_ACC_DELTA A4	[7:0]	DDSM_ACC_DELTA[39:32]		DDSM_ACC_DELTAを設定。 DDSM_MODULUS_ENがハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTAは0より大きくなければなりません。DDSM_ACC_DELTAはDDSM_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x12F	DDSM_ACC_DELTA A5	[7:0]	DDSM_ACC_DELTA[47:40]		DDSM_ACC_DELTAを設定。 DDSM_MODULUS_ENがハイの場合、メイン・データパス NCO 周波数 = $f_{DAC} \times (\text{DDSM_FTW} + \text{DDSM_ACC_DELTA} / \text{DDSM_ACC_MODULUS}) / 248$ 。DDSM_ACC_DELTAは0より大きくなければなりません。DDSM_ACC_DELTAはDDSM_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x130	DDSC_DATAPATH CFG	7	RESERVED		予備。	0x0	R
		6	DDSC_NCO_EN	0 1	チャンネル・データパス変調を有効化。選択した JESD204B モードが複素モードの場合（チャンネル・インターポレーション > 1×）、このビットは、使用するチャンネル・データパスごとに1に設定する必要があります。変調が不要な場合は、FTWを0に設定します。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 チャンネル NCO をディスエーブル。 チャンネル NCO をイネーブル。	0x0	R/W
		[5:3]	RESERVED		予備。	0x0	R/W
		2	DDSC_MODULUS_EN	0 1	チャンネル・モジュラス DDS をイネーブル。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 モジュラス DDS をディスエーブル。 モジュラス DDS をイネーブル。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		1	DDSC_SEL_SIDE BAND	0 1	変調結果から上側または下側サイドバンドを選択します。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 上側サイドバンドを使用。 下側サイドバンドを使用（スペクトル反転）。	0x0	R/W
		0	DDSC_EN_DC_INPUT	0 1	DC をチャンネル DDS の入力レベルに送ることによるテスト・トーン生成をイネーブル。振幅は、DC_TEST_INPUT_AMPLITUDE 制御（レジスタ 0x148 とレジスタ 0x149）で設定します。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 テスト・トーン生成を無効化。 テスト・トーン生成を有効化。	0x0	R/W
0x131	DDSC_FTW_UPDATE	[7:3]	RESERVED		予備。	0x0	R
		2	DDSC_FTW_LOAD_SYSREF		SYSREF±の次の立上がりエッジを使用して FTW のロードとリセットをトリガ。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
		1	DDSC_FTW_LOAD_ACK	0 1	周波数チューニング・ワードの更新アノレジ・ビット。FTW と位相オフセット・ワードが正しくロードされた場合、このビットは 1 をリードバックします。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 FTW はロードされません。 FTW がロードされます。	0x0	R
		0	DDSC_FTW_LOAD_REQ	0 1	SPI からの周波数チューニング・ワード更新要求。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。 FTW は更新されません。 0 から 1 への遷移時に FTW をロードします。	0x0	R/W
0x132	DDSC_FTW0	[7:0]	DDSC_FTW[7:0]		チャンネル・データバス NCO FTW を設定。DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW/248)$ 。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248$ 。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x133	DDSC_FTW1	[7:0]	DDSC_FTW[15:8]		チャンネル・データバス NCO FTW を設定。DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW/248)$ 。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248$ 。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x134	DDSC_FTW2	[7:0]	DDSC_FTW[23:16]		チャンネル・データバス NCO FTW を設定。 DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW/248)。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x135	DDSC_FTW3	[7:0]	DDSC_FTW[31:24]		チャンネル・データバス NCO FTW を設定。 DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW/248)。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x136	DDSC_FTW4	[7:0]	DDSC_FTW[39:32]		チャンネル・データバス NCO FTW を設定。 DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW/248)。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x137	DDSC_FTW5	[7:0]	DDSC_FTW[47:40]		チャンネル・データバス NCO FTW を設定。 DDSC_MODULUS_EN がローの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW/248)。DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x138	DDSC_PHASE_OFFSET0	[7:0]	DDSC_NCO_PHASE_OFFSET[7:0]		チャンネル NCO 位相オフセットを設定。コードは 16 ビットの 2 の補数フォーマットです。度数オフセット = $180 \times$ (コード/215)。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x139	DDSC_PHASE_OFFSET1	[7:0]	DDSC_NCO_PHASE_OFFSET[15:8]		チャンネル NCO 位相オフセットを設定。コードは 16 ビットの 2 の補数フォーマットです。度数オフセット = $180 \times$ (コード/215)。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x13A	DDSC_ACC_MODULUS0	[7:0]	DDSC_ACC_MODULUS[7:0]		DDSC_ACC_MODULUS を設定。 DDSC_MODULUS_EN がハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times$ (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)/248。DDSC_ACC_DELTA は 0 より大きくなければなりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x13B	DDSC_ACC_MODULUS1	[7:0]	DDSC_ACC_MODULUS[15:8]		DDSC_ACC_MODULUSを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x13C	DDSC_ACC_MODULUS2	[7:0]	DDSC_ACC_MODULUS[23:16]		DDSC_ACC_MODULUSを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x13D	DDSC_ACC_MODULUS3	[7:0]	DDSC_ACC_MODULUS[31:24]		DDSC_ACC_MODULUSを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x13E	DDSC_ACC_MODULUS4	[7:0]	DDSC_ACC_MODULUS[39:32]		DDSC_ACC_MODULUSを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x13F	DDSC_ACC_MODULUS5	[7:0]	DDSC_ACC_MODULUS[47:40]		DDSC_ACC_MODULUSを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x140	DDSC_ACC_DELTA0	[7:0]	DDSC_ACC_DELTA[7:0]		DDSC_ACC_DELTAを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W
0x141	DDSC_ACC_DELTA1	[7:0]	DDSC_ACC_DELTA[15:8]		DDSC_ACC_DELTAを設定。 DDSC_MODULUS_ENがハイの場合、メイン・データバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW + DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ / 248。DDSC_ACC_DELTAは0より大きくなければなりません。DDSC_ACC_DELTAはDDSC_ACC_MODULUSより大きくなければなりません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x142	DDSC_ACC_DELT A2	[7:0]	DDSC_ACC_ DELTA[23:16]		DDSC_ACC_DELTA を設定。 DDSC_MODULUS_EN がハイの場合、メイン・デ ータバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW +$ $DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ /248。DDSC_ACC_DELTA は 0 より大きくなければ なりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなり ません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされま す。	0x0	R/W
0x143	DDSC_ACC_DELT A3	[7:0]	DDSC_ACC_ DELTA[31:24]		DDSC_ACC_DELTA を設定。 DDSC_MODULUS_EN がハイの場合、メイン・デ ータバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW +$ $DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ /248。DDSC_ACC_DELTA は 0 より大きくなければ なりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなり ません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされま す。	0x0	R/W
0x144	DDSC_ACC_DELT A4	[7:0]	DDSC_ACC_ DELTA[39:32]		DDSC_ACC_DELTA を設定。 DDSC_MODULUS_EN がハイの場合、メイン・デ ータバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW +$ $DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ /248。DDSC_ACC_DELTA は 0 より大きくなければ なりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなり ません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされま す。	0x0	R/W
0x145	DDSC_ACC_DELT A5	[7:0]	DDSC_ACC_ DELTA[47:40]		DDSC_ACC_DELTA を設定。 DDSC_MODULUS_EN がハイの場合、メイン・デ ータバス NCO 周波数 = $f_{DAC} \times (DDSC_FTW +$ $DDSC_ACC_DELTA/DDSC_ACC_MODULUS)$ /248。DDSC_ACC_DELTA は 0 より大きくなければ なりません。DDSC_ACC_DELTA は DDSC_ACC_MODULUS より大きくなければなり ません。この制御はレジスタ 0x008 の CHANNEL_PAGE ビットによってページングされま す。	0x0	R/W
0x146	CHNL_GAIN0	[7:0]	CHNL_GAIN[7:0]		スカラー・チャンネルのゲイン値を設定。この制 御はレジスタ 0x008 の CHANNEL_PAGE ビットに よってページングされます。チャンネル・ゲイン = CHNL_GAIN/211。	0x0	R/W
0x147	CHNL_GAIN1	[7:4]	RESERVED		予備。	0x0	R
		[3:0]	CHNL_GAIN[11:8]		スカラー・チャンネルのゲイン値を設定。この制 御はレジスタ 0x008 の CHANNEL_PAGE ビットに よってページングされます。チャンネル・ゲイン = CHNL_GAIN/211。	0x8	R/W
0x148	DC_CAL_TONE0	[7:0]	DC_TEST_INPUT_ AMPLITUDE[7:0]		DC テスト・トーン振幅。この値は、I 経路と Q 経 路の振幅を個別に設定します。フルスケール・ト ーンの場合はこれらのビットを 0x50FF に設定し て、レジスタ 0x130 ビット 0 の DDSC_EN_DC_INPUT が 1 に設定されていること を確認します。この制御は、レジスタ 0x008 の CHANNEL_PAGE 制御によってページングされま す。	0x0	R/W
0x149	DC_CAL_TONE1	[7:0]	DC_TEST_INPUT_ AMPLITUDE[15:8]		DC テスト・トーン振幅。この値は、I 経路と Q 経 路の振幅を個別に設定します。フルスケール・ト ーンの場合は 0x50FF に設定して、 DDSC_EN_DC_INPUT (レジスタ 0x130、ビット 0) が 1 に設定されていることを確認します。こ の制御はレジスタ 0x008 の CHANNEL_PAGE ビッ トによってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x14B	PRBS	7	PRBS_GOOD_Q	1	DAC1 正常データ・インジケータ。 正しい PRBS シーケンスが検出されました。	0x0	R
				0	正しくないシーケンスが検出されました。ステイ ッキー：PRBS_RESET により 1 にリセットしてく ださい。		
		6	PRBS_GOOD_I	0	DAC0 正常データ・インジケータ。 正しくないシーケンスが検出されました。ステイ ッキー：PRBS_RESET により 1 にリセットしてく ださい。	0x0	R
				1	正しい PRBS シーケンスが検出されました。		
		5	RESERVED		予備。	0x0	R
		4	PRBS_INV_Q	0	DAC1 データ反転。 通常データが使われます。	0x1	R/W
				1	反転データが使われます。		
		3	PRBS_INV_I	0	DAC0 データ反転。 通常データが使われます。	0x0	R/W
				1	反転データが使われます。		
0x14C	PRBS_ERROR_I	[7:0]	PRBS_COUNT_I		DAC0 PRBS エラー・カウント。	0x0	R
0x14D	PRBS_ERROR_Q	[7:0]	PRBS_COUNT_Q		DAC1 PRBS エラー・カウント。	0x0	R
0x14E	PRBS_CHANSEL	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	PRBS_CHANSEL	0 1 2 3 4 5 6	PRBS_GOOD_x および PRBS_COUNT_x ビット・ フィールドのリードバックに対応するチャンネル を選択。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 0 を選択します (チャンネル 0、DAC0)。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 1 を選択します (チャンネル 1、DAC0)。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 2 を選択します (チャンネル 2、DAC0)。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 3 を選択します (チャンネル 0、DAC1)。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 4 を選択します (チャンネル 1、DAC1)。 PRBS_COUNT_x と PRBS_GOOD_x にチャンネル 5 を選択します (チャンネル 2、DAC1)。 PRBS_GOOD_x のすべてのチャンネルの OR を取 り、PRBS_COUNT_x のすべてのチャンネルの総 和を取ります。	0x7	R/W
0x151	DECODE_MODE	[7:5]	RESERVED		予備。	0x0	R
		4	MSB_SHUFFLE_EN		MSB シャッフル制御。1 に設定すると MSB シャ ッフルは有効になります。また、0 に設定すると MSB シャッフルは無効になり、代わりにデフォル トの (静的) サーマメータ・エンコーディングが 使用されます。	0x0	R/W
		[3:0]	RESERVED		予備。	0x0	R
0x1DE	SPI_ENABLE	[7:2]	RESERVED		予備。	0x0	R
		1	SPI_EN1		SPI 制御を有効化。	0x1	R/W
		0	SPI_EN0		SPI 制御を有効化。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x1E2	DDSM_CAL_FTW0	[7:0]	DDSM_CAL_FTW[7:0]		キャリブレーション・アキュムレータの FTW。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x1E3	DDSM_CAL_FTW1	[7:0]	DDSM_CAL_FTW[15:8]		キャリブレーション・アキュムレータの FTW。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x1E4	DDSM_CAL_FTW2	[7:0]	DDSM_CAL_FTW[23:16]		キャリブレーション・アキュムレータの FTW。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x1E5	DDSM_CAL_FTW3	[7:0]	DDSM_CAL_FTW[31:24]		キャリブレーション・アキュムレータの FTW。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x1E6	DDSM_CAL_MODE_DEF	[7:3]	RESERVED		予備。	0x0	R
		2	DDSM_EN_CAL_ACC	0 1	クロック・キャリブレーション・アキュムレータをイネーブル。このビットは、最初にハイに設定する必要があり、更にレジスタ 0x1E2～レジスタ 0x1E5 にキャリブレーション FTW をロードして有効にする必要があります。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。 デイスエーブル（キャリブレーション周波数アキュムレータにクロックを供給しません）。 イネーブル（キャリブレーション周波数アキュムレータへのクロックをオンにします）	0x0	R/W
		1	DDSM_EN_CAL_DC_INPUT	0 1	キャリブレーション DDS への DC 入力イネーブルします。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。 最終 DDS の入力に、データパス信号を多重化して送信します。 最終 DDS の入力に、DC を多重化して送信します。	0x0	R/W
		0	DDSM_EN_CAL_FREQ_TUNE	0 1	DAC 0 のみ、キャリブレーション周波数への信号チューニングを有効化。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。 キャリブレーション周波数チューニングを無効化します。 キャリブレーション周波数チューニングを有効化します。	0x0	R/W
0x1E7	DATAPATH_NCO_SYNC_CFG	[7:3]	RESERVED		予備。	0x0	R
		2	LO_MODE_ENABLE		LO モードでメイン NCO の機能をイネーブルするには、このビットを 1 に設定します。	0x0	R/W
		1	ALL_NCO_SYNC_ACK		すべてのアクティブ NCO へのロードが完了したことのアックノレッジ信号。このビットは、START_NCO_SYNC ビット（このレジスタのビット 0）と NCORST_AFTER_ROT_EN ビット（レジスタ 0x03B、ビット 4）両方による NCO リセット方法のアックノレッジ・インジケータです。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R
		0	START_NCO_SYNC		選択した更新トリガに応じて、SPI ビットまたは SYSREF $\pm$ 信号の立上がりエッジで NCO の同期を開始するために使用します。トリガを受信すると最初に FTW がロードされ、それから同期が行われます。この制御はレジスタ 0x008 の MAINDAC_PAGE ビットによってページングされます。	0x0	R/W
0x200	MASTER_PD	[7:1]	RESERVED		予備。	0x0	R
		0	SERDES_MASTER_PD		JESD204B レシーバーのアナログ・フロント・エンド全体を停止（8 個のチャンネルすべてとバイアス）。	0x1	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x201	PHY_PD	[7:0]	PHY_PD		個々の PHY を停止するための SPI オーバーライド。ビット 0 は SERDIN0± PHY を制御。 ビット 1 は SERDIN1± PHY を制御。 ビット 2 は SERDIN2± PHY を制御。 ビット 3 は SERDIN3± PHY を制御。 ビット 4 は SERDIN4± PHY を制御。 ビット 5 は SERDIN5± PHY を制御。 ビット 6 は SERDIN6± PHY を制御。 ビット 7 は SERDIN7± PHY を制御。	0xEE	R/W
0x203	GENERIC_PD	[7:2]	RESERVED		予備。	0x0	R
		1	PD_SYNCOUT0	0 1	SYNCOUT0±ドライバを停止。 SYNCOUT0±出力ピンをイネーブル。 SYNCOUT0±出力ピンを停止。	0x0	R/W
		0	PD_SYNCOUT1	0 1	SYNCOUT1±ドライバを停止。 SYNCOUT1±出力ピンをイネーブル。 SYNCOUT1±出力ピンを停止。	0x1	R/W
0x206	CDR_RESET	[7:1]	RESERVED		予備。	0x0	R
		0	CDR_PHY_RESET		PHY リセット制御ビット。デバイス動作中に PHY のリセットを解除するには、このビットを 1 に設定します。	0x0	R/W
0x210	CBUS_ADDR	[7:0]	SERDES_CBUS_ADDR		SERDES 設定アドレス制御を設定するための SERDES 設定制御レジスタ。	0x0	R/W
0x212	CBUS_WRSTROBE PHY	[7:0]	SERDES_CBUS_WR0		書き込まれた SERDES 設定制御をコミットするための SERDES 設定制御レジスタ。	0x0	R/W
0x213	CBUS_WRSTROBE OTHER	[7:1]	RESERVED		予備。	0x0	R
		0	SERDES_CBUS_WR1		書き込まれた SERDES 設定制御をコミットするための SERDES 設定制御レジスタ。	0x0	R/W
0x216	CBUS_WDATA	[7:0]	SERDES_CBUS_DATA		SERDES 設定制御データを設定するための SERDES 設定制御レジスタ。	0x0	R/W
0x240	EQ_BOOST_PHY_3_0	[7:6]	EQ_BOOST_PHY3	10 11	システムの挿入損失に基づく PHY3 のイコライザ設定。 挿入損失 ≥ 11dB。 挿入損失 > 11dB。	0x3	R/W
		[5:4]	EQ_BOOST_PHY2	10 11	システムの挿入損失に基づく PHY2 のイコライザ設定。 挿入損失 ≥ 11dB。 挿入損失 > 11dB。	0x3	R/W
		[3:2]	EQ_BOOST_PHY1	10 11	システムの挿入損失に基づく PHY1 のイコライザ設定。 挿入損失 ≥ 11dB。 挿入損失 > 11dB。	0x3	R/W
		[1:0]	EQ_BOOST_PHY0	10 11	システムの挿入損失に基づく PHY0 のイコライザ設定。 挿入損失 ≥ 11dB。 挿入損失 > 11dB。	0x3	R/W
0x234	CDR_BITINVERSE	[7:0]	SEL_IF_PARDATAINV_DES_R_C_CH	0 1	出力データ反転ビットの制御。PHY x に対応するビット x を設定して、ビット極性を反転。 非反転。 反転。	0x66	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x241	EQ_BOOST_PHY_7_4	[7:6]	EQ_BOOST_PHY7	10	システムの挿入損失に基づく PHY7 のイコライザ設定。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[5:4]	EQ_BOOST_PHY6	10	システムの挿入損失に基づく PHY6 のイコライザ設定。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[3:2]	EQ_BOOST_PHY5	10	システムの挿入損失に基づく PHY5 のイコライザ設定。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[1:0]	EQ_BOOST_PHY4	10	システムの挿入損失に基づく PHY4 のイコライザ設定。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
0x242	EQ_GAIN_PHY_3_0	[7:6]	EQ_GAIN_PHY3	01	システムの挿入損失に基づく PHY3 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[5:4]	EQ_GAIN_PHY2	01	システムの挿入損失に基づく PHY2 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[3:2]	EQ_GAIN_PHY1	01	システムの挿入損失に基づく PHY1 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[1:0]	EQ_GAIN_PHY0	01	システムの挿入損失に基づく PHY0 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
0x243	EQ_GAIN_PHY_7_4	[7:6]	EQ_GAIN_PHY7	01	システムの挿入損失に基づく PHY7 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[5:4]	EQ_GAIN_PHY6	01	システムの挿入損失に基づく PHY6 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[3:2]	EQ_GAIN_PHY5	01	システムの挿入損失に基づく PHY5 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
		[1:0]	EQ_GAIN_PHY4	01	システムの挿入損失に基づく PHY4 のイコライザ・ゲイン。 挿入損失 $\geq 11\text{dB}$ 。 挿入損失 $> 11\text{dB}$ 。	0x3	R/W
				11			
0x244	EQ_FB_PHY_0	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY_0		PHY0 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x245	EQ_FB_PHY_1	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY1		PHY1 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x246	EQ_FB_PHY_2	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY2		PHY2 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x247	EQ_FB_PHY_3	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY3		PHY3 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x248	EQ_FB_PHY_4	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY4		PHY4 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x249	EQ_FB_PHY_5	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY5		PHY5 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x24A	EQ_FB_PHY_6	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY6		PHY6 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x24B	EQ_FB_PHY_7	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	EQ_PHY7		PHY7 の SERDES イコライザ設定。最大限の性能を引き出すには、この制御を 0x1F に設定します。	0x19	R/W
0x250	LBT_REG_CNTRL_0	[7:0]	EN_LBT_DES_RC_CH		必要な物理レーンのループバック・テストを PHY x に有効化。ビット x が PHY x に対応。	0x0	R/W
0x251	LBT_REG_CNTRL_1	[7:2]	RESERVED		予備。	0x0	R
		1	EN_LBT_HALFRATE_DES_RC		ループバック・テストのハーフ・レート・モードを有効化。このビットを 1 に設定すると、出力データ・レートは入力クロック周波数の 2 倍になります。このビットを 0 に設定すると、出力データ・レートは入力クロック周波数と同じになります。	0x1	R/W
		0	INIT_LBT_SYNC_DES_RC		このビットを 0 から 1 に変更し、再度 0 へ戻すことによってループバック・テストを開始。	0x0	R/W
0x253	SYNCOUT0_CTRL	[7:1]	RESERVED		予備。	0x0	R/W
		0	SEL_SYNCOUT0_MODE	0 1	この制御は、 <u>SYNCOUT0±</u> ピン動作の出力ドライバ・モードを決定。 <u>SYNCOUT0±</u> と <u>SYNCOUT1±</u> は、共に同じ動作モードに設定する必要があります。 <u>SYNCOUT0±</u> を CMOS 出力に設定。 <u>SYNCOUT0±</u> を LVDS 出力に設定。	0x0	R/W
0x254	SYNCOUT1_CTRL	[7:1]	RESERVED		予備。	0x0	R/W
		0	SEL_SYNCOUT1_MODE	0 1	この制御は、 <u>SYNCOUT1±</u> ピン動作の出力ドライバ・モードを決定。 <u>SYNCOUT0±</u> と <u>SYNCOUT1±</u> は、共に同じ動作モードに設定する必要があります。 <u>SYNCOUT1±</u> を CMOS 出力に設定。 <u>SYNCOUT1±</u> を LVDS 出力に設定。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x280	PLL_ENABLE_CTRL	[7:3]	RESERVED		予備。	0x0	R
		2	LOLSTICKYCLEAR_LCPLL_RC		ロック喪失ビットをクリア。	0x0	R/W
		1	LDSYNTH_LCPLL_RC		パルス・ハイで VCO キャリブレーションを開始（レギュレータの再起動や温度の再測定は行わない）。	0x0	R/W
		0	SERDES_PLL_STARTUP		このビットを 0 に設定すると SERDES 回路ブロックがパワー・オフ。SERDES 設定書き込み終了時には、このビットを 1 に設定します。このビットを 1 に設定すると、SERDES PLL ブロックが起動されて LDO およびキャリブレーション・ルーチンが起動し、そのデバイスに設定されている JESD204B モードとインターポレーション・オプションに基づいて、PLL が自動的に適切なレーン・レートにロックされます。PLL がロックを完了すると、SERDES_PLL_LOCK ビット（レジスタ 0x281、ビット 0）が 1 になります。	0x1	R/W
0x281	PLL_STATUS	[7:1]	RESERVED		予備。	0x0	R
		0	SERDES_PLL_LOCK		このビットがハイのときは PLL がロックされています。	0x0	R
0x300	GENERAL_JRX_CTRL_0	[7:4]	RESERVED		予備。	0x0	R
		3	LINK_MODE		シングルリンク・モードのときは 0 をリードバックし、デュアルリンク・モードのときは 1 をリードバックします。	0x0	R/W
		2	LINK_PAGE	0 1	リンクのページング。このビットは、どのリンク・レジスタ・マップを使用するかを選択します。このページングはレジスタ 0x400～レジスタ 0x4BB に影響します。 リンク 0 の QBD0 をページングします。 リンク 1 の QBD1 をページングします。	0x0	R/W
		[1:0]	LINK_EN		すべてのリンク・パラメータが設定されてすべてのクロックが使用可能な状態になっているときは、これらのビットが JESD204B デジタル・レーンバーを起動します。ビット 0 はリンク 0 に、ビット 1 はリンク 1 に対応しています。リンク 1 を使用できるのはデュアルリンク・モードに限られます。	0x0	R/W
0x302	DYN_LINK_LATENCY_0	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	DYN_LINK_LATENCY_0		リンク 0 のダイナミック・リンク遅延。リンク 0 の LMFC レシーバーと最後に到着した LMFC 境界の間の遅延を、PCLK サイクル数で表した値です。	0x0	R
0x303	DYN_LINK_LATENCY_1	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	DYN_LINK_LATENCY_1		リンク 1 のダイナミック・リンク遅延。リンク 1 の LMFC レシーバーと最後に到着した LMFC 境界の間の遅延を、PCLK サイクル数で表した値です。	0x0	R
0x304	LMFC_DELAY_0	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	LMFC_DELAY_0		リンク 0 の LMFC 遅延。リンク 0 の LMFC から LMFC レシーバーまでの遅延を PCLK サイクル数で表した値です。	0x0	R/W
0x305	LMFC_DELAY_1	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	LMFC_DELAY_1		リンク 1 の LMFC 遅延。リンク 1 の LMFC から LMFC レシーバーまでの遅延を PCLK サイクル数で表した値です。	0x0	R/W
0x306	LMFC_VAR_0	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	LMFC_VAR_0		リンク 0 の可変遅延バッファ。これらのビットは、リンクが違ったり電源サイクルを行ったりした場合でも一貫性を保てるように、バッファからいつデータを読み出すかを設定します（PCLK サイクル単位）。最大値は 0xC です。	0x3F	R/W

データシート

AD9176

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x307	LMFC_VAR_1	[7:6]	RESERVED		予備。	0x0	R
		[5:0]	LMFC_VAR_1		リンク 1 の可変遅延バッファ。これらのビットは、リンクが違ったり電源サイクルを行ったりした場合でも一貫性を保てるように、バッファからいつデータを読み出すかを設定します (PCLK サイクル単位)。最大値は 0xC です。	0x3F	R/W
0x308	XBAR_LN_0_1	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	LOGICAL_LANE1_SRC		論理レーン 1 のソース。これらのビットは、論理レーン 1 にマップする物理レーンを選択します。	0x1	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
		[2:0]	LOGICAL_LANE0_SRC		論理レーン 0 のソース。これらのビットは、論理レーン 0 にマップする物理レーンを選択します。	0x0	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
0x309	XBAR_LN_2_3	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	LOGICAL_LANE3_SRC		論理レーン 3 のソース。これらのビットは、論理レーン 3 にマップする物理レーンを選択します。	0x3	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
		[2:0]	LOGICAL_LANE2_SRC		論理レーン 2 のソース。これらのビットは、論理レーン 2 にマップする物理レーンを選択します。	0x2	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x30A	XBAR_LN_4_5	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	LOGICAL_LANE5_SRC		論理レーン 5 のソース。これらのビットは、論理レーン 5 にマップする物理レーンを選択します。	0x5	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
		[2:0]	LOGICAL_LANE4_SRC		論理レーン 4 のソース。これらのビットは、論理レーン 4 にマップする物理レーンを選択します。	0x4	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
0x30B	XBAR_LN_6_7	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	LOGICAL_LANE7_SRC		論理レーン 7 のソース。これらのビットは、論理レーン 7 にマップする物理レーンを選択します。	0x7	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
		[2:0]	LOGICAL_LANE6_SRC		論理レーン 6 のソース。これらのビットは、論理レーン 6 にマップする物理レーンを選択します。	0x6	R/W
				000	データを SERDIN0±から取得。		
				001	データを SERDIN1±から取得。		
				010	データを SERDIN2±から取得。		
				011	データを SERDIN3±から取得。		
				100	データを SERDIN4±から取得。		
				101	データを SERDIN5±から取得。		
				110	データを SERDIN6±から取得。		
				111	データを SERDIN7±から取得。		
0x30C	FIFO_STATUS_REG_0	[7:0]	LANE_FIFO_FULL		ビット x は、SERDINx±からのデータの FIFO フル・フラグに対応します。	0x0	R
0x30D	FIFO_STATUS_REG_1	[7:0]	LANE_FIFO_EMPTY		ビット x は、SERDINx±からのデータの FIFO エンpty・フラグに対応します。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x311	SYNCOUT_GEN_0	[7:4]	RESERVED		予備。	0x0	R
		3	EOMF_MASK_1	0	QBD1 からのマルチフレーム（EOMF）の最後をマスク。マルチフレーム同期喪失に基づいてSYNCOUT1±をアサートします。	0x0	R/W
				1	マルチフレーム喪失時にSYNCOUT1±をアサートしません。		
		2	EOMF_MASK_0	0	マルチフレーム喪失時にSYNCOUT0±をアサートします。	0x0	R/W
				1	マルチフレーム喪失時にSYNCOUT0±をアサートしません。		
		1	EOF_MASK_1	0	QBD1 からの EOF をマスクします。フレーム同期喪失に基づいてSYNCOUT1±をアサートします。	0x0	R/W
				1	フレーム喪失時にSYNCOUT1±をアサートしません。		
		0	EOF_MASK_0	0	QBD0 からの EOF をマスクします。フレーム同期喪失に基づいてSYNCOUT0±をアサートします。	0x0	R/W
				1	フレーム喪失時にSYNCOUT0±をアサートしません。		
0x312	SYNCOUT_GEN_1	[7:4]	SYNC_ERR_DUR		同期エラー・レポートのためのSYNCOUTx±ローの継続時間。継続時間 = (0.5 + コード) PCLK サイクル数。指定値にできるだけ近づけるために、これらのビットは f/2PCLK サイクルにできるだけ近い値に設定します。これらのビットはSYNCOUT0±とSYNCOUT1±の間で共有されます。	0x0	R/W
		[3:0]	RESERVED		予備。	0x0	R/W
0x315	PHY_PRBS_TEST_EN	[7:0]	PHY_TEST_EN	0	クロックのゲーティングを解除することによってPHY BER を有効化。	0x0	R/W
				1	PHY テストを無効化。		
0x316	PHY_PRBS_TEST_CTRL	7	RESERVED		予備。	0x0	R
		[6:4]	PHY_SRC_ERR_CNT	000	レーン 0 のエラー・カウントをレポート。	0x0	R/W
				001	レーン 1 のエラー・カウントをレポート。		
				010	レーン 2 のエラー・カウントをレポート。		
				011	レーン 3 のエラー・カウントをレポート。		
				100	レーン 4 のエラー・カウントをレポート。		
				101	レーン 5 のエラー・カウントをレポート。		
				110	レーン 6 のエラー・カウントをレポート。		
				111	レーン 7 のエラー・カウントをレポート。		
		[3:2]	PHY_PRBS_PAT_SEL	00	PHY BER テスト用の PRBS パターンを選択。	0x0	R/W
				01	PRBS7		
				10	PRBS15		
				11	PRBS31		
					未使用		
		1	PHY_TEST_START	0	PHY PRBS テストの開始と停止。	0x0	R/W
				1	テストを開始しない。		
					テストを開始する。		

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	PHY_TEST_RESET	0 1	PHY PRBS テスト・スタート・マシンとエラー・カウンタをリセット。 リセットしない。 リセット。	0x0	R/W
0x317	PHY_PRBS_TEST_THRESHOLD_LOBITS	[7:0]	PHY_PRBS_THRESHOLD_LOBITS		PHY PRBS テストのエラー・フラグをセットするための 24 ビット閾値のビット [7:0]。	0x0	R/W
0x318	PHY_PRBS_TEST_THRESHOLD_MIDBITS	[7:0]	PHY_PRBS_THRESHOLD_MIDBITS		PHY PRBS テストのエラー・フラグをセットするための 24 ビット閾値のビット [15:8]。	0x0	R/W
0x319	PHY_PRBS_TEST_THRESHOLD_HIBITS	[7:0]	PHY_PRBS_THRESHOLD_HIBITS		PHY PRBS テストのエラー・フラグをセットするための 24 ビット閾値のビット [23:16]。	0x0	R/W
0x31A	PHY_PRBS_TEST_ERRCNT_LOBITS	[7:0]	PHY_PRBS_ERRCNT_LOBITS		選択したレーンからレポートされた 24 ビット PHY BER エラー・カウンットのビット [7:0]。	0x0	R
0x31B	PHY_PRBS_TEST_ERRCNT_MIDBITS	[7:0]	PHY_PRBS_ERRCNT_MIDBITS		選択したレーンからレポートされた 24 ビット PHY BER エラー・カウンットのビット [15:8]。	0x0	R
0x31C	PHY_PRBS_TEST_ERRCNT_HIBITS	[7:0]	PHY_PRBS_ERRCNT_HIBITS		選択したレーンからレポートされた 24 ビット PHY BER エラー・カウンットのビット [23:16]。	0x0	R
0x31D	PHY_PRBS_TEST_STATUS	[7:0]	PHY_PRBS_PASS		各レーンの PHY BER の合否をレポート。レーン x が合格のときはビット x がハイ。	0xFF	R
0x31E	PHY_DATA_SNAPSHOT_CTRL	[7:2]	RESERVED		予備。	0x0	R
		1	PHY_GRAB_MODE	0 1	このビットは、トリガを使用してデータを取得するかどうかを決定。 PHY_GRAB_DATA がセットされたときにデータを取得します。 ビット・エラー時にデータを取得します。	0x0	R/W
		0	PHY_GRAB_DATA		このビットを 0 から 1 に遷移させると、ロジックが 1 つのレーンから現在受信しているデータを保存します。	0x0	R/W
0x31F	PHY_SNAPSHOT_DATA_BYTE0	[7:0]	PHY_SNAPSHOT_DATA_BYTE0		現在の受信データ。PHY_SNAPSHOT_DATA [7:0] を表します。	0x0	R
0x320	PHY_SNAPSHOT_DATA_BYTE1	[7:0]	PHY_SNAPSHOT_DATA_BYTE1		現在の受信データ。PHY_SNAPSHOT_DATA [15:8] を表します。	0x0	R
0x321	PHY_SNAPSHOT_DATA_BYTE2	[7:0]	PHY_SNAPSHOT_DATA_BYTE2		現在の受信データ。PHY_SNAPSHOT_DATA [23:16] を表します。	0x0	R
0x322	PHY_SNAPSHOT_DATA_BYTE3	[7:0]	PHY_SNAPSHOT_DATA_BYTE3		現在の受信データ。PHY_SNAPSHOT_DATA [31:24] を表します。	0x0	R
0x323	PHY_SNAPSHOT_DATA_BYTE4	[7:0]	PHY_SNAPSHOT_DATA_BYTE4		現在の受信データ。PHY_SNAPSHOT_DATA [39:32] を表します。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x32C	SHORT_TPL_TEST_0	[7:4]	SHORT_TPL_SP_SEL		ショート・トランスポート層サンプルの選択。特定の DAC のどのサンプルをチェックするかを選択します。	0x0	R/W
				0000	サンプル 0。		
				0001	サンプル 1。		
				0010	サンプル 2。		
				0011	サンプル 3。		
				0100	サンプル 4。		
				0101	サンプル 5。		
				0110	サンプル 6。		
				0111	サンプル 7。		
				1000	サンプル 8。		
				1001	サンプル 9。		
				1010	サンプル 10。		
				1011	サンプル 11。		
				1100	サンプル 12。		
				1101	サンプル 13。		
				1110	サンプル 14。		
				1111	サンプル 15。		
		[3:2]	SHORT_TPL_CHAN_SEL		ショート・トランスポート層テスト・チャンネルの選択。DACx チャネライザのどのサブチャンネルをテストするかを選択します。	0x0	R/W
				00	チャンネル 0。		
				01	チャンネル 1。		
				10	チャンネル 2。		
		1	SHORT_TPL_TEST_RESET		ショート・トランスポート層テストのリセット。ショート・トランスポート層テストの結果をリセットします。	0x0	R/W
				0 1	リセットしない。 リセット。		
		0	SHORT_TPL_TEST_EN		ショート・トランスポート層テストのイ有効化。ショート・トランスポート層テストを有効にします。	0x0	R/W
				0 1	無効化。 有効化。		
0x32D	SHORT_TPL_TEST_1	[7:0]	SHORT_TPL_REF_SP_LSB		ショート・トランスポート層リファレンス・サンプル (LSB)。このビット・フィールドは、ショート・トランスポート層テスト時に予想される DAC サンプルの下位 8 ビットで、JESD204B レシーバー出力における受信サンプルとの比較に使われます。	0x0	R/W
0x32E	SHORT_TPL_TEST_2	[7:0]	SHORT_TPL_REF_SP_MSB		ショート・トランスポート層テスト・リファレンス・サンプル (MSB)。このビット・フィールドは、ショート・トランスポート層テスト時に予想される DAC サンプルの上位 8 ビットで、JESD204B レシーバー出力における受信サンプルとの比較に使われます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x32F	SHORT_TPL_TEST_3	7	SHORT_TPL_LINK_SEL	0 1	デュアルリンク JESD204B モードで STPL を実行する場合。STPL テストを実行する際に、サンプルのアドレス指定を DAC0 チャネライザ/データバス（リンク 0）にするか、DAC1 チャネライザ/データバス（リンク 1）にするかを選択します。 リンク 0 のサンプルをテストする。 リンク 1 のサンプルをテストする。	0x0	R/W
		6	SHORT_TPL_IQ_SAMPLE_SEL	0 1	チャネライザの複素サブチャンネルについてテストを行う際に、I と Q のうち、どちらのデータ・ストリーム（経路）にするかを選択します。IQ でない JESD204B モードの場合は、I 経路を選択します。 I データ・ストリームのテストを選択。 Q データ・ストリームのテストを選択。	0x0	R/W
		[5:1]	RESERVED		予備。	0x0	R/W
		0	SHORT_TPL_FAIL	0 1	ショート・トランスポート層テスト不合格。このビットは、選択した DAC サンプルがショート・トランスポート層テストの予想サンプルと一致するかどうかを示します。それらが一致した場合、テストは合格です。それらが一致しなかった場合、テストは不合格です。 テスト合格。 テスト不合格。	0x0	R
0x334	JESD_BIT_INVERSE_CTRL	[7:0]	JESD_BIT_INVERSE		論理レーンの反転。この制御の各ビットは、1 つの特定 JESD204B レシーバーの PHY からの JESD204B シリアル化解除データを反転させます。論理レーン x の JESD204B シリアル化解除データを反転させるには、ビット x をハイに設定します。	0x0	R/W
0x400	DID_REG	[7:0]	DID_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x401	BID_REG	[7:0]	BID_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x402	LID0_REG	7	RESERVED		予備。	0x0	R
		6	ADJDIR_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		5	PHADJ_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[4:0]	LL_LID0		レーン 0 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x403	SCR_L_REG	7	SCR_RD	0 1	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スクランプリングを無効化。 スクランプリングを有効化。	0x0	R
		[6:5]	RESERVED		予備。	0x0	R
		[4:0]	L_RD_1	00000 00001 00010 00011	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 コンバータ・デバイスあたり 1 レーン。 コンバータ・デバイスあたり 2 レーン。 コンバータ・デバイスあたり 3 レーン。 コンバータ・デバイスあたり 4 レーン。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x404	F_REG	[7:0]	F_RD_1	0 1 10 11	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 フレームあたり 1 オクテット。 フレームあたり 2 オクテット。 フレームあたり 3 オクテット。 フレームあたり 4 オクテット。	0x0	R
0x405	K_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	K_RD_1	00000 11111	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 デフォルト値。 マルチフレームあたり 32 フレーム。	0x0	R
0x406	M_REG	[7:0]	M_RD_1		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x407	CS_N_REG	[7:6]	CS_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		5	RESERVED		予備。	0x0	R
		[4:0]	N_RD_1		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x408	NP_REG	[7:5]	SUBCLASSV_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[4:0]	NP_RD_1		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x409	S_REG	[7:5]	JESDV_RD_1	000 001	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 JESD204A JESD204B	0x0	R
		[4:0]	S_RD_1		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x40A	HD_CF_REG	7	HD_RD	0 1	レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 低密度モード。 高密度モード。	0x0	R
		[6:5]	RESERVED		予備。	0x0	R
		[4:0]	CF_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x40B	RES1_REG	[7:0]	RES1_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x40C	RES2_REG	[7:0]	RES2_RD		レーン 0 で受信した ILAS 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x40D	CHECKSUM0_REG	[7:0]	LL_FCHK0		レーン 0 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x40E	COMPSUM0_REG	[7:0]	LL_FCMP0		レーン 0 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x412	LID1_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID1		レーン 1 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x415	CHECKSUM1_REG	[7:0]	LL_FCHK1		レーン 1 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x416	COMPSUM1_REG	[7:0]	LL_FCMP1		レーン 1 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x41A	LID2_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID2		レーン 2 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x41D	CHECKSUM2_REG	[7:0]	LL_FCHK2		レーン 2 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x41E	COMPSUM2_REG	[7:0]	LL_FCMP2		レーン 2 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x422	LID3_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID3		レーン 3 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x425	CHECKSUM3_REG	[7:0]	LL_FCHK3		レーン 3 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x426	COMPSUM3_REG	[7:0]	LL_FCMP3		レーン 3 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x42A	LID4_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID4		レーン 4 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x42D	CHECKSUM4_REG	[7:0]	LL_FCHK4		レーン 4 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x42E	COMPSUM4_REG	[7:0]	LL_FCMP4		レーン 4 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x432	LID5_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID5		レーン 5 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x435	CHECKSUM5_REG	[7:0]	LL_FCHK5		レーン 5 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x436	COMPSUM5_REG	[7:0]	LL_FCMP5		レーン 5 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x43A	LID6_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID6		レーン 6 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R

データシート

AD9176

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x43D	CHECKSUM6_REG	[7:0]	LL_FCHK6		レーン 6 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x43E	COMPSUM6_REG	[7:0]	LL_FCMP6		レーン 6 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x442	LID7_REG	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LL_LID7		レーン 7 で受信した ILAS LID 設定。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x445	CHECKSUM7_REG	[7:0]	LL_FCHK7		レーン 7 における ILAS 時の受信チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x446	COMPSUM7_REG	[7:0]	LL_FCMP7		レーン 7 の計算チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x450	ILS_DID	[7:0]	DID		デバイス（リンク）識別番号。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x451	ILS_BID	[7:0]	BID		バンク ID、DID の拡張子。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x452	ILS_LID0	7	RESERVED		予備。	0x0	R
		6	ADJDIR		DAC LMFC の調整指示。リンク情報は、JESD204B のセクション 8.3 の規定に従いレーン 0 で受信されます。リンク 0 のみサポートされています。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		5	PHADJ		DAC への位相調整要求。リンク 0 のみサポートされています。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		[4:0]	LID0		レーン識別番号（リンク内）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x453	ILS_SCR_L	7	SCR	0 1	リンクのスクランプリングの有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スクランプリング解除を無効化。 スクランプリング解除を有効化。	0x1	R/W
		[6:5]	RESERVED		予備。	0x0	R
		[4:0]	L_1		コンバータあたりのレーン数（マイナス 1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x7	R/W
0x454	ILS_F	[7:0]	F_1		1 レーンのフレームあたりオクテット数：（マイナス 1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x455	ILS_K	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	K_1	11111	マルチフレームあたりのレーン数（マイナス 1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 マルチフレームあたり 32 フレーム。	0x1F	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x456	ILS_M	[7:0]	M_1		リンクあたりのサブチャンネル数（マイナス1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x1	R/W
0x457	ILS_CS_N	[7:6]	CS		サンプルあたりの制御ビット数。リンク 0 のみサポートされています。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		5	RESERVED		予備。	0x0	R
		[4:0]	N_1		コンバータ分解能（マイナス1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0xF	R/W
0x458	ILS_NP	[7:5]	SUBCLASSV	000 001	デバイスのサブクラス・バージョン。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 サブクラス 0。 サブクラス 1。	0x0	R/W
		[4:0]	NP_1		サンプルあたりの合計ビット数（マイナス1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0xF	R/W
0x459	ILS_S	[7:5]	JESDV	000 001	JESD204 バージョン。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 JESD204A JESD204B	0x0	R/W
		[4:0]	S_1		1 フレーム・サイクルのコンバータあたりサンプル数：（マイナス1）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x1	R/W
0x45A	ILS_HD_CF	7	HD	0 1	高密度フォーマット。常に 1 に設定します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 低密度モード。 高密度モード。	0x1	R
		[6:5]	RESERVED		予備。	0x0	R
		[4:0]	CF		サンプルあたりの制御ビット数。リンク 0 のみサポートされています。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
0x45B	ILS_RES1	[7:0]	RES1		予備フィールド 1。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x45C	ILS_RES2	[7:0]	RES2		予備フィールド 2。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x45D	ILS_CHECKSUM	[7:0]	FCHK0		計算リンク設定チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセット内（レジスタ 0x475、ビット 3）に QBD が保持されている間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
0x46C	LANE_DESKEW	7	ILD7	0 1	レーン 7 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		6	ILD6	0 1	レーン 6 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		5	ILD5	0 1	レーン 5 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		4	ILD4	0 1	レーン 4 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILD3	0 1	レーン 3 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		2	ILD2	0 1	レーン 2 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		1	ILD1	0 1	レーン 1 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		0	ILD0	0 1	レーン 0 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
0x46D	BAD_DISPARITY	7	BDE7	0 1	レーン 7 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < エラー閾値 (ETH) [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	BDE6	0 1	レーン 6 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	BDE5	0 1	レーン 5 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	BDE4	0 1	レーン 4 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		3	BDE3	0 1	レーン 3 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		2	BDE2	0 1	レーン2の異常ディスペリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		1	BDE1	0 1	レーン1の異常ディスペリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		0	BDE0	0 1	レーン0の異常ディスペリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
0x46E	NOT_IN_TABLE	7	NIT7	0 1	レーン7のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT6	0 1	レーン6のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	NIT5	0 1	レーン5のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	NIT4	0 1	レーン4のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		3	NIT3	0 1	レーン3のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		2	NIT2	0 1	レーン2のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		1	NIT1	0 1	レーン1のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		0	NIT0	0 1	レーン0のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x46F	UNEXPECTED_KCHAR	7	UEK7	0 1	レーン 7 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	UEK6	0 1	レーン 6 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK5	0 1	レーン 5 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	UEK4	0 1	レーン 4 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		3	UEK3	0 1	レーン 3 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		2	UEK2	0 1	レーン 2 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		1	UEK1	0 1	レーン 1 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		0	UEK0	0 1	レーン 0 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
0x470	CODE_GRP_SYNC	7	CGS7	0 1	レーン 7 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		6	CGS6	0 1	レーン 6 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		5	CGS5	0 1	レーン 5 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		4	CGS4	0 1	レーン 4 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		3	CGS3	0 1	レーン 3 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CGS2	0 1	レーン 2 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		1	CGS1	0 1	レーン 1 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS0	0 1	レーン 0 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x471	FRAME_SYNC	7	FS7	0 1	レーン 7 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		6	FS6	0 1	レーン 6 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		5	FS5	0 1	レーン 5 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		4	FS4	0 1	レーン 4 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		3	FS3	0 1	レーン 3 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	FS2	0 1	レーン 2 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		1	FS1	0 1	レーン 1 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	FS0	0 1	レーン 0 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x472	GOOD_CHECKSUM	7	CKS7	0 1	レーン 7 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		6	CKS6	0 1	レーン 6 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		5	CKS5	0 1	レーン 5 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		4	CKS4	0 1	レーン 4 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		3	CKS3	0 1	レーン 3 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		2	CKS2	0 1	レーン 2 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	CKS1	0 1	レーン 1 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		0	CKS0	0 1	レーン 0 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R

データシート

AD9176

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x473	INIT_LANE_SYNC	7	ILS7	0 1	レーン 7 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		6	ILS6	0 1	レーン 6 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		5	ILS5	0 1	レーン 5 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		4	ILS4	0 1	レーン 4 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		3	ILS3	0 1	レーン 3 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	ILS2	0 1	レーン 2 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		1	ILS1	0 1	レーン 1 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	ILS0	0 1	レーン 0 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x475	CTRLREG0	[7:4]	RESERVED		予備。	0x0	R/W
		3	SOFTTRST		QBD ソフト・リセット。アクティブ・ハイ同期リセット。すべてのハードウェアをパワー・オン状態にリセットします。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		2	FORCESYNCREQ		同期要求をアサートするためのアプリケーションからのコマンド。アクティブ・ハイ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		1	RESERVED		予備。	0x0	R
		0	REPL_FRM_ENA		このレベル入力を設定すると、エラー時に受信されるフレームの置換が有効になります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x1	R/W

データシート

AD9176

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x476	CTRLREG1	[7:5]	RESERVED		予備。	0x0	R
		4	QUAL_RDERR	0 1	テーブル不記載 (NIT) エラーとランニング・ディスポリティ (RD) エラーが同時に発生したときのエラー・レポート動作。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。このビットは 1 に設定します。この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 NIT は RD エラーに影響しません。 NIT エラーは RD エラーと同時にマスクします。	0x1	R/W
		[3:1]	RESERVED		予備。	0x0	R/W
		0	FCHK_N	0 1	チェックサム計算方法。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 JESD204B 規格セクション 8.3 の表 20 の規定に従い、リンク設定テーブル内の個々のフィールドを合計することによってチェックサムが計算されます。 バックされたリンク設定フィールドを含むレジスタを合計することによってチェックサムが計算されます (レジスタ 0x450 からレジスタ 0x45A の合計、モジュロ 256)。	0x0	R/W
0x477	CTRLREG2	7	ILS_MODE	0 1	このビットを 1 に設定すると、データ・リンク層テスト・モードがイネーブルされます。CGS パターンの後には ILAS シーケンスが続きます。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 ノーマル・モード。 CGS パターンの後には ILAS シーケンスが続きます。	0x0	R/W
		6	RESERVED		予備。	0x0	R/W
		5	REPDATATEST		JTSPAT パターンを使用して繰返しデータ・テストを有効化。テストを有効にするには、このレジスタのビット 7 を 0 にする必要があります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセット内に QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
		4	QUETESTERR	0 1	キュー・テストのエラー・モード。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。 このビットが 0 のときは、複数レーン上での同時エラーが 1 つのエラーとしてレポートされます。 このビットが 1 で REPDATATEST = 1 の時に選択されます。すべてのレーンから検出されたエラーがカウンタにトラップされ、SYNCOUTx±上に順番に信号出力されます。	0x0	R/W
		3	AR_ECNTN		エラー・カウンタの自動リセット。AR_ECNTN = 1 の場合、SYNCOUTx±をアサートするエラー・カウンタは自動的に 0 にリセットされます。他のカウンタはいずれも影響を受けません。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間にのみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x0	R/W
		[2:0]	RESERVED		予備。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x478	KVAL	[7:0]	KSYNC		ILAS 時の 4 × K マルチフレーム数。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x1	R/W
0x47C	ERRORTHRES	[7:0]	ETH		エラー・カウンタ閾値。これらのビットは、BD、NIT、または UEK エラーによる SYNCOUTx±IRQx 割込みが送信されたときにセットされます。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。この信号は、ソフト・リセット内に QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0xFF	R/W
0x47D	SYNC_ASSERT_MASK	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	SYNC_ASSERT_MASK		SYNCOUTx±BD、NIT、および UEK エラー状態のアサーション・イネーブル・マスク。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。BD、NIT、および UEK エラー状態の SYNCOUTx±アサーション・イネーブル・マスク（アクティブ・ハイ）。任意のレーンのエラー・カウンタがエラー閾値数 ETH [7:0] に達して、なおかつ対応する SYNC_ASSERT_MASK ビットがセットされている場合は、SYNCOUTx±がアサートされます。マスク・ビットは以下のとおりです（他のエラー・カウンタ制御とエラー・カウンタに関しては、ビット・シーケンスが反転されます）。 ビット 2 = 異常ディスパリティ・エラー（BDE）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 予期しない K 文字エラー（UEK）。	0x7	R/W
0x480	ECNT_CTRL0	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA0		レーン 0 のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 5 = 予期しない K 文字エラー（UEK）。 ビット 4 = テーブル不記載エラー（NIT）。 ビット 3 = 異常ディスパリティ・エラー（BDE）。	0x7	R/W
		[2:0]	ECNT_RST0		レーン 0 のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 異常ディスパリティ・エラー（BDE）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 予期しない K 文字エラー（UEK）。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x481	ECNT_CTRL1	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA1		レーン1のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット5=予期しないK文字エラー（UEK）。 ビット4=テーブル不記載エラー（NIT）。 ビット3=異常ディスパリティ・エラー（BDE）。	0x7	R/W
		[2:0]	ECNT_RST1		レーン1のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=予期しないK文字エラー（UEK）。 ビット1=テーブル不記載エラー（NIT）。 ビット0=異常ディスパリティ・エラー（BDE）。	0x7	R/W
0x482	ECNT_CTRL2	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA2		レーン2のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット5=予期しないK文字エラー（UEK）。 ビット4=テーブル不記載エラー（NIT）。 ビット3=異常ディスパリティ・エラー（BDE）。	0x7	R/W
		[2:0]	ECNT_RST2		レーン2のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=予期しないK文字エラー（UEK）。 ビット1=テーブル不記載エラー（NIT）。 ビット0=異常ディスパリティ・エラー（BDE）。	0x7	R/W
0x483	ECNT_CTRL3	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA3		レーン3のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット5=予期しないK文字エラー（UEK）。 ビット4=テーブル不記載エラー（NIT）。 ビット3=異常ディスパリティ・エラー（BDE）。	0x7	R/W
		[2:0]	ECNT_RST3		レーン3のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット2=予期しないK文字エラー（UEK）。 ビット1=テーブル不記載エラー（NIT）。 ビット0=異常ディスパリティ・エラー（BDE）。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x484	ECNT_CTRL4	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA4		レーン 4 のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 5 = 予期しない K 文字エラー (UEK)。 ビット 4 = テーブル不記載エラー (NIT)。 ビット 3 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
		[2:0]	ECNT_RST4		レーン 4 のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
0x485	ECNT_CTRL5	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA5		レーン 5 のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 5 = 予期しない K 文字エラー (UEK)。 ビット 4 = テーブル不記載エラー (NIT)。 ビット 3 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
		[2:0]	ECNT_RST5		レーン 5 のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
0x486	ECNT_CTRL6	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA6		レーン 6 のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 5 = 予期しない K 文字エラー (UEK)。 ビット 4 = テーブル不記載エラー (NIT)。 ビット 3 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
		[2:0]	ECNT_RST6		レーン 6 のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x487	ECNT_CTRL7	[7:6]	RESERVED		予備。	0x0	R
		[5:3]	ECNT_ENA7		レーン 7 のエラー・カウンタがイネーブルになります。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 5 = 予期しない K 文字エラー (UEK)。 ビット 4 = テーブル不記載エラー (NIT)。 ビット 3 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
		[2:0]	ECNT_RST7		レーン 7 のエラー・カウンタをリセット。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x7	R/W
0x488	ECNT_TCH0	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH0		レーン 0 のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。 この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x489	ECNT_TCH1	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH1		レーン 1 のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。 この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット 3) 間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x48A	ECNT_TCH2	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH2		レーン2のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = 予期しない K 文字エラー (UEK)。 ビット1 = テーブル不記載エラー (NIT)。 ビット0 = 異常ディスパリティ・エラー (BDE)。 この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット3) 間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48B	ECNT_TCH3	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH3		レーン3のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = 予期しない K 文字エラー (UEK)。 ビット1 = テーブル不記載エラー (NIT)。 ビット0 = 異常ディスパリティ・エラー (BDE)。 この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット3) 間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48C	ECNT_TCH4	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH4		レーン4のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット2 = 予期しない K 文字エラー (UEK)。 ビット1 = テーブル不記載エラー (NIT)。 ビット0 = 異常ディスパリティ・エラー (BDE)。 この信号は、ソフト・リセットに QBD が保持されている (レジスタ 0x475、ビット3) 間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x48D	ECNT_TCH5	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH5		レーン 5 のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。 この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48E	ECNT_TCH6	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH6		レーン 6 のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。 この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W
0x48F	ECNT_TCH7	[7:3]	RESERVED		予備。	0x0	R
		[2:0]	ECNT_TCH7		レーン 7 のエラー・カウンタの最終カウント数保持を有効化。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。セットすると、指定カウンタが最終カウント値に達すると、そのカウンタはユーザがカウンタをリセットするまで最終値 0xFF を保持します。セットしない場合、指定カウンタはロールオーバーします。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。 この信号は、ソフト・リセットに QBD が保持されている（レジスタ 0x475、ビット 3）間のみ設定し、なおかつ通常動作中は変更しないようにする必要があります。	0x7	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x490	ECNT_STAT0	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA0		この出力は、レーン 0 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR0		レーン 0 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。	0x0	R
0x491	ECNT_STAT1	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA1		この出力は、レーン 1 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR1		レーン 1 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。	0x0	R
0x492	ECNT_STAT2	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA2		この出力は、レーン 2 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR2		レーン 2 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x493	ECNT_STAT3	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA3		この出力は、レーン 3 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR3		レーン 3 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x0	R
0x494	ECNT_STAT4	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA4		この出力は、レーン 4 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR4		レーン 4 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x0	R
0x495	ECNT_STAT5	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA5		この出力は、レーン 5 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR5		レーン 5 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー (UEK)。 ビット 1 = テーブル不記載エラー (NIT)。 ビット 0 = 異常ディスパリティ・エラー (BDE)。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x496	ECNT_STAT6	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA6		この出力は、レーン 6 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR6		レーン 6 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。	0x0	R
0x497	ECNT_STAT7	[7:4]	RESERVED		予備。	0x0	R
		3	LANE_ENA7		この出力は、レーン 7 がイネーブルされているかどうかを示します。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R
		[2:0]	ECNT_TCR7		レーン 7 のエラー・カウンタの最終カウント値到達インジケータ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。対応するカウンタが最終カウント値 0xFF に達したら、これらのビットを 1 に設定します。ECNT_TCHx がセットされている場合、対応カウンタの最終カウント値はユーザによってリセットされるまで保持されます。セットされていない場合は、カウンタがロールオーバーしてカウントを継続します。各レーンのカウンタのアドレスは以下のとおりです。 ビット 2 = 予期しない K 文字エラー（UEK）。 ビット 1 = テーブル不記載エラー（NIT）。 ビット 0 = 異常ディスパリティ・エラー（BDE）。	0x0	R
0x4B0	LINK_STATUS0	7	BDE0	0 1	レーン 0 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	NIT0	0 1	レーン 0 のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK0	0 1	レーン 0 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	ILD0	0 1	レーン 0 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		3	ILS0	0 1	レーン 0 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS0	0 1	レーン 0 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS0	0 1	レーン 0 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS0	0 1	レーン 0 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B1	LINK_STATUS1	7	BDE1	0 1	レーン 1 の異常ディスペリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	NIT1	0 1	レーン 1 のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK1	0 1	レーン 1 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	ILD1	0 1	レーン 1 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS1	0 1	レーン 1 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS1	0 1	レーン 1 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS1	0 1	レーン 1 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		0	CGS1	0 1	レーン1のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B2	LINK_STATUS2	7	BDE2	0 1	レーン2の異常デイスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	NIT2	0 1	レーン2のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK2	0 1	レーン2の予期しないK文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	ILD2	0 1	レーン2のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS2	0 1	レーン2の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS2	0 1	レーン2の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS2	0 1	レーン2のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS2	0 1	レーン2のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x4B3	LINK_STATUS3	7	BDE3	0 1	レーン3の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT3	0 1	レーン3のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK3	0 1	レーン3の予期しないK文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD3	0 1	レーン3のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS3	0 1	レーン3の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS3	0 1	レーン3の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS3	0 1	レーン3のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS3	0 1	レーン3のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B4	LINK_STATUS4	7	BDE4	0 1	レーン4の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT4	0 1	レーン4のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK4	0 1	レーン4の予期しないK文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		4	ILD4	0 1	レーン 4 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS4	0 1	レーン 4 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS4	0 1	レーン 4 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS4	0 1	レーン 4 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS4	0 1	レーン 4 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B5	LINK_STATUS5	7	BDE5	0 1	レーン 5 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	NIT5	0 1	レーン 5 のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK5	0 1	レーン 5 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	ILD5	0 1	レーン 5 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS5	0 1	レーン 5 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS5	0 1	レーン 5 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R

データシート

AD9176

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		1	FS5	0 1	レーン 5 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS5	0 1	レーン 5 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B6	LINK_STATUS6	7	BDE6	0 1	レーン 6 の異常ディスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		6	NIT6	0 1	レーン 6 のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		5	UEK6	0 1	レーン 6 の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント < ETH [7:0] の値。 エラー・カウント ≥ ETH [7:0] の値。	0x0	R
		4	ILD6	0 1	レーン 6 のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS6	0 1	レーン 6 の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS6	0 1	レーン 6 の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS6	0 1	レーン 6 のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS6	0 1	レーン 6 のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x4B7	LINK_STATUS7	7	BDE7	0 1	レーン7の異常デイスパリティ・エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		6	NIT7	0 1	レーン7のテーブル不記載エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		5	UEK7	0 1	レーン7の予期しない K 文字エラー・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 エラー・カウント<ETH [7:0] の値。 エラー・カウント≥ETH [7:0] の値。	0x0	R
		4	ILD7	0 1	レーン7のレーン間スキュー除去ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 スキュー除去に失敗しました。 スキューが除去されました。	0x0	R
		3	ILS7	0 1	レーン7の初期レーン同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		2	CKS7	0 1	レーン7の計算チェックサム・ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 チェックサムが正しくありません。 チェックサムは正常です。	0x0	R
		1	FS7	0 1	レーン7のフレーム同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
		0	CGS7	0 1	レーン7のコード・グループ同期ステータス。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。 同期が失われました。 同期が確立されました。	0x0	R
0x4B8	JESD_IRQ_ENBL EA	7	EN_BDE		異常デイスパリティ・エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		6	EN_NIT		テーブル不記載エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		5	EN_UEK		予期しない K 文字エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		4	EN_ILD		レーン間スキュー除去。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		3	EN_ILS		初期レーン同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
		2	EN_CKS		正常チェックサム。このビットは2個のチェックサムを比較します。すなわち、トランスミッタが ILAS 時にリンクを介して送信するチェックサムと、トランスミッタがリンクを介して送信した ILAS データからレシーバーが計算するチェックサムです。チェックサム IRQ が確認するデータはトランスミッタが送信するデータだけで、レジスタ 0x45D に設定されたチェックサムは確認しません。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		1	EN_FS		フレーム同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		0	EN_CGS		コード・グループ同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x4B9	JESD_IRQ_ENABL EB	[7:1]	RESERVED		予備。	0x0	R
		0	EN_ILAS		構成ミスマッチ（レーン 0 のみをチェック）。ILAS IRQ は、レシーバーが取得した 2 セットの ILAS データを比較します。最初のデータ・セットは、トランスミッタが JESD204B リンクを介して送信する ILAS データです。もう 1 つのデータ・セットは、SPI を介してレシーバー内に設定される ILAS データです（レジスタ 0x450～レジスタ 0x45D）。これらのどちらかのデータに違いがあると、IRQ がトリガされます。チェックサムを含むすべての ILAS データが比較されます。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x4BA	JESD_IRQ_STATUS A	7	IRQ_BDE		異常ディスポリティ・エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		6	IRQ_NIT		テーブル不記載エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		5	IRQ_UEK		予期しない K 文字エラー・カウンタ。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		4	IRQ_ILD		レーン間スキュー除去。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		3	IRQ_ILS		初期レーン同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		2	IRQ_CKS		正常チェックサム。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		1	IRQ_FS		フレーム同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
		0	IRQ_CGS		コード・グループ同期。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W
0x4BB	JESD_IRQ_STATUS B	[7:1]	RESERVED		予備。	0x0	R
		0	IRQ_ILAS		構成ミスマッチ（レーン 0 のみをチェック）。この制御は、レジスタ 0x300 の LINK_PAGE 制御によってページングされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x4BC	IRQ_OUTPUT_MUX_JESD	[7:1]	RESERVED		予備。	0x0	R
		0	MUX_JESD_IRQ	0 1	どの IRQ ピンを JESD204B $\overline{\text{IRQx}}$ ソースに接続するかを選択します。 IRQ トリガ信号を $\overline{\text{IRQ0}}$ ピンに送ります。 IRQ トリガ信号を $\overline{\text{IRQ1}}$ ピンに送ります。	0x0	R/W
0x580	BE_SOFT_OFF_GAIN_CTRL	7	BE_SOFT_OFF_GAIN_EN		ソフト・オフ／オンを使用するには 1 にする必要があります。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		[6:3]	RESERVED		予備。	0x0	R
		[2:0]	BE_GAIN_RAMP_RATE		ランプ・レートを設定します。ゲインは、2 ^(CODE + 8) DAC クロック周期の間に、32 ステップで 0 から 1 (または 1 から 0) にランプします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x581	BE_SOFT_OFF_ENABLE	7	ENA_SHORT_PAERR_SOFTOFF		ショート PA エラー・ソフト・オフを有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
		6	ENA_LONG_PAERR_SOFTOFF		ロング PA エラー・ソフト・オフを有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
		[5:4]	RESERVED		予備。	0x0	R
		3	ENA_JESD_ERR_SOFTOFF		JESD204B 側エラー・ソフト・オフを有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		2	ROTATE_SOFT_OFF_EN		1 に設定すると、同期ロジックのローテーションが DAC 出力ソフト・オフをトリガします。レジスタ 0x03B のビット 0 もハイでなければなりません。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
		1	TXEN_SOFT_OFF_EN		1 に設定すると、TXENx の立下がりエッジが DAC 出力ソフト・オフをトリガします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
		0	SPI_SOFT_OFF_EN		ゲイン 1 のときにソフト・オフを強制します。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x582	BE_SOFT_ON_ENABLE	7	SPI_SOFT_ON_EN		ゲイン 0 のときにソフト・オンを強制します。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		6	LONG_LEVEL_SOFTON_EN		このビットを 1 に設定すると、ロング・レベル・ソフト・オンが有効になります。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
		[5:0]	RESERVED		予備。	0x0	R/W
0x583	LONG_PA_THRES_LSB	[7:0]	LONG_PA_THRESHOLD[7:0]		比較のための長平均電力閾値。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x584	LONG_PA_THRES_MSB	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LONG_PA_THRESHOLD[12:8]		比較のための長平均電力閾値。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W

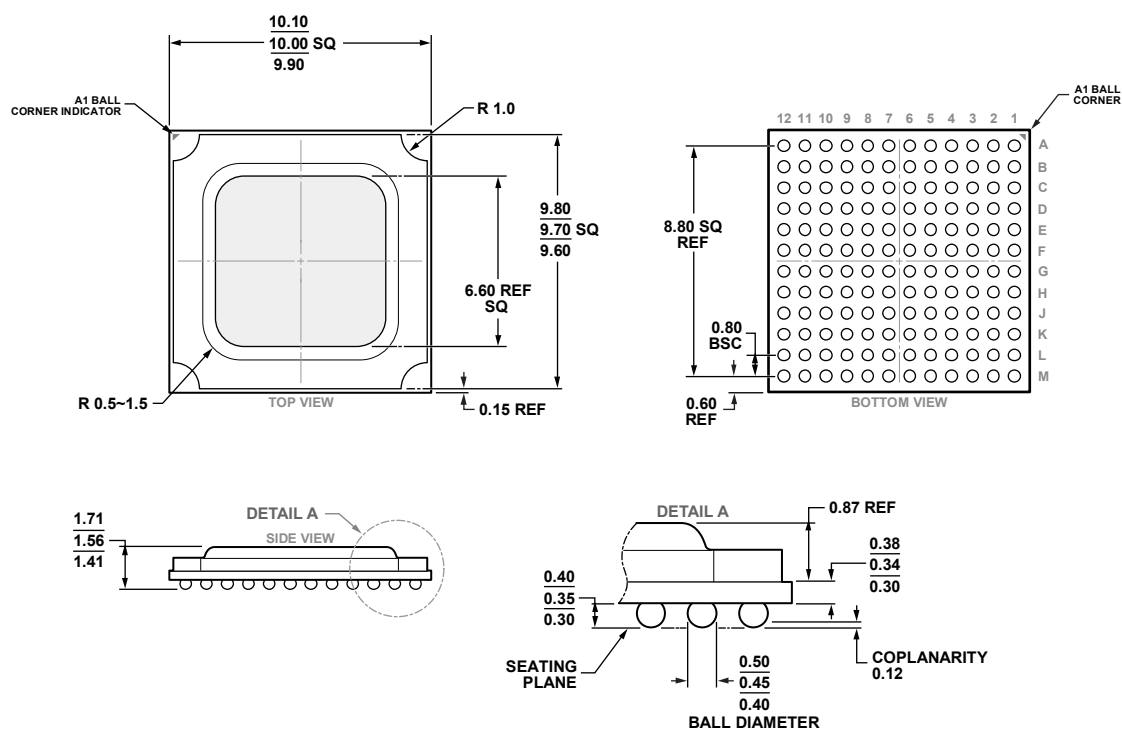
アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x585	LONG_PA_CONTROL	7	LONG_PA_ENABLE		長平均による電力計算とエラー検出を有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		[6:4]	RESERVED		予備。	0x0	R
		[3:0]	LONG_PA_AVG_TIME		長 PA 平均の時間を設定します。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。平均時間 = $29 + \text{LONG_PA_AVG_TIME}$ (PA クロック周期)。PA クロック周期は次式により計算します。 メイン・インターポレーション > 1× の場合は、PA クロック周期 = $4 \times \text{メイン・インターポレーション} \times \text{DAC クロック周期}$ 。 チャンネル・インターポレーション > 1× の場合は、PA クロック周期 = $8 \times \text{メイン・インターポレーション} \times \text{DAC クロック周期}$ 。 それ以外の場合、PA クロック周期 = $32 \times \text{DAC クロック周期}$ 。	0x0	R/W
0x586	LONG_PA_POWER_LSB	[7:0]	LONG_PA_POWER[7:0]		長平均電力リードバック。データ・バスで検出された電力 = $I^2 + Q^2$ 。データ・バス計算で使用するの、I および Q データ・バス・サンプルの上位 6 ビットだけです。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R
0x587	LONG_PA_POWER_MSB	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	LONG_PA_POWER[12:8]		長平均電力リードバック。データ・バスで検出された電力 = $I^2 + Q^2$ 。データ・バス計算で使用するの、I および Q データ・バス・サンプルの上位 6 ビットだけです。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R
0x588	SHORT_PA_THRES_LSB	[7:0]	SHORT_PA_THRESHOLD[7:0]		比較のための短平均電力閾値。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x589	SHORT_PA_THRES_MSB	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	SHORT_PA_THRESHOLD[12:8]		比較のための短平均電力閾値。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x58A	SHORT_PA_CONTROL	7	SHORT_PA_ENABLE		短平均による電力計算とエラー検出をイネーブルします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		[6:2]	RESERVED		予備。	0x0	R
		[1:0]	SHORT_PA_AVG_TIME		短 PA 平均の時間を設定します。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。平均時間 = $2^{\text{SHORT_PA_AVG_TIME}}$ (PA クロック周期)。PA クロック周期は次式により計算します。 メイン・インターポレーション > 1× の場合は、PA クロック周期 = $4 \times \text{メイン・インターポレーション} \times \text{DAC クロック周期}$ 。 チャンネル・インターポレーション > 1× の場合は、PA クロック周期 = $8 \times \text{メイン・インターポレーション} \times \text{DAC クロック周期}$ 。 それ以外の場合、PA クロック周期 = $32 \times \text{DAC クロック周期}$ 。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x58B	SHORT_PA_POWER_LSB	[7:0]	SHORT_PA_POWER[7:0]		短平均電力リードバック。データ・バスで検出された電力 = $P^2 + Q^2$ 。データ・バス計算で使用するのは、I および Q データ・バス・サンプルの上位 6 ビットだけです。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R
0x58C	SHORT_PA_POWER_MSB	[7:5]	RESERVED		予備。	0x0	R
		[4:0]	SHORT_PA_POWER[12:8]		短平均電力リードバック。データ・バスで検出された電力 = $P^2 + Q^2$ 。データ・バス計算で使用するのは、I および Q データ・バス・サンプルの上位 6 ビットだけです。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R
0x58D	TXEN_SM_0	[7:1]	RESERVED		予備。	0x1	R/W
		0	ENA_TXENSM		TXEN ステート・マシンをイネーブルします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
0x596	BLANKING_CTRL	[7:4]	RESERVED		予備。	0x0	R
		3	SPI_TXEN		ENA_SPI_TXEN (このレジスタのビット 2) = 1 の場合、このレジスタの値が TXENx ステータスの値です。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		2	ENA_SPI_TXEN		このビットを 1 に設定することにより、SPI を介して TXENx 制御を有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x0	R/W
		[1:0]	RESERVED		予備。	0x0	R
0x597	JESD_PA_INT0	[7:0]	JESD_PA_INT_CNTRL[7:0]		各ビットが JESD204B PA 割込みをイネーブルします。 ビット 8 = CGS。 ビット 7 = フレーム同期。 ビット 6 = 正常チェックサム。 ビット 5 = 初期レーン同期。 ビット 4 = レーン間スキュー除去。 ビット 3 = 異常ディスパリティ・エラー・カウンタ。 ビット 2 = NIT エラー・カウンタ。 ビット 1 = UEK エラー・カウンタ。 ビット 0 = レーン FIFO のオーバーフローまたはアンダーフロー。	0x0	R/W
0x598	JESD_PA_INT1	[7:1]	RESERVED		予備。	0x0	R
		0	JESD_PA_INT_CNTRL[8]		各ビットが JESD204B PA 割込みをイネーブルします。 ビット 8 = CGS。 ビット 7 = フレーム同期。 ビット 6 = 正常チェックサム。 ビット 5 = 初期レーン同期。 ビット 4 = レーン間スキュー除去。 ビット 3 = 異常ディスパリティ・エラー・カウンタ。 ビット 2 = NIT エラー・カウンタ。 ビット 1 = UEK エラー・カウンタ。 ビット 0 = レーン FIFO のオーバーフローまたはアンダーフロー。	0x0	R/W
0x599	TXEN_FLUSH_CTRL0	[7:1]	RESERVED		予備。	0x0	R
		0	SPI_FLUSH_EN		データバス・フラッシュを有効にします。この制御は、レジスタ 0x008 の MAINDAC_PAGE 制御によってページングされます。	0x1	R/W
0x705	NVM_LOADER_EN	[7:1]	RESERVED		予備。	0x0	R
		0	NVM_BLR_EN		ブート・ローダを有効にします。このビットは、ブート・ローダによる処理が完了するか失敗すると、自動的にクリアされます。	0x0	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x790	DACPLL_PDCTRL0	7	PLL_PD5		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		[6:4]	PLL_PD4		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		3	PLL_PD3		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		2	PLL_PD2		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		1	PLL_PD1		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、このビットに 0 を書き込みます。	0x1	R/W
		0	PLL_PD0		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
0x791	DACPLL_PDCTRL1	[7:5]	RESERVED		予備。	0x0	R/W
		4	PLL_PD10		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		3	PLL_PD9		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		2	PLL_PD8		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		1	PLL_PD7		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
		0	PLL_PD6		PLL 停止制御。PLL をバイパスする場合は、このビットに 1 を書き込みます。PLL を使用する場合は、この値をデフォルト (0) のままにします。	0x0	R/W
0x792	DACPLL_CTRL0	[7:2]	RESERVED		予備。	0x0	R
		1	D_CAL_RESET		VCO キャリブレーションをリセットします。	0x1	R/W
		0	D_RESET_VCO_DIV		これをハイに設定すると、VCO 入力分周器がリセット状態に維持されます。ADC クロック・ドライバの入力 (と出力) をオフにする効果があります。	0x0	R/W
0x793	DACPLL_CTRL1	[7:2]	RESERVED		予備。	0x0	R
		[1:0]	M_DIVIDER-1	0 1 10 11	PFD の設定可能前置分周器の値 (n-1 表記)。 M_DIVIDER = PLL リファレンス・クロック/PFD 周波数。最大限のスペクトル性能を得るには、許容される PFD 範囲内で高い PFD 周波数を使用する M 分周器設定を選択します。9.96GHz > VCO 周波数、または、VCO 周波数 > 10.87GHz に対して、25MHz ≥ PFD 周波数 ≥ 225MHz。9.96GHz > VCO 周波数 > 10.87GHz に対して、25MHz ≥ PFD 周波数 ≥ 770MHz。	0x0	R/W
0x794	DACPLL_CTRL2	[7:6]	RESERVED		予備。	0x0	R/W
		[5:0]	DACPLL_CP		チャージ・ポンプ電流制御。チャージ・ポンプ電流 = 100μA + コード × 100μA。	0x4	R/W

アドレス	レジスタ名	ビット	ビット名	設定	説明	リセット	アクセス
0x795	DACPLL_CTRL3	[7:4]	RESERVED		予備。	0x0	R/W
		[3:0]	D_CP_CALBITS		DAC PLL 最適化制御。	0x8	R/W
0x796	DACPLL_CTRL4	[7:4]	PLL_CTRL0		DAC PLL 最適化制御。	0xD	R/W
		[3:0]	RESERVED		予備。	0x2	R/W
0x797	DACPLL_CTRL5	[7:6]	RESERVED		予備。	0x0	R/W
		[5:0]	PLL_CTRL1		DAC PLL 最適化制御。	0x20	R/W
0x798	DACPLL_CTRL6	7	RESERVED		予備。	0x0	R
		6	PLL_CTRL3		DAC PLL 最適化制御。	0x0	R/W
		[5:0]	PLL_CTRL2		DAC PLL 最適化制御。	0x1C	R/W
0x799	DACPLL_CTRL7	[7:6]	ADC_CLK_DIVIDER	0 1 10 11	ADC クロック出力分周器。 1 分周 2 分周 3 分周 4 分周	0x0	R/W
		[5:0]	N_DIVIDER		N 分周値は 2～50 の範囲で設定可能です。 $N_DIVIDER = (DAC \text{ 周波数} \times M_DIVIDER) / (8 \times \text{リファレンス} \cdot \text{クロック周波数})$ 。	0x8	R/W
0x7A0	DACPLL_CTRL9	[7:6]	RESERVED		予備。	0x2	R/W
		5	D_EN_VAR_FINE_PRE		DAC PLL 制御。	0x0	R/W
		[4:3]	RESERVED		予備。	0x2	R/W
		2	D_EN_VAR_COARSE_PRE		DAC PLL 制御。	0x0	R/W
		[1:0]	RESERVED		予備。	0x0	R/W
0x7A2	DACPLL_CTRL10	7	RESERVED		予備。	0x0	R
		[6:5]	D_REGULATOR_CAL_WAIT		DAC PLL 最適化制御。	0x1	R/W
		[4:3]	D_VCO_CAL_WAIT		DAC PLL 最適化制御。	0x2	R/W
		[2:1]	D_VCO_CAL_CYCLES		DAC PLL 最適化制御。	0x2	R/W
		0	RESERVED		予備。	0x1	R/W
0x7B5	PLL_STATUS	[7:1]	RESERVED		予備。	0x0	R
		0	PLL_LOCK		DAC PLL ロック・ステータス。	0x0	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-275-EEAB-1.

図 98. 熱強化型 144 ボール BGA [BGA_ED]
(BP-144-1)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9176BBPZ	−40°C to +85°C	144-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-144-1
AD9176BBPZRL	−40°C to +85°C	144-Ball Ball Grid Array, Thermally Enhanced [BGA_ED]	BP-144-1
AD9176-FMC-EBZ		Evaluation Board	

¹ Z = ROHS 準拠製品。