



16 ビット、1600 MSPS、TxDAC+ デュアル D/A コンバータ

データシート

AD9142

特長

非常に小さい固有遅延変動: DAC クロック 2 サイクル以下
低スプリアスおよび低歪みの当社独自デザイン
6 キャリア GSM ACLR = 200 MHz IF で 79 dBc
SFDR > ZIF で 85 dBc (帯域幅 = 300 MHz)
柔軟な 16 ビット LVDS インターフェース
ワード・ロードとバイト・ロードをサポート
複数チップの同期
固定遅延とデータ・ジェネレータ遅延を補償
2×、4×、8×インターポレーション・フィルタが選択可能
低消費電力アーキテクチャ
 $f_s/4$ の省電力コース・ミキサー
入力信号電力検出
ダウンストリーム・アナログ回路保護用の緊急停止
FIFO エラーの検出
内蔵数値制御発振器により、DAC ナイキスト帯域幅の全域でキャリア配置が可能
消費電力をさらに削減する送信イネーブル機能
高性能低ノイズの PLL クロック逡倍器
サイドバンドを抑圧するゲインと位相のデジタル調整
デジタル逆 sinc フィルタ
シングル DAC モードをサポート
低消費電力: 1.6 GSPS で 2.0 W、1.25 GSPS で 1.7 W、フル動作状態
72 ピン LFCSP パッケージを採用

アプリケーション

ワイヤレス通信: 3G/4G および MC-GSM 基地局、広帯域リピータ、ソフトウェア定義無線
広帯域通信: ポイント to ポイント、LMDS/MMDS
トランスミット・ダイバーシティー/MIMO
計装機器
自動テスト装置

概要

AD9142 は、広いダイナミックレンジを持つ 16 ビットのデュアル D/A コンバータ (DAC) であり、サンプル・レートは 1600 MSPS で、ナイキスト周波数までのマルチキャリア生成が可能です。AD9142 TxDAC+® は、複素デジタル変調、入力信号電力検出、さらにゲイン、位相、オフセットの補償などのダイレクト変換送信アプリケーション向けに最適化された機能を内蔵しています。DAC 出力は、アナログ・デバイセズの ADL537x F-MOD シリーズや ADRF670x シリーズのようなアナログ直交変調器とシームレスにインターフェースするように最適化されています。3 線式シリアル・ポート・インターフェースを使うと、多くの内部パラメータの書込み/読出しが可能です。フルスケール出力電流は、9 mA ~ 33 mA の範囲で設定することができます。AD9142 は 72 ピン LFCSP パッケージを採用しています。

製品のハイライト

1. 高度な低スプリアスおよび低歪みデザイン技術により、ベースバンドから高い中間周波数までの広帯域信号の高品質シンセシスが可能です。
2. 固有遅延変動が非常に小さいため、システムのソフトウェア・デザインとハードウェア・デザインが簡素化されます。多くのアプリケーションで複数チップの同期が容易です。
3. 新しい低消費電力アーキテクチャにより、電力効率 (mW/MHz/チャンネル) が 30% 向上しています。
4. 入力信号電力と FIFO エラー検出により、ダウンストリームのアナログ回路保護機能のデザインが簡素化されます。
5. プログラマブルな送信イネーブル機能を使うと、消費電力とウェイクアップ時間との間のバランスを容易にデザインすることができます。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2012 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長	1	同期化手順	33
アプリケーション	1	割込み要求動作	34
概要	1	割込みの動作メカニズム	34
製品のハイライト	1	割込みサービス・ルーチン	34
改訂履歴	3	温度センサー	35
機能ブロック図	4	DAC 入力クロックの設定	36
仕様	5	DACCLK 入力と REFCLK 入力の駆動	36
DC 仕様	5	クロックの直接供給	36
デジタル仕様	6	クロックの通倍	36
DAC 遅延仕様	7	PLL の設定値	37
遅延変動仕様 ¹	7	VCO チューニング帯域の設定	37
AC 仕様	7	VCO 帯域自動選択	37
動作速度仕様	8	VCO 帯域のマニュアル選択	37
絶対最大定格	9	アナログ出力	38
熱抵抗	9	トランスミット DAC 動作	38
ESD の注意	9	変調器へのインターフェース	39
ピン配置およびピン機能説明	10	ローカル発信器のリークと不要なサイドバンドの削減	40
代表的な性能特性	12	起動ルーチンの例	41
用語	17	デバイスの設定レジスタ・マップと説明	42
シリアル・ポートの動作	18	SPI 設定レジスタ	44
データ・フォーマット	18	パワーダウン・コントロール・レジスタ	44
シリアル・ポート・ピンの説明	18	割込みイネーブル 0 レジスタ	44
シリアル・ポートのオプション	18	割込みイネーブル 1 レジスタ	44
データ・インターフェース	20	割込みフラグ 0 レジスタ	45
LVDS 入力データ・ポート	20	割込みフラグ 1 レジスタ	45
ワード・インターフェース・モード	20	割込みセレクト 0 レジスタ	45
バイト・インターフェース・モード	20	割込みセレクト 1 レジスタ	46
データ・インターフェース構成オプション	20	DAC クロック・レシーバ・コントロール・レジスタ	46
インターフェースの遅延線	22	基準クロック・レシーバ・コントロール・レジスタ	46
FIFO 動作	23	PLL コントロール・レジスタ	47
FIFO のリセット	24	PLL コントロール・レジスタ	47
シリアル・ポートからの FIFO リセット	24	PLL コントロール・レジスタ	47
フレームからの FIFO リセット	24	PLL ステータス・レジスタ	48
デジタル・データパス	26	PLL ステータス・レジスタ	48
インターポレーション・フィルタ	26	IDAC FS 調整 LSB レジスタ	48
デジタル変調	28	IDAC FS 調整 MSB レジスタ	48
データパスの設定	29	QDAC FS 調整 LSB レジスタ	48
直交ゲインと位相のデジタル調整	29	QDAC FS 調整 MSB レジスタ	49
DC オフセットの調整	29	チップ温度センサー・コントロール・レジスタ	49
逆 Sinc フィルタ	30	チップ温度 LSB レジスタ	49
入力信号電力の検出と保護	30	チップ温度 MSB レジスタ	49
送信イネーブル機能	31	チップ ID レジスタ	49
デジタル機能の設定	31	割込み設定レジスタ	50
複数デバイスの同期と固定遅延	32	同期コントロール・レジスタ	50
非常に小さい固有遅延変動	32	フレーム・リセット・コントロール・レジスタ	50
遅延変動をさらに削減	32	FIFO レベル設定レジスタ	51
同期の実現	33	FIFO レベル・リードバック・レジスタ	51

FIFO コントロール・レジスタ	51	IDAC_GAIN_ADJ レジスタ	56
データ・フォーマット選択レジスタ	52	QDAC_GAIN_ADJ レジスタ	56
データバス・コントロール・レジスタ	52	ゲイン・ステップ・コントロール 0 レジスタ	56
インターポレーション・コントロール・レジスタ	52	ゲイン・ステップ・コントロール 1 レジスタ	56
オーバー・スレッシュホールド CTRL0 レジスタ	53	TX イネーブル・コントロール・レジスタ	57
オーバー・スレッシュホールド CTRL1 レジスタ	53	DAC 出力コントロール・レジスタ	57
オーバー・スレッシュホールド CTRL2 レジスタ	53	データ・レシーバ・テスト・コントロール・レジスタ	57
入力電力リードバック LSB レジスタ	53	データ・レシーバ・テスト・コントロール・レジスタ	57
入力電力リードバック MSB レジスタ	53	デバイス設定 0 レジスタ	58
NCO コントロール・レジスタ	54	Version レジスタ	58
NCO_FREQ_TUNING_WORD0 レジスタ	54	デバイス設定 1 レジスタ	58
NCO_FREQ_TUNING_WORD1 レジスタ	54	デバイス設定 2 レジスタ	58
NCO_FREQ_TUNING_WORD2 レジスタ	54	DAC 遅延とシステム・スキュー	59
NCO_FREQ_TUNING_WORD3 レジスタ	54	DAC 遅延の変動	59
NCO_PHASE_OFFSET0 レジスタ	54	FIFO 遅延の変動	59
NCO_PHASE_OFFSET1 レジスタ	55	クロック生成遅延の変動	60
IQ_PHASE_ADJ0 レジスタ	55	システム・スキューの補正	60
IQ_PHASE_ADJ1 レジスタ	55	パッケージとオーダー情報	61
IDAC_DC_OFFSET0 レジスタ	55	外形寸法	61
IDAC_DC_OFFSET1 レジスタ	55	オーダー・ガイド	61
QDAC_DC_OFFSET0 レジスタ	55		
QDAC_DC_OFFSET1 レジスタ	56		

改訂履歴

11/12—Revision 0: Initial Version

機能ブロック図

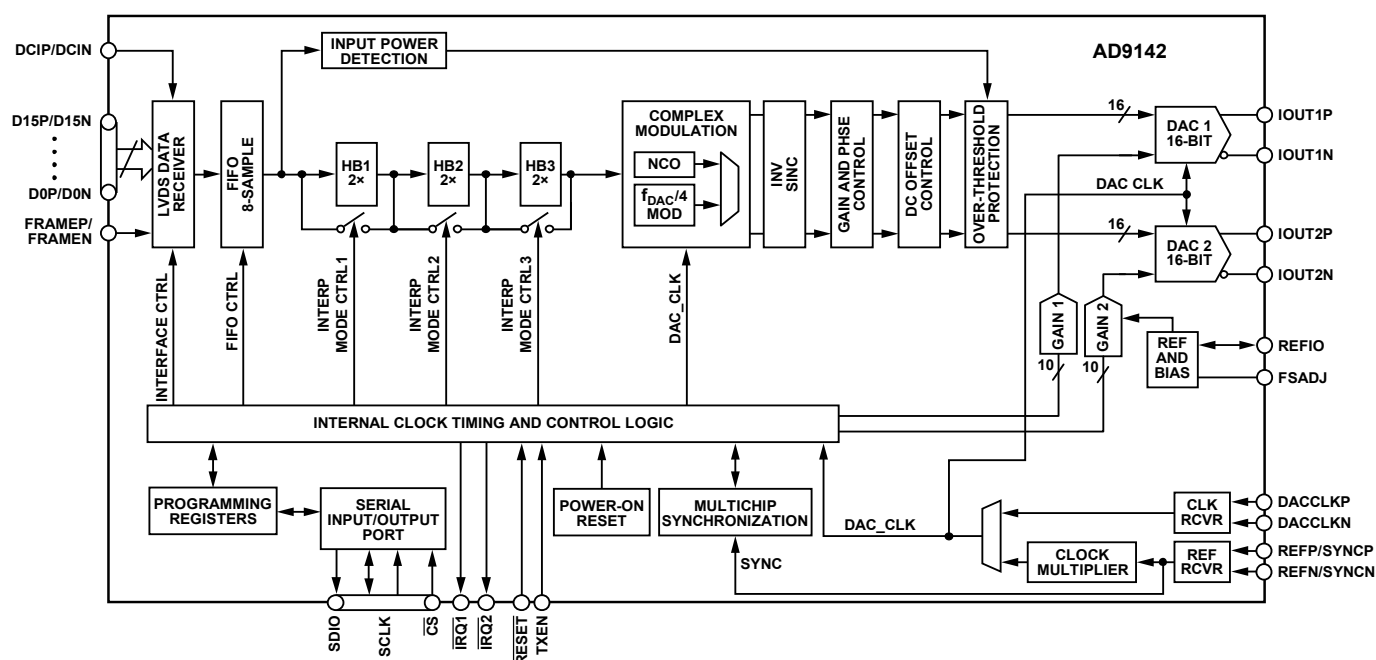


図 1.

仕様

DC 仕様

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 20 \text{ mA}$ 、最大サンプル・レート。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
RESOLUTION			16		Bits
ACCURACY					
Differential Nonlinearity (DNL)			± 2.1		LSB
Integral Nonlinearity (INL)			± 3.7		LSB
MAIN DAC OUTPUTS					
Offset Error	With internal reference Based on a 10 k Ω external resistor between FSADJ and AVSS	-0.001	0	+0.001	% FSR
Gain Error		-3.2	2	4.7	% FSR
Full-Scale Output Current		19.06	19.8	+20.6	mA
Output Compliance Range		-1.0		+1.0	V
Output Resistance			10		M Ω
Gain DAC Monotonicity			Guaranteed		
Settling Time to Within ± 0.5 LSB			20		ns
MAIN DAC TEMPERATURE DRIFT					
Offset			0.04		ppm/ $^{\circ}\text{C}$
Gain			100		ppm/ $^{\circ}\text{C}$
Reference Voltage			30		ppm/ $^{\circ}\text{C}$
REFERENCE					
Internal Reference Voltage		1.17		1.19	V
Output Resistance			5		k Ω
ANALOG SUPPLY VOLTAGES					
AVDD33		3.13	3.3	3.47	V
CVDD18		1.71	1.8	1.89	V
DIGITAL SUPPLY VOLTAGES					
DVDD18		1.71	1.8	1.89	V
POWER CONSUMPTION					
2 $\times$ Mode	$f_{\text{DAC}} = 491.52 \text{ MSPS}$				
NCO OFF			700		mW
NCO ON	$f_{\text{DAC}} = 737.28 \text{ MSPS}$		870		mW
4 $\times$ Mode					
NCO OFF	$f_{\text{DAC}} = 983.04 \text{ MSPS}$		836		mW
NCO ON			1085		mW
4 $\times$ Mode	$f_{\text{DAC}} = 1600 \text{ MSPS}$				
NCO OFF			1030		mW
NCO ON	$f_{\text{DAC}} = 1474.56 \text{ MSPS}$		1365		mW
8 $\times$ Mode					
NCO OFF			1315		mW
NCO ON			1815		mW
Phase-Lock Loop			70		mW
Inverse Sinc			113		mW
Reduced Power Mode (Power Down)				96.6	mW
AVDD33				1.5	mA
CVDD18				42.3	mA
DVDD18				8.6	mA
OPERATING RANGE		-40	+25	+85	$^{\circ}\text{C}$

デジタル仕様

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 20 \text{ mA}$ 、最大サンプル・レート。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
CMOS INPUT LOGIC LEVEL						
Input						
Logic High		DVDD18 = 1.8 V	1.2			V
Logic Low		DVDD18 = 1.8 V			0.6	V
CMOS OUTPUT LOGIC LEVEL						
Output						
Logic High		DVDD18 = 1.8 V	1.4			V
Logic Low		DVDD18 = 1.8 V			0.4	V
LVDS RECEIVER INPUTS						
Input Voltage Range	V_{IA} or V_{IB}		825		1675	mV
Input Differential Threshold	V_{IDTH}	Data and FRAME inputs	-100		+100	mV
		DCI input	-225		+225	mV
Input Differential Hysteresis	V_{IDTHH} to V_{IDTHL}			20		mV
Receiver Differential Input Impedance	R_{IN}			120		Ω
DAC UPDATE RATE					1600	MSPS
DAC Adjusted Update Rate		2× interpolation			250	MSPS
DAC CLOCK INPUT (DACCLKP, DACCLKN)						
Differential Peak-to-Peak Voltage			100	500	2000	mV
Common-Mode Voltage		Self biased input, ac-coupled		1.25		V
REFCLK/SYNCCLK INPUT (REFP/SYNCP, REFN/SYCN)						
Differential Peak-to-Peak Voltage			100	500	2000	mV
Common-Mode Voltage				1.25		V
Input Clock Frequency		$1 \text{ GHz} \leq f_{\text{VCO}} \leq 2.1 \text{ GHz}$			450	MHz
SERIAL PORT INTERFACE						
Maximum Clock Rate	SCLK		40			MHz
Minimum Pulse Width						
High	t_{PWH}				12.5	ns
Low	t_{PWL}				12.5	ns
Setup Time	t_{DS}	SDIO to SCLK	1.5			ns
Hold Time	t_{DH}	SDIO to SCLK	0.68			ns
Setup Time	t_{DCSB}	$\overline{\text{CS}}$ to SCLK	2.38	1.4		ns

DAC 遅延仕様

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 20 \text{ mA}$ 、FIFO レベルを 4 (FIFO の深さの 1/2)に設定。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
WORD INTERFACE MODE	Fine/coarse modulation, inverse sinc, gain/phase compensation off				
2× Interpolation			134		DACCLK cycles
4× Interpolation			244		DACCLK cycles
8× Interpolation			481		DACCLK cycles
BYTE INTERFACE MODE	Fine/coarse modulation, inverse sinc, gain/phase compensation off				
2× Interpolation			145		DACCLK cycles
4× Interpolation			271		DACCLK cycles
8× Interpolation			506		DACCLK cycles
INDIVIDUAL FUNCTION BLOCKS					
Modulation					
Fine			17		DACCLK cycles
Coarse			10		DACCLK cycles
Inverse Sinc			20		DACCLK cycles
Phase Compensation			12		DACCLK cycles
Gain Compensation			16		DACCLK cycles

遅延変動仕様¹

表 4.

Parameter	Min	Typ	Max	Unit
DAC LATENCY VARIATION				
SYNC Off			2	DACCLK cycles
SYNC On			1	DACCLK cycles

¹ DAC 遅延は、データ・サンプルが AD9142 入力で入力されてからアナログ出力が変化を開始するまでの経過時間として定義されます。

AC 仕様

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD33 = 3.3 \text{ V}$ 、 $DVDD18 = 1.8 \text{ V}$ 、 $CVDD18 = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 20 \text{ mA}$ 、最大サンプル・レート。

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SPURIOUS-FREE DYNAMIC RANGE (SFDR)	−14 dBFS single tone				
$f_{\text{DAC}} = 737.28 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$				
BW = 125 MHz			85		dBc
BW = 270 MHz			80		dBc
$f_{\text{DAC}} = 983.04 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$				
BW = 360MHz			85		dBc
$f_{\text{DAC}} = 1228.8 \text{ MSPS}$	$f_{\text{OUT}} = 280 \text{ MHz}$				
BW = 200MHz			85		dBc
BW = 500MHz			75		dBc
$f_{\text{DAC}} = 1474.56 \text{ MSPS}$	$f_{\text{OUT}} = 10 \text{ MHz}$				
BW = 737MHz			85		dBc
BW = 400MHz	$f_{\text{OUT}} = 280 \text{ MHz}$				
			80		dBc
TWO-TONE INTERMODULATION DISTORTION (IMD)	−6 dBFS each tone				
$f_{\text{DAC}} = 737.28 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$				
			80		dBc
$f_{\text{DAC}} = 983.04 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$				
			82		dBc
$f_{\text{DAC}} = 1228.8 \text{ MSPS}$	$f_{\text{OUT}} = 280 \text{ MHz}$				
			80		dBc
$f_{\text{DAC}} = 1474.56 \text{ MSPS}$	$f_{\text{OUT}} = 10 \text{ MHz}$				
			85		dBc
	$f_{\text{OUT}} = 280 \text{ MHz}$				
			79		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE SPECTRAL DENSITY (NSD)	Eight-tone, 500 kHz tone spacing				
$f_{\text{DAC}} = 737.28 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$		−160		dBm/Hz
$f_{\text{DAC}} = 983.04 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$		−161.5		dBm/Hz
$f_{\text{DAC}} = 1228.8 \text{ MSPS}$	$f_{\text{OUT}} = 280 \text{ MHz}$		−164.5		dBm/Hz
$f_{\text{DAC}} = 1474.56 \text{ MSPS}$	$f_{\text{OUT}} = 10 \text{ MHz}$		−166		dBm/Hz
	$f_{\text{OUT}} = 280 \text{ MHz}$		−162.5		dBm/Hz
W-CDMA ADJACENT CHANNEL LEAKAGE RATIO (ACLR)	Single carrier				
$f_{\text{DAC}} = 983.04 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$		81		dBc
$f_{\text{DAC}} = 1228.8 \text{ MSPS}$	$f_{\text{OUT}} = 20 \text{ MHz}$		83		dBc
	$f_{\text{OUT}} = 280 \text{ MHz}$		80		dBc
$f_{\text{DAC}} = 1474.56 \text{ MSPS}$	$f_{\text{OUT}} = 20 \text{ MHz}$		81		dBc
	$f_{\text{OUT}} = 280 \text{ MHz}$		80		dBc
W-CDMA SECOND (ACLR)	Single carrier				
$f_{\text{DAC}} = 983.04 \text{ MSPS}$	$f_{\text{OUT}} = 200 \text{ MHz}$		85		dBc
$f_{\text{DAC}} = 1228.8 \text{ MSPS}$	$f_{\text{OUT}} = 20 \text{ MHz}$		86		dBc
	$f_{\text{OUT}} = 280 \text{ MHz}$		86		dBc
$f_{\text{DAC}} = 1474.56 \text{ MSPS}$	$f_{\text{OUT}} = 20 \text{ MHz}$		86		dBc
	$f_{\text{OUT}} = 280 \text{ MHz}$		85		dBc

動作速度仕様

表 6.

Interpolation Factor	DVDD18, CVDD18 = 1.8 V ± 5%		DVDD18, CVDD18 = 1.8 V ± 2% or 1.9 V ± 5%	
	$f_{\text{INTERFACE}}$ (Mbps) Max	f_{DAC} (Mbps) Max	$f_{\text{INTERFACE}}$ (Mbps) Max	f_{DAC} (Mbps) Max
2×	250	500	250	500
4×	250	1000	250	1000
8×	187.5	1500	200	1600

絶対最大定格

表 7.

Parameter	Rating
AVDD33 to AVSS, EPAD, CVSS, DVSS	−0.3 V to +3.6 V
DVDD18, CVDD18 to AVSS, EPAD, CVSS, DVSS	−0.3 V to +2.1 V
AVSS to EPAD, CVSS, DVSS	−0.3 V to +0.3 V
EPAD to AVSS, CVSS, DVSS	−0.3 V to +0.3 V
CVSS to AVSS, EPAD, DVSS	−0.3 V to +0.3 V
DVSS to AVSS, EPAD, CVSS	−0.3 V to +0.3 V
FSADJ, REFIO, IOUT1P/IOUT1N, IOUT2P/IOUT2N to AVSS	−0.3 V to AVDD33 + 0.3 V
D[15: 0]P/D[15: 0]N, FRAMEP/FRAMEN, DCIP/DCIN to EPAD, DVSS	−0.3 V to DVDD18 + 0.3 V
DACCLKP/DACCLKN, REFP/SYNCP/REFN/SYCN to CVSS	−0.3 V to CVDD18 + 0.3 V
RESET, $\overline{\text{IRQ1}}$, $\overline{\text{IRQ2}}$, CS, SCLK, SDIO to EPAD, DVSS	−0.3 V to DVDD18 + 0.3 V
Junction Temperature	125°C
Storage Temperature Range	−65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

72 ピン LFCSP のエクスポーズド・パッド(EPAD)は、グラウンド・プレーン(AVSS)へハンダ付けする必要があります。EPAD は、ボードに対する電氣的、熱的、機械的な接続を提供します。

θ_{JA} 、 θ_{JB} 、 θ_{JC} の typ 値は、自然空冷の 4 層ボードに対して規定します。空気流があると放熱効果が良くなるため、実質的に θ_{JA} と θ_{JB} が小さくなります。

表 8.熱抵抗

Package	θ_{JA}	θ_{JB}	θ_{JC}	Unit	Conditions
72-Lead LFCSP	20.7	10.9	1.1	°C/W	EPAD soldered to ground plane

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

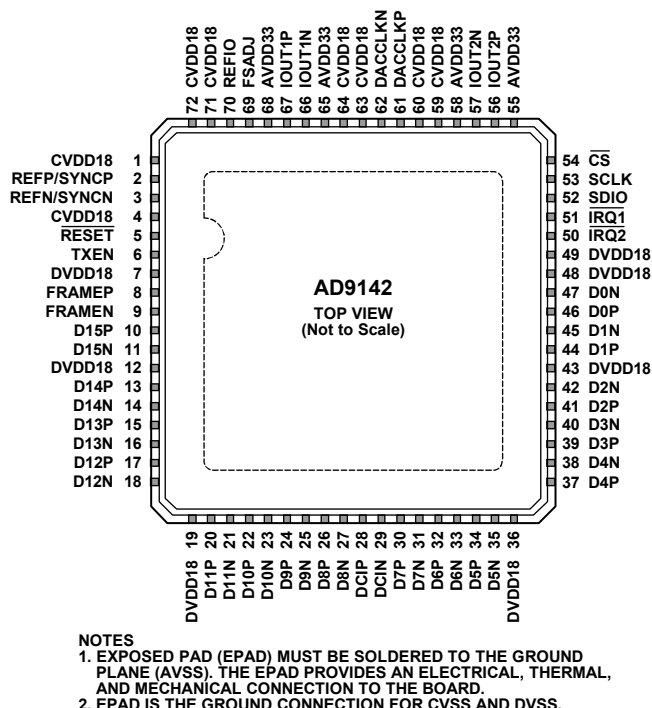


図 2. ピン配置

表 9. ピン機能の説明

ピン番号	記号	説明
1	CVDD18	1.8 V PLL 電源。CVDD18 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
2	REFP/SYNCP	PLL 基準クロック入力、正。
3	REFN/SYNCN	PLL 基準クロック入力、負。
4	CVDD18	1.8 V PLL 電源。CVDD18 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
5	RESET	リセット、アクティブ・ロー。DVDD18 を基準とする CMOS レベル。推奨リセット・パルス長は 1 μ s。
6	TXEN	アクティブ・ハイの送信パス・イネーブル。DVDD18 を基準とする CMOS レベル。このピンをロー・レベルにすると、DAC 内で 3 つの選択可能な動作が開始されます。詳細については、表 77 のレジスタ 0x43 を参照してください。
7	DVDD18	1.8 V デジタル電源。ピン 7 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、RESET、IRQ1、IRQ2 へ電源を供給します。
8	FRAMEP	フレーム入力、正。
9	FRAMEN	フレーム入力、負。
10	D15P	データビット 15 (MSB)、正。
11	D15N	データビット 15 (MSB)、負。
12	DVDD18	1.8 V デジタル電源。ピン 12 からデジタル・コアとデジタル・データ・ポートの電源を供給します。
13	D14P	データビット 14、正。
14	D14N	データビット 14、負。
15	D13P	データビット 13、正。
16	D13N	データビット 13、負。
17	D12P	データビット 12、正。
18	D12N	データビット 12、負。
19	DVDD18	1.8 V デジタル電源。ピン 19 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力/出力ピン、RESET、IRQ1、IRQ2 へ電源を供給します。
20	D11P	データビット 11、正。
21	D11N	データビット 11、負。
22	D10P	データビット 10、正。
23	D10N	データビット 10、負。
24	D9P	データビット 9、正。
25	D9N	データビット 9、負。
26	D8P	データビット 8、正。

ピン番号	記号	説明
27	D8N	データビット 8、負。
28	DCIP	データ・クロック入力、正。
29	DCIN	データ・クロック入力、負。
30	D7P	データビット 7、正。
31	D7N	データビット 7、負。
32	D6P	データビット 6、正。
33	D6N	データビット 6、負。
34	D5P	データビット 5、正。
35	D5N	データビット 5、負。
36	DVDD18	1.8 V デジタル電源。ピン 36 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力／出力ピン、 <u>RESET</u> 、 <u>IRQ1</u> 、 <u>IRQ2</u> へ電源を供給します。
37	D4P	データビット 4、正。
38	D4N	データビット 4、負。
39	D3P	データビット 3、正。
40	D3N	データビット 3、負。
41	D2P	データビット 2、正。
42	D2N	データビット 2、負。
43	DVDD18	1.8 V デジタル電源。ピン 43 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力／出力ピン、 <u>RESET</u> 、 <u>IRQ1</u> 、 <u>IRQ2</u> へ電源を供給します。
44	D1P	データビット 1、正。
45	D1N	データビット 1、負。
46	D0P	データビット 0 (LSB)、正。
47	D0N	データビット 0 (LSB)、負。
48	DVDD18	1.8 V デジタル電源。ピン 48 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力／出力ピン、 <u>RESET</u> 、 <u>IRQ1</u> 、 <u>IRQ2</u> へ電源を供給します。
49	DVDD18	1.8 V デジタル電源。ピン 49 からデジタル・コア、デジタル・データ・ポート、シリアル・ポート入力／出力ピン、 <u>RESET</u> 、 <u>IRQ1</u> 、 <u>IRQ2</u> へ電源を供給します。
50	<u>IRQ2</u>	セカンド割込み要求。オープン・ドレイン、アクティブ・ロー出力。10 k Ω の外付けプルアップ抵抗で DVDD18 へ接続してください。
51	<u>IRQ1</u>	ファースト割込み要求。オープン・ドレイン、アクティブ・ロー出力。10 k Ω の外付けプルアップ抵抗で DVDD18 へ接 続してください。
52	SDIO	シリアル・ポート・データ入力／出力。DVDD18 を基準とする CMOS レベル。
53	SCLK	シリアル・ポート・クロック入力。DVDD18 を基準とする CMOS レベル。
54	<u>CS</u>	シリアル・ポート・チップ・セレクト。アクティブ・ロー(DVDD18 を基準とする CMOS レベル)。
55	AVDD33	3.3 V のアナログ電源。
56	IOUT2P	QDAC 正電流出力。
57	IOUT2N	QDAC 負電流出力。
58	AVDD33	3.3 V のアナログ電源。
59	CVDD18	1.8 V クロック電源。クロック・レシーバとクロック分配器へ電源を供給します。
60	CVDD18	1.8 V クロック電源。クロック・レシーバとクロック分配器へ電源を供給します。
61	DACCLKN	DAC クロック入力、負。
62	DACCLKP	DAC クロック入力、正。
63	CVDD18	1.8 V クロック電源。クロック・レシーバとクロック分配器へ電源を供給します。
64	CVDD18	1.8 V クロック電源。クロック・レシーバとクロック分配器へ電源を供給します。
65	AVDD33	3.3 V のアナログ電源。
66	IOUT1N	IDAC 負電流出力。
67	IOUT1P	IDAC 正電流出力。
68	AVDD33	3.3 V のアナログ電源。
69	FSADJ	フルスケール電流出力の調整。このピンと AVSS の間に 10 k Ω の抵抗を接続します。
70	REFIO	リファレンス電圧。公称 1.2 V 出力。REFIO を AVSS へデカップリングしてください。
71	CVDD18	1.8 V クロック電源。ピン 71 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
72	CVDD18	1.8 V クロック電源。ピン 72 から、クロック・レシーバ、クロック通倍器、クロック分配器へ電源を供給します。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッド(EPAD)は、グラウンド・プレーン(AVSS)へハンダ付けする必要 があります。EPAD は、ボードに対する電氣的、熱的、機械的な接続を提供します。

代表的な性能特性

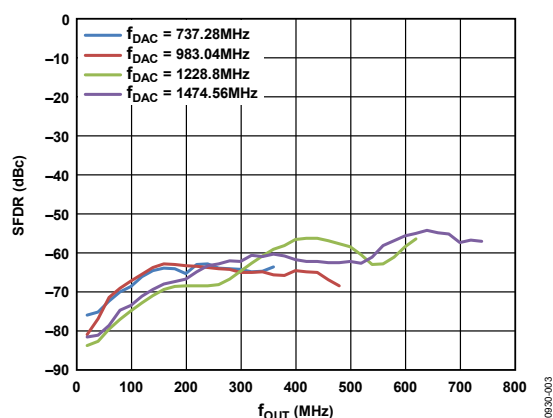


図 3. 様々な f_{DAC} でのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン (0 dBFS) SFDR

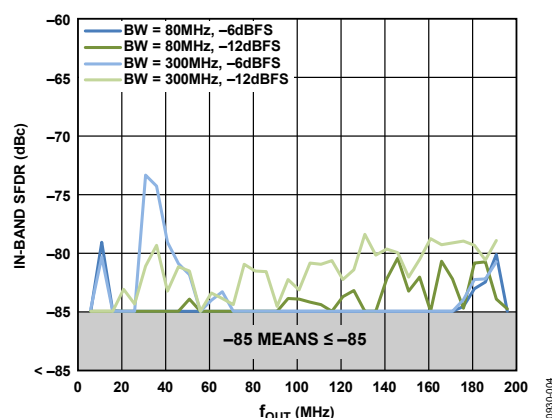


図 6. 80 MHz 帯域幅および 300 MHz 帯域幅内 f_{OUT} 対シングル・トーン SFDR (2 次高調波を除く)、 $f_{DAC} = 737.28$ MHz

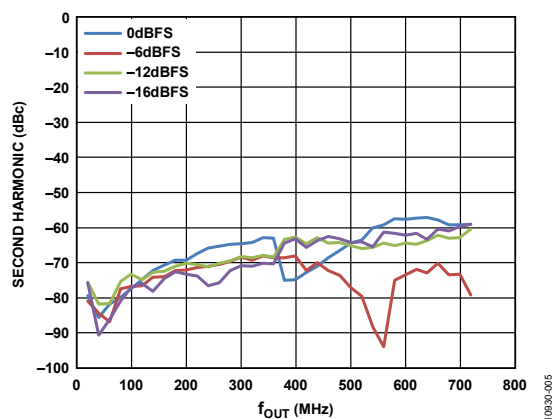


図 4. 様々なデジタル・バックオフでのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン 2 次高調波
 $f_{DAC} = 1474.56$ MHz

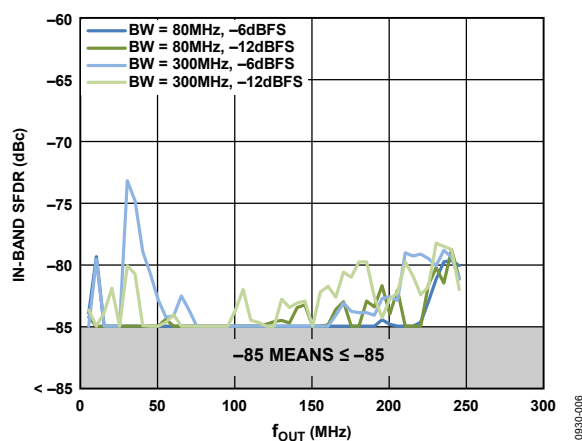


図 7. 80 MHz 帯域幅および 300 MHz 帯域幅内 f_{OUT} 対シングル・トーン SFDR (2 次高調波を除く)、 $f_{DAC} = 983.04$ MHz

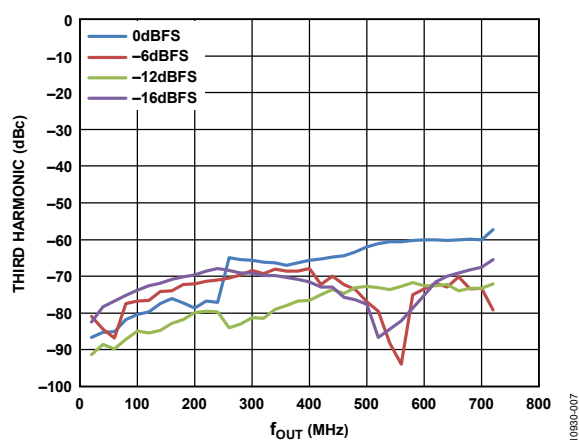


図 5. 様々なデジタル・バックオフでのファースト・ナイキスト・ゾーン内 f_{OUT} 対シングル・トーン 3 次高調波
 $f_{DAC} = 1474.56$ MHz

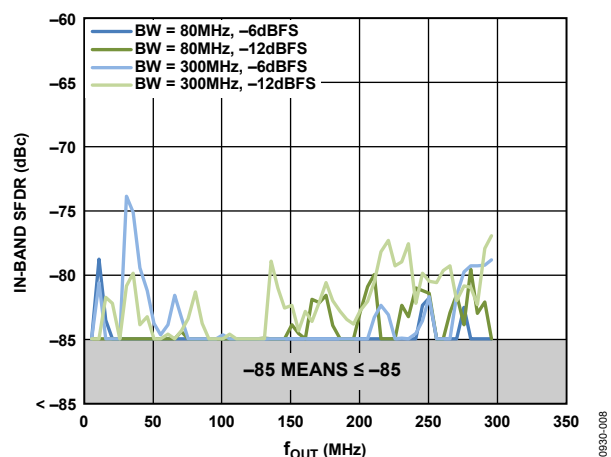


図 8. 80 MHz 帯域幅および 300 MHz 帯域幅内 f_{OUT} 対シングル・トーン SFDR (2 次高調波を除く)、 $f_{DAC} = 1,228.8$ MHz

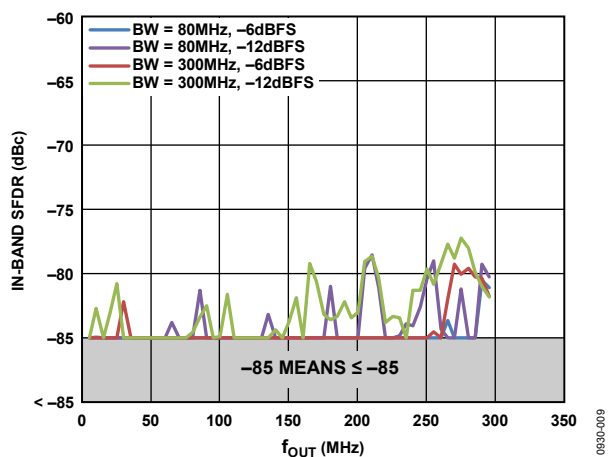


図 9. 80 MHz 帯域幅および 300 MHz 帯域幅内 f_{OUT} 対シングル・トーン SFDR (2 次高調波を除く)、 $f_{DAC} = 1,474.56 \text{ MHz}$

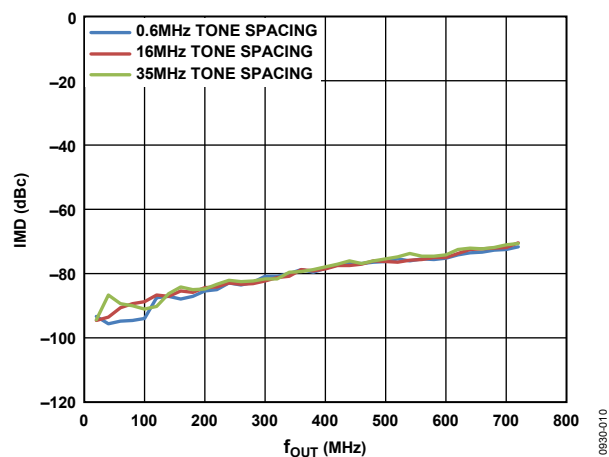


図 12. 様々なトーン間隔での f_{OUT} 対 2 トーン 3 次 IMD
 $f_{DAC} = 1474.56 \text{ MHz}$

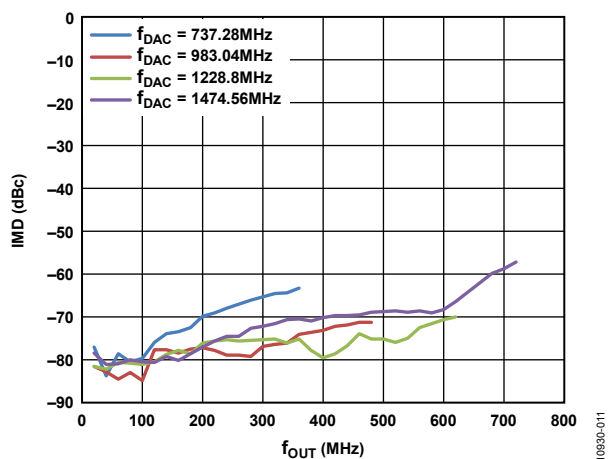


図 10. 様々な f_{DAC} での f_{OUT} 対 2 トーン 3 次 IMD

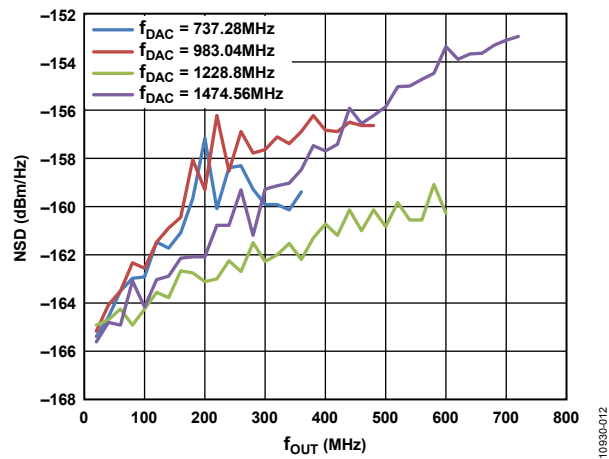


図 13. 様々な f_{DAC} での f_{OUT} 対シングル・トーン(0 dBFS) NSD

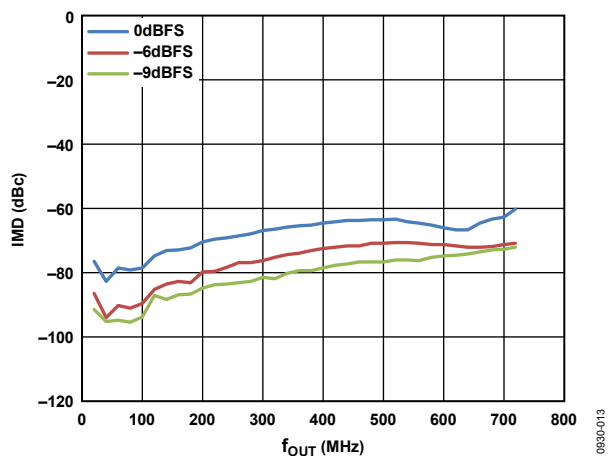


図 11. 様々なデジタル・バックオフでの f_{OUT} 対 2 トーン 3 次 IMD、 $f_{DAC} = 1474.56 \text{ MHz}$

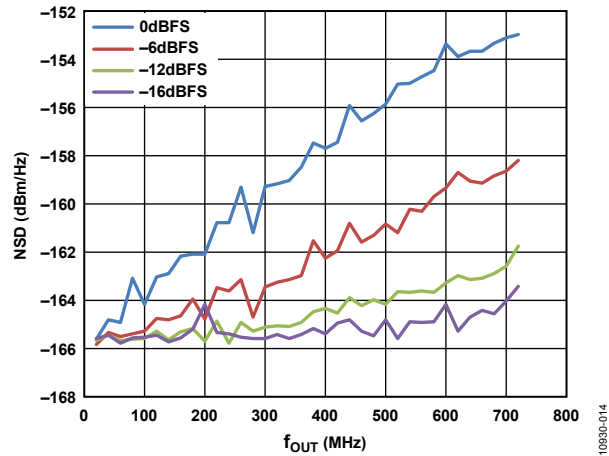


図 14. 様々なデジタル・バックオフでの f_{OUT} 対シングル・トーン NSD、 $f_{DAC} = 1474.56 \text{ MHz}$

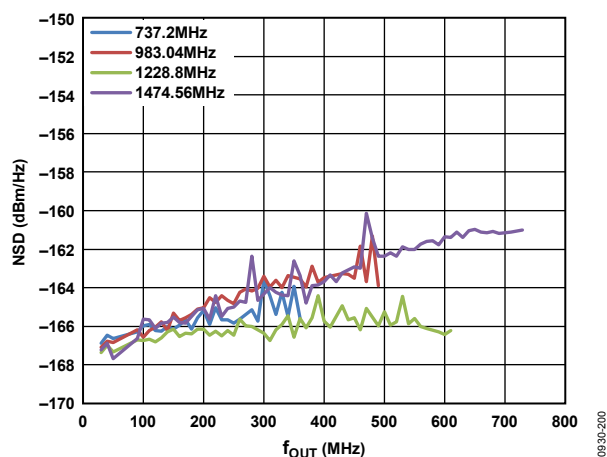


図 15. 様々な f_{DAC} での f_{OUT} 対 1C WCDMA NSD

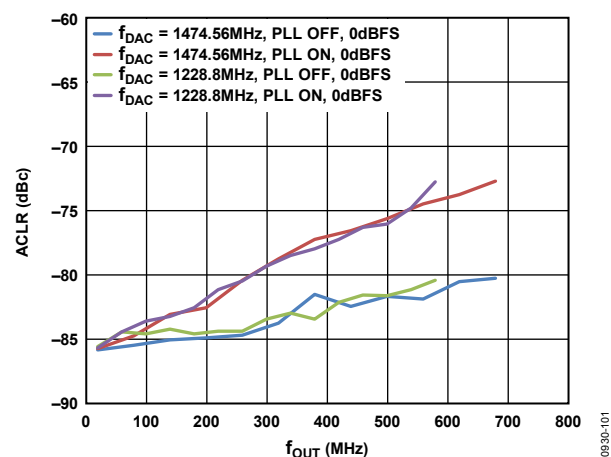


図 18. f_{OUT} 対 1C WCDMA 2nd 隣接 ACLR、PLL オン/オフ

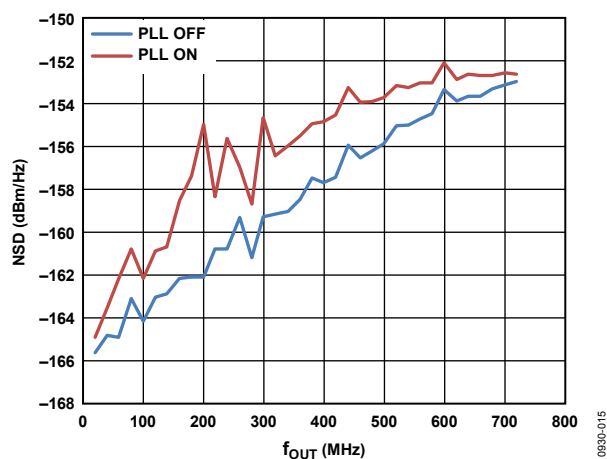


図 16. f_{OUT} 対シングル・トーン NSD、 $f_{DAC} = 1474.28$ MHz
PLL オン/オフ

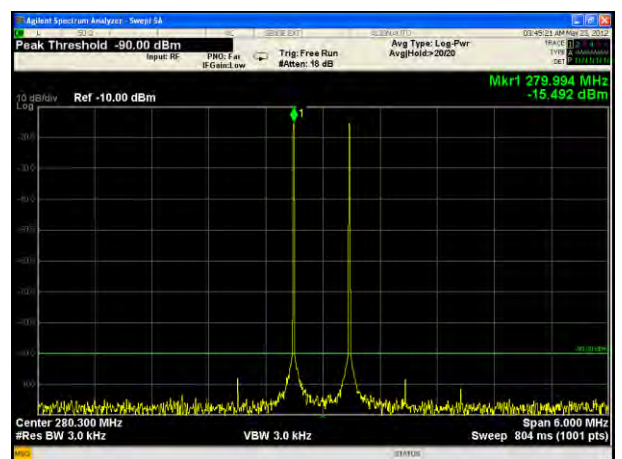


図 19. 2 トーン 3 次 IMD 性能、IF = 280 MHz
 $f_{DAC} = 1474.28$ MHz

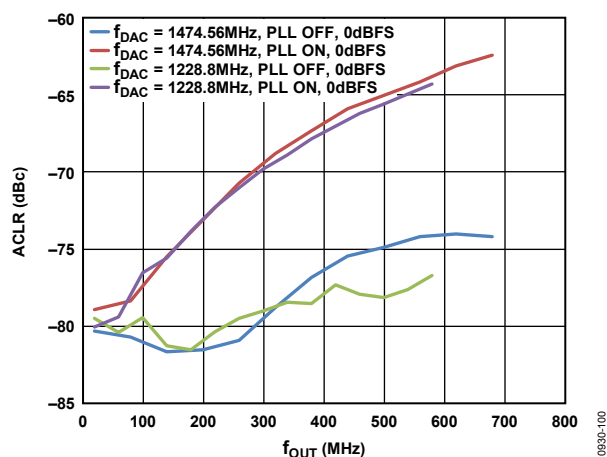


図 17. f_{OUT} 対 1C WCDMA 1st 隣接 ACLR、PLL オン/オフ

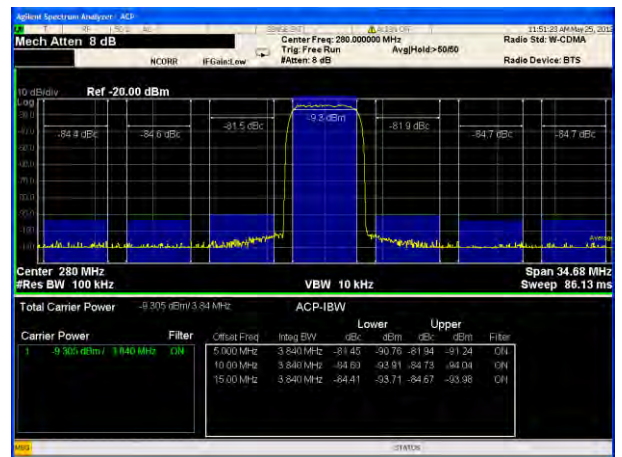


図 20. 1C WCDMA ACLR 性能、IF = 280 MHz
 $f_{DAC} = 1474.28$ MHz

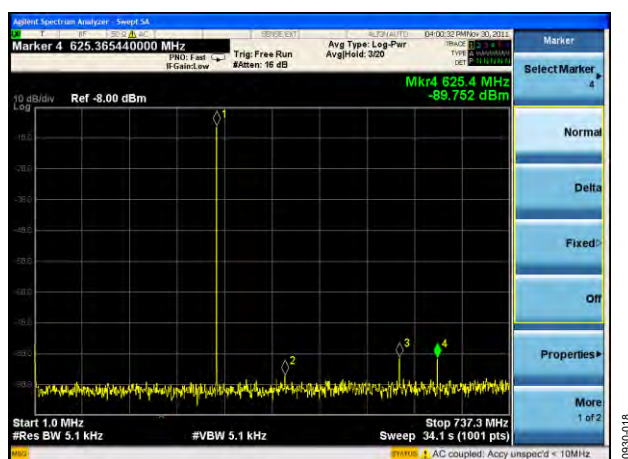


図 21. シングル・トーン $f_{DAC} = 1474.56$ MHz、 $f_{OUT} = 280$ MHz
-14 dBFS

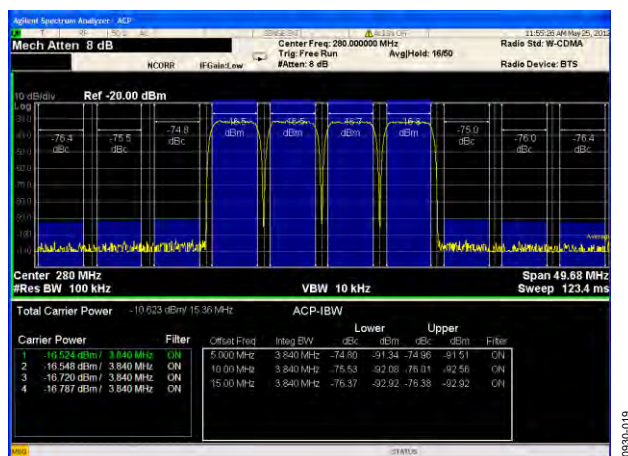


図 22. AC WCDMA ACLR 性能、IF = 280 MHz
 $f_{DAC} = 1474.28$ MHz

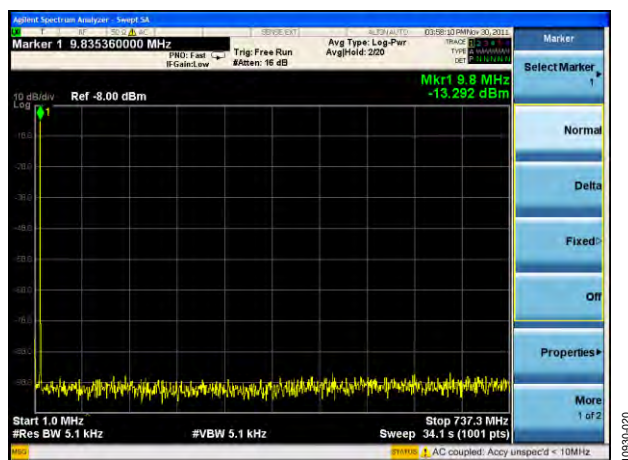


図 23. シングル・トーン SFDR、 $f_{DAC} = 1474.56$ MHz
4×インターポレーション、 $f_{OUT} = 10$ MHz、-14 dBFS

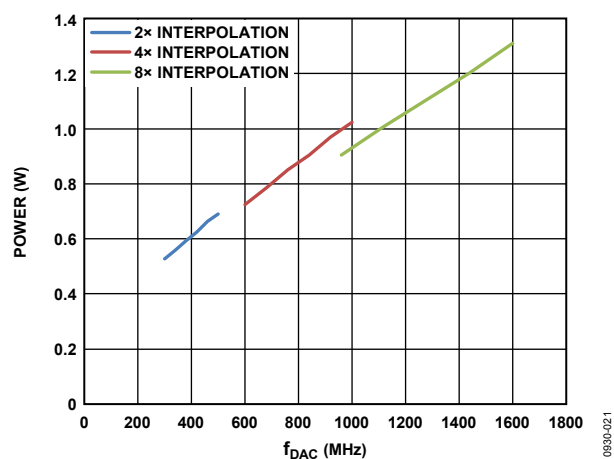


図 24. 様々なインターポレーションでの f_{DAC} 対総合消費電力

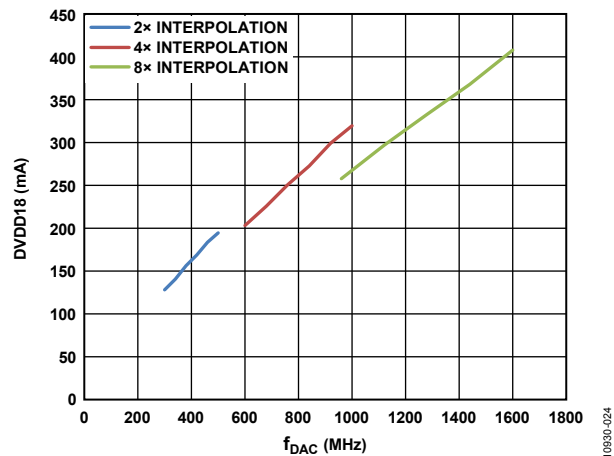


図 25. 様々なインターポレーションでの f_{DAC} 対 DVDD18 電流

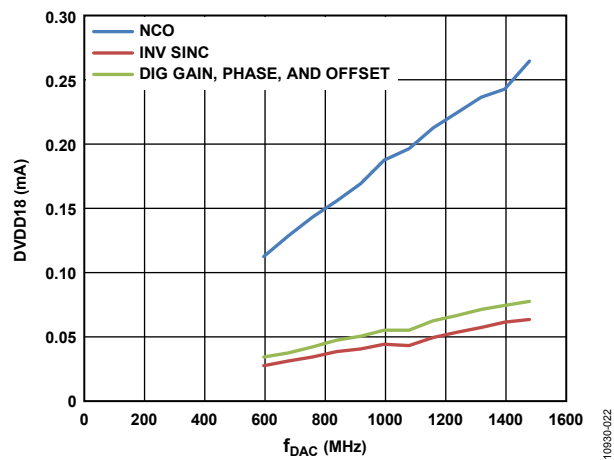


図 26. 様々なデジタル機能での f_{DAC} 対 DVDD18 電流

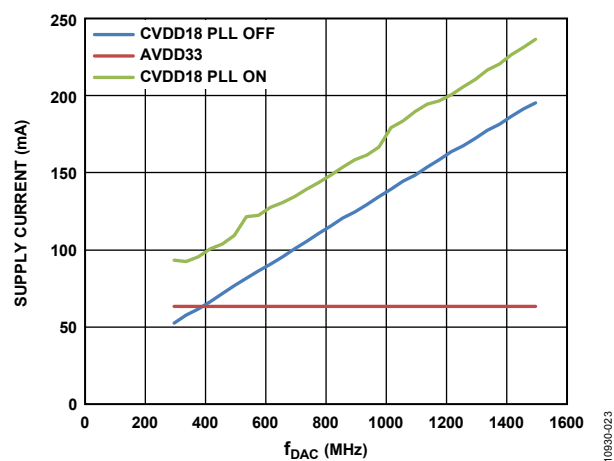


図 27. f_{DAC} 対 CVDD18、AVDD33 電流

用語

積分非直線性(INL)

INL は、ゼロスケールとフルスケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

オフセット誤差

出力電流と理論 0 mA との差をオフセット誤差と呼びます。IOUTIP の場合、全入力が 0 のとき、0 mA の出力が期待されます。IOUTIN の場合、全入力が 1 のとき、0 mA の出力が期待されます。

ゲイン誤差

理論出力範囲と実際の出力範囲の差をいいます。実際のスパンは、全入力ビットが 1 に設定されたときの出力と全入力ビットが 0 に設定されたときの出力との差として定義されます。

出力コンプライアンス・レンジ

出力コンプライアンス・レンジは、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度(25°C)時の値から T_{MIN} または T_{MAX} 時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフルスケール範囲(FSR)に対する ppm 値で表されます。リファレンス・ドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

電源電圧除去(PSR)

電源が最小規定電圧値から最大規定電圧値へ変化したときのフルスケール出力の最大変化をいいます。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

スプリアス・フリー・ダイナミックレンジ(SFDR)

SFDR は、出力信号のピーク振幅と DC から DAC のナイキスト周波数までの範囲にあるピーク・スプリアス信号との差をデシベルで表したものです。一般に、この帯域内のエネルギーはインターポレーション・フィルタにより除去されます。したがって、この仕様はインターポレーション・フィルタの効果と DAC 出力でのその他の寄生混入パスの影響を規定します。

信号対ノイズ比(SNR)

SNR は、測定した出力信号 rms 値の、ナイキスト周波数より下の全スペクトル成分の rms 値総和から 6 次までの高調波成分と DC 成分を除いた分に対する比です。SNR は、デシベル値で表されます。

インターポレーション・フィルタ

DAC へのデジタル入力が f_{DATA} の倍数レート(インターポレーション・レート)でサンプルされる場合、デジタル・フィルタは $f_{DATA}/2$ 近くに急峻な遷移帯域を持つように構成することができます。 f_{DAC} (出力データレート)の近くに現れるイメージは大きく減衰させることができます。

隣接チャンネル・リーク比(ACLR)

ACLR は、あるチャンネルと隣接チャンネルの間で測定したキャリア電力(dBc)間の比を dBc で表した値。

複素イメージ除去比

従来型両側波帯アップ・コンバージョンでは、2 次 IF 周波数の周辺に 2 個のイメージが発生します。これらのイメージは、トランスミッタ電力とシステム帯域幅を浪費することになります。2 番目の複素変調器の実数部を最初の複素変調器に直列に配置することにより、2 次 IF 周辺の上側または下側の周波数イメージを除去することができます。

シリアル・ポートの動作

シリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準マイクロコントローラ／マイクロプロセッサと容易にインターフェースすることができます。シリアル I/O は、モトローラ社の SPI プロトコルや Intel®社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、AD9142 を設定するすべてのレジスタに対してリード／ライト・アクセスが可能になります。MSB ファーストまたは LSB ファーストの転送フォーマットをサポートしています。このシリアル・ポート・インターフェースは、3 線式専用インターフェースです。入力と出力は、1 本の入力／出力ピン(SDIO)を共用しています。

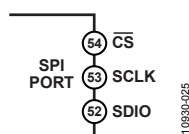


図 28. シリアル・ポート・インターフェース・ピン

AD9142 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル(デバイスに対する命令バイトの書込み)であり、最初の 16 個の SCLK 立上がりエッジを使います。この命令ワードは、データ転送サイクルすなわち通信サイクルのフェーズ 2 についての情報をシリアル・ポート・コントローラに提供します。フェーズ 1 の命令ワードは、後続のデータ転送が読みまたは書込みのいずれかを指定し、さらに後続データ転送の開始レジスタ・アドレスを指定します。

$\overline{CS}$ ピンにハイ・レベルを入力し、続いてロー・レベルを入力すると、シリアル・ポートのタイミングが命令サイクルの初期状態にリセットされます。この状態から次の 16 個の SCLK 立上がりエッジで、現在の I/O 動作の命令ビットが表されます。

残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、デバイスとシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 は、1 データバイトの転送です。周波数チューニング・ワードと NCO 位相オフセットを除く各転送バイトの最終ビットが書込まれると、レジスタは直ちに变化します。周波数チューニング・ワードと NCO 位相オフセットは、周波数チューニング・ワード(FTW)更新ビットがセットされた場合にのみ変化します。

データ・フォーマット

命令バイトは表 10 に示す情報から構成されています。

表 10. シリアル・ポート命令ワード

I15 (MSB)	I[14: 0]
R/W	A[14: 0]

R/W (命令ワードのビット 15)は、命令ワードの書込み後に、読みしと書込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読みし動作を、ロジック 0 は書込み動作を、それぞれ表します。

A14～A0 (命令ワードのビット 14～ビット 0)は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、A14 が開始アドレスで、残りのレジスタ・アドレスは SPI_LSB_FIRST ビットに基いてデバイスが生成します。

シリアル・ポート・ピンの説明

シリアル・クロック(SCLK)

シリアル・クロック・ピンは、デバイスとの間のデータを同期化し、内部ステート・マシンを動作させます。SCLK の最大周波数は 40 MHz です。すべてのデータ入力は、SCLK の立上がりエッジでレジスタに入力されます。すべてのデータは SCLK の立下がりエッジで出力されます。

チップ・セレクト($\overline{CS}$)

$\overline{CS}$ は、アクティブ・ロー入力で、通信サイクルの開始とゲーティングを行います。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。 $\overline{CS}$ 入力が高レベルのとき、SDIO ピンは高インピーダンス状態になります。通信サイクルでは、 $\overline{CS}$ は常にロー・レベルである必要があります。

シリアル・データ I/O (SDIO)

SDIO ピンは双方向のデータラインです。

シリアル・ポートのオプション

シリアル・ポートでは、MSB ファーストと LSB ファーストのデータ・フォーマットをサポートすることができます。この機能は、SPI_LSB_FIRST ビット(レジスタ 0x00、ビット 6)から制御されます。デフォルトは MSB ファーストです(LSB_FIRST = 0)。

SPI_LSB_FIRST = 0 (MSB ファースト)の場合、命令とデータバイトは、MSB から LSB への順序で書込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データバイトのレジスタ・アドレスを含む命令ワードから開始されます。後続のデータバイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポートの内部ワード・アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してデクリメントします。

SPI_LSB_FIRST = 1 (LSB ファースト)の場合、命令ビットとデータビットは、LSB から MSB への順序で書込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データバイトのレジスタ・アドレスを含む命令ワードから開始されます。後続のデータバイトは、下位アドレスから上位アドレスの順で続く必要があります。LSB ファースト・モードでは、シリアル・ポートの内部ワード・アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してインクリメントします。

MSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラのデータ・アドレスは、複数バイト I/O 動作に対して、書込まれたデータ・アドレスから 0x00 へ向かってデクリメントされます。LSB ファースト・モードがアクティブの場合、シリアル・ポート・コントローラのデータ・アドレスは、複数バイト I/O 動作に対して、書込まれたデータ・アドレスから 0xFF へ向かってインクリメントされます。

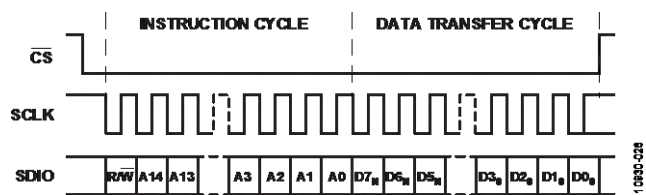


図 29. シリアル・レジスタ・インターフェースのタイミング、MSB ファースト

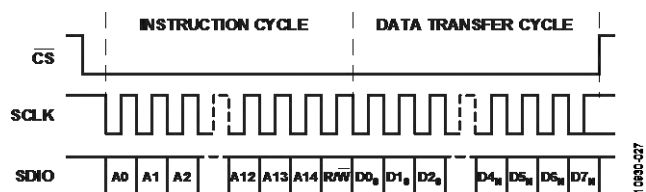


図 30. シリアル・レジスタ・インターフェースのタイミング、LSB ファースト

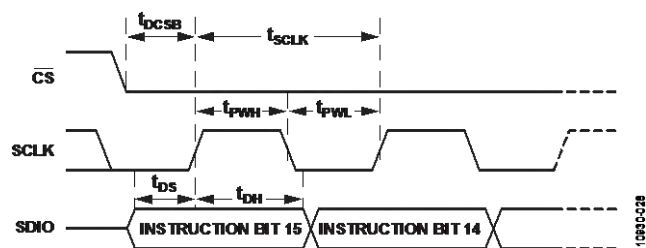


図 31. シリアル・ポート・レジスタ書込のタイミング図

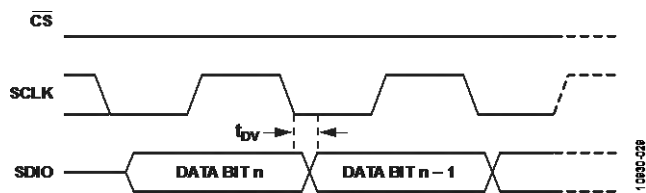


図 32. シリアル・ポート・レジスタ読出しのタイミング図

データ・インターフェース

LVDS 入力データ・ポート

AD9142 は、ワード幅(16 ビット)またはバイト幅(8 ビット)フォーマットの 16 ビット I/Q データを受け付ける 16 ビット LVDS バスを使用しています。ワード幅インターフェース・モードでは、データは 16 ビット・データ・バスを使って送信されます。バイト幅インターフェース・モードでは、データは LVDS バスの下位 8 ビット(D7~D0)を使って送信されます。表 11 に、各モードに対するバスのピン割り当てと SPI レジスタ構成を示します。

表 11.LVDS データ入力モード

Interface Mode	Pin Assignment	SPI Register Configuration
Word	D15 to D0	Register 0x26, Bit 0 = 0
Byte	D7 to D0	Register 0x26, Bit 0 = 1

ワード・インターフェース・モード

ワード・モードでは、デジタル・クロック入力(DCI)信号がダブル・データレート(DDR)のデータ・サンプリング・クロックを発生する基準ビットになります。DCI 信号とデータが時間的に整列します。IDAC データが DCI の立上がりエッジで、QDAC データが DCI の立下がりエッジで、それぞれ開始されます(図 33 参照)。

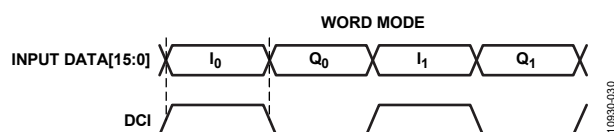


図 33.ワード・モードのタイミング図

バイト・インターフェース・モード

バイト・モードでは、入力データ・ストリームの必要とされるシーケンスは I[15: 8]、I[7: 0]、Q[15: 8]、Q[7: 0]の順です。入力データバイトを正しく整列させるために、フレーム信号が必要です。DCI 信号とフレーム信号が時間的にデータと整列します。フレームの立上がりエッジがシーケンスの開始を表示します。フレームとしては、ワンショット信号またはデバイスが最初の立上がりエッジを正しく取り込める長さを持つ周期的信号が可能です。ワンショット・フレームの場合、フレーム・パルスは少なくとも DCI の 1 サイクル間ハイ・レベルを維持する必要があります。周期的フレームの場合、周波数は次のようになります。

$$f_{DCI}/(2 \times n)$$

ここで、 n は正整数で、1、2、3、...

図 34 に、バイト・モードでの信号タイミングの例を示します。

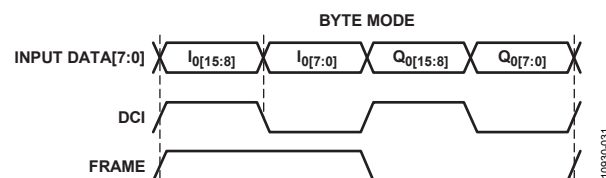


図 34.バイト・モードのタイミング図

データ・インターフェース構成オプション

データ・インターフェースの柔軟性を強化するための幾つかの追加オプションを表 12 に示します。

表 12.データ・インターフェース構成オプション

Register 0x26	Function
Data Format (Bit 7)	Select between binary and twos complement formats.
Data Pairing (Bit 6)	Indicate I/Q data pairing on data input. This allows the I and Q data that is received to be paired in various ways.
Data Bus Invert (Bit 5)	Swaps the bit order of the data input port. Remaps the input data from D[15: 0] to D[0: 15].

LVDS 入力レベル条件

AD9142 は 2 種類の LVDS レシーバを内蔵しています。16 ビット・データ・バスとフレーム入力、同じ LVDS レシーバ・デザインを共用しています。DCI は別の LVDS デザインを採用しています。2 種類の LVDS レシーバ間の主な違いは、必要とされる入力差動振幅レベルです。データ・バスとフレーム・レシ

ーバは、入力で±100 mV の最小振幅を必要とします。DCI レシーバは、入力で±225 mV の最小振幅を必要とします。図 35 に、LVDS 入力構成と所要振幅レベルを示します。DCI は、データ・ソースで一般にデータと同じバンクで発生されるため、LVDS ドライバの出力振幅を所要 DCI 入力レベルより大きくして入力のデータ条件と DCI 条件を満たすことが推奨されます。

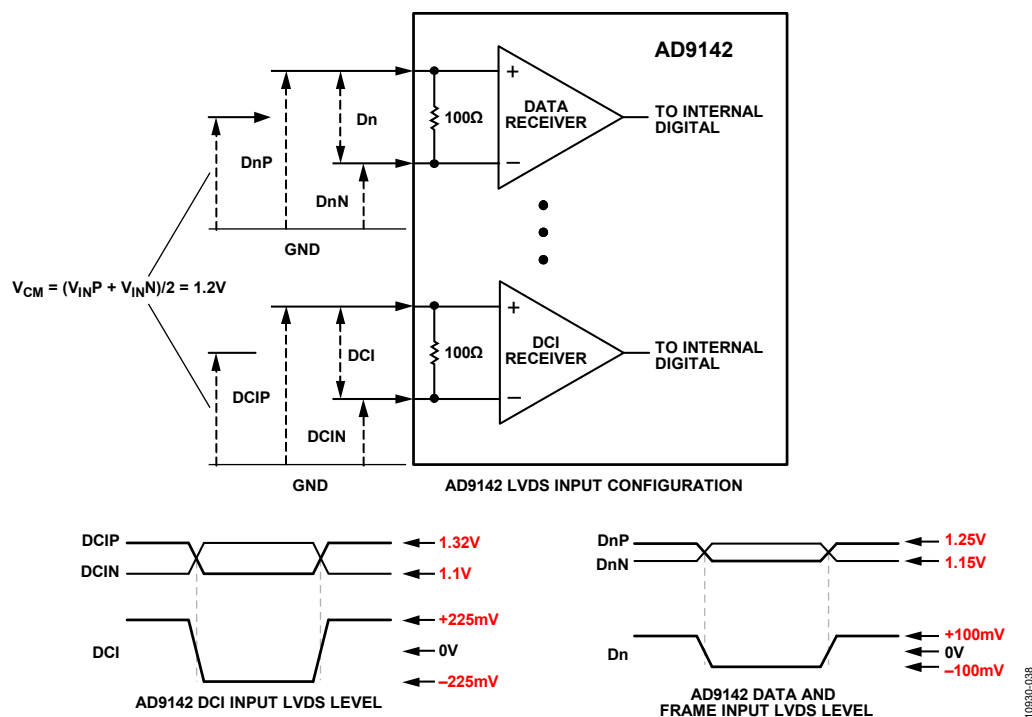


図 35. データ・インターフェースの電圧振幅条件

インターフェースの遅延線

データ・バスと DCI との間のタイミングを調整するために 4 タップ付きの遅延線が設けてあります。表 13 に、各遅延タップのセットアップ・タイムとホールド・タイムを規定します。

遅延線をイネーブルすると、DCI で固定 1.9 ns の遅延が発生します。各タップにより公称遅延 300 ps が固定遅延に加わります。最適なタイミング・マージンを実現するため、すなわちセットアップおよびホールド・ウインドウをデータ・アイの中央に位置させるため、データ・ソース内の DCI に対してデータ・バスを遅延させる必要が生じることがあります。図 36 に、最適な外部遅延の計算例を示します。

表 13. セットアップ・タイムとホールド・タイム

Delay Setting	0	1	2	3
Register 0x5E[7: 0]	0x00	0x07	0x7F	0xFF
Register 0x5F[2: 0]	0x0	0x0	0x0	0x5
t_S (ns) ¹	-1.25	-1.50	-1.70	-1.93
t_H (ns)	2.51	2.82	3.23	3.64
$ t_S + t_H $ (ns)	1.26	1.32	1.53	1.71

¹ 負符号はセットアップ・タイムの方向を表します。セットアップ・タイムは、クロック・エッジの左側にあるときに正と、クロック・エッジの右側にあるとき負と、それぞれ定義されます。

インターフェース・タイミング条件

遅延線採用モードで最適サンプリング・タイミングを実現する、データ・ソースでの最適遅延の計算例をつぎに示します。

- $f_{DCI} = 200$ MHz
- 遅延設定= 0

図 36 の灰色の領域は、0 に設定されたインターフェース・セットアップおよびホールド・タイム・ウインドウです。インターフェース・タイミングを最適化するためには、このウインドウをデータ変化の中心に位置させる必要があります。入力はダブル・データレートであるため、有効データ周期は 2.5 ns です。したがって、データ・ソースでの DCI に対する最適データ・バス遅延は次式で計算できます。

$$t_{DELAY} = \frac{(|t_S| + |t_H|)}{2} - \frac{t_{DATA PERIOD}}{2} = 1.88 - 1.25 = 0.63 \text{ ns}$$

遅延線採用モードをイネーブルするための SPI シーケンス

遅延線採用モードをイネーブルするときは、次の SPI シーケンスの使用が推奨されます。

1. 0x79 → 0x18 /* Configure Data Interface */
2. 0x5E → 0x00 /* Delay setting 0 */
0x5F → 0x00
3. 0x5F[3] → 1b /* Enable the delay line */

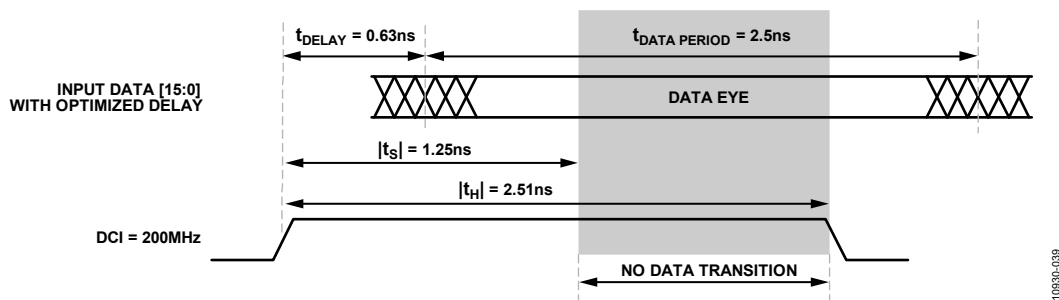


図 36. 遅延線採用モードでのインターフェース・タイミング例

FIFO動作

データ・インターフェースのセクションに示すように、AD9142 はデータ・レシーバでソース同期クロックを採用しています。ソース同期クロックでは、受信デバイスで別々のクロック・ドメインを設けます。DAC では、DAC クロック・ドメイン、すなわち DACCLK になります。このため、DAC 内部には DCI と DACCLK の 2 つのクロック・ドメインが存在します。これらの 2 つのクロック・ドメインは非同期であることがあり、正しいデータ転送のためにタイミングを調整するステージの追加が必要となる場合があります。AD9142 では、DCI ドメインと DACCLK ドメインとの間に FIFO ステージを挿入して、受信データを DAC のコア・クロック・ドメイン(DACCLK)へ転送しています。

AD9142 は、幅 16 ビット、深さ 8 ワードの FIFO を 2 チャンネル内蔵しています。FIFO はバッファとして動作し、2 つのクロック・ドメイン間のタイミング変動を吸収します。システム内の 2 つのクロック・ドメイン間のタイミング余裕は、FIFO の深さにより大幅に緩和されます。

図 37 に、FIFO を通るデータ・パスのブロック図を示します。入力データはデバイスにラッチされ、フォーマット化され、FIFO レジスタに書込まれます。この FIFO レジスタは FIFO 書き込みポインタにより指定されます。書き込みポインタ値は、新しいワードが FIFO にロードされるごとにインクリメントされます。一

方、データは FIFO レジスタから読出されます。この FIFO レジスタは読出しポインタにより指定され、デジタル・データバスへ出力されます。読出しポインタ値は、データが FIFO からデータ・バスへ読出されるごとにインクリメントされます。FIFO ポインタは、データレートでインクリメントされます。このデータレートは、DACCLK レートをインターポレーション・レートで分周したものです。

有効なデータは、FIFO がオーバーフロー(フル)またはアンダーフロー(エンプティ)しない限り FIFO を経由して送信されます。オーバーフロー状態またはアンダーフロー状態は、書き込みポインタと読出しポインタが同じ FIFO スロットを指したときに発生します。データのこの同時アクセスにより、FIFO を経由した信頼度の低いデータ転送が発生するため回避する必要があります。

通常、FIFO の深さを一定に維持するため FIFO に対するデータの書込と読出は同じレートで行われます。データの FIFO への書込がデータの読出より高速になると、FIFO の深さが増加します。データの FIFO からの読出がデータの書込より高速になると、FIFO の深さが減少します。最適タイミング・マージンを実現するためには、FIFO の深さを半分近く(書き込みポインタ値と読出しポインタ値との差が 4)に維持する必要があります。FIFO の深さは FIFO パイプライン遅延を表し、AD9142 の全体遅延の一部になります。

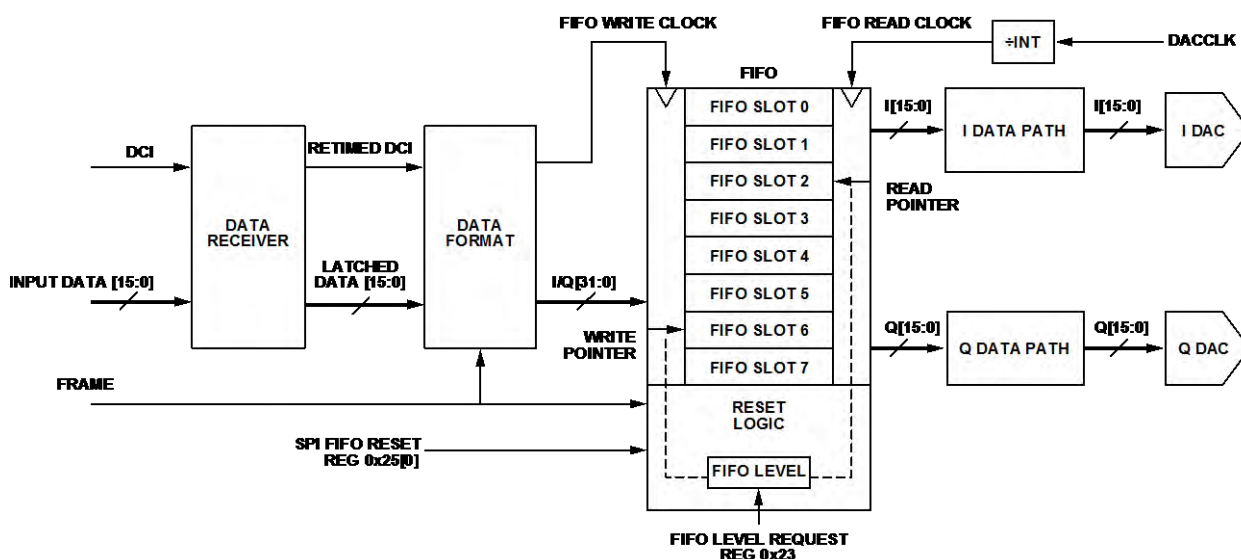


図 37.FIFO のブロック図

FIFOのリセット

デバイスがパワーオンすると、読出しポインタと書込みポインタは任意のスロットから初めて巡回し始めるため、FIFO の深さは未知です。同じ FIFO アドレスに対する読出しと書込みの同時発生を回避して、パワーオンごとに固定のパイプライン遅延を維持するためには、デバイスがパワーオンまたはウェイクアップするごとに FIFO ポインタを既知状態にリセットすることが重要です。この状態は、所要 FIFO レベルで規定されています(このドキュメントでは FIFO の深さと FIFO レベルは同じ意味で使用しています)。この規定は整数 FIFO レベルと非整数 FIFO レベルの2つから構成されています。

整数 FIFO レベルは、入力データ周期($1/f_{DATA}$)の単位で表した読出しポイントと書込みポイントの間の状態数の差です。非整数 FIFO レベルは、入力データ周期より小さい FIFO ポインタの差を表します。非整数 FIFO レベルの分解能は、入力データ周期をインターポレーション比で除算した値で表わされるため、DACCLK の1サイクルに等しくなります。

正確な FIFO レベル、すなわち FIFO 遅延は次式で計算できます。

$$FIFO \text{ 遅延} = \text{整数レベル} + \text{非整数レベル}$$

FIFO には 8 個のデータ・スロットがあるため、8 個の FIFO 整数レベルが可能です。AD9142 でサポートされる最大インターポレーション・レートは、8×インターポレーションです。このため、8 個の FIFO 非整数レベルが可能です。レジスタ 0x23 内にある 2 個の 3 ビット・レジスタは、個別に各レベルを表すように割り当てられています。ビット[6: 4]は FIFO 整数レベルを、ビット[2: 0]は FIFO 非整数レベルを、それぞれ表します。例えば、インターポレーション・レートが 4×で、必要とされる FIFO の合計深さが 4.5 入力データ周期の場合、FIFO_LEVEL_CONFIG (レジスタ 0x23)に 0x42 を設定します(ここで、4 は 4 データ・サイクルを、2 は 2 DAC サイクル(=データ・サイクルの 1/2)を、それぞれ意味します)。4×インターポレーションの場合、可能な非整数レベルは 4 であることに注意してください。表 14 に、種々のインターポレーション・レート・モードで所要 FIFO レベルを設定する別の例を示します。

表 14.FIFO レベル設定の例

Interpolation Rate	Example FIFO Level ($1/f_{DATA}$)	Integer Level (Register 0x23[6: 4])	Fractional Level (Register 0x23[2: 0])
2×	$3 + 1/2$	3	1
4×	$4 + 1/4$	4	1
8×	$4 + 3/8$	4	3

デフォルトでは、FIFO レベルは 4.0 になっています。0.0~7.x の任意の値に設定することができます。x の最大許容値は、インターポレーション・レート- 1 です。例えば、8×インターポレーションでは、x の最大許容値は 7 です。

FIFO をリセットし、FIFO レベルを初期化するときは、次の 2 つの方法を使用することができます。

- シリアル・ポート(SPI)からの FIFO リセット。
- フレームからの FIFO リセット。

シリアル・ポートからの FIFO リセット

SPI からの FIFO リセットは、FIFO をリセットする最も一般的な方法です。シリアル・ポートから FIFO レベルを初期化するときは、FIFO_SPI_RESET_REQUEST (レジスタ 0x25[0])を 0 から 1 へ変化させ、0 へ戻します。このレジスタへの書込みが完了すると、FIFO レベルは要求された FIFO レベルに初期化され、FIFO_SPI_RESET_ACK (レジスタ 0x25[1])のリードバックが 1 に設定されます。FIFO レベル要求と同じフォーマットの FIFO レベルのリードバックは、要求されるレベルの ± 1 DACCLK サイクル以内にある必要があります。例えば、4×インターポレーションで要求される値が 0x40 の場合、リードバック値は 0x33、0x40、0x41 のいずれかである必要があります。 ± 1 DACCLK サイクルの範囲は、パワーオンごとに同期なしでの、デフォルトの DAC 遅延不確定性を表します。

シリアル・ポート FIFO リセットに対する推奨手順は次の通りです。

- DAC を所要インターポレーション・モードに設定します (レジスタ 0x28[1: 0])。
- DACCLK と DCI が動作中で、クロック入力で安定していることを確認します。
- 所要値が 0x40 でない場合、レジスタ 0x23 にカスタマイズした値を設定します。
- レジスタ 0x25[0]に 1 を設定して、FIFO レベルのリセットを要求します。
- レジスタ 0x25[1]に 1 を設定して、デバイスが要求をアクノリッジしたことを確認します。
- レジスタ 0x25[0]に 0 を設定して要求を取り除きます。
- レジスタ 0x25[1]に 0 を設定して、デバイスがアクノリッジ信号を取り下げたことを確認します。
- レジスタ 0x24 を複数回リードバックして、実際に FIFO レベルが要求レベルに設定され、リードバック値が安定していることを確認します。デザイン上、リードバックは要求されたレベルに対して ± 1 DACCLK 以内にある必要があります。

フレームからの FIFO リセット

フレーム入力には 2 つの機能があります。1 つ目の機能は、バイト・インターフェース・モードでバイト・ストリームの開始を表示することです(データ・インターフェースのセクション参照)。もう 1 つの機能は、I DAC と Q DAC にデータをロードするために要する最小時間の間フレーム信号をハイ・レベルに維持して、FIFO レベルを初期化することです。これは、ワード・モードでは 1 DCI 周期に、バイト・モードでは 2 DCI 周期に、それぞれ対応します。バイト・ストリームのみを構成する場合、フレーム・パルス長のこの条件はフレーム信号の条件より長いことに注意してください。デバイスは、連続フレーム信号またはワンショット・フレーム信号を受け付けます。

連続リセット・モードでは、FIFO は各有効フレーム・パルスに応答して、自身をリセットします。ワンショット・リセット・モードでは、FIFO は FRAME_RESET_MODE ビット(レジスタ 0x22[1: 0])がセットされた後の最初の有効フレーム・パルスのみに応答します。このため、連続フレーム入力の場合でも、FIFO は 1 回だけリセットします。これにより、FIFO が周期的リセットによる 2 つの状態の間でトグルするのを防止します。ワンショット・フレーム・リセット・モードはデフォルトであり、推奨モードです。

フレームからの FIFO リセットに対する推奨手順は次の通りです。

1. DAC を所要インターポレーション・モードに設定します(レジスタ 0x28[1: 0])。
2. DACCLK と DCI が動作中で、クロック入力で安定していることを確認します。
3. 所要値が 0x40 でない場合、レジスタ 0x23 にカスタマイズした値を設定します。
4. FRAME_RESET_MODE ビット(レジスタ 0x22[1: 0])に 00b を設定します。
5. EN_CON_FRAME_RESET (レジスタ 0x22[2])に 0 または 1 を書込み、連続モードまたはワンショット・モードを選択します。
6. フレーム入力を 0 から 1 に変えて 0 に戻します。パルス幅は、最小条件より長い必要があります。
 - a. フレーム入力連続クロックの場合、信号をターンオンさせます。
7. FRAME_RESET_ACK(レジスタ 0x22[3])をリードバックして、リセットが完了したことを確認します。
8. レジスタ 0x24 を複数回リードバックして、実際に FIFO レベルが要求レベルに設定され、リードバック値が安定していることを確認します。デザイン上、リードバックは要求されたレベルに対して ± 1 DACCLK 以内にある必要があります。

FIFO ステータスのモニタリング

SPI レジスタ 0x24 からリアルタイム FIFO ステータスをモニタし、FIFO リセットの後のリアルタイムの FIFO の深さを反映させることができます。システム内にタイミング・ドリフトがないため、このリードバックは FIFO リセットによる結果から変化しません。タイミング・ドリフトまたは他の異常なクロック状況がある場合、FIFO レベルのリードバックは変化することがありますが、FIFO がオーバーフローまたはアンダーフローしない限り、データ伝送にはエラーが発生しません。レジスタ 0x06 内の 3 個のステータス・ビット(ビット[2: 0])は、FIFO のアンダーフロー、オーバーフロー、または同様の状況の有無を表示します。3 ビットのステータスはラッチすることができ、ハードウェア割込み(IRQ1とIRQ2)の発生に使用されます。ラッチ機能と割込みをイネーブルするときは、レジスタ 0x03 とレジスタ 0x04 の対応するビットを設定します。

デジタル・データパス

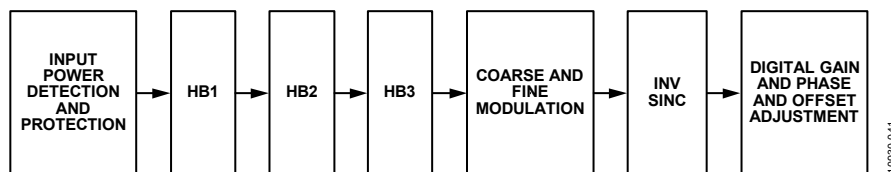


図 38. デジタル・データパスのブロック図

図 38 のブロック図にデジタル・データパスの機能を示します。デジタル処理には次が含まれます。

- 入力電力検出ブロック
- 3 個のハーフバンド・インターポレーション・フィルタ
- 高分解能 NCO と $f_s/4$ コース変調ブロックで構成される直交変調器
- 逆 sinc フィルタ
- ゲイン、位相、オフセットの調整ブロック

インターポレーション・フィルタは I データ・ストリームと Q データ・ストリームを入力し、2 つの独立なデータ・ストリームとして処理します。直交変調器と位相調整ブロックは I データ・ストリームと Q データ・ストリームを直交データ・ストリームとして入力します。このため、デジタル変調および位相調整機能を使う場合は直交入力データが必要です。

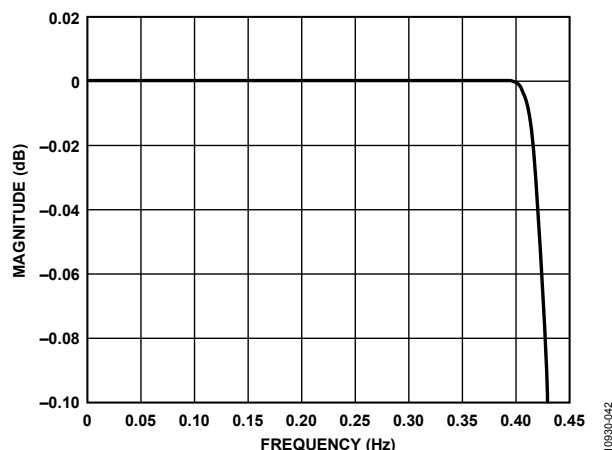


図 39. 2×モードの通過帯域詳細

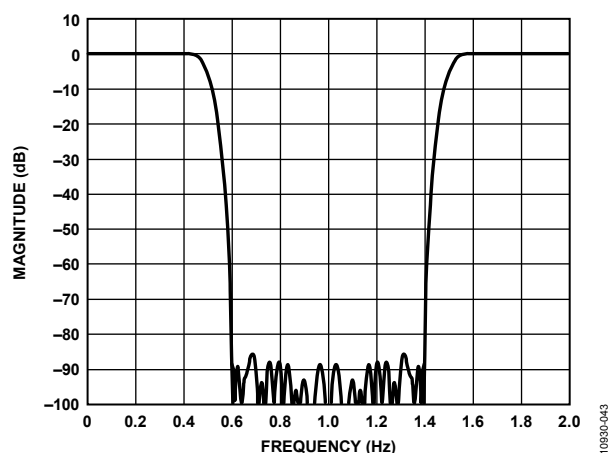


図 40. 2×モードの全帯域応答

インターポレーション・フィルタ

送信パスには 3 個のインターポレーション・フィルタがあります。3 個の各インターポレーション・フィルタは、出力データレートを 2 倍に増加し、さらにローパス機能を提供します。ハーフバンド(HB)フィルタはカスケード接続されて、4×または 8×のインターポレーション比を提供します。

AD9142 は 3 つのインターポレーション・モードを提供します(表 6 参照)。各モードは、1 つの動作モードで異なる有効信号帯域幅を提供します。選択するモードは、必要とされる信号帯域幅と DAC 更新レートに依存します。各インターポレーション・モードの最大速度と信号帯域幅については、表 6 を参照してください。

有効帯域幅は、フィルタが ± 0.001 dB より小さい通過帯域リップルと 85 dB より大きい阻止帯域除去比を持つ周波数帯域として定義されます。

2×インターポレーション・モード

図 39 と図 40 に、2×モードの通過帯域と全帯域フィルタ応答を示します。遷移帯域から阻止帯域への変化は、通過帯域から遷移帯域への変化よりかなり急峻であることに注意してください。このため、所要出力信号が規定された通過帯域から外れると、信号イメージ(阻止帯域で除去されるはず)が、通過帯域平坦性の低下に起因する信号自体の低下より高速に増加します。低下したイメージ除去比を許容できる場合または DAC 出力のアナログ・ローパス・フィルタで補償できる場合、規定の有効信号帯域幅を超えて出力信号を広げることができます。

4×インターポレーション・モード

図 41 と図 42 に、4×モードの通過帯域と全帯域フィルタ応答を示します。

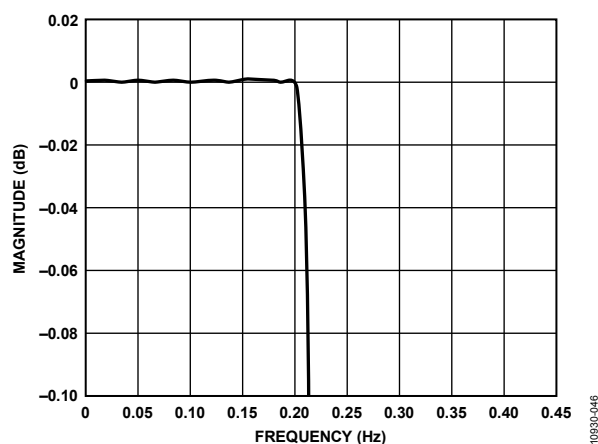


図 41.4×モードの通過帯域詳細

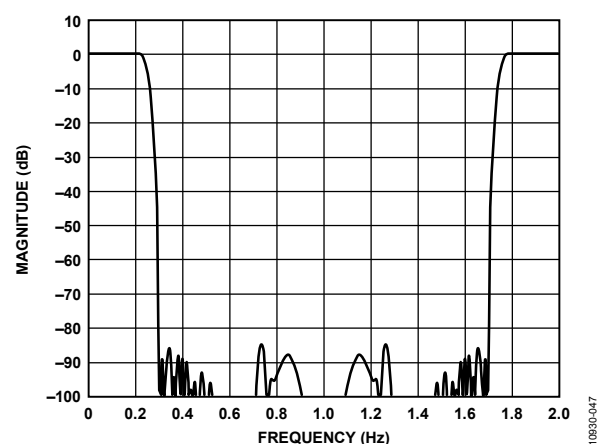


図 42.4×モードの全帯域応答

8×インターポレーション・モード

図 43 と図 44 に、8×モードの通過帯域と全帯域フィルタ応答を示します。最大 DAC 更新レートは 1.6 GHz で、このモードでサポートされる最大入力データレートは 200 MHz (1.6 GHz/8) です。

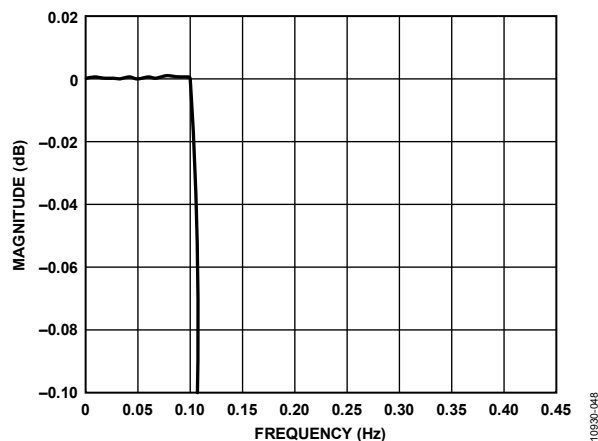


図 43.8×モードの通過帯域詳細

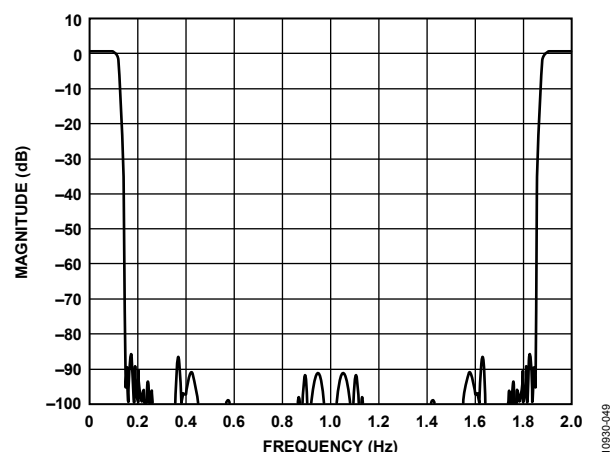


図 44.8×モードの全帯域応答

表 15. ハーフバンド・フィルタ 1 の係数

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-32
H(6)	H(50)	0
H(7)	H(49)	+69
H(8)	H(48)	0
H(9)	H(47)	-134
H(10)	H(46)	0
H(11)	H(45)	+239
H(12)	H(44)	0
H(13)	H(43)	-401
H(14)	H(42)	0
H(15)	H(41)	+642
H(16)	H(40)	0
H(17)	H(39)	-994
H(18)	H(38)	0
H(19)	H(37)	+1512
H(20)	H(36)	0
H(21)	H(35)	-2307
H(22)	H(34)	0
H(23)	H(33)	+3665
H(24)	H(32)	0
H(25)	H(31)	-6638
H(26)	H(30)	0
H(27)	H(29)	+20,754
H(28)		+32,768

表 16. ハーフバンド・フィルタ 2 の係数

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(23)	-2
H(2)	H(22)	0
H(3)	H(21)	+17
H(4)	H(20)	0
H(5)	H(19)	-75
H(6)	H(18)	0
H(7)	H(17)	+238
H(8)	H(16)	0
H(9)	H(15)	-660
H(10)	H(14)	0
H(11)	H(13)	+2530
H(12)		+4096

表 17. ハーフバンド・フィルタ 3 の係数

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(11)	+29
H(2)	H(10)	0
H(3)	H(9)	-214
H(4)	H(8)	0
H(5)	H(7)	+1209
H(6)		+2048

デジタル変調

AD9142 は、ベースバンド直交信号を所望の DAC 出力周波数へ変調する 2 つのモードを提供します。

- コース($f_s/4$)変調
- ファイン(NCO)変調

$f_s/4$ 変調

$f_s/4$ 変調は、入力ベースバンド周波数を固定 $f_s/4$ IF 周波数へ変換するための便利で低消費電力の変調モードです。ここで、 f_s は DAC サンプルング・レートです。この周波数以外の変調周波数が必要な場合は、NCO 変調モードを使う必要があります。

NCO 変調

NCO 変調モードでは、数値制御発振器(NCO)、位相シフタ、複素変調器を使用して、プログラマブルなキャリア信号で信号を変調する手段を提供します。デジタル変調器のブロック図を図 45 に示します。NCO 変調を使うと、DAC 出力信号を非常に高い周波数分解能で出力スペクトルを任意の位置に配置することができます。

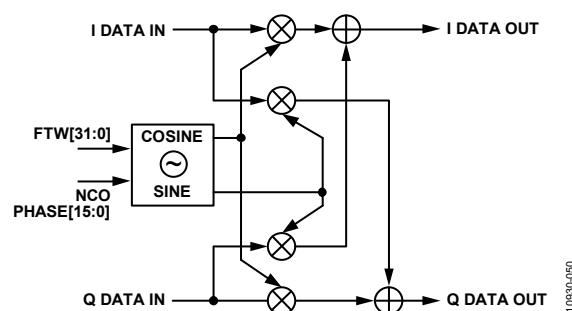


図 45. NCO 変調器のブロック図

NCO 変調器は、NCO で発生したキャリア信号を I 信号および Q 信号と混合します。NCO は、入力信号を新しい中心周波数へ変換する直交キャリア信号を発生します。複素キャリア信号は、同じ周波数の一対の正弦波形で、互いに 90 度ずれています。複素キャリア信号の周波数は、レジスタ 0x31～レジスタ 0x34 の NCO_FREQ_TUNING_WORD[31:0]を使って設定します。

NCO 動作周波数 f_{NCO} は常に、DACCLK 周波数 f_{DAC} と一致します。複素キャリア信号の周波数は、 $DC \sim \pm 0.5 \times f_{NCO}$ に設定することができます。

周波数チューニング・ワード(FTW)は 2 の補数フォーマットです。次のように計算できます。

$$-\frac{f_{DAC}}{2} \leq f_{CARRIER} \leq \frac{f_{DAC}}{2}$$

$$FTW = \frac{f_{CARRIER}}{f_{DAC}} \times (2^{32}) (f_{CARRIER} \geq 0)$$

$$FTW = (1 - \frac{|f_{CARRIER}|}{f_{DAC}}) \times (2^{32}) (f_{CARRIER} < 0)$$

発生された直交キャリア信号は、I データおよび Q データと混合されます。次に直交積が I データ・パスと Q データ・パスに加算されます(図 45 参照)。

周波数チューニング・ワードの更新

周波数チューニング・ワード・レジスタは、他の設定レジスタと同様に、書込み後直ちに更新されません。FIFO リセットと同様に、NCO 更新は次の 2 つの方法で開始することができます。

- SPI からの更新
- フレームからの更新

SPI からの更新

SPI からの更新方法では、NCO を設定した後にレジスタ 0x30[0] (NCO_SPI_UPDATE_REQ) をトグルするだけで済みます。NCO は、このビットの立上がりエッジ(0 から 1 へ)で更新されます。NCO が更新されると、レジスタ 0x30[1] (NCO_SPI_UPDATE_ACK) がハイ・レベルになります。レジスタ 0x30[0] の立下がりエッジ(1 から 0 へ)で、レジスタ 0x30 のビット 1 がクリアされ、NCO の次の更新動作へ備えます。複数デバイスからの各 DAC 出力を整列させる要求がない場合、この更新方法が推奨されます。これは、複数デバイスに対する SPI 書込みは非同期であるためです。

フレームからの更新

複数のデバイスからの各 DAC 出力を NCO のターンオンと整列させるときは、フレームからの更新が推奨されます。この方法では、複数のデバイスからの各 NCO がフレーム信号の立上がりエッジで同時に更新されます。この更新方法を使うときは、同時に FIFO リセットが必要か否かに応じて、FRAME_RESET_MODE (レジスタ 0x22[1: 0]) を NCO のみに、または FIFO および NCO に設定する必要があります。第 2 ステップは、リセット・モードがワンショット・モード (EN_CON_FRAME_RESET、レジスタ 0x22[2] = 0) にあることを確認することです。この第 2 ステップが完了すると、NCO は有効フレーム・パルスを待ち、それに応じて FTW を更新します。レジスタ 0x30[6] (NCO_FRAME_UPDATE_ACK) を読出すと、フレーム・パルスが正常に受信されたことを確認することができます。ここで、1 は更新動作の完了を表します。有効フレーム・パルスの発生については、FIFO 動作のセクションを参照してください。

データ・パスの設定

AD9142 データ・パスの設定は、次の 4 個のパラメータから開始されます。

- 入力データレート of アプリケーション条件
- インターポレーション比
- 出力信号中心周波数
- 出力信号帯域幅

これらの 4 個のパラメータが与えられた場合、データ・パス設定の最初のステップは、デバイスが所望の入力データレート、DAC サンプリング・レート、帯域幅条件をサポートしているかを確認することです。この確認が済むと、インターポレーション・フィルタのモードを選択することができます。出力信号中心周波数がベースバンド入力中心周波数と異なる場合は、さらに周波数オフセット条件が決定されて、内蔵デジタル変調に適用されます。

直交ゲインと位相のデジタル調整

直交ゲインと位相のデジタル調整機能を使うと、I パスと Q パス間でのゲインおよび位相の不均衡を補償することができます。これらの不均衡は、DAC I/Q 出力、直交変調器 I/Q ベースバンド入力、DAC/変調器インターフェース I/Q パスの間のアナログ的な不一致により発生します。不均衡により、大きなエネルギーを持つ不要なサイドバンド信号が直交変調器出力で発生します。直交ゲインと位相の調整値をチューニングすると、シングル・サイドバンド無線でのイメージ除去比が最適化されます。

直交ゲインの調整

通常は、I チャンネルと Q チャンネルのゲインまたは信号振幅は同じです。直交ゲイン調整を使って、I チャンネルと Q チャンネルの間のゲインをバランスさせます。I チャンネルと Q チャンネルのデジタル・ゲインは、2 個の 6 ビット・レジスタ、IDAC_GAIN_ADJ (レジスタ 0x3F[5: 0]) と QDAC_GAIN_ADJ (レジスタ 0x40[5: 0]) を使って独立に調整することができます。調整範囲は[0, 2]または $[-\infty, 6 \text{ dB}]$ で、ステップ・サイズは 2^{-5} (−30 dB) です。デフォルト設定値は 0x20 で、ゲイン=1 または 0 dB に対応します。

直交位相の調整

通常は、I チャンネルと Q チャンネルの間の位相差は正確に 90 度です。直交位相調整を使って、I チャンネルと Q チャンネルの間の角度を変更します。IQ_PHASE_ADJ[12: 0] (レジスタ 0x37 とレジスタ 0x38) が、 ± 14 度の調整範囲を分解能 0.0035 度で提供します。オリジナル角度が正確に 90 度の場合、IQ_PHASE_ADJ[12: 0] に 0x0FFF を設定すると、IDAC 出力と QDAC 出力との間に約 14 度が加算されて、チャンネル間で 104 度の角度が発生します。同様に、オリジナル角度が正確に 90 度の場合、IQ_PHASE_ADJ[12: 0] に 0x1000 を設定すると、IDAC 出力と QDAC 出力との間に約-14 度が加算されて、チャンネル間で 76 度の角度が発生します。

DC オフセットの調整

I データ・パスと Q データ・パスの DC 値は、2 個の 16 ビット・レジスタ、IDAC_DC_OFFSET、ビット [15: 0] と QDAC_DC_OFFSET、ビット [15: 0] (レジスタ 0x3B ~ レジスタ 0x3E) の値を調整して、独立に制御することができます。これらの値は、データ・パス値に直接加算されます。送信値の範囲を超えないように注意する必要があります。

図 46 に示すように、DAC オフセットの現在値は、I/QDAC_DC_OFFSET 値の関数として変化します。図 46 に、デジタル入力をミッドスケール(0x0000、2 の補数データ・フォーマット)に固定し、DAC オフセット値を 0x0000 から 0xFFFF へ掃引したときの、DAC 出力正ノードの公称電流 I_{OUTP} を示します。 I_{OUTP} と I_{OUTN} は相補電流出力であるため、 I_{OUTP} と I_{OUTN} の和は常に 20 mA になります。

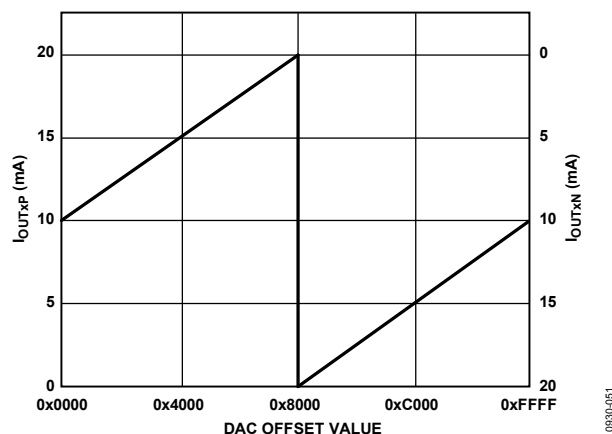


図 46. DAC オフセット値対 DAC 出力電流

逆 Sinc フィルタ

AD9142 は、周波数に対する DAC ロールオフを補償するデジタル逆 sinc フィルタを提供します。逆 sinc (sinc^{-1}) フィルタは 7 タップの FIR フィルタです。図 47 に、 $\sin(x)/x$ ロールオフの周波数応答、逆 sinc フィルタ、コンボジット応答を示します。コンボジット応答は、周波数 $0.4 \times f_{\text{DAC}}$ まで ± 0.05 dB 以下の通過帯域リップルを持っています。

通過帯域の上端に必要なピーキングを提供するため、逆 sinc フィルタは約 3.8 dB の固有挿入損失を持っています。デジタル・ゲインの損失は出力信号対ノイズ比への影響小さくするため、I データ・パスと Q データ・パスの直交ゲイン調整設定値を大きくしてオフセットさせることができますが、デジタル・ゲインの追加により、特に高い出力周波数で信号サチレーションが生じないように注意する必要があります。 sinc^{-1} フィルタは、デフォルトでディスエーブルされていますが、レジスタ 0x27[7] の INVSINC_ENABLE ビットに 1 を設定してイネーブルすることができます。

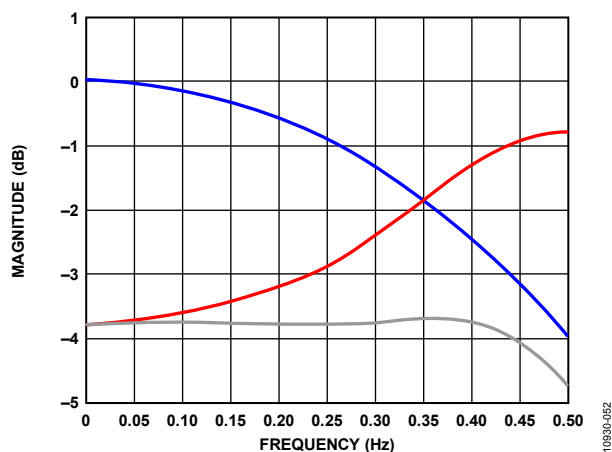


図 47. $\sin(x)/x$ ロールオフ応答(青)、 Sinc^{-1} フィルタ応答(赤)、両方のコンボジット応答(黒)

表 18. 逆 Sinc フィルタ

Lower Coefficient	Upper Coefficient	Integer Value
H(1)	H(7)	-1
H(2)	H(6)	+4
H(3)	H(5)	-16
H(4)		+192

入力信号電力の検出と保護

入力信号電力検出機能と保護機能は、DAC 入力信号の平均電力を検出して、範囲外の信号が次のステージへ渡されるのを防止します。範囲外 DAC 出力信号は、パワー・アンプのような電力に弱いデバイスのブレイクダウンにより発生します。AD9142 の電力検出機能と保護機能は、DAC 内で範囲外信号を検出します。範囲外信号が検出されると、保護機能は信号を減衰またはミュートさせて、信号の異常な電力サージからダウンストリーム・デバイスを保護します。

図 48 に、電力検出機能と保護機能のブロック図を示します。保護ブロックはデータ・パスの最終ステージに存在し、検出ブロックはデータ・パスとは別のパスを使用します。検出ブロックのデザインでは、電力検出機能のワーストケース遅延がデータ・パスの遅延より短いことを保証しています。これにより、範囲外信号がアナログ DAC コアに到達する前に保護回路が動作することを保証しています。 I^2 と Q^2 の和は、入力信号電力として計算されます。計算ではデータ・サンプルの上位 6 MSB の D[15: 10] だけを使用します。したがって、電力がフルスケール・ピーク電力より 36 dB 低いサンプルは検出されません。計算されるサンプル電力値は、平均フィルタを移動させながら累積されます。この出力は、所定数のデータ・クロック・サイクル内での入力信号電力の平均になります。フィルタ長は、SAMPLE_WINDOW_LENGTH (レジスタ 0x2B[3: 0]) を使って設定することができます。入力平均電力が範囲外か否かを判定するため、デバイスはフィルタ内でサンプル電力の平均をとり、平均電力をユーザー指定のスレッシュホールド OVER_THRESHOLD_LEVEL[11: 0] (レジスタ 0x29 とレジスタ 0x2A) と比較します。平均処理フィルタの出力がスレッシュホールドより大きい場合、DAC 出力は減衰またはミュートされます。

効果的な保護機能に対する適切なフィルタ長と平均電力スレッシュホールドは、アプリケーションに依存します。これらのパラメータ値を決定するときは、実際のベクタを使って実測することが推奨されます。

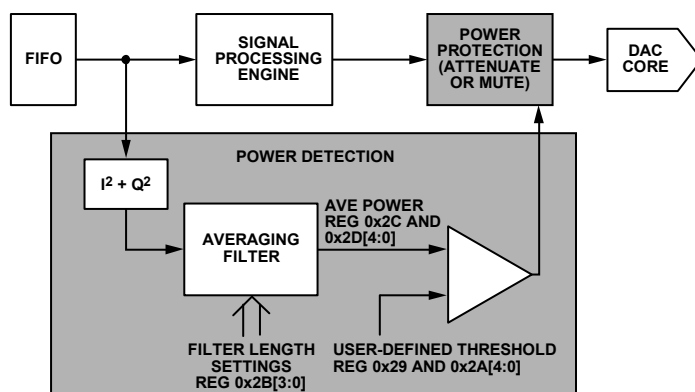


図 48. 入力信号電力検出機能と保護機能のブロック図

送信イネーブル機能

送信イネーブル(TXEN)機能は、DAC 出力のハードウェア・スイッチ機能を提供します。この機能は、ピン 6 (TXEN)で CMOS 信号を受け付けます。この信号にハイ・レベルが検出されると、送信バスがイネーブルされて、DAC はデータを通常通り送信します。この信号でロー・レベルが検出されると、DAC 出力に係する次の 3 つの動作の内の 1 つが起動されます。

1. DAC 出力がフルスケール・ゲインから 0 へ穏やかに減衰されます。減衰ステップ・サイズはレジスタ 0x42[5: 0]に設定されます。
2. DAC はスリープ・モードになり、出力電流がターンオフされます。このモードでは、DAC の他の部分は動作したままです。
3. DAC はパワーダウン・モードになります。このモードでは、DAC 出力電流がターンオフされるだけでなく DAC の他の部分もパワーダウンされます。これにより、データ送信がないとき DAC 消費電力が小さくなりますが、デバイスにパワーアップ時間があるためデータの再送信を開始するには、最初の 2 つのモードより少し長い時間がかかります。

また TXEN 機能はゲイン・ランプアップ機能も提供します。この機能は、TXEN 信号がロー・レベルからハイ・レベルへ変化したとき DAC 出力を穏やかにターンオンさせます。ランプアップ・ゲインのステップは、レジスタ 0x41[5: 0]で設定することができます。これらすべての動作は SPI への書込みで開始できますが、TXEN 機能は DAC 出力のターンオン／ターンオフを高速に行う方法を提供します。SPI 書込みコマンドの応答時間は、SPI ポートの通信時間により左右されます。この機能は、ユーザーが DAC を迅速にターンオフさせるときに便利です。

デジタル機能の設定

ゲイン、位相、逆 sinc フィルタの各デジタル調整機能は、独立にイネーブルでき調整できます。データ・バスに加わるこれらのブロックのパイプライン遅延は、イネーブル状態とディスエーブル状態の間で異なります。動作中に固定 DAC パイプライン遅延が必要な場合は、これらの機能を初期設定後に常にオンにするか、オフにしたままにします。

デジタル DC 調整機能は常にオンです。デフォルト値は 0、すなわち DC オフセットの追加はありません。このブロックが追加するパイプライン遅延は DC オフセット値によらず、一定です。

また、入力信号電力検出機能と保護機能の使用と不使用の間にも遅延差があります。したがって、全体遅延を固定するときには、初期設定の後、この機能をオンまたはオフのままに維持してください。

複数デバイスの同期と固定遅延

DAC により、システムにパイプライン遅延の変動が発生します。遅延変動により、DAC 出力の位相がパワーオンごとに変化するようになります。このため、異なる DAC デバイスからの出力は、クロックとデジタル入力が整列していても、完全に整列しません。複数の DAC 出力間のスキューはパワーオンごとに変化します。

決定性遅延を必要とするトランスミット・ダイバーシティーまたはデジタル・プリディストーションのようなアプリケーションでは、パイプライン遅延の変動を小さくする必要があります。このドキュメントで使う決定性遅延とは、パワーオンごとの DAC のデジタル入力からアナログ出力までの固定時間遅延を意味します。パワーオンごとに、このグループ内の各 DAC が一定の同じ遅延を持つ場合、この複数の DAC デバイスは互いに同期しているとみなします。これらのデバイスが同期していると見なすためには、次の 3 つの条件がすべてのその同期可能デバイスで一致する必要があります。

- DAC 内部クロックの位相
- FIFO レベル
- 入力データの整列(アライメント)

非常に小さい固有遅延変動

AD9142 の技術革新的なアーキテクチャでは、固有遅延変動が小さくなっています。AD9142 のワーストケース変動は、DAC クロックで 2 サイクルです。例えば、1.5 GHz サンプル・レートの場合、変動はどのような場合でも 1.4 ns 以下です。このため、同期エンジンのターンオンなしで、複数の AD9142 デバイスからの DAC 出力は、DCI と DACCLK の間のタイミングに無関係に、DAC クロックで 2 サイクル以内に整列することが保証されます。この精度を実現するためにその他のクロックは不要です。起動時に、各 DAC デバイス内の FIFO を SPI からリセットする必要があります。このため、複数送信チャンネルのアプリケーションでは AD9142 によりシステム・デザインが簡素化されます。

デザイン内の各 DCI 信号の整列に注意してください。複数デバイス内の FIFO と内部クロック位相を整列させるため、AD9142 デザインでは DCI が基準として使用されます。実現できる DAC 出力の整列は、各デバイス入力での DCI 整列の程度に依存します。次式は、DCI が不整列の場合のワーストケース DAC 出力整列精度を表します。

$$t_{SK(OUT)} = t_{SK(DCI)} + 2/f_{DAC}$$

ここで、 $t_{SK(OUT)}$ は、2 個の AD9142 デバイスの DAC 出力間のワーストケース・スキュー。 $t_{SK(DCI)}$ は、2 個の AD9142 デバイスの DCI 入力での 2 個の DCI 間のスキュー。 f_{DAC} は DACCLK 周波数。

DCI の整列が良いほど、2 個の DAC 出力間の全体スキューは小さくなります。

遅延変動をさらに削減

アプリケーションでさらに高い同期精度が必要な場合(DAC 遅延変動 < DAC クロックの 2 サイクル)、AD9142 は複数のデバイスを DAC クロックの 1 サイクル以内で互いに同期化する方法も提供します。

DAC の遅延変動をさらに削減するときは、同期マシンをターンオンし、システム内で 2 つの外部クロック(フレームと同期)が発生して、すべての DAC デバイスへ供給する必要があります。

セットアップとホールドのタイミング条件

同期クロック(f_{SYNC})はシステム内で基準クロックとして機能し、複数の AD9142 デバイス内のクロック発生回路を同時にリセットします。DAC 内部では、同期クロックを DACCLK でサンプルして、内部クロックを整列させるための基準ポイントを発生するため、同期クロックと DAC クロックの間にセットアップとホールドのタイミング条件があります。

連続フレーム・リセット・モードを使用する場合、すなわち FIFO と同期エンジンを周期的にリセットする場合、同期クロックと DAC クロックのタイミング条件を満たす必要があります。そうしないと、デバイスはロックを失い出力が壊れます。ワンショット・フレーム・リセット・モードでも、同期ルーチンを動作させるときこのタイミングを満たすことが推奨されます。このタイミングを満たさないと、同期整列精度が 1 DAC サイクルだけ低下します(表 19 参照)。

ワンショット法でデバイスを同期化し、同期ステータスのモニタを続けるユーザーに対しては、AD9142 は同期モニタリング・モードを提供します。この機能では、連続同期およびフレーム・クロックを提供し、デバイスを同期化したら、最初の有効フレーム・パルスが検出された後のクロック・サイクルを無視します。この方法では、周期的にデバイスを再同期化することなく同期ステータスをモニタすることができます。同期モニタリング・モードを使うときは、レジスタ 0x22[1: 0] (FRAME_RESET_MODE)に 11b を設定します。

表 19.同期クロックと DAC クロックのセットアップ・タイムおよびホールド・タイム

Falling Edge Sync Timing (default)	Max	Unit
t_s (ns)	246	ps
t_H (ns)	-11	ps
$ t_s + t_H $ (ns)	235	ps

同期の実現

AD9142 では、同期クロックをサンプルするために、DAC クロックの立上がりエッジまたは立下がりエッジを選択することができます。このため、タイミング条件を満たすことが容易になります。同期クロック f_{SYNC} は、 $1/8 \times f_{\text{DATA}}$ または $1/2n$ 倍である必要があります。ここで n は整数 (1, 2, 3...) です。同期クロック・レシーバが AC 結合であるため、同期クロックを低速にするには限界があることに注意してください。信号振幅が表 2 に示すデータシート仕様を満たすように、適切な値の AC 結合コンデンサを選択してください。

フレーム・クロックは、複数の AD9142 デバイス内の FIFO をリセットします。フレームとしては、ワンショットまたは連続クロックが可能です。いずれの場合も、フレームのパルス幅は、ワード・モードでは 1 DCI サイクルより、バイト・モードでは 2 DCI サイクルより、それぞれ長い必要があります。フレームが連続クロックの場合は、 f_{FRAME} は $1/8 \times f_{\text{DATA}}$ または $1/2n$ である必要があります。ここで n は整数 (1, 2, 3...) です。表 20 に、種々の条件でのフレーム・クロックの条件を示します。

表 20. フレーム・クロックの速度とパルス幅の条件

Sync Clock	Maximum Speed	Minimum Pulse Width
One Shot	N/A ¹	For both one shot and continuous sync clocks, word mode = one DCI cycle and byte mode = two DCI cycles.
Continuous	$f_{\text{DATA}}/8$	

¹ N/A=適用なし。

同期化手順

アプリケーションの同期精度が 2 DAC クロック・サイクルより緩い場合は、同期マシンをターンオフさせることが推奨されます。これは、通常の起動シーケンス以外の追加ステップが不要なためです。

同期精度が 2 DAC クロック・サイクルより厳しいアプリケーションでは、PLL オフでの同期化手順または PLL オンでの同期化手順のセクションに示す手順に従ってシステムをセットアップし、デバイスを設定することが推奨されます。AD9142 の同期方式の詳細、およびシステム・スキューとドリフトを補正するための同期機能の使い方については、DAC 遅延とシステム・スキューのセクションを参照してください。

PLL オフでの同期化手順

1. DAC インターポレーション・モードを設定し、NCO を使用する場合には、NCO FTW を設定します。
2. データ・インターフェースセクションに示す手順に従い DAC データ・インターフェースをセットアップし、DLL がロックしたことを確認します。
3. FRAME_RESET_MODE で該当するモードを選択します。
 - a. NCO を使用しない場合は、FIFO のみのモードを選択します。
 - b. NCO を使用する場合は、これを同期化する必要があります。その後、FIFO と NCO モードを使うことができます。
4. レジスタ 0x22 のビット 2 を連続リセット・モードまたはワンショット・リセット・モードに設定します。ワンショット・リセット・モードが推奨されます。
5. すべての AD9142 デバイスへの DACCLK、DCI、同期クロックが動作して安定していることを確認します。
6. レジスタ 0x21[0] へ 1 を書き込んで、同期エンジンをイネーブルします。
7. 有効フレーム・パルスを実すべての AD9142 デバイスへ送信します。
8. レジスタ 0x22[3] をリードバックして、各デバイスがフレーム・パルスを受信していることを確認します。すべてのリードバック値は 1 です。この時点で、デバイスは同期化されています。

PLL オンでの同期化手順

同期クロックと PLL 基準クロックは同じクロックを共用し、最大同期クロック・レートは $f_{\text{DATA}}/8$ であるため、同じ制限が基準クロックにも適用されます。このため、PLL オンでの同期に対しては 2×インターポレーションのみがサポートされています。

1. クロックの通倍のセクションに示す手順に従い PLL をセットアップして、PLL がロックしたことを確認します。
2. DAC インターポレーション・モードを設定し、NCO を使用する場合には、NCO FTW を設定します。
3. データ・インターフェースセクションに示す手順に従い DAC データ・インターフェースをセットアップし、DLL がロックしたことを確認します。
4. FRAME_RESET_MODE で該当するモードを選択します。
 - a. NCO を使用しない場合は、FIFO のみのモードを選択します。
 - b. NCO を使用する場合は、これを同期化する必要があります。その後、FIFO と NCO モードを使うことができます。
5. レジスタ 0x22 のビット 2 を連続リセット・モードまたはワンショット・リセット・モードに設定します。ワンショット・リセット・モードが推奨されます。
6. すべての AD9142 デバイスへの DACCLK、DCI、同期クロックが動作していることを確認します。
7. レジスタ 0x21[0] へ 1 を書き込んで、同期エンジンをイネーブルします。
8. 有効フレーム・パルスを実すべての AD9142 デバイスへ送信します。
9. レジスタ 0x22[3] をリードバックして、各デバイスがフレーム・パルスを受信していることを確認します。すべてのリードバック値は 1 です。この時点で、デバイスは同期化されています。

割込み要求動作

AD9142 には、ピン 50 とピン 51 (それぞれ $\overline{\text{IRQ2}}$ と $\overline{\text{IRQ1}}$) に割込み要求出力信号があります。これらの出力信号を使って、重要なデバイス・イベントを外部ホスト・プロセッサに通知することができます。割込みがアサートされたら、発生したイベントの詳細をデバイスへ問い合わせます。 $\overline{\text{IRQ1}}$ ピンは、オープン・ドレインのアクティブ・ロー出力です。デバイスの外部で $\overline{\text{IRQ1}}$ ピンをハイ・レベルプルアップしてください。このピンは、オープン・ドレイン出力を持つ他のデバイスの割込みピンに接続して、これらのピンをワイヤード OR 接続することができます。

10 個のイベント・フラグでデバイスの内部を表示します。これらのフラグは、2 個のイベント・フラグ・レジスタ(レジスタ 0x05 とレジスタ 0x06)に配置されています。各イベント・フラグの動作は、割込みイネーブル・レジスタ(レジスタ 0x03 とレジスタ 0x04)で独立に選択されます。フラグ割込みがイネーブルされると、イベント・フラグがラッチされ、外部割込みが発生します。フラグ割込みがディセーブルされると、イベント・フラグはソース信号をモニタしますが、 $\overline{\text{IRQ1}}$ ピンと $\overline{\text{IRQ2}}$ ピンは非アクティブのままになります。

割込みの動作メカニズム

図 49 に、割込みに関係する回路とイベント・フラグ信号が $\overline{\text{IRQx}}$ 出力まで到達する方法を示します。INTERRUPT_ENABLE 信号は、割込みイネーブル・レジスタからの 1 ビットを表します。EVENT_FLAG_SOURCE 信号は、イベント・フラグ・レジスタからの 1 ビットを表します。EVENT_FLAG_SOURCE 信号は、PLL 位相検出器からの PLL_LOCK 信号や FIFO コントローラからの FIFO_WARNING_1 信号のような、モニタ可能なデバイス信号の 1 つを表します。

割込みイネーブル・ビットがハイ・レベルに設定されると、対応するイベント・フラグ・ビットに EVENT_FLAG_SOURCE 信号が正に変化した結果が反映されます。すなわち、イベント・フラグ・ビットが EVENT_FLAG_SOURCE 信号の立上がりエッジでラッチされます。この信号が外部 $\overline{\text{IRQ}}$ ピンもアサートします。

割込みイネーブル・ビットがロー・レベルに設定されると、イベント・フラグ・ビットに EVENT_FLAG_SOURCE 信号の現在のステータスが反映され、イベント・フラグは外部 $\overline{\text{IRQ}}$ ピンに影響を与えません。

イベント・フラグのラッチされたバージョン(INTERRUPT_SOURCE 信号)は 2 つの方法でクリアします。推奨方法は、対応

するイベント・フラグ・ビットに 1 を書き込む方法です。2 つ目の方法は、ハードウェア・リセットまたはソフトウェア・リセットを使って INTERRUPT_SOURCE 信号をクリアする方法です。

$\overline{\text{IRQ2}}$ 回路は、 $\overline{\text{IRQ1}}$ 回路と同じ方法で動作します。任意の 1 個または複数のイベント・フラグをイネーブルして、 $\overline{\text{IRQ1}}$ ピンと $\overline{\text{IRQ2}}$ ピンをトリガすることができます。イネーブルされたイベント・フラグに対して一方または両方のハードウェア割込みピンを選択することができます。レジスタ 0x07 とレジスタ 0x08 を使って、各イベント・フラグを接続するピンを指定します。 $\overline{\text{IRQ1}}$ の場合はレジスタ 0x07 とレジスタ 0x08 に 0 を、 $\overline{\text{IRQ2}}$ の場合はこれらのレジスタに 1 を、それぞれ設定します。

割込みサービス・ルーチン

ホストの介入またはモニタリングを必要とするイベント・フラグのセットを選択すると、割込み要求管理が開始されます。ホストのアクションが必要なイベントをイネーブルして、イベントが発生したときホストに通知されるようにします。 $\overline{\text{IRQx}}$ が発生したときホストの介入が必要なイベントの場合、次のルーチンを実行して割込み要求をクリアします。

1. モニタ中のイベント・フラグ・ビットのステータスを読み出します。
2. 割込みイネーブル・ビットをロー・レベルに設定して、ラッチされない EVENT_FLAG_SOURCE を直接モニタできるようにします。
3. EVENT_FLAG_SOURCE をクリアするために必要とされる任意のアクションを実行します。多くの場合、特別なアクションは要求されません。
4. イベント・フラグを読み出して、実行されたアクションにより EVENT_FLAG_SOURCE がクリアされたことを確認します。
5. イベント・フラグ・ビットに 1 を書き込んで割込みをクリアします。
6. モニタするイベントの割込みイネーブル・ビットをセットします。

幾つかの EVENT_FLAG_SOURCE 信号はラッチされた信号であることに注意してください。これらの信号は、対応するイベント・フラグ・ビットに書き込みを行うとクリアされます。イベント・フラグの詳細については、デバイスの設定レジスタ・マップと説明のセクションを参照してください。

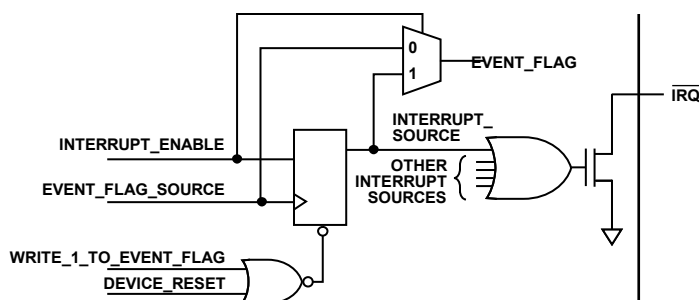


図 49. $\overline{\text{IRQ}}$ 回路の簡略化した回路図

温度センサー

AD9142 は、チップ温度を測定するダイオード・ベースの温度センサーを内蔵しています。温度測定値は、レジスタ 0x1D とレジスタ 0x1E から得られます。チップ温度は次式で計算することができます。

$$T_{DIE} = \frac{(DieTemp[15:0] - 41,237)}{106}$$

ここで、 T_{DIE} はチップ温度(°C)です。温度精度は、+85°C ~ -40°C の範囲で $\pm 7^\circ\text{C}$ (typ) であり、既知温度に対してワン・ポイント温度キャリブレーションを行っています。チップ温度対チップ温度測定値コードの代表的なプロットを図 50 に示します。

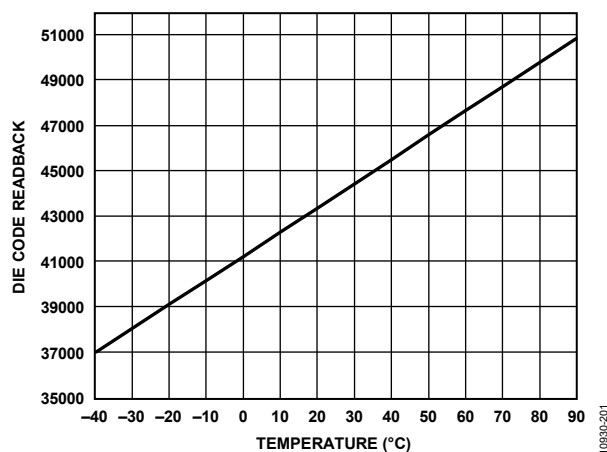


図 50. チップ温度対チップ温度測定値コード

デバイス消費電力が既知の場合、周囲温度を計算することができます。例えば、デバイス消費電力が 800 mW でチップ温度測定値が 50°C の場合、周囲温度は次のように計算することができます。

$$T_A = T_{DIE} - P_D \times \theta_{JA} = 50 - 0.8 \times 20.7 = 33.4^\circ\text{C}$$

ここで、

T_A は周囲温度(°C)。

θ_{JA} は AD9142 のジャンクションー周囲間の熱抵抗(表 8 参照)。

温度センサーを使うときは、レジスタ 0x1C のビット 0 に 1 を設定して温度センサーをイネーブルする必要があります。さらに、正確な測定値を得るためには、チップ温度コントロール・レジスタ(レジスタ 0x1C)に 0x03 を設定する必要があります。

DAC入力クロックの設定

AD9142 DAC のサンプル・クロック(DACCLK)は、直接供給するか、またはクロック通倍器から供給することができます。クロック通倍器では内蔵の位相ロック・ループ(PLL)を採用しています。この PLL には、所望 DACCLK レートの整数分の 1 で動作する基準クロックを入力します。PLL は基準クロックを所望の DACCLK 周波数まで通倍して、これを DAC で必要とされるすべての内部クロックの発生に使うことができます。クロック通倍器は、大部分のアプリケーションの性能条件を満たす高品質のクロックを提供します。この内蔵クロック通倍器を使うと、高速 DACCLK の発生と分配の負担がなくなります。

2 つ目のモードでは、クロック通倍回路をバイパスして、DACCLK を直接 DAC コアに供給します。このモードを使うと、非常に高品質のクロックを直接 DAC コアへ供給することができます。

DACCLK 入力と REFCLK 入力の駆動

DACCLK 差動入力と REFCLK 差動入力は同じクロック・レシーバ入力回路を共用します。図 51 に入力の簡略化した回路図を示します。内蔵クロック・レシーバの差動入力インピーダンスは約 10 kΩ です。このレシーバは、約 1.25 V の同相モード電圧にセルフバイアスされます。入力は、クロック・ソースとレシーバの間を AC 結合した差動 PECL または LVDS ドライバで駆動することができます。

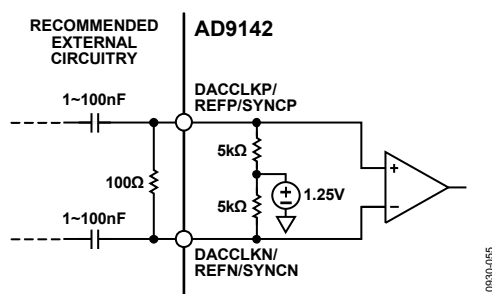


図 51. クロック・レシーバ入力の簡略化した等価回路

差動クロック入力の最小入力駆動レベルは、100 mV p-p 差動です。クロック入力信号が 800 mV p-p 差動～1.6 V p-p 差動のとき、最適性能が得られます。内蔵クロック通倍器の使用か DACCLK の直接供給かによらず、デバイスへの入力クロック信号は、最適な DAC ノイズ性能を得るために小さいジッタと高速なエッジ・レートを持つ必要があります。

クロックの直接供給

低ノイズ・クロックを直接供給すると、DAC 出力で最小のノイズ・スペクトル密度が得られます。差動 CLK 入力を DAC サンプリング・クロックのソースとして選択するときは、PLL イネーブル・ビット(レジスタ 0x12[7])に 0 を設定します。これにより内蔵 PLL クロック通倍器がパワーダウンし、DACCLKP ピンと DACCLKN ピンからの入力を内部 DAC サンプリング・クロックのソースとして選択します。REFCLK 入力はフローティングのままになります。

このデバイスには、クロック・デューティ・サイクル補正回路と差動入力レベル補正回路も内蔵されています。これらの回路をイネーブルすると、場合によって性能を向上させることができます。これらの機能のコントロール・ビットは、レジスタ 0x10 とレジスタ 0x11 に配置されています。

クロックの通倍

内蔵の PLL クロック通倍回路は、低い周波数の基準クロックから DAC サンプル・レート・クロックを発生します。PLL イネーブル・ビット(レジスタ 0x12[7])に 1 を設定すると、クロック通倍回路は低いレートの REFCLK 入力から DAC サンプリング・クロックを発生し、DACCLK 入力はフローティングのままになります。クロック通倍器の機能図を図 52 に示します。

クロック通倍回路は、VCO が周波数 f_{VCO} を出力するように動作します。この f_{VCO} は、REFCLK 入力信号周波数を $N1 \times N0$ 倍した値になります。 $N1$ はループ・デバイダの分周比で、 $N0$ は VCO デバイダの分周比です。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N0)$$

DAC サンプル・クロック周波数 f_{DACCLK} は次の値になります。

$$f_{DACCLK} = f_{REFCLK} \times N1$$

VCO の出力周波数は、 f_{VCO} が 1.0 GHz～2.1 GHz の最適動作範囲内になるように選択する必要があります。所望の DACCLK 周波数が合成でき、かつ VCO 出力周波数が正しい範囲内になるように、基準クロック周波数および $N1$ と $N0$ の値を選択することが重要です。

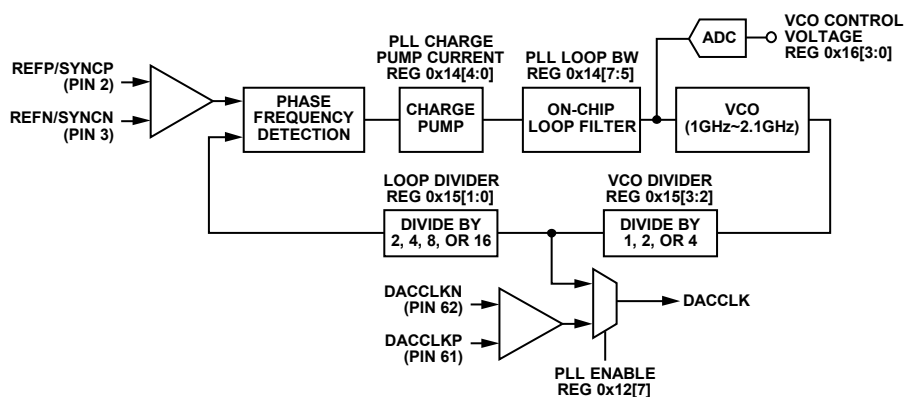


図 52. PLL クロック通倍回路

PLL の設定値

PLL 回路では、公称値として 3 つの設定値を設定する必要があります。これらのパラメータの推奨設定値を表 21 に示します。

表 21.PLL の設定値

PLL SPI Control Register	Register Address	Optimal Setting (Binary)
PLL Loop Bandwidth	0x14[7: 5]	111
PLL Charge Pump Current	0x14[4: 0]	00111
PLL Cross Control Enable	0x15[4]	0

VCO チューニング帯域の設定

PLL VCO には約 1.0 GHz~2.1 GHz の有効動作範囲があり、64 個の重複する周波数帯域でカバーされています。任意の所望 VCO 出力周波数に対して、複数の有効 PLL 帯域選択値が存在する場合があります。代表的なデバイスの周波数帯域を図 53 に示します。デバイス間変動と動作温度により、実際の帯域周波数範囲が影響を受けます。このため、個々のデバイスに対して最適な PLL 帯域選択値を決定することが必要とされます。

VCO 帯域自動選択

このデバイスは、VCO 帯域自動選択機能を内蔵しています。VCO 帯域自動選択機能の使用は、VCO 周波数帯域を設定するシンプルかつ信頼度の高い方法です。PLL をマニュアル・モードで起動してこの機能をイネーブルした後、レジスタ 0x12 に値 0xC0 を設定し、次に値 0x80 を設定して、PLL を帯域自動選択モードにします。これらの値が書込まれると、デバイスは自動化されたルーチンを実行して、デバイスに対する最適な VCO 帯域設定を決定します。

デバイスにより選択された設定値は、さらなる調整なしで、-40°C~+85°C のデバイス動作温度範囲で PLL のロック状態を維持することを保証します。初期化時にいずれかの温度限界値を超えても、PLL はフル温度範囲でロック状態を維持します。

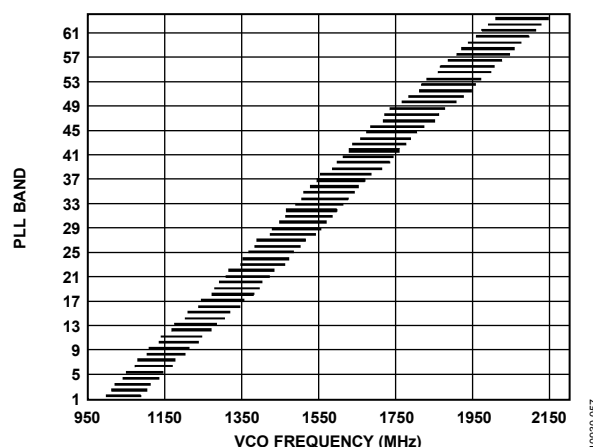


図 53. 代表的なデバイスの PLL ロック範囲

VCO 帯域のマニュアル選択

このデバイスは、ユーザーが VCO チューニング帯域を選択できるようにするマニュアル帯域選択モード(レジスタ 0x12[6]の PLL 自動マニュアル・イネーブル= 1)を内蔵しています。マニュアル・モードでは、マニュアル VCO 帯域ビット(レジスタ 0x12[5: 0])に書込んだ値で VCO 帯域を直接設定します。

PLL イネーブル・シーケンス

自動モードまたはマニュアル・モードで PLL をイネーブルするときは、次のシーケンスに従います。

自動モード・シーケンス

1. ループ・デバイダ・レジスタと VCO デバイダ・レジスタに所望の分周比を設定します。
2. PLL チャージ・ポンプ電流に 00111b を、最適性能を得るため PLL ループ帯域幅に 111b を、それぞれ設定します。
3. レジスタ 0x12[6] = 1b を使って、PLL モードにマニュアルを設定します。
4. レジスタ 0x12[7] = 1b を使って PLL をイネーブルします。
5. レジスタ 0x12[6] = 0b を使って、PLL モードに自動を設定します。
6. レジスタ 0x12[7] = 1b を使って PLL をイネーブルします。

マニュアル・モード

1. ループ・デバイダ・レジスタと VCO デバイダ・レジスタに所望の分周比を設定します。
2. PLL チャージ・ポンプ電流に 00111b を、最適性能を得るため PLL ループ帯域幅に 111b を、それぞれ設定します。
3. 所望の帯域を選択します。
4. レジスタ 0x12[6] = 1b を使って、PLL モードにマニュアルを設定します。
5. レジスタ 0x12[7] = 1b を使って PLL をイネーブルします。
6. レジスタ 0x12[7] = 1b を使って、再度 PLL をイネーブルします。

アナログ出力

トランスミット DAC 動作

図 54 に、トランスミット・パス DAC の簡略化したブロック図を示します。DAC コアは、電流源アレイ、スイッチ・コア、デジタル制御ロジック、フルスケール出力電流制御から構成されています。DAC のフルスケール出力電流(I_{OUTFS})は公称 20 mA です。IOUT1P/IOUT2P ピンと IOUT1N/ IOUT2N ピンの出力電流は相補であり、2 つの電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ渡される実効差動電流を決定します。

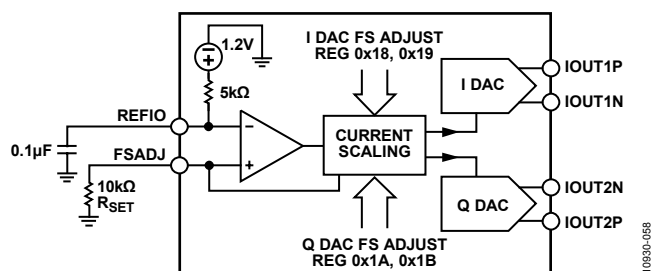


図 54. DAC コアの簡略化したブロック図

この DAC は、出力インピーダンス 5 kΩ の 1.2 V バンド・ギャップ・リファレンス電圧を内蔵しています。このリファレンス電圧は REFIO ピンに出力されます。内蔵リファレンス電圧を使用するときは、0.1 μF のコンデンサで REFIO ピンを AVSS へデカップリングしてください。内蔵リファレンス電圧は 2 μA 以下の DC 電流を流す外部回路にのみ使用してください。2 μA より大きいダイナミック負荷またはスタティック負荷の場合、REFIO ピンをバッファしてください。必要に応じて、外付けリファレンス (1.10 V ~ 1.30 V) を REFIO ピンに接続して、内蔵リファレンス電圧を上書きすることができます。

10 kΩ の外付け抵抗 R_{SET} を FSADJ ピンと AVSS の間に接続する必要があります。この抵抗とリファレンス制御アンプの組み合わせにより、DAC の正しい内部バイアス電流が設定されます。フルスケール電流はこの抵抗に反比例するため、 R_{SET} の許容誤差はフルスケール出力振幅に影響を与えます。

フルスケール電流の式を次に示します。ここでは、Q DAC と I DAC に対してそれぞれレジスタ 0x40 とレジスタ 0x44 を使って DAC ゲインを個別に設定します。

$$I_{FS} = \frac{V_{REF}}{R_{SET}} \times \left(72 + \left(\frac{3}{16} \times DAC \text{ gain} \right) \right)$$

V_{REF} (1.2 V)、 R_{SET} (10 kΩ)、DAC ゲイン (512) の公称値に対して、DAC のフルスケール電流は 20.16 mA (typ) になります。DAC フルスケール電流は DAC ゲイン・パラメータを設定して、8.64 mA ~ 31.68 mA で調整することができます (図 55)。

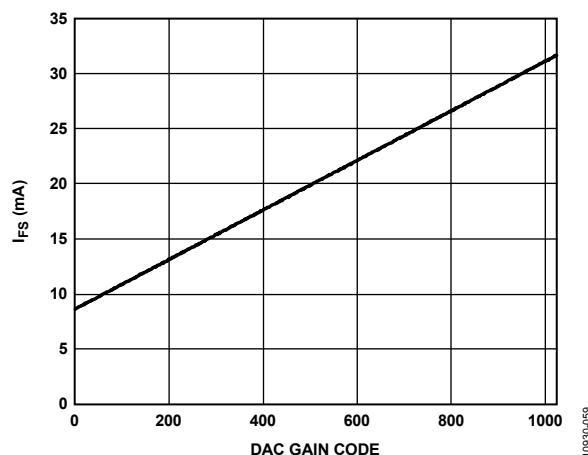


図 55. DAC ゲイン・コード対 DAC フルスケール電流

トランスミット DAC の伝達関数

IOUT1P/IOUT2P ピンと IOUT1N/ IOUT2N ピンの出力電流は相補であり、2 つの電流の和は常に DAC のフルスケール電流に一致します。DAC のデジタル入力コードが、負荷へ渡される実効差動電流を決定します。IOUT1P/IOUT2P は、すべてのビットがハイ・レベルのとき最大電流を出力します。DAC 出力に対する出力電流対 DACCODE は次式で表されます。

$$I_{OUTP} = \left[\frac{DACCODE}{2^N} \right] \times I_{OUTFS} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (2)$$

ここで、 $DACCODE = 0 \sim 2^N - 1$ 。

トランスミット DAC の出力構成

AD9142 のノイズと歪みの最適性能は、差動動作構成のときに得られます。トランスまたは差動アンプの同相モード除去比により、DAC 出力の同相モード誤差原因は大幅に減少します。これらの同相モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が増えるほど、および/またはその振幅が大きくなるほど、歪み性能の改善効果が大きくなります。これは、種々のダイナミックな同相モード歪みメカニズム、デジタル信号の混入、ノイズの 1 次的な相殺に起因します。

図 56 に最も基本的な DAC 出力回路を示します。一對の抵抗 R_O が、各相補出力電流を差動電圧出力 V_{OUT} へ変換します。DAC の電流出力は高インピーダンスであるため、DAC 出力の差動駆動ポイント・インピーダンス R_{OUT} は $2 \times R_O$ に等しくなります。出力電圧波形については図 57 を参照してください。

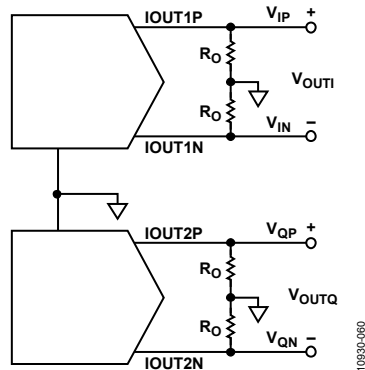


図 56. トランスミット DAC 出力の基本回路

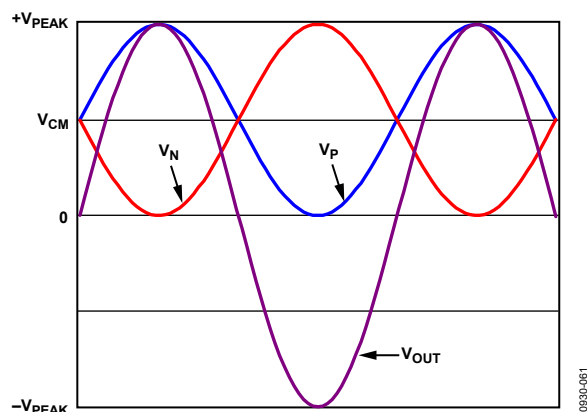


図 57. 出力電圧波形

同相モード信号電圧 V_{CM} は次のように計算されます。

$$V_{CM} = \frac{I_{FS}}{2} \times R_O$$

ピーク出力電圧 V_{PEAK} は次のように計算されます。

$$V_{PEAK} = I_{FS} \times R_O$$

この回路構成では、シングルエンド・ピーク電圧はピーク差動出力電圧と同じになります。

変調器へのインターフェース

AD9142 は、ADL537x ファミリーの変調器に対して最小部品数でインターフェースします。推奨インターフェース回路例を図 58 に示します。

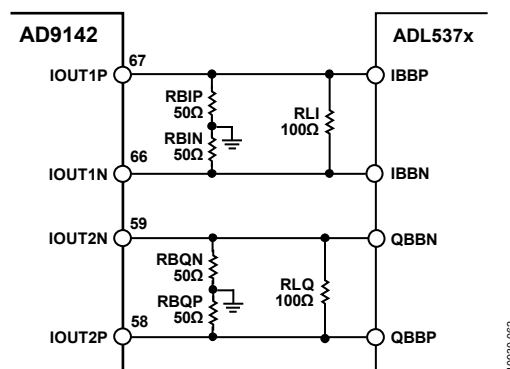


図 58. AD9142 と ADL537x ファミリー変調器との間の代表的なインターフェース回路

ADL537x ファミリーのベースバンド入力では 500 mV の DC バイアスが必要です。DAC の各出力の公称ミッドスケール出力電流は 10 mA (フルスケール電流の 1/2) です。このため、グラウンドと各 DAC 出力との間に 50 Ω 抵抗を 1 本接続すると、ADL537x 入力に対する所望の 500 mV DC 同相モード・バイアスが得られます。変調器入力に並列に負荷抵抗を追加すると、信号レベルが小さくなります。送信信号のピーク to ピーク電圧振幅は次式で表されます。

$$V_{SIGNAL} = I_{FS} \times \frac{(2 \times R_B \times R_L)}{(2 \times R_B + R_L)}$$

ベースバンド・フィルタの構成

大部分のアプリケーションでは、DAC と変調器の間にベースバンド折り返し防止フィルタを接続して、ナイキスト・イメージと広帯域 DAC ノイズを除去する必要があります。このフィルタは、DAC 出力の I-V 抵抗と変調器入力の信号レベル設定抵抗の間に挿入することができます。この構成により、フィルタの入力インピーダンスと出力インピーダンスが設定されます。

図 59 に、5 次ローパス・フィルタを示します。同相モード・チョークは I-V 抵抗とフィルタの残りの部分との間に接続して、DAC から発生する同相モード信号を除去し、同相モード信号が差動信号へ変換される(出力スペクトルに不要スプリアス信号として現れます)のを防止します。最初のフィルタ・コンデンサを 2 つに分けて、中点をグラウンドに接続すると、同相モード・ローパス・フィルタが構成されるので、高周波信号の同相モード除去比を大きくすることができます。純粋な差動フィルタは、同相モード信号を通過させることができます。

AD9142 DAC の IQ 変調器へのインターフェースの詳細については、アナログ・デバイセス・ウェブサイトの [Circuits from the Lab CN-0205](#) 「Interfacing the ADL5375 I/Q Modulator to the AD9122 Dual Channel, 1.2 GSPS High Speed DAC」を参照してください。

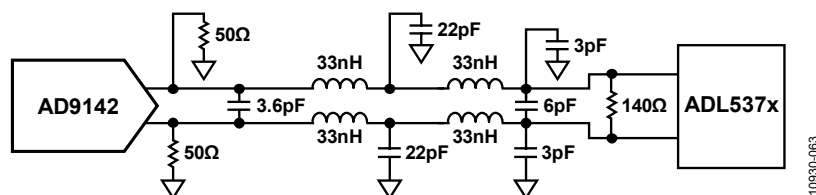


図 59. 5 次ローパス・フィルタによる DAC 変調器インターフェース

ローカル発信器のリークと不要なサイドバンドの削減

アナログ直交変調器は、IとQのベースバンド入力内のDCオフセット電圧と、ローカル発信器(LO)の入力から出力へのフィードスルー・パスのために、LO周波数で不要な信号を発生することもあります。 LOフィードスルーは、デジタルDCオフセット調整機能(レジスタ0x3B～レジスタ0x3E)を使って、DAC出力に正しいDCオフセット電圧を加えることにより相殺させることができます。

効果的なサイドバンド除去には、I信号とQ信号のゲイン一致と位相一致が必要です。I/Q位相調整レジスタ(レジスタ0x37とレ

ジスタ0x38)およびDAC FS調整レジスタ(レジスタ0x18～レジスタ0x1B)を使って、I送信パスとQ送信パスをキャリブレーションしてサイドバンドの除去を最適化することができます。

LO リークとサイドバンド・イメージの削減の詳細については、アナログ・デバイセズ・ウェブサイトの[アプリケーション・ノート AN-1039](#)「*Correcting Imperfections in IQ Modulators to Improve RF Signal Fidelity*」と[アプリケーション・ノート AN-1100](#)「*Wireless Transmitter IQ Balance and Sideband Suppression*」を参照してください。

起動ルーチンの例

AD9142 の信頼度の高い起動のためには、所定のシーケンスに従う必要があります。このセクションでは起動ルーチンの例を示します。

デバイス設定と起動シーケンス

- $f_{\text{DATA}} = 200 \text{ MHz}$ 、インターポレーションは $8\times$ 。
- 入力データはベースバンド・データ。
- $f_{\text{OUT}} = 350 \text{ MHz}$ 。
- PLL をイネーブル、 $f_{\text{REF}} = 200 \text{ MHz}$ 。
- ファイン NCO をイネーブル、逆 sinc フィルタをイネーブル。
- インターフェース遅延設定値 0 で遅延線採用-モードを使用。

PLL 設定値の導出

次の PLL 設定値をデバイス設定から導出することができます。

- $f_{\text{DAC}} = 200 \times 8 = 1600 \text{ MHz}$ 。
- $f_{\text{VCO}} = f_{\text{DAC}} = 1600 \text{ MHz}$ ($1 \text{ GHz} < f_{\text{VCO}} < 2 \text{ GHz}$)。
- VCO デバイダ $= f_{\text{VCO}}/f_{\text{DAC}} = 1$ 。
- ループ・デバイダ $= f_{\text{DAC}}/f_{\text{REF}} = 8$ 。

NCO 設定値の導出

次の NCO 設定値をデバイス設定から導出することができます。

- $f_{\text{DAC}} = 200 \times 8 = 1600 \text{ MHz}$ 。
- $f_{\text{CARRIER}} = f_{\text{OUT}} = 350 \text{ MHz}$ 。
- $\text{FTW} = f_{\text{CARRIER}}/f_{\text{DAC}} \times 2^{32} = 0x38000000$ 。

起動シーケンス

1. デバイスをパワーアップします(特別な電源シーケンスは不要)。
2. 安定な DAC クロックを供給します。
3. 安定な DCI クロックを供給します。
4. 安定入力データを入力します。
5. H/W リセットを発行します(オプション)。

**/* Device configuration register write sequence.
Must be written in sequence for every device
after reset*/**

```
0x00 → 0x20 /* Issue software reset */
0x20 → 0x01 /* Device Startup Configuration */
0x79 → 0x18 /* Device Startup Configuration */
0x80 → 0xAD /* Device Startup Configuration */
0xE1 → 0x1A /* Device Startup Configuration */
```

```
/* Configure PLL */
0x14 → 0xE3 /* Configure PLL loop BW and charge
pump current */
0x15 → 0xC2 /* Configure VCO divider and Loop
divider */
0x12 → 0xC0 /*Enable the PLL */
0x12 → 0x80
```

```
/* Configure Data Interface */
0x5E → 0x00 /* Delay setting 0 */
0x5F → 0x08 /* Enable the delay line */
```

```
/* Configure Interpolation filter */
0x28 → 0x03 /* 8× interpolation */
```

```
/* Reset FIFO */
0x25 → 0x01
Read 0x25[1] /* Expect 1b if the FIFO reset is
complete */
Read 0x24 /* The readback should be one of the
three values: 0x37, 0x40, or 0x41 */
```

```
/* Configure NCO */
0x27 → 0x40 /* Enable NCO */
0x31 → 0x00
0x32 → 0x00
0x33 → 0x00
0x34 → 0x38
0x30 → 0x01
Read 0x30[1] /* Expect 1b if the NCO update is
complete */
```

```
/* Enable Inverse SINC filter */
0x27 → 0xC0
```

```
/* Power up DAC outputs */
0x01 → 0x00
```

デバイスの設定レジスタ・マップと説明

表 22. デバイス設定レジスタ・マップ

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW	
0x00	Common	[7: 0]	Reserved	SPI_LSB_FIRST	DEVICE_RESET	Reserved					0x00	RW	
0x01	PD_CONTROL	[7: 0]	PD_IDAC	PD_QDAC	PD_DATA_RCV	Reserved		PD_DEVICE	PD_DACCLK	PD_FRAME	0xC0	RW	
0x03	INTERRUPT_ENABLE0	[7: 0]	Reserved	ENABLE_SYNC_LOST	ENABLE_SYNC_LOCKED	ENABLE_SYNC_DONE	ENABLE_PLL_LOST	ENABLE_PLL_LOCKED	ENABLE_OVER_THRESHOLD	ENABLE_DACOUT_MUTED	0x00	RW	
0x04	INTERRUPT_ENABLE1	[7: 0]	Reserved					ENABLE_FIFO_UNDERFLOW	ENABLE_FIFO_OVERFLOW	ENABLE_FIFO_WARNING	0x00	RW	
0x05	INTERRUPT_FLAG0	[7: 0]	Reserved	SYNC_LOST	SYNC_LOCKED	SYNC_DONE	PLL_LOST	PLL_LOCKED	OVER_THRESHOLD	DACOUT_MUTED	0x00	R	
0x06	INTERRUPT_FLAG1	[7: 0]	Reserved					FIFO_UNDERFLOW	FIFO_OVERFLOW	FIFO_WARNING	0x00	R	
0x07	IRQ_SEL0	[7: 0]	Reserved	SEL_SYNC_LOST	SEL_SYNC_LOCKED	SEL_SYNC_DONE	SEL_PLL_LOST	SEL_PLL_LOCKED	SEL_OVER_THRESHOLD	SEL_DACOUT_MUTED	0x00	RW	
0x08	IRQ_SEL1	[7: 0]	Reserved					SEL_FIFO_UNDERFLOW	SEL_FIFO_OVERFLOW	SEL_FIFO_WARNING	0x00	RW	
0x10	DACCLK_RECEIVER_CTRL	[7: 0]	DACCLK_DUTYCYCLE_CORRECTION	Reserved	DACCLK_CROSSPOINT_CTRL_ENABLE	DACCLK_CROSSPOINT_LEVEL					0xFF	RW	
0x11	REFCLK_RECEIVER_CTRL	[7: 0]	DUTYCYCLE_CORRECTION	Reserved	REFCLK_CROSSPOINT_CTRL_ENABLE	REFCLK_CROSSPOINT_LEVEL					0xBF	RW	
0x12	PLL_CTRL0	[7: 0]	PLL_ENABLE	AUTO_MANUAL_SEL	PLL_MANUAL_BAND						0x00	RW	
0x14	PLL_CTRL2	[7: 0]	PLL_LOOP_BW			PLL_CP_CURRENT						0xE7	RW
0x15	PLL_CTRL3	[7: 0]	DIGLOGIC_DIVIDER		Reserved	CROSSPOINT_CTRL_EN	VCO_DIVIDER		LOOP_DIVIDER		0xC9	RW	
0x16	PLL_STATUS0	[7: 0]	PLL_LOCK	Reserved			VCO_CTRL_VOLTAGE_READBACK				0x00	R	
0x17	PLL_STATUS1	[7: 0]	Reserved		PLL_BAND_READBACK							0x00	R
0x18	IDAC_FS_ADJ0	[7: 0]	IDAC_FULLSCALE_ADJUST_LSB									0xF9	RW
0x19	IDAC_FS_ADJ1	[7: 0]	Reserved						IDAC_FULLSCALE_ADJUST_MSB			0xE1	RW
0x1A	QDAC_FS_ADJ0	[7: 0]	QDAC_FULLSCALE_ADJUST_LSB									0xF9	RW
0x1B	QDAC_FS_ADJ1	[7: 0]	Reserved						QDAC_FULLSCALE_ADJUST_MSB			0x01	RW
0x1C	DIE_TEMP_SENSOR_CTRL	[7: 0]	Reserved	FS_CURRENT			REF_CURRENT			DIE_TEMP_SENSOR_EN	0x02	RW	
0x1D	DIE_TEMP_LSB	[7: 0]	DIE_TEMP_LSB									0x00	R
0x1E	DIE_TEMP_MSB	[7: 0]	DIE_TEMP_MSB									0x00	R
0x1F	CHIP_ID	[7: 0]	CHIP_ID									0x0A	R
0x20	INTERRUPT_CONFIG	[7: 0]	INTERRUPT_CONFIGURATION									0x00	RW
0x21	SYNC_CTRL	[7: 0]	Reserved						SYNC_CLK_EDGE_SEL	SYNC_ENABLE	0x00	RW	
0x22	FRAME_RST_CTRL	[7: 0]	Reserved				FRAME_RESET_ACK	EN_CON_FRAME_RESET	FRAME_RESET_MODE		0x12	RW	
0x23	FIFO_LEVEL_CONFIG	[7: 0]	Reserved	INTEGRAL_FIFO_LEVEL_REQUEST			Reserved	FRACTIONAL_FIFO_LEVEL_REQUEST			0x40	RW	
0x24	FIFO_LEVEL_READBACK	[7: 0]	Reserved	INTEGRAL_FIFO_LEVEL_READBACK			Reserved	FRACTIONAL_FIFO_LEVEL_READBACK			0x00	R	
0x25	FIFO_CTRL	[7: 0]	Reserved						FIFO_SPI_RESET_ACK	FIFO_SPI_RESET_REQUEST	0x00	RW	
0x26	DATA_FORMAT_SEL	[7: 0]	DATA_FORMAT	DATA_PAIRING	DATA_BUS_INVERT	Reserved				DATA_BUS_WIDTH	0x00	RW	
0x27	DATAPATH_CTRL	[7: 0]	INVSINC_ENABLE	NCO_ENABLE	IQ_GAIN_ADJ_DC_OFFSET_ENABLE	IQ_PHASE_ADJ_ENABLE	Reserved	FS4_MODULATION_ENABLE	NCO_SIDE_BAND_SEL	SEND_IDATA_TO_QDAC	0x00	RW	

0x28	INTERPOLATION_CTRL	[7: 0]	Reserved						INTERPOLATION_MODE		0x00	RW	
0x29	OVER_THRESHOLD_CTRL0	[7: 0]	THRESHOLD_LEVEL_REQUEST_LSB									0x00	RW
0x2A	OVER_THRESHOLD_CTRL1	[7: 0]	Reserved			THRESHOLD_LEVEL_REQUEST_MSB						0x00	RW
0x2B	OVER_THRESHOLD_CTRL2	[7: 0]	ENABLE_PROTECTION	IQ_DATA_SWAP	Reserved		SAMPLE_WINDOW_LENGTH				0x00	RW	
0x2C	INPUT_POWER_READBACK_LSB	[7: 0]	INPUT_POWER_READBACK_LSB									0x00	R
0x2D	INPUT_POWER_READBACK_MSB	[7: 0]	Reserved			INPUT_POWER_READBACK_MSB						0x00	R
0x30	NCO_CTRL	[7: 0]	Reserved	NCO_FRAME_UPDATE_ACK	SPI_NCO_PHASE_RST_ACK	SPI_NCO_PHASE_RST_REQ	Reserved		NCO_SPI_UPDATE_ACK	NCO_SPI_UPDATE_REQ	0x00	RW	
0x31	NCO_FREQ_TUNING_WORD0	[7: 0]	NCO_FTW0									0x00	RW
0x32	NCO_FREQ_TUNING_WORD1	[7: 0]	NCO_FTW1									0x00	RW
0x33	NCO_FREQ_TUNING_WORD2	[7: 0]	NCO_FTW2									0x00	RW
0x34	NCO_FREQ_TUNING_WORD3	[7: 0]	NCO_FTW3									0x10	RW
0x35	NCO_PHASE_OFFSET0	[7: 0]	NCO_PHASE_OFFSET_LSB									0x00	RW
0x36	NCO_PHASE_OFFSET1	[7: 0]	NCO_PHASE_OFFSET_MSB									0x00	RW
0x37	IQ_PHASE_ADJ0	[7: 0]	IQ_PHASE_ADJ_LSB									0x00	RW
0x38	IQ_PHASE_ADJ1	[7: 0]	Reserved			IQ_PHASE_ADJ_MSB						0x000	RW
0x3B	IDAC_DC_OFFSET0	[7: 0]	IDAC_DC_OFFSET_LSB									0x00	RW
0x3C	IDAC_DC_OFFSET1	[7: 0]	IDAC_DC_OFFSET_MSB									0x00	RW
0x3D	QDAC_DC_OFFSET0	[7: 0]	QDAC_DC_OFFSET_LSB									0x00	RW
0x3E	QDAC_DC_OFFSET1	[7: 0]	QDAC_DC_OFFSET_MSB									0x00	RW
0x3F	IDAC_GAIN_ADJ	[7: 0]	Reserved			IDAC_GAIN_ADJ						0x20	RW
0x40	QDAC_GAIN_ADJ	[7: 0]	Reserved			QDAC_GAIN_ADJ						0x20	RW
0x41	GAIN_STEP_CTRL0	[7: 0]	Reserved			RAMP_UP_STEP						0x01	RW
0x42	GAIN_STEP_CTRL1	[7: 0]	DAC_OUTPUT_STATUS	DAC_OUTPUT_ON	RAMP_DOWN_STEP						0x01	RW	
0x43	TX_ENABLE_CTRL	[7: 0]	Reserved				TXENABLE_GAINSTEP_EN	TXENABLE_SLEEP_EN	TXENABLE_POWER_DOWN_EN	0x07	RW		
0x44	DAC_OUTPUT_CTRL	[7: 0]	DAC_OUTPUT_CTRL_EN	Reserved		FIFO_WARNING_SHUTDOWN_EN	OVER-THRESHOLD_SHUTDOWN_EN	Reserved	FIFO_ERROR_SHUTDOWN_EN	0x8F	RW		
0x5E	DATA_RX_CTRL0	[7: 0]	DLY_TAP_LSB									0xFF	RW
0x5F	DATA_RX_CTRL1	[7: 0]	Reserved				DLYLINE_EN		DLY_TAP_MSB		0x07	RW	
0x79	DEVICE_CONFIG0	[7: 0]	DEVICE_CONFIGURATION0									0x00	RW
0x7F	Version	[7: 0]	Version									0x05	R
0x80	DEVICE_CONFIG1	[7: 0]	DEVICE_CONFIGURATION1									0x00	RW
0xE1	DEVICE_	[7: 0]	DEVICE_CONFIGURATION2									0x00	RW

CONFIG2

SPI 設定レジスタ

アドレス: 0x00、リセット: 0x00、名前: Common

表 23.Common のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
6	SPI_LSB_FIRST	0 1	Serial port communication, MSB-first or LSB-first selection. MSB first. LSB first.	0x0	RW
5	DEVICE_RESET		The device resets when 1 is written to this bit. DEVICE_RESET is a self clear bit. After the reset, the bit returns to 0 automatically. The readback is always 0.	0x0	RW

パワーダウン・コントロール・レジスタ

アドレス: 0x01、リセット: 0xC0、名前: PD_CONTROL

表 24. PD_CONTROL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	PD_IDAC		The IDAC is powered down when PD_IDAC is set to 1. This bit powers down only the analog portion of the IDAC. The IDAC digital data path is not affected.	0x1	RW
6	PD_QDAC		The QDAC is powered down when PD_QDAC is set to 1. This bit powers down only the analog portion of the QDAC. The QDAC digital data path is not affected.	0x1	RW
5	PD_DATARCV		The data interface circuitry is powered down when PD_DATARCV is set to 1. This bit powers down the data interface and the write side of the FIFO.	0x0	RW
2	PD_DEVICE		The bandgap circuitry is powered down when set to 1. This bit powers down the entire chip.	0x0	RW
1	PD_DACCLK		The DAC clocking powers down when PD_DEVICE is set to 1. This bit powers down the DAC clocking path and, thus, the majority of the digital functions.	0x0	RW
0	PD_FRAME		The frame receiver powers down when PD_FRAME is set to 1. The frame signal is internally pulled low. Set to 1 when frame is not used.	0x0	RW

割込みイネーブル 0 レジスタ

アドレス: 0x03、リセット: 0x00、名前: INTERRUPT_ENABLE0

表 25.INTERRUPT_ENABLE0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
6	ENABLE_SYNC_LOST		Enable interrupt for sync lost.	0x0	RW
5	ENABLE_SYNC_LOCKED		Enable interrupt for sync lock.	0x0	RW
4	ENABLE_SYNC_DONE		Enable interrupt for sync done.	0x0	RW
3	ENABLE_PLL_LOST		Enable interrupt for PLL lost.	0x0	RW
2	ENABLE_PLL_LOCKED		Enable interrupt for PLL locked.	0x0	RW
1	ENABLE_OVER_THRESHOLD		Enable interrupt for overthreshold.	0x0	RW
0	ENABLE_DACOUT_MUTED		Enable interrupt for DACOUT muted.	0x0	RW

割込みイネーブル 1 レジスタ

アドレス: 0x04、リセット: 0x00、名前: INTERRUPT_ENABLE1

表 26.INTERRUPT_ENABLE1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
2	ENABLE_FIFO_UNDERFLOW		Enable interrupt for FIFO underflow.	0x0	RW
1	ENABLE_FIFO_OVERFLOW		Enable interrupt for FIFO overflow.	0x0	RW
0	ENABLE_FIFO_WARNING		Enable interrupt for FIFO warning.	0x0	RW

割込みフラグ 0 レジスタ

アドレス: 0x05、リセット: 0x00、名前: INTERRUPT_FLAG0

表 27. INTERRUPT_FLAG0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
6	SYNC_LOST		SYNC_LOST is set to 1 when sync is lost.	0x0	R
5	SYNC_LOCKED		SYNC_LOCKED is set to 1 when sync is locked.	0x0	R
4	SYNC_DONE		SYNC_DONE is set to 1 when sync is done.	0x0	R
3	PLL_LOST		PLL_LOST is set to 1 when PLL loses lock.	0x0	R
2	PLL_LOCKED		PLL_LOCKED is set to 1 when PLL is locked.	0x0	R
1	OVER_THRESHOLD		OVER_THRESHOLD is set to 1 when input power is overthreshold.	0x0	R
0	DACOUT_MUTED		DACOUT_MUTED is set to 1 when the DAC output is muted (midscale dc).	0x0	R

割込みフラグ 1 レジスタ

アドレス: 0x06、リセット: 0x00、名前: INTERRUPT_FLAG1

表 28. INTERRUPT_FLAG1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
2	FIFO_UNDERFLOW		FIFO_UNDERFLOW is set to 1 when the FIFO read pointer catches the FIFO write pointer.	0x0	R
1	FIFO_OVERFLOW		FIFO_OVERFLOW is set to 1 when the FIFO write pointer catches the FIFO read pointer.	0x0	R
0	FIFO_WARNING		FIFO_WARNING is set to 1 when the FIFO is one slot from empty (≤ 1) or full (≥ 6).	0x0	R

割込みセレクト 0 レジスタ

アドレス: 0x07、リセット: 0x00、名前: IRQ_SEL0

表 29. IRQ_SEL0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
6	SEL_SYNC_LOST	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
5	SEL_SYNC_LOCKED	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
4	SEL_SYNC_DONE	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
3	SEL_PLL_LOST	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
2	SEL_PLL_LOCKED	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
1	SEL_OVER_THRESHOLD	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
0	SEL_DACOUT_MUTED	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		

割込みセレクト1レジスタ

アドレス: 0x08、リセット: 0x00、名前: IRQ_SEL1

表 30.IRQ_SEL1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
2	SEL_FIFO_UNDERFLOW	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
1	SEL_FIFO_OVERFLOW	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		
0	SEL_FIFO_WARNING	0	Selects the $\overline{\text{IRQ1}}$ pin.	0x0	RW
		1	Selects the $\overline{\text{IRQ2}}$ pin.		

DAC クロック・レシーバ・コントロール・レジスタ

アドレス: 0x10、リセット: 0xFF、名前: DACCLK_RECEIVER_CTRL

表 31.DACCLK_RECEIVER_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DACCLK_DUTYCYCLE_CORRECTION		Enables duty cycle correction at the DACCLK input. For best performance, the default and recommended status is turned on.	0x1	RW
5	DACCLK_CROSSPOINT_CTRL_ENABLE		Enables crosspoint control at the DACCLK input. For best performance, the default and recommended status is turned on.	0x1	RW
[4: 0]	DACCLK_CROSSPOINT_LEVEL		A twos complement value. For best performance, it is recommended to set DACCLK_CROSSPOINT_LEVEL to the default value.	0x1F	RW
		01111	Highest crosspoint.		
		11111	Lowest crosspoint.		

基準クロック・レシーバ・コントロール・レジスタ

アドレス: 0x11、リセット: 0xBF、名前: REFCLK_RECEIVER_CTRL

表 32.REFCLK_RECEIVER_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DUTYCYCLE_CORRECTION		Enables duty cycle correction at the REFCLK input. For best performance, the default and recommended status is turned off.	0x0	RW
5	REFCLK_CROSSPOINT_CTRL_ENABLE		Enables crosspoint control at the REFCLK input. For best performance, the default and recommended status is turned off.	0x0	RW
[4: 0]	REFCLK_CROSSPOINT_LEVEL		A twos complement value. For best performance, it is recommended to set REFCLK_CROSSPOINT_LEVEL to the default value.	0x1F	RW
		01111	Highest crosspoint.		
		11111	Lowest crosspoint.		

PLL コントロール・レジスタ

アドレス: 0x12、リセット: 0x00、名前: PLL_CTRL0

表 33.PLL_CTRL0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	PLL_ENABLE		Enables PLL clock multiplier.	0x0	RW
6	AUTO_MANUAL_SEL	0 1	PLL band selection mode. Automatic mode. Manual mode.	0x0	RW
[5: 0]	PLL_MANUAL_BAND	000000 111111	PLL band setting in manual mode. 64 bands in total, covering a 1 GHz to 2.1 GHz VCO range. Lowest band (1 GHz). Highest band (2.1 GHz).	0x00	RW

PLL コントロール・レジスタ

アドレス: 0x14、リセット: 0xE7、名前: PLL_CTRL2

表 34.PLL_CTRL2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 5]	PLL_LOOP_BW	0x00 0x1F	Selects the PLL loop filter bandwidth. The default and recommended setting is 111 for optimal PLL performance. Lowest setting. Highest setting.	0x7	RW
[4: 0]	PLL_CP_CURRENT	0x00 0x1F	Sets nominal PLL charge pump current. The default and recommended setting is 00111 for optimal PLL performance. Lowest setting. Highest setting.	0x07	RW

PLL コントロール・レジスタ

アドレス: 0x15、リセット: 0xC9、名前: PLL_CTRL3

表 35.PLL_CTRL3 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 6]	DIGLOGIC_DIVIDER	00 01 10 11	REFCLK to PLL digital clock divide ratio. The PLL digital clock drives the internal PLL logics. The divide ratio must be set to ensure that the PLL digital clock is below 75 MHz. $f_{\text{REFCLK}}/f_{\text{DIG}} = 2$. $f_{\text{REFCLK}}/f_{\text{DIG}} = 4$. $f_{\text{REFCLK}}/f_{\text{DIG}} = 8$. $f_{\text{REFCLK}}/f_{\text{DIG}} = 16$.	0x3	RW
4	CROSSPOINT_CTRL_EN		Enable loop divider crosspoint control. The default and recommended setting is turned off (0) for optimal PLL performance.	0x0	RW
[3: 2]	VCO_DIVIDER	00 01 10 11	PLL VCO divider. This divider determines the ratio of the VCO frequency to the DACCLK frequency. $f_{\text{VCO}}/f_{\text{DACCLK}} = 1$. $f_{\text{VCO}}/f_{\text{DACCLK}} = 2$. $f_{\text{VCO}}/f_{\text{DACCLK}} = 4$. $f_{\text{VCO}}/f_{\text{DACCLK}} = 4$.	0x2	RW
[1: 0]	LOOP_DIVIDER	00 01 10 11	PLL loop divider. This divider determines the ratio of the DACCLK frequency to the REFCLK frequency. $f_{\text{DACCLK}}/f_{\text{REFCLK}} = 2$. $f_{\text{DACCLK}}/f_{\text{REFCLK}} = 4$. $f_{\text{DACCLK}}/f_{\text{REFCLK}} = 8$. $f_{\text{DACCLK}}/f_{\text{REFCLK}} = 16$.	0x1	RW

PLL ステータス・レジスタ

アドレス: 0x16、リセット: 0x00、名前: PLL_STATUS0

表 36.PLL_STATUS0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	PLL_LOCK		PLL clock multiplier output is stable.	0x0	R
[3: 0]	VCO_CTRL_VOLTAGE_READBACK		VCO control voltage readback. A binary value.	0x0	R
		1111	The highest VCO control voltage.		
		0111	The mid value when a proper VCO band is selected. When the PLL is locked, selecting a higher VCO band decreases this value and selecting a lower VCO band increases this value.		
		0000	The lowest VCO control voltage.		

PLL ステータス・レジスタ

アドレス: 0x17、リセット: 0x00、名前: PLL_STATUS1

表 37.PLL_STATUS1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[5: 0]	PLL_BAND_READBACK		Indicates the VCO band currently selected.	0x00	R

IDAC FS 調整 LSB レジスタ

アドレス: 0x18、リセット: 0xF9、名前: IDAC_FS_ADJ0

表 38.IDAC_FS_ADJ0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	IDAC_FULLSCALE_ADJUST_LSB		See Register 0x19.	0xF9	RW

IDAC FS 調整 MSB レジスタ

アドレス: 0x19、リセット: 0xE1、名前: IDAC_FS_ADJ1

表 39.IDAC_FS_ADJ1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[1: 0]	IDAC_FULLSCALE_ADJUST_MSB		IDAC full-scale adjust, Bits[9: 0] sets the full-scale current of the IDAC. The full-scale current can be adjusted from 8.64 mA to 31.68 mA. The default value (0x1F9) sets the full-scale current to 20 mA.	0x1	RW

QDAC FS 調整 LSB レジスタ

アドレス: 0x1A、リセット: 0xF9、名前: QDAC_FS_ADJ0

表 40.QDAC_FS_ADJ0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	QDAC_FULLSCALE_ADJUST_LSB		See Register 0x1B.	0xF9	RW

QDAC FS 調整 MSB レジスタ

アドレス: 0x1B、リセット: 0x01、名前: QDAC_FS_ADJ1

表 41.QDAC_FS_ADJ1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[1:0]	QDAC_FULLSCALE_ADJUST_MSB		QDAC full-scale adjust, Bits[9: 0] sets the full-scale current of the QDAC. The full-scale current can be adjusted from 8.64 mA to 31.68 mA. The default value (0x1F9) sets the full-scale current to 20 mA.	0x1	RW

チップ温度センサー・コントロール・レジスタ

アドレス: 0x1C、リセット: 0x02、名前: DIE_TEMP_SENSOR_CTRL

表 42.DIE_TEMP_SENSOR_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[6:4]	FS_CURRENT		Temperature sensor ADC full-scale current. Using the default setting is recommended.	0x0	RW
		000	50 μ A.		
		001	62.5 μ A.		
		...			
		110	125 μ A.		
[3:1]	REF_CURRENT	111	137.5 μ A.	0x1	RW
			Temperature sensor ADC reference current. Using the default setting is recommended.		
		000	12.5 μ A.		
		001	19 μ A.		
		...			
0	DIE_TEMP_SENSOR_EN	110	50 μ A.	0x0	RW
		111	56.5 μ A.		
			Enable the on-chip temperature sensor.		

チップ温度 LSB レジスタ

アドレス: 0x1D、リセット: 0x00、名前: DIE_TEMP_LSB

表 43.DIE_TEMP_LSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DIE_TEMP_LSB		See Register 0x1E.	0x00	R

チップ温度 MSB レジスタ

アドレス: 0x1E、リセット: 0x00、名前: DIE_TEMP_MSB

表 44.DIE_TEMP_MSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DIE_TEMP_MSB		Die temperature, Bits[15: 0] indicate the approximate die temperature. For more information, see the Temperature Sensor section.	0x00	R

チップ ID レジスタ

アドレス: 0x1F、リセット: 0x0A、名前: CHIP_ID

表 45.CHIP_ID のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	CHIP_ID		The AD9142 chip ID is 0x0A.	0x0A	R

割込み設定レジスタ

アドレス: 0x20、リセット: 0x00、名前: INTERRUPT_CONFIG

表 46. INTERRUPT_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	INTERRUPT_CONFIGURATION	0x00	Test mode.	0x00	RW
		0x01	Recommended mode (described in Interrupt Request Operation section).		

同期コントロール・レジスタ

アドレス: 0x21、リセット: 0x00、名前: SYNC_CTRL

表 47. SYNC_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
1	SYNC_CLK_EDGE_SEL	0 1	Selects the sampling edge of the DACCLK on the SYNC CLK. SYNC CLK is sampled by rising edges of DACCLK. SYNC CLK is sampled by falling edges of DACCLK.	0x0	RW
0	SYNC_ENABLE		Enables multichip synchronization.	0x0	RW

フレーム・リセット・コントロール・レジスタ

アドレス: 0x22、リセット: 0x12、名前: FRAME_RST_CTRL

表 48. FRAME_RST_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
3	FRAME_RESET_ACK		Frame reset acknowledge. This bit is set to 1 when a valid frame pulse is received.	0x0	R
2	EN_CON_FRAME_RESET	0 1	Reset mode selection. Responds to only the first valid frame pulse and resets the FIFO and/or NCO one time only. This is the default and recommended mode. Responds to every valid frame pulse and resets the FIFO and/or NCO accordingly.	0x0	RW
[1:0]	FRAME_RESET_MODE	00 01 10 11	These bits determine what is to be reset when the device receives a valid frame signal. FIFO only. NCO only. FIFO and NCO. None.	0x2	RW

FIFO レベル設定レジスタ

アドレス: 0x23、リセット: 0x40、名前: FIFO_LEVEL_CONFIG

表 49.FIFO_LEVEL_CONFIG のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[6: 4]	INTEGRAL_FIFO_LEVEL_REQUEST	000 0. 001 1. ... 111 7.	Sets the integral FIFO level. This is the difference between the read pointer and the write pointer values in the unit of input data rate (f_{DATA}). The default and recommended FIFO level is integral level = 4 and fractional level = 0. See the FIFO Operation section for details.	0x4	RW
[2: 0]	FRACTIONAL_FIFO_LEVEL_REQUEST	000 0. 001 1. ... Max allowed setting. 001 in 2×. 003 in 4×. 007 in 8×.	Sets the fractional FIFO level. This is the difference between the read pointer and the write pointer values in the unit of DACCLK rate (F_{DAC}). The maximum allowed setting value = interpolation rate – 1. See the FIFO Operation section for details.	0x0	RW

FIFO レベル・リードバック・レジスタ

アドレス: 0x24、リセット: 0x00、名前: FIFO_LEVEL_READBACK

表 50.FIFO_LEVEL_READBACK のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[6: 4]	INTEGRAL_FIFO_LEVEL_READBACK		The integral FIFO level read back. The difference between the overall FIFO level request and readback should be within two DACCLK cycles. See the FIFO Operation section for details.	0x0	R
[2: 0]	FRACTIONAL_FIFO_LEVEL_READBACK		The fractional FIFO level read back. This value should be used in combination with the readback in Bit[6: 4].	0x0	R

FIFO コントロール・レジスタ

アドレス: 0x25、リセット: 0x00、名前: FIFO_CTRL

表 51.FIFO_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
1	FIFO_SPI_RESET_ACK		Acknowledge a serial port initialized FIFO reset.	0x0	R
0	FIFO_SPI_RESET_REQUEST		Initialize a FIFO reset via the serial port.	0x0	RW

データ・フォーマット選択レジスタ

アドレス: 0x26、リセット: 0x00、名前: DATA_FORMAT_SEL

表 52.DATA_FORMAT_SEL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DATA_FORMAT		Select binary or twos complement data format.	0x0	RW
		0	Input data in twos complement format.		
		1	Input data in binary format.		
6	DATA_PAIRING		Indicate I/Q data pairing on data input.	0x0	RW
		0	I samples are paired with the next Q samples.		
		1	I samples are paired with the prior Q samples.		
5	DATA_BUS_INVERT		Swap the bit order of the data input port. MSBs become the LSBs: D[15: 0] changes to D[0: 15].	0x0	RW
		0	The order of the data bits corresponds to the pin descriptions in Table 9.		
		1	The order of the data bits is inverted.		
0	DATA_BUS_WIDTH		Data interface mode. See the LVDS Input Data Ports section for information about the operation of the different interface modes.	0x0	RW
		0	Word mode; 16-bit interface bus width.		
		1	Byte mode; 8-bit interface bus width.		

データパス・コントロール・レジスタ

アドレス: 0x27、リセット: 0x00、名前: DATAPATH_CTRL

表 53.DATAPATH_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	INVSINC_ENABLE		Enable the inverse sinc filter.	0x0	RW
6	NCO_ENABLE		Enable the NCO.	0x0	RW
5	IQ_GAIN_ADJ_DCOFFSET_ENABLE		Enable digital IQ gain adjustment and dc offset.	0x0	RW
4	IQ_PHASE_ADJ_ENABLE		Enable digital IQ phase adjustment.	0x0	RW
2	FS4_MODULATION_ENABLE		Enable $f_s/4$ modulation function.	0x0	RW
1	NCO_SIDEHAND_SEL		Selects the single-side NCO modulation image.	0x0	RW
		0	The NCO outputs the high-side image.		
		1	The NCO outputs the low-side image.		
0	SEND_IDATA_TO_QDAC		Send the IDATA to the QDAC. When enabled, I data is sent to both the IDAC and the QDAC. The Q data path still runs, and the Q data is ignored.	0x0	RW

インターポレーション・コントロール・レジスタ

アドレス: 0x28、リセット: 0x00、名前: INTERPOLATION_CTRL

表 54.INTERPOLATION_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[1: 0]	INTERPOLATION_MODE		Interpolation rate and mode selection.	0x0	RW
		00	2× Mode 1; use HB1 filter.		
		10	4× mode; use HB1 and HB2 filters.		
		11	8× mode; use all three filters (HB1, HB2, and HB3).		

オーバー・スレッショールド CTRL0 レジスタ

アドレス: 0x29、リセット: 0x00、名前: OVER_THRESHOLD_CTRL0

表 55. OVER_THRESHOLD_CTRL0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	THRESHOLD_LEVEL_REQUEST_LSB		See Register 0x2A.	0x0	RW

オーバー・スレッショールド CTRL1 レジスタ

アドレス: 0x2A、リセット: 0x00、名前: OVER_THRESHOLD_CTRL1

表 56. OVER_THRESHOLD_CTRL1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[4: 0]	THRESHOLD_LEVEL_REQUEST_MSB		Minimum average input power ($I^2 + Q^2$) to trigger the input power protection function.	0x00	RW

オーバー・スレッショールド CTRL2 レジスタ

アドレス: 0x2B、リセット: 0x00、名前: OVER_THRESHOLD_CTRL2

表 57. OVER_THRESHOLD_CTRL2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	ENABLE_PROTECTION		Enable input power protection.	0x0	RW
6	IQ_DATA_SWAP		Swap I and Q data in average power calculation.	0x0	RW
[3: 0]	SAMPLE_WINDOW_LENGTH	0000	Number of data input samples for power averaging. 512 IQ data sample pairs.	0x0	RW
		0001	1024 IQ data sample pairs.		
		...			
		1010	2 ¹⁹ IQ data sample pairs.		
		1011 to 1111	invalid.		

入力電力リードバック LSB レジスタ

アドレス: 0x2C、リセット: 0x00、名前: INPUT_POWER_READBACK_LSB

表 58. INPUT_POWER_READBACK_LSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	INPUT_POWER_READBACK_LSB		See Register 0x2D.	0x0	R

入力電力リードバック MSB レジスタ

アドレス: 0x2D、リセット: 0x00、名前: INPUT_POWER_READBACK_MSB

表 59. INPUT_POWER_READBACK_MSB のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[4: 0]	INPUT_POWER_READBACK_MSB		Input signal average power readback.	0x00	R

NCO コントロール・レジスタ

アドレス: 0x30、リセット: 0x00、名前: NCO_CTRL

表 60.NCO_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
6	NCO_FRAME_UPDATE_ACK		Frequency tuning word update request from frame.	0x0	R
5	SPI_NCO_PHASE_RST_ACK		NCO phase SPI reset acknowledge.	0x0	R
4	SPI_NCO_PHASE_RST_REQ		NCO phase SPI reset request.	0x0	RW
1	NCO_SPI_UPDATE_ACK		Frequency tuning word update acknowledge.	0x0	R
0	NCO_SPI_UPDATE_REQ		Frequency tuning word update request from SPI.	0x0	RW

NCO_FREQ_TUNING_WORD0 レジスタ

アドレス: 0x31、リセット: 0x00、名前: NCO_FREQ_TUNING_WORD0

表 61.NCO_FREQ_TUNING_WORD0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_FTW0		See Register 0x34.	0x00	RW

NCO_FREQ_TUNING_WORD1 レジスタ

アドレス: 0x32、リセット: 0x00、名前: NCO_FREQ_TUNING_WORD1

表 62.NCO_FREQ_TUNING_WORD1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_FTW1		See Register 0x34.	0x00	RW

NCO_FREQ_TUNING_WORD2 レジスタ

アドレス: 0x33、リセット: 0x00、名前: NCO_FREQ_TUNING_WORD2

表 63.NCO_FREQ_TUNING_WORD2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_FTW2		See Register 0x34.	0x00	RW

NCO_FREQ_TUNING_WORD3 レジスタ

アドレス: 0x34、リセット: 0x10、名前: NCO_FREQ_TUNING_WORD3

表 64.NCO_FREQ_TUNING_WORD3 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_FTW3		FTW[31: 0] is the 32-bit frequency tuning word that determines the frequency of the complex carrier generated by the on-chip NCO. The frequency is not updated when the FTW registers are written. The values are only updated when a serial port update or frame update is initialized in Register 0x30. It is in twos complement format.	0x10	RW

NCO_PHASE_OFFSET0 レジスタ

アドレス: 0x35、リセット: 0x00、名前: NCO_PHASE_OFFSET0

表 65.NCO_PHASE_OFFSET0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_PHASE_OFFSET_LSB		See Register 0x36.	0x00	RW

NCO_PHASE_OFFSET1 レジスタ

アドレス: 0x36、リセット: 0x00、名前: NCO_PHASE_OFFSET1

表 66.NCO_PHASE_OFFSET1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	NCO_PHASE_OFFSET_MSB		This register sets the initial phase of the complex carrier signal upon reset. The phase offset spans from 0 degrees to 360 degrees. Each bit represents an offset of 0.0055 degrees. This value is in twos complement format.	0x00	RW

IQ_PHASE_ADJ0 レジスタ

アドレス: 0x37、リセット: 0x00、名前: IQ_PHASE_ADJ0

表 67.IQ_PHASE_ADJ0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	IQ_PHASE_ADJ_LSB		See Register 0x38.	0x00	RW

IQ_PHASE_ADJ1 レジスタ

アドレス: 0x38、リセット: 0x000、名前: IQ_PHASE_ADJ1

表 68.IQ_PHASE_ADJ1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[4:0]	IQ_PHASE_ADJ_MSB		IQ phase adjust, Bits[12: 0], is used to insert a phase offset between the I and Q datapaths. It provides an adjustment range of ± 14 degrees with a step of 0.0035 degrees. This value is in twos complement. See the Quadrature Phase Adjustment section for more information.	0x0	RW

IDAC_DC_OFFSET0 レジスタ

アドレス: 0x3B、リセット: 0x00、名前: IDAC_DC_OFFSET0

表 69.IDAC_DC_OFFSET0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	IDAC_DC_OFFSET_LSB		See Register 0x3C.	0x00	RW

IDAC_DC_OFFSET1 レジスタ

アドレス: 0x3C、リセット: 0x00、名前: IDAC_DC_OFFSET1

表 70.IDAC_DC_OFFSET1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	IDAC_DC_OFFSET_MSB		IDAC DC offset, Bits[15: 0], is a dc value that is added directly to the sample values written to the IDAC.	0x00	RW

QDAC_DC_OFFSET0 レジスタ

アドレス: 0x3D、リセット: 0x00、名前: QDAC_DC_OFFSET0

表 71.QDAC_DC_OFFSET0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	QDAC_DC_OFFSET_LSB		See Register 0x3E.	0x00	RW

QDAC_DC_OFFSET1 レジスタ

アドレス: 0x3E、リセット: 0x00、名前: QDAC_DC_OFFSET1

表 72.QDAC_DC_OFFSET1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	QDAC_DC_OFFSET_MSB		QDAC DC offset, Bits[15: 0], is a dc value that is added directly to the sample values written to the QDAC.	0x00	RW

IDAC_GAIN_ADJ レジスタ

アドレス: 0x3F、リセット: 0x20、名前: IDAC_GAIN_ADJ

表 73.IDAC_GAIN_ADJ のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[5: 0]	IDAC_GAIN_ADJ		This register is the 6-bit digital gain adjust on the I channel. The bit weighting is $MSB = 2^0$, $LSB = 2^{-5}$, which yields a multiplier range of 0 to 2 or $-\infty$ to 6 dB. The default gain setting is 0x20, which maps to unity gain (0 dB).	0x20	RW

QDAC_GAIN_ADJ レジスタ

アドレス: 0x40、リセット: 0x20、名前: QDAC_GAIN_ADJ

表 74.QDAC_GAIN_ADJ のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[5: 0]	QDAC_GAIN_ADJ		This register is the 6-bit digital gain adjust on the Q channel. The bit weighting is $MSB = 2^0$, $LSB = 2^{-5}$, which yields a multiplier range of 0 to 2 or $-\infty$ to 6 dB. The default gain setting is 0x20, which maps to unity gain (0 dB).	0x20	RW

ゲイン・ステップ・コントロール 0 レジスタ

アドレス: 0x41、リセット: 0x01、名前: GAIN_STEP_CTRL0

表 75.GAIN_STEP_CTRL0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[5: 0]	RAMP_UP_STEP		This register sets the step size of the increasing gain. The digital gain increases by the configured amount in every four DAC cycles until the gain reaches the setting in I/QDAC_GAIN_ADJ (Register 0x3F and Register 0x40). The bit weighting is $MSB = 2^1$, $LSB = 2^{-4}$. Note that the value in this register should not be greater than the values in the I/QDAC_GAIN_ADJ (Register 0x3F and Register 0x40).	0x01	RW

ゲイン・ステップ・コントロール 1 レジスタ

アドレス: 0x42、リセット: 0x01、名前: GAIN_STEP_CTRL1

表 76.GAIN_STEP_CTRL1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DAC_OUTPUT_STATUS		This bit indicates the DAC output on/off status. When the DAC output is automatically turned off, this bit is 1.	0x0	RW
6	DAC_OUTPUT_ON		In the case where the DAC output is automatically turned off in the input power protection mode or TX enable mode, this register allows for turning on the DAC output manually. It is a self clear bit.	0x0	R
[5: 0]	RAMP_DOWN_STEP		This register sets the step size of the decreasing gain. The digital gain decreases by the configured amount in every four DAC cycles until the gain reaches zero. The bit weighting is $MSB = 2^1$, $LSB = 2^{-4}$. Note that the value in this register should not be greater than the values in the I/QDAC_GAIN_ADJ (Register 0x3F and Register 0x40).	0x01	RW

TX イネーブル・コントロール・レジスタ

アドレス: 0x43、リセット: 0x07、名前: TX_ENABLE_CTRL

表 77.TX_ENABLE_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
2	TXENABLE_GAINSTEP_EN		DAC output gradually turns on/off under the control of the TXENABLE signal from the TXEN pin according to the settings in Register 0x41 and Register 0x42.	0x1	RW
1	TXENABLE_SLEEP_EN		When set to 1, the device is put in sleep mode when the TXENABLE signal from the TXEN pin is low.	0x1	RW
0	TXENABLE_POWER_DOWN_EN		When set to 1, the device is put in power down mode when TXENABLE signal from the TXEN pin is low.	0x1	RW

DAC 出力コントロール・レジスタ

アドレス: 0x44、リセット: 0x8F、名前: DAC_OUTPUT_CTRL

表 78.DAC_OUTPUT_CTRL のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
7	DAC_OUTPUT_CTRL_EN		Enable the DAC output control. This bit needs to be set to 1 to enable the rest of the bits in this register.	0x1	RW
3	FIFO_WARNING_SHUTDOWN_EN		When this bit and Bit 7 are both high, if a FIFO warning occurs, the DAC output shuts down automatically. By default, this function is on.	0x1	RW
2	OVERTHRESHOLD_SHUTDOWN_EN		The DAC output is turned off when the input average power is greater than the predefined threshold.	0x1	RW
0	FIFO_ERROR_SHUTDOWN_EN		The DAC output is turned off when the FIFO reports warnings.	0x1	RW

データ・レシーバ・テスト・コントロール・レジスタ

アドレス: 0x5E、リセット: 0xFF、名前: DATA_RX_CTRL0

表 79.DATA_RX_CTRL0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DLY_TAP_LSB		See Register 0x5F[2: 0].	0xFF	RW

データ・レシーバ・テスト・コントロール・レジスタ

アドレス: 0x5F、リセット: 0x07、名前: DATA_RX_CTRL1

表 80.DATA_RX_CTRL1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
3	DLYLINE_EN		1 = Enable the data interface.	0x0	RW
[2:0]	DLY_TAP_MSB		Four available delay settings. See the Interface Delay Line section for more information.	0x7	RW
		00	0x000		
		01	0x007		
		10	0x07F		
		11	0x5FF		

デバイス設定 0 レジスタ

アドレス: 0x79、リセット: 0x00、名前: DEVICE_CONFIG0

表 81.DEVICE_CONFIG0 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	DEVICE_CONFIGURATION0	0x18	Recommended setting for device start-up configuration	0x00	RW

Version レジスタ

アドレス: 0x7F、リセット: 0x05、名前: Version

表 82.Version のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	Version		Chip version	0x05	R

デバイス設定 1 レジスタ

アドレス: 0x80、リセット: 0x00、名前: DEVICE_CONFIG1

表 83.DEVICE_CONFIG1 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	DEVICE_CONFIGURATION1	0xAD	Recommended setting for device start-up configuration	0x00	RW

デバイス設定 2 レジスタ

アドレス: 0xE1、リセット: 0x00、名前: DEVICE_CONFIG2

表 84.DEVICE_CONFIG2 のビット説明

Bits	Bit Name	Settings	Description	Reset	Access
[7: 0]	DEVICE_CONFIGURATION2	0x1A	Recommended setting for device start-up configuration	0x00	RW

DAC遅延とシステム・スキュー

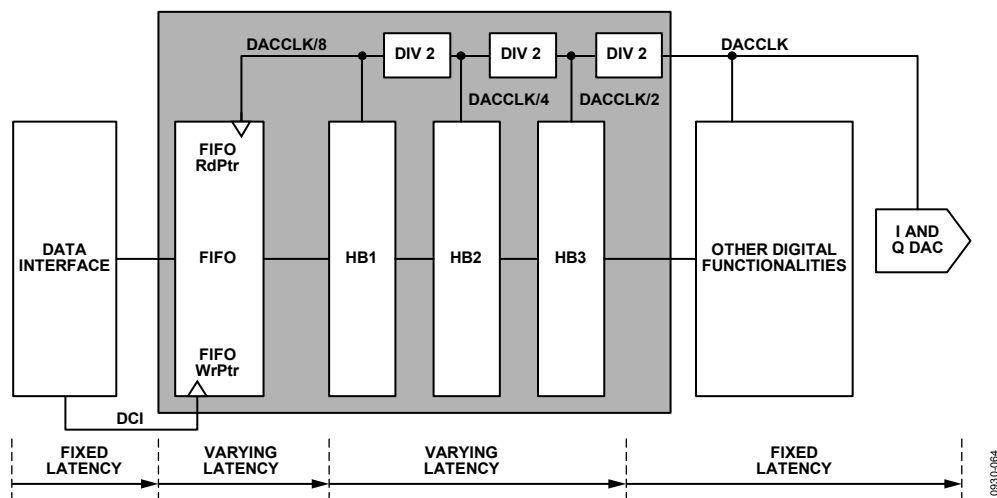


図 60.パイプライン遅延の内訳

DAC 遅延の変動

多相の内部クロックを持つ他のデバイスと同様に DAC にはパイプライン遅延の固有変動があります。図 60 に、AD9142 のパイプライン遅延の内訳を示します。FIFO とクロック発生回路を含む強調表示した部分は、パイプライン遅延が変動する部分です。パワーオンごとに、FIFO とクロック発生ステート・マシンのステータスは不定です。このために、これらの 2 つのブロックの遅延が変動します。

FIFO 遅延の変動

FIFO には 8 個のデータ・スロットがあります。FIFO の読み出しポインタと書き込みポインタは、FIFO をスロット 0 からスロット 7 へ巡回し、スロット 0 に戻ります。FIFO の深さは、読み出しポインタが書き込みポインタに追いつくために要する FIFO スロット数として定義されます。これは、データが FIFO に書き込まれた時点から FIFO から読み出される時点までの FIFO に留まる時間でもあります。このため、FIFO の遅延は FIFO の深さと一致します。

図 61 に FIFO 遅延変動の例を示します。ケース 2 の遅延は、ケース 1 の場合より 2 データ・サイクル長くなっています。その他の遅延が同じ場合は、これら 2 つのケースの DAC 出力の間のスキューは同様に 2 データ・サイクルになります。したがって、FIFO 遅延を一定に維持するためには、FIFO の深さを既定値にリセットする必要があります。理論的には、0 以外の任意の値が有効ですが、通常 4 に設定して、読み出し側と書き込み側のレート変動を吸収する能力を大きくしています。

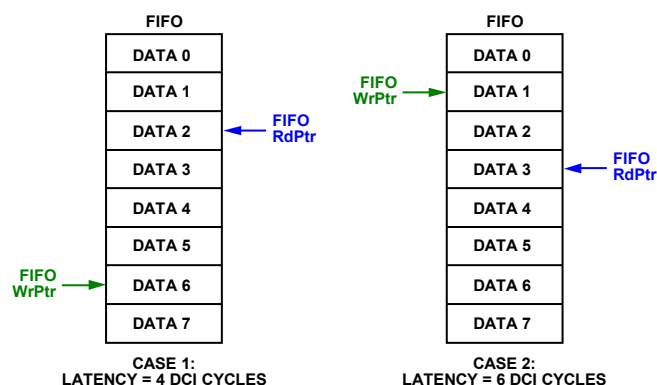


図 61.FIFO 遅延差の例

図 62 に、4 データ・サイクルの FIFO 遅延の 2 つの等価なケースを示します。これらの 2 ケースでは、読み出しポインタも書き込みポインタも互いに一致しませんが、両ケースとも FIFO の深さは同じです。また、2 つのケースでデータ・ストリームの開始スロットは同じではありませんが、両ケースとも読み出しポインタと書き込みポインタは同じデータを指しています。データと DCI が複数のデバイスで整列しているかぎり、これは DAC 出力の整列精度に影響を与えません。

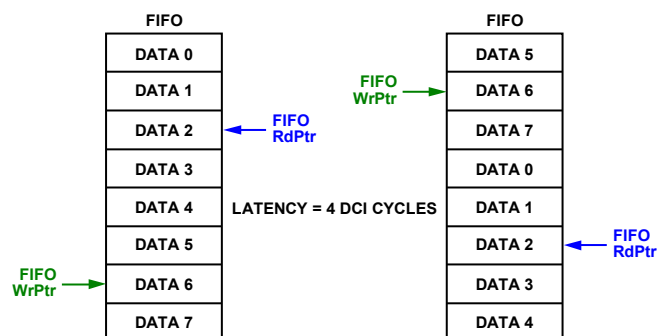


図 62.等しい FIFO 遅延の例

クロック生成遅延の変動

クロック発生回路のステート・マシンも遅延変動のもう 1 つの原因です。このタイプの遅延変動は、スタティック周波数デバイダの固有な位相不確実性が原因となっています。分周されたクロックは、入力クロックの立上がりエッジで、特に既知状態にしないかぎりハイ・レベルまたはロー・レベルになることができます。これは、インターポレーションが必要となるごとに (DACCLK を分周して内部で低速クロックを発生する必要がある場合)、DAC 内に固有な遅延変動が生ずることを意味します。図 63 に、2×インターポレーションでのこの遅延変動の例を示します。DACCLK/2 クロックには 2 相の可能性があります。DACCLK/2 クロックは、FIFO からのデータ読出しとインターポレーション・フィルタの駆動に使われます。デジタル回路の駆動に使われるクロック・エッジによらず、ケース 1 とケース 2 の間に 1 DAC クロック・サイクルの遅延があります(図 62 参照)。パワーオン状態は 2 つのケースのいずれかになるため、デバイダの位相不確実性は、2 つの DAC 出力間で変動するスキューとして現れます。

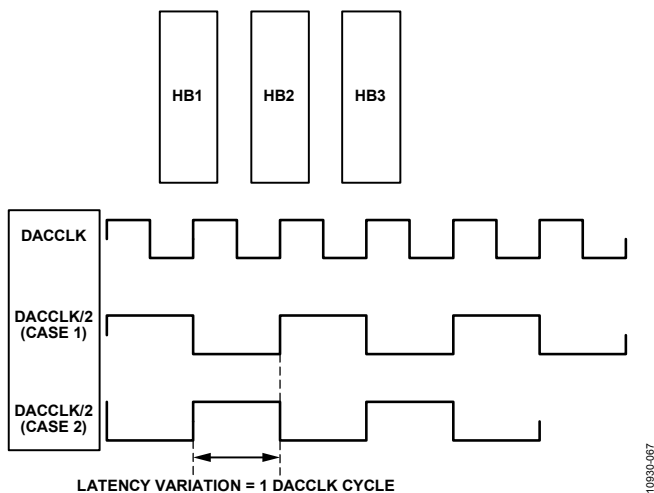


図 63. 2×インターポレーションでのクロック生成からの遅延変動

システム・スキューの補正

一般に、複数のデバイス間では入力データと DCI が互いに整列していると見なされます。システム・デザインに応じて、各 DAC へ入力されるデータと DCI は、種々の FPGA または ASIC から出力することができます。データ・ソースの同期化なしでは、1 つのデータ・ソースの出力は、他に対してスキューを持つことになります。また、複数のデータ・ソース間の整列は、温度に対してもドリフトします。

図 64 に、2 つのデータ・ソースと 2 つのデュアル DAC を持つ 2 チャンネル・トランスミッタの例を示します。DAC が遅延変動を発生しない場合でも、一定であるが未知の位相オフセットが DAC デバイスの出力に現れます。フレームと同期クロックの 2 つの外部基準クロックを使って FIFO の両側を独立にリセットすることにより、AD9142 内で複数デバイス同期を使って、データ・ソースの不整列から発生するスキューを補償することができます。次に、2 つのデータ・ソースの間のオフセットを FIFO と DAC 内のクロック発生ブロックにより吸収します。複数デバイス同期機能の使い方の詳細については、同期の実現のセクションを参照してください。

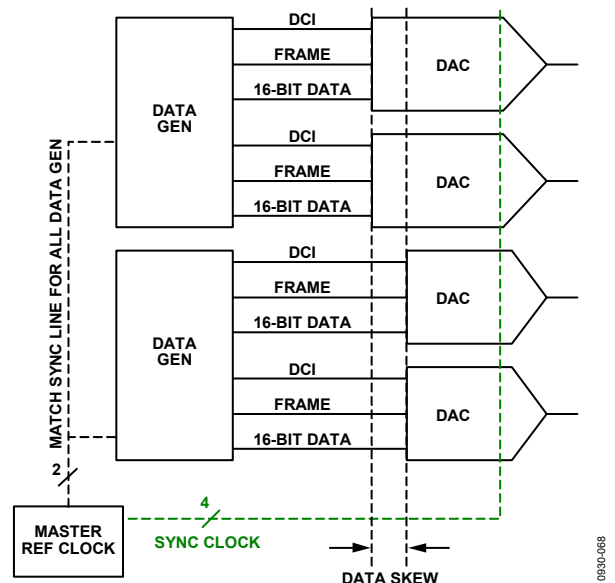
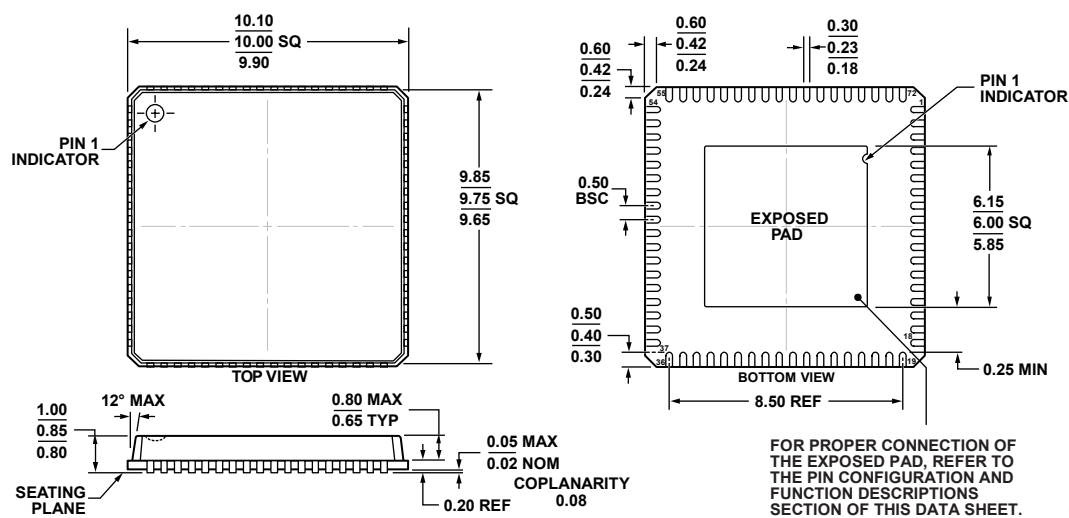


図 64. 歪んだ入力データと DCI から生ずる DAC 出力スキュー

パッケージとオーダー情報

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VNND-4

図 65.72 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
10 mm × 10 mm ボディ、極薄クワッド
(CP-72-7)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
AD9142BCPZ	−40°C to +85°C	72-lead LFCSP_VQ	CP-72-7
AD9142BCPZRL	−40°C to +85°C	72-lead LFCSP_VQ	CP-72-7
AD9142-M5372-EBZ		Evaluation Board Connected to ADL5372 Modulator	
AD9142-M5375-EBZ		Evaluation Board Connected to ADL5375 Modulator	

¹ Z = RoHS 準拠製品