



# 低消費電力、12ビット、180 MSPS クワッドD/Aコンバータおよび波形ジェネレータ

## データシート

## AD9106

### 特長

- 高集積度のクワッド DAC
- 4096 × 12 ビットのパターン・メモリを内蔵
- DDS を内蔵
- 消費電力: 3.3 V で 4 mA 出力
  - 180 MSPS で 315 mW
- スリープ・モード: 3.3 V で 5 mW 以下
- 電源電圧: 1.8 V ~ 3.3 V
- ナイキスト周波数までの SFDR
  - 1 MHz 出力で 86 dBc
  - 10 MHz 出力で 85 dBc
- 1 kHz オフセット、180 MSPS、8 mA での位相ノイズ: -140 dBc/Hz
- 差動電流出力: 3.3 V で最大 8 mA
- 小型フットプリント: 3.5 mm × 3.6 mm エキスポートド・パッド付きの 32 ピン 5 mm × 5 mm LFCSP パッケージを採用
- 鉛フリー・パッケージ

### アプリケーション

- 医療計測機器
  - 超音波トランスデューサの励起
- ポータブル計装機器
  - 信号ジェネレータ、任意波形ジェネレータ

### 概要

AD9106 TxDAC<sup>®</sup>および波形ジェネレータは、複素波形発生用パターン・メモリとダイレクト・デジタル・シンセサイザ(DDS)を内蔵する高性能クワッド DAC です。DDS は最大 180 MHz の 12 ビット出力マスター・クロック正弦波ジェネレータで、10.8 Hz/LSB の周波数分解能を可能にする 24 ビットのチューニング・ワードを持っています。DDS は、4 個のすべての DAC に対して 1 つの周波数出力を持ち、4 個の各 DAC に対して独立に設定可能な位相シフト出力を持っています。

SRAM データとしては、直接発生する保存済み波形、DDS 出力に供給する振幅変調パターン、または DDS 周波数チューニング・ワードなどがあります。

内部パターン制御ステート・マシンを使うと、4 個すべての DAC に対するパターン周期、および各 DAC チャンネルの信号出力に対するパターン周期内の開始遅延を設定することができます。

SPI インターフェースは、デジタル波形ジェネレータを設定するとき、およびパターンを SRAM へロードするときに使います。

4 個の DAC までの途中に、デジタル信号に適用されるゲイン調整ファクタとオフセット調整があります。

AD9106 は極めて優れた AC 性能と DC 性能を提供し、最大 180 MSPS の DAC サンプリング・レートをサポートします。AD9106 は、1.8 V ~ 3.3 V の柔軟な電源動作範囲と低消費電力を持つため、ポータブルおよび低消費電力アプリケーションに最適です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2012–2013 Analog Devices, Inc. All rights reserved.

Rev. A

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

|                     |    |                            |    |
|---------------------|----|----------------------------|----|
| 特長                  | 1  | アナログ電流出力                   | 22 |
| アプリケーション            | 1  | DAC ゲイン( $I_{OUTFSx}$ )の設定 | 22 |
| 概要                  | 1  | $I_{OUTFSx}$ の自動キャリブレーション  | 23 |
| 改訂履歴                | 2  | クロック入力                     | 23 |
| 機能ブロック図             | 3  | DAC 出力クロックのエッジ             | 24 |
| 仕様                  | 4  | 信号パターンの生成                  | 24 |
| DC 仕様(3.3 V)        | 4  | パターン・ジェネレータの設定             | 25 |
| DC 仕様(1.8 V)        | 5  | DACX 入力データ・パス              | 25 |
| デジタル・タイミング仕様(3.3 V) | 6  | DOUT の機能                   | 26 |
| デジタル・タイミング仕様(1.8 V) | 6  | ダイレクト・デジタル・シンセサイザ (DDS)    | 26 |
| 入／出力信号仕様            | 7  | SRAM                       | 27 |
| AC 仕様(3.3 V)        | 8  | 鋸波ジェネレータ                   | 27 |
| AC 仕様(1.8 V)        | 8  | 擬似ランダム信号ジェネレータ             | 27 |
| 電源電圧入力と消費電力         | 9  | DC 固定電流                    | 27 |
| 絶対最大定格              | 10 | 電源の注意事項                    | 27 |
| 熱抵抗                 | 10 | パワーダウン機能                   | 27 |
| ESD の注意             | 10 | アプリケーション情報                 | 28 |
| ピン配置およびピン機能説明       | 11 | 信号生成例                      | 28 |
| 代表的な性能特性            | 13 | レジスタ・マップ                   | 30 |
| 用語                  | 19 | レジスタの説明                    | 33 |
| 動作原理                | 20 | 外形寸法                       | 48 |
| SPI ポート             | 21 | オーダー・ガイド                   | 48 |
| DAC の伝達関数           | 22 |                            |    |

## 改訂履歴

## 2/13—Rev. 0 to Rev. A

|                                                                  |           |
|------------------------------------------------------------------|-----------|
| Updated Format                                                   | Universal |
| Changes to Features Section                                      | 1         |
| Changes to Figure 1                                              | 3         |
| Deleted Figure 20; Renumbered Sequentially                       | 16        |
| Changes to Figure 31                                             | 20        |
| Changes to Table 13                                              | 22        |
| Deleted Recommendations When Using an External Reference Section | 23        |

## 11/12—Revision 0:Initial Version

# 機能ブロック図

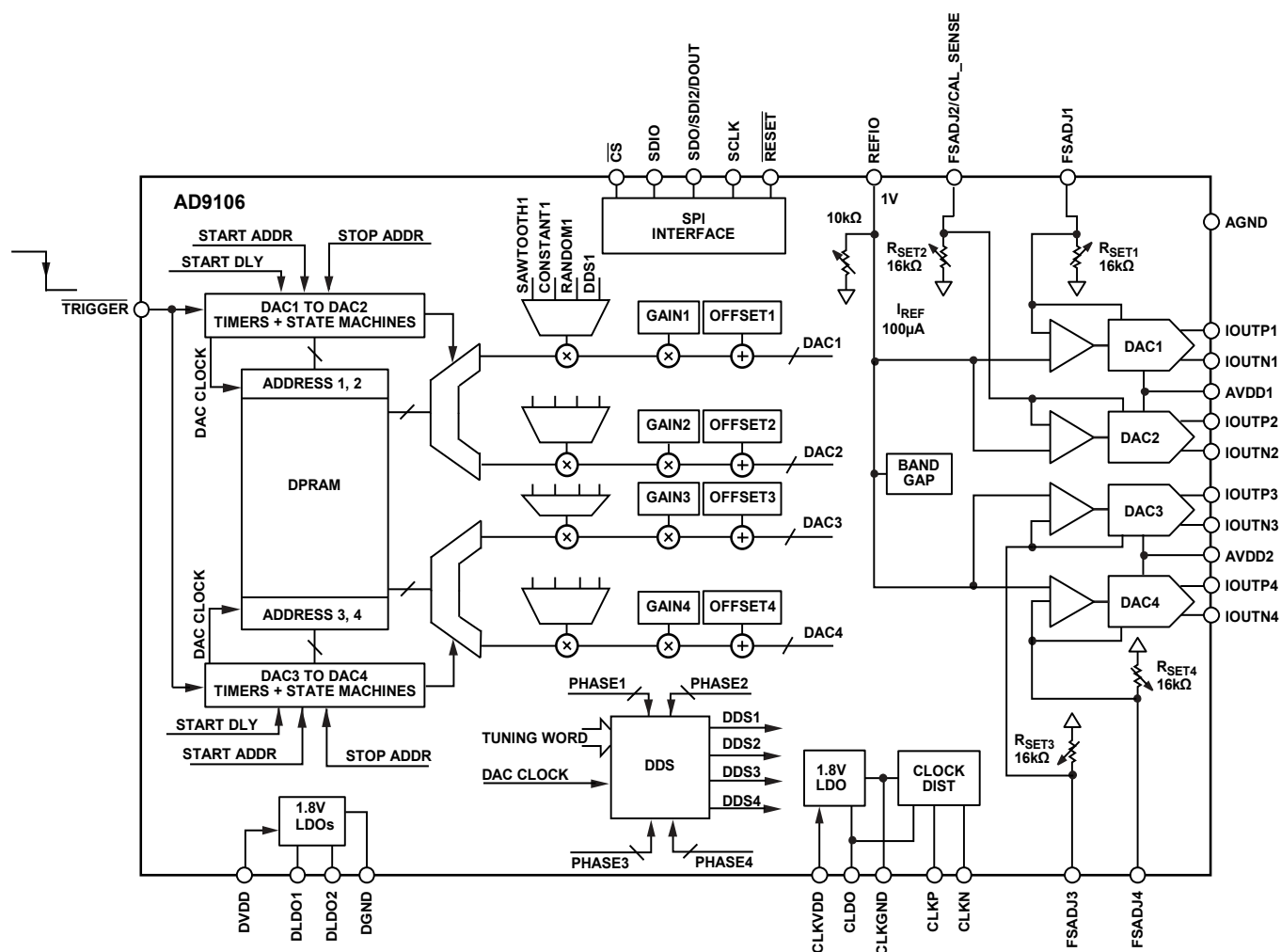


図 1.

11121-001

## 仕様

## DC 仕様(3.3 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 3.3\text{ V}$ 、 $CLKVDD = 3.3\text{ V}$ ;内蔵 CLDO、DLDO1、DLDO2;  $I_{OUTFS} = 4\text{ mA}$ 、最大サンプル・レート。

表 1.

| Parameter                                                          | Min  | Typ     | Max  | Unit     |
|--------------------------------------------------------------------|------|---------|------|----------|
| RESOLUTION                                                         |      | 12      |      | Bits     |
| ACCURACY at 3.3 V                                                  |      |         |      |          |
| Differential Nonlinearity (DNL)                                    |      | ±0.4    |      | LSB      |
| Integral Nonlinearity (INL)                                        |      | ±0.5    |      | LSB      |
| DAC OUTPUTS                                                        |      |         |      |          |
| Offset Error                                                       |      | ±.00025 |      | % of FSR |
| Gain Error Internal Reference—No Automatic $I_{OUTFS}$ Calibration | −1.0 |         | +1.0 | % of FSR |
| Full-Scale Output Current <sup>1</sup> at 3.3 V                    | 2    | 4       | 8    | mA       |
| Output Resistance                                                  |      | 200     |      | MΩ       |
| Output Compliance Voltage                                          | −0.5 |         | +1.0 | V        |
| Crosstalk, DAC to DAC ( $f_{OUT} = 10\text{ MHz}$ )                |      | 96      |      | dBc      |
| Crosstalk, DAC to DAC ( $f_{OUT} = 60\text{ MHz}$ )                |      | 82      |      | dBc      |
| DAC TEMPERATURE DRIFT                                              |      |         |      |          |
| Gain with Internal Reference                                       |      | ±251    |      | ppm/°C   |
| Internal Reference Voltage                                         |      | ±119    |      | ppm/°C   |
| REFERENCE OUTPUT                                                   |      |         |      |          |
| Internal Reference Voltage with $AVDD = 3.3\text{ V}$              | 0.8  | 1.0     | 1.2  | V        |
| Output Resistance                                                  |      | 10      |      | kΩ       |
| REFERENCE INPUT                                                    |      |         |      |          |
| Voltage Compliance                                                 | 0.1  |         | 1.25 | V        |
| Input Resistance External, Reference Mode                          |      | 1       |      | MΩ       |
| DAC MATCHING                                                       |      |         |      |          |
| Gain Matching—No Automatic $I_{OUTFS}$ Calibration                 |      | ±0.75   |      | % of FSR |

<sup>1</sup> 8 kΩ の外付け  $xR_{SET}$  抵抗を使用。

**DC 仕様(1.8 V)**

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 1.8 \text{ V}$ 、 $DVDD = DLDO1 = DLDO2 = 1.8 \text{ V}$ 、 $CLKVDD = CLDO = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 4 \text{ mA}$ 、最大サンプル・レート。

表 2.

| Parameter                                                                 | Min  | Typ           | Max  | Unit                    |
|---------------------------------------------------------------------------|------|---------------|------|-------------------------|
| RESOLUTION                                                                |      | 12            |      | Bits                    |
| ACCURACY at 1.8 V                                                         |      |               |      |                         |
| Differential Nonlinearity (DNL)                                           |      | $\pm 0.4$     |      | LSB                     |
| Integral Nonlinearity (INL)                                               |      | $\pm 0.4$     |      | LSB                     |
| DAC OUTPUTS                                                               |      |               |      |                         |
| Offset Error                                                              |      | $\pm 0.00025$ |      | % of FSR                |
| Gain Error Internal Reference—No Automatic $I_{\text{OUTFS}}$ Calibration | -1.0 |               | +1.0 | % of FSR                |
| Full-Scale Output Current <sup>1</sup> at 1.8 V                           | 2    | 4             | 4    | mA                      |
| Output Resistance                                                         |      | 200           |      | $\text{M}\Omega$        |
| Output Compliance Voltage                                                 | -0.5 |               | +1.0 | V                       |
| Crosstalk, DAC to DAC ( $f_{\text{OUT}} = 30 \text{ MHz}$ )               |      | 94            |      | dB                      |
| Crosstalk, DAC to DAC ( $f_{\text{OUT}} = 60 \text{ MHz}$ )               |      | 78            |      | dB                      |
| DAC TEMPERATURE DRIFT                                                     |      |               |      |                         |
| Gain                                                                      |      | $\pm 228$     |      | ppm/ $^{\circ}\text{C}$ |
| Reference Voltage                                                         |      | $\pm 131$     |      | ppm/ $^{\circ}\text{C}$ |
| REFERENCE OUTPUT                                                          |      |               |      |                         |
| Internal Reference Voltage with $AVDD = 1.8 \text{ V}$                    | 0.8  | 1.0           | 1.2  | V                       |
| Output Resistance                                                         |      | 10            |      | $\text{k}\Omega$        |
| REFERENCE INPUT                                                           |      |               |      |                         |
| Voltage Compliance                                                        | 0.1  |               | 1.25 | V                       |
| Input Resistance External, Reference Mode                                 |      | 1             |      | $\text{M}\Omega$        |
| DAC MATCHING                                                              |      |               |      |                         |
| Gain Matching—No Automatic $I_{\text{OUTFS}}$ Calibration                 |      | $\pm 0.75$    |      | % of FSR                |

<sup>1</sup>  $8 \text{ k}\Omega$  の外付け  $xR_{\text{SET}}$  抵抗を使用。

## デジタル・タイミング仕様(3.3 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 3.3\text{ V}$ 、 $CLKVDD = 3.3\text{ V}$ ;内蔵 CLDO、DLDO1、DLDO2;  $I_{OUTFS} = 4\text{ mA}$ 、最大サンプル・レート。

表 3.

| Parameter                             | Min | Typ  | Max | Unit |
|---------------------------------------|-----|------|-----|------|
| DAC CLOCK INPUT (CLKIN)               |     |      |     |      |
| Maximum Clock Rate                    | 180 |      |     | MSPS |
| SERIAL PERIPHERAL INTERFACE           |     |      |     |      |
| Maximum Clock Rate (SCLK)             | 80  |      |     | MHz  |
| Minimum Pulse Width High              |     | 6.25 |     | ns   |
| Minimum Pulse Width Low               |     | 6.25 |     | ns   |
| Setup Time SDIO to SCLK               | 4.0 |      |     | ns   |
| Hold Time SDIO to SCLK                | 5.0 |      |     | ns   |
| Output Data Valid SCLK to SDO or SDIO |     | 6.2  |     | ns   |
| Setup Time $\overline{CS}$ to SCLK    | 4.0 |      |     | ns   |

## デジタル・タイミング仕様(1.8 V)

特に指定がない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 1.8\text{ V}$ 、 $DVDD = DLDO1 = DLDO2 = 1.8\text{ V}$ 、 $CLKVDD = CLDO = 1.8\text{ V}$ 、 $I_{OUTFS} = 4\text{ mA}$ 、最大サンプル・レート。

表 4.

| Parameter                             | Min | Typ  | Max | Unit |
|---------------------------------------|-----|------|-----|------|
| DAC CLOCK INPUT (CLKIN)               |     |      |     |      |
| Maximum Clock Rate                    | 180 |      |     | MSPS |
| SERIAL PERIPHERAL INTERFACE           |     |      |     |      |
| Maximum Clock Rate (SCLK)             | 80  |      |     | MHz  |
| Minimum Pulse Width High              |     | 6.25 |     | ns   |
| Minimum Pulse Width Low               |     | 6.25 |     | ns   |
| Setup Time SDIO to SCLK               | 4.0 |      |     | ns   |
| Hold Time SDIO to SCLK                | 5.0 |      |     | ns   |
| Output Data Valid SCLK to SDO or SDIO |     | 8.8  |     | ns   |
| Setup Time $\overline{CS}$ to SCLK    | 4.0 |      |     | ns   |

## 入／出力信号仕様

表 5.

| Parameter                                                                                                        | Test Conditions/ Comments | Min   | Typ               | Max   | Unit |
|------------------------------------------------------------------------------------------------------------------|---------------------------|-------|-------------------|-------|------|
| CMOS INPUT LOGIC LEVEL (SCLK, $\overline{\text{CS}}$ , SDIO, SDO/SDI2/DOUT, $\overline{\text{RESET}}$ , TRIGGER) |                           |       |                   |       |      |
| Input $V_{\text{IN}}$ Logic High                                                                                 | DVDD = 1.8 V              | 1.53  |                   |       | V    |
|                                                                                                                  | DVDD = 3.3 V              | 2.475 |                   |       | V    |
| Input $V_{\text{IN}}$ Logic Low                                                                                  | DVDD = 1.8 V              |       |                   | 0.27  | V    |
|                                                                                                                  | DVDD = 3.3 V              |       |                   | 0.825 | V    |
| CMOS OUTPUT LOGIC LEVEL (SDIO, SDO/SDI2/DOUT)                                                                    |                           |       |                   |       |      |
| Output $V_{\text{OUT}}$ Logic High                                                                               | DVDD = 1.8 V              | 1.79  |                   |       | V    |
|                                                                                                                  | DVDD = 3.3 V              | 3.28  |                   |       | V    |
| Output $V_{\text{OUT}}$ Logic Low                                                                                | DVDD = 1.8 V              |       |                   | 0.25  | V    |
|                                                                                                                  | DVDD = 3.3 V              |       |                   | 0.625 | V    |
| DAC CLOCK INPUT (CLKP, CLKN)                                                                                     |                           |       |                   |       |      |
| Minimum Peak-to-Peak Differential Input Voltage, $V_{\text{CLKP}}/V_{\text{CLKN}}$                               |                           |       | 150               |       | mV   |
| Maximum Voltage at $V_{\text{CLKP}}$ or $V_{\text{CLKN}}$                                                        |                           |       | $V_{\text{DVDD}}$ |       | V    |
| Minimum Voltage at $V_{\text{CLKP}}$ or $V_{\text{CLKN}}$                                                        |                           |       | $V_{\text{DGND}}$ |       | V    |
| Common-Mode Voltage Generated on Chip                                                                            |                           |       | 0.9               |       | V    |

**AC 仕様(3.3 V)**

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 3.3 \text{ V}$ 、 $DVDD = 3.3 \text{ V}$ 、 $CLKVDD = 3.3 \text{ V}$ ;内蔵 CLDO、DLDO1、DLDO2;  $I_{\text{OUTFS}} = 4 \text{ mA}$ 、最大サンプル・レート。

表 6.

| Parameter                                                                 | Min | Typ  | Max | Unit   |
|---------------------------------------------------------------------------|-----|------|-----|--------|
| SPURIOUS FREE DYNAMIC RANGE (SFDR)                                        |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | 86   |     | dBc    |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | 73   |     | dBc    |
| TWO-TONE INTERMODULATION DISTORTION (IMD)                                 |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | 92   |     | dBc    |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | 77   |     | dBc    |
| NSD                                                                       |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | -167 |     | dBm/Hz |
| PHASE NOISE at 1 kHz FROM CARRIER                                         |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | -135 |     | dBc/Hz |
| DYNAMIC PERFORMANCE                                                       |     |      |     |        |
| Output Settling Time, Full Scale Output Step (to 0.1%) <sup>1</sup>       |     | 31.2 |     | ns     |
| Trigger to Output Delay, $f_{\text{DAC}} = 180 \text{ MSPS}$ <sup>2</sup> |     | 96   |     | ns     |
| Rise Time, Full-Scale Swing <sup>1</sup>                                  |     | 3.25 |     | ns     |
| Fall Time, Full-Scale Swing <sup>1</sup>                                  |     | 3.26 |     | ns     |

<sup>1</sup> DAC 出力端子とグラウンドの間に  $85 \Omega$  抵抗を使用。

<sup>2</sup> 開始遅延 =  $0 f_{\text{DAC}}$  クロック・サイクル。

**AC 仕様(1.8 V)**

特に指定がない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 1.8 \text{ V}$ 、 $DVDD = DLDO1 = DLDO2 = 1.8 \text{ V}$ 、 $CLKVDD = CLDO = 1.8 \text{ V}$ 、 $I_{\text{OUTFS}} = 4 \text{ mA}$ 、最大サンプル・レート。

表 7.

| Parameter                                                                 | Min | Typ  | Max | Unit   |
|---------------------------------------------------------------------------|-----|------|-----|--------|
| SPURIOUS FREE DYNAMIC RANGE (SFDR)                                        |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | 83   |     | dBc    |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | 74   |     | dBc    |
| TWO-TONE INTERMODULATION DISTORTION (IMD)                                 |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | 91   |     | dBc    |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | 83   |     | dBc    |
| NSD                                                                       |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 50 \text{ MHz}$   |     | -163 |     | dBm/Hz |
| PHASE NOISE at 1 kHz FROM CARRIER                                         |     |      |     |        |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , $f_{\text{OUT}} = 10 \text{ MHz}$   |     | -135 |     | dBc/Hz |
| DYNAMIC PERFORMANCE                                                       |     |      |     |        |
| Output Settling Time (to 0.1%) <sup>1</sup>                               |     | 31.2 |     | ns     |
| Trigger to Output Delay, $f_{\text{DAC}} = 180 \text{ MSPS}$ <sup>2</sup> |     | 96   |     | ns     |
| Rise Time <sup>1</sup>                                                    |     | 3.25 |     | ns     |
| Fall Time <sup>1</sup>                                                    |     | 3.26 |     | ns     |

<sup>1</sup> DAC 出力端子とグラウンドの間に  $85 \Omega$  抵抗を使用。

<sup>2</sup> 開始遅延 =  $0 f_{\text{DAC}}$  クロック・サイクル。

## 電源電圧入力と消費電力

表 8.

| Parameter                                               | Test Conditions/Comments                                                                                          | Min | Typ    | Max | Unit |
|---------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------|-----|--------|-----|------|
| ANALOG SUPPLY VOLTAGES                                  |                                                                                                                   |     |        |     |      |
| AVDD1, AVDD2                                            |                                                                                                                   | 1.7 |        | 3.6 | V    |
| CLKVDD                                                  |                                                                                                                   | 1.7 |        | 3.6 | V    |
| CLDO                                                    | On-chip LDO not in use                                                                                            | 1.7 |        | 1.9 | V    |
| DIGITAL SUPPLY VOLTAGES                                 |                                                                                                                   |     |        |     |      |
| DVDD                                                    |                                                                                                                   | 1.7 |        | 3.6 | V    |
| DLDO1, DLDO2                                            | On-chip LDO not in use                                                                                            | 1.7 |        | 1.9 | V    |
| POWER CONSUMPTION                                       |                                                                                                                   |     |        |     |      |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , Pure CW Sine Wave | AVDD = 3.3 V, DVDD = 3.3 V, CLKVDD = 3.3 V, internal CLDO, DLDO1, and DLDO2<br>12.5 MHz (DDS only), all four DACs |     | 315.25 |     | mW   |
| $I_{\text{AVDD}}$                                       |                                                                                                                   |     | 28.51  |     | mA   |
| $I_{\text{DVDD}}$                                       |                                                                                                                   |     |        |     |      |
| DDS Only                                                | CW sine wave output                                                                                               |     | 60.3   |     | mA   |
| RAM Only                                                | 50% duty cycle FS pulse output                                                                                    |     | 27.1   |     | mA   |
| DDS and RAM Only                                        | 50% duty cycle sine wave output                                                                                   |     | 39.75  |     | mA   |
| $I_{\text{CLKVDD}}$                                     |                                                                                                                   |     | 6.72   |     | mA   |
| Power-Down Mode                                         | REF_PDN = 0, DACs sleep, CLK power down, external CLK, and supplies on                                            |     | 4.73   |     | mW   |
| POWER CONSUMPTION                                       |                                                                                                                   |     |        |     |      |
| $f_{\text{DAC}} = 180 \text{ MSPS}$ , Pure CW Sine Wave | AVDD = 1.8 V, DVDD = DLDO1 = DLDO2 = 1.8 V, CLKVDD = CLDO = 1.8 V<br>12.5 MHz (DDS only)                          |     | 167    |     | mW   |
| $I_{\text{AVDD}}$                                       |                                                                                                                   |     | 28.14  |     | mA   |
| $I_{\text{DVDD}}$                                       |                                                                                                                   |     | 0.151  |     | mA   |
| $I_{\text{DLDO2}}$                                      |                                                                                                                   |     |        |     |      |
| DDS Only                                                | CW sine wave output                                                                                               |     | 53.75  |     | mA   |
| RAM Only                                                | 50% duty cycle FS pulse output                                                                                    |     | 17.78  |     | mA   |
| DDS and RAM Only—50% Duty Cycle Sine Wave Output        |                                                                                                                   |     | 35.4   |     | mA   |
| $I_{\text{DLDO1}}$                                      |                                                                                                                   |     | 4.0    |     | mA   |
| $I_{\text{CLKVDD}}$                                     |                                                                                                                   |     | 0.0096 |     | mA   |
| $I_{\text{CLDO}}$                                       |                                                                                                                   |     | 6.6    |     | mA   |
| Power-Down Mode                                         | REF_PDN = 0, DACs sleep, CLK power down, external CLK, and supplies on                                            |     | 1.49   |     | mW   |

## 絶対最大定格

表 9.

| Parameter                                                                                                                                | Rating                   |
|------------------------------------------------------------------------------------------------------------------------------------------|--------------------------|
| AVDD1, AVDD2, DVDD to AGND, DGND, CLKGND                                                                                                 | −0.3 V to +3.9 V         |
| CLKVDD to AGND, DGND, CLKGND                                                                                                             | −0.3 V to +3.9 V         |
| CLDO, DLDO1, DLDO2 to AGND, DGND, CLKGND                                                                                                 | −0.3 V to +2.2 V         |
| AGND to DGND, CLKGND                                                                                                                     | −0.3 V to +0.3V          |
| DGND to AGND, CLKGND                                                                                                                     | −0.3 V to +0.3 V         |
| CLKGND to AGND, DGND                                                                                                                     | −0.3 V to +0.3 V         |
| $\overline{\text{CS}}$ , SDIO, SCLK, $\overline{\text{SDO/SDI2/DOUT}}$ , $\overline{\text{RESET}}$ , $\overline{\text{TRIGGER}}$ to DGND | −0.3 V to DVDD + 0.3 V   |
| CLKP, CLKN to CLKGND                                                                                                                     | −0.3 V to CLKVDD + 0.3 V |
| REFIO to AGND                                                                                                                            | −1.0 V to AVDD + 0.3 V   |
| IOUTP1, IOUTN1, IOUTP2, IOUTN2, IOUTP3, IOUTN3, IOUTP4, IOUTN4 to AGND                                                                   | −0.3 V to DVDD + 0.3 V   |
| FSADJ1, FSADJ2/CAL_SENSE, F4DJ3, FSADJ4 to AGND                                                                                          | −0.3 V to AVDD + 0.3 V   |
| Junction Temperature                                                                                                                     | 125 °C                   |
| Storage Temperature                                                                                                                      | −65 °C to +150 °C        |

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを標準回路ボードにハンダ付けした状態で規定。 $\theta_{JC}$  は、パッケージ・ハンダ面(底部)で測定。

表 10.熱抵抗

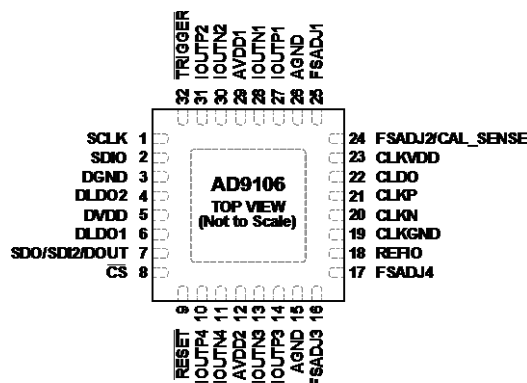
| Package Type                      | $\theta_{JA}$ | $\theta_{JB}$ | $\theta_{JC}$ | Unit |
|-----------------------------------|---------------|---------------|---------------|------|
| 32-Lead LFCSP with Exposed Paddle | 30.18         | 6.59          | 3.84          | °C/W |

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明



NOTES  
1. THE EXPOSED PAD MUST BE CONNECTED TO DGND.

図 2. ピン配置

表 11. ピン機能の説明

| ピン番号 | 記号                        | 説明                                                                                                                                                                   |
|------|---------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1    | SCLK                      | SPI クロック入力。                                                                                                                                                          |
| 2    | SDIO                      | SPI データ入力／出力。SPI ポートのプライマリ双方向データライン。                                                                                                                                 |
| 3    | DGND                      | デジタル・グラウンド。                                                                                                                                                          |
| 4    | DLDO2                     | 1.8 V の内蔵デジタル LDO1 出力。内蔵デジタル LDO1 をイネーブルする場合、このピンは 0.1 $\mu$ F のコンデンサでバイパスする必要があります。                                                                                 |
| 5    | DVDD                      | 3.3 V の外付けデジタル電源。DVDD は、AD9106 デジタル・インターフェース(SPI インターフェース)のレベルを決定します。                                                                                                |
| 6    | DLDO1                     | 1.8 V の内蔵デジタル LDO2 出力。内蔵デジタル LDO2 をイネーブルする場合、このピンは 0.1 $\mu$ F のコンデンサでバイパスする必要があります。                                                                                 |
| 7    | SDO/SDI2/DOOUT            | デジタル I/O ピン。<br>4線式 SPI モードでは、このピンは SPI のデータ出力になります。<br>ダブル SPI モードでは、このピンは SRAM の書込みに使われる SPI ポートの 2 つ目のデータ入力ライン SDI2 になります。<br>データ出力モードでは、このピンはプログラマブルなパルス出力になります。 |
| 8    | $\overline{\text{CS}}$    | SPI ポートのチップ・セレクト、アクティブ・ロー。                                                                                                                                           |
| 9    | $\overline{\text{RESET}}$ | アクティブ・ローのリセット・ピン。各レジスタをデフォルト値にリセットします。                                                                                                                               |
| 10   | IOUTP4                    | DAC4 電流出力、正側。                                                                                                                                                        |
| 11   | IOUTN4                    | DAC4 電流出力、負側。                                                                                                                                                        |
| 12   | AVDD2                     | DAC3 と DAC4 に対する 1.8 V～3.3 V の電源入力。                                                                                                                                  |
| 13   | IOUTN3                    | DAC3 電流出力、負側。                                                                                                                                                        |
| 14   | IOUTP3                    | DAC3 電流出力、正側。                                                                                                                                                        |
| 15   | AGND                      | アナログ・グラウンド。                                                                                                                                                          |
| 16   | FSADJ3                    | DAC3 の外部フルスケール電流出力調整。                                                                                                                                                |
| 17   | FSADJ4                    | DAC4 の外部フルスケール電流出力調整。                                                                                                                                                |
| 18   | REFIO                     | DAC リファレンス電圧入力／出力。                                                                                                                                                   |
| 19   | CLKGND                    | クロック・グラウンド。                                                                                                                                                          |
| 20   | CLKN                      | クロック入力、負側。                                                                                                                                                           |
| 21   | CLKP                      | クロック入力、正側。                                                                                                                                                           |
| 22   | CLDO                      | クロック電源出力(内蔵レギュレータ使用時)、クロック電源入力(内蔵レギュレータをバイパス時)。                                                                                                                      |
| 23   | CLKVDD                    | クロック電源入力。                                                                                                                                                            |
| 24   | FSADJ2/CAL_SENSE          | DAC2 の外部フルスケール電流出力調整、または $I_{\text{OUTFS}}$ 自動キャリブレーションの検出入力。                                                                                                        |
| 25   | FSADJ1                    | DAC1 の外部フルスケール電流出力調整、または自動 $I_{\text{OUTFS}}$ キャリブレーションのフルスケール電流出力調整リファレンス。                                                                                          |
| 26   | AGND                      | アナログ・グラウンド。                                                                                                                                                          |
| 27   | IOUTP1                    | DAC1 電流出力、正側。                                                                                                                                                        |

| ピン番号 | 記号      | 説明                                          |
|------|---------|---------------------------------------------|
| 28   | IOUTN1  | DAC1 電流出力、負側。                               |
| 29   | AVDD1   | DAC1 と DAC2 に対する 1.8 V～3.3 V の電源入力。         |
| 30   | IOUTN2  | DAC2 電流出力、負側。                               |
| 31   | IOUTP2  | DAC2 電流出力、正側。                               |
| 32   | TRIGGER | パターン・トリガ入力。                                 |
|      | EPAD    | エクスポーズド・パッド。エクスポーズド・パッドは DGND へ接続する必要があります。 |

## 代表的な性能特性

AVDD = 3.3 V、DVDD = 3.3 V、CLKVDD = 3.3 V、内蔵 CLDO、DLDO1、DLDO2。

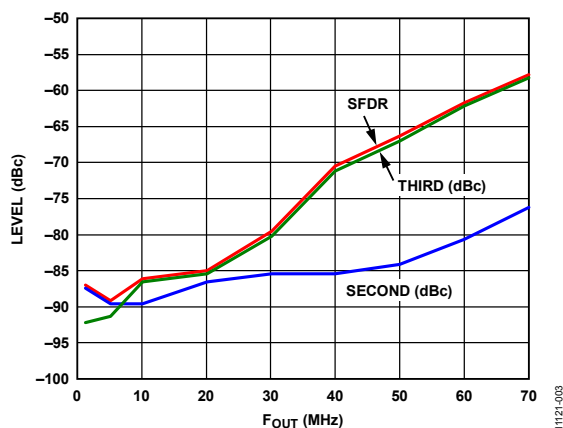


図 3.  $F_{OUT}$  対 SFDR、2 次高調波、3 次高調波  
 $I_{OUTFS} = 8\text{ mA}$

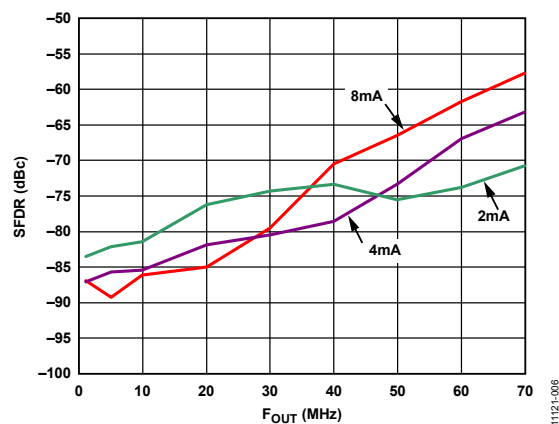


図 6. 様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 SFDR、

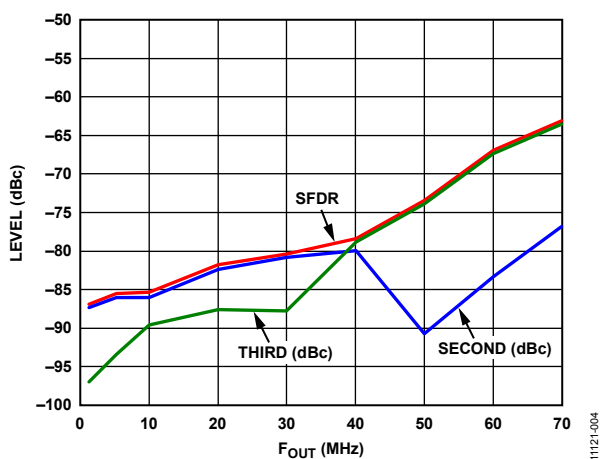


図 4.  $F_{OUT}$  対 SFDR、2 次高調波、3 次高調波  
 $I_{OUTFS} = 4\text{ mA}$

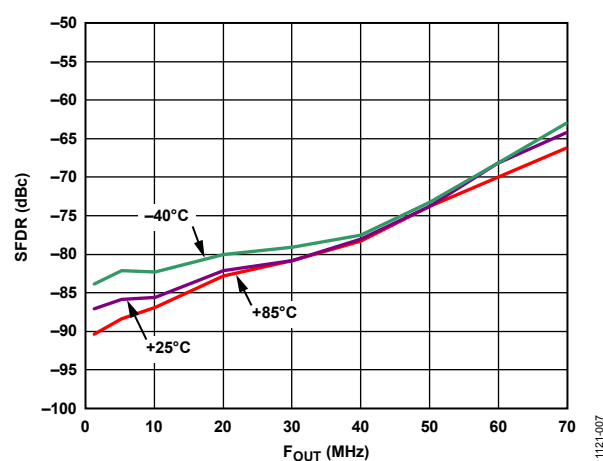


図 7. 様々な温度での  $F_{OUT}$  対 SFDR

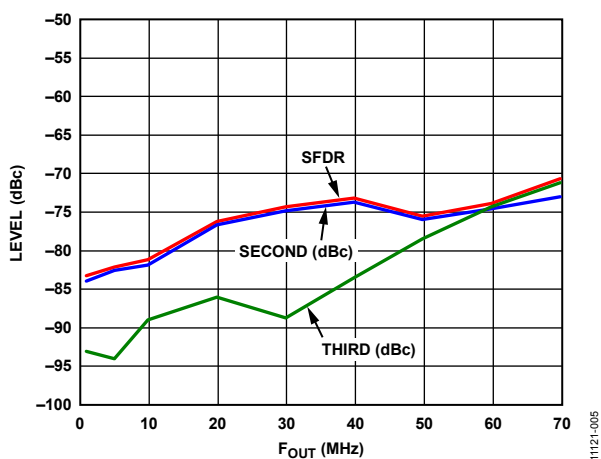


図 5.  $F_{OUT}$  対 SFDR、2 次高調波、3 次高調波  
 $I_{OUTFS} = 2\text{ mA}$

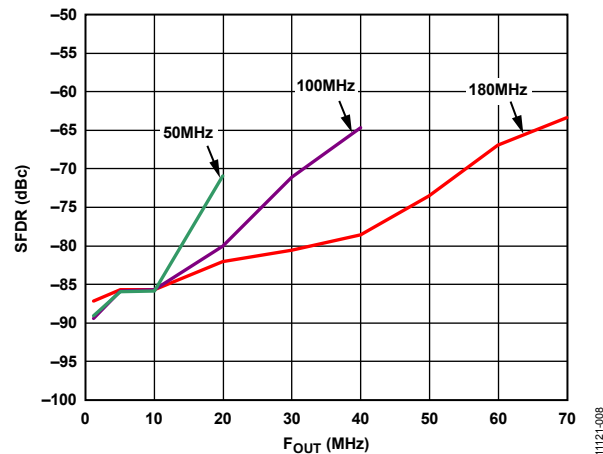


図 8. 様々な  $F_{DAC}$  での  $F_{OUT}$  対 SFDR

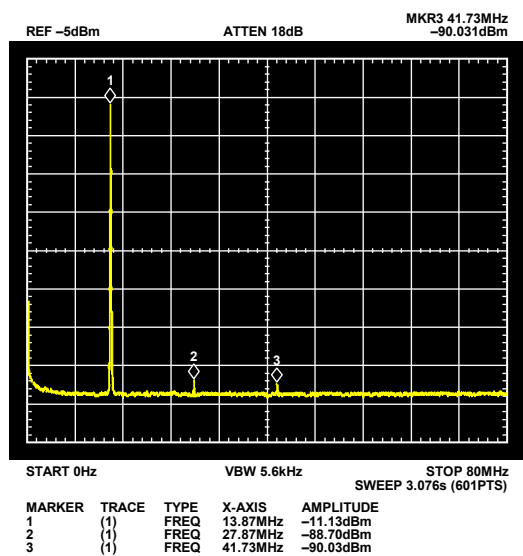


図 9. 出力スペクトル、 $F_{OUT} = 13.87$  MHz

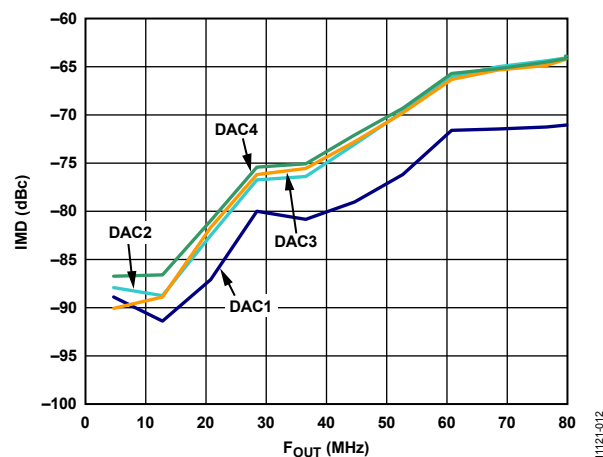


図 12.  $F_{OUT}$  対 IMD  
4 個の全 DAC

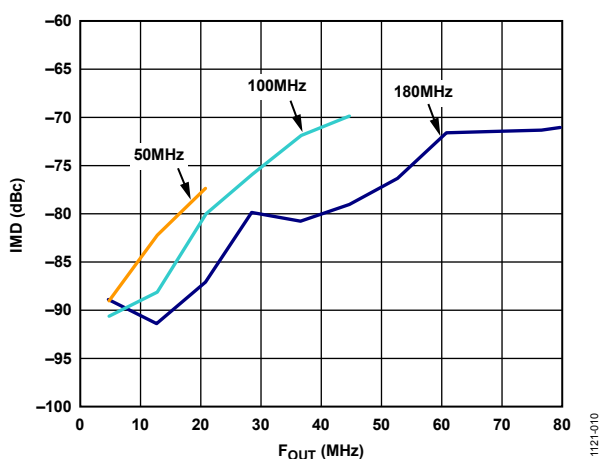


図 10. 様々な  $F_{DAC}$  での  $F_{OUT}$  対 IMD

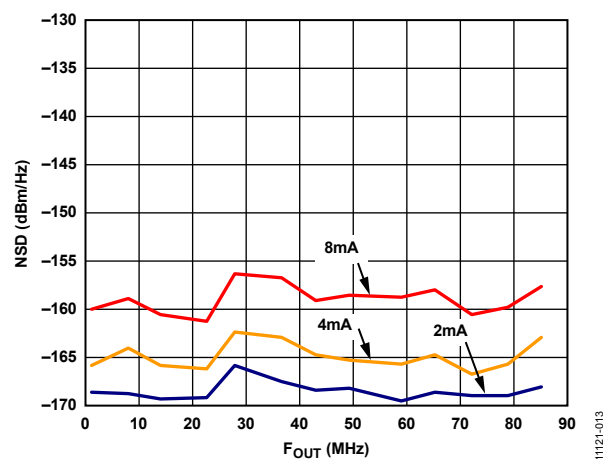


図 13. 様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 NSD

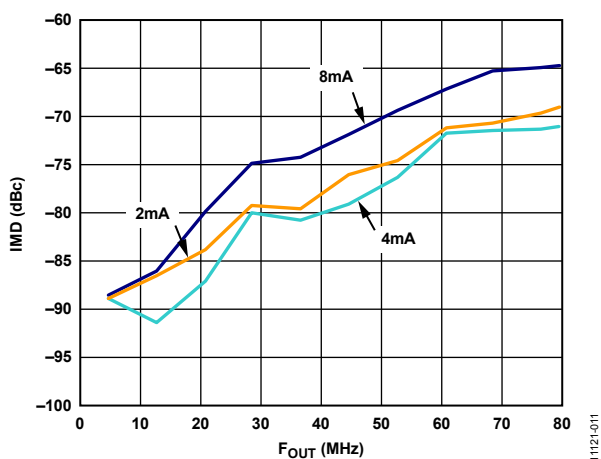


図 11. 様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 IMD

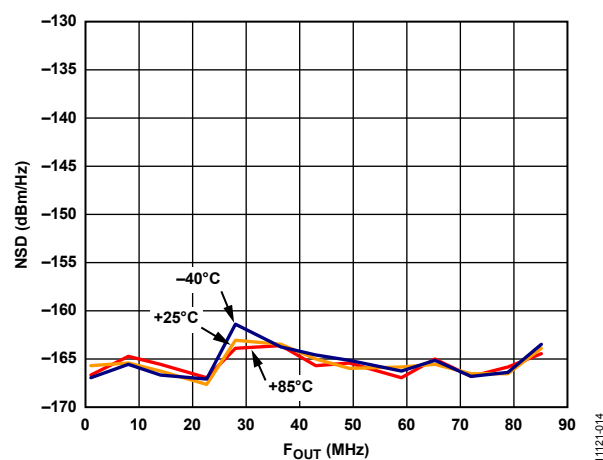


図 14. 様々な温度での  $F_{OUT}$  対 NSD

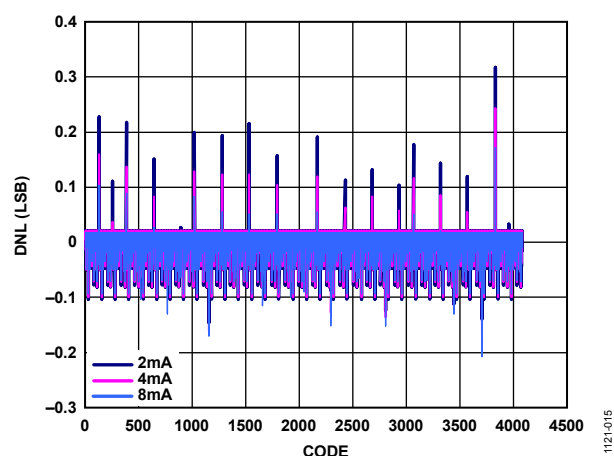


図 15.様々な  $I_{OUTFS}$  での DNL

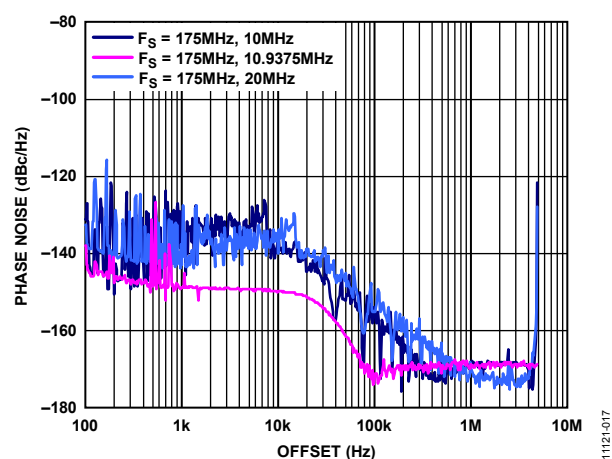


図 17.位相ノイズ

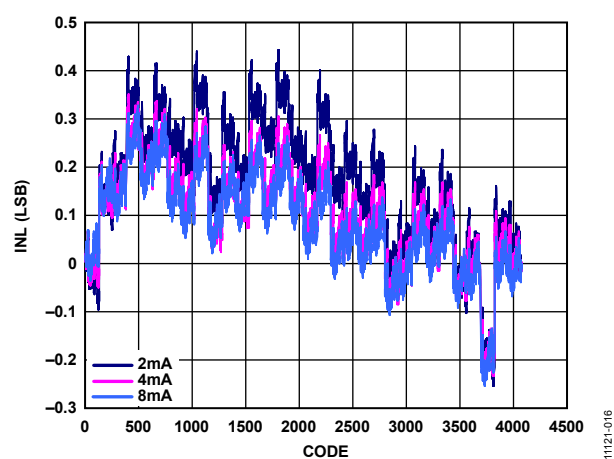


図 16.様々な  $I_{OUTFS}$  での INL

AVDD = 1.8 V、DVDD = DLDO1 = DLDO2 = 1.8 V、CLKVDD = CLDO = 1.8 V。

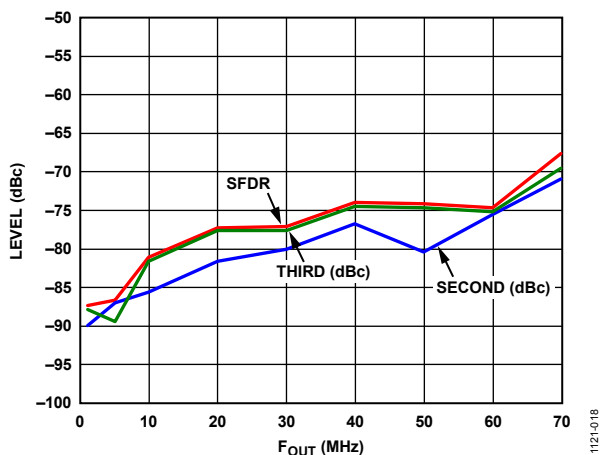


図 18.  $F_{OUT}$  対 SFDR、2 次高調波、3 次高調波  
 $I_{OUTFS} = 4 \text{ mA}$

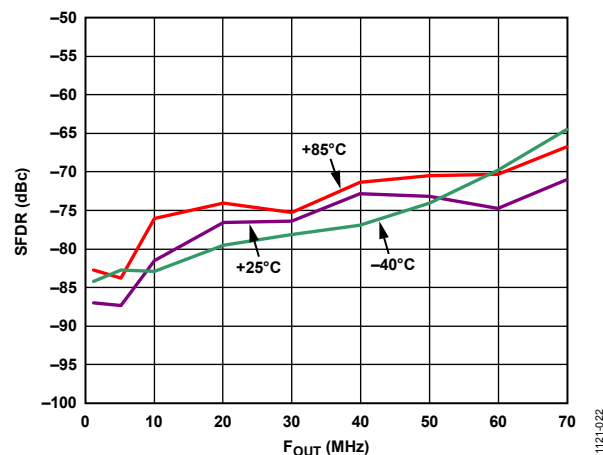


図 21. 様々な温度での  $F_{OUT}$  対 SFDR

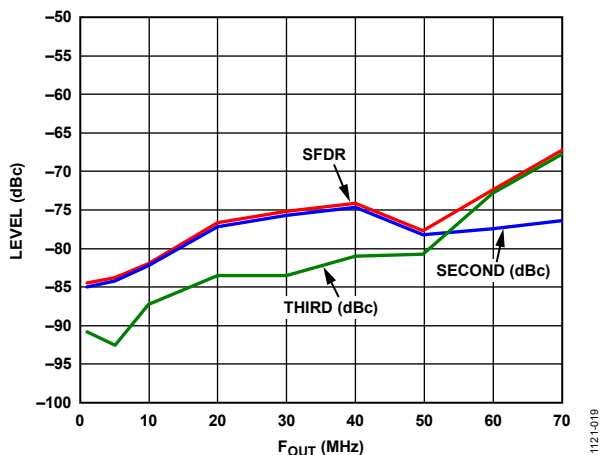


図 19.  $F_{OUT}$  対 SFDR、2 次高調波、3 次高調波  
 $I_{OUTFS} = 2 \text{ mA}$

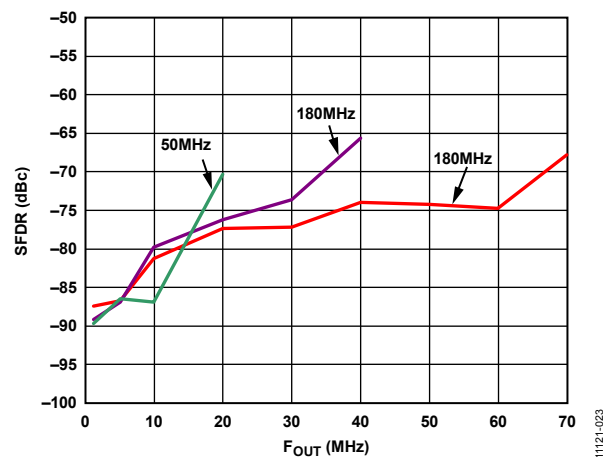


図 22. 様々な  $F_{DAC}$  での  $F_{OUT}$  対 SFDR

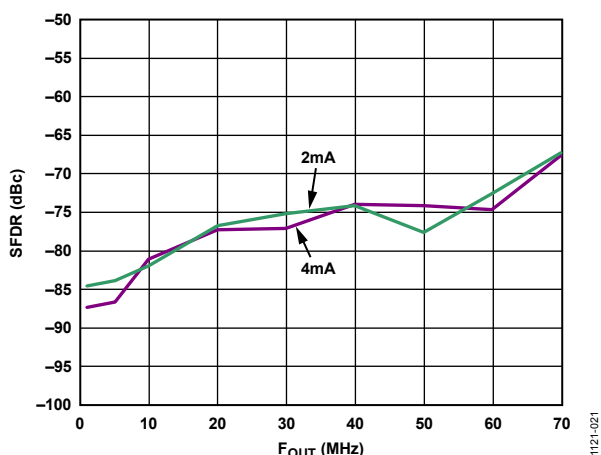


図 20. 様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 SFDR

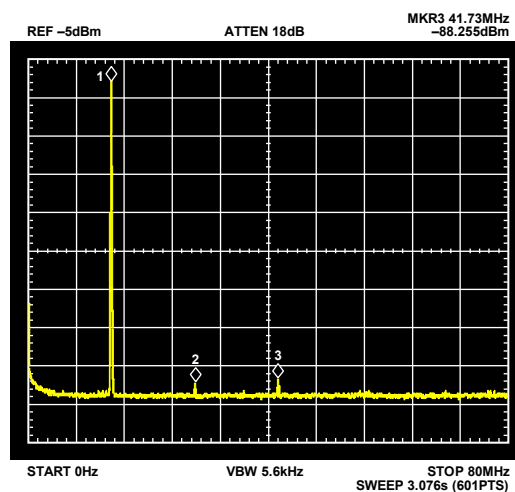


図 23. 出力スペクトル  
 $F_{OUT} = 13.37 \text{ MHz}$

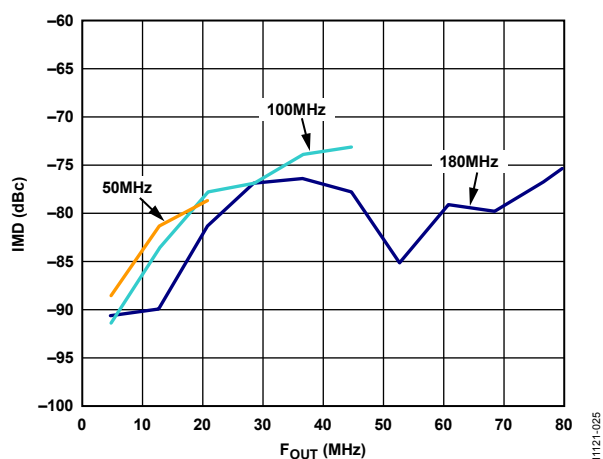


図 24.様々な  $F_{OUT}$  での  $F_{OUT}$  対 IMD

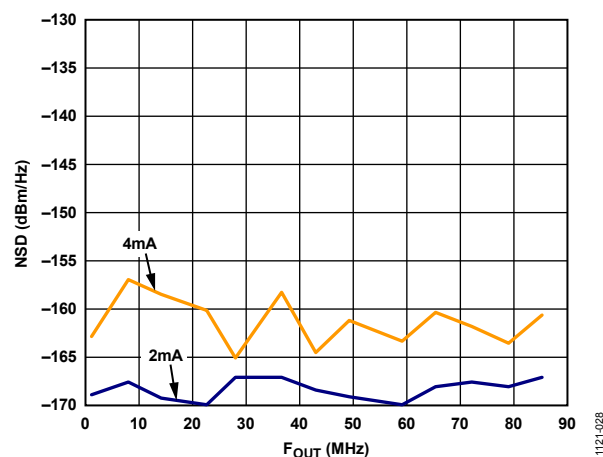


図 27.様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 NSD

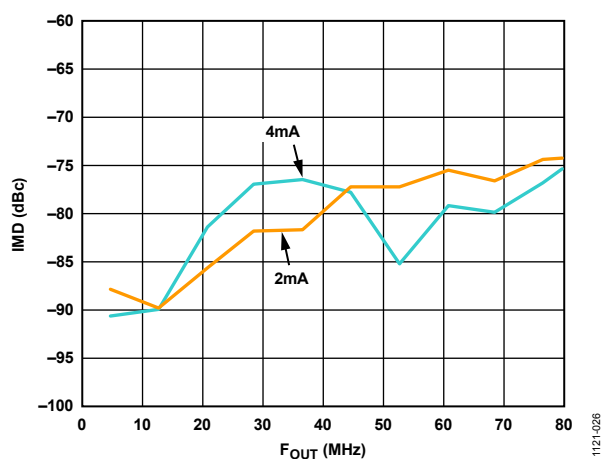


図 25.様々な  $I_{OUTFS}$  での  $F_{OUT}$  対 IMD

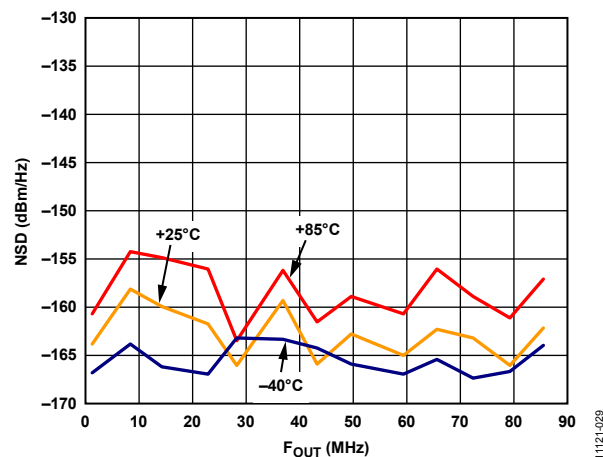


図 28.様々な温度での  $F_{OUT}$  対 NSD

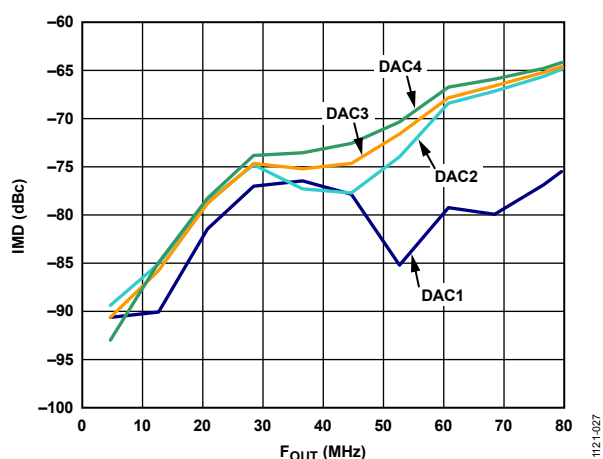


図 26.  $F_{OUT}$  対 IMD  
4 個の全 DAC

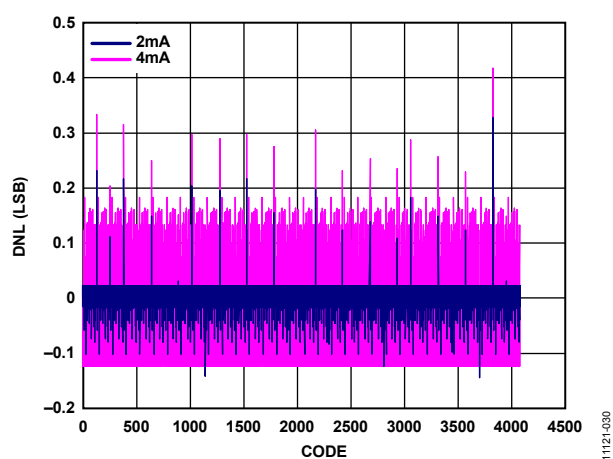
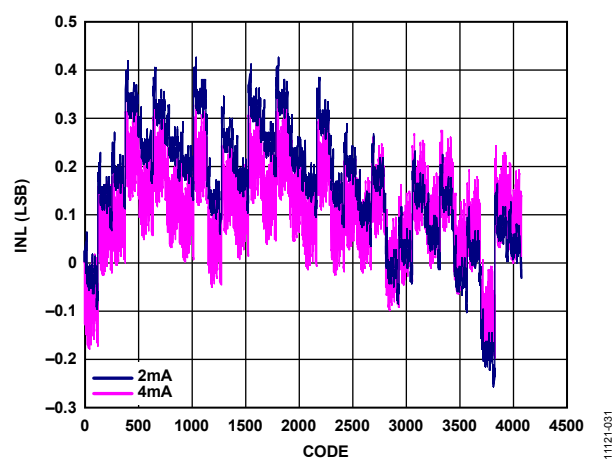


図 29.様々な  $I_{OUTFS}$  での DNL

図 30.様々な  $I_{OUTFS}$  での INL

## 用語

### 直線性誤差(積分非直線性 INL)

INL は、ゼロとフルスケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

### 微分非直線性(DNL)

DNL は、デジタル入力コードでの 1 LSB の変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

### 単調性

デジタル入力が増加したとき、出力が増加するか不変である場合に、D/A コンバータは単調であるといえます。

### オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。IOUTPx に対しては、全入力ビットが 0 の場合、0 mA 出力が期待されます。全入力ビットが 1 の場合、IOUTNz=0 mA の出力が期待されます。

### ゲイン誤差

理論出力範囲と実際の出力範囲の差をいいます。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から全入力ビットが 0 に設定されたときの出力を減算したときの差として定義されます。理想ゲインは VREF の測定値を使って計算されます。したがって、ゲイン誤差にはリファレンスの影響は含まれません。

### 出力コンプライアンス電圧

出力コンプライアンス電圧は、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

### 温度ドリフト

温度ドリフトは、周囲温度(25°C)時の値から T<sub>MIN</sub> または T<sub>MAX</sub> 時の値までの最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは 1°C 当たりのフルスケール範囲(FSR)に対する ppm 値で表されます。リファレンスドリフトの場合は、ドリフトは 1°C 当たりの ppm 値で表されます。

### 電源除去比

電源が公称値から最小規定電圧値または最大規定電圧値へ変化したときのフルスケール出力の最大変化を意味します。

### セトリング・タイム

出力が最終値を中心とする規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

### グリッチ・インパルス

望ましくない出力過渡電圧を発生させる、DAC 内の非対称なスイッチング時間をいい、1 個のグリッチ・インパルスでその大きさを表します。グリッチ内の正味面積を表す単位 pV-s を使って規定します。

### スプリアス・フリー・ダイナミックレンジ(SFDR)

出力信号の rms 振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB 値で表します。

### ノイズ・スペクトル密度(NSD)

ノイズ・スペクトル密度は、DAC の出力トーン発生中における、1 Hz 帯域幅に正規化した平均ノイズ電力です。

## 動作原理

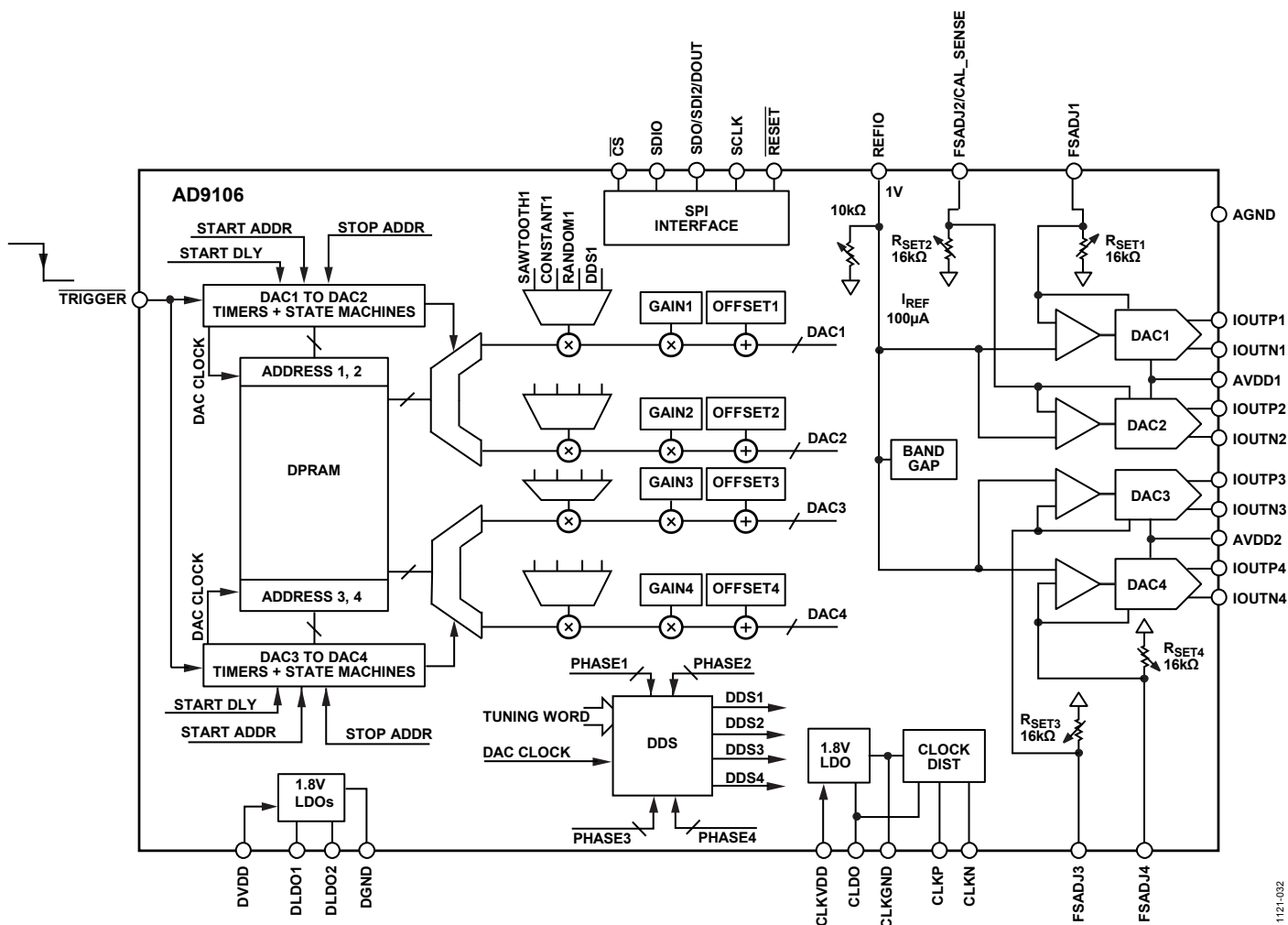


図 31. AD9106 のブロック図

図 31 に、AD9106 のブロック図を示します。AD9106 は 12 ビット電流出力 DAC を 4 個内蔵しています。

DAC は 1 つのリファレンス電圧を共用しています。バンド・ギャップ・リファレンス電圧を内蔵しています。オプションとして、外付けリファレンス電圧を使用することができます。ゲインとも呼ばれるフルスケール DAC 出力電流は、電流  $I_{REF}$  から制御されます。 $I_{REF}$  は、各  $I_{REF}$  抵抗を流れる電流です。各 DAC は固有の  $I_{REF}$  設定抵抗を持っています。これらの抵抗は、ユーザーの判断で内蔵抵抗または外付け抵抗を使うことができます。内蔵  $R_{SET}$  抵抗を使用すると、製品に内蔵されている自動ゲイン・キャリブレーション機能を使うことにより、DAC ゲイン精度を向上させることができます。自動キャリブレーションは、内蔵リファレンス電圧または外付け REFIO 電圧と組み合わせて使用することができます。自動ゲイン・キャリブレーションの手順をこのセクションで説明します。

AD9106 の電源レールは、アナログ回路用に AVDD、クロック入力レーン用に CLKVDD/CLDO、デジタル I/O と内部デジタル・データ・パス用に DVDD/DLDO1/DLDO2 と、それぞれなっています。AVDD、DVDD、CLKVDD の範囲は公称 1.8 V~3.3 V です。DLDO1、DLDO2、CLDO は 1.8 V で動作します。DVDD = 1.8 V の場合、内蔵 LDO をディスエーブルして DLDO1 と DLDO2 は DVDD に接続する必要があります。この場合、これら 3 個の電源は外部から供給されます。これは CLKVDD =

1.8 V の場合、CLKVDD と CLDO にも供給されます。

4 個の DAC に入力されるデジタル信号は、内蔵デジタル波形発生リソースから発生されます。12 ビットのサンプルが、専用デジタル・データ・パスから CLKP/CLKN サンプル・レートで各 DAC へ入力されます。各 DAC のデータ・パスには、ゲインとオフセットの補正、デジタル波形ソース選択マルチプレクサが含まれています。波形ソースとしては、SRAM、ダイレクト・デジタル・シンセサイザ(DDS)、SRAM データによる DDS 出力振幅変調、鋸波ジェネレータ、DC 固定、擬似ランダム・シーケンス・ジェネレータがあります。ソース選択マルチプレクサから出力される波形は、プログラマブルなパターン特性を持っています。波形としては、連続、連続パルス化(パターン周期固定で各パターン周期内で開始遅延付き)、または有限パルス化(所定セット数のパターン周期を出力して、パターンが停止)を設定することができます。

パルス化波形(有限または連続)には、パターン周期と開始遅延が設定されます。波形は、各パルス周期で表され、この後ろにグローバル設定パターン周期(4 個のすべての DAC に適用)の開始と各 DAC の開始遅延が続きます。

SPI ポートは、データの SRAM への書込みとデバイス内部のすべてのコントロール・レジスタへの書込みを可能にします。

## SPI ポート

AD9106 は柔軟な同期シリアル通信(SPI)ポートを内蔵しているため、ASIC、FPGA、業界標準のマイクロコントローラとの容易なインターフェースが可能です。このインターフェースを使うと、AD9106 を設定するすべてのレジスタと内蔵 SRAM に対してリード/ライト・アクセスが可能になります。データレートは最大 SCLK クロック速度まで可能です(表 3 と表 4 参照)。

SPI インターフェースは、標準同期シリアル通信ポートとして動作します。 $\overline{\text{CS}}$  は、アクティブ・ローのチップ・セレクトです。 $\overline{\text{CS}}$  がロー・レベルになると、SPI のアドレスとデータの転送が開始されます。SPI マスターから到着する SDIO 上の先頭のビットはリード/ライト・インジケータです(ハイ・レベルが読出し、ロー・レベルが書込み)。次の 15 ビットは初期レジスタ・アドレスです。 $\overline{\text{CS}}$  が先頭データ・ワードを超えてロー・レベルを維持して、連続アドレスのセットに対する書込みまたは読出しを可能にすると、SPI ポートはレジスタ・アドレスを自動的にインクリメントします。

表 12. コマンド・ワード

| MSB                    |      |      |      |     | LSB |     |     |
|------------------------|------|------|------|-----|-----|-----|-----|
| DB15                   | DB14 | DB13 | DB12 | ... | DB2 | DB1 | DB0 |
| $\overline{\text{RW}}$ | A14  | A13  | A12  | ... | A2  | A1  | A0  |

このコマンド・バイトの先頭ビットがロー・レベルの場合( $\overline{\text{RW}}$  ビット = 0)、SPI コマンドは書込み動作になります。この場合、SDIO は入力のままになります(図 32 参照)。

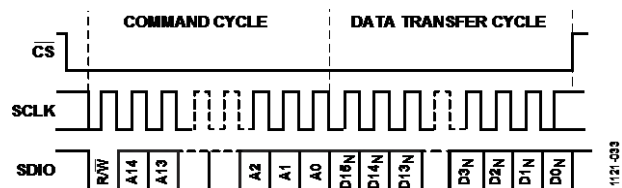


図 32. シリアル・レジスタ・インターフェースのタイミング  
—MSB ファースト書込み、3 線式 SPI

このコマンド・バイトの先頭ビットがハイ・レベルの場合( $\overline{\text{RW}}$  ビット = 1)、SPI コマンドは読出し動作になります。この場合、データは SPI ポートから出力されます(図 33 と図 34 参照)。 $\overline{\text{CS}}$  ビンがハイ・レベルになると、SPI 通信は終了します。

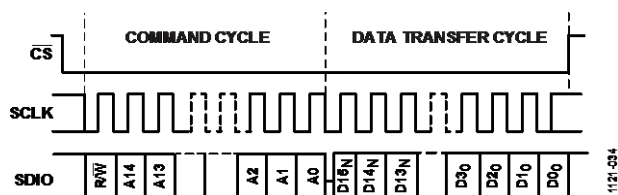


図 33. シリアル・レジスタ・インターフェースのタイミング  
—MSB ファースト読出し、3 線式 SPI

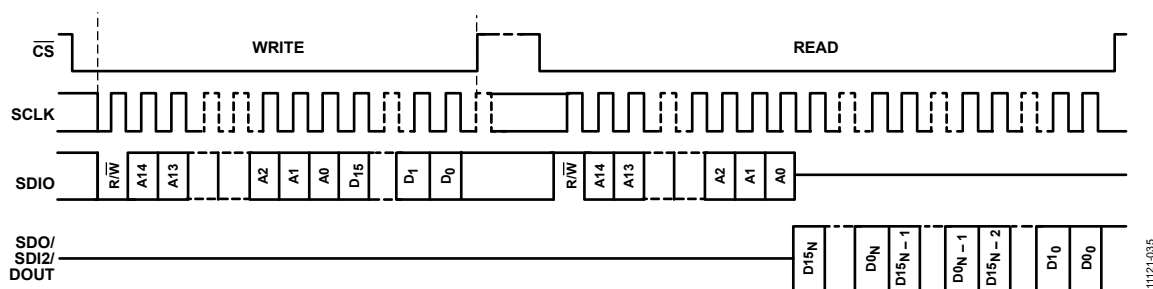


図 34. シリアル・レジスタ・インターフェースのタイミング—MSB ファースト読出し、4 線式 SPI

## 内蔵 SRAM への書き込み

AD9106 は、4096 × 12 の SRAM を内蔵しています。SRAM アドレス空間は、AD9106 SPI アドレス・マップの 0x6000~0x6FFF を占めています。

## SRAM 書き込み用のダブル SPI

図 35 に示す SPI アクセス・モードを使うと、全 SRAM へのデータ書き込み時間を半分にすることができます。SDO/SDI2/DOUT ラインは 2 つ目のシリアル・データ入力ラインになり、内蔵 SRAM の更新レートを倍にすることができます。SDO/SDI2/DOUT は、このモードでは書き込み専用になります。SRAM 全体は、 $(2 + 2 \times 4096) \times 8 / (2 \times F_{\text{SCLK}})$  sec で書き込むことができます。

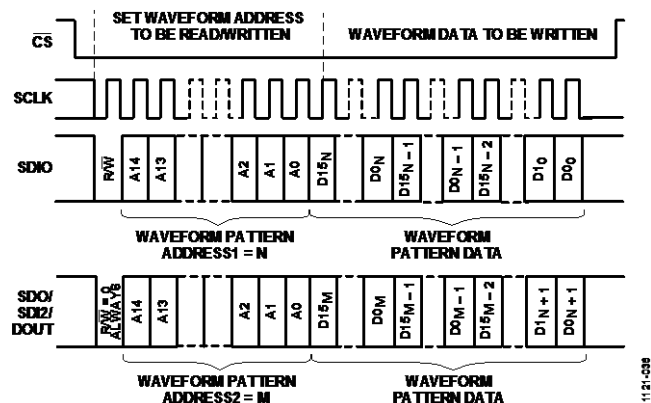


図 35. SRAM データのダブル SPI 書き込み

## 設定レジスタの更新手順

SPI からアクセスできる大部分のレジスタはダブル・バッファされています。アクティブ・レジスタ・セットは、パターン発生時の AD9106 の動作を制御します。シャドウ・レジスタのセットは、更新されたレジスタ値を格納します。レジスタの更新は何時でも書き込むことができ、設定の更新が完了したとき、RAMUPDATE レジスタの UPDATE ビットに 1 を書き込みます。UPDATE ビットは、シャドウ・レジスタからアクティブ・レジスタへ転送するようにレジスタ・セットを準備させます。AD9106 は、パターン・ジェネレータがオフになる次の機会にこの転送を自動的に実行します。この手順は 4K × 12 SRAM に適用されません。SRAM 更新手順の詳細については、SRAM のセクションを参照してください。

## DAC の伝達関数

AD9106 DAC は、IOUTP1/IOUTN1、IOUTP2/IOUTN2、IOUTP3/IOUTN3、IOUTP4/IOUTN4 の 4 個の差動電流出力を提供します。DAC 出力電流式は次のようになります。

$$IOUTPx = IOUTFSx \times xDAC \text{ INPUT CODE} / 2^{12} \quad (1)$$

$$IOUTNx = IOUTFSx \times ((2^{12} - 1) - xDAC \text{ INPUT CODE}) / 2^{12} \quad (2)$$

ここで、

$xDAC \text{ INPUT CODE} = 0 \sim 2^{12} - 1$ 。

$IOUTFSx$  は各 DAC に独立に設定されたフルスケール電流または DAC ゲイン。

$$IOUTFSx = 32 \times IREFx \quad (3)$$

ここで、

$$IREFx = VREFIO / xRSET \quad (4)$$

$IREFx$  は、各  $IREFx$  抵抗を流れる電流です。各 DAC は固有の  $IREF$  設定抵抗を持っています。 $IREF$  抵抗は、ユーザーの判断で内蔵抵抗または外付け抵抗を使うことができます。内蔵  $xRSET$  抵抗を使用すると、製品に内蔵されている自動ゲイン・キャリブレーション機能を使うことにより、DAC ゲイン精度を向上させることができます。

## アナログ電流出力

DAC 出力の最適な直線性とノイズ性能は、アンプまたはトランスに差動で接続したときに実現されます。これらの構成では、DAC 出力で同相モード信号が除去されます。

表 1 と表 2 性能仕様を満たすためには、これらの表の出力コンプライアンス電圧仕様に従う必要があります。

## DAC ゲイン( $IOUTFSx$ )の設定

式 3 と式 4 に示すように、DAC ゲイン( $IOUTFSx$ )は REFIO 端子でのリファレンス電圧および各 DAC の  $xRSET$  の関数です。

## リファレンス電圧

AD9106 は、1.0 V の公称バンド・ギャップ・リファレンス電圧を内蔵しています。この内蔵リファレンス電圧を使用できますが、代わりに、更に正確な外付けリファレンス電圧で置き換えることもできます。外付けリファレンス電圧は、さらに厳しいリファレンス電圧許容誤差および/または内蔵バンド・ギャップより小さい温度ドリフトを提供することができます。

デフォルトでは、内蔵リファレンスがパワーアップして使用可能になります。内蔵リファレンスを使用する場合、0.1  $\mu$ F のコンデンサを使って REFIO 端子を AGND ヘドカップリングする必要があります(図 36 参照)。

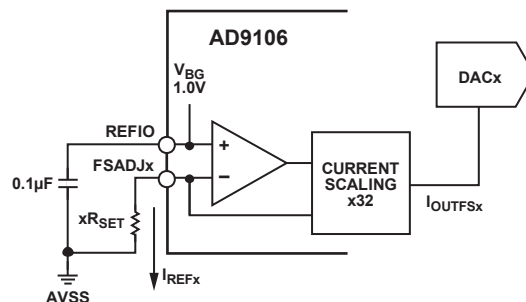


図 36. 外付け  $xRSET$  抵抗を接続した内蔵リファレンス電圧

表 13 に、リファレンス電圧の接続と設定をまとめます。

表 13. リファレンス電圧の動作

| Reference Mode | REFIO Pin                     |
|----------------|-------------------------------|
| Internal       | Connect 0.1 $\mu$ F capacitor |
| External       | Connect off-chip reference    |

## 内蔵 V<sub>REFIO</sub> の設定

内蔵 REFIO 電圧レベルは設定可能です。

内部リファレンス電圧を使用する場合は、レジスタ 0x03 の下位 6 ビットの BGDR フィールドで V<sub>REFIO</sub> レベルを調整します。REFIO の公称バンド・ギャップ電圧に対して最大 20% の増減を行います。FSADJx 抵抗両端の電圧が、この変化に追従します。その結果、I<sub>REFx</sub> は同じ大きさだけ変化します。図 37 に内蔵リファレンス電圧が 1.04 V のデフォルト電圧 (BGDR = 0x00) のときの BGDR コード対 V<sub>REFIO</sub> を示します。

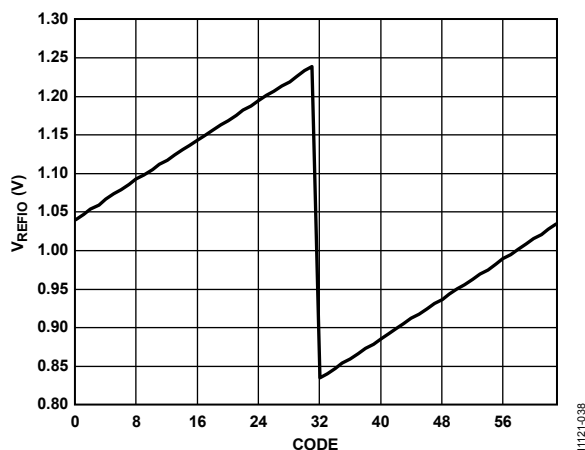


図 37. BGDR 対 V<sub>REF</sub> 電圧 (typ)

## xR<sub>SET</sub> 抵抗

各 DAC に対する式 4 の xR<sub>SET</sub> は、該当する FSADJx 端子に接続した内蔵抵抗またはユーザー選択のボード・レベル抵抗とすることができます。

内蔵 xR<sub>SET</sub> 抵抗を使用するときは、DAC1、DAC2、DAC3、DAC4 にそれぞれ対応するレジスタ 0x0C、レジスタ 0x0B、レジスタ 0x0A、レジスタ 0x09 のビット 15 にロジック 1 を設定します。レジスタ 0x0C、レジスタ 0x0B、レジスタ 0x0A、レジスタ 0x09 のビット [4:0] は、それぞれ DAC1、DAC2、DAC3、DAC4 に対応する内蔵 xR<sub>SET</sub> の設定値を手動で設定するときに使います。

## I<sub>OUTFSx</sub> の自動キャリブレーション

多くのアプリケーションでは厳しい DAC ゲイン制御が必要です。AD9106 は内蔵 xR<sub>SET</sub> 抵抗とのみ組み合わせる I<sub>OUTFSx</sub> 自動キャリブレーション手順を提供します。リファレンス電圧 V<sub>REFIO</sub> としは、内蔵リファレンスまたは外付けリファレンスが使用可能です。自動キャリブレーション手順は、各内蔵 xR<sub>SET</sub> 値と各電流 I<sub>REFx</sub> を微調整します。

自動キャリブレーションを使うときは、次のボード・レベルの接続が必要です。

1. FSADJ1 と FSADJ2/CAL\_SENSE を接続します。
2. FSADJ2/CAL\_SENSE とグラウンドの間に抵抗を接続します。この抵抗値は  $R_{CAL\_SENSE} = 32 \times V_{REFIO}/I_{OUTFS}$  である必要があります。I<sub>OUTFS</sub> は 4 個のすべて全 DAC のターゲット・フルスケール電流です。

自動キャリブレーションでは内部クロックを使います。このキャリブレーション・クロックは、レジスタ 0x0D の CAL\_CLK\_DIV ビットで選択される分周比で分周した DAC クロックに一致します。各キャリブレーション・サイクルは CAL\_CLK\_DIV[2:0] の値に応じて、4~512 DAC クロック・サイクルになります。キャリブレーション・クロック周波数は 500 kHz より小さい必要があります。

自動キャリブレーションを実行するときは、次のステップに従

います。

1. レジスタ 0x08[7:0] とレジスタ 0x0D[5:4] のキャリブレーション範囲に最小値を設定して最適キャリブレーションを可能にします。
2. レジスタ 0x0D でキャリブレーション・クロック・ビット CAL\_CLK\_EN をイネーブルします。
3. レジスタ 0x0D の CAL\_CLK\_DIV[2:0] ビットを設定して、キャリブレーション・クロックの分周比を設定します。デフォルトは 512 です。
4. レジスタ 0x0D の CAL\_MODE\_EN ビットにロジック 1 を設定します。
5. レジスタ 0x000E の START\_CAL ビットにロジック 1 を設定します。これにより、コンパレータ、xR<sub>SET</sub>、ゲインのキャリブレーションが開始されます。
6. レジスタ 0x000D の CAL\_MODE フラグがデバイスのキャリブレーション中、ロジック 1 になります。レジスタ 0x0E の CAL\_FIN フラグはキャリブレーションが完了すると、ロジック 1 になります。
7. レジスタ 0x0E の START\_CAL ビットにロジック 0 を設定します。
8. キャリブレーション後、レジスタ 0x0D のオーバーフロー・フラグとアンダーフロー・フラグ (ビット [14:8]) がセットされていないことを確認します。これらがセットされている場合、対応するキャリブレーション範囲を次に大きな範囲へ変更して、ステップ 5 を再度開始します。
9. これらのフラグがセットされていない場合、DACxRSET [12:8] レジスタと DACxGAIN [14:8] レジスタのそれぞれ DACx\_RSET\_CAL 値と DACx\_AGAIN\_CAL 値を読み出し、これらに対応する DACxRSET レジスタと DACxAGAIN レジスタへ書き込みます。
10. レジスタ 0x0D の CAL\_MODE\_EN ビットとキャリブレーション・クロック・ビット CAL\_CLK\_EN をロジック 0 にリセットして、キャリブレーション・クロックをディスエーブルします。
11. レジスタ 0x0D の CAL\_MODE\_EN ビットにロジック 0 を設定します。これにより RSET とゲインの制御マルチプレクサが通常のレジスタ用に設定されます。
12. レジスタ 0x0D のキャリブレーション・クロック・ビット CAL\_CLK\_EN をディスエーブルします。

キャリブレーションをリセットするときは、レジスタ 0x0D の CAL\_RESET ビットにロジック 1 からロジック 0 へ変化するパルスを入力し、RESET ビンにパルスを入力するか、または SPICONFIG レジスタの RESET ビットにパルスを入力します。

## クロック入力

最適 DAC 性能を得るためには、AD9106 のクロック入力信号対 (CLKP/CLKN) のジッタは非常に小さく、かつ高速な立上がり時間を持つ差動信号である必要があります。クロック・レシーバは固有の同相モード電圧を発生するため、これらの 2 つの入力は AC 結合する必要があります。

図 38 に、AD9106 との組み合わせで動作するアナログ・デバイセズの多くの LVDS クロック・ドライバに対する推奨インターフェースを示します。100 Ω の終端抵抗と 2 個の 0.1 μF 結合コンデンサを使用しています。図 40 に、アナログ・デバイセズの差動 PECL ドライバに対するインターフェースを示します。図 41 に、CLKP/CLKN を駆動するバランを使ったシングルエンド/差動コンバータを示します。これは、AD9106 をクロック駆動する望ましい方法です。

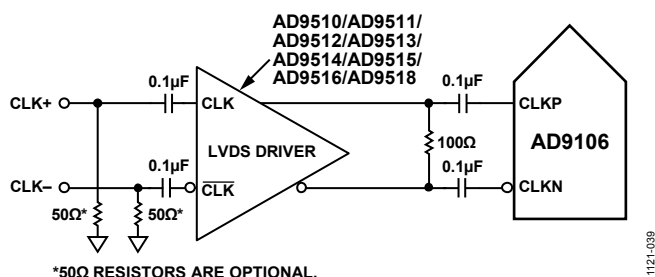


図 38. 差動 LVDS クロック入力

アナログ出力信号が低い周波数にあるアプリケーションでは、シングルエンド CMOS 信号で AD9106 クロック入力を駆動することは可能です。図 39 にこのようなインターフェースを示します。CLKP は CMOS ゲートから直接駆動され、CLKN ピンは 0.1 µF のコンデンサと 39 kΩ の抵抗の並列接続でグラウンドへバイパスされます。オプションの抵抗は直列終端されています。

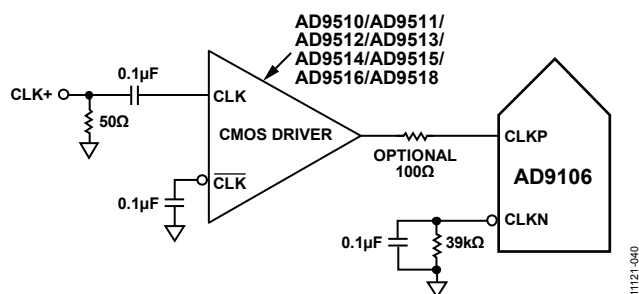


図 39. 1.8 V のシングルエンド CMOS サンプル・クロック

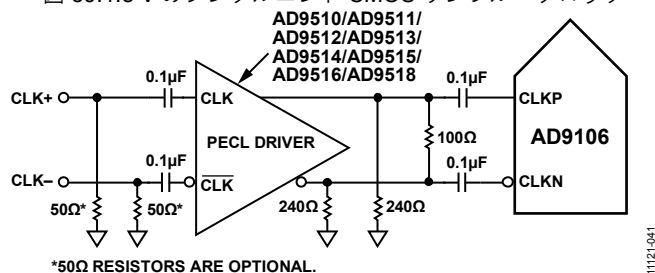


図 40. 差動 PECL サンプル・クロック

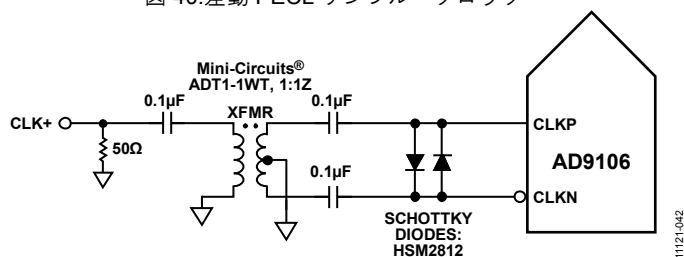


図 41. トランス結合のクロック

## 信号パターンの生成

AD9106 は、プログラマブルなパターン・ジェネレータの制御のもとで 3 つのタイプの信号パターンを生成することができます。

- 連続波形
- 無限に繰り返す周期パルス列波形
- 有限回繰り返す周期パルス列波形

## Run ビット

PAT\_STATUS レジスタの RUN ビットに 1 を設定すると、AD9106 はパターン発生用に設定されます。このビットをクリアすると、パターン・ジェネレータがシャットダウンされます (図 45 参照)。

## トリガ端子

トリガ端子の立下がりエッジで、パターンの発生が開始されます。RUN がセットされると、トリガの立下がりエッジでパターンの発生が開始されます。図 43 に示すように、トリガの立下がりエッジの後、パターン・ジェネレータ状態は所定数の CLKP/CLKN クロック・サイクル間“パターン・オン”になります。この遅延は、PATTERN\_DELAY ビット・フィールドに設定されます。

トリガ端子の立上がりエッジは、パターン発生停止の要求です (図 44 参照)。

## パターン・ビット(読み出し専用)

PAT\_STATUS レジスタの読み出し専用パターン・ビットが 1 に設定されると、パターン・ジェネレータが“パターン・オン”状態であることを表示します。0 に設定されると、パターン・ジェネレータが“パターン・オフ”状態であることを表示します。

## DAC 出力クロックのエッジ

CLOCKCONFIG レジスタの DACx\_INV\_CLK ビットを設定することにより、CLKP/CLKN クロック入力の立上がりまたは立下がりエッジでサンプルを出力するように 4 個の各 DAC を独立に設定することができます。この機能により DAC 出力タイミング分解能は  $1/(2 \times F_{CLKP/CLKN})$  に設定されます。

### パターン・タイプ

- パターン・ジェネレータのパターン・オン状態の継続時間の間、幾つかまたはすべての DACx により連続波形が出力されます。連続波形はパターン周期を無視します。
- 無限に繰り返す周期パルス列が、各パターン周期の間に 1 回出力される波形です。パターン・ジェネレータがパターン・オン状態にある限り、パターン周期は次々に発生します。
- 有限回繰り返す周期パルス列は無限に繰り返す場合と似ていますが、有限数の連続パターン周期の間だけ波形が出力される点が異なります。

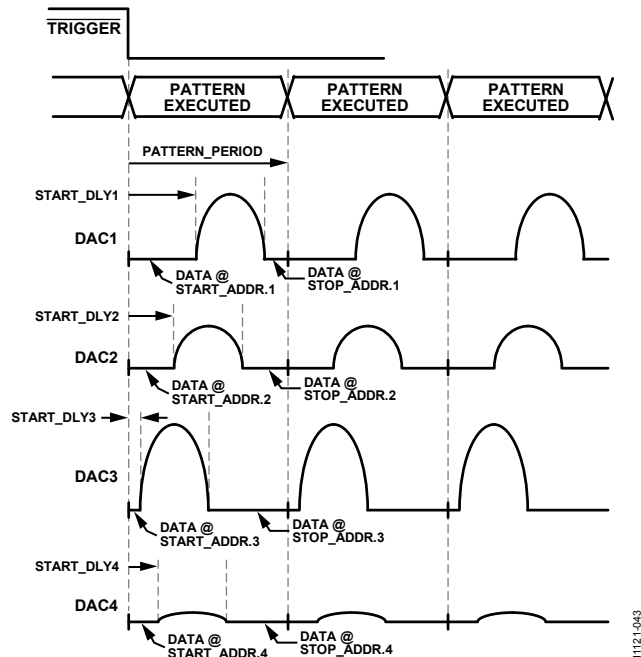


図 42. すべての DACx の周期パルス列出力

### パターン・ジェネレータの設定

図 44 に、4 個の各 DACx 出力で見た周期パルス列波形を示します。4 個の波形は、各パターン周期で発生されます。各々は、開始遅延(START\_DLYx)を持っています。この遅延は、各パターン周期開始と波形開始との間の遅延です。4 個の DACx 波形は SRAM に格納されている同じデジタル信号で、これに DACx デジタル・ゲイン・ファクタが乗算されています。SRAM データは、各 DACx アドレス・カウンタを使って同時に読出されます。

### パターン周期の設定

2 つのレジスタ・ビット・フィールドを使ってパターン周期を設定します。PAT\_TIMEBASE レジスタの PAT\_PERIOD\_BASE フィールドは、PATTERN\_PERIOD\_LSB あたりの CLKP/N クロック数を設定します。PATTERN\_PERIOD は、PAT\_PERIOD レジスタに設定されます。使用可能な最長パターン周期は  $65535 \times 16/F_{CLKP/CLKN}$  です。

### 波形開始遅延ベースの設定

波形開始遅延ベースは、PAT\_TIMEBASE レジスタの START\_DELAY\_BASE フィールドに設定されます。各 DACx には、DACx 入力データ・パスのセクションで説明する START\_DLYx レジスタがあります。開始遅延ベースは、START\_DELAYx LSB あたりの CLKP/CLKN クロック・サイクル数を指定します。

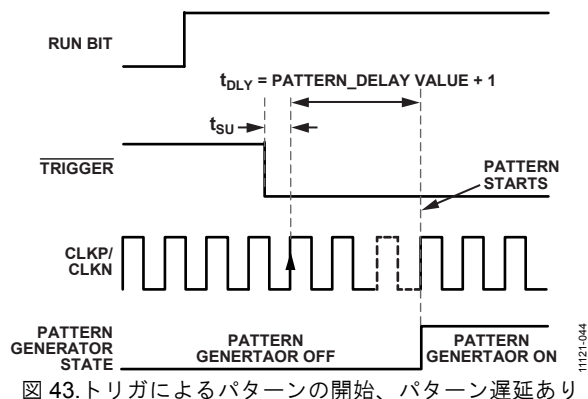


図 43. トリガによるパターンの開始、パターン遅延あり

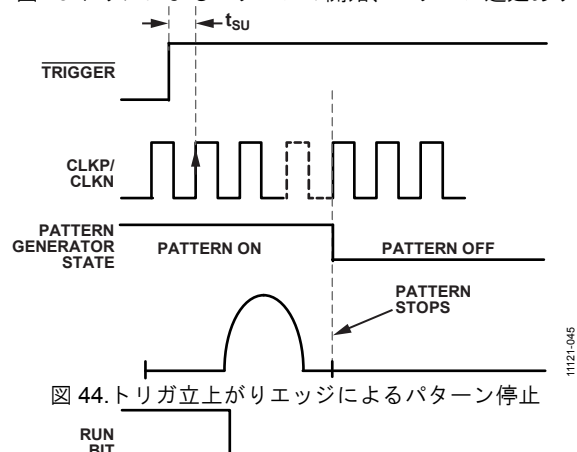


図 44. トリガ立上がりエッジによるパターン停止

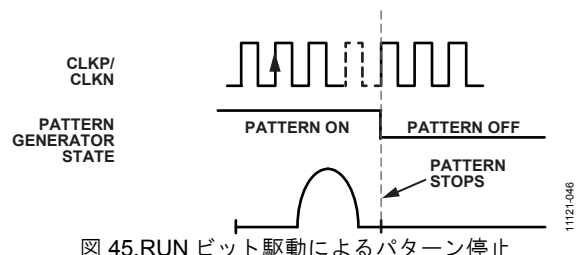


図 45. RUN ビット駆動によるパターン停止

### DACx 入力データ・パス

4 個の各 DACx には個々のデジタル・データ・パスがあります。DACx データ・パスのタイミングは、パターン・ジェネレータから制御されます。各 DACx データ・パスには、波形セクタ、波形繰り返しコントローラ、RAM 出力および DDS 出力乗算器 (RAM 出力により DDS 出力を振幅変調可能)、DDS サイクル・カウンタ、DACx デジタル・ゲイン乗算器、DACx デジタル・オフセット加算器が含まれています。

### DACx デジタル・ゲイン乗算器

サンプルが各 DACx へ入力される前に、12 ビット・ゲイン・ファクタ ( $\pm 2.0$  の範囲) が乗算されます。これらのゲイン値は、DACx\_DGAIN レジスタに設定されます。

### DACx デジタル・オフセット加算器

DACx 入力サンプルには、12 ビットの DC オフセット値も加算されます。DC オフセット値は、DACxDOF レジスタに設定されます。

### DACx 波形セレクト

波形セレクト入力、

- DACx 鋸波ジェネレータ出力
- DACx 疑似ランダム・シーケンス・ジェネレータ出力
- DACx DC 固定ジェネレータ出力
- DACx パルス化、位相シフト済 DDS 正弦波出力
- RAM 出力
- RAM 出力で振幅変調した、DACx パルス化、位相シフト済 DDS 正弦波出力

各 DACx に対する波形選択は、WAVEx\_yCONFIG レジスタの設定により行われます。

### DACx パターン周期繰り返しコントローラ

PAT\_TYPE レジスタの PATTERN\_RPT ビットは、パターン出力で自動繰り返しを行うのか(無限に繰り返す周期パルス列)、または DACx\_REPEAT\_CYCLE フィールドで指定される連続回数の繰り返しを行うのかを制御します。後者は、有限回繰り返す周期パルス列です。

### DACx、DDS サイクル数

各 DACx 入力のデータ・パスでは、1 つの共通 DDS の正弦波出力パルス幅を正弦波サイクル数で設定します。このサイクル数は、DDS\_CYCLEx レジスタに設定されます。

### DACx DDS 位相シフト

各 DACx 入力のデータ・パスでは、1 つの共通 DDS の出力の位相をシフトさせます。この位相シフトは、DDSx\_PHASE フィールドを使って設定されます。

## DOUT の機能

超音波トランスジューサ・アレイ・エレメントを駆動するシグナル・チェーンのような、AD9106 DAC が高電圧アンプを駆動するアプリケーションでは、各 AD9106 DAC により発生された波形を基準とした正確な時間で各アンプをターンオン／ターンオフできると便利です。SDO/SDI2/DOUT 端子は、この機能を提供するように構成することができます。1 本のアンプ・オン／オフ・ストロブを 4 個すべての DAC へ提供することができます。

SPI インターフェースは 3 線式モードに設定する必要があります (図 32 と図 33 参照)。これは、SPICONFIG レジスタの SPI3WIRE ビットまたは SPI3WIREM ビットを設定することにより行います。SPICONFIG レジスタの SPID\_RV または SPI\_DRVM にロジック 1 を設定すると、SDO/SDI2/DOUT 端子は DOUT 機能を提供するようになります。

### 手動制御の DOUT

DOUT\_CONFIG レジスタで DOUT\_MODE = 0 にすると、同じレジスタの DOUT\_VAL ビットを使って、DOUT をターンオンまたはターンオフすることができます。

### パターン・ジェネレータ制御の DOUT

図 46 に、パターン・ジェネレータの立上がりエッジで制御される DOUT パルスを示します。図 47 に、立下がりエッジを示します。DOUT\_MODE = 1 を設定してパターン・ジェネレータ制御による DOUT を設定し、次に開始遅延を DOUT\_START\_DLY レジスタに、ストップ遅延を DOUT\_CONFIG レジスタの DOUT\_STOP フィールドに、それぞれ設定します。

トリガ端子信号入力の立下がりエッジの後に、DOUT は DOUT\_START[15:0] CLKP/CLKN サイクルの間、ハイ・レベルになります。DOUT はパターンの発生中ハイ・レベルを維持します。パターン発生を停止させるクロック・エッジの後、DOUT は DOUT\_STOP[3:0] CLKP/CLKN サイクルの間、ロー・レベルになります。

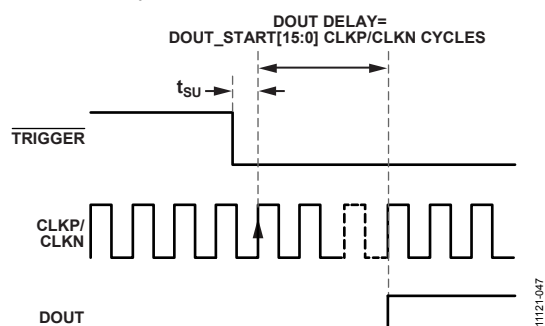


図 46.DOUT 開始シーケンス

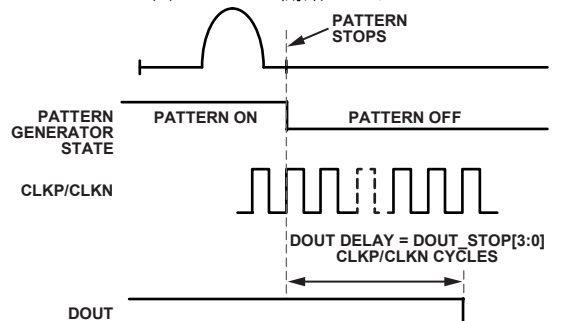


図 47.DOUT 停止シーケンス

## ダイレクト・デジタル・シンセサイザ (DDS)

ダイレクト・デジタル・シンセサイザは、4 個の内の任意の DACx に出力できる正弦波を発生します。DDS はグローバル共用信号リソースです。DDS はチューニング・ワード入力で指定される周波数で 1 つの正弦波を発生することができます。チューニング・ワードは 24 ビット幅です。DDS チューニングの分解能は  $F_{CLKP/CLKN}/2^{24}$  です。DDS 出力周波数は  $DDS\_TW \times F_{CLKP/CLKN}/2^{24}$  で表されます。

DDS チューニング・ワードは次のいずれかの方法で設定されます。固定周波数の場合、DDSTW\_MSB と DDSTW\_LSB には一定値が設定されます。各パターン周期内で DDS 周波数を変える必要がある場合は、SRAM 内に格納されている一連の値と DDSTW\_MSB ビットの選択を組み合わせ、チューニング・ワードが構成されます。

## SRAM

AD9106 の 4K × 12 SRAM は、信号サンプル、振幅変調パターン、DDS チューニング・ワードのリスト、または DDS 出力位相オフセット・ワードのリストを格納することができます。SRAM がパターン発生で使用されていない限り (RUN = 0)、SPI ポートを介して、メモリに対してデータを読み書きすることができます。SRAM へ書き込みを行うときは、PAT\_STATUS レジスタを次のように設定します。

- BUF\_READ = 0
- MEM\_ACCESS = 1
- RUN = 0

SRAM からデータを読み出すときは、PAT\_STATUS を次のように設定します。

- BUF\_READ = 1
- MEM\_ACCESS = 1
- RUN = 0

SRAM に対する SPI ポート・アドレス空間は、ロケーション 0x6000～0x6FFF です。

図 32 ～図 35 に示す任意の SPI 動作モードを使って、SRAM をアクセスすることができます。図 33 と図 34 に示す SPI 動作モードを使うと、SRAM 全体を  $(2 + 2 \times 4096) \times 8 / f_{\text{SCLK}} \text{ sec}$  で書込むことができます。SRAM は共用信号発生リソースです。この 1 個の 4K × 12 メモリからのデータを使って、4 個すべての DAC に対する信号を発生することができます。

PAT\_STATUS レジスタで RUN ビット = 1 (パターン発生をイネーブル) の場合、各 DACx データ・パスは固有の SRAM アドレス・カウンタを持ちます。各アドレス・カウンタは、自身の START\_ADDRx と STOP\_ADDRx を持っています。各パターン周期の間、START\_DELAYx 周期の後にデータが RAM から読み出され、各アドレス・カウンタがインクリメントされます。SRAM は、4 個すべての DACx データ・パスから同時に読み出されます。

### パターン生成モード SRAM アドレス・カウンタのインクリメント

各 SRAM アドレス・カウンタを CLKP/CLKN (デフォルト) または DDSx MSB の立上がりエッジでインクリメントするように、設定することができます。DDSx[11:0] は、与えられた DACx に対する DDS 出力サンプルです。DDSx\_CONFIG レジスタの DDS\_MSB\_ENx ビットにより、この選択を行います。

例えば、SRAM 内のチューニング・ワードのリストを使って DDS でチャープ波形を発生する場合、アドレス・カウンタをクロック駆動するために DDSx MSB を使用することができます。各周波数設定値は、1 DDS 出力正弦波サイクル間有効です。

## 鋸波ジェネレータ

各 DACx には別の鋸波信号ジェネレータがあります。WAV4\_3CONFIG レジスタまたは WAV2\_1 CONFIG レジスタの任意の PRESTORE\_SELx フィールドで鋸波が選択されると、該当する鋸波ジェネレータが所望の DACx デジタル・データ・パスに接続されます。

SAWx\_yCONFIG レジスタの SAW\_TYPEx フィールドを使って、図 48 に示す鋸波タイプを選択します。鋸波波形ステップあたりのサンプル数は、各 SAW\_STEPx フィールドに設定されます。

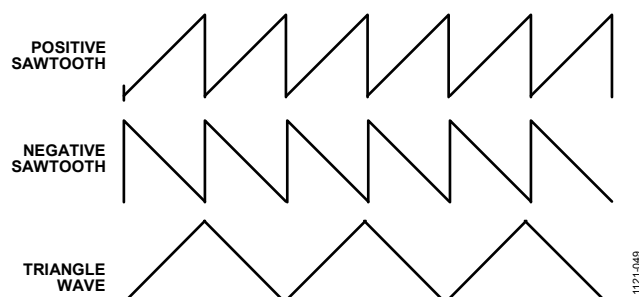


図 48. 鋸波パターン

## 擬似ランダム信号ジェネレータ

WAV4\_3CONFIG レジスタまたは WAV2\_1 CONFIG レジスタの任意の PRESTORE\_SELx フィールドで“擬似ランダム・シーケンス”を選択すると、擬似ランダム・ノイズ・ジェネレータは、各 DACx 出力でノイズ信号を発生させます。擬似ランダム・ノイズ信号は、連続波形としてのみ発生されます。

## DC 固定電流

WAV4\_3CONFIG レジスタまたは WAV2\_1 CONFIG レジスタの任意の PRESTORE\_SELx フィールドで“固定値”を選択すると、各 DACx で 0.0～ $I_{\text{OUTFSx}}$  のプログラマブルな DC 電流を発生させることができます。DC 固定電流は、連続波形としてのみ発生されます。該当する DACx\_CST レジスタの DACx\_CONST フィールドに書き込みを行うと、DC 電流レベルが設定されます。

## 電源の注意事項

AD9106 電源レールは表 9 で規定されています。AD9106 は 3 個のリニア・レギュレータを内蔵しています。これらのレギュレータから駆動される電源レールは 1.8 V で動作します。これらのレギュレータの 2 つの用途は次の通りです。

- CLKVDD が 2.5 V 以上の場合、1.8 V の内蔵 CLDO レギュレータを使用できます。CLKVDD = 1.8 V の場合、POWERCONFIG レジスタの PDN\_LDO\_CLK ビットをセットして、CLDO レギュレータをディスエーブルする必要があります。CLKVDD と CLDO を接続します。
- DVDD が 2.5 V 以上の場合、1.8 V の内蔵 DLDO1 レギュレータと 1.8 V の内蔵 DLDO2 レギュレータを使用できます。DVDD = 1.8 V の場合、POWERCONFIG レジスタの PDN\_LDO\_DIG1 ビットと PDN\_LDO\_DIG2 ビットをセットして、DLDO1 レギュレータと DLDO2 レギュレータをディスエーブルする必要があります。DVDD、DLDO1、DLDO2 は相互に接続します。

## パワーダウン機能

POWERCONFIG レジスタを使うと、AD9106 を低消費電力構成にすることができます。ここでは CLKP/CLKN 入力動作し、電源がオンしています。POWERCONFIG レジスタの DACx\_SLEEP ビットをセットして、DAC1、DAC2、DAC3、DAC4 すべてをスリープさせることができます。

CLOCKCONFIG レジスタの CLK\_PDN ビットをセットして、波形ジェネレータと DAC のクロック駆動をターンオフさせることができます。これらの動作により、AD9106 は表 8 に規定するパワーダウン・モードになります。

## アプリケーション情報

### 信号生成例

AD9106 の波形およびパターンの発生例をこのセクションに示します。

図 49 に、各 DACx で発生される様々な波形を示します。波形はすべて、異なるセグメント内の  $4K \times 12$  SRAM に格納されています。DACx バス・アドレス・カウンタは、SRAM を同時にアクセスします。各波形は、各パターン周期で 1 回繰り返されます。各パターン周期で開始遅延が実行された後に、パターンが SRAM から読出されます。

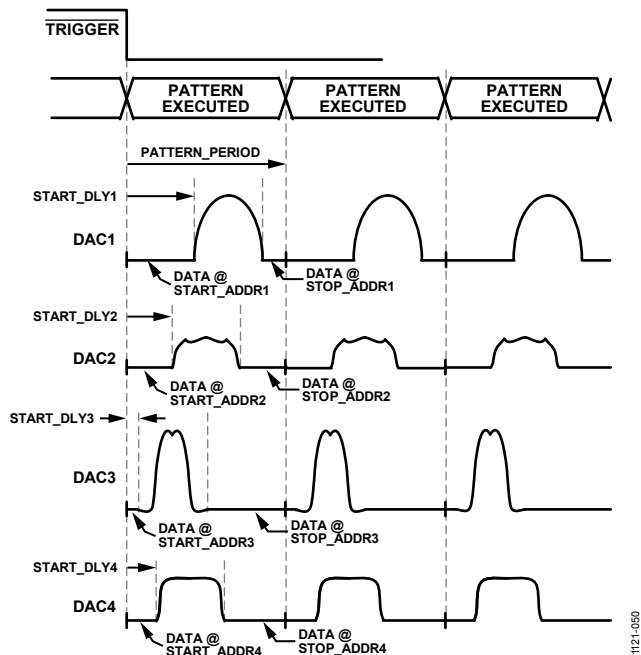


図 49. SRAM に格納された様々な波形を使ったパターン

図 50 に、各 DACx で発生されるパルス化正弦波を示します。DDS は、設定された周波数で正弦波を発生します。各 DACx チャンネルには、開始遅延と出力する正弦波サイクル数が設定されます。

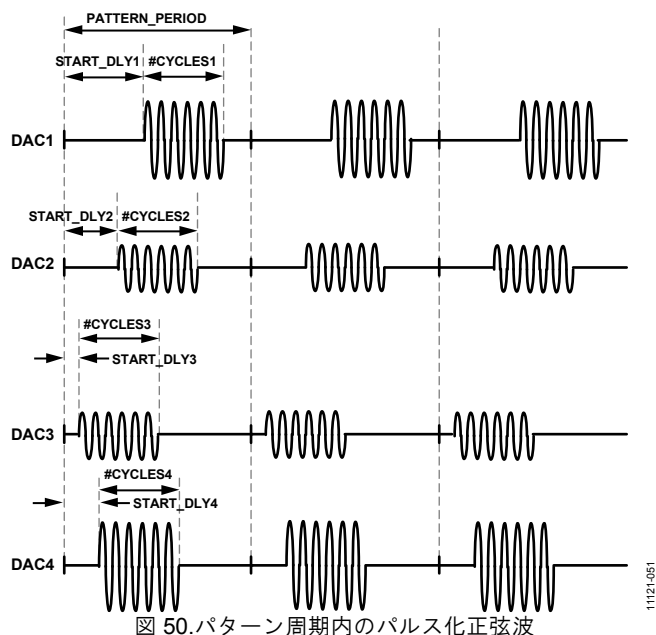


図 50. パターン周期内のパルス化正弦波

図 51 に、DAC1 で発生されたパルス化正弦波、および開始遅延と連続パターン周期を持つ、DAC2、DAC3、DAC4 で発生できる各鋸波を示します。

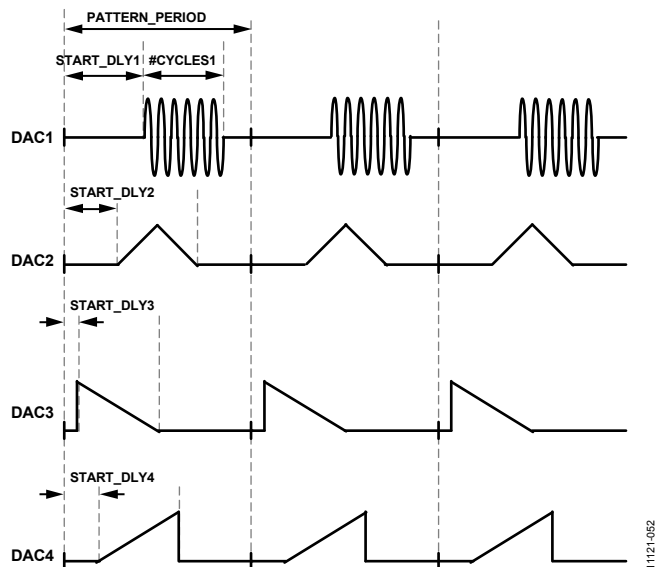


図 51. パターン周期内のパルス化正弦波と鋸波

図 52 に、振幅変調された正弦波を出力するすべての DACx を示します。正弦波は DDS で発生され、振幅包絡線は SRAM に格納されています。様々な開始遅延とデジタル・ゲイン乗算器が各 DACx 入力データ・バスに適用されます。

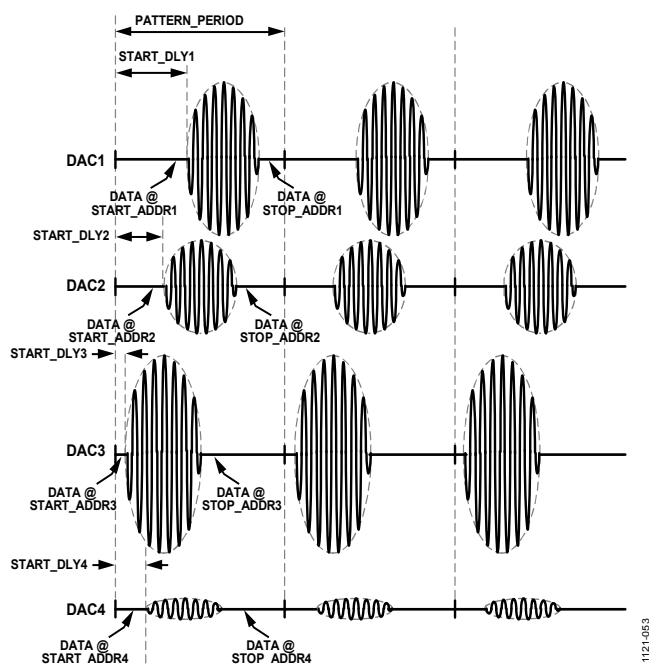


図 52. RAM 包絡線で振幅変調された DDS 出力

図 53 と図 54 に、連続波形を発生する 4 個の DAC を示します。1 つは開始遅延ありで、1 つは開始遅延なしです。

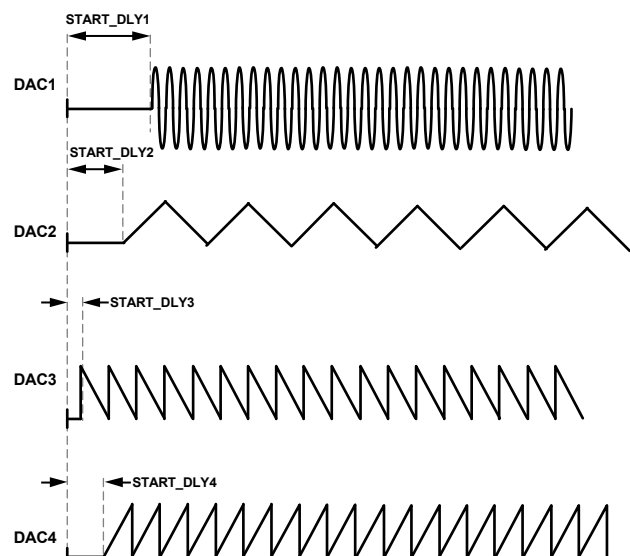


図 53. 開始遅延ありの波形

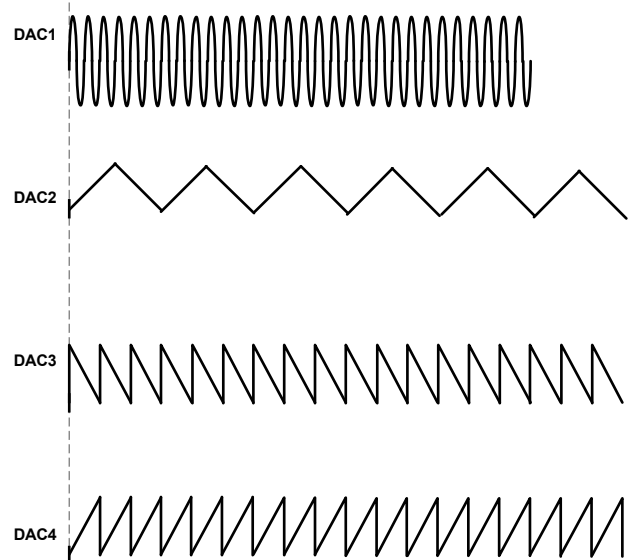


図 54. 開始遅延なしの波形

## レジスタ・マップ

表 14. レジスタの一覧

| Addr<br>(Hex) | Register<br>Name | Bits   | Bit 7                 | Bit 6           | Bit 5          | Bit 4         | Bit 3         | Bit 2         | Bit 1         | Bit 0        | Reset         | R $\overline{W}$ |                  |
|---------------|------------------|--------|-----------------------|-----------------|----------------|---------------|---------------|---------------|---------------|--------------|---------------|------------------|------------------|
| 0x00          | SPICONFIG        | [15:8] | LSBFIRST              | SPI3WIRE        | RESET          | DOUBLESPI     | SPI_DRV       | DOUT_EN       | RESERVED[3:2] |              | 0x00          | R $\overline{W}$ |                  |
|               |                  | [7:0]  | RESERVED[1:0]         |                 |                | DOUT_ENM      | SPI_DRVM      | DOUBLESPI_M   | RESETM        | SPI3WIREM    |               |                  | LSBFIRSTM        |
| 0x01          | POWERCONFIG      | [15:8] | RESERVED              |                 |                |               | CLK_LDO_STAT  | DIG1_LDO_STAT | DIG2_LDO_STAT | PDN_LDO_CLK  | 0x00          | R $\overline{W}$ |                  |
|               |                  | [7:0]  | PDN_LDO_DIG1          | PDN_LDO_DIG2    | REF_PDN        | REF_EXT       | DAC1_SLEEP    | DAC2_SLEEP    | DAC3_SLEEP    | DAC4_SLEEP   |               |                  |                  |
| 0x02          | CLOCKCONFIG      | [15:8] | RESERVED[15:12]       |                 |                |               | DIS_CLK1      | DIS_CLK2      | DIS_CLK3      | DIS_CLK4     | 0x00          | R $\overline{W}$ |                  |
|               |                  | [7:0]  | DIS_DCLK              | CLK_SLEEP       | CLK_PDN        | EPS           | DAC1_INV_CLK  | DAC2_INV_CLK  | DAC3_INV_CLK  | DAC4_INV_CLK |               |                  |                  |
| 0x03          | REFADJ           | [15:8] | RESERVED[9:2]         |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED[1:0]         |                 |                | BGDR          |               |               |               |              |               |                  |                  |
| 0x04          | DAC4AGAIN        | [15:8] | RESERVED              | DAC4_GAIN_CAL   |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              | DAC4_GAIN       |                |               |               |               |               |              |               |                  |                  |
| 0x05          | DAC3AGAIN        | [15:8] | RESERVED              | DAC3_GAIN_CAL   |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              | DAC3_GAIN       |                |               |               |               |               |              |               |                  |                  |
| 0x06          | DAC2AGAIN        | [15:8] | RESERVED              | DAC2_GAIN_CAL   |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              | DAC2_GAIN       |                |               |               |               |               |              |               |                  |                  |
| 0x07          | DAC1AGAIN        | [15:8] | RESERVED              | DAC1_GAIN_CAL   |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              | DAC1_GAIN       |                |               |               |               |               |              |               |                  |                  |
| 0x08          | DACxRANGE        | [15:8] | RESERVED              |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | DAC4_GAIN_RNG         |                 |                | DAC3_GAIN_RNG |               |               | DAC2_GAIN_RNG |              | DAC1_GAIN_RNG |                  |                  |
| 0x09          | DAC4RSET         | [15:8] | DAC4_RSET_EN          | RESERVED        |                |               | DAC4_RSET_CAL |               |               |              |               | 0x000A           | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                |               | DAC4_RSET     |               |               |              |               |                  |                  |
| 0x0A          | DAC3RSET         | [15:8] | DAC3_RSET_EN          | RESERVED        |                |               | DAC3_RSET_CAL |               |               |              |               | 0x000A           | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                |               | DAC3_RSET     |               |               |              |               |                  |                  |
| 0x0B          | DAC2RSET         | [15:8] | DAC2_RSET_EN          | RESERVED        |                |               | DAC2_RSET_CAL |               |               |              |               | 0x000A           | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                |               | DAC2_RSET     |               |               |              |               |                  |                  |
| 0x0C          | DAC1RSET         | [15:8] | DAC1_RSET_EN          | RESERVED        |                |               | DAC1_RSET_CAL |               |               |              |               | 0x000A           | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                |               | DAC1_RSET     |               |               |              |               |                  |                  |
| 0x0D          | CALCONFIG        | [15:8] | RESERVED              | COMP_OFFSET_OF  | COMP_OFFSET_UF | RSET_CAL_OF   | RSET_CAL_UF   | GAIN_CAL_OF   | GAIN_CAL_UF   | CAL_RESET    | 0x00          | R $\overline{W}$ |                  |
|               |                  | [7:0]  | CAL_MODE              | CAL_MODE_EN     | COMP_CAL_RNG   |               |               | CAL_CLK_EN    | CAL_CLK_DIV   |              |               |                  |                  |
| 0x0E          | COMPOFFSET       | [15:8] | RESERVED              | COMP_OFFSET_CAL |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                |               |               |               |               | CAL_FIN      | START_CAL     |                  |                  |
| 0x1D          | RAMUPDATE        | [15:8] | RESERVED[14:7]        |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED[6:0]         |                 |                |               |               |               |               |              | RAMUPDATE     |                  |                  |
| 0x1E          | PAT_STATUS       | [15:8] | RESERVED[12:5]        |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED[3:0]         |                 |                |               |               | BUF_READ      | MEM_ACCESS    | PATTERN      | RUN           |                  |                  |
| 0x1F          | PAT_TYPE         | [15:8] | RESERVED[14:7]        |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED[6:0]         |                 |                |               |               |               |               |              | PATTERN_RPT   |                  |                  |
| 0x20          | PATTERN_DLY      | [15:8] | PATTERN_DELAY[15:8]   |                 |                |               |               |               |               |              |               | 0x000E           | R $\overline{W}$ |
|               |                  | [7:0]  | PATTERN_DELAY[7:0]    |                 |                |               |               |               |               |              |               |                  |                  |
| 0x22          | DAC4DOF          | [15:8] | DAC4_DIG_OFFSET[11:4] |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | DAC4_DIG_OFFSET[3:0]  |                 |                |               |               | RESERVED      |               |              |               |                  |                  |
| 0x23          | DAC3DOF          | [15:8] | DAC3_DIG_OFFSET[11:4] |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | DAC3_DIG_OFFSET[3:0]  |                 |                |               |               | RESERVED      |               |              |               |                  |                  |
| 0x24          | DAC2DOF          | [15:8] | DAC2_DIG_OFFSET[11:4] |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | DAC2_DIG_OFFSET[3:0]  |                 |                |               |               | RESERVED      |               |              |               |                  |                  |
| 0x25          | DAC1DOF          | [15:8] | DAC1_DIG_OFFSET[11:4] |                 |                |               |               |               |               |              |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | DAC1_DIG_OFFSET[3:0]  |                 |                |               |               | RESERVED      |               |              |               |                  |                  |
| 0x26          | WAV4_3CONFIG     | [15:8] | RESERVED              |                 |                | PRESTORE_SEL4 |               | RESERVED      |               | WAVE_SEL4    |               | 0000             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                | PRESTORE_SEL3 |               | RESERVED      |               | WAVE_SEL3    |               |                  |                  |
| 0x27          | WAV2_1CONFIG     | [15:8] | RESERVED              |                 |                | PRESTORE_SEL2 |               | MASK_DAC4     | CH2_ADD       | WAVE_SEL2    |               | 0x00             | R $\overline{W}$ |
|               |                  | [7:0]  | RESERVED              |                 |                | PRESTORE_SEL1 |               | MASK_DAC3     | CH1_ADD       | WAVE_SEL1    |               |                  |                  |

| Addr<br>(Hex)      | Register<br>Name | Bits   | Bit 7                | Bit 6       | Bit 5    | Bit 4     | Bit 3     | Bit 2            | Bit 1       | Bit 0         | Reset     | RW     |        |    |
|--------------------|------------------|--------|----------------------|-------------|----------|-----------|-----------|------------------|-------------|---------------|-----------|--------|--------|----|
| 0x28               | PAT_TIMEBASE     | [15:8] | RESERVED             |             |          |           |           | HOLD             |             |               |           | 0x0111 | RW     |    |
|                    |                  | [7:0]  | PAT_PERIOD_BASE      |             |          |           |           | START_DELAY_BASE |             |               |           |        |        |    |
| 0x29               | PAT_PERIOD       | [15:8] | PATTERN_PERIOD[15:8] |             |          |           |           |                  |             |               |           |        | 0x8000 | RW |
|                    |                  | [7:0]  | PATTERN_PERIOD[7:0]  |             |          |           |           |                  |             |               |           |        |        |    |
| 0x2A               | DAC4_3PATx       | [15:8] | DAC4_REPEAT_CYCLE    |             |          |           |           |                  |             |               |           |        | 0x0101 | RW |
|                    |                  | [7:0]  | DAC3_REPEAT_CYCLE    |             |          |           |           |                  |             |               |           |        |        |    |
| 0x2B               | DAC2_1PATx       | [15:8] | DAC2_REPEAT_CYCLE    |             |          |           |           |                  |             |               |           |        | 0x0101 | RW |
|                    |                  | [7:0]  | DAC1_REPEAT_CYCLE    |             |          |           |           |                  |             |               |           |        |        |    |
| 0x2C               | DOUT_START_DLY   | [15:8] | DOUT_START[15:8]     |             |          |           |           |                  |             |               |           |        | 0x0003 | RW |
|                    |                  | [7:0]  | DOUT_START[7:0]      |             |          |           |           |                  |             |               |           |        |        |    |
| 0x2D               | DOUT_CONFIG      | [15:8] | RESERVED[9:2]        |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | RESERVED[1:0]        |             | DOUT_VAL | DOUT_MODE | DOUT_STOP |                  |             |               |           |        |        |    |
| 0x2E               | DAC4_CST         | [15:8] | DAC4_CONST[11:4]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC4_CONST[3:0]      |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x2F               | DAC3_CST         | [15:8] | DAC3_CONST[11:4]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC3_CONST[3:0]      |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x30               | DAC2_CST         | [15:8] | DAC2_CONST[11:4]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC2_CONST[3:0]      |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x31               | DAC1_CST         | [15:8] | DAC1_CONST[11:4]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC1_CONST[3:0]      |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x32               | DAC4_DGAIN       | [15:8] | DAC4_DIG_GAIN[11:4]  |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC4_DIG_GAIN[3:0]   |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x33               | DAC3_DGAIN       | [15:8] | DAC3_DIG_GAIN[11:4]  |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC3_DIG_GAIN[3:0]   |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x34               | DAC2_DGAIN       | [15:8] | DAC2_DIG_GAIN[11:4]  |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC2_DIG_GAIN[3:0]   |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x35               | DAC1_DGAIN       | [15:8] | DAC1_DIG_GAIN[11:4]  |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DAC1_DIG_GAIN[3:0]   |             |          |           |           | RESERVED         |             |               |           |        |        |    |
| 0x36               | SAW4_3CONFIG     | [15:8] | SAW_STEP4            |             |          |           |           |                  |             | SAW_TYPE4     |           |        | 0x00   | RW |
|                    |                  | [7:0]  | SAW_STEP3            |             |          |           |           |                  |             | SAW_TYPE3     |           |        |        |    |
| 0x37               | SAW2_1CONFIG     | [15:8] | SAW_STEP2            |             |          |           |           |                  |             | SAW_TYPE2     |           |        | 0x00   | RW |
|                    |                  | [7:0]  | SAW_STEP1            |             |          |           |           |                  |             | SAW_TYPE1     |           |        |        |    |
| 0x38<br>to<br>0x3D | RESERVED         |        | RESERVED             |             |          |           |           |                  |             |               |           |        |        |    |
| 0x3E               | DDS_TW32         | [15:8] | DDSTW_MSB[15:8]      |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DDSTW_MSB[7:0]       |             |          |           |           |                  |             |               |           |        |        |    |
| 0x3F               | DDS_TW1          | [15:8] | DDSTW_LSB            |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | RESERVED             |             |          |           |           |                  |             |               |           |        |        |    |
| 0x40               | DDS4_PW          | [15:8] | DDS4_PHASE[15:8]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DDS4_PHASE[7:0]      |             |          |           |           |                  |             |               |           |        |        |    |
| 0x41               | DDS3_PW          | [15:8] | DDS3_PHASE[15:8]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DDS3_PHASE[7:0]      |             |          |           |           |                  |             |               |           |        |        |    |
| 0x42               | DDS2_PW          | [15:8] | DDS2_PHASE[15:8]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DDS2_PHASE[7:0]      |             |          |           |           |                  |             |               |           |        |        |    |
| 0x43               | DDS1_PW          | [15:8] | DDS1_PHASE[15:8]     |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | DDS1_PHASE[7:0]      |             |          |           |           |                  |             |               |           |        |        |    |
| 0x44               | TRIG_TW_SEL      | [15:8] | RESERVED[13:6]       |             |          |           |           |                  |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | RESERVED[5:0]        |             |          |           |           |                  |             | TRIG_DELAY_EN | RESERVED  |        |        |    |
| 0x45               | DDStx_CONFIG     | [15:8] | DDS_COS_EN4          | DDS_MSB_EN4 | RESERVED |           |           | DDS_COS_EN3      | DDS_MSB_EN3 | RESERVED      |           | 0x00   | RW     |    |
|                    |                  | [7:0]  | DDS_COS_EN2          | DDS_MSB_EN2 | RESERVED |           |           | DDS_COS_EN1      | DDS_MSB_EN1 | RESERVED      | TW_MEM_EN |        |        |    |
| 0x47               | TW_RAM_CONFIG    | [15:8] | RESERVED             |             |          |           |           | RESERVED         |             |               |           |        | 0x00   | RW |
|                    |                  | [7:0]  | RESERVED             |             |          |           |           | TW_MEM_SHIFT     |             |               |           |        |        |    |

| Addr (Hex)       | Register Name | Bits   | Bit 7              | Bit 6          | Bit 5             | Bit 4             | Bit 3                | Bit 2            | Bit 1        | Bit 0        | Reset  | RW   |   |
|------------------|---------------|--------|--------------------|----------------|-------------------|-------------------|----------------------|------------------|--------------|--------------|--------|------|---|
| 0x50             | START_DLY4    | [15:8] | START_DELAY4[15:8] |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_DELAY4[7:0]  |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x51             | START_ADDR4   | [15:8] | START_ADDR4[11:4]  |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_ADDR4[3:0]   |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x52             | STOP_ADDR4    | [15:8] | STOP_ADDR4[11:4]   |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | STOP_ADDR4[3:0]    |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x53             | DDS_CYC4      | [15:8] | DDS_CYC4[15:8]     |                |                   |                   |                      |                  |              |              | 0x0001 | RW   |   |
|                  |               | [7:0]  | DDS_CYC4[7:0]      |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x54             | START_DLY3    | [15:8] | START_DELAY3[15:8] |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_DELAY3[7:0]  |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x55             | START_ADDR3   | [15:8] | START_ADDR3[11:4]  |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_ADDR3[3:0]   |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x56             | STOP_ADDR3    | [15:8] | STOP_ADDR3[11:4]   |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | STOP_ADDR3[3:0]    |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x57             | DDS_CYC3      | [15:8] | DDS_CYC3[15:8]     |                |                   |                   |                      |                  |              |              | 0x0001 | RW   |   |
|                  |               | [7:0]  | DDS_CYC3[7:0]      |                |                   |                   |                      |                  |              |              |        |      |   |
| 0058             | START_DLY2    | [15:8] | START_DELAY2[15:8] |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_DELAY2[7:0]  |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x59             | START_ADDR2   | [15:8] | START_ADDR2[11:4]  |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_ADDR2[3:0]   |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x5A             | STOP_ADDR2    | [15:8] | STOP_ADDR2[11:4]   |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | STOP_ADDR2[3:0]    |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x5B             | DDS_CYC2      | [15:8] | DDS_CYC2[15:8]     |                |                   |                   |                      |                  |              |              | 0x0001 | RW   |   |
|                  |               | [7:0]  | DDS_CYC2[7:0]      |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x5C             | START_DLY1    | [15:8] | START_DELAY1[15:8] |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_DELAY1[7:0]  |                |                   |                   |                      |                  |              |              |        |      |   |
| 0x5D             | START_ADDR1   | [15:8] | START_ADDR1[11:4]  |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | START_ADDR1[3:0]   |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 0x5E             | STOP_ADDR1    | [15:8] | STOP_ADDR1[11:4]   |                |                   |                   |                      |                  |              |              | 0x00   | RW   |   |
|                  |               | [7:0]  | STOP_ADDR1[3:0]    |                |                   |                   | RESERVED             |                  |              |              |        |      |   |
| 005F             | DDS_CYC1      | [15:8] | DDS_CYC1[15:8]     |                |                   |                   |                      |                  |              |              | 0x0001 | RW   |   |
|                  |               | [7:0]  | DDS_CYC1[7:0]      |                |                   |                   |                      |                  |              |              |        |      |   |
| 0060             | CFG_ERROR     | [15:8] | ERROR_CLEAR        | CFG_ERROR[8:2] |                   |                   |                      |                  |              |              |        | 0x00 | R |
|                  |               | [7:0]  | CFG_ERROR[1:0]     |                | DOUT_START_LG_ERR | PAT_DLY_SHORT_ERR | DOUT_START_SHORT_ERR | PERIOD_SHORT_ERR | ODD_ADDR_ERR | MEM_READ_ERR |        |      |   |
| 0x6000 to 0x6FFF | SRAM_DATA     | [15:8] | RESERVED           |                |                   |                   | SRAM_DATA[11:8]      |                  |              |              | N/A    | RW   |   |
|                  |               | [7:0]  | SRAM_DATA[7:0]     |                |                   |                   |                      |                  |              |              |        |      |   |

## レジスタの説明

## SPI コントロール・レジスタ(SPICONFIG、アドレス 0x00)

表 15.SPICONFIG のビット説明

| Bits  | Bit Field Name         | Settings | Description                                                                                                                                                                                           | Reset | Access |
|-------|------------------------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|--------|
| 15    | LSBFIRST               | 0        | LSB first selection.                                                                                                                                                                                  | 0     | RW     |
|       |                        | 1        | MSB first per SPI standard (default).<br>LSB first per SPI standard.                                                                                                                                  |       |        |
| 14    | SPI3WIRE               | 0        | Selects if SPI is using 3-wire or 4-wire interface.<br>4-wire SPI.                                                                                                                                    | 0     | RW     |
|       |                        | 1        | 3-wire SPI.                                                                                                                                                                                           |       |        |
| 13    | RESET                  | 0        | Executes software reset of SPI and controllers, reloads default register values, except for Register 0x00.<br>Normal status.                                                                          | 0     | RW     |
|       |                        | 1        | Resets whole register map, except for Register 0x00.                                                                                                                                                  |       |        |
| 12    | DOUBLESPI              | 0        | Double SPI data line.<br>The SPI port has only 1 data line and can be used as a 3-wire or 4-wire interface.                                                                                           | 0     | RW     |
|       |                        | 1        | The SPI port has 2 data lines: both bidirectional defining a pseudo dual 3-wire interface where CS and SCLK are shared between the two ports. This mode is only available for RAM data read or write. |       |        |
| 11    | SPI_DRV                | 0        | Double-drive ability for SPI output.<br>Single SPI output drive ability.                                                                                                                              | 0     | RW     |
|       |                        | 1        | Two-time drive ability on SPI output.                                                                                                                                                                 |       |        |
| 10    | DOUT_EN                | 0        | Enables DOUT signal on SDO/SDI2/DOUT pin.<br>SDO/SDI2 function input/output.                                                                                                                          | 0     | RW     |
|       |                        | 1        | DOUT function output.                                                                                                                                                                                 |       |        |
| [9:6] | RESERVED               |          |                                                                                                                                                                                                       |       | RW     |
| 5     | DOUT_ENM <sup>1</sup>  |          | Enable DOUT signal on SDO/SDI2/DOUT pin.                                                                                                                                                              |       | RW     |
| 4     | SPI_DRVM <sup>1</sup>  |          | Double-drive ability for SPI output.                                                                                                                                                                  | 0     | RW     |
| 3     | DOUBLESPI <sup>1</sup> |          | Double SPI data line.                                                                                                                                                                                 | 0     | RW     |
| 2     | RESETM <sup>1</sup>    |          | Executes software reset of SPI and controllers, reloads default register values, except for Register 0x00.                                                                                            | 0     | RW     |
| 1     | SPI3WIREM <sup>1</sup> |          | Selects if SPI is using 3-wire or 4-wire interface.                                                                                                                                                   | 0     | RW     |
| 0     | LSBFIRSTM <sup>1</sup> |          | LSB first selection.                                                                                                                                                                                  | 0     | RW     |

<sup>1</sup> LSBFIRST ビットが誤って設定されたとき SPI 動作の回復を容易にするため、SPICONFIG[10:15] には常に SPICONFIG[5:0] のミラーを設定しておく必要があります。  
ビット[15]=ビット[0]、ビット[14]=ビット[1]、ビット[13]=ビット[2]、ビット[12]=ビット[3]、ビット[11]=ビット[4]、ビット[10]=ビット[5]。

## 電力ステータス・レジスタ(POWERCONFIG、アドレス 0x01)

表 16.POWERCONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                       | Reset | Access           |
|---------|----------------|----------|-----------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| [15:12] | RESERVED       |          |                                                                                                                                   | 0x00  | R $\overline{W}$ |
| 11      | CLK_LDO_STAT   |          | Read-only flag indicating CLKVDD_1P8 LDO is on.                                                                                   | 0     | R                |
| 10      | DIG1_LDO_STAT  |          | Read-only flag indicating DVDD1 LDO is on.                                                                                        | 0     | R                |
| 9       | DIG2_LDO_STAT  |          | Read-only flag indicating DVDD2 LDO is on.                                                                                        | 0     | R                |
| 8       | PDN_LDO_CLK    |          | Disables the CLKVDD_1P8 LDO. An external supply is required.                                                                      | 0     | R $\overline{W}$ |
| 7       | PDN_LDO_DIG1   |          | Disables the DVDD1 LDO. An external supply is required.                                                                           | 0     | R $\overline{W}$ |
| 6       | PDN_LDO_DIG2   |          | Disables the DVDD2 LDO. An external supply is required.                                                                           | 0     | R $\overline{W}$ |
| 5       | REF_PDN        |          | Disables 10 k $\Omega$ resistor that creates REFIO voltage. User can drive with external voltage or provide external BG resistor. | 0     | R $\overline{W}$ |
| 4       | REF_EXT        |          | Power down main BG reference including DAC bias.                                                                                  | 0     | R $\overline{W}$ |
| 3       | DAC1_SLEEP     |          | Disables DAC1 output current.                                                                                                     | 0     | R $\overline{W}$ |
| 2       | DAC2_SLEEP     |          | Disables DAC2 output current.                                                                                                     | 0     | R $\overline{W}$ |
| 1       | DAC3_SLEEP     |          | Disables DAC3 output current.                                                                                                     | 0     | R $\overline{W}$ |
| 0       | DAC4_SLEEP     |          | Disables DAC4 output current.                                                                                                     | 0     | R $\overline{W}$ |

## クロック・コントロール・レジスタ(CLOCKCONFIG、アドレス 0x02)

表 17.CLOCKCONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                                                                                      | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| [15:12] | RESERVED       |          |                                                                                                                                                                                                  | 0x000 | R $\overline{W}$ |
| 11      | DIS_CLK1       |          | Disables the analog clock to DAC1 out of the clock distribution block.                                                                                                                           | 0     | R $\overline{W}$ |
| 10      | DIS_CLK2       |          | Disables the analog clock to DAC2 out of the clock distribution block.                                                                                                                           | 0     | R $\overline{W}$ |
| 9       | DIS_CLK3       |          | Disables the analog clock to DAC3 out of the clock distribution block.                                                                                                                           | 0     | R $\overline{W}$ |
| 8       | DIS_CLK4       |          | Disables the analog clock to DAC4 out of the clock distribution block.                                                                                                                           | 0     | R $\overline{W}$ |
| 7       | DIS_DCLK       |          | Disables the clock to core digital block.                                                                                                                                                        | 0     | R $\overline{W}$ |
| 6       | CLK_SLEEP      |          | Enables a very low power clock mode.                                                                                                                                                             | 0     | R $\overline{W}$ |
| 5       | CLK_PDN        |          | Disables and powers down main clock receiver. No clocks will be active in the part.                                                                                                              | 0     | R $\overline{W}$ |
| 4       | EPS            |          | Enables Power Save (EPS) enables a low power option for the clock receiver, but maintains low jitter performance on DAC clock rising edge. The DAC clock falling edge is substantially degraded. | 0     | R $\overline{W}$ |
| 3       | DAC1_INV_CLK   |          | Cannot use EPS while using this bit. Inverts the clock inside DAC Core 1 allowing 180° phase shift in DAC1 update timing.                                                                        | 0     | R $\overline{W}$ |
| 2       | DAC2_INV_CLK   |          | Cannot use EPS while using this bit. Inverts the clock inside DAC Core 2 allowing 180° phase shift in DAC2 update timing.                                                                        | 0     | R $\overline{W}$ |
| 1       | DAC3_INV_CLK   |          | Cannot use EPS while using this bit. Inverts the clock inside DAC Core 3 allowing 180° phase shift in DAC3 update timing.                                                                        | 0     | R $\overline{W}$ |
| 0       | DAC4_INV_CLK   |          | Cannot use EPS while using this bit. Inverts the clock inside DAC Core 4 allowing 180° phase shift in DAC4 update timing.                                                                        | 0     | R $\overline{W}$ |

## リファレンス抵抗レジスタ(REFADJ、アドレス 0x03)

表 18.REFADJ のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                                               | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| [15:6] | RESERVED       |          |                                                                                                                                           | 0x000 | R $\overline{W}$ |
| [5:0]  | BGDR           |          | Adjusts the BG 10 k $\Omega$ resistor (nominal) to 8 k $\Omega$ to 12 k $\Omega$ , changes BG voltage from 800 mV to 1.2 V, respectively. | 0x00  | R $\overline{W}$ |

**DAC4 アナログ・ゲイン・レジスタ(DAC4AGAIN、アドレス 0x04)**

表 19.DAC4AGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                                                             | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------|-------|------------------|
| 15     | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [14:8] | DAC4_GAIN_CAL  |          | DAC4 analog gain calibration output—read only.                          | 0x00  | R                |
| 7      | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [6:0]  | DAC4_GAIN      |          | DAC4 analog gain control while not in calibration mode—twos complement. | 0x00  | R $\overline{W}$ |

**DAC3 アナログ・ゲイン・レジスタ(DAC3AGAIN、アドレス 0x05)**

表 20.DAC3AGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                                                             | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------|-------|------------------|
| 15     | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [14:8] | DAC3_GAIN_CAL  |          | DAC3 analog gain calibration output—read only.                          | 0x00  | R                |
| 7      | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [6:0]  | DAC3_GAIN      |          | DAC3 analog gain control while not in calibration mode—twos complement. | 0x00  | R $\overline{W}$ |

**DAC2 アナログ・ゲイン・レジスタ(DAC2AGAIN、アドレス 0x06)**

表 21.DAC2AGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                                                             | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------|-------|------------------|
| 15     | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [14:8] | DAC2_GAIN_CAL  |          | DAC2 analog gain calibration output—read only.                          | 0x00  | R                |
| 7      | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [6:0]  | DAC2_GAIN      |          | DAC2 analog gain control while not in calibration mode—twos complement. | 0x00  | R $\overline{W}$ |

**DAC1 アナログ・ゲイン・レジスタ(DAC1AGAIN、アドレス 0x07)**

表 22.DAC1AGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                                                             | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------|-------|------------------|
| 15     | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [14:8] | DAC1_GAIN_CAL  |          | DAC1 analog gain calibration output—read only.                          | 0x00  | R                |
| 7      | RESERVED       |          |                                                                         | 0     | R $\overline{W}$ |
| [6:0]  | DAC1_GAIN      |          | DAC1 analog gain control while not in calibration mode—twos complement. | 0x00  | R $\overline{W}$ |

**DAC アナログ・ゲイン・レンジ・レジスタ(DACxRANGE、アドレス 0x08)**

表 23.DACxRANGE のビット説明

| Bits   | Bit Field Name | Settings | Description              | Reset | Access           |
|--------|----------------|----------|--------------------------|-------|------------------|
| [15:8] | RESERVED       |          |                          | 0x00  | R $\overline{W}$ |
| [7:6]  | DAC4_GAIN_RNG  |          | DAC4 gain range control. | 0x0   | R $\overline{W}$ |
| [5:4]  | DAC3_GAIN_RNG  |          | DAC3 gain range control. | 0x0   | R $\overline{W}$ |
| [3:2]  | DAC2_GAIN_RNG  |          | DAC2 gain range control. | 0x0   | R $\overline{W}$ |
| [1:0]  | DAC1_GAIN_RNG  |          | DAC1 gain range control. | 0x0   | R $\overline{W}$ |

## FSADJ4 レジスタ(DAC4RSET、アドレス 0x09)

表 24.DAC4RSET のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                                | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| 15      | DAC4_RSET_EN   |          | For write, enable the internal R <sub>SET</sub> resistor for DAC4; for read, R <sub>SET</sub> for DAC4 is enabled during calibration mode. | 0x00  | R $\overline{W}$ |
| [14:13] | RESERVED       |          |                                                                                                                                            | 0x00  | R $\overline{W}$ |
| [12:8]  | DAC4_RSET_CAL  |          | Digital control value of R <sub>SET</sub> resistor for DAC4 after calibration—read only.                                                   | 0x00  | R                |
| [7:5]   | RESERVED       |          |                                                                                                                                            | 0x00  | R $\overline{W}$ |
| [4:0]   | DAC4_RSET      |          | Digital control to set the value of R <sub>SET</sub> resistor in DAC4.                                                                     | 0x0A  | R $\overline{W}$ |

## FSADJ3 レジスタ(DAC3RSET、アドレス 0x0A)

表 25.DAC3RSET のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                                | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| 15      | DAC3_RSET_EN   |          | For write, enable the internal R <sub>SET</sub> resistor for DAC3; for read, R <sub>SET</sub> for DAC3 is enabled during calibration mode. | 0     | R $\overline{W}$ |
| [14:13] | RESERVED       |          |                                                                                                                                            | 0x0   | R $\overline{W}$ |
| [12:8]  | DAC3_RSET_CAL  |          | Digital control value of R <sub>SET</sub> resistor for DAC3 after calibration—read only.                                                   | 0x00  | R                |
| [7:5]   | RESERVED       |          |                                                                                                                                            | 0x0   | R $\overline{W}$ |
| [4:0]   | DAC3_RSET      |          | Digital control to set the value of R <sub>SET</sub> resistor in DAC3.                                                                     | 0x0A  | R $\overline{W}$ |

## FSADJ2 レジスタ(DAC2RSET、アドレス 0x0B)

表 26.DAC2RSET のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                                | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| 15      | DAC2_RSET_EN   |          | For write, enable the internal R <sub>SET</sub> resistor for DAC2; for read, R <sub>SET</sub> for DAC2 is enabled during calibration mode. | 0     | R $\overline{W}$ |
| [14:13] | RESERVED       |          |                                                                                                                                            | 0x0   | R $\overline{W}$ |
| [12:8]  | DAC2_RSET_CAL  |          | Digital control value of R <sub>SET</sub> resistor for DAC2 after calibration—read only.                                                   | 0x00  | R                |
| [7:5]   | RESERVED       |          |                                                                                                                                            | 0x0   | R $\overline{W}$ |
| [4:0]   | DAC2_RSET      |          | Digital control to set the value of R <sub>SET</sub> resistor in DAC2.                                                                     | 0xA   | R $\overline{W}$ |

## FSADJ1 レジスタ(DAC1RSET、アドレス 0x0C)

表 27.DAC1RSET のビット説明

| Bits    | Bit Field Name | Settings | Description                                                                                                                                | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------|-------|------------------|
| 15      | DAC1_RSET_EN   |          | For write, enable the internal R <sub>SET</sub> resistor for DAC1; for read, R <sub>SET</sub> for DAC1 is enabled during calibration mode. | 0x00  | R $\overline{W}$ |
| [14:13] | RESERVED       |          |                                                                                                                                            | 0x00  | R $\overline{W}$ |
| [12:8]  | DAC1_RSET_CAL  |          | Digital control value of R <sub>SET</sub> resistor for DAC1 after calibration—read only.                                                   | 0x00  | R                |
| [7:5]   | RESERVED       |          |                                                                                                                                            | 0x0   | R $\overline{W}$ |
| [4:0]   | DAC1_RSET      |          | Digital control to set the value of R <sub>SET</sub> resistor in DAC1.                                                                     | 0x0A  | R $\overline{W}$ |

## キャリブレーション・レジスタ(CALCONFIG、アドレス 0x0D)

表 28.CALCONFIG のビット説明

| Bits           | Bit Field Name | Settings | Description                                                   | Reset | Access           |
|----------------|----------------|----------|---------------------------------------------------------------|-------|------------------|
| 15             | RESERVED       |          |                                                               | 0     | R $\overline{W}$ |
| 14             | COMP_OFFSET_OF |          | Compensation offset calibration value overflow.               | 0     | R                |
| 13             | COMP_OFFSET_UF |          | Compensation offset calibration value underflow.              | 0     | R                |
| 12             | RSET_CAL_OF    |          | R <sub>SET</sub> calibration value overflow.                  | 0     | R                |
| 11             | RSET_CAL_UF    |          | R <sub>SET</sub> calibration value underflow.                 | 0     | R                |
| 10             | GAIN_CAL_OF    |          | Gain calibration value overflow.                              | 0     | R                |
| 9              | GAIN_CAL_UF    |          | Gain calibration value underflow.                             | 0     | R                |
| 8              | CAL_RESET      |          | Pulse this bit high and low to reset the calibration results. | 0     | R $\overline{W}$ |
| 7 <sup>1</sup> | CAL_MODE       |          | Read-only flag indicating calibration is being used.          | 0     | R                |
| 6 <sup>1</sup> | CAL_MODE_EN    |          | Enables the gain calibration circuitry.                       | 0     | R $\overline{W}$ |
| [5:4]          | COMP_CAL_RNG   |          | Offset calibration range.                                     | 0x0   | R $\overline{W}$ |
| 3              | CAL_CLK_EN     |          | Enables the calibration clock to calibration circuitry.       | 0     | R $\overline{W}$ |
| [2:0]          | CAL_CLK_DIV    |          | Sets divider from DAC clock to calibration clock.             | 0x0   | R $\overline{W}$ |

<sup>1</sup>ロケーションの変更

## コンパレータ・オフセット・レジスタ(COMPOFFSET、アドレス 0x0E)

表 29.COMPOFFSET のビット説明

| Bits   | Bit Field Name  | Settings | Description                                              | Reset | Access           |
|--------|-----------------|----------|----------------------------------------------------------|-------|------------------|
| 15     | RESERVED        |          |                                                          | 0x00  | R $\overline{W}$ |
| [14:8] | COMP_OFFSET_CAL |          | The result of the offset calibration for the comparator. | 0x00  | R                |
| [7:2]  | RESERVED        |          |                                                          | 0x00  | R $\overline{W}$ |
| 1      | CAL_FIN         |          | Read-only flag indicating calibration is completed.      | 0x00  | R                |
| 0      | START_CAL       |          | Start a calibration cycle.                               | 0x00  | R $\overline{W}$ |

## 更新パターン・レジスタ(RAMUPDATE、アドレス 0x1D)

表 30.RAMUPDATE のビット説明

| Bits   | Bit Name   | Settings | Description                                                    | Reset | Access           |
|--------|------------|----------|----------------------------------------------------------------|-------|------------------|
| [15:1] | RESERVED   |          |                                                                | 0x00  | R $\overline{W}$ |
| 0      | RAMPUPDATE |          | Update all SPI setting with new configuration (self clearing). | 0     | R $\overline{W}$ |

## コマンド/ステータス・レジスタ(PAT\_STATUS、アドレス 0x1E)

表 31.PAT\_STATUS のビット説明

| Bits   | Bit Field Name | Settings | Description                                                   | Reset | Access           |
|--------|----------------|----------|---------------------------------------------------------------|-------|------------------|
| [15:4] | RESERVED       |          |                                                               | 0x000 | R $\overline{W}$ |
| 3      | BUF_READ       |          | Read back from updated buffer.                                | 0     | R $\overline{W}$ |
| 2      | MEM_ACCESS     |          | Memory SPI access enable.                                     | 0     | R $\overline{W}$ |
| 1      | PATTERN        |          | Status of pattern being played, read only.                    | 0     | R                |
| 0      | RUN            |          | Allows the pattern generation and stop pattern after trigger. | 0     | R $\overline{W}$ |

## コマンド/ステータス・レジスタ(PAT\_TYPE、アドレス 0x1F)

表 32.PAT\_TYPE のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                                                                                                                        | Reset  | Access           |
|--------|----------------|----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:1] | RESERVED       |          |                                                                                                                                                                                                                    | 0x0000 | R $\overline{W}$ |
| 0      | PATTERN_RPT    | 0<br>1   | Setting this bit allows the pattern to repeat the number of times defined in DAC4_3PATx and DAC2_1PATx.<br>Pattern continuously runs.<br>Pattern repeats the number of times defined in DAC4_3PATx and DAC2_1PATx. | 0      | R $\overline{W}$ |

## トリガ開始からリアル・パターンまでの遅延レジスタ(PATTERN\_DLY、アドレス 0x20)

表 33. PATTERN\_DLY のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                   | Reset  | Access           |
|--------|----------------|----------|-------------------------------------------------------------------------------|--------|------------------|
| [15:0] | PATTERN_DELAY  |          | Time between trigger low and pattern start in number of DAC clock cycles + 1. | 0x000E | R $\overline{W}$ |

## DAC4 デジタル・オフセット・レジスタ(DAC4DOF、アドレス 0x22)

表 34.DAC4DOF のビット説明

| Bits   | Bit Field Name  | Settings | Description          | Reset | Access           |
|--------|-----------------|----------|----------------------|-------|------------------|
| [15:4] | DAC4_DIG_OFFSET |          | DAC4 digital offset. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED        |          |                      | 0x00  | R $\overline{W}$ |

## DAC3 デジタル・オフセット・レジスタ(DAC3DOF、アドレス 0x23)

表 35.DAC3DOF のビット説明

| Bits   | Bit Field Name  | Settings | Description          | Reset | Access           |
|--------|-----------------|----------|----------------------|-------|------------------|
| [15:4] | DAC3_DIG_OFFSET |          | DAC3 digital offset. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED        |          |                      | 0x0   | R $\overline{W}$ |

## DAC2 デジタル・オフセット・レジスタ(DAC2DOF、アドレス 0x24)

表 36.DAC2DOF のビット説明

| Bits   | Bit Field Name  | Settings | Description          | Reset | Access           |
|--------|-----------------|----------|----------------------|-------|------------------|
| [15:4] | DAC2_DIG_OFFSET |          | DAC2 digital offset. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED        |          |                      | 0x00  | R $\overline{W}$ |

## DAC1 デジタル・オフセット・レジスタ(DAC1DOF、アドレス 0x25)

表 37.DAC1DOF のビット説明

| Bits   | Bit Field Name  | Settings | Description          | Reset | Access           |
|--------|-----------------|----------|----------------------|-------|------------------|
| [15:4] | DAC1_DIG_OFFSET |          | DAC1 digital offset. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED        |          |                      | 0x00  | R $\overline{W}$ |

## Wave3/Wave4 選択レジスタ(WAV4\_3CONFIG、アドレス 0x26)

表 38.WAV4\_3CONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                              | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------|-------|------------------|
| [15:14] | RESERVED       |          |                                                                          | 0x00  | R $\overline{W}$ |
| [13:12] | PRESTORE_SEL4  | 0        | Constant value held into DAC4 constant value MSB/LSB register.           | 0x00  | R $\overline{W}$ |
|         |                | 1        | Sawtooth defined in DAC4 sawtooth configuration register (SAW4_3CONFIG). |       |                  |
|         |                | 2        | Pseudo-random sequence.                                                  |       |                  |
|         |                | 3        | DDS4 output.                                                             |       |                  |
| [11:10] | RESERVED       |          |                                                                          | 0x00  | R $\overline{W}$ |
| [9:8]   | WAVE_SEL4      | 0        | Waveform read from RAM between START_ADDR4 and STOP_ADDR4.               | 0x1   | R $\overline{W}$ |
|         |                | 1        | Prestored waveform.                                                      |       |                  |
|         |                | 2        | Prestored waveform using START_DELAY4 and PATTERN_PERIOD.                |       |                  |
|         |                | 3        | Prestored waveform modulated by waveform from RAM.                       |       |                  |
| [7:6]   | RESERVED       |          |                                                                          | 0x00  | R $\overline{W}$ |
| [5:4]   | PRESTORE_SEL3  | 0        | Constant value held into DAC3 constant value MSB/LSB register.           | 0x00  | R $\overline{W}$ |
|         |                | 1        | Sawtooth defined in DAC3 sawtooth configuration register (SAW4_3CONFIG). |       |                  |
|         |                | 2        | Pseudo-random sequence.                                                  |       |                  |
|         |                | 3        | DDS3 output.                                                             |       |                  |
| [3:2]   | RESERVED       |          |                                                                          | 0x00  | R $\overline{W}$ |
| [1:0]   | WAVE_SEL3      | 0        | Waveform read from RAM between START_ADDR3 and STOP_ADDR3.               | 0x1   | R $\overline{W}$ |
|         |                | 1        | Prestored waveform.                                                      |       |                  |
|         |                | 2        | Prestored waveform using START_DELAY3 and PATTERN_PERIOD.                |       |                  |
|         |                | 3        | Prestored waveform modulated by waveform from RAM.                       |       |                  |

## Wave1/Wave2 選択レジスタ(WAV2\_1CONFIG、アドレス 0x27)

表 39.WAV2\_1CONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                              | Reset | Access           |
|---------|----------------|----------|--------------------------------------------------------------------------|-------|------------------|
| [15:14] | RESERVED       |          |                                                                          | 0x0   | R $\overline{W}$ |
| [13:12] | PRESTORE_SEL2  | 0        | Constant value held into DAC2 constant value MSB/LSB register.           | 0x0   | R $\overline{W}$ |
|         |                | 1        | Sawtooth defined in DAC2 sawtooth configuration register (SAW2_1CONFIG). |       |                  |
|         |                | 2        | Pseudo-random sequence.                                                  |       |                  |
|         |                | 3        | DDS2 output.                                                             |       |                  |
| 11      | MASK_DAC4      |          | Mask DAC4 to DAC4_CONST value.                                           | 0     | R $\overline{W}$ |
| 10      | CH2_ADD        | 0        | Add DAC2 and DAC4, output at DAC2.                                       | 0     | R $\overline{W}$ |
|         |                | 1        | Add DAC2 and DAC4, output from DAC2.                                     |       |                  |
| [9:8]   | WAVE_SEL2      | 0        | Waveform read from RAM between START_ADDR2 and STOP_ADDR2.               | 0x1   | R $\overline{W}$ |
|         |                | 1        | Prestored waveform.                                                      |       |                  |
|         |                | 2        | Prestored waveform using START_DELAY2 and PATTERN_PERIOD.                |       |                  |
|         |                | 3        | Prestored waveform modulated by waveform from RAM.                       |       |                  |
| [7:6]   | RESERVED       |          |                                                                          | 0x0   | R $\overline{W}$ |
| [5:4]   | PRESTORE_SEL1  | 0        | Constant value held into DAC1 constant value MSB/LSB register.           | 0x0   | R $\overline{W}$ |
|         |                | 1        | Sawtooth defined in DAC1 sawtooth configuration register (SAW2_1CONFIG). |       |                  |
|         |                | 2        | Pseudo-random sequence.                                                  |       |                  |
|         |                | 3        | DDS1 output.                                                             |       |                  |
| 3       | MASK_DAC3      |          | Mask DAC3 to DAC3_CONST value.                                           | 0     | R $\overline{W}$ |
| 2       | CH1_ADD        |          | Add DAC1 and DAC3, output at DAC1.                                       | 0     | R $\overline{W}$ |

| Bits  | Bit Field Name | Settings | Description                                                                                     | Reset | Access           |
|-------|----------------|----------|-------------------------------------------------------------------------------------------------|-------|------------------|
|       |                | 0        | Normal operation for DAC1/DAC3.                                                                 |       |                  |
|       |                | 1        | Add DAC1 and DAC3, and output at DAC1. In this start_delay case, DAC3 output remains unchanged. |       |                  |
| [1:0] | WAVE_SEL1      | 0        | Waveform read from RAM between START_ADDR1 and STOP_ADDR1.                                      | 0x1   | R $\overline{W}$ |
|       |                | 1        | Prestored waveform.                                                                             |       |                  |
|       |                | 2        | Prestored waveform using START_DELAY1 and PATTERN_PERIOD.                                       |       |                  |
|       |                | 3        | Prestored waveform modulated by waveform from RAM.                                              |       |                  |

### DAC 時間コントロール・レジスタ(PAT\_TIMEBASE、アドレス 0x28)

表 40.PAT\_TIMEBASE のビット説明

| Bits    | Bit Field Name   | Settings | Description                                                                                      | Reset | Access           |
|---------|------------------|----------|--------------------------------------------------------------------------------------------------|-------|------------------|
| [15:12] | RESERVED         |          |                                                                                                  | 0x00  | R $\overline{W}$ |
| [11:8]  | HOLD             |          | Number of times the DAC value holds the sample (0 = DAC holds for 1 sample).                     | 0x1   | R $\overline{W}$ |
| [7:4]   | PAT_PERIOD_BASE  |          | Number of DAC clock period per PATTERN_PERIOD LSB (0 = PATTERN_PERIOD LSB = 1 DAC clock period). | 0x1   | R $\overline{W}$ |
| [3:0]   | START_DELAY_BASE |          | Number of DAC clock period per START_DELAYx LSB (0 = START_DELAYx LSB = 1 DAC clock period).     | 0x1   | R $\overline{W}$ |

### パターン周期レジスタ(PAT\_PERIOD、アドレス 0x029)

表 41.PAT\_PERIOD のビット説明

| Bits   | Bit Field Name | Settings | Description              | Reset  | Access           |
|--------|----------------|----------|--------------------------|--------|------------------|
| [15:0] | PATTERN_PERIOD |          | Pattern period register. | 0x8000 | R $\overline{W}$ |

### DAC3/DAC4 パターン繰り返しサイクル数レジスタ(DAC4\_3PATx、アドレス 0x2A)

表 42.DAC4\_3PATx のビット説明

| Bits   | Bit Field Name    | Settings | Description                                                       | Reset | Access           |
|--------|-------------------|----------|-------------------------------------------------------------------|-------|------------------|
| [15:8] | DAC4_REPEAT_CYCLE |          | Number of DAC4 pattern repeat cycles + 1, (0 → repeat 1 pattern). | 0x01  | R $\overline{W}$ |
| [7:0]  | DAC3_REPEAT_CYCLE |          | Number of DAC3 pattern repeat cycles + 1, (0 → repeat 1 pattern). | 0x01  | R $\overline{W}$ |

### DAC1/DAC2 パターン繰り返しサイクル数レジスタ(DAC2\_1PATx、アドレス 0x2B)

表 43.DAC2\_1PATx のビット説明

| Bits   | Bit Field Name    | Settings | Description                                                       | Reset | Access           |
|--------|-------------------|----------|-------------------------------------------------------------------|-------|------------------|
| [15:8] | DAC2_REPEAT_CYCLE |          | Number of DAC2 pattern repeat cycles + 1, (0 → repeat 1 pattern). | 0x01  | R $\overline{W}$ |
| [7:0]  | DAC1_REPEAT_CYCLE |          | Number of DAC1 pattern repeat cycles + 1, (0 → repeat 1 pattern). | 0x01  | R $\overline{W}$ |

## トリガ開始から DOUT 信号までの遅延レジスタ(DOUT\_START\_DLY、アドレス 0x2C)

表 44. DOUT\_START\_DLY のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                  | Reset  | Access           |
|--------|----------------|----------|------------------------------------------------------------------------------|--------|------------------|
| [15:0] | DOUT_START     |          | Time between trigger low and DOUT signal high in number of DAC clock cycles. | 0x0003 | R $\overline{W}$ |

## DOUT 設定レジスタ(DOUT\_CONFIG、アドレス 0x2D)

表 45.DOUT\_CONFIG のビット説明

| Bits   | Bit Field Name | Settings   | Description                                                                                                                                                                                                                                                                                                                                 | Reset  | Access           |
|--------|----------------|------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:6] | RESERVED       |            |                                                                                                                                                                                                                                                                                                                                             | 0x0000 | R $\overline{W}$ |
| 5      | DOUT_VAL       |            | Manually sets DOUT signal value, only valid when DOUT_MODE = 0 (manual mode).                                                                                                                                                                                                                                                               | 0      | R $\overline{W}$ |
| 4      | DOUT_MODE      | 0x0<br>0x1 | Sets different enable signal mode.<br>DOUT pin is output from SDO/SDI2/DOUT pin and is manually controlled by Bit 5, DOUT_EN in Register 0x00 which must be set to use this feature.<br>DOUT pin is output from SDO/SDI2/DOUT. The pin is controlled by DOUT_START and DOUT_STOP. DOUT_EN in Register 0x00 must be set to use this feature. | 0      | R $\overline{W}$ |
| [3:0]  | DOUT_STOP      |            | Time between pattern end and DOUT signal low in number of DAC clock cycles.                                                                                                                                                                                                                                                                 | 0x0    | R $\overline{W}$ |

## DAC4 固定値レジスタ(DAC4\_CST、アドレス 0x2E)

表 46.DAC4\_CST のビット説明

| Bits   | Bit Field Name | Settings | Description                                   | Reset | Access           |
|--------|----------------|----------|-----------------------------------------------|-------|------------------|
| [15:4] | DAC4_CONST     |          | Most significant byte of DAC4 constant value. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                               | 0x0   | R $\overline{W}$ |

## DAC3 固定値レジスタ(DAC3\_CST、アドレス 0x2F)

表 47.DAC3\_CST のビット説明

| Bits   | Bit Field Name | Settings | Description                                   | Reset | Access           |
|--------|----------------|----------|-----------------------------------------------|-------|------------------|
| [15:4] | DAC3_CONST     |          | Most significant byte of DAC3 constant value. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                               | 0x0   | R $\overline{W}$ |

## DAC2 固定値レジスタ(DAC2\_CST、アドレス 0x30)

表 48.DAC2\_CST のビット説明

| Bits   | Bit Field Name | Settings | Description                                   | Reset | Access           |
|--------|----------------|----------|-----------------------------------------------|-------|------------------|
| [15:4] | DAC2_CONST     |          | Most significant byte of DAC2 constant value. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                               | 0x0   | R $\overline{W}$ |

## DAC1 固定値レジスタ(DAC1\_CST、アドレス 0x31)

表 49.DAC1\_CST のビット説明

| Bits   | Bit Field Name | Settings | Description                                   | Reset | Access           |
|--------|----------------|----------|-----------------------------------------------|-------|------------------|
| [15:4] | DAC1_CONST     |          | Most significant byte of DAC1 constant value. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                               | 0x0   | R $\overline{W}$ |

**DAC4 デジタル・ゲイン・レジスタ(DAC4\_DGAIN、アドレス 0x32)**

表 50.DAC4\_DGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                          | Reset | Access           |
|--------|----------------|----------|--------------------------------------|-------|------------------|
| [15:4] | DAC4_DIG_GAIN  |          | DAC4 digital gain range of +2 to −2. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                      | 0x0   | R $\overline{W}$ |

**DAC3 デジタル・ゲイン・レジスタ(DAC3\_DGAIN、アドレス 0x33)**

表 51.DAC3\_DGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                           | Reset | Access           |
|--------|----------------|----------|---------------------------------------|-------|------------------|
| [15:4] | DAC3_DIG_GAIN  |          | DAC3 digital gain. Range of +2 to −2. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                       | 0x0   | R $\overline{W}$ |

**DAC2 デジタル・ゲイン・レジスタ(DAC2\_DGAIN、アドレス 0x34)**

表 52.DAC2\_DGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                           | Reset | Access           |
|--------|----------------|----------|---------------------------------------|-------|------------------|
| [15:4] | DAC2_DIG_GAIN  |          | DAC2 digital gain. Range of +2 to −2. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                       | 0x0   | R $\overline{W}$ |

**DAC1 デジタル・ゲイン・レジスタ(DAC1\_DGAIN、アドレス 0x35)**

表 53.DAC1\_DGAIN のビット説明

| Bits   | Bit Field Name | Settings | Description                           | Reset | Access           |
|--------|----------------|----------|---------------------------------------|-------|------------------|
| [15:4] | DAC1_DIG_GAIN  |          | DAC1 digital gain. Range of +2 to −2. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                       | 0x0   | R $\overline{W}$ |

**DAC3/4 鋸波設定レジスタ(SAW4\_3CONFIG、アドレス 0x36)**

表 54.SAW4\_3CONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                      | Reset | Access           |
|---------|----------------|----------|------------------------------------------------------------------|-------|------------------|
| [15:10] | SAW_STEP4      |          | Number of samples per step for DAC4.                             | 0x01  | R $\overline{W}$ |
| [9:8]   | SAW_TYPE4      |          | The type of sawtooth (positive, negative, or triangle) for DAC4. | 0x0   | R $\overline{W}$ |
|         |                | 0        | Ramp up saw wave.                                                |       |                  |
|         |                | 1        | Ramp down saw wave.                                              |       |                  |
|         |                | 2        | Triangle saw wave.                                               |       |                  |
|         |                | 3        | No wave, zero.                                                   |       |                  |
| [7:2]   | SAW_STEP3      |          | Number of samples per step for DAC3.                             | 0x01  | R $\overline{W}$ |
| [1:0]   | SAW_TYPE3      |          | The type of sawtooth (positive, negative, or triangle) for DAC3. | 0x0   | R $\overline{W}$ |
|         |                | 0        | Ramp up saw wave.                                                |       |                  |
|         |                | 1        | Ramp down saw wave.                                              |       |                  |
|         |                | 2        | Triangle saw wave.                                               |       |                  |
|         |                | 3        | No wave, zero.                                                   |       |                  |

**DAC1/2 鋸波設定レジスタ(SAW2\_1CONFIG、アドレス 0x37)**

表 55.SAW2\_1CONFIG のビット説明

| Bits    | Bit Field Name | Settings | Description                                                      | Reset | Access           |
|---------|----------------|----------|------------------------------------------------------------------|-------|------------------|
| [15:10] | SAW_STEP2      |          | Number of samples per step for DAC2.                             | 0x01  | R $\overline{W}$ |
| [9:8]   | SAW_TYPE2      |          | The type of sawtooth (positive, negative, or triangle) for DAC2. | 0x0   | R $\overline{W}$ |
|         |                | 0        | Ramp up saw wave.                                                |       |                  |
|         |                | 1        | Ramp down saw wave.                                              |       |                  |
|         |                | 2        | Triangle saw wave.                                               |       |                  |
|         |                | 3        | No wave, zero.                                                   |       |                  |
| [7:2]   | SAW_STEP1      |          | Number of samples per step for DAC1.                             | 0x01  | R $\overline{W}$ |
| [1:0]   | SAW_TYPE1      |          | The type of sawtooth (positive, negative, or triangle) for DAC1. | 0x0   | R $\overline{W}$ |

| Bits | Bit Field Name | Settings | Description         | Reset | Access |
|------|----------------|----------|---------------------|-------|--------|
|      |                | 0        | Ramp up saw wave.   |       |        |
|      |                | 1        | Ramp down saw wave. |       |        |
|      |                | 2        | Triangle saw wave.  |       |        |
|      |                | 3        | No wave, zero.      |       |        |

#### DDS チューニング・ワード MSB レジスタ(DDS\_TW32、アドレス 0x3E)

表 56.DDS\_TW32 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset  | Access           |
|--------|----------------|----------|----------------------|--------|------------------|
| [15:0] | DDSTW_MSB      |          | DDS tuning word MSB. | 0x0000 | R $\overline{W}$ |

#### DDS チューニング・ワード LSB レジスタ(DDS\_TW1、アドレス 0x3F)

表 57.DDS\_TW1 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset | Access           |
|--------|----------------|----------|----------------------|-------|------------------|
| [15:8] | DDSTW_LSB      |          | DDS tuning word LSB. | 0x00  | R $\overline{W}$ |
| [7:0]  | RESERVED       |          |                      | 0x00  | R $\overline{W}$ |

#### DDS4 位相オフセット・レジスタ(DDS4\_PW、アドレス 0x40)

表 58.DDS4\_PW のビット説明

| Bits   | Bit Field Name | Settings | Description        | Reset  | Access           |
|--------|----------------|----------|--------------------|--------|------------------|
| [15:0] | DDS4_PHASE     |          | DDS4 phase offset. | 0x0000 | R $\overline{W}$ |

#### DDS3 位相オフセット・レジスタ(DDS3\_PW、アドレス 0x41)

表 59.DDS3\_PW のビット説明

| Bits   | Bit Field Name | Settings | Description        | Reset  | Access           |
|--------|----------------|----------|--------------------|--------|------------------|
| [15:0] | DDS3_PHASE     |          | DDS3 phase offset. | 0x0000 | R $\overline{W}$ |

#### DDS2 位相オフセット・レジスタ(DDS2\_PW、アドレス 0x42)

表 60.DDS2\_PW のビット説明

| Bits   | Bit Field Name | Settings | Description        | Reset  | Access           |
|--------|----------------|----------|--------------------|--------|------------------|
| [15:0] | DDS2_PHASE     |          | DDS2 phase offset. | 0x0000 | R $\overline{W}$ |

#### DDS1 位相オフセット・レジスタ(DDS1\_PW、アドレス 0x43)

表 61.DDS1\_PW のビット説明

| Bits   | Bit Field Name | Settings | Description        | Reset  | Access           |
|--------|----------------|----------|--------------------|--------|------------------|
| [15:0] | DDS1_PHASE     |          | DDS1 phase offset. | 0x0000 | R $\overline{W}$ |

## パターン制御 1 レジスタ (TRIG\_TW\_SEL、アドレス 0x44)

表 62. TRIG\_TW\_SEL のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                                                   | Reset  | Access |
|--------|----------------|----------|-----------------------------------------------------------------------------------------------------------------------------------------------|--------|--------|
| [15:2] | RESERVED       |          |                                                                                                                                               | 0x0000 | RW     |
| 1      | TRIG_DELAY_EN  | 0<br>1   | Enable start delay as trigger delay for all four channels.<br>Delay repeats for all patterns.<br>Delay is only at the start of first pattern. | 0      | RW     |
| 0      | RESERVED       |          |                                                                                                                                               | 0      | RW     |

## パターン制御 2 レジスタ (DDStx\_CONFIG、アドレス 0x45)

表 63. DDStx\_CONFIG のビット説明

| Bits | Bit Field Name | Settings | Description                                                                                                                                                                                                                                                               | Reset | Access |
|------|----------------|----------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|--------|
| 15   | DDS_COS_EN4    |          | Enable DDS4 cosine output of DDS instead of sine wave.                                                                                                                                                                                                                    | 0     | RW     |
| 14   | DDS_MSB_EN4    |          | Enable the clock for the RAM address. Increment is coming from the DDS4 MSB. Default is coming from DAC clock.                                                                                                                                                            | 0     | RW     |
| 13   | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 12   | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 11   | DDS_COS_EN3    |          | Enable DDS3 cosine output of DDS instead of sine wave.                                                                                                                                                                                                                    | 0     | RW     |
| 10   | DDS_MSB_EN3    |          | Enable the clock for the RAM address. Increment is coming from the DDS3 MSB. Default is coming from DAC clock.                                                                                                                                                            | 0     | RW     |
| 9    | PHASE_MEM_EN3  |          | Enable DDS3 phase offset input coming from RAM reading START_ADDR3. Since phase word is 8 bits and RAM data is 14 bits, only 8 MSB of RAM are taken into account. Default is coming from SPI map, DDS3_PHASE.                                                             | 0     | RW     |
| 8    | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 7    | DDS_COS_EN2    |          | Enable DDS2 cosine output of DDS instead of sine wave.                                                                                                                                                                                                                    | 0     | RW     |
| 6    | DDS_MSB_EN2    |          | Enable the clock for the RAM address. Increment is coming from the DDS2 MSB. Default is coming from DAC clock.                                                                                                                                                            | 0     | RW     |
| 5    | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 4    | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 3    | DDS_COS_EN1    |          | Enable DDS1 cosine output of DDS instead of sine wave.                                                                                                                                                                                                                    | 0     | RW     |
| 2    | DDS_MSB_EN1    |          | Enable the clock for the RAM address. Increment is coming from the DDS1 MSB. Default is coming from DAC clock.                                                                                                                                                            | 0     | RW     |
| 1    | RESERVED       |          |                                                                                                                                                                                                                                                                           | 0     | RW     |
| 0    | TW_MEM_EN      |          | Enable DDS tuning word input coming from RAM reading using START_ADDR1. Since tuning word is 24 bits and RAM data is 14 bits, 10 bits are set to 0s depending on the value of the TW_MEM_SHIFT bits in the TW_RAM_CONFIG register. Default is coming from SPI map, DDSTW. | 0     | RW     |

## TW\_RAM\_CONFIG レジスタ (TW\_RAM\_CONFIG、アドレス 0x47)

表 64. TW\_RAM\_CONFIG のビット説明

| Bits   | Bit Field Name | Settings                                             | Description                                                                                                                                                                                                                                                                                                                                      | Reset | Access |
|--------|----------------|------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------|--------|
| [15:5] | RESERVED       |                                                      |                                                                                                                                                                                                                                                                                                                                                  | 0x000 | RW     |
| [4:0]  | TW_MEM_SHIFT   | 0x00<br>0x01<br>0x02<br>0x03<br>0x04<br>0x05<br>0x06 | TW_MEM_EN1 must be set = 1 to use this bit field.<br>DDS1TW = {RAM[11:0],12'b0}<br>DDS1TW = {DDS1TW[23],RAM[11:0],11'b0}<br>DDS1TW = {DDS1TW[23:22],RAM[11:0],10'b0}<br>DDS1TW = {DDS1TW[23:21],RAM[11:0],9'b0}<br>DDS1TW = {DDS1TW[23:20],RAM[11:0],8'b0}<br>DDS1TW = {DDS1TW[23:19],RAM[11:0],7'b0}<br>DDS1TW = {DDS1TW[23:18],RAM[11:0],6'b0} | 0x00  | RW     |
|        |                | 0x07<br>0x08<br>0x09<br>0x0A                         | DDS1TW = {DDS1TW[23:17],RAM[11:0],5'b0}<br>DDS1TW = {DDS1TW[23:16],RAM[11:0],3'b0}<br>DDS1TW = {DDS1TW[23:15],RAM[11:0],4'b0}<br>DDS1TW = {DDS1TW[23:14],RAM[11:0],2'b0}                                                                                                                                                                         |       |        |

| Bits | Bit Field Name | Settings | Description                             | Reset | Access |
|------|----------------|----------|-----------------------------------------|-------|--------|
|      |                | 0x0B     | DDS1TW = {DDS1TW[23:13],RAM[11:0],1'b0} |       |        |
|      |                | 0x0C     | DDS1TW = {DDS1TW[23:12],RAM[11:0]}      |       |        |
|      |                | 0x0D     | DDS1TW = {DDS1TW[23:11],RAM[11:1]}      |       |        |
|      |                | 0x0E     | DDS1TW = {DDS1TW[23:10],RAM[11:2]}      |       |        |
|      |                | 0x0F     | DDS1TW = {DDS1TW[23:9],RAM[11:3]}       |       |        |
|      |                | 0x10     | DDS1TW = {DDS1TW[23:8],RAM[11:4]}       |       |        |
|      |                | x        | Reserved                                |       |        |

#### 開始遅延 4 レジスタ(START\_DLY4、アドレス 0x50)

表 65.START\_DLY4 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset  | Access           |
|--------|----------------|----------|----------------------|--------|------------------|
| [15:0] | START_DELAY4   |          | Start delay of DAC4. | 0x0000 | R $\overline{W}$ |

#### 開始アドレス 4 レジスタ(START\_ADDR4、アドレス 0x51)

表 66.START\_ADDR4 のビット説明

| Bits   | Bit Field Name | Settings | Description                                     | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------|-------|------------------|
| [15:4] | START_ADDR4    |          | RAM address where DAC4 starts to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                 | 0x00  | R $\overline{W}$ |

#### 停止アドレス 4 レジスタ(STOP\_ADDR4、アドレス 0x52)

表 67.STOP\_ADDR4 のビット説明

| Bits   | Bit Field Name | Settings | Description                                    | Reset | Access           |
|--------|----------------|----------|------------------------------------------------|-------|------------------|
| [15:4] | STOP_ADDR4     |          | RAM address where DAC4 stops to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                | 0x00  | R $\overline{W}$ |

#### DDS サイクル 4 レジスタ(DDS\_CYC4、アドレス 0x53)

表 68.DDS\_CYC4 のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                    | Reset  | Access           |
|--------|----------------|----------|----------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:0] | DDS_CYC4       |          | Number of sine wave cycles when DDS prestored waveform with start and stop delays is selected for DAC4 output. | 0x0001 | R $\overline{W}$ |

#### 開始遅延 3 レジスタ(START\_DLY3、アドレス 0x54)

表 69.START\_DLY3 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset  | Access           |
|--------|----------------|----------|----------------------|--------|------------------|
| [15:0] | START_DELAY3   |          | Start delay of DAC3. | 0x0000 | R $\overline{W}$ |

#### 開始アドレス 3 レジスタ(START\_ADDR3、アドレス 0x55)

表 70.START\_ADDR3 のビット説明

| Bits   | Bit Field Name | Settings | Description                                     | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------|-------|------------------|
| [15:4] | START_ADDR3    |          | RAM address where DAC3 starts to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                 | 0x0   | R $\overline{W}$ |

**停止アドレス 3 レジスタ(STOP\_ADDR3、アドレス 0x56)**

表 71.STOP\_ADDR3 のビット説明

| Bits   | Bit Field Name | Settings | Description                                    | Reset  | Access           |
|--------|----------------|----------|------------------------------------------------|--------|------------------|
| [15:4] | STOP_ADDR3     |          | RAM address where DAC3 stops to read waveform. | 0x0000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                | 0x0    | R $\overline{W}$ |

**DDS サイクル数 3 レジスタ(DDS\_CYC3、アドレス 0x57)**

表 72.DDS\_CYC3 のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                    | Reset  | Access           |
|--------|----------------|----------|----------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:0] | DDS_CYC3       |          | Number of sine wave cycles when DDS prestored waveform with start and stop delays is selected for DAC3 output. | 0x0001 | R $\overline{W}$ |

**開始遅延 2 レジスタ(START\_DLY2、アドレス 0x58)**

表 73.START\_DLY2 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset  | Access           |
|--------|----------------|----------|----------------------|--------|------------------|
| [15:0] | START_DELAY2   |          | Start delay of DAC2. | 0x0000 | R $\overline{W}$ |

**開始アドレス 2 レジスタ(START\_ADDR2、アドレス 0x59)**

表 74.START\_ADDR2 のビット説明

| Bits   | Bit Field Name | Settings | Description                                     | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------|-------|------------------|
| [15:4] | START_ADDR2    |          | RAM address where DAC2 starts to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                 | 0x0   | R $\overline{W}$ |

**停止アドレス 2 レジスタ(STOP\_ADDR2、アドレス 0x5A)**

表 75.STOP\_ADDR2 のビット説明

| Bits   | Bit Field Name | Settings | Description                                    | Reset | Access           |
|--------|----------------|----------|------------------------------------------------|-------|------------------|
| [15:4] | STOP_ADDR2     |          | RAM address where DAC2 stops to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                | 0x0   | R $\overline{W}$ |

**DDS サイクル 2 レジスタ(DDS\_CYC2、アドレス 0x5B)**

表 76.DDS\_CYC2 のビット説明

| Bits   | Bit Field Name | Settings | Description                                                                                                    | Reset  | Access           |
|--------|----------------|----------|----------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:0] | DDS_CYC2       |          | Number of sine wave cycles when DDS prestored waveform with start and stop delays is selected for DAC2 output. | 0x0001 | R $\overline{W}$ |

**開始遅延 1 レジスタ(START\_DLY1、アドレス 0x5C)**

表 77.START\_DLY1 のビット説明

| Bits   | Bit Field Name | Settings | Description          | Reset  | Access           |
|--------|----------------|----------|----------------------|--------|------------------|
| [15:0] | START_DELAY1   |          | Start delay of DAC1. | 0x0000 | R $\overline{W}$ |

## 開始アドレス 1 レジスタ (START\_ADDR1、アドレス 0x5D)

表 78.START\_ADDR1 のビット説明

| Bits   | Bit Field Name | Settings | Description                                     | Reset | Access           |
|--------|----------------|----------|-------------------------------------------------|-------|------------------|
| [15:4] | START_ADDR1    |          | RAM address where DAC1 starts to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                 | 0x0   | R $\overline{W}$ |

## 停止アドレス 1 レジスタ (STOP\_ADDR1、アドレス 0x5E)

表 79.STOP\_ADDR1 のビット説明

| Bits   | Bit Field Name | Settings | Description                                    | Reset | Access           |
|--------|----------------|----------|------------------------------------------------|-------|------------------|
| [15:4] | STOP_ADDR1     |          | RAM address where DAC1 stops to read waveform. | 0x000 | R $\overline{W}$ |
| [3:0]  | RESERVED       |          |                                                | 0x0   | R $\overline{W}$ |

## DDS サイクル 1 レジスタ (DDS\_CYC1、アドレス 0x5F)

表 80.DDS\_CYC1 のビット説明

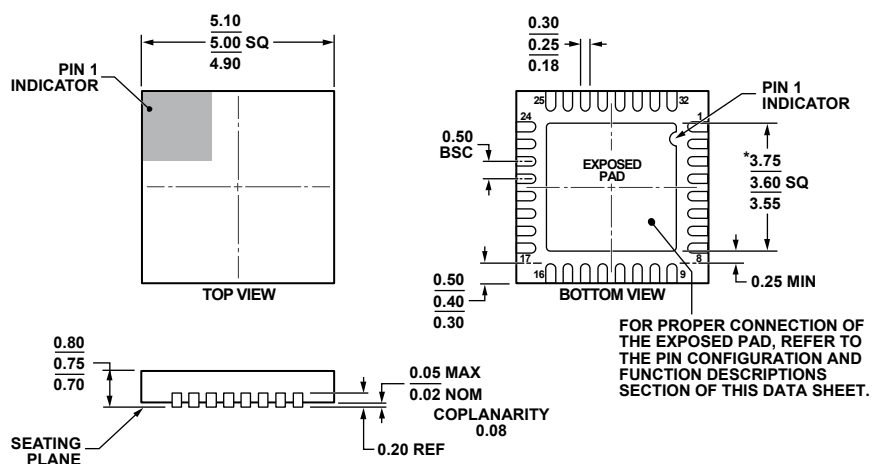
| Bits   | Bit Field Name | Settings | Description                                                                                                    | Reset  | Access           |
|--------|----------------|----------|----------------------------------------------------------------------------------------------------------------|--------|------------------|
| [15:0] | DDS_CYC1       |          | Number of sine wave cycles when DDS prestored waveform with start and stop delays is selected for DAC1 output. | 0x0001 | R $\overline{W}$ |

## CFG Error レジスタ (CFG\_ERROR、アドレス 0x60)

表 81.CFG\_ERROR のビット説明

| Bits   | Bit Field Name       | Settings | Description                                                                                       | Reset | Access |
|--------|----------------------|----------|---------------------------------------------------------------------------------------------------|-------|--------|
| 15     | ERROR_CLEAR          |          | Writing this bit clears all errors.                                                               | 0     | R      |
| [14:6] | CFG_ERROR            |          |                                                                                                   | 0x00  | R      |
| 5      | DOUT_START_LG_ERR    |          | When DOUT_START is larger than pattern delay, this error is toggled.                              | 0     | R      |
| 4      | PAT_DLY_SHORT_ERR    |          | When pattern delay value is smaller than default value, this error is toggled.                    | 0     | R      |
| 3      | DOUT_START_SHORT_ERR |          | When DOUT_START value is smaller than default value, this error is toggled.                       | 0     | R      |
| 2      | PERIOD_SHORT_ERR     |          | When period register setting value is smaller than pattern play cycle, this error is toggled.     | 0     | R      |
| 1      | ODD_ADDR_ERR         |          | When memory pattern play is not even in length in trigger delay mode, this error flag is toggled. | 0     | R      |
| 0      | MEM_READ_ERR         |          | When there is a memory read conflict, this error flag is toggled.                                 | 0     | R      |

## 外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5  
WITH EXCEPTION TO EXPOSED PAD DIMENSION.

図 55.32 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
5 mm x 5 mm ボディ、極薄クワッド  
(CP-32-12)  
寸法:mm

08-16-2010-B

## オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description | Package Option |
|--------------------|-------------------|---------------------|----------------|
| AD9106BCPZ         | -40°C to +85°C    | 32-Lead LFCSP_WQ    | CP-32-12       |
| AD9106BCPZRL7      | -40°C to +85°C    | 32-Lead LFCSP_WQ    | CP-32-12       |
| AD9106-EBZ         |                   | Evaluation Board    |                |

<sup>1</sup> Z = RoHS 準拠製品