

特長

完全にキャリブレーション済みの全機能内蔵型測定/制御システム

50Hz~2.7GHzの高精度RMS/DC変換

60dBを超える入力ダイナミックレンジ: 50Ω時で-52dBm~+8dBm

波形と変調に依存しない(GSM/CDMA/TDMAなど) デシベル・リニア出力、50mV/dBスケーリング

法則適合性誤差: 0.5dB

温度および電源変動に対し、すべての機能が安定性を維持
4.5V~5.5V電源動作(I=24mA)、温度レンジ: -40°C~+85°C
消費電力を1.3mWに低減するパワーダウン機能

アプリケーション

パワー・アンプのリニアライゼーション/制御ループ

トランスミッタ・パワー制御

トランスミッタ信号強度表示(TSSI)

RF計装

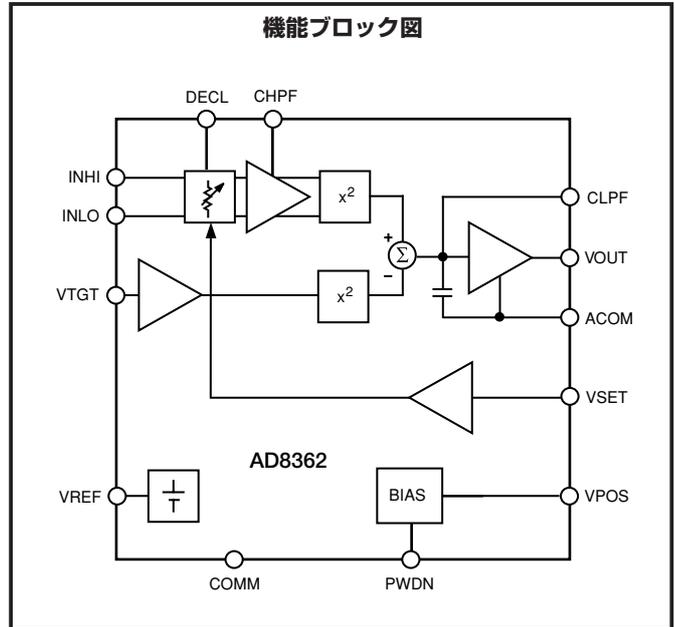
概要説明

AD8362は、60dBの測定レンジを備えた真のrms応答パワー検出器です。各種の高周波数通信システム、および信号パワーに対する高精度な応答性が要求される計装で使用されることを目的としています。非常に使いやすく、動作に必要とされるのは5V単電源とわずかな数のコンデンサのみです。AD8362は任意の低周波数から2.7GHzまでの周波数で動作し、クレスト・ファクタのピーク値が最大で6までとする、1mVから少なくとも1V rmsまでのrms値の入力を受け入れることができ、CDMA信号の高精度測定に要求される仕様条件を上回っています。

入力信号は、可変ゲイン・アンプの入力段で構成される抵抗ラダー減衰器に加えられます。独自技術の採用により12個のタップ・ポイントが円滑に補間されるため、連続的に可変できる減衰器が構成されます。この減衰器は、VSETピンに印加される電圧によって制御されます。その生成された信号は、高性能の広帯域アンプに送られます。その出力は、高精度の二乗検波器セルによって測定されます。その後で、変動出力がフィルタリングされ、同等の二乗器の出力と比較されます。この二乗器の入力はVTGTピンに加えらるる固定のDC電圧であり、通常はVREFピンから供給される1.25Vの高精度リファレンスです。

これらの二乗セルの出力差が高ゲイン誤差アンプに取り込まれ、レールtoレール能力を備えたVOUTピンから電圧として出力されます。コントローラ・モードでは、このロー・ノイズ出力を使用してホスト・システムのRFアンプのゲインを変更できるので、入力パワーに対してセットポイントが平衡化されます。オプションとして、VSETの電圧をRF信号の

機能ブロック図



振幅変調の複製電圧とすることが可能で、この場合には全体的な効果として、検出とローパス・フィルタリングが行われる前に変調成分が除去されます。CLPFピンに1本のコンデンサを外付けすることで、平均化フィルタのコーナー周波数を制限なく低減することが可能であり、AD8362を使用して(または単に低周波数rms電圧計として)、複雑な低周波数変調エンベロープをもつ高周波数信号の真のパワーを測定できます。

電力測定デバイスとして使用するときには、VOUTピンをVSETに接続します。このとき、出力は入力 rms 値の対数に比例します。すなわち、読み取り値は直接デシベル単位で表示されるので、都合よく1V/デケード、つまり50mV/dBにスケーリングされます。これ以外の対数勾配も容易に設定されます。コントローラ・モードのときには、VSETに加えらるる電圧によって、入力で要求されるパワー・レベルが決められ、セットポイントからの偏差がゼロに調整されます。出力バッファは、高い負荷電流能力を備えています。

PWDNピンにロジック・ハイ信号を加えることでAD8362はパワーダウンし、消費電力は約1.3mWまで低減されます。また、約20μs以内で20mA@25°C(nominal)の動作電流にパワーアップします。

AD8362は16ピンのTSSOPパッケージで提供され、-40°C~+85°Cの工業用温度レンジで動作します。評価ボードが用意されています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。
*日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。

AD8362—仕様

(特に注記のない限り、 $V_S = 5V$ 、 $T = 25^\circ C$ 、 $Z_0 = 50\Omega$ 、バラン・トランス¹を経由して差動入力を駆動、VTGTを V_{REF} に接続、 V_{OUT} を V_{SET} に接続)

パラメータ	条件	Min	Typ	Max	単位
全体機能					
最大入力周波数			2.7		GHz
入力パワーレンジ(差動)	50Ωのインピーダンス・レベルを基準とするdB、 $f \leq 2.7GHz$ 、1:4バラン・トランス ¹ へ				
下限値(nominal)			-52		dBm
上限値(nominal)			+8		dBm
入力電圧レンジ(差動)	入力端子のRMS電圧、 $f \leq 2.7GHz$ 、デバイスの入力へ				
下限値(nominal)			1.12		mV rms
上限値(nominal)			1.12		V rms
入力パワーレンジ(Sサイド)	シングルエンド駆動、CW入力、 $f \leq 2.7GHz$ 、入力抵抗ネットワーク ² へ				
下限値(nominal)			-40		dBm
上限値(nominal)			0		dBm
入力電圧レンジ(Sサイド)	入力端子のRMS電圧、 $f \leq 2.7GHz$				
下限値(nominal)			2.23		mV rms
上限値(nominal)			223		V rms
出力電圧レンジ	グラウンド間に $R_L \geq 200\Omega$ を接続				
下限値(nominal)			+100		mV
上限値(nominal)	通常は $V_S - 0.1V$		+4.9		V
出力スケールリング(対数勾配)			50		mV/dB
法則適合性誤差	中央の60dBレンジ内、 $f \leq 2.7GHz$		± 0.5		dB
RF入力インターフェース					
入力抵抗値	INHI及びINLOピン、AC結合 シングルエンド駆動、DECL基準 差動駆動		100 200		Ω Ω
出力インターフェース					
使用可能な出力レンジ	VOUTピン グラウンド間に $R_L \geq 200\Omega$ を接続	0.5		4.9	V
絶対電圧レンジ					
下限値(nominal)	測定モード、 $f = 900MHz$ 、 $P_{IN} = -52dBm$	0.32		0.48	V
上限値(nominal)	測定モード、 $f = 900MHz$ 、 $P_{IN} = +8dBm$	3.44		3.52	V
ソース/シンク電流	VOUTを $V_S/2$ に保持、1%の変化まで		48		mA
立ち上がりスルーレート	$C_L =$ オープン		60		V/ μs
立ち下がりスルーレート	$C_L =$ オープン		5		V/ μs
立ち上がり時間、10%–90%	0.2V~1.8V、CLPF = 0		45		ns
立ち下がり時間、90%–10%	1.8V~0.2V、CLPF = 0		0.4		μs
広帯域幅ノイズ	CLPF = 1000pF、 $f_{SPOT} \leq 100kHz$		70		nV/ \sqrt{Hz}
VSETインターフェース					
入力電圧レンジ(nominal)	VSETピン $\pm 1dB$ 誤差に対して	0.5		3.75	V
入力抵抗値			68		k Ω
スケールリング(対数勾配)	$f = 900MHz$	46	50	54	mV/dB
スケールリング(対数インターセプト)	$f = 900MHz$ 、1:4バラン・トランスへ	-64	-60	-56	dBm
		-77	-73	-69	dBV
電圧リファレンス					
出力電圧	VREFピン 25°C時	1.225	1.25	1.275	V
温度感度 ³	$-40^\circ C \leq T_A \leq +85^\circ C$		0.08		mV/ $^\circ C$
入力抵抗値			8		Ω
RMSターゲット・インターフェース					
入力電圧レンジ(nominal)	VTGTピン 測定レンジ = 60dB、 $\pm 1dB$ 誤差に対して	0.625		2.5	V
入力バイアス電流	VTGT = 1.25V		-28		μA
	VTGT = 0V		-52		μA
増分入力抵抗値			52		k Ω

パラメータ	条件	Min	Typ	Max	単位
パワーダウン・インターフェース イネーブル・ロジック・レベル電圧 デイスエーブル・ロジック・レベル電圧 入力電流 イネーブル時間 デイスエーブル時間	PWDNピン ロジック・ロー・イネーブル ロジック・ハイ・デイスエーブル ロジック・ハイ ロジック・ロー 最終値の10%以内でPWDNローからVOUTまでの時間、 CLPF = 1000pF 最終値の10%以内でPWDNハイからVOUTまでの時間、 CLPF = 1000pF	3	230 5	1	V V μ A μ A ns ns
電源インターフェース 電源電圧 無負荷時電流 電源電流	VPOSピン デイスエーブル時	4.5	5 20 0.2	5.5 22	V mA mA
900MHz ダイナミックレンジ 偏差の対温度特性 対数勾配 対数インターセプト CW応答からの偏差	最適適合直線 (リニア回帰) 基準の誤差 ± 1 dBの直線性、CW入力 ± 0.5 dBの直線性、CW入力 25°C時の出力からの偏差 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -45\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -20\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = 5\text{dBm}$ 5.5dBピーク対RMS比 (IS95リバース・リンク) 12dBピーク対RMS比 (WCDMA 4チャンネル) 18dBピーク対RMS比 (WCDMA 15チャンネル)	46 -64	65 62 -1.7 -1.4 -1 50 -60	54 -56	dB dB dB dB dB mV/dB dBm dB dB
1.9GHz ダイナミックレンジ 偏差の対温度特性 対数勾配 対数インターセプト CW応答からの偏差	最適適合直線 (リニア回帰) 基準の誤差 ± 1 dBの直線性、CW入力 ± 0.5 dBの直線性、CW入力 25°C時の出力からの偏差 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -45\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -20\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = 5\text{dBm}$ 5.5dBピーク対RMS比 (IS95リバース・リンク) 12dBピーク対RMS比 (WCDMA 4チャンネル) 18dBピーク対RMS比 (WCDMA 15チャンネル)		65 62 -0.6 -0.5 -0.3 51 -59 0.2 0.2 0.5		dB dB dB dB dB mV/dB dBm dB dB dB
2.2GHz ダイナミックレンジ 偏差の対温度特性 対数勾配 対数インターセプト CW応答からの偏差	最適適合直線 (リニア回帰) 基準の誤差 ± 1 dBの直線性、CW入力 ± 0.5 dBの直線性、CW入力 25°C時の出力からの偏差 $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -45\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = -20\text{dBm}$ $-40^\circ\text{C} < T_A < +85^\circ\text{C}$, $P_{IN} = 5\text{dBm}$ 5.5dBピーク対RMS比 (IS95リバース・リンク) 12dBピーク対RMS比 (WCDMA 4チャンネル) 18dBピーク対RMS比 (WCDMA 15チャンネル)		65 65 -1.8 -1.6 -1.3 50.5 -61 0.2 0.2 0.5		dB dB dB dB dB mV/dB dBm dB dB dB

AD8362

パラメータ	条件	Min	Typ	Max	単位
2.7GHz ダイナミックレンジ	最適適合直線（リニア回帰）基準の誤差 ±1dBの直線性、CW入力		63		dB
	±0.5dBの直線性、CW入力		62		dB
偏差の対温度特性	25℃時の出力からの偏差				
	−40℃ < T _A < +85℃、P _{IN} = −40dBm		−5.3		dB
	−40℃ < T _A < +85℃、P _{IN} = −15dBm		−5.5		dB
	−40℃ < T _A < +85℃、P _{IN} = 15dBm		−4.8		dB
対数勾配			50.5		mV/dB
対数インターセプト			−58		dBm
CW応答からの偏差	5.5dBピーク対RMS比（IS95リバース・リンク）		0.2		dB
	12dBピーク対RMS比（WCDMA 4チャンネル）		0.2		dB
	18dBピーク対RMS比（WCDMA 15チャンネル）		0.4		dB

注

- 1:4 バラン・トランス、M/A-COM ETC 1.6-4-2-3
- 抵抗ネットワークは、33Ω ショント抵抗と25Ω 直列抵抗で構成されます。
- TPC 29を参照してください。

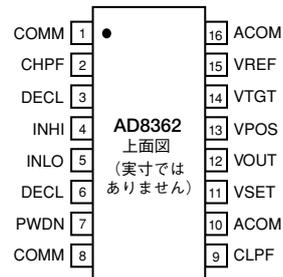
仕様は予告なく変更される場合があります。

絶対最大定格*

電源電圧 V_{POS}	5.5V
入力パワー (デバイスの入力へ)	13dBm
等価電圧	2V rms
内部ワット損	500mW
θ_{JA}	125°C/W
最大接合部温度	125°C/W
動作温度レンジ	-40°C ~ +85°C
保管温度レンジ	-65°C ~ +150°C
ピン温度レンジ (ハンダ付け、60秒)	300°C

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ピン配置



オーダー・ガイド

モデル	温度レンジ	パッケージ・オプション
AD8362ARU	-40°C ~ +85°C	チューブ、16ピンTSSOP
AD8362ARU-REEL7		7インチのテープおよびリール
AD8362-EVAL		評価ボード

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vにおよぶ高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD防止措置をとるようお奨めします。

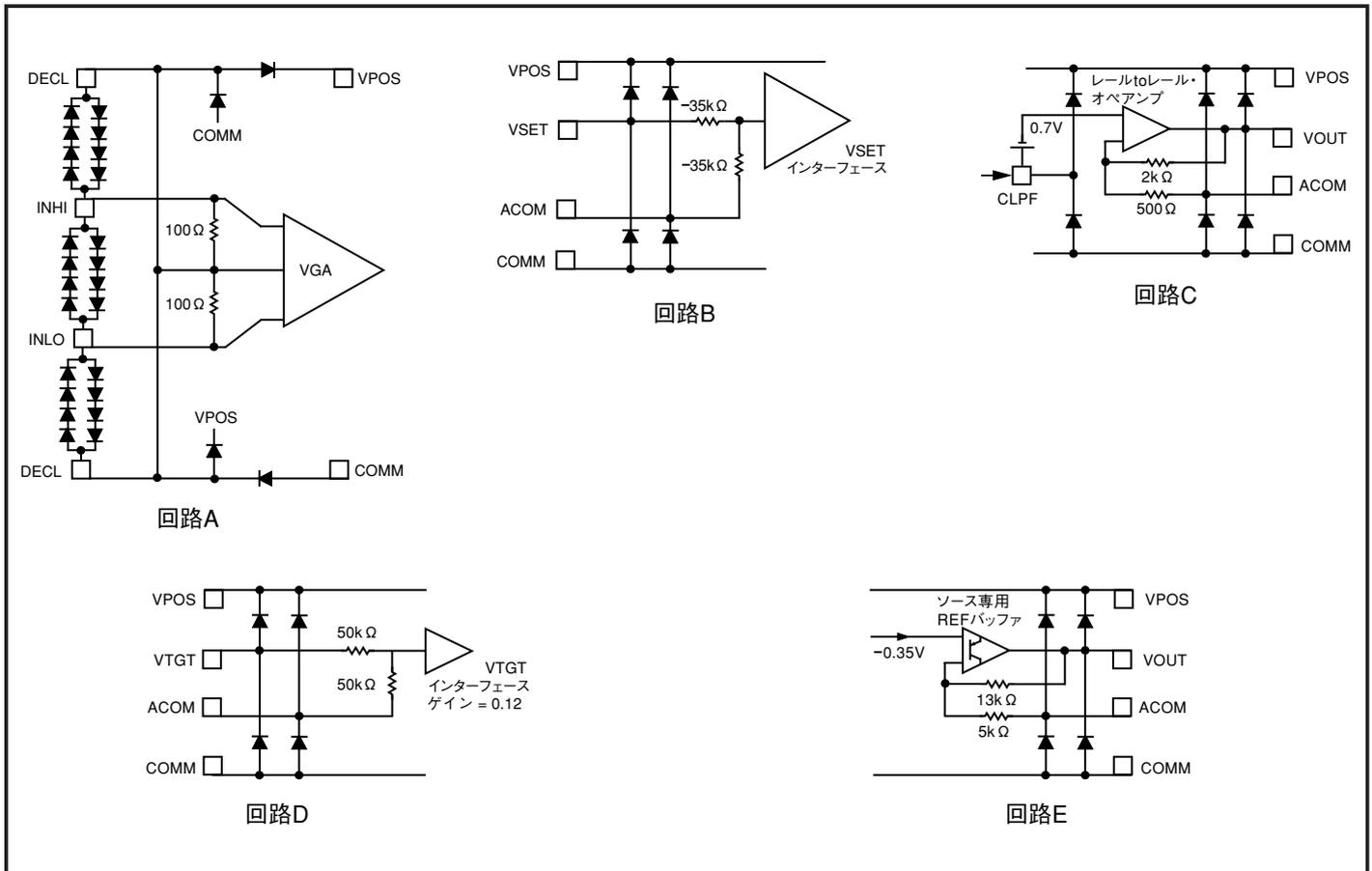


AD8362

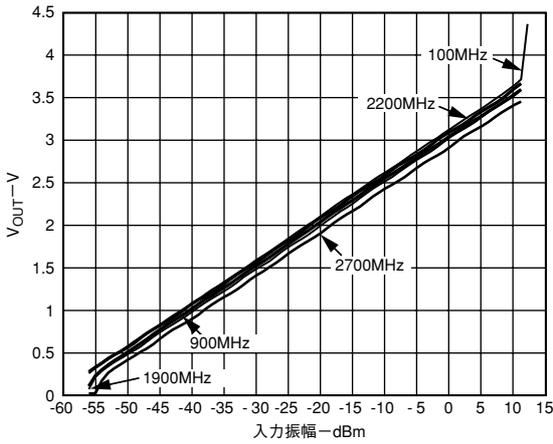
ピン機能説明

ピン番号	記号	説明	等価回路
1, 8	COMM	コモン接続ピン。ロー・インピーダンス抵抗を経由してシステム・コモンに接続します。	
2	CHPF	入力HPF。1本のコンデンサを経由してコモンに接続し、入力信号ハイパス・フィルタの3dBポイントを決定します。	
3, 6	DECL	INHIおよびINLO用のデカップリング端子。容量の大きい1本のコンデンサを経由してコモンに接続し、入力回路を完全なものとしします。	
4	INHI	ハイ信号入力端子。INLOとともに差動入力ポートの一部を構成します。	回路A
5	INLO	ロー信号入力端子。INHIとともに差動入力ポートの一部を構成します。	回路A
7	PWDN	制御入力をディスエーブル/イネーブルにします。ロジック・ハイ電圧を印加すると、AD8362がシャットダウンします。	
9	CLPF	ループ・フィルタ積分(平均化)コンデンサの接続ピン。このコンデンサのもう一方のピンは通常、ループ安定性と応答時間を改善するために、1本の抵抗を経由してグラウンドに接続します。	
10, 16	ACOM	出力アンプのアナログ・コモン接続ピン。	
11	VSET	このピンに加えられる電圧によって、動作に必要なRF入力電圧のデシベル値が設定されます。その結果として、CLPFピン、すなわちループ積分コンデンサから出力される電流がゼロになります。	回路B
12	VOUT	誤差アンプの出力。測定モード時には通常、VSETピンに直接接続します。	回路C
13	VPOS	5V電源に接続します。	
14	VTGT	対数インターセプト電圧は、このピンに印加される電圧に比例します。より低いターゲット電圧を使用すると、クレスト・ファクタ容量が増加します。	回路D
15	VREF	1.25Vの汎用リファレンス電圧出力(通常はVTGTピンの上に接続)。	回路E

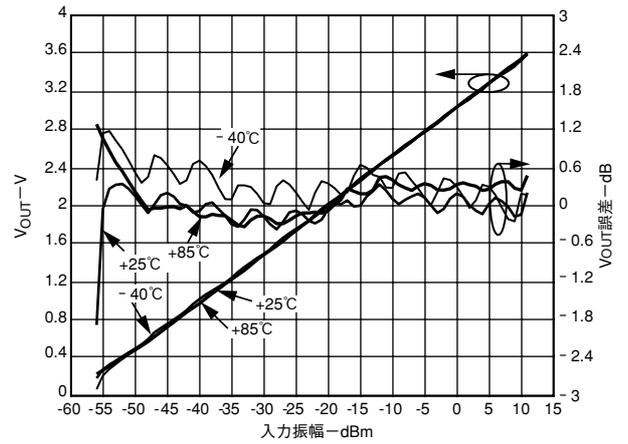
等価回路



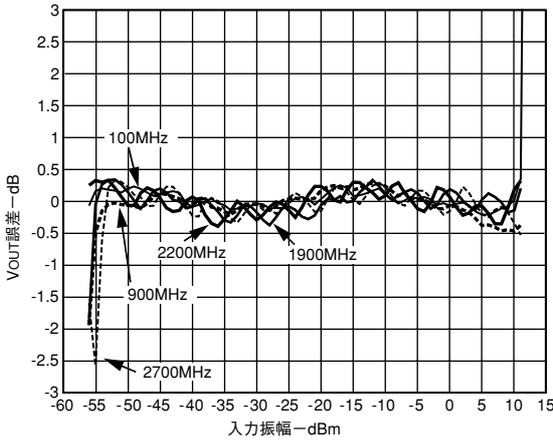
代表的な性能特性－AD8362



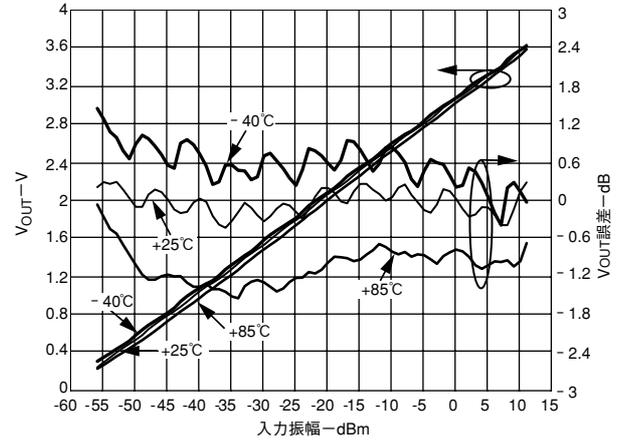
TPC 1. 出力電圧(V_{OUT})対入力振幅(dBm)、周波数100MHz、900MHz、1900MHz、2200MHz、2700MHz、正弦波、差動駆動



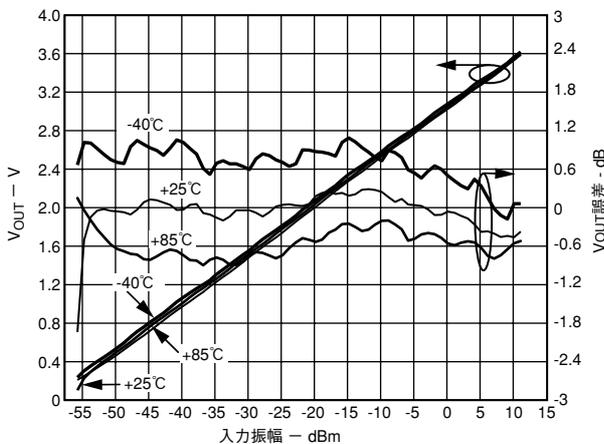
TPC 4. V_{OUT} および法則適合性対入力振幅、周波数1900MHz、正弦波、温度 -40°C 、 $+25^{\circ}\text{C}$ および $+85^{\circ}\text{C}$



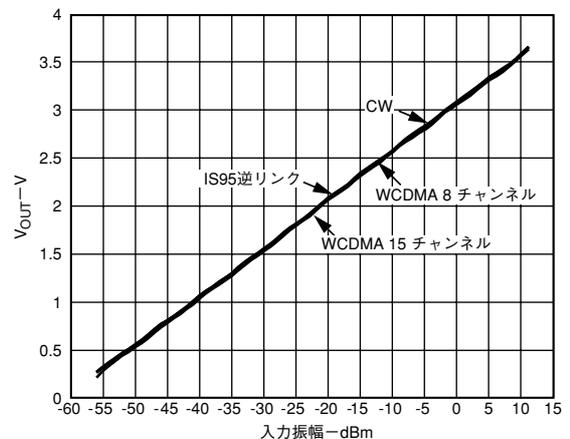
TPC 2. 対数法則適合性対入力振幅、周波数100MHz、900MHz、1900MHz、2200MHz、2700MHz、正弦波、差動駆動



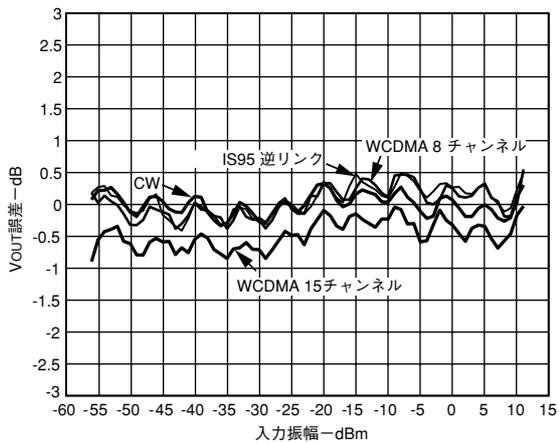
TPC 5. V_{OUT} および法則適合性対入力振幅、周波数2200MHz、正弦波、温度 -40°C 、 $+25^{\circ}\text{C}$ および $+85^{\circ}\text{C}$



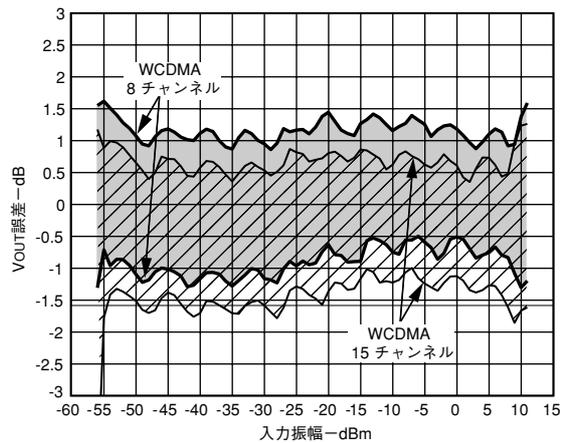
TPC 3. V_{OUT} および法則適合性対入力振幅、周波数900MHz、正弦波、温度 -40°C 、 $+25^{\circ}\text{C}$ および $+85^{\circ}\text{C}$



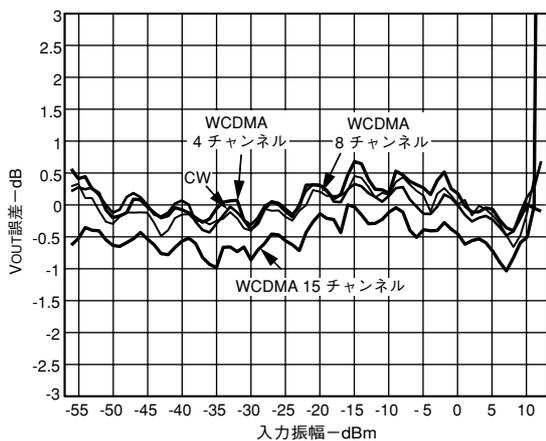
TPC 6. V_{OUT} 対差動波形入力振幅、CW、IS95逆リンク、WCDMA 8チャンネル、WCDMA 15チャンネル、周波数900MHz



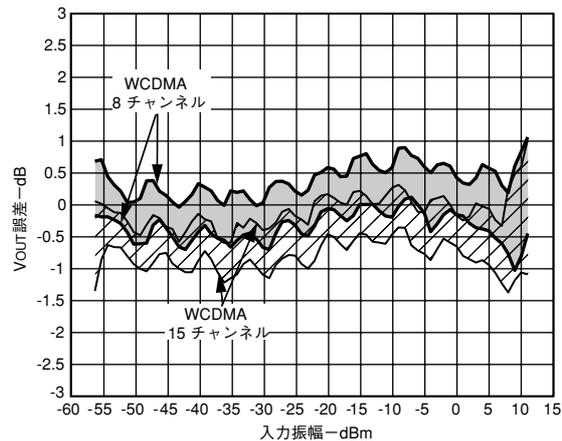
TPC 7. CWリニア・リファレンスからの出力誤差対差動波形入力振幅、CW、IS95逆リンク、WCDMA 8チャンネル、WCDMA 15チャンネル、周波数900MHz



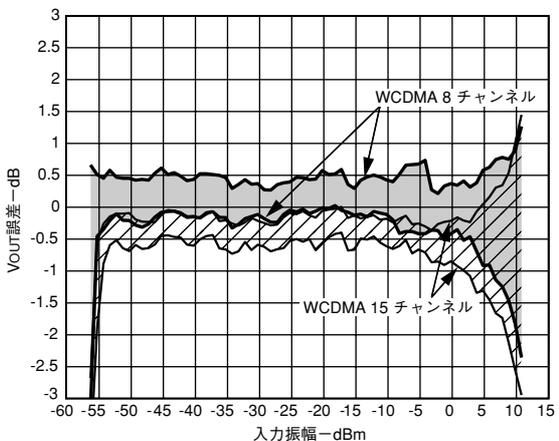
TPC 10. CWリニア・リファレンスからの出力誤差対入力振幅、片側平均値に対する3シグマ、WCDMA 8チャンネル、WCDMA 15チャンネル、周波数1900MHz



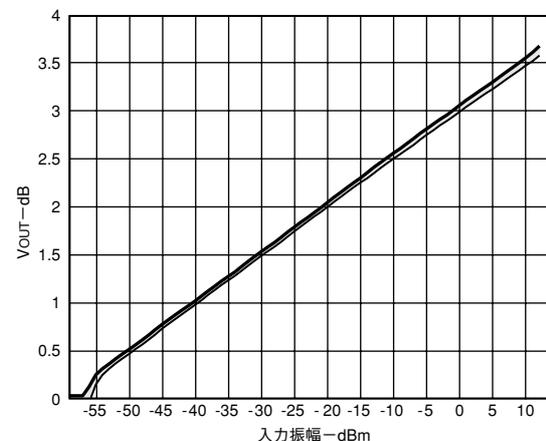
TPC 8. CWリニア・リファレンスからの出力誤差対差動WCDMAチャンネル負荷入力振幅、4チャンネル、8チャンネル、15チャンネル、周波数2200MHz



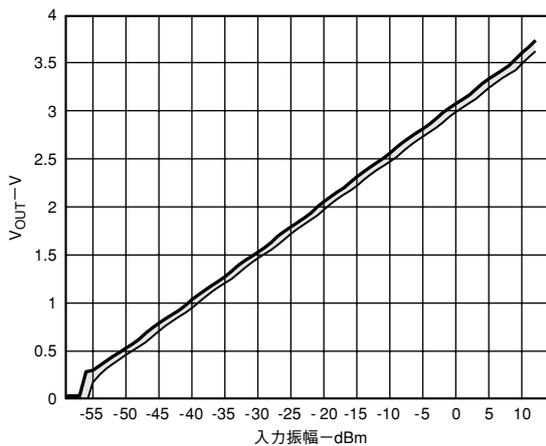
TPC 11. CWリニア・リファレンスからの出力誤差対入力振幅、片側平均値に対する3シグマ、WCDMA 8チャンネル、WCDMA 15チャンネル、周波数2200MHz



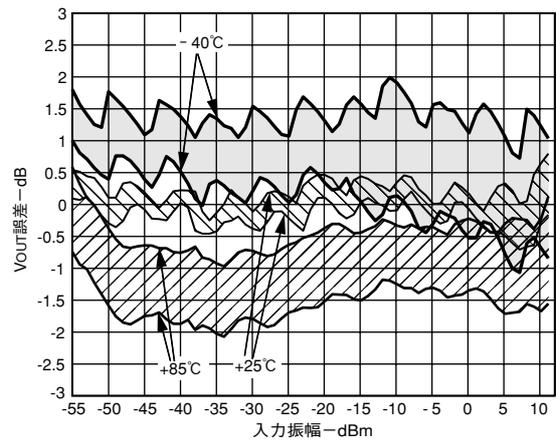
TPC 9. CWリニア・リファレンスからの出力誤差対入力振幅、片側平均値に対する3シグマ、WCDMA 8チャンネル、WCDMA 15チャンネル、周波数1900MHz



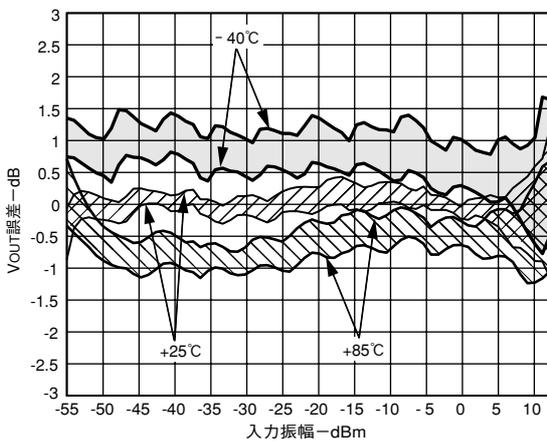
TPC 12. V_{OUT}対入力振幅、片側平均値に対する3シグマ、正弦波、周波数900MHz、パーツ間変動



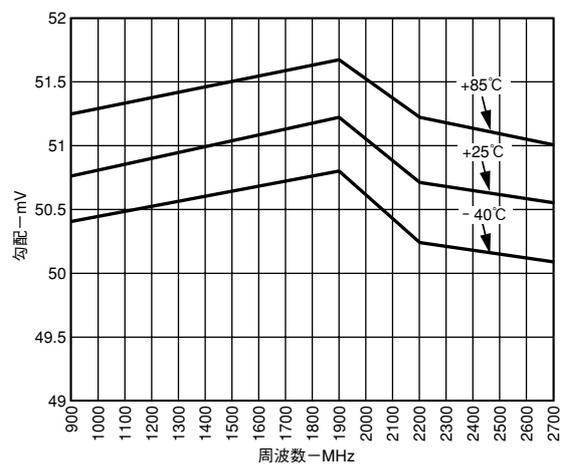
TPC 13. V_{OUT} 対入力振幅、片側平均値に対する3シグマ、正弦波、周波数1900MHz、パーツ間変動



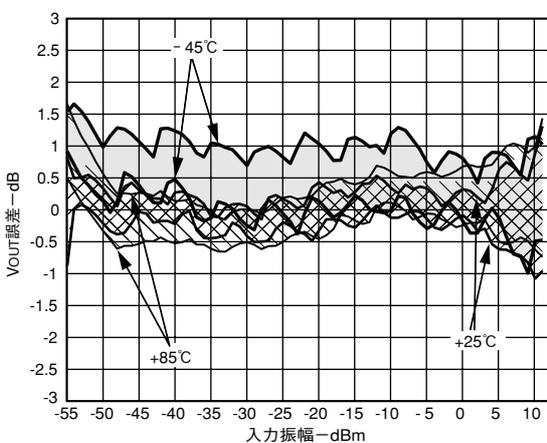
TPC 16. 対数法則適合性対入力振幅、片側平均値に対する3シグマ、正弦波、周波数2200MHz、温度-40°C、+25°Cおよび+85°C



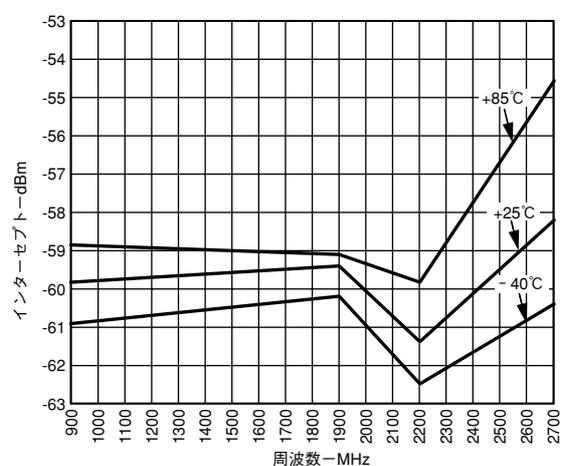
TPC 14. 対数法則適合性対入力振幅、片側平均値に対する3シグマ、正弦波、周波数900MHz、温度-40°C、+25°Cおよび+85°C



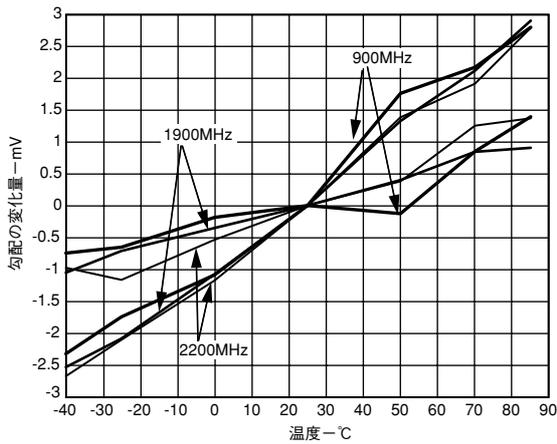
TPC 17. 対数勾配対周波数特性、温度-40°C、+25°Cおよび+85°C



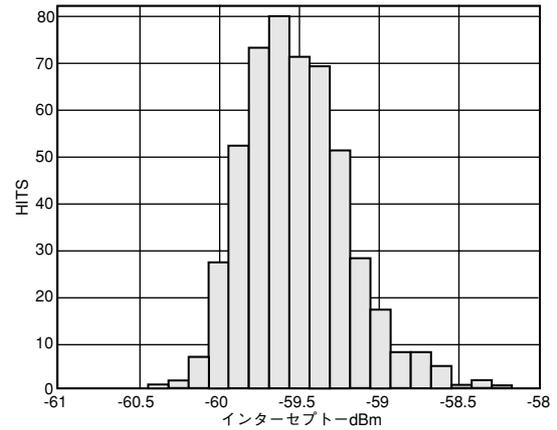
TPC 15. 対数法則適合性対入力振幅、片側平均値に対する3シグマ、正弦波、周波数1900MHz、温度-40°C、+25°Cおよび+85°C



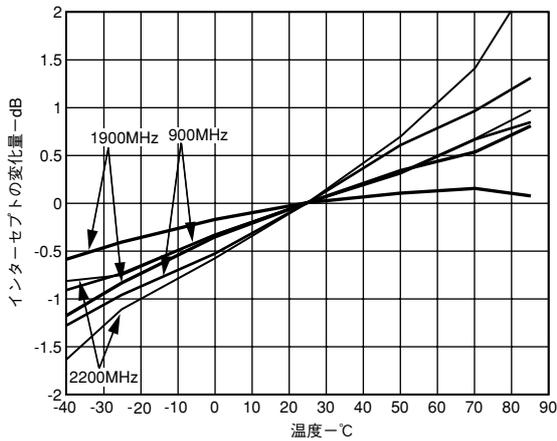
TPC 18. 対数インターセプト対周波数特性、温度-40°C、+25°Cおよび+85°C



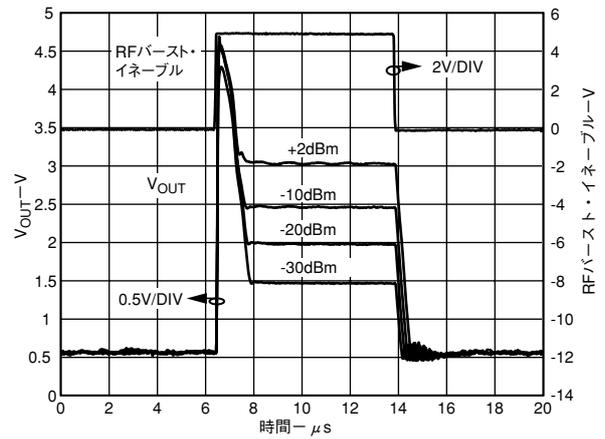
TPC 19. 対数勾配の変化対温度特性、片側平均値に対する3シグマ、周波数900MHz、1900MHz、2200MHz



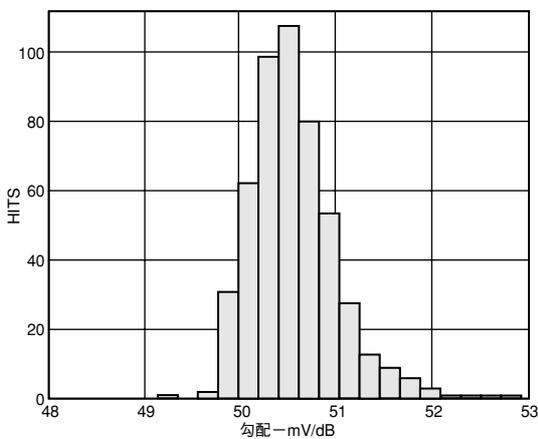
TPC 22. 対数インターセプトの分布、周波数900MHz



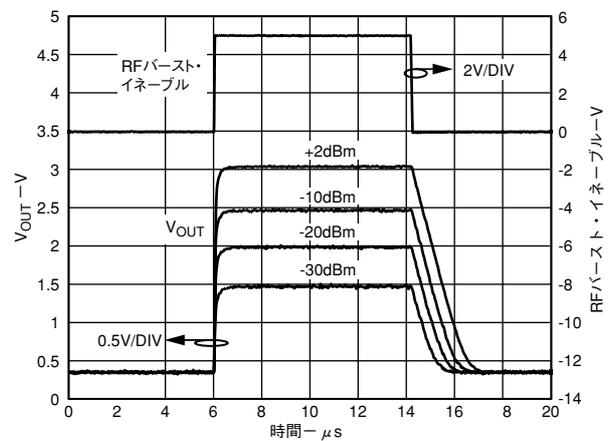
TPC 20. 対数インターセプトの変化対温度特性、片側平均値に対する3シグマ、周波数900MHz、1900MHz、2200MHz



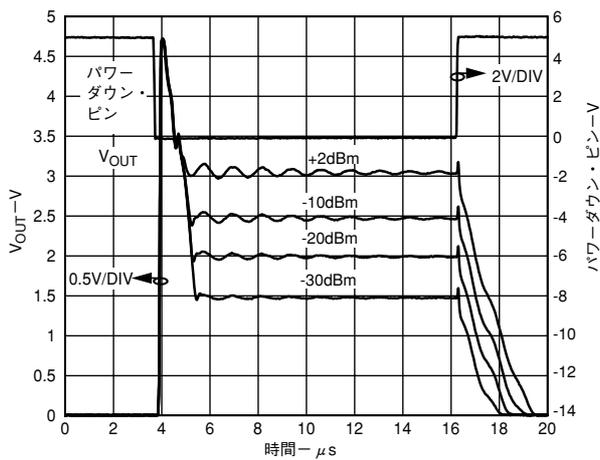
TPC 23. 各種のRF入力レベル時のRFバースト入力に対する出力応答性、キャリア周波数900MHz、 $C_{LPF} = 0$



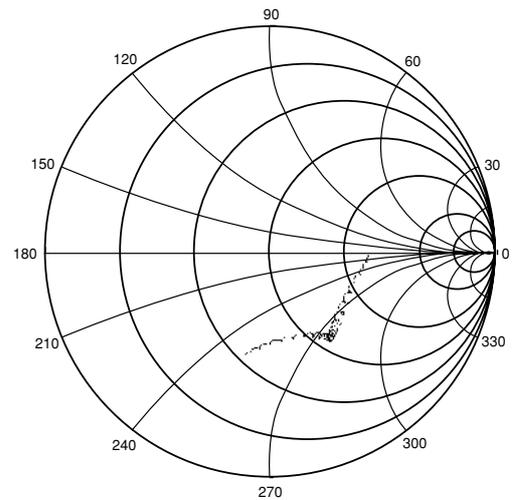
TPC 21. 勾配の分布、周波数900MHz



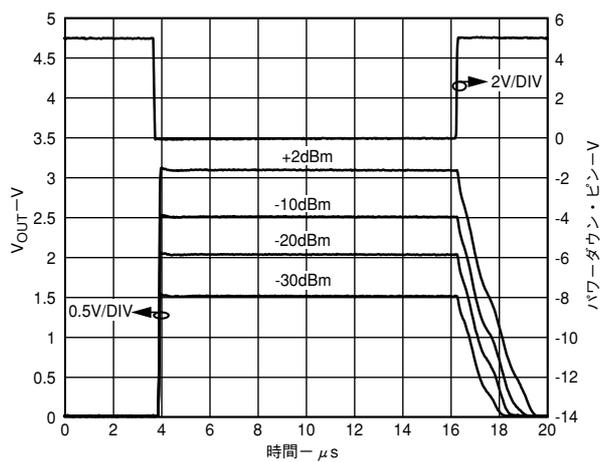
TPC 24. 各種のRF入力レベル時のRFバースト入力に対する出力応答性、キャリア周波数900MHz、 $CLPF = 0.1 \mu F$



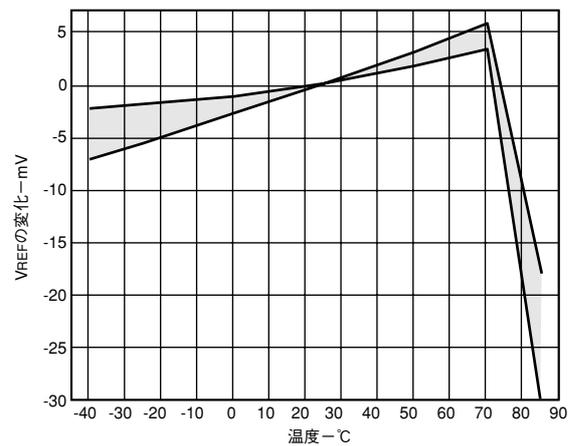
TPC 25. 各種のRF入力レベル時にパワーダウン・モードを使用するときの出力応答性、キャリア周波数900MHz、 $C_{LPF} = 0$



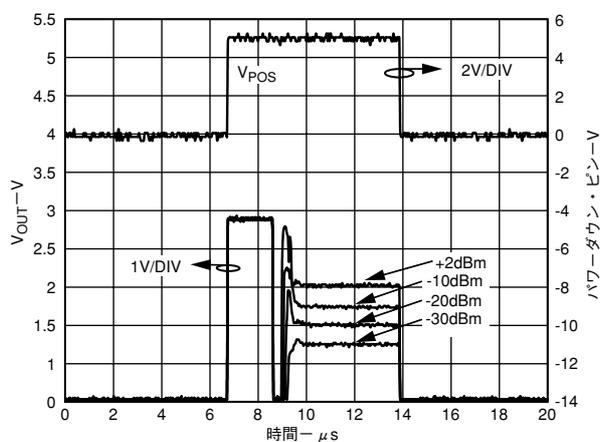
TPC 28. 入力インピーダンス、 $Z_0 = 50 \Omega$ 、差動駆動



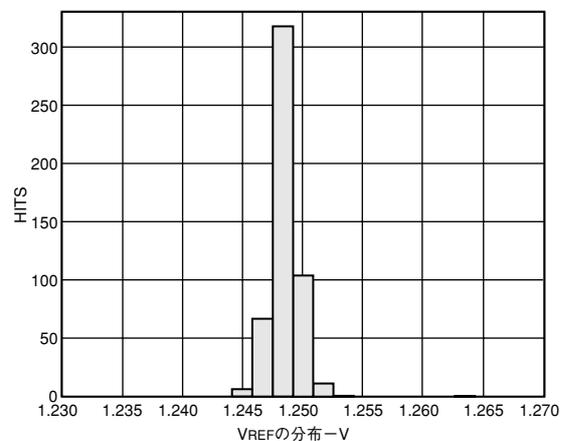
TPC 26. 各種のRF入力レベル時にパワーダウン・モードを使用するときの出力応答性、キャリア周波数900MHz、 $C_{LPF} = 0.1 \mu F$



TPC 29. V_{REF} の変化対温度特性、片側平均値に対する3シグマ



TPC 27. 各種のRF入力レベル時のゲート・オン電源に対する出力応答性、キャリア周波数900MHz、 $C_{LPF} = 0$



TPC 30. V_{REF} の分布

AD8362

特性評価のセットアップ

装置

AD8362特性評価で使用される一般的なハードウェア構成を図1に示します。使用した信号源は、Rohde & Schwarz社のSMI03Bです。1:4のバラン・トランスを使用して、シングルエンドのRF信号を差動信号に変換しました。TPC 23とTPC 24に示す応答性の測定は図2の回路構成を適用し、TPC 25とTPC 26には図3、TPC 27には図4の回路構成をそれぞれ適用しました。

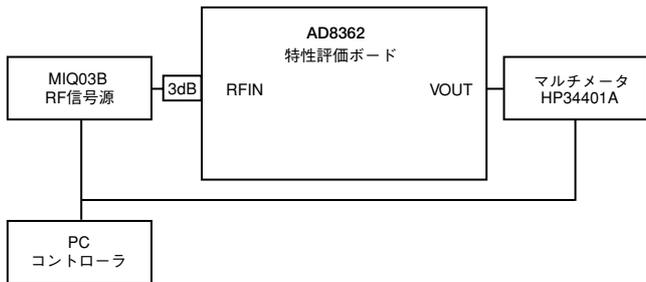


図1. 主要な特性評価セットアップ回路

解析

勾配とインターセプトは、その中心動作レンジで収集されるデータに対して実行されるリニア回帰の係数を利用して導出されます。誤差は2つの形式、すなわちCW波形に対するリニア応答性からの誤差、および25℃時の性能からの出力デルタで規定されます。

CW波形に対するリニア応答性からの誤差は、変換ゲインと出力リファレンスによって定義される理想的な出力からの出力のデシベル偏差です。これは、CW波形と変調波形両方に対するデバイス応答の直線性を測定したものです。dB単位の誤差の計算は、理想的な電圧、すなわち勾配と入力レベルを乗算した値にインターセプトを加算した数値を実際に入力レベルから減算し、これを勾配で除算する方法で行います。CW波形に対するリニア応答性からの誤差は、各デバイスの勾配とインターセプトを使用して計算されるので、絶対精度の測定値ではありません。ただし、これは直線性およびデバイスの応答性への変調の影響を検証します。25℃時の性能からの誤差については、基準として特定デバイスの性能と波形のタイプが使用されます。これは主として、温度変化に伴う出力変動を測定するものです。

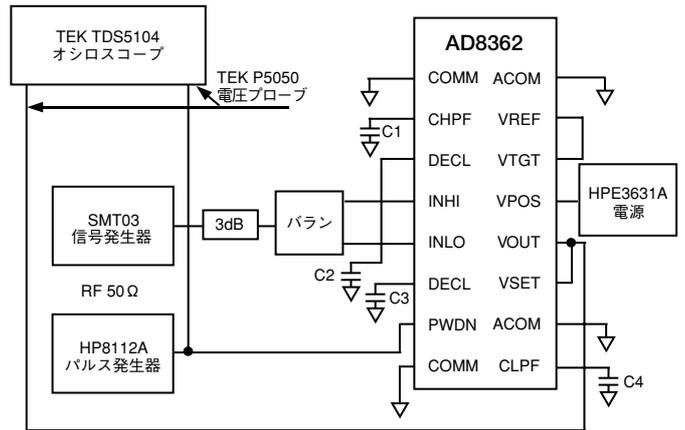


図3. パワーダウン・ステップの応答測定セットアップ回路

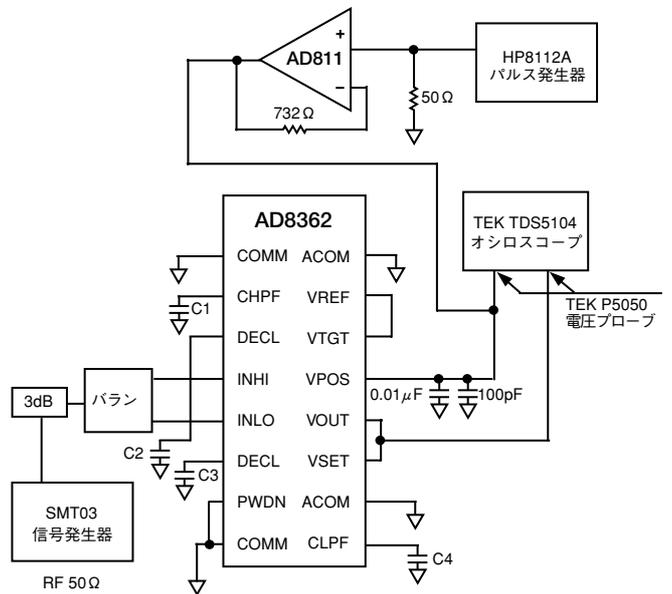


図4. ゲート電源の応答測定セットアップ回路

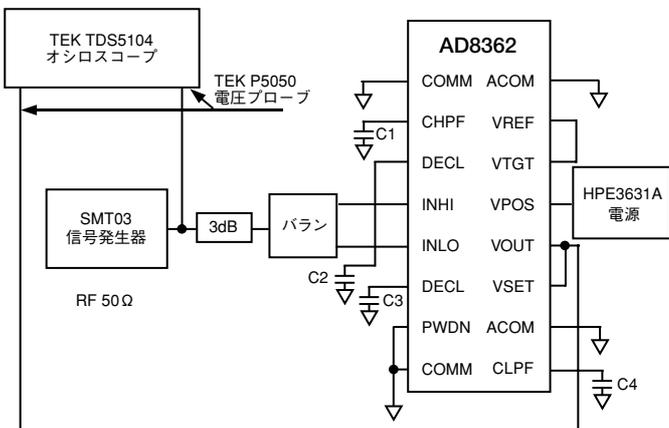


図2. 変調パルスの応答測定セットアップ回路

回路説明

AD8362は、完全にキャリブレーション済みで高精度のrms/dcコンバータです。60dBを超える測定レンジを備えており、わずか数Hzの低周波数から少なくとも2.7GHzまでの信号による動作が可能です。従来型のrms/dcコンバータとは異なり、応答帯域幅が信号振幅に依存することがまったくありません。-3dBポイントは約3.5GHzで発生します。ピーク対rms比(クレスト・ファクタ)の高い信号波形を高精度に測定するデバイスの能力は、幅広い条件レンジで、信号周波数またはその絶対振幅のどちらにも依存していません。

この独自の組み合わせにより、1,000,000:1を超える電力比に対応するキャリブレーション済みのRF電力計、閉ループ・システムの電力コントローラ、または汎用のrms応答電圧計として、さらに、その他数多くの低周波数アプリケーションでも同様に、AD8362を容易に使用できます。

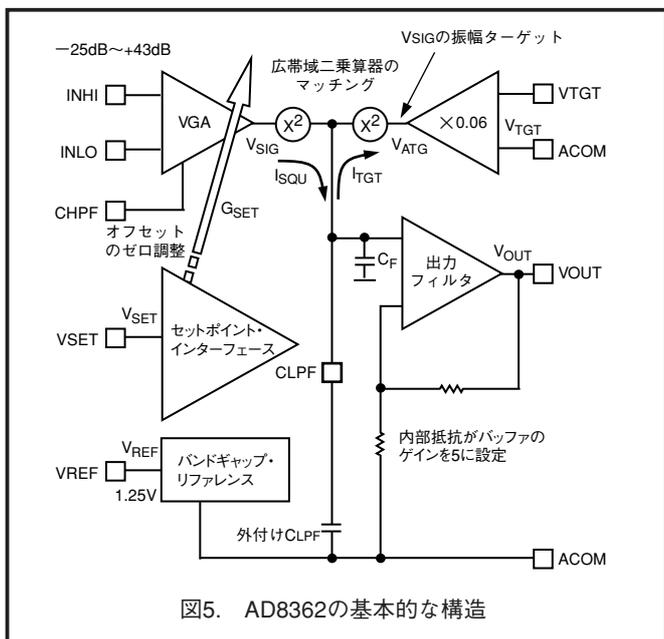


図5. AD8362の基本的な構造

これは本質的に高性能AGCループの中心的要素であり(図5)、製造時に精密な許容レンジにレーザ・トリミングされていると同時に、100MHzのテスト周波数で完全に動作します。そのリニアで広帯域幅の可変ゲイン・アンプ(VGA)は、一般的な電圧ゲイン G_{SET} の設定が可能です。これは V_{SET} 電圧によって-25dB~+43dBの68dBレンジ全域にわたり高精度な指数(dBリニア性)手法で制御されます。ただし、十分な保護周波数帯を確保するため、-21dB~+39dBに相当する中央の60dBレンジのみが一般的に使用されます。この基本レンジを上下にシフトし、さらに80dB以上まで拡張できる方法を後で説明します。VGAゲインの計算式は、以下のとおりです。

$$G_{SET} = G_0 \exp(-V_{SET} / V_{GNS}) \quad (1)$$

ここで、 G_0 は基本的な固定ゲイン、 V_{GNS} はゲインの勾配(1VあたりのdB変動)を定義するスケール電圧です。ゲインは V_{SET} に応じて減少する点に注意してください。VGA出力は、

$$V_{SIG} = G_{SET} V_{IN} = G_0 V_{IN} \exp(V_{SET} / V_{GNS}) \quad (2)$$

ここで、 V_{IN} はAD8362の入力端子に印加されるAC電圧です。

後で詳細に説明するように、入力駆動はシングルエンドまたは差動が可能です。高い周波数で最適な性能が実現されるのは、差動入力駆動を使用する場合に限られます。シングルエンド駆動を使用時の

HF不平衡の影響は、低周波数(つまり、50Hz~500MHz)では比較的顕著になりませんが、そのピーク入力電圧能力は常に差動動作の1/2まで落ちてしまいます(「AD8362の使用方法」を参照)。

二乗検波

可変ゲイン・アンプの出力 V_{SIG} は、広帯域の二乗検波器に加えられます。検波器は、クレスト・ファクタが最大6までの波形には実質的に依存しない、この交流信号に対して真のrms応答を行います。その出力は、正の平均値をもつ変動電流 I_{SQU} です。この電流は、チップ内蔵コンデンサ C_F によって積分されます。これは一般的に、平均化時間を拡張するために外部コンデンサ $CLPF$ によって強化されます。その結果として生成される電圧は、ゲイン5のDC結合アンプによってバッファされます。アンプのレールtoレール出力 V_{OUT} は測定または制御目的に使用できます。

ほとんどのアプリケーションでAGCループは、VGAゲイン制御電圧 V_{SET} が印加されるセットポイント・インターフェース・ピン V_{SET} を介して閉じられます。測定モードでは、単に出力ピン V_{OUT} と V_{SET} の接続によって、この閉動作が直接的およびローカルに行われます。コントローラ・モード時には、より規模の大きいシステムの周囲に帰還経路が設けられますが、その動作は基本的に同じです。

変動電流 I_{SQU} は、電流モードの減算を用いて固定セットポイントのターゲット電流 I_{TGT} に対して平衡化されます。コンデンサによる正確な積分により、以下の条件でAGCループは平衡状態になります。

$$MEAN(I_{SQU}) = I_{TGT} \quad (3)$$

電流 I_{TGT} は、振幅ターゲット電圧 V_{ATG} を入力とする2番目の「基準」二乗セルによって供給されます。これは、 V_{TGT} ピンでこの入力を受け入れる特殊インターフェースに印加される電圧 V_{TGT} のわずか一部分に過ぎません。2個の二乗セルは電気的にまったく同等であり、細心の注意を払ってIC内部に構成されているので、2つの二乗関数の詳細挙動におけるプロセスおよび温度依存の変動はキャンセルされます。

したがって、 V_{TGT} (および、その一部分である V_{ATG})によって、AGCループがセトリングするためにVGAから供給される必要のある出力が決定されます。2個の二乗セルのスケール・パラメータは正確に一致するので、以下の場合に限り、式(3)が満足されることになります。

$$MEAN(V_{SIG}^2) = V_{ATG}^2 \quad (4)$$

正式な解式では、両側から二乗根を求めた上で、実効(rms)値として明確な数値を得ます。ただし、VGAのゲインを変更することでこの同一性を強制し、コンデンサで形成されるフィルタによって平均値を求めることにより、システムは本来的に以下の関係を確立することが明白です。

$$rms(V_{SIG}) = V_{ATG} \quad (5)$$

式2から V_{SIG} の値を代入すると、以下の式が展開されます。

$$rms[G_0 V_{IN} \exp(-V_{SET} / V_{GNS})] = V_{ATG} \quad (6)$$

測定デバイスとして V_{IN} は未知の値ですが、その他のパラメータはすべて設計によって固定させることが可能です。式(6)を解くと、

$$rms[G_0 V_{IN} / V_{ATG}] = \exp(V_{SET} / V_{GNS}) \quad (7)$$

したがって、

$$V_{SET} = V_{GNS} \log[rms(V_{IN}) / V_{ATG}] \quad (8)$$

AD8362

$rms(V_{IN}) = V_Z$ のときに V_{SET} はゼロであることが必要なので、 $V_Z = V_{ATG}/G_O$ に相当する数値はインターセプト電圧として定義されます。

測定デバイスとして接続するときには、バッファの出力が V_{SET} に直接接続され、これによってAGCループが閉じます。デシベル変換で必要に応じて $V_{OUT} = V_{SET}$ の置換を行い、対数の底を10に変更すると、

$$V_{OUT} = V_{SLP} \log_{10} \left[rms(V_{IN}) / V_Z \right] \quad (9)$$

ここで、 V_{SLP} は勾配電圧、すなわち入力振幅の各変化ダイケードに対する出力電圧の変動値です ($V_{SLP} = V_{GNS} \log(10) = 2.303 V_{GNS}$ に変形される点に注意してください)。AD8362では、 V_{SLP} は100MHzのテスト信号を使用して1Vにレーザ・トリミングされています。1ダイケードは20dBに相当するので、この勾配は50mV/dBとして示すこともできます。 V_{SLP} の実効値を変更する方法を、後で説明します。

インターセプト V_Z も同様に、316 μ V (-70dBV)にレーザ・トリミングされています。理想的なシステムでは、 V_{OUT} はその値のrms入力に対してゼロ・クロスします。単電源で関数を実行する場合には、グラウンドまでの低い電位で V_{OUT} を動作させることは不可能であり、 V_Z は外挿値になります。測定モードでは出力は、 $V_{IN} = 1mV$ の時の0.5Vから(入力をrms値、出力をDC値として表す)、それよりも60dB \times 50mV/dB = 3V高い、 $V_{IN} = 1V$ 時の電圧、つまり3.5Vまでのレンジとなります。AD8362でスケールされた式9の理想的な関数特性を図6に示します。

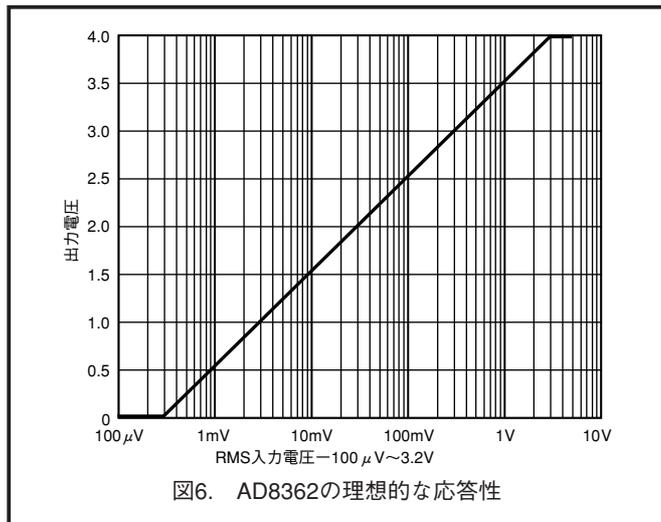


図6. AD8362の理想的な応答性

インターセプト値に対する入力結合の影響

結合損失による V_{IN} の低下は、 V_Z に直接的な影響を与えます。高周波数アプリケーションでは、ボードやパッケージの共振と減衰を含むいくつかの要因によって、IC内部で信号源結合が発生します。入力インピーダンスに不確実性が存在すると、電力項で表されるインターセプトになります。すなわち、50 Ω システムの場合で公称-57dBmとなり、これはdBV(つまり、純粋な電圧)項で示す場合よりも低い精度で決定されます。これに対して、勾配電圧 V_{SLP} はこのようなインピーダンスまたは結合の不確実性による影響をまったく受けません。

オフセットの除去

可変ゲイン・アンプで発生する微小なDCオフセットに対処するため、オフセット・ゼロ調整ループが使用されます。このループのハイパス・コーナー周波数は、ほとんどのHFアプリケーションに効果的のように、十分に低い1MHzに内部プリセットされています。AD8362をLFアプリケーションで使用する際には、必要に応じて公称値200 μ F/HzのコンデンサをCHPFピンとグラウンド間に追加接続することで低くすることが可能です。たと

えば、ハイパス・コーナー周波数を150Hzに下げるには、0.33 μ Fのコンデンサが必要です。オフセット電圧はVGAの実際の動作ゲイン、すなわち入力信号振幅に依存して変動します。

この種の基線変動はすべてのVGAに共通して見られますが、AD8362はその実装方式によってそれかもっと明確で、オフセットは6.33dBの周期をもつゲイン軸に沿ってリップルします。 C_{HPF} として極端に大きい値を使用すると、VGAのゲインを迅速に変更するときに、オフセット補正プロセスによってこれが遅れる結果になり、ある一定の入力振幅に対してループが完全にセトリングするまでに要する時間が長くなってしまいます。

電圧キャリブレーション対電力キャリブレーション

任意の低周波数からマイクロ波周波数までに対応する高精度rms電圧計としてAD8362を使用できます。低周波数動作の場合、入力は一時的にV rms、またはdBV(1V rmsに対応するデシベル値)の単位で規定されます。差動駆動時は、dBV単位の規定入力は-60dBV~0dBV(1mV~1V rms)のレンジになります。これらの項で表されるインターセプト値は-70dBVです。

高周波数時には、一般的に信号レベルは電力項で規定されます。この状況では、信号源および終端インピーダンスが全体的なスケールにとって不可欠な要素となります。AD8362の入力インピーダンスを50 Ω に設定するには、内部の200 Ω 差動入力インピーダンスの間に66.7 Ω の抵抗を追加する必要があります。(これについては、後で詳述します)この条件のときに、インターセプトは-57dBmの(nominal)電力レベルで発生し、 V_{OUT} は以下の式で表すことができます。

$$V_{OUT} = (P_{IN} + 57) \times 50 \text{ mV} / \text{dB} \quad (10)$$

ここで、 P_{IN} の単位はdBmです。たとえば、入力を-30dBmとすると、出力は1.35Vになります。

信号波形の影響

rms応答デバイスの測定精度は、入力信号波形の影響を受けないことが理想的です。これは、広帯域CDMAシステムおよび、ベースバンド周波数でRFキャリア振幅に非常に大きいランダム変動が発生する、その他数多くの変調モードなどに、非常に効果的な特性です。このようなケースに対応するAD8362の高い精度が、性能特性曲線と仕様のページに記載されています。低周波数時には、システム特有の変調モードとしてではなく、クレスト・ファクタ σ の関数として波形の影響による測定誤差を仕様として規定することが通例である点に注意してください。

波形が高いにもかかわらずピーク値の小さい(すなわち、クレスト・ファクタの高い)信号を測定する場合には、これらのピークが削除されるため、被測定入力の見掛けの値が小さくなる場合があります。この問題については、入力システムの詳細な説明と関連して後で詳述します。

低周波数時の動作

ジャンクション技術をベースとする従来型のrms/dcコンバータでは、実質的な信号帯域幅は信号振幅に比例します。1MHzのrms/dcコンバータの場合、これはフルスケール帯域幅に相当します。ただし、フルスケールよりも60dB低い入力の場合には、帯域幅は1kHzまで低くなる可能性があります。これとは対照的に、AD8362のVGAの3.5GHz帯域幅はそのゲインと無関係です。このアンプは内部でDC結合されているので、システムを低周波数用の高精度rms電圧計として使用することも可能であり、たとえば地震、オーディオ、ソナー計装などで温度安定性の高いデシベル・スケール出力が保持されます。

このようなケースでは、測定に含む必要がある信号の最小周波数成分の減衰が最低限に抑えられるように、十分に大きい容量の入力結合コンデンサを使用する必要があります。たとえば、1.5kHz時で3dBの減衰の場合には、 $1\mu\text{F}$ のコンデンサが必要です。その理由は、各入力ピンの入力抵抗値が 100Ω で(差動では 200Ω)、 $1/(2\pi \times 1.5\text{k}\Omega \times 100) = 1\mu\text{F}$ の計算を適用するためです。さらに、VGAのハイパス・コーナー周波数を低くするには、 $200\mu\text{F}/\text{Hz}$ のコンデンサをCHPFピンとグラウンド間に接続します。同様に1.5kHzのハイパス・コーナー周波数を確保するには、 33nF のコンデンサを使用することが必要です。

閉ループの時間領域応答性

二乗セルの出力に外付けするローパス平均化コンデンサ C_{LPF} は、変動する検出信号が十分にフィルタリングされるように選択します。最適値はアプリケーションに応じて異なりますが、ガイドラインとして約 $900\text{nF}/\text{Hz}$ の数値を推奨します。たとえば、容量を $5\mu\text{F}$ にすると、最低で 180Hz までの十分なフィルタリングが可能です。正弦波入力でも動作する二乗セルの準DC出力の変動は、信号周波数の2倍で二乗余弦関数となるので、このフィルタリング機能が容易になる点に注目してください。

測定モードの標準接続では、VSETピンを V_{OUT} に接続します。入力振幅の変動が小さい場合(わずかに数デシベル)、このループの時間領域応答性は本質的にリニアで、 3dB ローパス・コーナー周波数の公称値は $f_{\text{LP}} = 1/(C_{\text{LPF}} \times 1.1\text{k}\Omega)$ です。このローカル・ループ周辺の内部遅延により、このコンデンサの最小推奨値は約 300pF に設定されるので、 $f_{\text{LP}} = 3\text{MHz}$ になります。

入力振幅の変化が大きく急激な場合には、ループ応答性がノン・リニアになり、スルーレートの制限が見られます。さらに、AD8362で採用されているようなトランスコンダクタンス二乗セルを使用するシステムの基本特性によって、入力の増減によるスルーレートが非対称性になります。図7には、 $C_{\text{LPF}} = 1\text{nF}$ を使用するときの3つの V_{IN} 値に対する V_{OUT} の代表的な信号波形を示します。

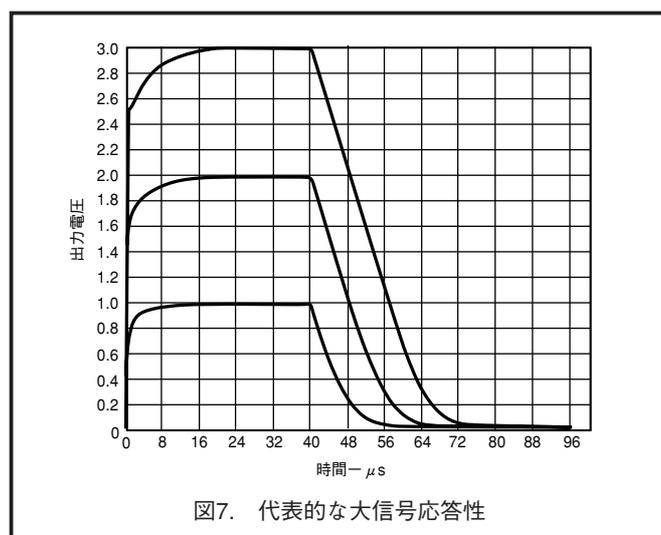


図7. 代表的な大信号応答性

スルーレートの制限を数量化するうえで最も満足のいく方法は、二乗セルによって発生するピーク電流を考慮することです。入力レベルが迅速に増加するとき積分(ループ・フィルタ)コンデンサ C_{LPF} に流れ込むピーク電流は、約 2.5mA です。実際の値は、ステップのサイズやチップの極限温度を含むいくつかの要因によって異なります。したがって、 1nF コンデンサを通過する電圧は、公称値 $2.5\text{V}/\mu\text{s}$ の割合で増加します。出力バッファのゲインが5なので、出力のスルーレートは $12.5\text{V}/\mu\text{s}$ になります。このピーク・レートは最終値よりも 10dB 低いポイントまで持続し、それ以降の応答性は上述のように、リニア・システムの応答性に徐々に収束します。

これに対して、入力レベルが迅速に減少するときには、 C_{LPF} のピーク電流が反対(放電)方向で大幅に低下します(約 $25\mu\text{A}$)。そのため、下降方向の V_{OUT} のスルーレートは $C_{\text{LPF}} = 1\text{nF}$ 時にわずか約 $0.125\text{V}/\mu\text{s}$ となります。3Vレンジ(入力の 60dB 減衰)の全域で放電を行うには、約 $24\mu\text{s}$ の時間が必要です。これらの数値は、図7に示した結果から検証されます。

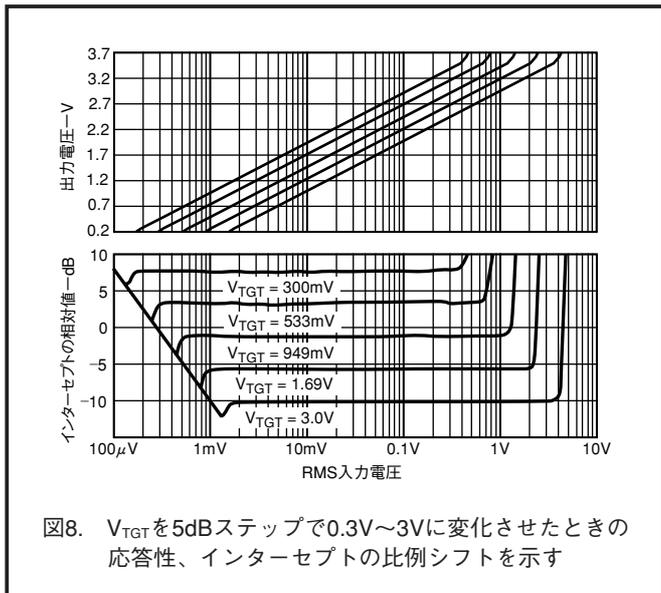
内部ターゲット電圧の変更

AD8362には、その汎用性を拡張する機能がいくつか内蔵されています。その1つは、「ターゲット」電圧を変更する能力です。すでに説明したように、VGAの出力は基準二乗セルに印加される内部バイアス電圧($V_{\text{STP}} = 0.06 \times V_{\text{TGT}}$)によって設定される値に強制されます。VTGTをVREFピンの 1.25V リファレンス電圧に接続することによって、通常これは 75mV DC に設定されます。ただし、これをオプションで 0V から $\pm 0.24\text{V}$ (VTGTでは $\pm 4\text{V}$)までのレンジ内で変化させることが可能です。この入力の符号は、内部で二乗されるので重要ではない点に注意してください。

V_{SPF} を小さくすると、マッチングのとれた2個の二乗セルの出力電流を平衡化するために必要なVGAの出力も同様に低下します。これにより、インターセプトが正確に同じ比率で低減されます。したがって、VTGTピンに印加される電圧を半分にすることによってセットポイント・ターゲット電圧を半減すると、インターセプトは 6.02dB だけ左側(入力レベルの小さい方)に移動します。その結果として、測定システムの感度は実質的に2倍になります。

さらに、二乗セルの駆動に必要な信号振幅が半減されるので、VGAの出力段のダイナミック余裕度(クリッピング前)が2倍に増加し、2倍の大きさのクレスト・ファクタを持つ信号波形を取り扱うことが可能になります。図8には、VTGT = 0.3V、0.533V、0.949V、1.687V、3.0Vの例を示した数値に対する全体的な応答性を示します。通常これは固定されたDC電圧ですが、時間変化のユニポーラまたはバイポーラ電圧とする 것도可能です。ただし、この場合には動作全体が非常に複雑になります。たとえば、 V_{TGT} を V_{OUT} から引き出すと、 80dB 以上までダイナミックレンジを拡張できます。このような方法によるこの機能の使用例を後で紹介します。

AD8362



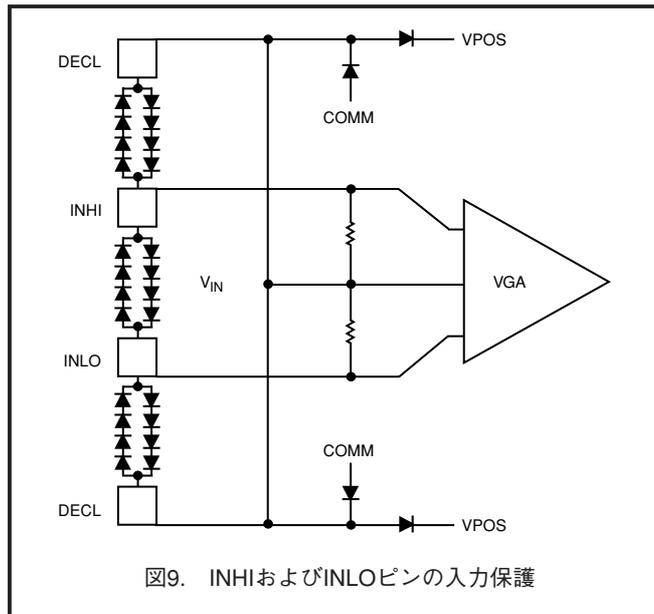
ダイナミックレンジの上限と下限における影響

すべてのAGCループでは入力値の最小値と最大値が制限されており、これを超えると、システムは正しく応答することができません。ただし、良好に動作しているシステムの出力は、測定異常を回避しようとする方法によって誤差が発生します。入力値がその最小能力よりも低い場合、出力が方向を変えて、もっと高い入力値を誤って示すことがあってはいけません。入力値がその最大能力を超える場合には、出力が折り返って、もっと低い値に戻ることがあってはなりません。

このような条件下でのAD8362の実際の動作特性は、図8に示す一連のプロットで確認することが可能で、下側のプロット図は勾配を50mV/dBとする理想的な応答性からの偏差を示しています。VGAが最大ゲインで動作するポイントに該当する特定のレベルよりも入力値が低い場合には、その出力は V_{TGT} によって設定されたrms振幅ターゲットに適合する能力を失ってしまうので、必要なゲインを追加するために、出力はその最小値の方向に急速に移動します。 V_{TGT} が変化すると、これに対応する限界電圧は左右いずれかの方向に移動します。

これに対して、入力値が特定の上限を超えて、VGAのゲインが最小ゲインに駆動されている場合には、入力値がさらに増大すると、その出力はループの平衡化に必要なターゲット電圧を大きく上回るようになります。その結果として、内部誤差信号が積分され、 V_{OUT} が急激に上昇することになります。いずれの場合も、この出力は安全な値をとり、どのような条件下でも折り返されることはありません。

ダイナミックレンジ、つまりこれらの限界値間の「dB距離」は、基本的に V_{TGT} に依存しません。図8のプロットの真中の特性曲線($V_{TGT} = 0.949V$)は、0.5mV~1.5Vのレンジで $\pm 1\%$ 誤差ポイント間に直線を引いたもので、ダイナミックレンジは68dBを多少越えています。これ以外の V_{TGT} 値は、この基本的な68dBレンジが左右いずれかの方向に移動しているに過ぎません。



入力保護

耐性の優れたすべてのICと同様に、AD8362では入力の高電圧トランジェントに対する入力保護(ESD)が必要ですが、この目的のために一般的に採用される技法、つまり入力ピンのINHIとINLOから電源ピンのVPOSとCOMMの間にブレークダウン・ダイオードを接続する技法をここでは利用することができません。その理由は、このダイオードの容量にフィードスルーが発生するので、周波数レンジの上限で内部ノードに過度の信号結合が引き起こされるリスクが高くなるためです。パッケージのインダクタンスが原因で、電源およびコモン・ラインを含むすべての内部ノードで大きなインピーダンスが外部グラウンド・プレーンに帰還します。ノードで発生する妨害が微小でも、異常動作が引き起こされることがあります。

AD8362のVGAのメイン・アンプ(最新のX-AMP®)はすべての条件下でフル・ゲインで動作しますが、信号入力は不定に減衰されるので、このリスクが特に明確になります。この減衰量は最高で70dBまで到達することがあるので、0.5GHz~3GHzのレンジでの非常に小さなフィードスルーでも、測定精度に顕著な影響を及ぼす可能性があります。

使用される保護方式を図9に示します。この回路では、背向式ペアで構成される複数個のダイオードを使用し、入力ピン上の2本のDECLピンにクランプすることで電圧振幅を制限します。この2本のDECLピンは、2本の外部コンデンサ経由で個別にグラウンド接続される減衰器に対してロー・インピーダンスのコモンACノードを形成します。そのため、これらのダイオード容量のHF電流は信号のゼロ・ポイントに直接シャントされます。

この方式の避けられない結果として、入力振幅が十分なレベルのときにダイオードが順方向に伝導する点が挙げられます。もちろん、絶対的な影響ではありませんが、信号の増加に従ってダイオードは入力を徐々にシャントします。これらのダイオードの順方向降下電圧が最小となる高温時に、この伝導が最も強くなります。全体的な結果として、程度に多少の違いはありますが、高い振幅ピークがクランプされます。これに伴い、信号波形のクレスト・ファクタが常に高くなるダイナミックレンジの上限で測定精度に悪影響が出ます。当然ながら、これらの影響は全体の性能仕様に含まれています。

パワー・イネーブル応答時間

27°CにおけるAD8362の動作およびスタンバイ電流は、24mAおよび275 μ Aです。パワーダウン・モードは、PWDNピンをロジックHIにすることで起動されます。シャットダウン機能使用時、このピンをロジックLOに設定すると、比較的迅速に通常の動作状態に復帰します。

ミッドスケール信号 ($V_{IN} = 50\text{mV}$)の代表的な応答時間を図10に示します。定常状態値の0.1dB以内に対する出力立ち上がり時間は約20 μ sです。リファレンス電圧はもっと大幅に短い時間でその最高精度まで到達できます。この「ウェークアップ」応答性は、入力結合手段とコンデンサ C_{DEC} 、 C_{HPF} 、 C_{LPF} の容量に応じて細部が変動します。以下の結果は、0.8GHz~2GHzのレンジで測定システムを動作し、入力ポートでバラン結合を行い、また $C_{DEC} = 1\text{nF}$ 、 $C_{HPF} = 0$ 、 $C_{LPF} = 1\text{nF}$ の条件で得られたものです。

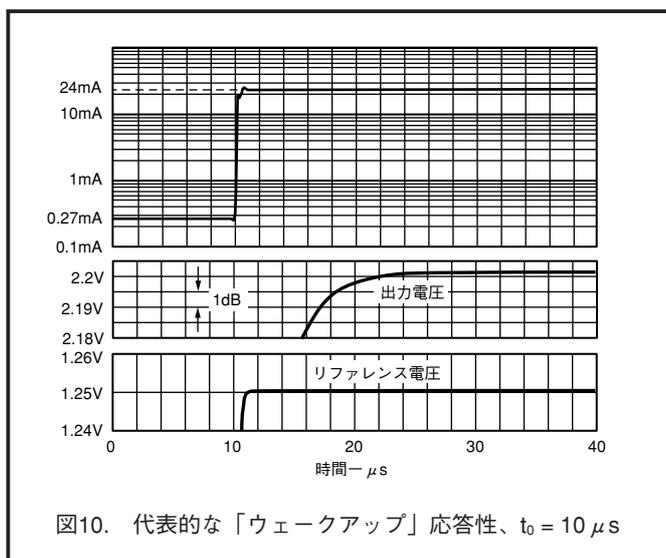


図10. 代表的な「ウェークアップ」応答性、 $t_0 = 10 \mu\text{s}$

AD8362の使用方法

AD8362の動作には公称値5Vの単電源が必要で、規定仕様の適用レンジである $\pm 10\%$ までの変動による影響を、その性能は本質的に受けません。最低で2.7Vまでの電源を使用できますが、その際には高入力時および極限温度時の性能が多少劣化します。

PWDNピンをロジックHIにすることで、AD8362はディスエーブルに設定されますが、このピンを直接グラウンドに接続すると、27°C時の電源電流が公称値24mAのときに、電源電圧とは無関係に連続動作を行うようにすることが可能です。PWDNピンをロジックLOに設定してパワーダウン状態にすると、電源電流は約275 μ Aまで低減されます。

基本的な接続

図11に示すデカップリング・ネットワークを使用して、電源はVPOSピンに接続されます。この回路で使用されるコンデンサは、入力周波数レンジの全域でロー・インピーダンスを維持する必要があり、VPOSピンに可能な限り近接して配置します。共振周波数の異なる2本の別個のコンデンサを並列に接続し、回路全体のインピーダンスを低減します。ただし、高周波数信号経路は関連する入力ピンに閉じ込められるので、測定精度が電源のデカップリングに大きく依存することはありません。INHIおよびINLOの配線リード長、両方のDECLピンからグラウンド間に接続するデカップリング用コンデンサ、およびCOMMからグラウンド・プレーンまでの接続を可能な限り短い配線とすることが、もっと重要です。

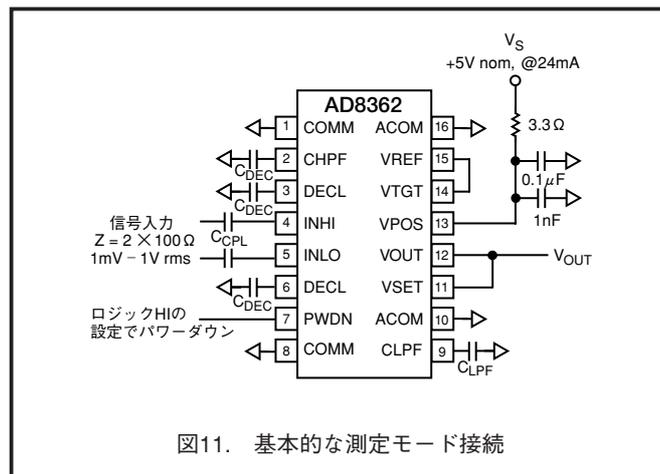


図11. 基本的な測定モード接続

主要な動作モード

AD8362では、測定モードとコントローラ・モードの両方が可能です。「RMS電圧計」モードとも呼ばれる測定モードの代表的な接続を図11に示します。この出力 V_{OUT} は、入力信号のrms振幅の対数値に比例します(すなわち、「dBリニア」応答)。正確に既知のシステム・インピーダンスで出力が使用される場合(ただし、そのときのみ)、出力は入力電圧によって表されるパワーのスケールリングdB測定値になります。

コンデンサ C_{CPL} 、 C_{DEC} 、 C_{HPF} 、 C_{LPF} の容量の選択は、測定スペクトルの中に含まれる最小周波数に依存します。図に示すデフォルト値は、最低で100Hzまでの動作をサポートします。この低い入力周波数で十分なフィルタリングを保証できるもっと大容量の C_{LPF} (10 μ F)を使用すると、応答時間はダイナミックレンジのほとんど全域で約20msになります。高周波数アプリケーションでは、このコンデンサの容量はもっと小さくなり、通常は良好な大信号応答性と一致して応答時間を最小化するように選択されます。この図では、ハイパス・コーナー周波数を約90Hzに低減するために、10 μ Fの C_{HPF} も使用しています。ただし、ハイパス・コーナー周波数の内部設定値が約2MHzであるため、ほとんどのHFアプリケーションではここにコンデンサを接続する必要はありません。

ここで図12に示すコントローラ・モードを簡単に比較すると、AD8362の使用目的は可変ゲイン(または可変出力パワー)信号処理素子(ほとんどの場合はパワー・アンプ)の出力をモニターし、VSETの制御によって、その出力を目的のターゲット値(セットポイント)に調整することです。このモードでは、機能はRFコンパレータと多少似通っています。VOUTからVSETまでの経路が切断されている場合、入力はその対応するセットポイントよりも大きいと、 V_{OUT} は増加してその最大値(大まかに見るとロジックHIと考えられる)まで近づきます。入力がセットポイントよりも小さい場合、コントローラの出力はグラウンドに近いレベル(ロジックLO)まで低下します。AD8362を単に閾値検出器として使用する場合には、このような見方が役立ちますが、大部分のアプリケーションでは、これは過度に簡略化されたものになります。VOUTとVSET間を接続するローカルな方法(測定モードの場合)、または何らかのノン・リニア素子を外付けするグローバルな方法(コントローラ・モードの場合)によって、AD8362は常に制御ループを閉じた状態で動作します。

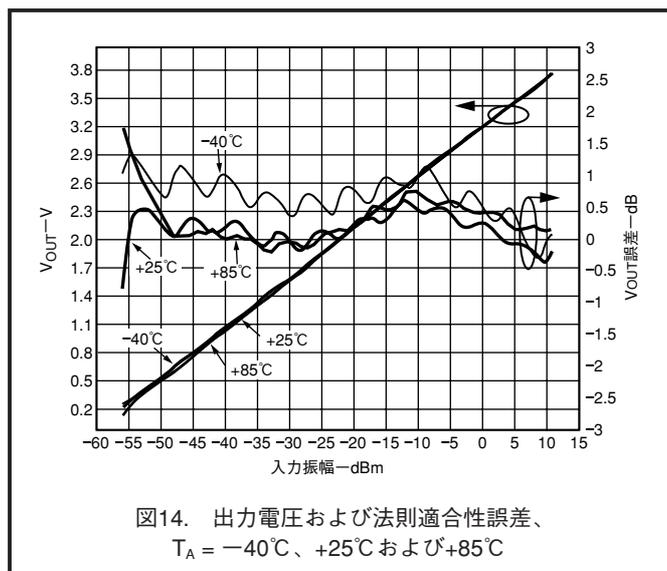
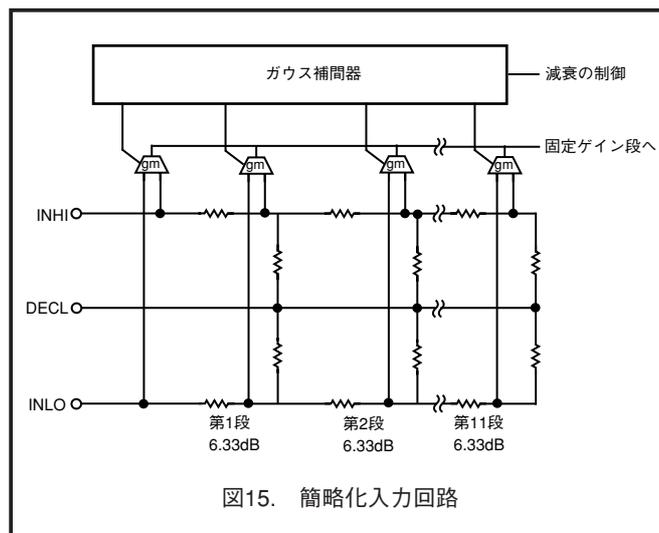


図14には、全入力レンジに対する図13の回路の出力を示します。理想的関数(法則適合性)との一致性も図示しています。この測定は、 25°C 時のデータについて伝達関数の中央部分(35mV~250mV rms)のデータ・ポイントをリニア回帰することによって実施しました。次に、実際の出力から各入力信号レベルの理想的な出力電圧を減算し、この数値を回帰式の勾配平均値で除算する方法で $+25^\circ\text{C}$ 、 -40°C および $+85^\circ\text{C}$ 時の誤差を計算し、デシベル単位(図14の右側軸でスケール)の誤差測定を行いました。

この方法で作成された誤差曲線によって、公称温度時の理想的な伝達関数からの偏差だけでなく、温度変化に起因する追加誤差のすべても明確になります。インターセプト(誤差プロットの垂直位置)にわずかな温度依存性が見られる点に注意してください。この変動は、ハイ・パワー一時で0.5dB以内です。

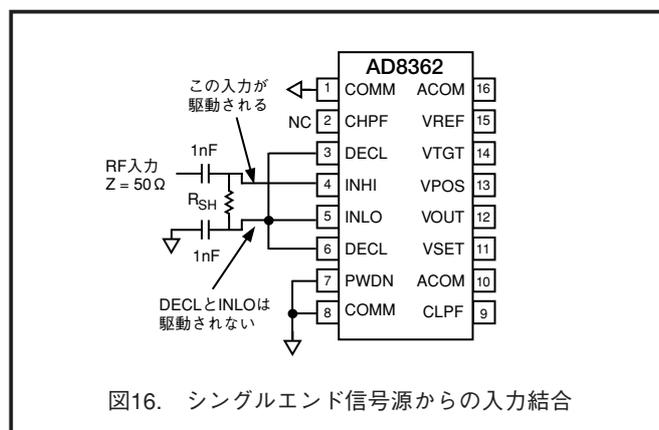
図14ではさらに、適合性曲線に周期的なリップルが存在することが確認されます。これは、離散したタップ・ポイントだけでなく、その間の任意の場所で減衰器からの信号を選択するために利用される補間技法に伴って発生するので、連続的な減衰値が得られます。その後で、AD8362の残りのVGA段に配置される3.5GHz、40dBの固定ゲイン・アンプに選択信号を加えます。

AD8362の信号入力部の概略回路図を図15に示します。ラダー減衰器は11個のセクション(12タップ)で構成され、この各セクションが入力信号を連続的に6.33dBずつ減衰します。各タップは可変トランスコンダクタンス・セルに接続され、このバイアス電流によってそのタップに加えられる信号のウェイトが決まります。補間器は、それぞれがガウス特性を備えた個別のバイアス電流のセットを発生することによって、どの段がアクティブであるかを判別します。これらは左から右に移動するように設定されており、 V_{SET} 入力の制御によって69.3dBレンジでゲインが連続的に低下するときに、入力信号に加えられる減衰量が決定されます。「仮想タップ・ポイント」が減衰器に沿って移動するときに、隣接段のトランスコンダクタンスが変動する詳細な方法によって、適合性曲線で観察されるリップルが引き起こされます。その大きさには多少の温度依存性がありますが、周波数の変化によっても変動します(TPC 3~5を参照)。INHIおよびINLOの信号入力に対するシステムの応答性は、完全に独立したものではありません。これらのピンは、完全に浮動の差動入力を構成しません。



入力結合の代替手段

AD8362の入力段は完全に平衡化された信号源から最適に駆動されるので、可能な限りこのような信号源を用意してください。減衰器の両側の半分のACロー・サイドがDECLピンに接続されるため、これがINHIとINLOの両方のRF信号ロー端子になります。多くのケースで、不平衡の信号源をこれらの2本のピンのいずれかに直接加えることができます。この駆動方式の主な欠点はダイナミックレンジが低減されることで、特に非常に高い周波数時に顕著です。



AD8362に信号源を結合する多くの方法の1つを、図16に示します。入力ピンは約3.6V($V_S = 5\text{V}$ の場合)にバイアスされるので、グラウンドに接続された信号源から駆動する際にはDC阻止コンデンサが必要です。信号周波数が5MHzを超える場合には、1nFの容量で十分です。INHIまたはINLOのいずれかを使用する場合、ここではINHIを選択し、INLOは信号源のロー・サイドに接続します。100Ωの終端抵抗が受け入れ可能な場合には、抵抗 R_{SH} は必要ありません。これに対応するインターセプトは -67dBV 、すなわち $447\mu\text{V rms}$ を維持します。ただし、100Ωに対して電力項で規定する場合には、 P_Z は2nW、つまり -57dBm になります。

信号源の終端抵抗が50Ωの場合には、INHIとDECL間の内部100Ω抵抗を100Ωのチップ抵抗でシャントすることが必要です。高周波数時には、入力側に減衰量の低いパッドを配置すると、VSWRが改善されます。たとえば、 $R_{\text{SH}} = 33\Omega$ の抵抗を使用し、信号源とINHIとの間に25Ωの抵抗を追加すると、6dBの減衰量で50Ωの終端が行われ、インターセプトが -48dBm まで増加します。

AD8362

狭帯域入力マッチングの使用法

トランスは単側／平衡化変換を行うための最も簡単な手法を提供しますが、これに代わる適切な手法として、図17に示す入力マッチングも行う特別に設計された狭帯域LCネットワークを利用する方法があります。この基本的な手法を利用すると抵抗マッチングは50Ωとなり、入力コネクタからAD8362までの電圧ゲインは1.5 (3.56dB)です。このネットワークは、INHIとINLOで高レベルの振幅平衡を維持すると同時に、正確なフェーズ反転を行うように特別に設計されています。狭帯域入力マッチングによって周波数感度が効果的なレベルに維持され、必要とされるDC阻止を行う上でもコンデンサが役立っています。

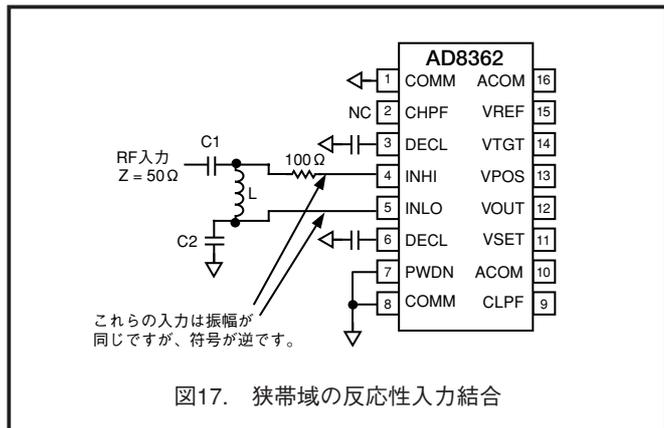


図17. 狭帯域の反応性入力結合

LCの積を変更することによって、このネットワークを容易に別の周波数にスケールリングすることが可能で、L/C比を一定に保つことで50Ωの入力インピーダンスが維持されます。表Iにスポット値をいくつか記載しますが、ここではAD8362の反応性 Z_{IN} を考慮に入れていません。

表 I. 狭帯域50Ωマッチングに推奨される部品の値

周波数 (MHz)	L (nH)	C1 (pF)	C2 (pF)
1	21850	2230	2765
2	10925	1115	1383
5	4370	446	553
10	2185	223	276
20	1093	112	138
50	437	45	55
100	220	22	27
200	100	10	12
500	40	3.9	4.7

1MHzの部品値を単に比例的に乗算するだけで、表IIに示す周波数よりも大幅に低い周波数まで下げて、この結合方式を使用することが可能です。500MHzを超えるAD8362の入力で反応性部品の効果を得るには、推奨値の微調整が必要で、GHz領域では一般的に入力結合は、バランを用いてより効果的に実行されます。

R_{IN} およびパワーキャリブレーションの不確実性

50Ω/200Ω変換が実行されるケースではすべて、電圧ゲインの公称値はわずか2倍(6dB)です。この理想的な条件は、AD8362の入力抵抗値が厳密ではないという事実、つまりロット間で±20%の変動性が予測されるという事実によって損なわれます。したがって、パワー・インターセプト P_z に正確な数値を規定しなければならない場合には、キャリブレーション手順が必要になります。

差動駆動のときは、66.5Ωの抵抗を用いてINHIとINLOとの間で200Ωの抵抗値をシャントし、差動入力抵抗値を50Ωに設定すると、インターセプト精度が大幅に改善されます。基本的な R_{IN} の許容誤差を±20%、チップ抵抗の許容誤差を±1%と仮定すれば、正味の入力抵抗値は±2.5%の誤差を示すことになります。その結果として、 P_z の誤差(つまり、絶対パワー測定)は-0.26dB～+0.21dBのレンジで変化します。

入力インピーダンスに関するこの注意事項は、低周波数時に多く見られるように、入力が電圧で加えられるとき、または信号源インピーダンスが200Ωよりも低いときには適用されません。たとえば、後掲の図24の例のように入力の前段にインピーダンス・バッファとして帰還型アンプを使用すると、中程度の周波数時にインターフェースで発生する損失は無視できます。

正しい値のCHPFおよびCLPFの選択

AD8362の3.5GHz可変ゲイン・アンプには、その伝達関数にハイパス・フィルタ効果を導入するオフセット・キャンセル・ループが含まれています。入力信号の振幅を正しく測定するには、このフィルタのコーナー周波数 f_{HP} は、目的の測定帯域幅周波数の中で最小の入力信号のコーナー周波数よりも低いことが要求されます。外部コンデンサとして必要な値は、以下の式から求められます。

$$C_{HPF} = 200 \mu\text{F} / f_{HP} \quad (f_{HP} \text{ in Hz}) \quad (12)$$

したがって、100kHzまでの低い周波数動作では、 C_{HPF} の値は2nFとします。

測定モードの標準接続では、VSETピンをVOUTに接続します。入力振幅の変動が小さい(わずか数デシベル)場合には、このループの時間領域応答性は本質的にリニアとなり、3dBローパス・コーナー周波数の公称値は $f_{LP} = 1/(C_{LPF} \times 1.1\text{k}\Omega)$ です。このローカル・ループ周辺の内部時間遅延によって、このコンデンサの推奨最小値が約300pFに設定され、 $f_{LP} = 3\text{MHz}$ が適用されます。

もっと低い信号周波数動作の場合、または平均化時間をもっと長くする必要のある場合には、必ず以下の式を利用してください。

$$C_{LPF} = 0.9 \mu\text{F} / f_{LP} \quad (f_{LP} \text{ in Hz}) \quad (13)$$

W-CDMA信号などのように入力信号が大きいクレスト・ファクタを示す場合には、最初に必要と思われる値よりも大幅に大きい値の C_{LPF} を使用しなければならないでしょう。これは、AD8362の出力を変動させる、非常に低い周波数成分が複雑な擬似ランダム変調の中に存在するためです。

標準外のターゲット電圧の使用

VREFとVTGT間の外部接続によって、内部ターゲット電圧、すなわちAGC帰還ループを平衡化するためにVGAから供給される必要のあるrms電圧が設定されます。デフォルト設定では、1.25VのVREFでこのターゲットが $0.06 \times 1.25\text{V} = 75\text{mV}$ に設定されます。ただし、原則として-4V～+4Vのレンジ内の任意の電圧(符号は無視)でVTGTを駆動して、固定またはダイナミックの方法でこのターゲットを代替することが可能です。

たとえば、1kΩ:1kΩの単純な抵抗性減衰器を経由してVREFからこのピンに電圧を供給する場合、VGAから要求される出力は1/2 (37.5mV rms)になり、インターセプトの公称値は-73dBVに移動します。このような条件のとき、二乗セルを駆動する信号経路の実質的な余裕度は2倍になります。

原則としてこれに伴い、システムによって処理されるクレスト・ファクタのピーク値も2倍になります。

V_{TGT} を極端に小さくすると、インターセプトの精度と安定性が損なわれます。トランスコンダクタンス・モードの二乗セルによって発生する電流は、比の二乗分だけ小さくなります。そのため、 V_{TGT} を1/5にすると、二乗セルの信号電流は1/25に低減します。検出回路後段の小さなスタティック誤差(オフセット)に対するシステムの感度を高くすると同時に、このようなリダクションによってスルーレートのピーク値も小さくなり、ある特定のAGCループ帯域幅を維持するために C_{LPF} の値を適切に調整する必要があります。これに対して、ターゲット電圧を大きくすると、クレスト・ファクタの低い信号に対するインターセプトの精度と安定性を改善することができます。したがって、 $V_{TGT} = 2.5V$ を使用すると、二乗セルのピーク出力電流は4倍になり、スルーレートのピーク値も4倍に増加します。AGCループで十分な安定性マージンを確保するには、 $CLPF$ の値を大きくします。

多くのアプリケーションでは、信号入力レンジの増減に対処するために、標準外の値の V_{TGT} を使用して、測定レンジを一定量シフトする方法が役立ちます。このような変更に対して、ダイナミック・スパンは60dB以上に維持されます。 $VTGT$ を大きくすることで感度が低下する可能性がある場合、およびクレスト・ファクタの高い信号がほとんど期待されないときに、この技法が特に効果的です。

インターセプトの調整

V_{TGT} の効果を活用するもう一つの方法は、式14で電圧 V_Z で表される対数インターセプトの調整のために導入することです。正式には、これを修正の V_Z に関して表すことができます。

$$V_Z' = V_Z V_{TGT} / 1.25V \quad (14)$$

V_{TGT} を小さくすると測定システムの感度が効果的に増加し、これはインターセプトがより低い値に移動することを規定するもう一つの方法になります。図8のプロットですでに実証したように、これに伴ってすべての入力振幅で V_{OUT} が増加します。したがって、アプリケーション全体の目標に適合するのであれば、DACの出力を $VTGT$ ピンに加える方法で、測定システムのインターセプトの制御を実行できます。

ほとんどの目的には、 $\pm 3dB$ のわずかな手動調整レンジで十分です。これは、図18に示す回路構成で実行できます。この回路では、電源変動に対する感度を最小限に抑えるために、 V_{TGT} の大部分が内蔵の電圧リファレンスから供給されますが、調整ネットワークによって可変成分が導入されています。5V電源の場合、 $VR1$ が中心にあるとき、この V_{TGT} の追加成分はゼロになります。スライダをグラウンドに最も近接させたときに、 V_{TGT} は366mV低下し、これはインターセプトの3dB低下に相当します。逆の条件では V_{TGT} が518mV増加し、インターセプトは3dB増加します。すなわち、 V_{TGT} は $1.25V/\sqrt{2}$ から $\sqrt{2} \times 1.25V$ までになります。

この例から、その他の調整レンジを容易に計算できます。 $VTGT$ ピンの抵抗値は52k Ω (nominal)なので、これを留意して抵抗値を計算してください。一部のケースでは、この制御インターフェースがプログラマブル信号源から駆動される場合があります。最も簡単なケースでも、1つのロジック・レベルからたとえば10dB異なる2つのインターセプト値を得ることが可能なので、本質的に2つのスイッチ入力レンジが確保されます。

さらに、このようなインターセプトのシフトはAD8362の出力にDCオフセ

ットをかけることと多くの点で同じですが、主な相違点として、(1) V_{TGT} の変化に伴ってクレスト・ファクタの能力にある程度の影響が及ぶこと、および、(2) この技法が利用可能な出力レンジを V_{OUT} 後の調整より効果的に利用している点に留意することが重要です。

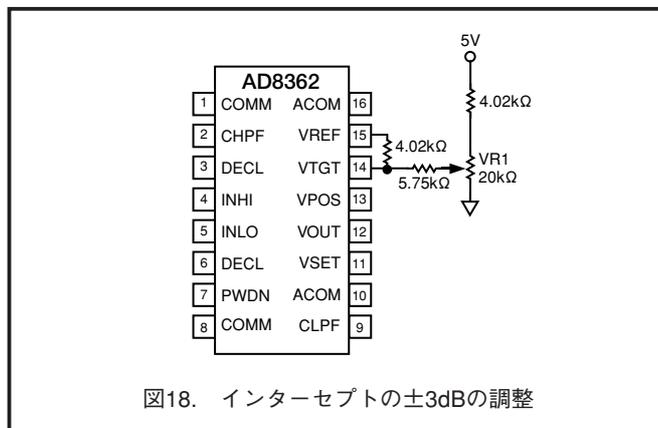


図18. インターセプトの $\pm 3dB$ の調整

勾配の変更

これまでに説明した動作条件のどれを変更しても、式9の対数勾配 V_{SLP} に影響が及ぶことはありません。しかし、 $VSET$ ピンでセットポイント・インターフェースにフィードバックされる V_{OUT} の一部を制御することで、これを容易に変更できます。 V_{OUT} からのすべての信号が $VSET$ に印加される時、勾配の公称値は50mV/dBと想定されます。図19に示すように1個の減衰器をこの各ピンの間に挿入すると、この値を大きくすることができます。 $VSET$ ピンの70k Ω の入力抵抗値によるスケール誤差を最小限に抑えるため、適度に低い抵抗値を使用する必要がありますが、この抵抗ストリングも同様に出力負荷となるので、非常に低い値を使用すると、負荷駆動能力が低下する結果になる点に注意してください。抵抗値の計算には、以下の式を利用します。

$$R1 = R2'(S_D/50 - 1) \quad (15)$$

ここで、 S_D はmV/dB単位の目的の勾配、そして $R2'$ は70k Ω 抵抗と並列な抵抗 $R2$ の値です。たとえば、 $R1 = 1.65k\Omega$ と $R2 = 1.69k\Omega$ ($R2' = 1.649k\Omega$)を使用すると、勾配の公称値は100mV/dBに増加します。このスケールリングの選択は、出力をデジタル電圧計に加える場合に効果的です。なぜなら、表示値が直接デシベル値として読み取られ、小数点が移動するだけだからです。

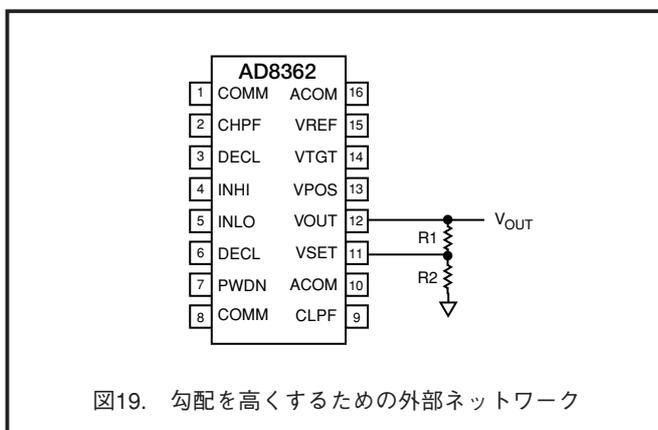


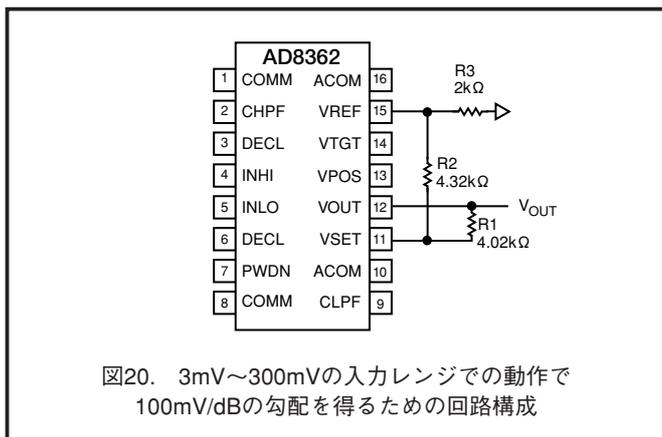
図19. 勾配を高くするための外部ネットワーク

AD8362

特定の入力サブレンジを詳細に測定する必要があるときに、高い勾配での動作が役立ちます。ただし、60dBの測定レンジはこの勾配では V_{OUT} の6V変化に相当するので、これは5V電源動作時のAD8362の出力段の能力を超えることになります。そのため、目的のサブレンジが $0.2V \leq V_{OUT} \leq 4.8V$ 、つまり46dBの出力レンジに相当するウィンドウに入るように、インターセプトの位置を変更する必要があります。

図20に示す回路構成を利用すると、0.5Vの出力が目的のサブレンジの下限に相当し、4.5Vが上限に相当し、サブレンジの上限と下限で3dBのマージンが得られます。その公称値は3mV rms~300mV rmsのレンジになり、インターセプトは1.9mV rmsです。R2はグラウンドではなく、VREFに接続される点に注意してください。微小な電流のみをシンクできるAD8362のリファレンス・バッファが正しくロードされることを保証するために、R3が必要になります。

この方式に基づく可変減衰ファクタが勾配を手動調整できることは明白ですが、これが効果的とされる状況はほとんどありません。勾配を特定の係数で増加させる際には、安定性を確保し、さらに選択された平均化時間を維持するために、ループ・コンデンサ C_{LPF} の容量も同じ係数だけ大きくしてください。標準的な設計手法に従って、2本の抵抗で構成される減衰器を出力ピンの後に配置すると、勾配を小さくすることができます。



エンベロープ除去モード

VTGT入力を使用してRF信号上のAM変調エンベロープをトラッキングする方法で、エンベロープを除去することが可能です。この場合には変調波形が既知であり、サンプルはベースバンド電圧として用意することが必要です。この電圧を V_{TGT} として使用すると、二乗セルによって変調が行われるときに、AD8362がこのエンベロープをトラッキングします。したがって、メイン・アンプのエンベロープ出力がいくつかのインターバルでたとえば2倍になると仮定すれば、AGCループの基準を満足するターゲット電圧も2倍になるので、その実質的な効果として、ループの平衡を維持するためにアンプのゲインを変更する必要がありません。

これと同様に、ゲイン制御電圧 V_{SET} を変更する必要もありません。つまり、出力の変動がまったくありません。測定モードでは、その電圧も出力になるので、変調によって入力振幅が変動しても一定の値に維持されます。 V_{TGT} をバッファするAD8362のDC結合アンプの帯域幅は高い周波数(約300MHz)に維持されているので、高速のAM変調エンベロープであっても高精度にトラッキングできます。

この回路構成を図21に示します。図22の一番上に示すようにAD8362の入力は、別の純粋な正弦波によって100kHzで振幅変調される、純粋で理想的な100MHzの正弦波キャリア信号です。適切にスケールされた変調電圧サンプルもVTGTピンに加えられます。この図に示す例では、平均値が1.25V(V_{TGT} の通常のバイアス・レベル)で、振幅は0.75Vです。したがって、 V_{TGT} は0.5V~2Vのレンジとなり、これは各変調サイクルでターゲット電圧が4倍(16dB)変化することに相当します。その結果として生成される V_{OUT} 信号波形は、図22に示すように約2.5Vで本質的に一定の値になります。これは、1.25Vの固定 V_{TGT} で大きく変動する出力と比較されます。

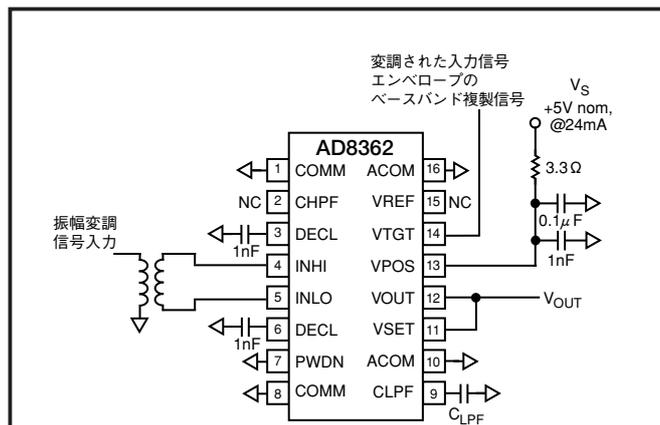


図21. VTGTインターフェースを使用したエンベロープ除去

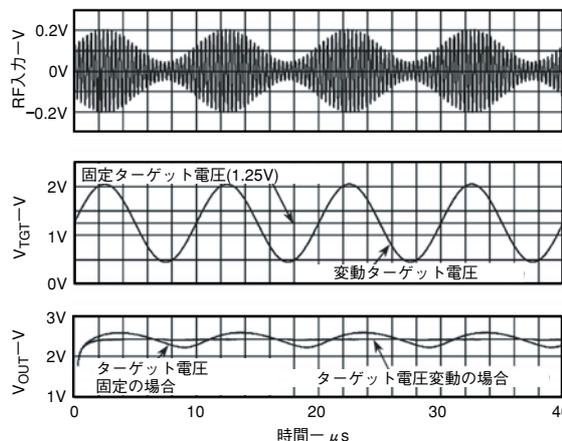


図22. エンベロープ除去方式の信号波形

コントローラ・モード時の動作

このセクションの説明を完全に理解するには、前述の測定モードの説明を最初に読むことが大切です。両方のモードの動作と接続上の相違点はほんのわずかなためです。

コントローラ・アプリケーションでAD8362を使用する際の基本的な目的は、入力サンプルが極度に低いときに制御される信号が増加する方向にその出力、ここでは V_{APC} が移動するように(この逆も適用される)、AD8362をレベル・センシング素子として使用することです。一般的な構成回路を図23に示します。

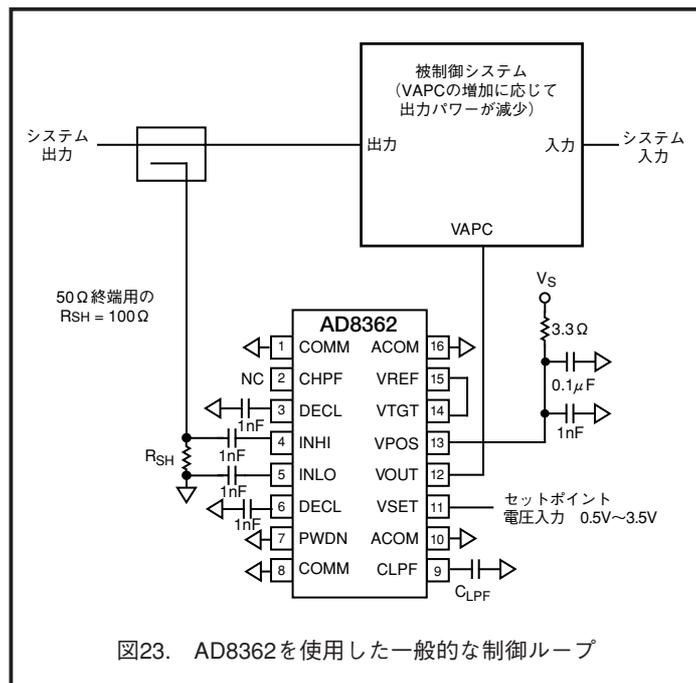


図23. AD8362を使用した一般的な制御ループ

AD8362はセットポイントを基準とするすべての入力誤差を取り込み、適切な時間間隔で理想的にこの誤差をすべてゼロ調整するので、 V_{APC} は非常に狭い入力レンジでレールtoレールの振幅を行います。実際には、入力でわずか数ミリデシベルの振幅偏差が見られるだけで、完全な出力電圧振幅が得られます。

これが発生する信号入力レベル(「セットポイント」)は、制御電圧 V_{SET} によって決定されます。この電圧によって、絶対入力振幅に対するAD8362の出力感度が最も高くなる狭帯域AC入力レンジが定義されます。たとえば基地局では、 V_{SET} が「ランプDAC」から供給されることがよくあり、各バーストのランプアップおよびランプダウンのインターバル中にセットポイントが急速に変化するシーケンス・レベルになると同時に、チャンネル間での出力パワー要求の変動が見られます。

すべての V_{SET} 値は、その入力の特定のrms値に別個にマッピングされます。そのため、図23に示す主要ループでは、被制御システムSが正確にこのレベルを(電圧の形、またはSのパワー出力サンプルとして)供給するように強制設定されます。したがって、この動作モードは測定モードを拡張したもので、 V_{SET} ピンでのスケールリング(勾配とインターセプト)がまったく同一になります。

図23の「システム」がRFパワー・アンプ(PA)の場合には、実際の回路設計で細心の配慮が要求されます。ゲイン制御ピンに加えられる正電圧の増加に対応して、ゲイン(つまり、出力パワー)が増加するように設定される場合が、よくあります。しかし、AD8362の出力は、その入力にセットポイントに相当するレベルに達するときに増加する傾向があるので、これによってPAの出力がさらに高くなります。言い換えると、フィードバック極性が反転し、そのために制御ループはその極限パワーの1つに達するときにラッチアップを余儀なくされます。

使用される傾向が高くなっているモジュール型PAは、制御電圧の増加に応じてパワー出力を低減する制御極性を特長としています。このPAはAD8362のVOUTピンから直接制御できます。これ以外の場合には、ロー・ノイズのバッファを使用して符号反転を行う必要があります。このアンプには、PAがその安全限界を超えて駆動されないことを保証する

機能も内蔵されている場合があります。このような制御システムの詳細は数多くの要素に応じて異なるので、この例では設計の一般面のみの紹介にとどめています。

入力バランの使用

バラン(「平衡不平衡」トランス)は、差動のRF信号をシングルエンドに変換するか、逆にシングルエンド信号を差動に変換するために使用されます。標準的なバランは、長さの短い伝送線(サイズの小さい同軸ケーブル、またはツイストペア線)でシンプルに構成され、信号は大きく劣化することなく通過し、巻型(多くはフェライト)上の巻線によって、伝送線の「スルーモード」インピーダンス(50Ωの場合が多い)と比較しても高い反応性インピーダンスを備えた「直列モード」のインダクタを形成します。

この伝送線の入力に加えられる高周波数のコモン・モード電圧は、この直列リアクタンス間で持続し、伝送線の負荷側には現れません。これに対して、「スルーモード」の帯域幅は非常に高く、この種の短い線で生じる損失は些細なものです。

多少精巧な構造のバランはインピーダンス変換能力を備えており、たとえば4:1のように、一般的にそのインピーダンス比によって指定されます。AD8362の駆動に望ましいとされるシングルエンド信号/平衡化信号変換を実行し、同時に50Ωの入力インターフェースを行う場合には、インピーダンス比は逆の1:4となります。

AD8362の評価ボードには、このような1:4バラン(部品番号M/A-COM ETC1.6-4-2-3)が実装されており、0.5GHz~2.5GHzの低損失結合、およびボードの50Ω入力(SMAコネクタでの)からAD8362の200Ω差動入力抵抗値までのインピーダンス変換を実行します。高周波数では、コネクタの実際のインピーダンスはICの入力インピーダンスの反応性成分による影響を受けます。これに伴って入力電圧の振幅が変化する可能性があるため、対数インターセプトを正確に規定できなくなります。ただし、シフトには温度安定性があります。

ここで使用されるバランは、その4:1のインピーダンス比の二乗根によって信号電圧を増加(このケースでは2倍)する点に注意してください。したがって、トランスを使用して500Ωの信号源をAD8362の200Ω負荷にマッチングさせると、トランスの入力でdBVまたはdBm単位で規定されるか否かに関係なく、測定システムの実効感度が6dB向上します。

一般的なアプリケーション

AD8362が備える優れた多様性によって、精度の高いrms応答性を備えた素子が必要とされるアプリケーションで数多くの新しい可能性が開かれます。AD8362は最高で2.7GHzまでの高周波数で動作する通信システムでの真のパワー測定ニーズに対応することを主目的として開発されていますが、これよりも大幅に低い周波数の計装アプリケーションの要求仕様を満足する能力も備えています。すでに説明したように、AD8362は信号振幅に関係なく完全に一定した帯域幅でrms/dc変換を実行し、さらにキャリアレーションされたdBリア測定を行う、独自の機能性を備えています。

注意: ここで紹介するアプリケーションは、例示目的のために掲載したものであり、ユーザーのシステムに直接組み込めるものではありません。上記目的に対応することは、シミュレーション調査によって確認されています。

信号入力が小さいとV_{OUT}も小さくなり、ターゲット電圧は通常の75mV (1.25VをVTGTに印加する)を十分に下回ります。ターゲット電圧が低いことは、AD8362のVGA出力を通常ほど大きくする必要がないことを意味するので、入力の感度が高くなります。信号が大きくなると、これに応じてV_{OUT}およびターゲット電圧が増加するので、必要なVGA入力はより高いレベルに連続的にシフトします。

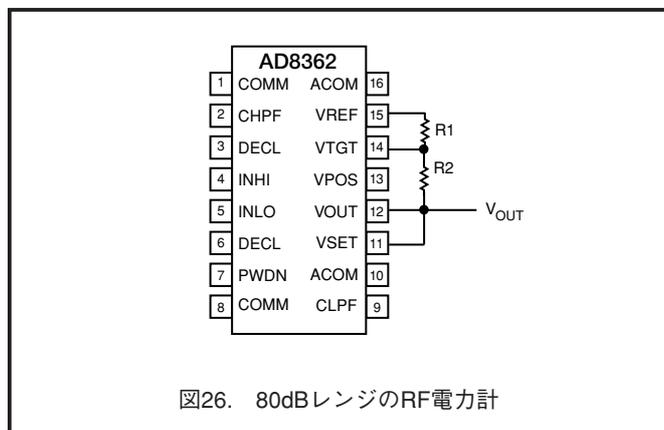


図26. 80dBレンジのRF電力計

たとえば、V_{TGT}の変化が0.35V~3.5Vで10:1の場合には、インターセプトが20dBシフトします。これには、60dB以上から80dB以上まで測定レンジを同じ量だけ拡張する効果があります。そのため、より大きい入力レンジを同じ3.15Vで表すことになるので、勾配が約40mV/dBまで低下します。図27に示すシミュレーション結果では、拡張されたレンジの応答性と固定V_{TGT}の応答性を比較しています。測定レンジの上限が1.5Vから4V以上まで拡張されています(入力保護によって制限される)。

ただし、伝達関数が単純な対数法則ではなくなっていることが明らかです。さらに検討すると、修正された関数が非解析的であることが確認されます。それにもかかわらず、この関数は信頼できるもので、ノーマルモード時と同様に、電源および温度変動に対して安定性を維持します。良好な近似が以下の式によって得られます。

$$V_{OUT} = V_{SLP}' \left\{ \log_{10}(V_{IN}/V_Z) - 11.3m \left[\log_{10}(V_{IN}) \right]^3 \right\} \quad (16)$$

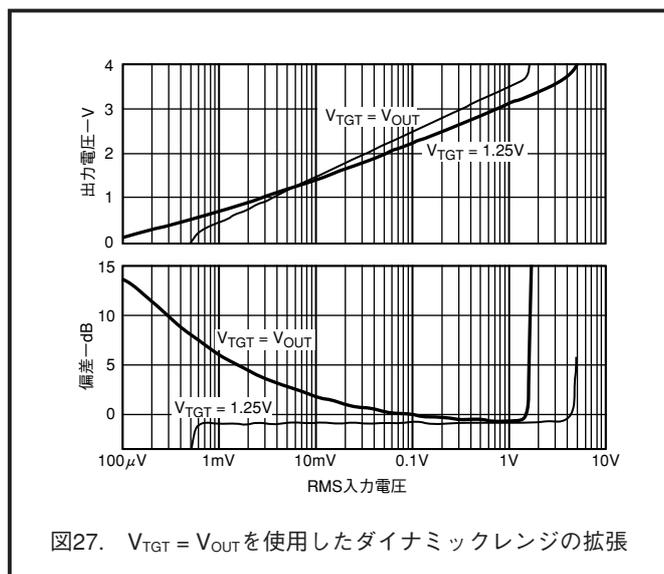


図27. V_{TGT} = V_{OUT}を使用したダイナミックレンジの拡張

ここで、修正された勾配電圧V_{SLP'}は0.868V、すなわち43.4mV/dBです。この式を利用すると、ダイナミックレンジは±0.5dBの誤差ポイント(0.2mV ≤ V_{IN} ≤ 4V)で86dBです。実際のレンジは、低入力時のAD8362の入力換算ノイズの影響によって、これよりも小さくなります。60dB+という基本レンジが、特定のアプリケーションで要求されるレンジよりもわずかに小さい場合には、V_{OUT}の一部分をVTGTピンに供給されるV_{REF}の一部に加算することが可能です。このために、R1とR2が挿入されています。出力は一般的に以下の公式に適合します。

$$V_{OUT} = V_{SLP}' \left\{ \log_{10}(V_{IN}/V_Z') - K_C \left[\log_{10}(V_{IN}) \right]^3 \right\} \quad (17)$$

ここで、補正係数K_Cは法則適合性誤差を最小化するために必要なノン・リニア補正を導入します。表IIには、ダイナミックレンジを漸次に拡張していく方法の代表的なスポット値をいくつか記載しています。

表 II. 図23の回路方式に推奨される数値

R1 (Ω)	R2 (Ω)	V _{SLP'} (V/ディケード)	V _{Z'} (mV)	K _C (m)
O/C	S/C	0.868	0.334	11.3
1904	96	0.870	0.336	10.4
1346	654	0.890	0.333	6.5
872	1128	0.914	0.340	3.7
480	1520	0.942	0.355	1.5
200	1800	0.972	0.380	0.5

狭いウィンドウでセンタリングされる勾配の高い検出器

システム・モニタリングでは、入力信号の変動が60Bよりも大幅に小さく、また入力振幅の狭いウィンドウ内で可能な限り高い測定感度と精度が要求される状況がよくあります。これにAD8362を適応させるには、勾配の増加とインターセプト位置の変更が必要です。V_{OUT}とV_{SET}間に1個の減衰器を使用すると、50mV/dBを超える勾配を実現できます。次に、V_{REF}(または外部リファレンス電圧)の一部を使用して、測定対象ダイナミックレンジの特定領域を任意の目的位置に設定できます。このような勾配の高いアプリケーションでは、AD8362のレールtoレール出力振幅をフルに活用できます。

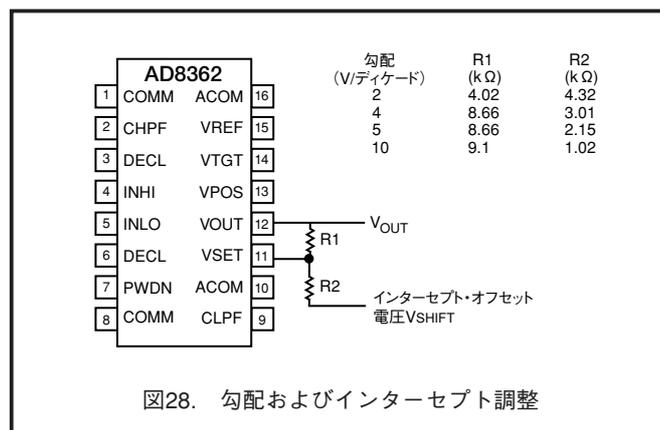


図28. 勾配およびインターセプト調整

このモードの基本的な接続を図28に示します。インターセプト位置変更電圧V_{SHIFT}は、R1とR2の値を再計算してV_{REF}とV_{SET}間に3番目の抵抗を追加するか、または電圧信号源を外付けする方法によって導入できます。図29には、いくつかのサブレンジでの2ディケードのスパンの対数勾配100mV/dB (2V/ディケード)のシミュレーション結果を示し、図30には1ディケード・スパンのみでの対数勾配200mV/dB (4V/ディケード)の結果を示します。

AD8362

非常に高い勾配の使用時に、高精度でレンジ(インターセプト)の位置変更を行うには、出力インピーダンスの低いDACを使用して V_{SHIFT} を供給することができます。図31には、この手法を想定した対数勾配500mV/dB(10V/ディケード)のシミュレーション結果を示します。

いずれのケースも、対数適合性での固定パターン・リップルはdB項で変化しない状態に維持されています。不十分な平均化による残留変動(低周波数アプリケーション時)も同様に、その等価デシベル値ではまったく影響しませんが、絶対電圧項では、より大きくなります。

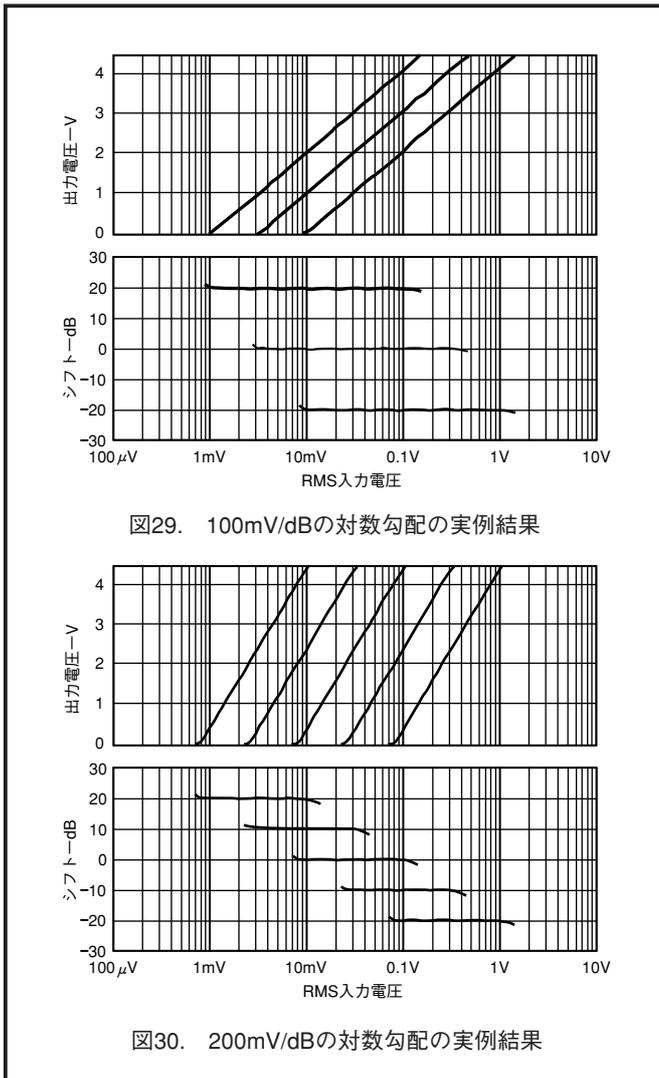


図29. 100mV/dBの対数勾配の実例結果

図30. 200mV/dBの対数勾配の実例結果

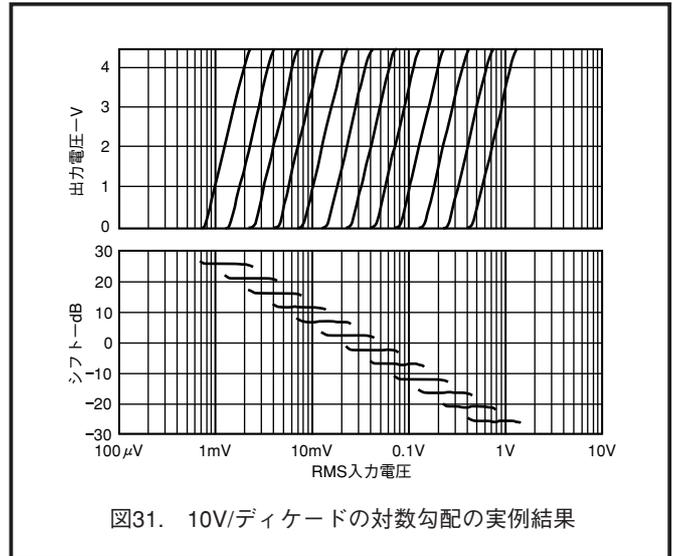


図31. 10V/ディケードの対数勾配の実例結果

AD8362評価ボード

AD8362評価ボードは、前述のモードの多くを含む数多くの各種動作モードに対応します。図32に示すようにSW2を配置すると、測定モードが設定されます。LK1を取り除き、SW2をその代替位置にフリップし、 V_{SET} コネクタにセットポイント電圧を印加すると、コントローラ・モード動作が可能になります。

図32に示す位置にSW1を実装すると、内部電圧リファレンスがターゲット電圧として使用されます。R4とR5を持つ分圧器を使用し、図に示す位置にLK1を配置し、SW1をその代替位置にスイッチすると、オプションでこの電圧を低減することが可能です。別の方法として、外部ターゲット電圧の使用も可能です。この場合には、SW1をその代替位置にスイッチし、LK1を取り除き、VTGTコネクタに外部ターゲット電圧を印加します。

測定モードでは、本書ですでに説明したようにR17とR18の位置に適切な抵抗を実装した分圧器を使用して、 V_{OUT} の応答勾配を高くすることができます。

SW3を図32に示す位置に配置し、コネクタPWDNをオープンにすると、AD8362の動作がパワーアップします。パワーダウンに設定するときは、SW3を図32に示す位置に配置してコネクタPWDNにロジックHI信号を接続するか、またはSW3をその代替位置にスイッチします。

バラン・トランスT1を取り除き、図17に示すように2個のコンデンサと1個のインダクタに置き換えるか、または2本の0Ω抵抗(リンク、サイズ0402)に置き換えることができます。抵抗への置換えでは、1本をコンデンサC6とC10に直列に接続し、もう1本をC5に直列に接続し、100Ω抵抗をR16の位置に実装して、図16に示す回路を構成します。

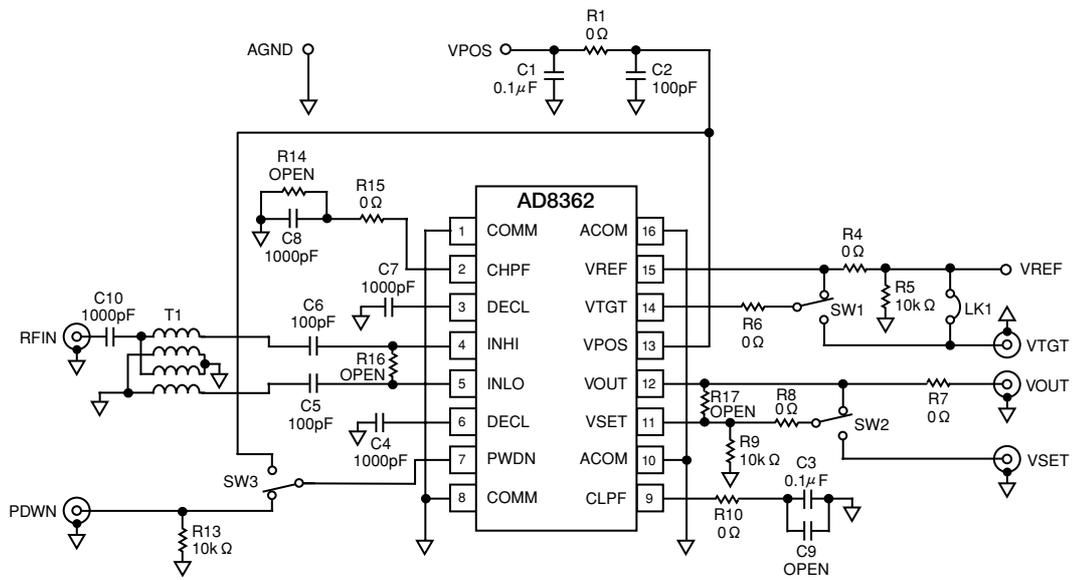


図32. 評価ボードの回路図

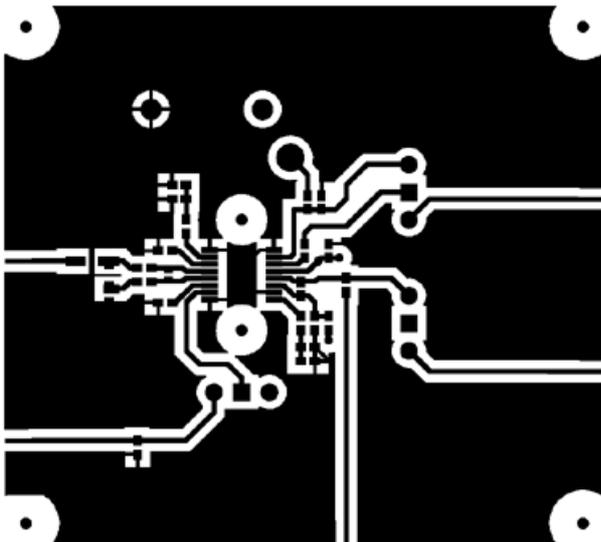


図33. 評価ボードの部品面メタル

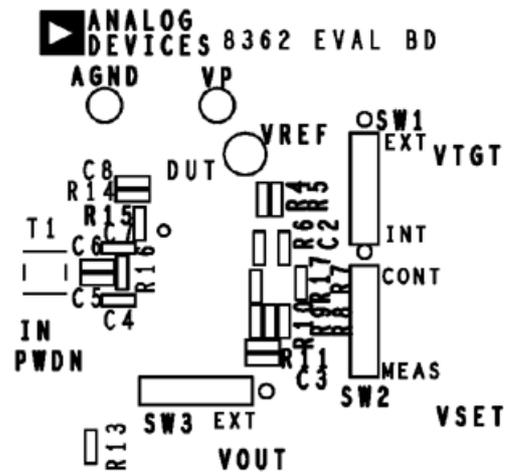


図34. 評価ボードの部品面シルクスクリーン

表 III. 評価ボードの設定オプション

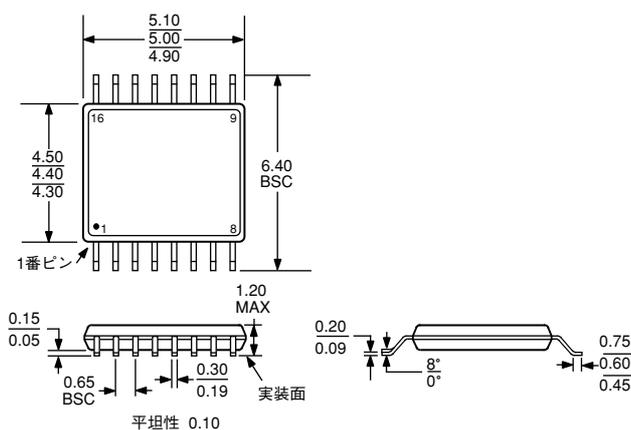
部品	機能	部品番号	デフォルト値			
T1	電源フィルタリング/デカップリング用コンデンサ	ETC1.6-4-2-3	0.1 μ F			
C1						
C2						
C3						
C9						
C4, C7, C10						
C5, C6						
C8						
DUT				AD8362	AD8362ARU	0 Ω
R1, R4, R6, R7, R8, R10, R15						
R5, R9, R13						
R16						
R17						
RA						
RB						
RC						
SW1						
SW2						
SW3						

TDS07/2003/500

外形寸法

16ピン薄型シュリンクSOP[TSSOP] (RU-16)

寸法はミリメートルで示します。



JEDEC標準MO-153ABに準拠

PRINTED IN JAPAN

