

### 特長

DC~500 MHz 以上の動作  
 $\pm 1$  V の差動フル・スケール入力  
 $\pm 4$  mA の差動フル・スケール出力電流  
 低歪み(0 dBm 入力で 0.05%以下)  
 電源電圧:  $\pm 4$  V~ $\pm 9$  V  
 低消費電力:  $V_s = \pm 5$  V で 280 mW (typ)

### アプリケーション

高速リアルタイム演算  
 広帯域幅の変調とゲイン制御  
 信号相関と RF 電力計測  
 電圧制御のフィルタと発振器  
 高解像度テレビのリニア・キーヤー  
 広帯域の真の RMS 測定

### 機能ブロック図

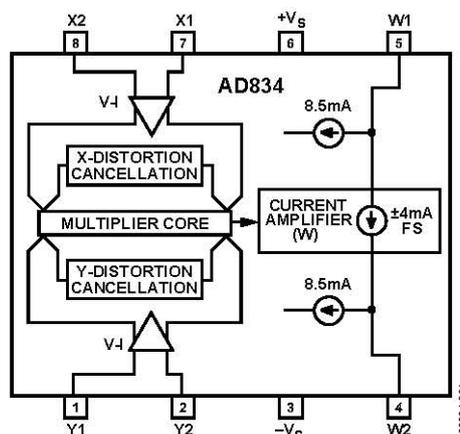


図 1.

### 概要

AD834 は、いずれかの差動電圧入力について 500 MHz を超える相互コンダクタンス帯域幅( $R_L = 50 \Omega$ )を持つ高周波アプリケーションを対象とした、レーザ・トリムされたモノリシック 4 象限アナログ乗算器です。乗算モードでは、総合フル・スケール誤差が 0.5% (typ)で、アプリケーション・モードと外部回路に依存します。性能は、バンド・ギャップ・リファレンス・ジェネレータやその他のデザイン機能を採用した安定なバイアス機能の使用により、温度と電源の変動に対して比較的安定しています。

AD834 の製造に使用した高速バイポーラ・プロセスのフル帯域幅機能を維持するため、出力はオープン・コレクタから電流の差動対として出力されます。グラウンド基準のシングルエンド電圧出力を得るためには、外付けの電流/電圧変換が必要です。これは、広帯域トランス、バラン、またはオペアンプのようなアクティブ回路の形式になります。アプリケーションによっては(例えば電力測定)、後続の信号処理に広帯域幅が必要でない場合もあります。

伝達関数は、 $X = Y = \pm 1$  V のとき、差動出力が $\pm 4$  mA になるように、正確にトリムされています。この絶対キャリブレーションを使用すると、複数の AD834 デバイスの出力を負荷回路の精度に無関係に等しい重みで加算することができます。

8 ピンの PDIP またはプラスチック SOIC パッケージを採用した AD834J は、 $0^\circ\text{C} \sim 70^\circ\text{C}$  の商用温度範囲で仕様が規定されています。また 8 ピンの CERDIP またはプラスチック SOIC パッケージを採用した AD834A は、 $-40^\circ\text{C} \sim +85^\circ\text{C}$  の工業用温度範囲で動作します。8 ピン CERDIP を採用した AD834SQ/883B は、 $-55^\circ\text{C} \sim +125^\circ\text{C}$  の

軍用温度範囲で動作します。S グレード・チップも提供しています。

AD834 (AN-212 と AN-216)についての 2 つのアプリケーション・ノートは [www.analog.com](http://www.analog.com) から提供しています。その他のアプリケーション回路については、[AD811](#) データ・シートをご覧ください。

### 製品のハイライト

1. 高いスタティック精度(低入力、出力オフセット、正確なスケール・ファクタ)と非常に広い帯域幅を組み合わせています。4象限の乗算器または2乗器として、応答はDCから高い周波数(パッケージと外部ボードのレイアウトにより決まります)まで延びています。最適条件で500 MHzを超える信号帯域幅が得られます。
2. 平方根、アナログ除算、ベクタ加算、rms/DC変換などの多くの高速非直線動作で採用されています。これらのモードでは、帯域幅は外付けアクティブ部品により制限されます。
3. 特別なデザイン技術により、高周波での低歪みレベル(いずれかの入力で $-60$  dB以下)と低信号フィードスルー(20 MHzまで $-65$  dB (typ))が実現されています。
4. 全入力範囲で差動位相誤差が小さい—5 MHzで $0.08^\circ$ 、50 MHzで $0.8^\circ$  (typ)。大信号過渡応答にはオーバーシュートがなく、固有な立ち上がり時間は500 psで、5 ns (typ)以内に1%以下に安定します。
5. 無負荷の高インピーダンス差動入力により、AD834のアプリケーションが簡素になります。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
 ©2005-2008 Analog Devices, Inc. All rights reserved.

## 目次

特長 .....	1	動作原理 .....	11
アプリケーション .....	1	伝達関数 .....	11
機能ブロック図 .....	1	出力のバイアス .....	12
概要 .....	1	トランス結合 .....	12
製品のハイライト .....	1	広帯域乗算器の接続 .....	13
改訂履歴 .....	2	電力測定(2乗平均とRMS) .....	14
仕様 .....	3	周波数ダブラー .....	16
絶対最大定格 .....	5	広帯域3信号乗算器/除算器 .....	16
熱特性 .....	5	外形寸法 .....	18
チップ寸法とボンディング図 .....	5	オーダー・ガイド .....	19
ESDの注意 .....	5		
ピン配置および機能説明 .....	6		
代表的な性能特性 .....	7		
テスト回路 .....	8		
代表的性能特性とテスト回路の説明 .....	10		

## 改訂履歴

<b>5/09—Rev. D to Rev. E</b>		Added Figure 13 and Figure 14 .....	12
Updated Format .....	Universal	Changes to Wideband Multiplier Connections .....	13
Deleted Temperature Range and Package Options Parameters, Table 1..4		Changes to Figure 18 .....	13
Added Pin Configuration and Function Descriptions Section .....	6	Changes to Figure 20 .....	15
Added Figure 10, Renumbered Figures Sequentially .....	9	Changes to Figure 21 .....	16
Added Explanation of Typical Performance Characteristics and		Updated Outline Dimensions .....	17
Test Circuits Section .....	10	Changes to Ordering Guide .....	18
Changes to the Theory of Operation Section .....	11		
		<b>4/02—Rev. C to Rev. D</b>	
		Edits to Ordering Guide Model Nomenclature Corrected .....	3

## 仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $\pm V_S = \pm 5\text{ V}$ 、dBm は  $50\ \Omega$  基準。太字で示す仕様は、最終電気テストですべての製品ユニットについてテストされます。これらのテスト結果を使って、出荷品質レベルが計算されます。

表 1.

Parameters	Conditions	Min	Typ	Max	Unit
<b>MULTIPLIER PERFORMANCE</b>					
Transfer Function			$W = \frac{XY}{(1V)^2} \times 4\text{ mA}$		
Total Error <sup>1</sup>	$-1\text{ V} \leq X, Y < +1\text{ V}$		$\pm 0.5$	<b><math>\pm 2</math></b>	% FS
vs. Temperature (AD834A/AD834S Only)	$T_{\text{MIN}}$ to $T_{\text{MAX}}$		$\pm 1.5$	<b><math>\pm 3</math></b>	% FS
vs. Supplies (All Models) <sup>2</sup>	$\pm 4\text{ V}$ to $\pm 6\text{ V}$		0.1	<b>0.3</b>	% FS/V
Linearity <sup>3</sup>			$\pm 0.5$	<b><math>\pm 1</math></b>	% FS
Bandwidth <sup>4</sup>		500			MHz
Feedthrough, X	$X = \pm 1\text{ V}, Y = \text{nulled}$		0.2	<b>0.3</b>	% FS
Feedthrough, Y	$X = \text{nulled}, Y = \pm 1\text{ V}$		0.1	<b>0.2</b>	% FS
AC Feedthrough, X <sup>5</sup>	$X = 0\text{ dBm}, Y = \text{nulled}$				
	$f = 10\text{ MHz}$		-65		dB
	$f = 100\text{ MHz}$		-50		dB
AC Feedthrough, Y <sup>5</sup>	$X = \text{nulled}, Y = 0\text{ dBm}$				
	$f = 10\text{ MHz}$		-70		dB
	$f = 100\text{ MHz}$		-50		dB
<b>INPUTS (X1, X2, Y1, Y2)</b>					
Full-Scale Range	Differential		$\pm 1$		V
Clipping Level	Differential	<b><math>\pm 1.1</math></b>	$\pm 1.3$		V
Input Resistance	Differential		25		k $\Omega$
Offset Voltage			0.5	<b>3</b>	mV
vs. Temperature	$T_{\text{MIN}}$ to $T_{\text{MAX}}$		10		$\mu\text{V}/^\circ\text{C}$
vs. Supplies <sup>2</sup>	$\pm 4\text{ V}$ to $\pm 6\text{ V}$		100	<b>300</b>	mV
Bias Current			45		mA
Common-Mode Rejection	$f \leq 100\text{ kHz}; 1\text{ V p-p}$		70		dB
Nonlinearity, X	$Y = 1\text{ V}; X = \pm 1\text{ V}$		0.2	<b>0.5</b>	% FS
Nonlinearity, Y	$X = 1\text{ V}; Y = \pm 1\text{ V}$		0.1	<b>0.3</b>	% FS
Distortion, X	$X = 0\text{ dBm}, Y = 1\text{ V}$				
	$f = 10\text{ MHz}$		-60		dB
	$f = 100\text{ MHz}$		-44		dB
Distortion, Y	$X = 1\text{ V}, Y = 0\text{ dBm}$				
	$f = 10\text{ MHz}$		-65		dB
	$f = 100\text{ MHz}$		-50		dB
<b>OUTPUTS (W1, W2)</b>					
Zero Signal Current	Each output		8.5		mA
Differential Offset	$X = 0, Y = 0$		$\pm 20$	<b><math>\pm 60</math></b>	$\mu\text{A}$
vs. Temperature					$\text{nA}/^\circ\text{C}$
All Models	$T_{\text{MIN}}$ to $T_{\text{MAX}}$		40		$\mu\text{A}$
AD834A/AD834S Only				<b><math>\pm 60</math></b>	$\mu\text{A}$
Scaling Current	Differential	3.96	4	4.04	mA
Output Compliance		4.75		9	V
Noise Spectral Density	$f = 10\text{ Hz}$ to $1\text{ MHz}$		16		$\text{nV}/\sqrt{\text{Hz}}$
	Outputs into $50\ \Omega$ Load				

Parameters	Conditions	Min	Typ	Max	Unit
POWER SUPPLIES					
Operating Range	TMIN to TMAX	±4		±9	V
Quiescent Current <sup>6</sup>					
+V <sub>S</sub>			11	14	mA
-V <sub>S</sub>			28	35	mA

<sup>1</sup> 誤差は、理論値出力からの最大偏差をフル・スケール出力のパーセント値で表したものです。図 16 参照。

<sup>2</sup> 両電源を同時に測定。f ≤ 10 kHz の正弦波入力。

<sup>3</sup> 直線性は、入力オフセット電圧、出力オフセット電流、スケーリング電流誤差を補償した後の残留誤差として定義されます。

<sup>4</sup> 帯域幅は 2 乗モードに設定した場合に保証。図 12 参照。

<sup>5</sup> 正弦波入力、フル・スケール出力に対する値、ゼロ入力ポートはゼロ、基本波のフィードスルーを表します。

<sup>6</sup> 負電源電流は、正電源電流、各出力に流れる信号電流、W1/ W2、入力バイアス電流の和に一致します。

## 絶対最大定格

表 2.

Parameter	Ratings
Supply Voltage (+V <sub>S</sub> to -V <sub>S</sub> )	18 V
Internal Power Dissipation	500 mW
Input Voltages (X1, X2, Y1, Y2)	+V <sub>S</sub>
Operating Temperature Ranges	
Commercial, AD834J Only	0°C to 70°C
Industrial, AD834A Only	-40°C to +85°C
Military AD834S/883B Only	-55°C to +125°C
Storage Temperature Range (Q)	-65°C to +150°C
Storage Temperature Range (R, N)	-65°C to +125°C
Lead Temperature (Soldering, 60 sec)	300°C
ESD Rating	500 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱特性

表 3.

Package	$\theta_{JA}$	$\theta_{JA}$	Unit
8-Lead CERDIP (Q)	110	110	°C/W
8-Lead SOIC (R)	165	165	°C/W
8-Lead PDIP (N)	99	99	°C/W

## チップ寸法とボンディング図

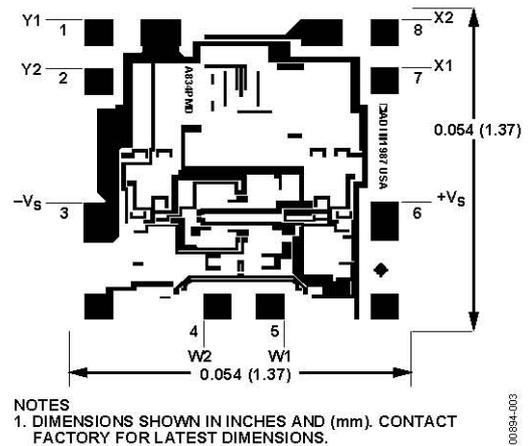


図 2.メタル層の写真

## ESDの注意



ESD(静電放電)の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置および機能説明

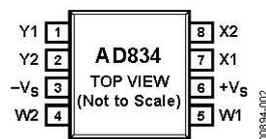


図 3. ピン配置

表 4. ピンの機能説明

ピン番号	記号	説明
1	Y1	正のY入力
2	Y2	負のY入力
3	$-V_s$	負の電源
4	W2	オープン・コレクタ出力
5	X2	負のX入力
6	X1	正のX入力
7	$+V_s$	正の電源
8	W1	オープン・コレクタ出力

## 代表的な性能特性

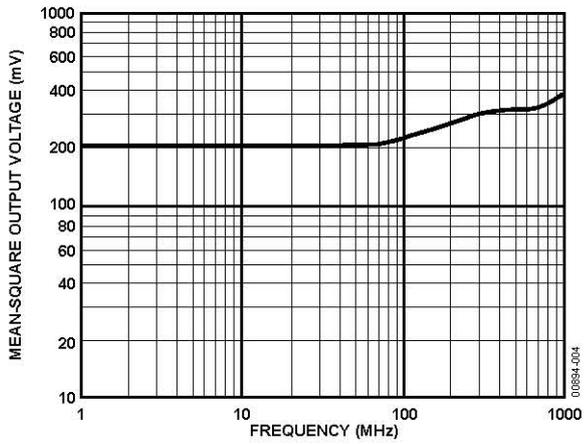


図 4. 2乗平均出力の周波数特性

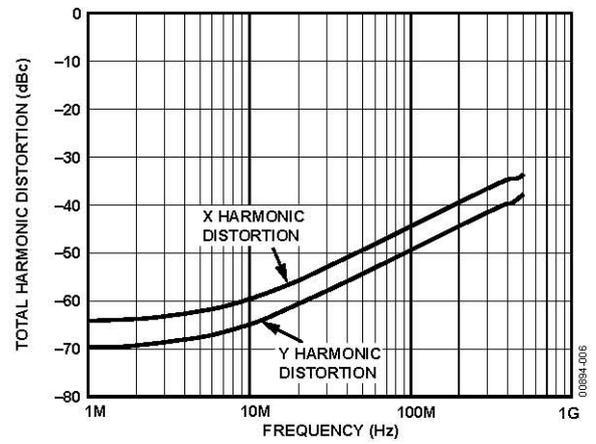


図 6. 総合高調波歪みの周波数特性

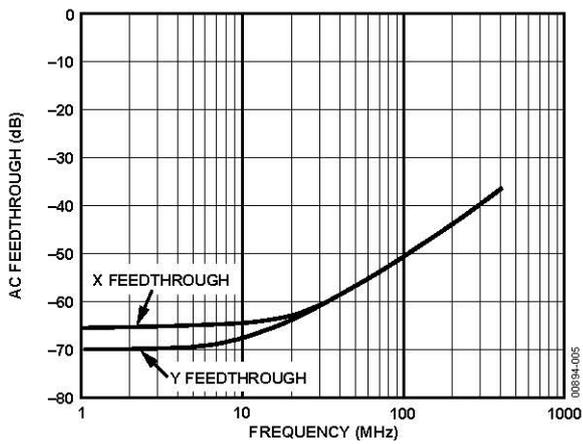
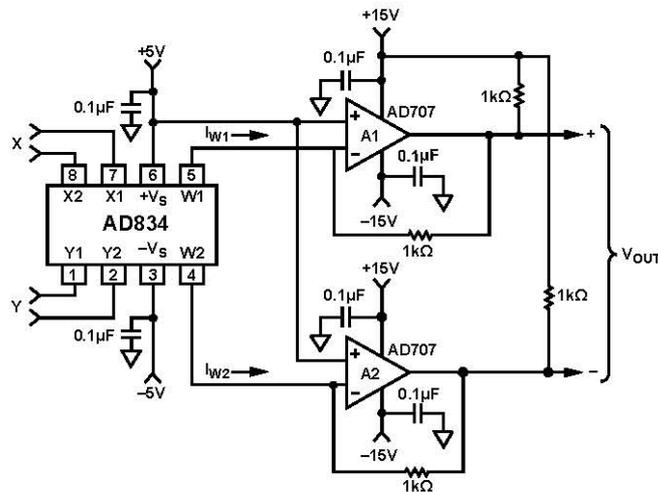


図 5. AC フィードスルーの周波数特性

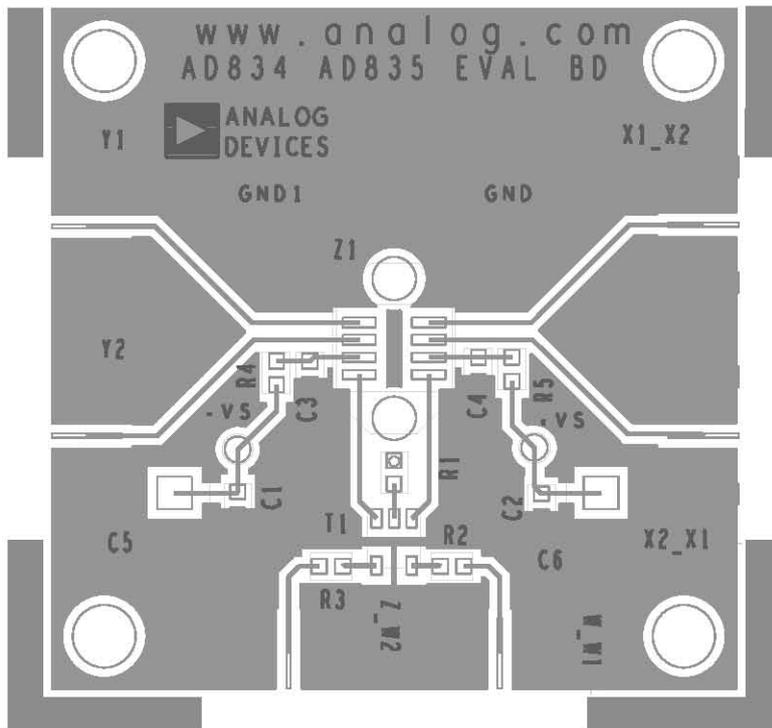




- NOTES
1. R1, R2 SHOULD BE PRECISION TYPE RESISTOR ( $\pm 0.1\%$ ).
  2. ABSOLUTE VALUE ERRORS OF R1, R2 CAUSE A SMALL FACTOR ERROR.
  3. R1, R2 MISMATCHES ARE EXPRESSED AS LINEARITY ERRORS.
  4.  $V_{OUT} = I_{W1} R1 - I_{W2} R2$   
(IF  $R1 = R2$ ,  $V_{OUT} = I_W R1$ ).

00884-008

図 9. 低周波テスト回路



00884-108

図 10. SOICのレイアウト例

## 代表的性能特性とテスト回路の説明

図 4 に、図 8 のテスト回路での 2 乗平均出力の周波数特性を示します。立ち上がり応答は、パッケージの共振から発生していることに注意してください。

1 MHz より上の周波数では、AC フォールドスルーは伝達関数のステイックな非直線性と有限なオフセット電圧により支配されています。オフセット電圧により、基本波の小さい部分が出力に現れていますが、調整してゼロすることができます(図 5)。

図 6 に示す THD データは、2 次高調波が支配的で、AC 入力での 0 dBm 入力と、DC 入力の 1 V で、それぞれ発生しています。AC 入力に与えられた振幅では、THD は DC 入力振幅の変化に比較的無関係です。DC 入力振幅を一定にして AC 入力振幅を変えると、THD 性能が影響を受けます。

図 8 に示す 2 乗器構成は、出力で広帯域計測機器(さらにその応答の不確定性)が不要になるため、広帯域性能を求めるときに使用します。2 乗器構成の広帯域出力は、入力周波数の 2 倍で変動する電流で、入力振幅の 2 乗に比例する平均値を持っています。

コンデンサ C3/C5 と C4/C6 を負荷抵抗 R1 と R2 に並列接続すると、シンプルなローパス・フィルタが形成されて、2 乗平均値を取り出すことができます。2 乗平均応答は、R1 と R2 に DVM を並列接続して測定することができます。

ボードのレイアウトには注意が必要です。DIP パッケージを使う場合、グラウンド・プレーン上に IC ソケットを実装し、ピンで形成される長方形の中に間隙を設けてください。これは、ボードの各穴をピンが通過する場合、大きなトランス動作が発生することがあるため重要です。不適切なテスト治具により 1.3 GHz の発振が発生しました。

## 動作原理

図 11 に、AD834 の機能ブロック図を示します。2 つの電圧入力( $X = X1 - X2$  と  $Y = Y1 - Y2$ )と電流出力(W)の 3 つの差動信号インターフェースがあります。この W は、X と Y が正のとき図 11 に示す向きに流れます各出力(W1 と W2)は、8.5 mA (typ)の一定電流です。

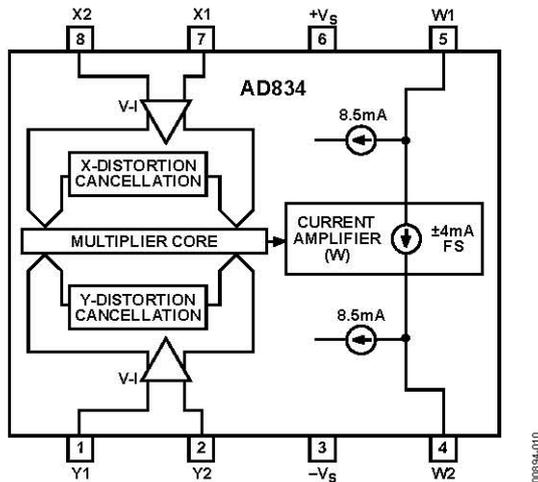


図 11.機能ブロック図

入力電圧はまず、差動電流に変換されます。この差動電流はトランスリニア・コアを駆動します。電圧/電流(V/I)コンバータの等価抵抗は約 285  $\Omega$  であり、この抵抗により入力に関係する小さいノイズとドリフトが発生しますが、低いフル・スケール入力電圧では、V/I コンバータで比較的大きい非直線性が発生します。この非直線性は、歪み相殺回路の使用により大幅に削減することができます。この歪み相殺回路は、コア内で発生する電圧をケルビン検出することにより動作し、AD834 の重要な機能です。

コアの電流モード出力は、公称 1.6 倍の電流ゲインを持つ特別なカスケード・ステージにより増幅されます。このステージは、製造時にフル・スケール出力電流が  $\pm 4$  mA になるように調節されます。この出力は、ピン 6 の電圧より少し高い電圧が供給されているオープン・コレクタの対に現れます。図 12 に示すように、これはピン 6 の電源に直列に抵抗を接続して、負荷抵抗をフル電源に接続することにより実現できます。R3 = 60  $\Omega$  の場合、その電圧降下は約 600 mV です。2 本の 50  $\Omega$  負荷抵抗を使用すると、フル・スケール差動出力電圧は  $\pm 400$  mV になります。最適性能を得るためには、出力オープン・コレクタ(ピン 4 とピン 5)の電圧は、図 12 に示すようにピン 6 の電圧より約 200 mV 高くする必要があります。

AD834 で可能なフル帯域幅は、グラウンド接続とデカップリングを慎重に行わないと実現できません。デバイスを高品質のグラウンド・プレーンの近くに実装し、すべてのリード長を短くして、UHF 回路のレイアウト方法に従う必要があります。実際に、AD834 は 1 GHz を超えて有効な応答を示し、特定のアプリケーションでの実際の上限周波数は一般にレイアウトに対する注意により決定されます。R4 ( $-V_s$  電源と直列)の電流は約 30 mA であるため電圧降下は約 150 mV になることに注意してください。この抵抗は、電源ピンとデカップリング・コンデンサによって形成される共振回路の Q を小さくするために、十分大きな値にしています。特に高い電源電圧を使う場合には、少し大きい値を使うことができます。あるいは、電源ピンに損失を持つ RF チョークまたはフェライト・ビードを使用することができます。

最適性能を得るためには、図 12 に示すように入力に終端抵抗を接続してください。入力インピーダンスの抵抗成分は十分大きい(約 25 k $\Omega$ )場合でも、45  $\mu$ A (typ)の入力バイアス電流により、大きなオフセット電圧が発生します(補償しない場合)。例えば、ソース抵抗と終端抵抗が 50  $\Omega$  (純ソース抵抗は 25  $\Omega$ )の場合、オフセットは 25  $\Omega \times 45 \mu$ A = 1.125 mV になります。この例では未使用入力を直列に 25  $\Omega$  抵抗を追加することにより、オフセットをほぼ完全に相殺させることができます(図 12 では、25  $\Omega$  の抵抗を X1 と GND の間と Y2 と GND の間に接続)。クロストークを小さくするためには、入力ピンを出力(X1 と Y2)の近くでグラウンドに接続します。この効果は、単に X 入力の位相を反転させて出力の極性を変えることです。

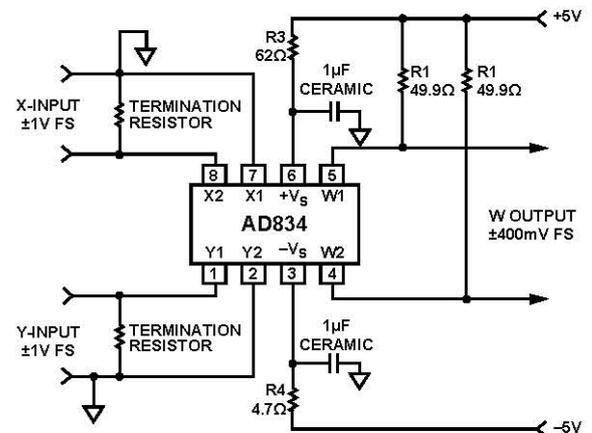


図 12.広帯域幅動作の基本接続

## 伝達関数

出力電流 W は、入力電圧(X と Y)を  $(1 \text{ V})^2$  で除算した値にスケールング電流 4 mA を乗算した値になります:

$$W = \frac{XY}{(1 \text{ V})^2} 4 \text{ mA}$$

入力をボルトで表すとすると、次の簡略化した式を使うことができます。

$$W = (XY)4 \text{ mA}$$

あるいは、フル伝達関数を次のように表すことができます。

$$W = \frac{XY}{1 \text{ V}} \times \frac{1}{250 \Omega}$$

両入力をクリッピング・レベルの約 1.3 V へ駆動すると、ピーク出力電流は約 2 倍の  $\pm 8$  mA になりますが、歪みが大きくなります。

## 出力のバイアス

AD834には図13に示すように2つのオープン・コレクタ出力があります。+V<sub>S</sub>ピン(ピン6)は、出力NPNトランジスタのベースに接続されています。次の一般的なガイドラインを使うと、AD834の性能を最大にすることができます。

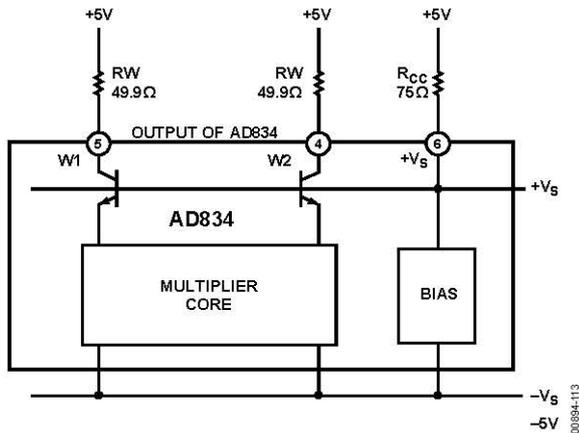


図13.出力ステージのブロック図

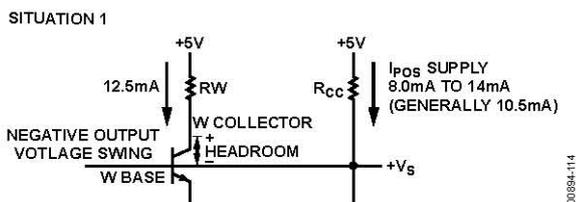


図14.負への変化

図14に、AD834が負に変化する時の入力電流を示します。一般に、+V<sub>S</sub>は+4V以上にバイアスする必要があります。最適性能を得るためには、出力トランジスタを飽和させない抵抗値を使う必要があります。トランジスタに十分なヘッドルームを確保すると、歪みが小さくなります。

$$\text{Headroom} = W_{\text{COLLECTOR}} \text{の電圧} - W_{\text{BASE}} \text{の電圧}$$

片方の出力が負に振れた場合、最大の電流がRW抵抗に流れます。この状況でヘッドルームが最小になります。

$$\text{Headroom}_{\text{NEGATIVE SWING}} = (I_{\text{POS SUPPLY}} \times R_{\text{CC}}) - (12.5 \text{ mA} \times R_{\text{W}})$$

ヘッドルームを200mV以上確保して、十分な範囲を維持してください。Headroom ≥ 200mV。

図15に示すように、この推奨内容の実施により、出力の正側への変化にも対応できます。この負の出力変化を満たすことは困難なことがあります。

SITUATION 2

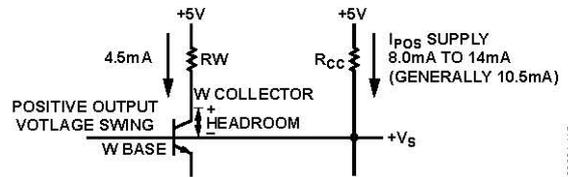


図15.正へ出力変化

RWを流れる電流は、正出力振幅の方が小さくなります。

$$\text{Headroom}_{\text{POSITIVE SWING}} = (I_{\text{POS SUPPLY}} \times R_{\text{CC}}) - (4.5 \text{ mA} \times R_{\text{W}})$$

DCアプリケーションまたは歪みが問題ないアプリケーションの場合、ヘッドルームはゼロまたは-200mVまで低くすることができます。ただし、大部分の場合、出力に十分なヘッドルームを確保するように抵抗を選択する必要があります。

## トランス結合

入力または出力でベースバンド動作が不要な多くの高周波アプリケーションでは、トランス結合を使用することができます。図16に、センター・タップ付き出力トランスの使用を示します。このトランスは、出力W1とW2に必要なDC負荷条件を提供し、適切な巻数比の選択により所要負荷インピーダンスに整合させるようにデザインされています。トランス・デザインの選択は、アプリケーションに依存します。トランスは入力にも使用することができます。センター・タップ付きトランスを使うと、高周波歪みを小さくし、平衡信号で入力を駆動することによりHFフィードスルーを小さくすることができます。

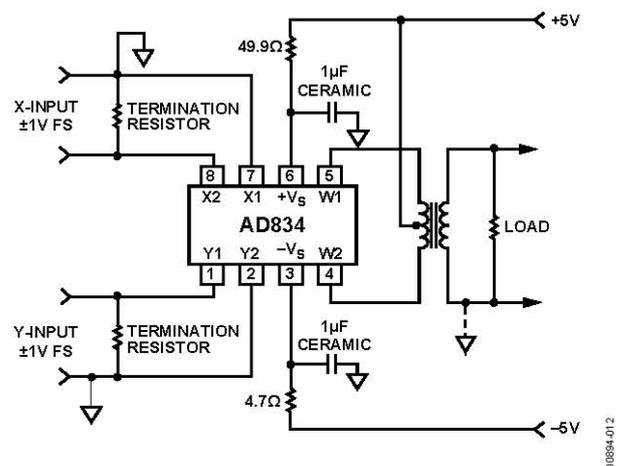


図16.トランス結合出力

トランスの特に効果的なタイプはバラン<sup>1</sup>であり、これは短い伝送線をトロイダル・フェライト・コアに巻き付けたものです。図17に、平衡出力を負平衡出力に変換するために使用したこの構成を示します(用語"balun"はbal(anced)からun(balanced)への変換に由来します)。トランスと同じシンボルが使われますが、動作モードは異なります。まず、負荷はラインの特性インピーダンスと一致する必要があります(ラインが短い場合は問題になりませんが)。

<sup>1</sup>バランの扱い方については、Jerry Sevick 著の「Transmission Line Transformers」、American Radio Relay League publication を参照してください。

また、コレクタ負荷抵抗  $R_W$  はラインを逆終端するように選択できますが、この場合も電氣的に長いラインを使用する場合にのみ必要です。大部分の場合、 $R_W$  は DC 状態で負荷の電力損失を小さくするように大きくすることができます。ラインとしては、ミニチュア同軸ケーブルまたはツイストペアを使用することができます。

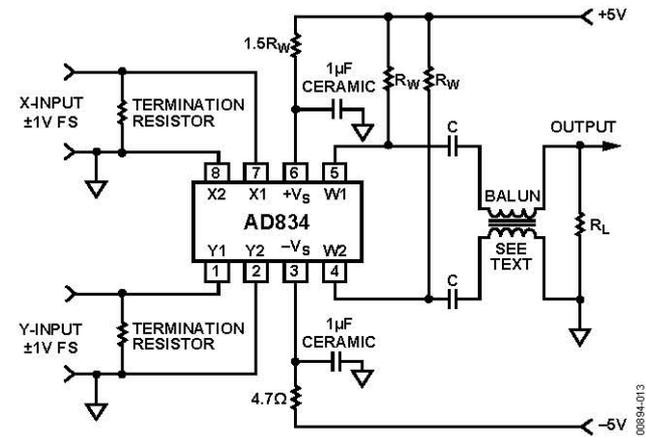


図 17.出力でのバランの使用

バランの帯域上限は伝送線の品質によってのみ決定されるため、バランの上限帯域は通常、乗算器の上限帯域を超えています。この点は、信号がコア内で磁束として伝送されるために、コア損失とリーク・インダクタンスにより制限されてしまう従来型トランスとは異なっています。帯域幅の下限は、ラインの合計直列インダクタンスと負荷抵抗(阻止コンデンサ  $C$  が十分大きい場合)により決定されます。実際に、バランはトランスより広い帯域幅で優れた差動/シングルエンド変換を提供します。

## 広帯域乗算器の接続

DC までの動作とグラウンド基準の出力が必要な場合には、図 18 に示す構成を使用することができます。この例の要素値は、負荷で  $\pm 1\text{ V}$  のフル・スケール出力が得られるように選択されています。したがって、乗算器の伝達関数は次式で表されます。

$$W = (X1 - X2)(Y1 - Y2)$$

ここで、 $X1$ 、 $X2$ 、 $Y1$ 、 $Y2$  入力と  $W$  出力の単位はボルト(V)。出力の極性は、 $X$  入力または  $Y$  入力を反転することにより、逆にすることができます。

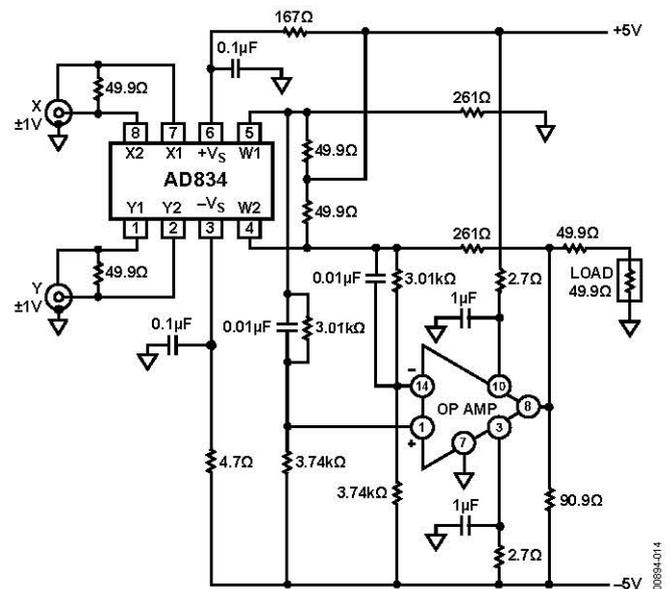


図 18.サイドバンド DC 結合乗算器

必要な出力帯域幅をサポートするようにオペアンプを選択してください。図 18 で使用したオペアンプは AD5539 で、100 MHz の全体システム帯域幅を提供します。AD8009 も同じ性能を持つ必要があります。ポスト乗算帯域幅が低くなることを許容する場合、他の多くの選択も可能です。推奨平衡電源を使って、レベル・シフト回路により、オペアンプの入力ノードをグラウンドから数百 mV 以内に設定します。出力オフセットは、各抵抗(3.74 k $\Omega$ )の下側の対と負電源との間に 100  $\Omega$  のトリム・ポットを接続してゼロに調節することができます。

この回路のパルス応答を図 19 に示します。X 入力は 0 V ~ 1 V のパルスで、Y 入力は 1 V dc です。出力の変化時間は約 4 ns です。

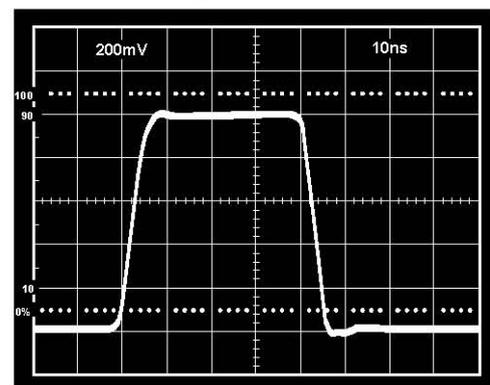


図 19.図 18 の回路のパルス応答

## 電力測定(2 乗平均とRMS)

AD834 は、 $V \times I$  積を求める乗算器または 1 入力の 2 乗器として使用する場合、高周波アプリケーションでの平均電力の測定に適しています。これらのアプリケーションでは、乗算器の後ろにローパス・フィルタを接続して、長時間平均値を取り出します。帯域幅が数百 MHz まで広がる場合には、このフィルタの 1 つ目の極は出力ピン(W1 と W2)とグラウンドとの間に接続するコンデンサにより形成します。この極は、数 KHz にすることができます。したがって、乗算器または平方器の実効帯域幅は AD834 によってのみ決定されます。これは、乗算器の後ろのアクティブ回路では低周波信号の処理のみが必要とされるためです。デバイスを図 8 に示す回路のような 2 乗器として使用すると、正弦波入力に対する応答の広帯域出力は 2 乗余弦になります。

$$\sin^2 \omega t = (1 - \cos 2 \omega t) / 2$$

フル・スケール出力電流(1 V のフル・スケール入力電圧を X と Y に入力した場合)は、4 mA であることに注意してください。50 Ω システムでは、+10 dBm の正弦波電力は 1 V のピーク値になります。したがって、この駆動レベルでは、フィルタ・コンデンサがないときの差動 50 Ω 負荷でのピーク出力電圧は、400 mV (= 4 mA × 50 Ω × 2)になります。これに対して、2 乗余弦波の平均値は 200 mV になります。AD834 の帯域幅を評価する際にはこの平均処理構成が便利です。これは、広帯域差動出力の測定よりも DC 電圧の測定が容易なためです。実際、2 乗モードは、独立に選択したいいずれかのチャンネル(信号のないチャンネルは DC 入力)の帯域幅を直接測定するより、はるかに困難なテストになります。これは、2 つのチャンネル間の位相関係も平均出力に影響を与えるためです。例えば、X チャンネルと Y チャンネルとの間の時間遅延差がわずか 250 ps であっても、入力周波数が 1 GHz のときゼロ出力になります。この周波数での位相角は 90 度で、固有積は正弦関数と余弦関数との間になり、これはゼロ平均値を持ちます。

デバイスに可能な帯域幅の実現には、IC 周辺回路の物理的構成が重要になります。入力は HP 8656A 信号ジェネレータ(100 kHz~990 MHz)から SMA コネクタを介して供給し、2 つ目の SMA コネクタを介して接続した HP 8482A センサー・ヘッドを使って HP 436A 電力計で終端されます。

ジェネレータとセンサーはいずれもグラウンドへの DC パスを持たないため、フェライト・ビードに通した 22 ゲージ線 (Fair-Rite Type 2743001112)で構成される、損失を持つ 1 μH のインダクタ L1 を接続します。これは、下側約 30 MHz まで十分なインピーダンスを提供します。グラウンド・プレーン上に IC ソケットを実装し、ピンで形成される長方形の中に間隙を設けます。これは、ボードの各穴をピンが通過する場合、大きなトランス動作が発生することがあるため重要です。不適切なテスト治具により 1.3 GHz の発振が発生しました。フィルタ・コンデンサは、できるだけ短い配線でグラウンド・プレーンの同じポイントへ直接接続する必要があります。大きなコンデンサと小さなコンデンサの並列接続を使って、フル周波数範囲でインピーダンスを小さくします。図 4 に、図 8 の構成を使用した CERDIP パッケージの AD834 の 2 乗平均応答を示します。

平方根応答を提供して出力に rms 値を発生させるためには、2 乗器として接続した 2 つ目の AD834 を使うことができます(図 20)。信号入力と 2 つ目の AD834 への帰還パスに減衰器を接続していることに注意してください。これにより、最大入力能力を +15 dBm まで大きくし、共振を制動することにより応答の平坦性を改善することができます。全体のゲインは 1 です。すなわち、出力電圧は入力信号の rms 値に正確に一致します。AD834 出力のオフセット・ポテンシオメータはダイナミック・レンジを広げるため、-5 dBm の 1 MHz 正弦波入力を加えたとき DC 出力が 125.7 mV になるように調整します。

その他のフィルタ機能も用意されています。時定数は下側 1 kHz までの周波数で動作するように、さらに包絡線応答を限界制動するように選択されています。この包絡線応答はフル・スケール入力に対して 10 ms 以内に安定します(入力が小さくなると、比例して低速になります)。低周波で正確な rms 動作が不要な場合には、5 μF と 0.1 μF のコンデンサを小さくして応答時間を小さくすることができます。出力オペアンプは、電源付近で同相モード入力を許容できるようにする必要があります。NPN トランジスタを PNP タイプで置換えると、出力極性を反転できることに注意してください。

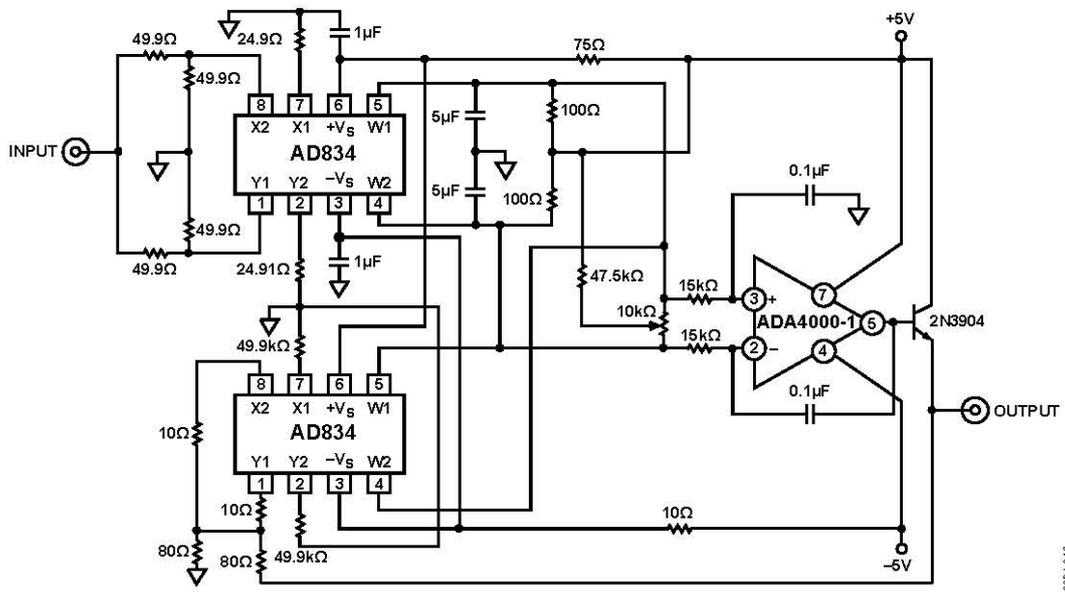


図 20.広帯域幅 RMS 測定の接続

0089A-016

## 周波数ダブラー

図 21 に、もう 1 つの 2 乗アプリケーションを示します。この場合、出力フィルタを取り除き、広帯域差動出力をバランを使ってシングルエンド信号に変換しています。このバランは、フェライト・コアを通した 50 Ω 同軸ケーブルで構成されています(Fair-Rite Type 2677006301)。出力での逆終端は考慮していません。50 Ω 負荷抵抗をフェライト・ビード・インダクタで置換えると、負荷電力を大きくすることができます。プリント回路ボード(PCB)レイアウトについては、電力測定(2 乗平均と RMS)のセクションで推奨した同じ注意が必要です。図 22 に示す出力スペクトルは、周波数 200 MHz で +10 dBm の電力を入力した場合です。400 MHz の 2 次高調波成分は、-15 dBm の出力電力を持っています。基本波についてはフィードスルーがあり、メイン出力より 15 dB 低い値です。600 MHz にはスプリアス出力もありますが、メイン出力より 30 dB 低い値です。入力周波数 100 MHz では、200 MHz での測定電力レベルは -16 dBm で、基本波フィードスルーはメイン出力より 25 dB 低くなっています。600 MHz の出力では、電力は -11 dBm で、900 MHz での 3 次高調波はメイン出力より 32 dB 低くなっています。

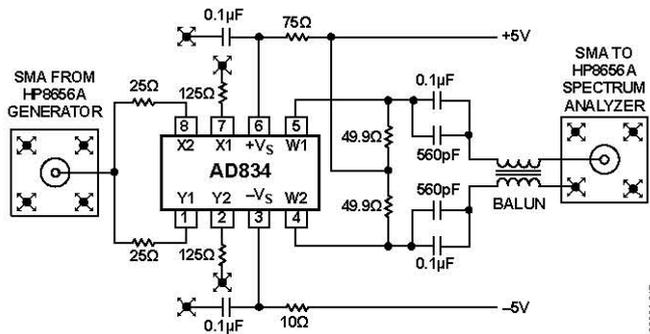


図 21. 周波数ダブラーの接続

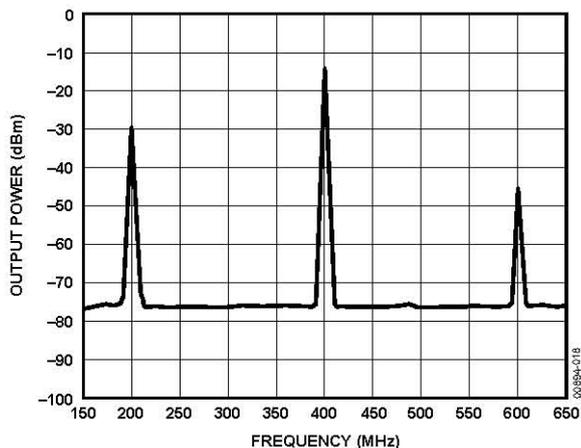


図 22. 図 21 の構成の出力スペクトル

## 広帯域 3 信号乗算器/除算器

2 個の AD834 デバイスと広帯域オペアンプを接続して、次の伝達関数を持つ融通性のある乗算器/除算器を構成することができます。

$$W = \frac{(X1 - X2)(Y1 - Y2)}{(U1 - U2)} + Z$$

分母の範囲は約 100:1 です。分母入力  $U = U1 - U2$  は、正であり、かつ 100 mV ~ 10 V の範囲である必要があります。X、Y、Z 入力はいずれかの極性を持つことができます。図 23 に、特定のアプリケーションに合わせて簡略化できる一般的な構成を示します。この回路の入力は 10 V フル・スケール電圧で、10 V フル・スケール電圧を出力します。AD834 出力でのオプションのオフセット調整により、小さい分母値での精度を改善することができます。精度の調整は、X 入力と Y 入力がゼロで、 $U = 100$  mV のとき、出力電圧をゼロに調節することにより行います。

オペアンプは、HF 補償の追加なしで安定するように内部で補償されています。入力  $U$  を小さくすると、オペアンプの周りの帰還が入力  $U$  に比例するため、帯域幅が狭くなります。この回路は AD840 オペアンプを使ってキャラクタライゼーションされていることに注意してください。代替りのオペアンプとしては、AD818 や AD8021 があります。

この回路は幾つかの方法で変更することができます。例えば、差動入力機能が不要な場合は、未使用入力を減衰器セクションの抵抗の並列和に等しい 1 本の抵抗を介してグラウンドへ接続することができます。X、Y、U のフル・スケール入力レベルは、減衰器の比を変えることにより、下側 ±1 V までの任意のフル・スケール電圧に変えることができます。ただし、A3 出力から 2 つ目の AD834 (A2) までの減衰器の比を小さくする場合は、注意してください。まず、負帰還係数が大き過ぎる場合は、オペアンプの HF 補償限界値を超えてしまいます。2 つ目は、AD834 の減衰出力が ±1.3 V のクリッピング・レベルを超えると、帰還制御が失われるために出力が電源レールへ突然ジャンプしますが、これらの制限を理解しておくと、低い電源電圧を使用するため、回路を小さいフル・スケール入力および/または出力に変更することができます。

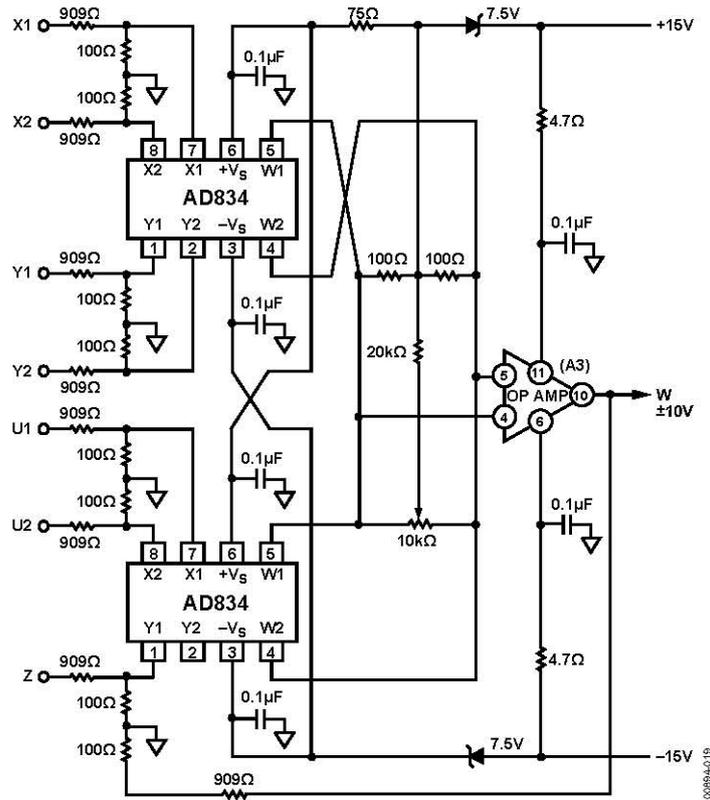
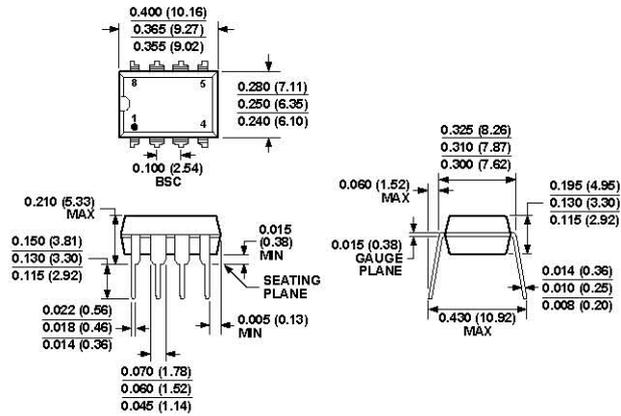


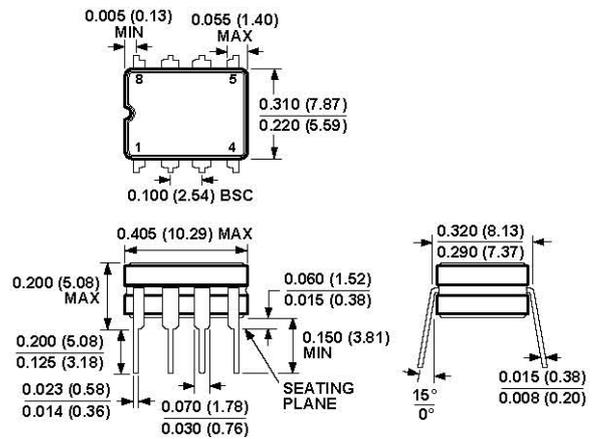
图 23. 宽带域 3 信号乘算器/除算器

外形寸法



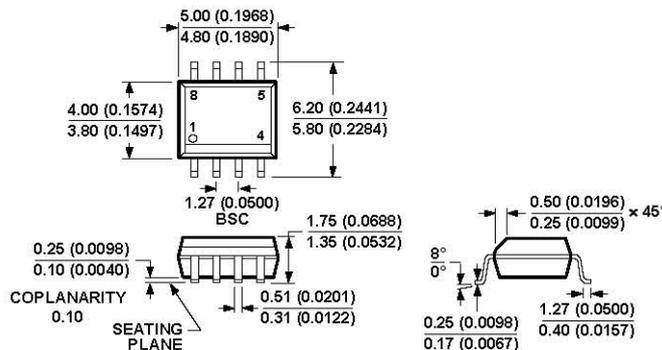
COMPLIANT TO JEDEC STANDARDS MS-001  
CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN. CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

図 24.8 ピン・プラスチック・デュアルインライン・パッケージ[PDIP]  
ナロー・ボディ  
(N-8)  
寸法:インチ(mm)



CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 25.8 ピン・セラミック・デュアルインライン・パッケージ[CERDIP]  
(Q-8)  
寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AA  
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 26.8 ピン標準スモール・アウトライン・パッケージ[SOIC\_N]  
ナロー・ボディ  
(R-8)  
寸法: mm (インチ)

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD834JN	0°C to 70°C	8-Lead PDIP	N-8
AD834JNZ <sup>1</sup>	0°C to 70°C	8-Lead PDIP	N-8
AD834JR	0°C to 70°C	8-Lead SOIC_N	R-8
AD834JR-REEL7	0°C to 70°C	8-Lead SOIC_N	R-8
AD834JRZ <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8
AD834JRZ-RL <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8
AD834JRZ-R7 <sup>1</sup>	0°C to 70°C	8-Lead SOIC_N	R-8
AD834AR	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834AR-REEL	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834AR-REEL7	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834ARZ <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834ARZ-RL <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834ARZ-R7 <sup>1</sup>	-40°C to +85°C	8-Lead SOIC_N	R-8
AD834AQ	-40°C to +85°C	8-Lead CERDIP	Q-8
AD834SQ/883B	-55°C to +125°C	8-Lead CERDIP	Q-8
AD834SCHIPS		DIE	

<sup>1</sup> Z = RoHS 準拠製品。