

DC~50MHz 位相シフタ付きデュアルI/Q復調器 AD8333

特長

デュアルI/Q復調器を内蔵 各出力で16位相が選択可能(ステップあたり22.5°) 直交復調精度 位相精度:±0.1° 振幅バランス:±0.05dB 帯域幅 4LO:100kHz~200MHz RF:DC~50MHz ベースバンド:外部フィルタリングによって決定 出力ダイナミック・レンジ:161dB/Hz LOドライブ>0dBm(50Ω)、4LO>1MHz 電源:±5V 消費電力:190mW/チャンネル(合計380mW) パワーダウン機能

アプリケーション

医療用画像処理(CW超音波ビームフォーミング) フェーズド・アレイ・システム(レーダー/アダプティブ・ アンテナ) 通信レシーバ

概要

AD8333は、複数のアナログ・データ・チャンネルのコヒーレント・サミングと位相アライメントを可能にする、デュアル位相シフタ付きI/Q復調器です。本デバイスは、CWドップラーを備えた高性能な医療用超音波機器などで使用されるビームフォーマー回路に適した初のソリッド・ステート・デバイスです。RF入力は、AD8332に内蔵されているデュアル・チャンネルの低ノイズ・プリアンプの出力と直接インターフェースできます。

4分周回路は、特性の一致した1対のI/Q復調器のミキサーを駆動するLOに対して0°位相と90°位相を生成します。

AD8333は、医療用超音波機器で使用されるアナログ・ビームフォーマー回路の主要な要素として利用できます。

AD8333は各チャンネルに対して非同期なリセット・ピンを備 えています。アレイで使用した場合、リセット・ピンがすべて のLOデバイダを同じ状態に設定します。チャンネルごとに16 種類の相回転を22.5°単位で独立して選択できます。たとえば、 CH1をリファレンスとして使用し、CH2に印加されたRF信号 に45°のI/Q位相進みがある場合、正しいコードを選択すること により、CH2の位相をCH1に合わせることができます。

本

社/〒105-6891

機能ブロック図



位相シフトは、1つのチャンネルの出力を他のチャンネルの出 力に関係付けて定義されます。たとえば、チャンネル1のコー ドが0000、チャンネル2のコードが0001に調整され、しかも両 方のRF入力に同じ信号が印加された場合は、チャンネル2の出 力はチャンネル1の出力よりも22.5°進むことになります。

I/Q出力は、加算を円滑にするため電流出力となっています。 合計された電流出力は、トランスインピーダンス・アンプの構成となっているAD8021などの高ダイナミック・レンジの電流/電圧(I/V)コンバータによって、電圧に変換することができます。得られた信号は、AD7665(16ビット/570kSPS)などの高分解能A/Dコンバータ(ADC)に印加することができます。

他の非ビームフォーミング・アプリケーションでは、2つのI/Q 復調器を独立して使用できます。この場合、I出力とQ出力のそ れぞれにトランスインピーダンス・アンプが必要となるため、 デュアルI/Q復調器では合計で4個のアンプが必要になります。

各I出力とQ出力でのダイナミック・レンジは161dB/Hzですが、 全体的なダイナミック・レンジを維持するには次段に接続され るトランスインピーダンス・アンプが重要な要素となるため、 最適な部品選択と設計には注意が必要です。

AD8333は、32ピンのLFCSP(5mm×5mm)パッケージを採 用しており、-40~+85℃の工業用温度範囲で動作します。

東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の 利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いま せん。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するもので もありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有 に属します。

© に属します。 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。 ◎ 2006 Analog Devices, Inc. All rights reserved.

RE	V.	А	

アナログ・デバイセズ株式会社

電話03 (5402) 8200 大阪営業所/〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号 電話06 (6350) 6868

<u>目次</u>______

特長1
アプリケーション1
幾能ブロック図1
既要1
收訂履歴2
仕様3
绝対最大定格5
ESDに関する注意5
ピン配置と機能の説明5
等価入力回路6
代表的な性能特性8
テスト回路14
動作原理
直交の生成
I/O復調器と位相シフタ 17
ダイナミック・レンジとノイズ 18

改訂履歴

5/06—Rev. 0 to Rev. A	
Changes to Figure 62	

10/06—Revision 0: Initial Version

複数のチャンネルの加算
(アナログ・ビームフォーミング)19
位相補償とアナログ・ビームフォーミング19
チャンネル加算20
ダイナミック・レンジのインフレーション
カレント・ミラーのディスエーブルとノイズの削減22
アプリケーション24
ロジック入力とインターフェース
リセット入力24
AD8331/AD8332/AD8334/AD8335 VGAのLNAとの接続24
LO入力25
評価用ボード25
外形寸法
オーダー・ガイド27

仕様

特に指定のない限り、 $V_s = \pm 5V$ 、 $T_A = 25$ °C、 $4f_{LO} = 20$ MHz、 $f_{RF} = 5.01$ MHz、 $f_{BB} = 10$ kHz、 $P_{LO} \ge 0$ dBm、シングルエンド、サイン波、 チャンネルごとの性能、dBm (50 Ω) (図41を参照)。

表1

パラメータ	条件	Min	Тур	Max	単位
動作条件					
LO周波数範囲	ピン4LOPとピン4LONにおいて4×内部LO				
	矩形波	0.01		200	MHz
	サイン波、図22を参照	2		200	MHz
RF周波数範囲	ミキシング	DC		50	MHz
ベースバンド帯域幅	外部フィルタリングによる制約	DC		50	MHz
LO入力レベル	図22を参照		0	13	dBm
V_{SUPPLY} (V_{S})		±4.5	± 5	± 6	V
温度範囲		-40 +85			
復調器性能					
RF差動入力インピーダンス			6.7 6.5		kΩllpF
LO差動入力容量			0.6		pF
トランスコンダクタンス	復調されたI _{our} /V _{IN} 、ローパス・ フィルタリング後の各IxまたはQx出力 (RF入力から測定)				
	すべての位相		2.17		mS
ダイナミック・レンジ	IP1dB、入力換算ノイズ (dBm)		161		dB/Hz
最大RF入力振幅	差動、入力は2.5Vでバイアス、 ピンRFxPとピンRFxN	、入力は2.5Vでバイアス、 2.8 RFxPとピンRFxN 2.8			
ピーク出力電流	0°の位相シフト		±4.7		mA
(フィルタリングなし)	45°の位相シフト ±6.6			mA	
入力P1dB Ref=50Ω			14.5		dBm
	$Ref = 1V_{RMS}$	1.5		dBV	
3次相互変調(IM3)	$f_{RFI} = 5.010 MHz$, $f_{RF2} = 5.015 MHz$, $f_{LO} = 5.023 MHz$				
等しい入力レベル	ベースバンド・トーン: $-7dBm@8kHz/13kHz$		-75		dBc
等しくない入力レベル	ベースバンド・トーン: -1dBm@8kHz、-31dBm@13kHz -77		dBc		
3次入力インターセプト(IP3)	IM3と同じ条件		30		dBm
LOリーク	RF入力で測定、最悪位相、50Ωで測定 (測定による制約)	<-97		dBm	
	ベースバンド出力で測定、最悪位相、 8021ディスエーブル、50Ωで測定	-60		dBm	
変換ゲイン	全コード、図41を参照		4.7		dB
入力換算ノイズ	出力ノイズ/変換ゲイン、図41を参照		10		nV/\sqrt{Hz}
出力電流ノイズ	出力ノイズ÷787Ω		22		pA/\sqrt{Hz}
ノイズ指数	AD8332 LNAを使用				
	$R_{s} = 50 \Omega_{s} R_{FB} = \infty$		7.8		dB
	$R_s = 50 \Omega_{\gamma} R_{FB} = 1.1 k \Omega$	$R_{\rm S} = 50\Omega, R_{\rm FB} = 1.1 k\Omega \qquad 9.0$			dB
	$R_{S}=50\Omega$, $R_{FB}=274\Omega$	11.0		dB	
バイアス電流	ピン4LOPとピン4LON		-3		μA
	ピンRFxPとピンRFxN		-70		μΑ
LO同相電圧範囲	ピン4LOPとピン4LON (各ピン)	0.2		3.8	V

パラメータ	条件	Min	Тур	Max	単位
RF同相電圧	最大の差動振幅を得るには、ピンRFxPと ピンRFxN (AD8332 LNA出力にDCカップリング)		2.5		V
出力コンプライアンス範囲	ピンIxPOとピンQxPO			+0.7	V
相回転性能					
	一方のCHはリファレンス、他方はステップ変化				
位相インクリメント	チャンネルごとに16の位相ステップ		22.5		度
直交位相誤差	$I1 \sim Q1$, $I2 \sim Q2$, 1σ	-2	± 0.1	+2	度
I/Q振幅不平衡	I1~Q1, I2~Q2, 1σ		± 0.05		dB
チャンネル間マッチング	位相マッチ: 11/12、Q1/Q2;−40℃ <t<sub>A<85℃</t<sub>		± 1		度
	振幅マッチ:		± 0.25		dB
	$11/12, Q1/Q2, -40 C < I_A < 85 C$				
ロジック・インターフェース				_	
ロジック・レベル・ハイ	$\forall \mathcal{P}Hxx, \forall \mathcal{P}RSET, \forall \mathcal{P}ENBL$	1.7		5	V
ロジック・レベル・ロー	E > PHxx、E > RSET、E > ENBL	0		1.3	V
		10	40	00	
E > PHXX E E > ENBL		10	40	90	μΑ
L'A CET		-30	-/ 120	+10	μΑ
E > RSET		50	120	180	μΑ
T. J. Jot Lie		-70	-20	0	μΑ
人刀抵抗	E > PHxx、 E > ENBL		60		kΩ
			20		kΩ
リセット・ホールド時間	リセットは非同期。RSETがHIに遷移し、 その後LOに遷移してから300nsの間、 クロックはディスエーブルになります。				ns
最小リセット・パルス幅		300			ns
リセット応答時間	図35を参照		300		ns
位相応答時間	図38を参照		5		μs
イネーブル応答時間	図34を参照		300		ns
	ピンVPOS、ピンVNEG				
電源電圧		±4.5	± 5	± 6	v
静止電流、全位相ビット=0	電流、全位相ビット=0 @25℃				
	ピンVPOS	38	44	51	mA
	ピンVNEG	-24	-20	-16	mA
温度範囲	$-40^{\circ}C < T_A < 85^{\circ}C$				
	ピンVPOS、全位相ビット=0	40		54	mA
	ピンVNEG	-24		-19	mA
静止電力	チャンネルごと、全位相ビット=0		170		mW
	チャンネルごと、位相ビットの任意の0		190		mW
	または1の組合わせ				
ディスエーブル電流					
	全チャンネルをディスエーブル				
	ピンVPOS	1.0	1.25	1.5	mA
	ピンVNEG	-300	-200	-100	μΑ
PSRR					
	ピンVPOS~Ix/Qx出力 (AD8021出力で測定)		-81		dB
	ピンVNEG~Ix/Qx出力(AD8021出力で測定)		-75		dB

絶対最大定格

表2

パラメータ	定格值
電圧	
電源電圧Vs	6V
RFピン入力	V _s , GND
LO入力	V _s , GND
コード選択入力V	V _s , GND
熱データ—4層JEDECボード	
エアーフローなし	
(露出パッドをPCボードにハンダ付け)	
θ_{JA}	41.0°C/W
$\theta_{\rm JB}$	23.6°C/W
θ_{JC}	4.4°C/W
$\Psi_{ m JT}$	0.4°C/W
$\Psi_{ m JB}$	22.4°C/W
最大ジャンクション温度	150℃
最大消費電力	1.5W
(露出パッドをPCボードにハンダ付け)	
動作温度範囲	$-40\sim+85^\circ\mathbb{C}$
保存温度範囲	$-65 \sim +150 {}^\circ \! \mathbb{C}$
ピン温度範囲(ハンダ処理、60秒)	300℃

左記の絶対最大定格を超えるストレスを加えると、デバイスに 恒久的な損傷を与えることがあります。この規定はストレス定 格のみを指定するものであり、この仕様の動作セクションに記 載する規定値以上でのデバイス動作を定めたものではありませ ん。デバイスを長時間絶対最大定格状態に置くと、デバイスの 信頼性に影響を与えることがあります。

注意_

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静 電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自の ESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復 不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、 ESDに対する適切な予防措置を講じることをお勧めします。



ピン配置と機能の説明



図2. 32ピンLFCSPのピン配置

表3. ピン機能の説明

ピン番号	記号	説明
1, 2, 7, 8	PH12、PH13 PH23、PH22	象限選択LSB、MSB。バイナリ・コード。これらのロジック入力では、0~90°、90~180°、 180~270°、270~360°の象限を選択します(表4を参照)。ロジック・スレッショールドは約1.5V にあるため、3V CMOSロジックで駆動できます(図3を参照)。
3、20	COMM	グラウンド。これらの2本のピンは、内部的に接続されています。
4, 5	4LOP、4LON	LO入力。内部バイアスがないため、これらのピンには外付け回路によるバイアスが必要です。最 適な性能を得るには、これらの入力は、図22に示す値以上の信号レベルで差動駆動してください。 バイアス電流は、わずか-3µAです。入力が正しくバイアスされている場合は、シングルエンド駆 動も可能です(図4を参照)。
6	LODC	LO用のデカップリング・ピン。このピンとグラウンドとの間には、0.1μFのコンデンサを接続し てください(図5を参照)。
9, 10, 31, 32	PH21、PH20 PH10、PH11	位相選択LSB、MSB。バイナリ・コード。これらのロジック入力では、特定象限の位相(0°、 22.5°、45°、67.5°)を選択します(表4を参照)。ロジック・スレッショールドは約1.5Vにあるため、3V CMOSロジックによって駆動できます(図3を参照)。
11, 14, 27, 30	VPOS	正側電源。これらのピンは、電源と直列に接続したフェライト・ビーズ、さらにVPOSピンとグラ ウンドとの間に0.1µFと100pFのコンデンサを接続して、デカップリングします。VPOSピンは内 部的に接続されるため、4本すべてのピンに対して、一組の電源デカップリング部品で十分です。
12, 13, 28, 29	RF2P、RF2N RF1N、RF1P	RF 入力。これらのピンは内部的にバイアスされますが、AD8332 LNAの出力ピンへのDCカップ リングによってバイアスすることを推奨します。±5Vの電源を使用する場合、最大の対称入力差 動振幅を得るために最適な同相電圧は2.5Vです(図6を参照)。
15	RSET	LOインターフェースでの4分周用のリセット。ロジック・スレッショールドは約1.5Vにあるため、 3V CMOSロジックによって駆動できます(図3を参照)。
16, 19, 22, 25	I2NO、Q2NO Q1NO、I1NO	負のI/Q出力。これらの出力は、通常使用する場合には接続されませんが、必要ならばフィルタリ ングに使用できます。正のI/Q出力と組み合わせることで、低ノイズの出力回路を使用できる場合、 内部カレント・ミラーのバイパスが可能になります。カレント・ミラーをディスエーブルにする には、VNEGをGNDに接続してください(図7を参照)。
17、18、23、24	12PO、Q2PO Q1PO、I1PO	正のI/Q出力。これらの出力で提供される双方向電流は、トランスインピーダンス・アンプによって再び電圧に変換できます。複数の出力は、単に接続するだけで加算できます。バイアス電圧は、 トランスインピーダンス・アンプによってOV以下に設定してください(図7を参照)。
21	VNEG	負側電源。このピンは、電源と直列に接続したフェライト・ビーズ、さらにピンとグラウンドとの間に0.1μFと100pFのコンデンサを接続して、デカップリングします。
26	ENBL	チップ・イネーブル。ロジック・スレッショールドは約1.5Vにあるため、3V CMOSロジックに よって駆動できます(図3を参照)。

等価入力回路



図3. ロジック入力







図5. LOデカップリング・ピン



図6. RF入力



図7. 出力ドライバ

代表的な性能特性

特に指定のない限り、 $V_s = \pm 5V$ 、 $T_A = 25$ °C、 $4f_{LO} = 20$ MHz、 $f_{LO} = 5$ MHz、 $f_{RF} = 5.01$ MHz、 $f_{BB} = 10$ kHz、 $P_{LO} \ge 0$ dBm (50 Ω)、シン グルエンド・サイン波、チャンネルごとの性能、差動電圧、dBm (50 Ω)、位相選択コード=0000 (図41を参照)。



<u>-8</u>



(ベースバンド周波数=10kHz、3つの温度)

-30

-35

-40

100k

1M

図22. RF周波数 対 最小LOレベル

周波数(Hz)

エンド・サイン波LOドライブ)

(ピン4LOPまたはピン4LONへのシングル

10M





+85°C -+25°C --40°C -





図25. RF周波数 対 IM3の代表的な範囲 (第1象限、図49を参照)

05543-022

100M









図33. 出力コンプライアンス範囲 (IxPO、QxPO、図50を参照)



図34. イネーブル応答 (上:イネーブル信号、下:出力信号、 図44を参照)



図35. リセット応答(上:リセット・ピンでの 信号、下:出力信号、図45を参照)



 図36. 位相切替え応答(CH2はCH1より45°先行、 上:PH21への入力、選択コード=0010、 赤:基準CH1 IOUT、グレー:45°位相シ フトされたCH2 IOUT、CH1基準位相選 択コード=0000)



 図37. 位相シフト応答(CH2はCH1より90°先行、 上:PH21への入力、選択コード=0100、 赤:基準CH1 IOUT、グレー:90°位相シ フトされたCH2 IOUT、CH1基準位相 コード=0000)



図38. 位相シフト応答(CH2はCH1より180°先行、 上: PH23への入力、選択コード=1000、 赤:基準CH1 IOUT、グレー:180°位相 シフトされたCH2 IOUT、CH1基準位相 ⊐-ド=0000)









テスト回路















REV. A





図51. PSRRテスト回路

動作原理

AD8333は、チャンネルごとにプログラマブル位相シフタを備 えたデュアルI/Q復調器です。主なアプリケーションは、医療 用超音波機器でのフェーズド・アレイ・ビームフォーミング、 フェーズド・アレイ・レーダー、モバイル通信用のスマート・ アンテナなどです。また、マッチングのとれた2つのI/Q復調器 を必要とするアプリケーションでも使用できます。

図52に、AD8333のブロック図とピン配置を示します。3つの アナログ入力と、9つの擬似ロジック・レベル入力が必要です。 2つのRF入力はRF信号源からの信号を受け取り、2つのチャン ネルに共通の局部発振器(4LOで示す差動入力ピンに接続)は アナログ入力から構成されます。チャンネルごとに4つのロ ジック入力で、PHx0~PHx3で選択可能な、16の遅延状態/ 360°(または22.5°/ステップ)の1つを定義します。リセット 入力は、アレイで使用するAD8333の同期をとるために使用し ます。



フォーマットされたIとQの各電流出力は、ビームフォーミン グ・アプリケーション用に加算されます。複数のチャンネルが 加算され、トランスインピーダンス・アンプを使用して電圧に 変換されます。必要ならば、チャンネルを個々に使用すること もできます。

直交の生成

0°と90°の内部LO位相は、4分周デジタル回路によってデジタ ル的に生成されます。デバイダはDCカップリングされており、 本来的にブロードバンドです。最大LO周波数は、そのスイッ チング速度によってのみ制約されます。直交LO信号のデュー ティサイクルは本質的に50%であり、外部接続された4LOx入 力の非対称性の影響を受けることはありません。さらに、デバ イダの実装によって、4LOx信号が内部LO信号を生成する最終 のフリップフロップを再度クロック駆動するため、分周回路に よって生じるノイズは最小限に抑えられます。 最適な性能を得るには、4LO入力を差動で駆動しますが、シン グルエンドで駆動することもできます。駆動にはLVDSデバイ スを推奨します。公称±5V電源では、各ピンでの同相電圧範囲 は約0.2~3.8Vです。

最小LOレベルは周波数に依存します(図22を参照)。最適なノ イズ性能を得るには、安定したミキサ・コア切替えを保証する ために、LO信号源がきわめて低い位相ノイズ(ジッタ)と十 分な入力レベルを持つことが重要です。LO信号レベルとRF周 波数との関係は、デバイダを通じてのゲインによって決まりま す。矩形波を使用してLOを駆動する場合、AD8333はLO入力 においてきわめて低い周波数まで動作できます。

ビームフォーミング・アプリケーションでは、複数のチャンネル 間で整合性を得るために、チャンネル間の位相関係の精度を高め る必要があります。リセット・ピン(RESET)は、AD8333をア レイで使用するときに、4LOxデバイダ回路の同期をとるために 使用します。RSETピンは、複数のAD8333に電源が供給された 後で、カウンタを既知の状態にリセットします。複数のAD8333 を使用する場合は、RSETピンにロジック入力を供給してくださ い。詳細については「リセット入力」を参照してください。

I/Q復調器と位相シフタ

I/Q復調器は、ダブル・バランス型のギルバート・セル・ミキ サーで構成されます。RF入力信号は、最大2.8Vp-pの差動入力 信号機能を持つトランスコンダクタンス段によって、電流に変 換されます。その後、これらの電流は、ミキサーに渡されて ベースバンド(RF-LOとRF+LO)に変換されます。信号は、 ピンPHx0~PHx3に入力されるコードに基づいて、位相シフト されます(表4を参照)。この位相シフト機能は、回路全体で不 可欠な部分です(特許申請中)。表4の1列目に示す位相シフト は、ベースバンドIチャンネル出力間またはQチャンネル出力間 にあると定義されます。一例として、AD8333のRF入力に印加 される共通信号の場合、ベースバンド出力は、該当する位相 コードの位相にあります。しかし、チャンネル1の位相コード が0000であり、チャンネル20位相コードが0001の場合は、 チャンネル2はチャンネル1よりも22.5°先行しています。

位相シフト回路に続いて、差動電流信号は、カレント・ミラー によって差動からシングルエンドに変換されます。I/Q出力を 電圧に変換するには、外付けのトランスインピーダンス・アン プが必要です。

ø-シフト	PHx3	PHx2	PHx1	PHx0
0°	0	0	0	0
22.5°	0	0	0	1
45°	0	0	1	0
67.5°	0	0	1	1
90°	0	1	0	0
112.5°	0	1	0	1
135°	0	1	1	0
157.5°	0	1	1	1
180°	1	0	0	0
202.5°	1	0	0	1
225°	1	0	1	0
247.5°	1	0	1	1
270°	1	1	0	0
292.5°	1	1	0	1
315°	1	1	1	0
337.5°	1	1	1	1

夜4. アヤンネル间位伯ンノトの位伯選択コー	ŀ
------------------------	---

ダイナミック・レンジとノイズ

図53は、AD8333の相互接続ブロック図です。最適なシステム・ノイズ性能を得るため、RF入力信号は、AD8332のLNA やAD8335のプリアンプなど、超低ノイズのアンプによって供給されます。ビームフォーマー・アプリケーションでは、複数 のレシーバ・チャンネルのI/Q出力が加算されます(図53に示 す2つのチャンネルはその一例です)。システムのダイナミック・レンジは、10log₁₀(N)倍に増加します。ここで、Nはチャ ンネル数です(ランダムな無相関ノイズを想定)。図53の2チャ ンネルの例では、ノイズは3dB増えますが、信号が倍増する (6dB) ため、S/N比は総計で(6-3)=3dB改善します。 RFアンプを適切に選択すれば、ダイナミック・レンジの低下を 最小限に抑えられます。AD8333の入力換算スペクトル電圧ノ イズ密度 (e_n) は、公称で9~10nV/ \sqrt{Hz} です。AD8333のノイ ズがシステムのノイズ指数 (NF)を1dB低下させるには、信号 源とLNAの結合ノイズは、AD8333の場合の約2倍、つまり 18nV/ \sqrt{Hz} としてください。AD8333の前の回路のノイズが 18nV/ \sqrt{Hz} 未満の場合、システムNFの低下は1dBを上回ります。 たとえば、LNAと信号源のノイズ寄与がAD8333と等しい (9nV/ \sqrt{Hz})場合、低下は3dBです。AD8333の前にある回路の ノイズが、AD8333の1.3倍(約11.7nV/ \sqrt{Hz})の場合、低下は 2dBとなります。AD8333の1.45倍(13.1nV/ \sqrt{Hz})の場合は、 低下は1.5dBです。

入力換算ノイズを決定するには、図53に示す、アクティブ・ ローパス・フィルタ (LPF) 値である R_{FILT} と C_{FILT} を知ることが 重要です。代表的なフィルタ値(評価用ボードで使用する値な ど)は、787Ωと2.2nFであり、90kHzの単極LPFを実現します。 RFとLOが10kHzオフセットされている場合、復調された信号 は10kHzであり、LPFによって受け渡されます。RF入力から AD8021出力(II'、O1'など)のシングルチャンネル・ミキシ ング・ゲインは、約1.7×(4.7dB)です。これとAD8333のノ イズ9nV/√Hzを合わせると、AD8021の出力で約15.3nV/√Hz が得られます。AD8021は(787Ωの帰還抵抗を含めて)さらに 4.4n V/√Hz 寄与するため、合計の出力換算ノイズは約 16nV/√Hzです。この値は、コーナー周波数を維持しながら フィルタ抵抗を増やして調整できるため、ゲインを増やすこと ができます。ゲインの大きさを制約する要因は、I/Vコンバー タとして使用するオペアンプ(この例ではAD8021)の出力振 幅と駆動能力です。



図53. 相互接続ブロック図

複数のチャンネルの加算(アナログ・ビーム フォーミング)

医療用超音波機器に使用されるビームフォーミングは、共通の 信号源から生成されてマルチエレメントの超音波トランス デューサで異なる時間に受信される信号の位相調整および加算 と定義できます。ビームフォーミングには2つの機能がありま す。トランスデューサに指向性を与えてゲインを高める機能と、 戻りエコーの場所を得るためのボディ内での焦点を定義する機 能です。AD8333の主なアプリケーションは、超音波用のアナ ログ・ビームフォーミング回路です。

位相補償とアナログ・ビームフォーミング

医療用の最新式超音波診断装置では、ビームフォーミング用に 2ⁿバイナリ・アレイのレシーバを採用しています。標準アレ イ・サイズは16または32のレシーバ・チャンネルであり、コ ヒーレントな情報を抽出するために位相シフトおよび加算され ます。複数で使用した場合、各チャンネルからの所望の信号を 加算して大きな信号(N倍に増加、Nはチャンネル数)を発生 させることができます。その一方で、ノイズはチャンネル数の 平方根で増加します。この技術により、超音波装置のS/N比性 能が向上します。ビームフォーマー設計において重要な要素は、 時間領域において着信信号のアライメントをとる手段と、個々 の信号をコンポジット全体に加算する手段です。

ドップラーを内蔵した従来のアナログ・ビームフォーマーで は、チャンネルごとのV/Iコンバータとクロスポイント・ス イッチは、位相シフタと加算回路の組合わせとして使用される パッシブ遅延線の前に置かれます。システムは、遅延線を通じ ての受信周波数 (RF) で動作し、信号は非常に大きなダイナ ミック・レンジのI/Q復調器によってダウンコンバートされま す。 結果として得られるI信号とQ信号はフィルタリングされ、2つの高分解能A/Dコンバータによってサンプリングされます。サンプリングされた信号を処理して、該当するドップラー情報が抽出されます。

あるいは、各チャンネルで個々にダウンコンバージョンによっ てRF信号を処理し、ダウンコンバートされた信号を位相シフト してから、すべてのチャンネルを結合することもできます。 AD8333では、このアーキテクチャを実装する手段を提供しま す。ダウンコンバージョンは各チャンネルのI/Q復調器によっ て行われ、加算された電流出力は、遅延線方式の場合と同じで す。I/V変換後のフィルタとA/Dコンバータは同様です。

AD8333では、位相シフタ、周波数変換、I/Q復調を1つのパッ ケージに集積し、ベースバンド信号を直接発生させます。図54 は、2つのチャンネルを示す簡略図です。超音波USWは超音波 プローブ内の2つのトランスデューサ素子(TE1とTE2)によっ て受信され、信号E1とE2が生成されます。この例では、TE1で の位相はTE2での位相より45°先行しています。



実際のアプリケーションでは、位相差は素子間隔、λ (波長)、 音速、入射角などの要因に依存します。信号ES1とES2は、 AD8332内の低ノイズ・アンプによって19dB増幅されます。最 適なS/N比性能を得るため、LNAの出力は直接AD8333の入力 に接続されます。信号ES1とES2を加算するには、チャンネル2 の位相コードに0010を設定し、ES1を基準としてES2を45°シ フトします。AD8333の出力において位相調整された電流信号 は、I/Vコンバータで加算されて、結合された出力信号を提供 します。2つのチャンネルの加算では、ダイナミック・レンジ は理論的に3dB向上します。

チャンネル加算

AD8333を使用するビームフォーマーでは、I/Q出力でのバイ ポーラ電流は直接加算されます。AD8333を使用するアクティ プ電流加算回路の一例として、図55に16の加算チャンネルを示 します(わかりやすくするため電流源として表示)。AD8021は 1次電流加算回路として、AD797は低ノイズの2次加算回路とし て、それぞれ使用されています。図55に示す回路には、オペア ンプをはじめとして、いくつか考慮すべき重要なポイントがあ ります。

1次加算アンプとして使用するオペアンプは、AD8333の動作周 波数範囲の全体にわたって優れた周波数応答を持ち、AD8333 のI/Q出力において必要な電流を供給できなければなりません。

各AD8333の合計電流は、45°位相設定の倍数(コード0010、 0110、1010、1110)に対しては6.6mAであり、局部発振器周 波数の2次高調波とベースバンド周波数(DC成分を含む)との 間でほぼ均等に分割されます。所望のCW信号が、不要な干渉 信号よりもはるかに小さくなる(<40dB)傾向があります。1 次加算アンプとローパス・フィルタの大信号条件を決定する場 合、非常に小さなCW信号は無視できます。加算できるチャン ネルの数は、使用したオペアンプの出力駆動電流容量によって 制約されます。AD8021では、±5Vと±12Vのリニア出力電流 はそれぞれ60mAと70mAになります。AD8021では、R1およ びC1とともにアクティブLPFを構成するため、AD8333によっ て提供される最悪時の電流(たとえば6.6mA)に対処できなけ ればなりません。したがって、AD8021で加算できる最大チャ ンネル数は、±12V電源では10、±5V電源では8となります。 実際のアプリケーションでは、CWチャンネルは2の累乗で使用 されるため、AD8021の1個あたりの最大チャンネル数は8とな ります。

I/Vコンバータとして使用するオペアンプのもう1つのポイント は、AD8333のI/Q出力のコンプライアンス電圧です。最大コン プライアンス電圧は0.5Vであり、DCバイアスはこれらのピン に与える必要があります。AD8021のアクティブLPFは、これ らの条件を満たします。つまり、必要なDCバイアス電流を供 給しながら、オペアンプの反転入力において仮想グラウンドを 介して出力を0Vに保持します。



前述のように、代表的なCW信号には、その所望する低CW ドップラー・ベースバンド周波数に比べて大きなDCと非常に 低い周波数成分があり、2×LOにはもう1つの不要な成分があ ります。DC成分はゲイン抵抗R1xを流れますが、2×LOはコ ンデンサC1xを流れます。所望の小さなCWドップラー・ベー スバンド信号は、1~50kHzの周波数範囲にあります。

AD8333の出力電流には、ベースバンド周波数、DC成分、2× LO周波数の電圧が含まれるため、所望の小さな振幅のベース バンド信号を一連のフィルタの後で抽出します。図55には、こ れらをLPFn、HPFn、ゲイン段として示します。

 C_{LPFI} の値を確定する前に、オペアンプの直線範囲とピーク動作 電流に基づいて、抵抗 R_{LPFI} を選択します。各AD8333のピーク 電流は6.6mAで、加算するチャンネルは8つあるため、必要な 合計ピーク電流は52.8mAです。この電流の約半分はDCであり、 残りの半分は2×LOの周波数となります。したがって、約 26.4mAは抵抗を流れますが、残りの26.4mAはコンデンサを流 れます。抵抗R1には100 Ω が選択されており、フィルタリング 後に、AD8021の出力において2.64Vという非常に低い周波数 電圧とピークDCが生成されます。±5Vの電源では、R1には 100 Ω を推奨します。

ただし、CW信号は最大限に増幅する必要があり、信号パスの ノイズ低下は最小限に抑える必要があるため、R1の値はできる だけ大きくします。そのため電源は大きければ大きいほどよく、 最大電源電圧は所要電力によってのみ制約されます。

AD8021で±10V電源を使用した場合、R1を301Ωまで増やす ことができ、±5V電源と同様のヘッドルームを実現できます。 これより高い値のR1を使用した場合、所望のLPFロールオフを 維持するには、それに応じてC1を調整してください(上の例で は、元の1/3の値)。高電源電圧の主なメリットはダイナミッ ク・レンジが大きいことですが、トレードオフとして消費電力 が増加します。電源電圧、R1、C1、および次の回路に関連す るトレードオフを比較検討してください。以下の設計シーケン スを推奨します。

- ・ 低ノイズで高速のオペアンプを選択します。スペクトル密 度ノイズ (e_n) は $< 2nV/\sqrt{Hz}$ 、3dB BWは $\geq 3 \times$ 予想される 最大2×LO周波数とします。
- 最大リニア出力電流を6.6mAで除算し、AD8333の加算できる最大チャンネル数を決定します。
- 電源レール内での出力電圧振幅を可能にするR1の最大値を 選択します。
- C1の値を計算して、CWドップラー信号を2×LO信号の最 大減衰量で受け渡しできるLPFコーナーを実装します。

フィルタLPF1はベースバンド周波数の周波数上限を確定する もので、2×LO周波数よりもかなり下の周波数を選択します (一般には100kHz以下であり、図55に示す88kHzもその一例で す)。 C1の計算には、次の式が便利です。

$$C1 = \frac{1}{2\pi R l f_{LPF1}} \tag{1}$$

前述のように、AD8333の出力電流にはDC電流成分が含まれています。このDC成分は、AD8021のLPFによって大きなDC電圧に変換されます。コンデンサC2は、このDC成分をフィルタリングし、R2+R3によって約100Hzの低周波カットオフを持つハイパス・フィルタを確立します。コンデンサC3は、C2よりずっと小さいため、無視できます。C2は次の式から計算できます。

$$C2 = \frac{1}{2\pi (R2 + R3)f_{HPF1}}$$
(2)

2×LO周波数の最大減衰量を達成するために、R2とR3の並列 接続とC3を使用して、2番目のローパス・フィルタLPF2を確立 します。その-3dB周波数は、次のようになります。

$$f_{LPF2} = \frac{1}{2\pi (R2 \parallel R3)C3}$$
(3)

図55に示す例では、f_{LPF2}=81kHzです。

最後に、AD797の帰還抵抗を計算する必要があります。これは、 入力電流(チャンネル数)と電源電圧の関数です。

2次加算アンプでは、AD797(0.9nV/√Hz)のようなきわめて 低ノイズのオペアンプが必要です。なぜならアンプ・ゲインは、 帰還抵抗値R4を、AD8021の方に戻って見たLPF2抵抗の全て を並列計算した抵抗値で割った値によって決まるからです。図 55の簡単な例を参照すれば、AD797の帯域内(100Hz~88kHz) ゲインは次のように表されます。

$$\frac{R4}{[(R2A+R3A) \parallel (R2B+R2B)]}$$
(4)

ゲイン式の分母はAD8021出力内のすべてのR2+R3抵抗の並 列抵抗であるため、AD797のノイズ・ゲインは容認できないレ ベルまで増加することがあります。たとえば、64チャンネルの ビームフォーマーでは、AD8021から見た抵抗値は約 $1.4k\Omega/8=175\Omega$ です。このため、AD797のノイズ・ゲインを 最小限に抑えるには、(R2x+R3x)の値をできるだけ大きくす る必要があります。(なお、これはAD8021から見た場合 AD8333の出力は高インピーダンス電流源とみなされるからで す。)。

したがって、AD8021のゲインは可能な限り大きくするす方が 有利となります。それは(R2x+R3x)の値に比例して増やせ るからです。CW電圧は抵抗(R2x+R3x)によって電流に変 換され、電流はAD797オペアンプの反転入力において加算・増 幅されて、R4によって電圧に変換されます。

R4の値は、次のように反復的に選択してください。

- AD8021の1次加算アンプの数を決定します。図55では2つ ありますが、32チャンネルのビームフォーマーでは4つ、64 チャンネルのビームフォーマーでは8つになります。
- AD8021の後の出力ノイズを決定します。1次計算では、約20pA/√HzというAD8333の出力電流ノイズの値をベースにできます。図55に示す値では、この結果はAD8021の後の8つのチャンネルで約6nV/√Hzです。100Ωの帰還抵抗とAD8021のノイズを追加すると、CWドップラー帯域においてAD8021 LPFの後で約6.5nV/√Hzの合計ノイズが得られます。
- AD797の後の回路のノイズと所望の信号レベルを決定します。
- 2次加算アンプの電圧と電流ノイズを決定します。
- R2x+R3xとR4の値を選択します。1つのチャンネルについてAD797の後で得られる出力ノイズを決定し、加算されたAD8021の数の平方根を乗算します。次に、AD797の出力ノイズ(電流ノイズと電圧ノイズ)をチェックします。理想的には、抵抗とAD797のノイズの合計は、AD8021の出力に起因するノイズに比べて1/3未満です。
- 結合回路とAD8333から計算されたノイズを基準にして、後 段の出力ノイズをチェックします。理想的には、次の段の ノイズは、計算されたノイズの1/3未満にしてください。
- 結合ノイズが大きすぎる場合は、R2x+R3xとR4の値を増減して調整します。

簡易な方法として、結合回路をシミュレートまたは構築して最 適な性能を得ることもできます。なお、AD8333からの約 20pA/√Hzという値は、RF入力を短絡した場合の値です。実際 のシステムでは、AD8333からの電流ノイズは、AD8332 LNA からのノイズと、LNAより前の信号源やその他の回路からのノ イズによって左右される場合が多く、そのために結合回路の設 計が容易になります。結合回路の最適値を決定する上記の手順 は、AD8333だけのノイズ・フロアをベースにしています。

ー例として、図55に示すように、4つのローパス・フィルタを 使用する32チャンネルのビームフォーマーでは、(R2x+ R3x) =1.4kΩおよびR4=6.19kΩです。 \sqrt{N} の理論的なノイズ 増加は、約1dBだけ低下します。

ダイナミック・レンジのインフレーション

理論的には64チャンネルのすべてをシングル・アンプで加算で きますが、すべてのチャンネルに無相関ノイズがある場合は、 加算された出力のダイナミック・レンジは10×log₁₀(N)(Nは 加算されるチャンネルの数)だけ増加することに注意してくだ さい。 加算された信号レベルがN倍に増加しても、ノイズは \sqrt{N} しか増加しません。64チャンネルの場合、ダイナミック・レンジが18dB増加することになります。なお、AD8333のダイナミック・レンジは、すでに約160dB/Hzです。加算されたダイナミック・レンジは178dB/Hz(約29.5b/Hzと等価)です。50kHzのノイズ帯域幅では、これは131dB(21.7ビット)です。

カレント・ミラーのディスエーブルとノイズ の削減

内部差動信号をシングルエンドに変換するカレント・ミラーが バイパスされる場合、AD8333のノイズ寄与を削減できること があります(図56を参照)。カレント・ミラーは、図53に示す AD8021のI/Vコンバータにインターフェースし、正出力と負出 力にまたがる出力コンデンサはローパス・フィルタリングを提 供します。AD8021は、AD8333の出力電圧を強制的にOVに設 定し、バイポーラ出力電流を処理します。しかし、内部カレン ト・ミラーは大量のノイズを生じさせます。このカレント・ミ ラーがディスエーブルにされ、出力が外部的にバイアスされる 場合は、このノイズを減らせます。

ミラーをディスエーブルにするには、図56に示すように、 VNEGをグラウンドに接続し、外部バイアス・ネットワークを 提供します。抵抗にまたがる降下が大きいほど、抵抗が出力に 寄与するノイズは減少します。ただし、IxxOノードとQxxO ノードでの電圧は+0.5Vを超えることができません。約0.7Vを 超える電圧は、PNPデバイスをオンにし、ESD保護ダイオード を順方向にバイアスします。インダクタは抵抗に代わる選択肢 を提供し、バイアス抵抗での電力消費をなくすことによって、 静止電力の削減を可能にします。



インダクタでは、低周波数動作が大きな制約となることがあり ます。これは、対象となる周波数範囲が数百ヘルツから約 30kHzに及ぶ、超音波でのCWドップラーの場合と同様です。 さらに、I/V回路を通じて十分なゲインを提供し、バイアス抵 抗とI/VコンバータのノイズがAD8333出力からのノイズに大き く寄与しないようにすることも重要です。もう1つの方法とし ては、すべてのチャンネルを結合する、1つの外部カレント・ ミラーを備えることも考えられます。オフセットと低周波を削 減するために、この回路でハイパス・フィルタを実装すること も可能です。 外部バイアス方式の主な欠点は、差動出力のために2つのI/Vア ンプが必要になることです(図56を参照)。ビームフォーミン グ・アプリケーションでは、出力は以前と同様に加算されます が、ライン数は2倍になっています。接続されているすべての 出力に対して、必要なバイアス抵抗は2つだけです。抵抗をス ケーリングするには、1つの出力バイアス抵抗の値をN(並列に 接続されたチャンネル数)で除算します。バイアス電流は、選 択した位相に依存します。位相0°では片側約2.5mA、位相45° では片側約3.5mAになります。バイアス抵抗の選択に際しては、 3.5mAという大きい方のバイアス電流値と選択したVNEGを基 準にします。VNEGは、少なくとも-5Vとしてください。こ れより大きくするとさらにノイズが削減されます。 高信号レベルで過度のノイズや歪みがあると、信号のダイナ ミック・レンジが低下します。動きの遅い組織からのエコーや トランスミッタ・リークは、超音波CWドップラー・モードに おいて最大の信号振幅を生成し、DC近辺と低周波で最大にな ります。AD8333の直後にハイパス・フィルタを挿入すると、 ダイナミック・レンジが減少します。図56では、これは外部バ イアス抵抗の後の2つのカップリング・コンデンサによって示 されています。ユーザは、特定のアプリケーションにおいて許 容できる要素を決定する必要があります。外付け回路の設計に 際しては、外部バイアスと低周波低減回路を介してノイズが発 生しないように注意してください。

アプリケーション

AD8333は、RF信号に含まれる時間スキューのある情報を整列 する位相シフタ・システムの重要な部品です。可変ゲイン・ア ンプ(VGA)および低ノイズ・アンプ(LNA)と組み合わせ ることで、AD8333は高性能超音波システム用の完全なアナロ グ・レシーバを形成します。図57に、AD8333とAD8332ファ ミリーを使用した完全なレシーバのブロック図を示します。



超音波レシーバのブロック図

超音波システムの主な要素として、目的の機能の実行に必要な、 AD8333の多くのI/Oオプションを検討することは重要です。図 61には基本接続を示します。

ロジック入力とインターフェース

AD8333のロジック入力は、すべてバイポーラ・レベルの高感 度な入力です。これらはエッジ・トリガではなく、また典型的 なTTLやその他のロジック・ファミリーの入力トポロジとも混 同しないでください。これらの入力の電圧スレッショールドは VPOS×0.3であるため、5V電源ではスレッショールドは1.5V であり、±0.2Vのヒステリシスがあります。入力自体はロジッ ク入力ではありませんが、任意の5Vロジック・ファミリーで駆 動できます。

リセット入力

RSETピンは、AD8333アレイにおいてLOデバイダの同期に使 用します。同じ内部LOによって駆動されるため、AD8333内の 2つのチャンネルは本来的に同期しています。しかし、複数の AD8333が使用される場合、そのデバイダは異なる位相状態で ウェイクアップする可能性があります。RSETピンは、複数の AD8333において、すべてのLO信号の位相を調整します。

各AD8333の4×LOデバイダは、4つの可能な状態(0°、90°、 180°、270°)のいずれかで開始できます。各AD8333 LOの内 部生成されたI/Q信号は、常に互いに90°の関係にありますが、 異なるAD8333の内部LO間ではパワーアップ時に位相シフトが 発生することがあります。

RSETピンは、内部LOを「ハング」させることで、LOデバイ ダの非同期リセットを提供します。このメカニズムにより、RF 入力から出力までの非ミキシング・ゲインの測定も可能になり ます。 アクティブ・ハイRSETパルスの立上がりエッジは、いつでも 発生します。ただし、その継続時間は300ns (t_{pw-MIN}) 以上であ ることが必要です。RSETパルスがハイレベルからローレベル に遷移すると、LOデバイダは再度アクティブになりますが、 デバイダが有効状態に回復するまでには短い遅延があります。 AD8333のアレイを確実に同期して動作させるには、RSETが ハイレベルに遷移したときに4LOクロックはディスエーブル なっている必要があり、RSETがローレベルに遷移した後少な くとも300nsはディスエーブルのままであることが必要です。



複数のAD8333の同期は、次のようにチェックできます。

- AD8333の全チャンネルを同じ位相コード(0000など)に 設定します。
- ベースバンド出力でサイン波を生成するシングル・チャン ネルにテスト信号を印加して、出力を測定します。
- 同じテスト信号を全チャンネルに同時に印加して、出力を 測定します。
- AD8333のすべての位相コードは同じであるため、結合された信号はシングル・チャンネルのN倍の大きさになるはずです。個々のAD8333のいずれかのLO位相にエラーがある場合、結合された信号はシングル・チャンネルのN倍より小さくなります。

AD8331/AD8332/AD8334/AD8335 VGAの LNAとの接続



図59. AD8333をAD8332のLNAに接続

RFxx入力(12、13、28、29番ピン)は、AD8335シリーズの 可変ゲイン・アンプまたはAD8331/AD8332/AD8334のLNAの 差動出力ピンにDCカップリングされたときに最大のダイナ ミック・レンジが得られるように最適化されており、図59に示 すように直接接続できます。 AD8332のLNA以外のアンプが入力に接続された場合、バイア スと駆動レベルに注意してください。最大の入力信号振幅を得 るための最適なバイアス・レベルは2.5Vです。ESD保護回路が オンにならないよう、RF入力が5Vを超えないようにしてくだ さい。ACカップリングを使用した場合は、図60に示すような バイアス回路を推奨します。バイアス回路は内部に備わってい ますが、外部バイアスを追加することによってRF入力の中心を 2.5Vにすることができます。



図60. AD8333のRF入力のACカップリング

LO入力

局部発振器(LO)入力は、入力レベル(ロジック・レベルで はありません)の差異に応答する、高速な完全差動アナログ入 力です。LO入力は、National DS90C401 LVDSドライバなど、 低い同相電圧アンプで駆動できます。 図22と図23のグラフは、LO入力がシングルエンドのサイン波 で駆動された場合の、同相電圧の範囲と使用可能なLOレベル を示しています。LO入力に直接カップリングする場合、TTL やCMOSなどのロジック・ファミリーは不適切です。

評価用ボード

図61と図62に、評価用ボードの回路図を示します。このボード にはAD8332が内蔵されているため、実際のアプリケーション で使用する場合のように直接テストすることもできれば、コネ クタを介してRF入力に直接信号を印加してテストすることもで きます。最高の性能を得るには、RF入力を差動で駆動すること を推奨します。4×LO入力はシングルエンドでも駆動できます が、差動駆動を推奨します。4×LO入力は、非常に低いバイア ス電流を必要とし、マルチドロップLVDSドライバ、LV-PECL、または入力の同相電圧範囲(0.2~3.8V)内にある他の 高速差動信号によっても供給できます。





041806-A

外形寸法





オーダー・ガイド

			パッケージ・
モデル	温度範囲	パッケージ	オプション
AD8333ACPZ-REEL ¹	-40+85℃	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-2
AD8333ACPZ-REEL7 ¹	-40+85℃	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-2
AD8333ACPZ-WP ^{1, 2}	-40+85℃	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-2
AD8333-EVAL		評価用ボード	

¹ Z=鉛フリー製品 ² WP=ワッフル・パック